

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6254347号
(P6254347)

(45) 発行日 平成29年12月27日(2017.12.27)

(24) 登録日 平成29年12月8日(2017.12.8)

(51) Int.Cl.

F 1

HO1L 29/786	(2006.01)	HO1L	29/78	617T
HO1L 21/336	(2006.01)	HO1L	29/78	618B
HO1L 29/788	(2006.01)	HO1L	29/78	617U
HO1L 29/792	(2006.01)	HO1L	29/78	618Z
HO1L 21/28	(2006.01)	HO1L	29/78	619A

請求項の数 11 (全 58 頁) 最終頁に続く

(21) 出願番号

特願2013-5705(P2013-5705)

(22) 出願日

平成25年1月16日(2013.1.16)

(65) 公開番号

特開2013-168642(P2013-168642A)

(43) 公開日

平成25年8月29日(2013.8.29)

審査請求日

平成27年10月29日(2015.10.29)

(31) 優先権主張番号

特願2012-8375(P2012-8375)

(32) 優先日

平成24年1月18日(2012.1.18)

(33) 優先権主張国

日本国(JP)

(31) 優先権主張番号

特願2012-9727(P2012-9727)

(32) 優先日

平成24年1月20日(2012.1.20)

(33) 優先権主張国

日本国(JP)

(73) 特許権者 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社

半導体エネルギー研究所内

(72) 発明者 松林 大介

神奈川県厚木市長谷398番地 株式会社

半導体エネルギー研究所内

(72) 発明者 岡崎 豊

神奈川県厚木市長谷398番地 株式会社

半導体エネルギー研究所内

審査官 市川 武宜

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項 1】

トランジスタを有し、

前記トランジスタは、酸化物半導体膜と、第1のゲート絶縁膜と、第2のゲート絶縁膜と、ゲート電極層とを有し、

前記酸化物半導体膜は、ソース領域と、ドレイン領域と、チャネル形成領域を有し、

前記チャネル形成領域は、前記ソース領域と前記ドレイン領域の間にあり、

前記ソース領域は、前記ソース領域の側面でのみソース電極と接し、

前記ドレイン領域は、前記ドレイン領域の側面でのみドレイン電極と接し、

前記第1のゲート絶縁膜は前記酸化物半導体膜と接し、

前記第2のゲート絶縁膜は前記第1のゲート絶縁膜と接し、

前記ゲート電極層は前記第2のゲート絶縁膜と接し、

前記トランジスタのチャネル長は、5nm以上60nm未満であり、

前記第1のゲート絶縁膜の膜厚を、窒素を含む酸化シリコンとして換算した膜厚は、5nm以上50nm以下であり、

前記第2のゲート絶縁膜は3nm以上30nm以下の膜厚であり、

前記第2のゲート絶縁膜は前記第1のゲート絶縁膜よりも酸素に対して高いブロック効果を有し、

前記ソース領域および前記ドレイン領域の抵抗率は $1.9 \times 10^{-5} \text{ } \cdot \text{m}$ 以上 $4.8 \times 10^{-3} \text{ } \cdot \text{m}$ 以下であることを特徴とする半導体装置。

10

20

【請求項 2】

請求項 1において、

前記第 2 のゲート絶縁膜は、酸化アルミニウム膜を含むことを特徴とする半導体装置。

【請求項 3】

トランジスタを有し、

前記トランジスタは、酸化物半導体膜と、ゲート絶縁膜と、ゲート電極層と、層間絶縁膜とを有し、

前記酸化物半導体膜は、ソース領域と、ドレイン領域と、チャネル形成領域を有し、

前記チャネル形成領域は、前記ソース領域と前記ドレイン領域の間にあり、

前記ソース領域は、前記ソース領域の側面でのみソース電極と接し、

前記ドレイン領域は、前記ドレイン領域の側面でのみドレイン電極と接し、

前記ゲート絶縁膜は前記酸化物半導体膜と接し、

前記ゲート電極層は前記ゲート絶縁膜と接し、

前記層間絶縁膜は前記ゲート電極層と接し、

前記トランジスタのチャネル長は、5 nm 以上 60 nm 未満であり、

前記ゲート絶縁膜の膜厚を、窒素を含む酸化シリコンとして換算した膜厚は、5 nm 以上 50 nm 以下であり、

前記層間絶縁膜は 3 nm 以上 30 nm 以下の膜厚であり、

前記層間絶縁膜は前記ゲート絶縁膜よりも酸素に対して高いブロック効果を有し、

前記ソース領域および前記ドレイン領域の抵抗率は $1.9 \times 10^{-5} \cdot m$ 以上 $4.8 \times 10^{-3} \cdot m$ 以下であることを特徴とする半導体装置。 20

【請求項 4】

請求項 3において、

前記層間絶縁膜は、酸化アルミニウム膜を含むことを特徴とする半導体装置。

【請求項 5】

トランジスタを有し、

前記トランジスタは、酸化物半導体膜と、ゲート絶縁膜と、ゲート電極層とを有し、

前記酸化物半導体膜は、ソース領域と、ドレイン領域と、チャネル形成領域を有し、

前記チャネル形成領域は、前記ソース領域と前記ドレイン領域の間にあり、

前記ソース領域は、前記ソース領域の側面でのみソース電極と接し、

前記ドレイン領域は、前記ドレイン領域の側面でのみドレイン電極と接し、

前記ゲート絶縁膜は前記酸化物半導体膜と接し、

前記ゲート電極層は前記ゲート絶縁膜と接し、

前記トランジスタのチャネル長は、5 nm 以上 60 nm 未満であり、

前記ゲート絶縁膜の膜厚を、窒素を含む酸化シリコンとして換算した膜厚は、5 nm 以上 50 nm 以下であり、

前記ソース領域および前記ドレイン領域の抵抗率は $1.9 \times 10^{-5} \cdot m$ 以上 $4.8 \times 10^{-3} \cdot m$ 以下である、ことを特徴とする半導体装置。 30

【請求項 6】

請求項 1乃至 5 のいずれか一において、

前記ソース領域および前記ドレイン領域は $1.3 \times 10^{19} \text{ cm}^{-3}$ 以上 $1.6 \times 10^{20} \text{ cm}^{-3}$ 以下の濃度のドーパントを含有していることを特徴とする半導体装置。 40

【請求項 7】

請求項 6において、

前記ドーパントは、窒素 (N)、リン (P)、砒素 (As)、およびアンチモン (Sb)、ホウ素 (B)、アルミニウム (Al)、アルゴン (Ar)、ヘリウム (He)、ネオニン (Ne)、インジウム (In)、フッ素 (F)、塩素 (Cl)、チタン (Ti)、及び亜鉛 (Zn) の少なくとも一以上を含むことを特徴とする半導体装置。

【請求項 8】

請求項 1乃至 7 のいずれか一において、

50

前記ゲート電極層の側壁に、前記ソース領域または前記ドレイン領域と重畳する側壁絶縁層を有することを特徴とする半導体装置。

【請求項 9】

請求項 1 乃至 8 のいずれか一において、

前記チャネル形成領域は、非単結晶であって、a b 面に垂直な方向から見て、三角形、六角形、正三角形、または正六角形の原子配列を有し、かつ、c 軸方向に金属原子が層状に配列した相、または c 軸方向に金属原子と酸素原子が層状に配列した相を有することを特徴とする半導体装置。

【請求項 10】

請求項 1 乃至 9 のいずれか一において、

10

前記酸化物半導体膜は、少なくともインジウムを含むことを特徴とする半導体装置。

【請求項 11】

請求項 1 乃至 10 のいずれか一において、

前記酸化物半導体膜は、少なくともインジウム、ガリウム及び亜鉛を含むことを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

半導体装置及び半導体装置の作製方法に関する。

【0002】

20

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路および電子機器は全て半導体装置である。

【背景技術】

【0003】

シリコン基板上に形成される金属酸化物シリコン電界効果トランジスタ（MOSFET）は集積回路（IC）や画像表示装置（表示装置）のような電子デバイスに広く応用されている。

【0004】

MOSFETの動作速度及び集積度は、MOSFETの寸法を $1/k$ に縮小すると速度はk倍、電力は $1/k^2$ に向上するというスケーリング則に従ってMOSFETを微細化すると向上する。よって、MOSFETのチャネル長の短縮、ゲート絶縁膜の薄膜化が図られている。

30

【0005】

しかし、MOSFETのチャネル長の短縮に伴って顕著化する電気特性の劣化、いわゆる短チャネル効果が生じるという問題がある。

【0006】

短チャネル効果の一として、パンチスルーエフェクトによる電気特性の劣化が挙げられる。パンチスルーエフェクトは、ソース側の拡散電位がドレイン側の電界に影響されて低下し、チャネルが形成されない状態でもソースとドレイン間に電流が流れる現象である。すなわち、ドレイン側の空乏層がソースにまで広がることで、ドレイン電界の効果がソースにまで及ぶものである。

40

【0007】

また、短チャネル効果の他の一として、ホットキャリアに起因する電気特性の劣化が挙げられる。ドレイン領域近傍に高電界が印加されることにより生じたホットキャリアは、ゲート絶縁膜等の酸化膜のバリアを超えるのに十分なエネルギーを与えられて、一部がゲート絶縁膜中に捕縛される又は界面準位を形成することで、トランジスタのしきい値電圧の変動（シフト）、サブスレッショルド値（S値）の増大、漏れ電流の増大等の劣化をもたらす。

【0008】

さらに衝突電離またはアバランシェ降伏で発生したキャリアが、ホットキャリアとして酸

50

化膜中に注入されること（ドレインアバランシェホットキャリア：D r a i n A v a l a n c h e H o t C a r r i e r : D A H C ）や、2次衝突電離によって発生したホットエレクトロン注入（S e c o n d a r i l y G e n e r a t e d H o t E l e c t r o n : S G H E ）によってもトランジスタの電気特性の劣化が引き起こされる。

【0009】

M O Sトランジスタにおいて、短チャネル効果の抑制のためにゲート絶縁膜の薄膜化がなされている。ゲート絶縁膜を薄膜化すると、ゲート電極層をチャネル領域に近づけることができるため、ゲート電極層によるチャネル領域への支配が強まり、上記短チャネル効果を抑制することが可能となる。よって、M O S F E T の動作速度及び集積度の向上、及び短チャネル効果の抑制をもたらすゲート絶縁膜の薄膜化は、M O S F E T において有効な技術として用いられている。10

【0010】

しかし、ゲート絶縁膜を薄膜化（例えば3 n m以下）すると、ゲート絶縁膜を通過するトンネル電流の発生が問題となる。この問題を解決するために、ゲート絶縁膜材料として酸化シリコンの代わりに、より高い誘電率を有するh i g h - k 材料（例えば、ハフニウム酸化物）を用いる試みが研究されている（例えば、特許文献1及び特許文献2参照）。h i g h - k 材料を用いることによって、物理的な膜厚をトンネル電流が流れない程度に維持しながら、実効的な酸化シリコン換算膜厚（酸化シリコンに換算した等価酸化膜厚（E O T ））を減少させる（例えば3 n m以下）ことができる。

【0011】

また、シリコン半導体を用いたM O S F E T において、短チャネル効果を防止するためにチャネル形成領域に特殊な不純物領域（ピニング領域と呼ばれていた）を設けるなどの工夫が必要とされていた（例えば、特許文献3参照）。

【0012】

また、M O Sトランジスタにおいてホットキャリアによる劣化を防ぐ手段として、チャネル形成領域と、ソース領域またはドレイン領域との間に、低濃度に不純物元素を添加した領域（以下、L D D（L i g h t l y D o p e d D r a i n ）領域とも表記する）を設けた構造が知られている（例えば、特許文献4参照）。ドレイン領域近傍の電界はドレイン領域とチャネル領域との間の接合部分における不純物濃度分布が急峻なほど増大するため、ドレイン領域とチャネル領域との間に、L D D領域を形成することにより、電界集中を低減させ、ホットキャリア効果を緩和することができる。一方で、L D D領域を形成することにより、ドレイン部分の拡散抵抗が増大するために、トランジスタのスイッチング速度が低下する、または、直列抵抗が増加するために、オン電流が低下してしまう等の問題がある。また、L D D領域の分だけトランジスタのサイズが大きくなるため、微細化の要求に逆行する一面を有している。30

【先行技術文献】

【特許文献】

【0013】

【特許文献1】特開2001-274378号公報

【特許文献2】特開2006-253440号公報

【特許文献3】特開平11-17169号公報

【特許文献4】特開平09-022947号公報

【発明の概要】

【発明が解決しようとする課題】

【0014】

上記を鑑みて、本発明の一態様では、短縮されたチャネル長とする構造であっても、短チャネル効果が生じない、又は極めて少ないトランジスタを有する半導体装置を提供することを課題の一とする。

【0015】

また、L D D領域を設げずとも、短チャネル効果が生じない、又は極めて少ない微細なト50

ランジスタを提供することを課題の一とする。

【0016】

高速動作、高集積度、低消費電力を達成する微細化されたトランジスタを有する、高性能な半導体装置を提供することを課題の一とする。

【0017】

また、高信頼性及び低成本を達成する微細化されたトランジスタを有する半導体装置を提供することを課題の一とする。

【課題を解決するための手段】

【0018】

本発明の一形態は、チャネル形成領域を含む酸化物半導体膜と、ゲート絶縁膜と、ゲート電極層とを含むトランジスタを有し、該トランジスタにおいてチャネル長は短く(5 nm以上60 nm未満、好ましくは10 nm以上40 nm以下)、ゲート絶縁膜は厚い(窒素を含む酸化シリコン換算膜厚では5 nm以上50 nm以下、好ましくは10 nm以上40 nm以下)である半導体装置である。該半導体装置におけるトランジスタは、短チャネル効果が生じない、又は極めて少なく、かつスイッチング素子としての良好な電気特性示すトランジスタである。10

【0019】

上述したように、バルクシリコンを用いるFET(MOSFET、Si-FET)では、スケーリング則に従って、MOSFETを微細化していった結果、短チャネル効果が生じてしまう。ゲート絶縁膜の薄膜化は、短チャネル効果の抑制にも効果的であるが、ゲート絶縁膜を通過するトンネル電流が発生する。MOSFETでは、酸化シリコンを含む絶縁膜(酸化シリコン膜、窒素を含む酸化シリコン膜)等のゲート絶縁膜を薄膜化しないと空乏層が広がりにくくなり高速駆動化が困難であり、ゲート絶縁膜を薄膜化するとトンネル電流が生じる。よって、薄膜化せずに、酸化シリコンを含む絶縁膜(例えば、比誘電率3.8~4.1)より高い誘電率を有するhigh-k材料(例えば、比誘電率20~30程度)をゲート絶縁膜に用いて、高速駆動と信頼性の確保を図っている。20

【0020】

本発明の一形態に用いる酸化物半導体は、シリコン半導体とはまったく異なる特異な物性を有する半導体である。酸化物半導体は少数キャリアが少ないため、空乏層が広がりやすく、極めて大きい。従って、ゲート絶縁膜に高い誘電率を有するhigh-k材料を用いることなく、窒素を含む酸化シリコン換算膜厚で5 nm以上50 nm以下、好ましくは10 nm以上40 nm以下の絶縁膜を用いることができる。上記換算膜厚の絶縁膜を用いても、酸化物半導体の空乏層は極めて大きく広がるために高速動作が可能であり、かつトンネル電流も発生しないためリーク電流も生じず高信頼性も達成できる。さらにゲート絶縁膜の薄膜化による被覆不良などの形状不良も抑制できるため歩留まりや特性ばらつきも抑制できる。30

【0021】

また、本発明の一態様は、チャネル形成領域に酸化物半導体を用い、LDD領域を設けないシングルドレイン構造のトランジスタとする。

【0022】

酸化物半導体をトランジスタのチャネル形成領域に用いることで、該トランジスタのチャネル長を微細化した場合であっても、短チャネル効果が発現しない、又は実質的に発現しない。すなわち、酸化物半導体を用いたトランジスタでは、従来のシリコンを用いたトランジスタにおいて適用してきた短チャネル効果の抑制を目的とした構成(代表的にはLDD領域)を要しない。40

【0023】

酸化物半導体を用いたトランジスタ(以下、OS-FETとも表記する)では、シリコンを用いたトランジスタ(以下、Si-FETとも表記する)において発現しうる短チャネル効果が生じにくいことを、以下に示す。

【0024】

50

20

30

40

50

S i - F E T で生じる短チャネル効果の一つとして、D I B L (D r a i n - I n d u c e d B a r r i e r L o w e r i n g) によるパンチスルー現象が挙げられる。以下では、酸化物半導体とソース電極及びドレイン電極の接合部近傍に生じるバンドの曲がりの幅に着目することにより、S i - F E T で生じるD I B L が、O S - F E T では生じにくいことを示す。

【 0 0 2 5 】

図 1 2 に n 型 S i - F E T におけるソースドレイン間のバンド構造を模式的に示す。図 1 2 (A) は、長チャネルの場合のバンド構造を示し、図 1 2 (B) は短チャネルの場合のバンド構造を示している。以下ではゲート電圧 V_g がゼロ（オフ状態）の場合を例に説明する。

10

【 0 0 2 6 】

図 1 2 において実線で示すように、ドレイン電圧 V_d がゼロの場合でも、p - n 接合界面近傍でバンドが曲がっている。これは、n + 領域と p 領域のフェルミレベルが等しくなるようキャリアをやりとりした結果、ドナーアイオンとアクセプターアイオンによる空間電荷領域（空乏層）が形成され、電界が生じているからである。

【 0 0 2 7 】

ここでドレイン電圧 V_d を印加すると、図 1 2 において破線で示すように、ドレイン側 n + 領域のバンドが $e V_d$ だけ下がると共に、空乏層が広がる。このとき、図 1 2 (A) に示すように、チャネル長が十分に長ければソース側には影響しない。一方、図 1 2 (B) に示す短チャネルの場合には、ドレイン側の空乏層がソース側にまで容易に広がり、p 領域の電位の低下をもたらす (D I B L)。その結果、電流が流れやすくなり、しきい値電圧のマイナスシフトが生じる。

20

【 0 0 2 8 】

従って、図 1 2 で示す S i - F E T における短チャネル効果は、ドレイン側の空乏層の幅、すなわちバンドの曲がり幅がドレイン電圧 V_d によって増大することが原因であると言える。以下では、S i - F E T と O S - F E T におけるソース電極及びドレイン電極とチャネル形成領域の接合部近傍のバンドの曲がり幅をそれぞれ解析的に導出して、それぞれのトランジスタにおける短チャネル効果の生じやすさ（生じにくさ）について議論する。

【 0 0 2 9 】

図 1 3 に、n 型 S i - F E T のソース側のバンド構造を示す。図 1 3 を参考に、まず n 型 S i - F E T の p 領域におけるソース側のバンド曲がり幅 L_{S^i} を求める。 L_{S^i} は p 領域におけるソース側のバンドの曲がり幅で、アクセプターアイオンによる空間電荷領域（空乏層）の幅に等しい。 y は p - n 接合界面からの距離で、電位の原点を p 領域の真性レベル $E_{i p L^{S^i}}$ としている。 (y) は p - n 接合界面からの距離 y における電位であり、原点を p 領域の真性レベル $E_{i p L^{S^i}}$ としている。 $e_{F^{S^i}}$ は $E_{i p L^{S^i}}$ とフェルミレベル $E_F^{S^i}$ の差で $e_{F^{S^i}} = E_{i p L^{S^i}} - E_F^{S^i}$ と定義する。ここで、e は素電荷である。バンドの曲がりは電位 (y) の空間変化を反映しているので、式(1) のポアソン方程式を解く必要がある。

30

【 0 0 3 0 】

【 数 1 】

$$\frac{d^2\phi}{dy^2} = -\frac{\rho}{\epsilon^{S^i}} \quad (1)$$

40

【 0 0 3 1 】

ϵ^{S^i} は誘電率、 ρ は電荷密度である。p 領域の空乏層については、負電荷をもつアクセプターアイオンを考慮すればよく、式(2)となる。

【 0 0 3 2 】

【 数 2 】

$$\rho = -eN_A^{S^i} \quad (2)$$

50

【0033】

ここで、 $N_A^{S_i}$ はアクセプタ密度である。式(2)を式(1)に代入して、式(3)に示す境界条件のもと解くと、式(4)が求まる。

【0034】

【数3】

$$\phi(L_S^{Si}) = \frac{d\phi}{dy}(L_S^{Si}) = 0 \quad (3)$$

【0035】

【数4】

10

$$\phi(y) = \frac{eN_A^{Si}}{2\varepsilon^{Si}} L_S^{Si 2} \left(1 - \frac{y}{L_S^{Si}}\right)^2 \quad (4)$$

【0036】

したがって、式(5)で示す境界条件より、ソース側のバンドの曲がり幅 $L_S^{S_i}$ は式(6)のように求まる。

【0037】

【数5】

20

$$e\phi(0) = \frac{e^2 N_A^{Si}}{2\varepsilon^{Si}} L_S^{Si 2} = E_{ipL}^{Si} - E_F^{Si} \equiv e\phi_F^{Si} \quad (5)$$

【0038】

【数6】

$$L_S^{Si} = \sqrt{\frac{2\varepsilon^{Si} \phi_F^{Si}}{eN_A^{Si}}} \quad (6)$$

【0039】

30

一方、ドレイン電圧 V_d 印加時のドレイン側のバンド曲がり幅 $L_D^{S_i}$ は、同様の計算により式(7)のように求まる。

【0040】

【数7】

$$L_D^{Si} = \sqrt{\frac{2\varepsilon^{Si} (\phi_F^{Si} + V_d)}{eN_A^{Si}}} \quad (7)$$

【0041】

式(7)より、Si-FETでは確かに、 V_d により $L_D^{S_i}$ が増大する、すなわち、ドレイン側の空乏層の幅 V_d によって増大することがわかる。

40

【0042】

次に、図14に、OS-FETのソースドレイン間ににおけるバンド構造を示す。図14を参考にOS-FETのOS領域におけるソース側のバンド曲がり幅 $L_S^{O_S}$ 及びドレイン側のバンド曲がり幅 $L_D^{O_S}$ を求める。ここでは、ソース電極及びドレイン電極に用いる金属の仕事関数 ϕ_m と酸化物半導体の電子親和力 $E_F^{O_S}$ とが等しい ($\phi_m = E_F^{O_S}$) と仮定して、ソース電極及びドレイン電極と、酸化物半導体とがオーミック接觸している場合を考える。 y はソース電極又はドレイン電極と酸化物半導体との接合界面からの距離 y における電位であり、原点をOS領域の真性レベル $E_{iL}^{O_S}$ としている。 e^{F_O} は $E_{iL}^{O_S}$ とソース側のフェルミレベル $E_F^{O_S}$ の差で $e^{F_O} = E_{iL}^{O_S} - E_F^{O_S}$

50

ρ^{OS} と定義する。この場合、OS 領域のバンドの曲がりは多数キャリアである電子密度 $n^{\text{OS}}(y)$ から生じると考えられるので、電荷密度 ρ は式 (8) となる。

【0043】

【数8】

$$\rho(y) = -en^{\text{OS}}(y) = -en_0^{\text{OS}} \text{Exp} \left[\frac{e\phi(y)}{kT} \right] \quad (8)$$

【0044】

ここで、 k はボルツマン定数、 T は絶対温度であり、電位 $\phi(y)$ の原点を OS 領域の真性レベル E_{iL}^{OS} としている。 n_0^{OS} は OS のバルク領域での電子密度で、真性キャリア密度 n_i^{OS} を用いて、式 (9) で表される。

【0045】

【数9】

$$n_0^{\text{OS}} = n_i^{\text{OS}} \text{Exp} \left[-\frac{e\phi_F^{\text{OS}}}{kT} \right] \quad (9)$$

【0046】

電位 $\phi(y)$ は、式 (10) に示すポアソン方程式により求まる。

【0047】

【数10】

$$\frac{d^2\phi}{dy^2} = \frac{en_0^{\text{OS}}}{\varepsilon^{\text{OS}}} \text{Exp} \left[\frac{e\phi}{kT} \right] \quad (10)$$

【0048】

これを式 (11) に示す境界条件のもとで解くと、式 (12) が求まる。

【0049】

【数11】

$$\phi(L_s) = \frac{d\phi}{dy}(L_s) = 0 \quad (11)$$

【0050】

【数12】

$$\phi(y) = -\frac{2kT}{e} \ln \cos \left[\sqrt{\frac{e^2 n_0^{\text{OS}}}{2\varepsilon^{\text{OS}} kT}} (y - L_s^{\text{OS}}) \right] \quad (12)$$

【0051】

したがって、式 (13) で示す境界条件より、式 (14) が求まる。

【0052】

【数13】

$$e\phi(0) = -2kT \ln \cos \left[\sqrt{\frac{e^2 n_0^{\text{OS}}}{2\varepsilon^{\text{OS}} kT}} L_s^{\text{OS}} \right] = \frac{E_g^{\text{OS}}}{2} + e\phi_F^{\text{OS}} \quad (13)$$

【0053】

【数14】

$$L_s^{OS} = \sqrt{\frac{2\varepsilon^{OS}kT}{e^2n_0^{OS}}} \text{ArcCos} \left\{ \text{Exp} \left[-\frac{E_g^{OS}/2 + e\phi_F^{OS}}{2kT} \right] \right\} \quad (14)$$

【0054】

$E_g^{OS}/2 + e\phi_F^{OS} >> 2kT$ なので、式(14)は式(15)のように近似できる。

【0055】

【数15】

10

$$L_s^{OS} \sim \sqrt{\frac{2\varepsilon^{OS}kT}{e^2n_0^{OS}}} \text{ArcCos}(0) = \sqrt{\frac{2\varepsilon^{OS}kT}{e^2n_0^{OS}}} \frac{\pi}{2} = \pi \sqrt{\frac{\varepsilon^{OS}kT}{2e^2n_0^{OS}}} \quad (15)$$

【0056】

一方、ドレイン電圧 V_d 印加時のドレイン側のバンド曲がり幅 L_D^{OS} は、式(13)の $e\phi_F^{OS}$ を $e\phi_F^{OS} + eV_{SD}$ に置き換えれば求まる。上述のように、 $E_g^{OS}/2 + e\phi_F^{OS} + eV_d >> 2kT$ なので、 L_D^{OS} は式(16)のように近似できる。

【0057】

【数16】

20

$$L_D^{OS} \sim \pi \sqrt{\frac{\varepsilon^{OS}kT}{2e^2n_0^{OS}}} \sim L_s^{OS} \quad (16)$$

【0058】

以上示すように、驚くべきことに酸化物半導体を用いたトランジスタでは、 L_D^{OS} は V_d に依存しないことがわかる。したがって、酸化物半導体を用いたトランジスタにおいて DIBL は生じず、又は極めて生じにくく、DIBL に起因する短チャネル効果は生じないといえる。

【0059】

30

空乏層は濃度の低い領域に向かって広がるため、シリコンを用いたトランジスタでは低濃度の n 型領域 (LDD 領域) を設けることで、チャネル内での空乏層の広がりを浅くし、p 領域の電位の低下 (DIBL) を抑制している。しかしながら、上述のように酸化物半導体を用いたトランジスタにおいては、DIBL が生じないため、LDD 領域を設げずとも短チャネル効果の発現を抑制することが可能となる。

【0060】

また、酸化物半導体のエネルギーギャップ (Eg) は、 $2.8 \sim 3.2$ eV であり、シリコンのエネルギーギャップ (Eg) の 1.1 eV と比べると広いことも、酸化物半導体を用いたトランジスタにおいて短チャネル効果が生じない又は生じにくいことの一因といえる。衝突電離は、キャリア (電子、正孔) が半導体のバンドギャップ以上の運動エネルギーを有することにより発生するため、バンドギャップが広いほど衝突電離が起こりにくいためである。同様に、酸化物半導体を用いたトランジスタは、衝突電離により発生した電子と正孔の対がさらに電界によって加速され、衝突電離を繰り返すことで電流が指数関数的に増加するアバルンシェ降伏現象もシリコンを用いたトランジスタより起こりにくい。よって、酸化物半導体を用いたトランジスタはシリコンと比べてホットキャリア劣化の耐性が高い。

40

【0061】

また、シリコンを用いたトランジスタでは、少数キャリア密度は $1 \times 10^{11} \text{ cm}^{-3}$ 程度と大変多いのに比較して、本発明の一態様に係る酸化物半導体を用いたトランジスタでは、少数キャリア密度が極めて少なく、 $1 \times 10^{-9} \text{ cm}^{-3}$ 程度である。よって該酸化

50

物半導体を用いたトランジスタでは、多数キャリア（電子）はトランジスタのソースから来るのみであり、パンチスルーハイドロゲン現象及びアバランシェ降伏現象が生じない。

【0062】

本発明の一態様に係る作製方法によれば、酸化物半導体から水素原子又は水などの水素原子を含む不純物を徹底的に排除し、且つ、酸化物半導体及び／又は酸化物半導体と接する絶縁物に化学量論比よりも過剰な酸素を含有させて、酸化物半導体の酸素欠損を補填することで、キャリアの発生源が極めて低減された酸化物半導体を形成することが可能である。少数キャリア密度が極めて小さく、かつ酸素欠損、水素などのキャリア発生源が低減された酸化物半導体膜を用いたトランジスタは、オフ状態のときのリーク電流を極めて小さくすることができる。例えば、本発明の一態様のトランジスタにおいて、オフ状態でのリーク電流を85～95（基板温度）において $1zA/\mu m$ レベル、室温（基板温度）において $1yA/\mu m$ レベルと極めて小さく、該トランジスタは高い信頼性を有している。また、本発明の一態様のトランジスタのサブスレッショルド値（S値）は小さく、理想値に近い。さらに、多層構造が可能であり、高密度化が達成できる。10

【0063】

シリコンを用いたトランジスタでは空乏層がナノメートル（nm）レベルと小さいのに比較して、酸化物半導体を用いたトランジスタでは空乏層がメートル（m）レベルと極めて大きい。

【0064】

以上のように、本発明の一態様に係る酸化物半導体を用いたトランジスタは、バルクシリコンを用いたトランジスタとは全く異なる特性を有するトランジスタである。20

【0065】

本発明の一形態は、チャネル形成領域を含む酸化物半導体膜（代表的には、インジウムを含む酸化物半導体膜、例えば、インジウム、ガリウム、及び亜鉛を含む酸化物半導体膜）と、ゲート絶縁膜と、ゲート電極層とを含むトランジスタを有し、トランジスタのチャネル長が5nm以上60nm未満（好ましくは10nm以上40nm以下）であり、ゲート絶縁膜の窒素を含む酸化シリコン換算膜厚は5nm以上50nm以下（好ましくは10nm以上40nm以下）である半導体装置である。

【0066】

本発明の他の一形態は、上記構成において、ゲート絶縁膜上に、3nm以上30nm以下の膜厚の酸素に対するバリア層（代表的には酸化アルミニウム膜）が設けられている半導体装置である。30

【0067】

上記、本発明の一形態に係る酸化物半導体膜を含むトランジスタは、リーク電流が $1zA/\mu m$ 未満（好ましくは $1yA/\mu m$ 未満）である。

【0068】

上記、本発明の一形態に係る酸化物半導体膜を含むトランジスタは、短チャネル効果を生じない、又は実質的に生じない。

【0069】

本発明の他の一形態は、上記構成において、酸化物半導体膜下に酸素過剰の絶縁物が設けられている半導体装置であり、該半導体装置は、酸素過剰の絶縁物の下に窒化シリコン膜又は酸化アルミニウム膜を設け、かつ窒化シリコン膜又は酸化アルミニウム膜の下にはシリコン半導体を半導体の主成分とする金属酸化物シリコン電界効果トランジスタを設ける構成とすることができます。40

【0070】

また、本発明の他の一形態は、チャネル形成領域と、チャネル形成領域を挟むソース領域及びドレイン領域と、を含む酸化物半導体膜と、酸化物半導体膜と電気的に接続するソース電極層及びドレイン電極層と、チャネル形成領域と重畳するゲート電極層と、酸化物半導体膜と、ゲート電極層との間に設けられたゲート絶縁膜と、を有し、ソース領域及びドレイン領域の抵抗率は $1.9 \times 10^{-5} \cdot m$ 以上 $4.8 \times 10^{-3} \cdot m$ 以下であり、50

チャネル長が 5 nm 以上 60 nm 未満である半導体装置である。

【 0 0 7 1 】

また、本発明の一態様は、チャネル形成領域と、チャネル形成領域を挟むソース領域及びドレイン領域と、を含む酸化物半導体膜と、酸化物半導体膜と電気的に接続するソース電極層及びドレイン電極層と、チャネル形成領域と重畳するゲート電極層と、酸化物半導体膜と、ゲート電極層との間に設けられたゲート絶縁膜と、を有し、ソース領域及びドレイン領域は、 $1.3 \times 10^{19} \text{ cm}^{-3}$ 以上 $1.6 \times 10^{20} \text{ cm}^{-3}$ 以下の濃度のドーパントを含有し、チャネル長が 5 nm 以上 60 nm 未満である半導体装置である。

【 0 0 7 2 】

上記の半導体装置において、ソース電極層は、ソース領域において酸化物半導体膜と接し、ドレイン電極層は、ドレイン領域において酸化物半導体膜と接し、ソース領域又はドレイン領域において、ソース電極層又はドレイン電極層と接する領域の抵抗率と、チャネル形成領域と接する領域の抵抗率とは、同じ抵抗率である。 10

【 0 0 7 3 】

また、上記の半導体装置において、ゲート電極層の側壁に、ソース領域又はドレイン領域と重畳する側壁絶縁層を有することが好ましい。

【 0 0 7 4 】

また、上記の半導体装置において、ゲート絶縁膜は、酸化物半導体膜と接する第 1 の絶縁層と、第 1 の絶縁層とゲート電極層との間に設けられた第 2 の絶縁層と、を含み、第 2 の絶縁層は、第 1 の絶縁層よりも酸素及び水素に対する透過性の低い膜であることが好ましい。また、第 2 の絶縁層として、酸化アルミニウム膜を好適に用いることができる。 20

【 0 0 7 5 】

上記の半導体装置において、酸化物半導体膜のゲート絶縁膜と接する面と対向する面に接して、化学量論比よりも過剰に酸素を含有する酸化物絶縁層を有することが好ましい。また、酸化物絶縁層に接して、酸化アルミニウム膜、窒化シリコン膜又は窒化酸化シリコン膜が設けられていることがより好ましい。

【 0 0 7 6 】

また、上記の半導体装置において、チャネル形成領域は、非単結晶であって、a b 面に垂直な方向から見て、三角形、六角形、正三角形、又は正六角形の原子配列を有し、且つ、c 軸方向に金属原子が層状に配列した相、又は c 軸方向に金属原子と酸素原子が層状に配列した相を有することが好ましい。 30

【 0 0 7 7 】

また、上記の半導体装置において、酸化物半導体膜は、少なくともインジウムを含むことが好ましい。

【 0 0 7 8 】

また、上記の半導体装置において、酸化物半導体膜は、少なくともインジウム、ガリウム及び亜鉛を含むことが好ましい。

【 0 0 7 9 】

本発明の一形態は、トランジスタ若しくはトランジスタを含んで構成される回路を有する半導体装置に関する。例えば、酸化物半導体でチャネル形成領域が形成される、トランジスタ若しくはトランジスタを含んで構成される回路を有する半導体装置に関する。例えば、LSI や、CPU や、電源回路に搭載されるパワーデバイスや、メモリ、サイリスタ、コンバータ、イメージセンサなどを含む半導体集積回路、液晶表示パネルに代表される電子光学装置や発光素子を有する発光表示装置を部品として搭載した電子機器に関する。 40

【 0 0 8 0 】

なお、本明細書等において、トランジスタのソースとドレインについては、一方をドレインと呼ぶとき他方をソースとする。即ち、電位の高低によって、それらを区別しない。従って、本明細書において、ソースとされている部分をドレインと読み替えることもできる。

【 0 0 8 1 】

10

20

30

40

50

また、チャネル長とは、トランジスタのソースとドレインとの間の距離をいう。チャネル長が小さいほど、オン抵抗が小さくなり、高速動作が可能なトランジスタとなる。

【発明の効果】

【0082】

本発明の一態様によって、短縮されたチャネル長とする構造であっても、短チャネル効果が有さない、又極めて少ないとトランジスタを提供することができる。

【0083】

本発明の一態様によって、LDD領域を設けずとも、短チャネル効果の発現しない、又は、実質的に短チャネル効果のない微細なトランジスタを提供することができる。また、当該トランジスタを適用した半導体装置を提供することができる。

10

【0084】

高速動作、高集積度、低消費電力を達成する微細化されたトランジスタを有する、高性能な半導体装置を提供することができる。

【0085】

また、高信頼性及び低成本を達成する微細化されたトランジスタを有する半導体装置を提供することができる。

【図面の簡単な説明】

【0086】

【図1】半導体装置の一形態を説明する平面図及び断面図。

20

【図2】半導体装置の一形態を説明する断面図。

【図3】半導体装置の一形態を説明する平面図及び断面図。

【図4】半導体装置の一形態を説明する平面図及び断面図。

【図5】半導体装置の一形態を示す断面図、平面図及び回路図。

【図6】半導体装置の一形態を示す回路図及び斜視図。

【図7】半導体装置の一形態を示す断面図及び平面図。

【図8】半導体装置の一形態を示す回路図。

【図9】半導体装置の一形態を示すブロック図。

【図10】半導体装置の一形態を示すブロック図。

【図11】半導体装置の一形態を示すブロック図。

30

【図12】Si-FETのバンド構造を説明する模式図。

【図13】Si-FETのバンド構造を説明する模式図。

【図14】OS-FETのバンド構造を説明する模式図。

【図15】実施例トランジスタの断面SEM像を示す図。

【図16】実施例トランジスタの電気特性を示す図。

【図17】半導体装置の一形態を説明する平面図及び断面図。

【図18】半導体装置の一形態を説明する断面図。

【図19】半導体装置の一形態を説明する平面図及び断面図。

【図20】半導体装置の一形態を説明する平面図及び断面図。

【発明を実施するための形態】

【0087】

以下では、本明細書に開示する発明の実施の形態について図面を用いて詳細に説明する。ただし、本明細書に開示する発明は以下の説明に限定されず、その形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。また、本明細書に開示する発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、第1、第2として付される序数詞は便宜上用いるものであり、工程順又は積層順を示すものではない。また、本明細書において発明を特定するための事項として固有の名称を示すものではない。

40

【0088】

なお、以下に説明する本発明の構成において、同一部分又は同様の機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。また、同様

50

の機能を有する部分を指す場合には、ハッチパターンを同じくし、特に符号を付さない場合がある。

【0089】

(実施の形態1)

本実施の形態では、半導体装置及び半導体装置の作製方法の一形態を、図1乃至図3を用いて説明する。本実施の形態では、半導体装置の一例として酸化物半導体膜を有するトランジスタを示す。

【0090】

トランジスタは、トップゲート構造及びボトムゲート構造であってもよく、チャネル形成領域が1つ形成されるシングルゲート構造でも、2つ形成されるダブルゲート構造もしくは3つ形成されるトリプルゲート構造であってもよい。また、チャネル形成領域の上下にゲート絶縁膜を介して配置された2つのゲート電極層を有する、デュアルゲート型でもよい。

10

【0091】

図1(A)及び(B)に示すトランジスタ440aは、トップゲート構造のトランジスタの一例である。図1(A)は、トランジスタ440aの平面図であり、図1(B)は、図1(A)のA-Bにおける断面図である。なお、図1(A)では煩雑になることを避けるため、トランジスタ440aの構成要素の一部を省略して図示している。

【0092】

チャネル長方向の断面図である図1(B)に示すように、トランジスタ440aを含む半導体装置は、絶縁膜436が設けられた絶縁表面を有する基板400上に、酸化物半導体膜403、ソース電極層405a、ドレイン電極層405b、ゲート絶縁膜402、ゲート電極層401、ゲート電極層401上に設けられた絶縁膜407、層間絶縁膜415を有する。

20

【0093】

トランジスタ440aにおいてチャネル長は短く(5nm以上60nm未満、好ましくは10nm以上40nm以下)、ゲート絶縁膜402は厚い(窒素を含む酸化シリコン換算膜厚では5nm以上50nm以下、好ましくは10nm以上40nm以下)。トランジスタ440aは、短チャネル効果を有さない、又は極めて少なく、かつスイッチング素子としての良好な電気特性示すトランジスタである。

30

【0094】

なお、窒素を含む酸化シリコン膜に含まれる窒素の濃度は0.01原子%以上含まれていればよく、好ましくは0.1原子%以上50原子%以下、より好ましくは0.5原子%以上15原子%以下であればよい。酸化シリコン膜に上記のような濃度で窒素が含まれるものは酸化窒化シリコン膜と呼ばれることがある。また、窒素を含む酸化シリコン膜の比誘電率は代表的に3.8~4.1である。

【0095】

酸化物半導体膜403に用いる酸化物半導体としては、少なくともインジウム(In)を含む。特にInと亜鉛(Zn)を含むことが好ましい。また、該酸化物半導体を用いたトランジスタの電気特性のばらつきを減らすためのスタビライザーとして、それらに加えてガリウム(Ga)を有することが好ましい。また、スタビライザーとしてスズ(Sn)を有することが好ましい。また、スタビライザーとしてハフニウム(Hf)を有することが好ましい。また、スタビライザーとしてアルミニウム(Al)を有することが好ましい。また、スタビライザーとしてジルコニウム(Zr)を有することが好ましい。

40

【0096】

また、他のスタビライザーとして、ランタノイドである、ランタン(La)、セリウム(Ce)、プラセオジム(Pr)、ネオジム(Nd)、サマリウム(Sm)、ユウロピウム(Eu)、ガドリニウム(Gd)、テルビウム(Tb)、ジスプロシウム(Dy)、ホルミウム(Ho)、エルビウム(Er)、ツリウム(Tm)、イッテルビウム(Yb)、ルテチウム(Lu)のいずれか一種あるいは複数種を有してもよい。

50

【0097】

例えは、酸化物半導体として、酸化インジウム、酸化スズ、酸化亜鉛、二元系金属の酸化物であるIn-Zn系酸化物、In-Mg系酸化物、In-Ga系酸化物、三元系金属の酸化物であるIn-Ga-Zn系酸化物（IGZOとも表記する）、In-Al-Zn系酸化物、In-Sn-Zn系酸化物、In-Hf-Zn系酸化物、In-La-Zn系酸化物、In-Ce-Zn系酸化物、In-Pr-Zn系酸化物、In-Nd-Zn系酸化物、In-Sm-Zn系酸化物、In-Eu-Zn系酸化物、In-Gd-Zn系酸化物、In-Tb-Zn系酸化物、In-Dy-Zn系酸化物、In-Ho-Zn系酸化物、In-Er-Zn系酸化物、In-Tm-Zn系酸化物、In-Yb-Zn系酸化物、In-Lu-Zn系酸化物、四元系金属の酸化物であるIn-Sn-Ga-Zn系酸化物、In-Hf-Ga-Zn系酸化物、In-Al-Ga-Zn系酸化物、In-Sn-Al-Zn系酸化物、In-Sn-Hf-Zn系酸化物、In-Hf-Al-Zn系酸化物を用いることができる。
10

【0098】

なお、ここで、例えは、In-Ga-Zn系酸化物とは、InとGaとZnを主成分として有する酸化物という意味であり、InとGaとZnの比率は問わない。また、InとGaとZn以外の金属元素が入っていてもよい。

【0099】

また、酸化物半導体として、 $InMO_3 (ZnO)_m$ ($m > 0$ 、且つ、 m は整数でない) で表記される材料を用いてもよい。なお、Mは、Ga、Fe、Mn及びCoから選ばれた一の金属元素又は複数の金属元素を示す。また、酸化物半導体として、 $In_2SnO_5 (ZnO)_n$ ($n > 0$ 、且つ、 n は整数) で表記される材料を用いてもよい。
20

【0100】

例えは、 $In : Ga : Zn = 1 : 1 : 1$ ($= 1/3 : 1/3 : 1/3$)、 $In : Ga : Zn = 2 : 2 : 1$ ($= 2/5 : 2/5 : 1/5$)、あるいは $In : Ga : Zn = 3 : 1 : 2$ ($= 1/2 : 1/6 : 1/3$) の原子数比のIn-Ga-Zn系酸化物やその組成の近傍の酸化物を用いることができる。あるいは、 $In : Sn : Zn = 1 : 1 : 1$ ($= 1/3 : 1/3 : 1/3$)、 $In : Sn : Zn = 2 : 1 : 3$ ($= 1/3 : 1/6 : 1/2$) あるいは $In : Sn : Zn = 2 : 1 : 5$ ($= 1/4 : 1/8 : 5/8$) の原子数比のIn-Sn-Zn系酸化物やその組成の近傍の酸化物を用いるとよい。
30

【0101】

しかし、インジウムを含む酸化物半導体は、これらに限られず、必要とする半導体特性（移動度、しきい値、ばらつき等）に応じて適切な組成のものを用いればよい。また、必要とする半導体特性を得るために、キャリア濃度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間距離、密度等を適切なものとすることが好ましい。

【0102】

例えは、In-Sn-Zn系酸化物では比較的容易に高い移動度が得られる。しかしながら、In-Ga-Zn系酸化物でも、バルク内欠陥密度を低くすることにより移動度を上げることができる。

【0103】

なお、例えは、In、Ga、Znの原子数比が $In : Ga : Zn = a : b : c$ ($a + b + c = 1$) である酸化物の組成が、原子数比が $In : Ga : Zn = A : B : C$ ($A + B + C = 1$) の酸化物の組成の近傍であるとは、 a 、 b 、 c が、 $(a - A)^2 + (b - B)^2 + (c - C)^2 \leq r^2$ を満たすことをいう。 r としては、例えは、0.05とすればよい。他の酸化物でも同様である。
40

【0104】

酸化物半導体膜403は、単結晶、多結晶（ポリクリスタルともいう。）または非晶質などの状態をとる。

【0105】

好ましくは、酸化物半導体膜403は、CAAC-OS (C Axis Aligned)
50

C r y s t a l l i n e O x i d e S e m i c o n d u c t o r) 膜とする。

【 0 1 0 6 】

C A A C - O S 膜は、完全な単結晶ではなく、完全な非晶質でもない。C A A C - O S 膜は、非晶質相に結晶部および非晶質部を有する結晶・非晶質混相構造の酸化物半導体膜である。なお、当該結晶部は、一辺が 1 0 0 n m 未満の立方体内に収まる大きさが多い。また、透過型電子顕微鏡 (T E M : T r a n s m i s s i o n E l e c t r o n Microscope) による観察像では、C A A C - O S 膜に含まれる非晶質部と結晶部との境界は明確ではない。また、T E M によって C A A C - O S 膜には粒界 (グレインバウンダリーともいう。) は確認できない。そのため、C A A C - O S 膜は、粒界に起因する電子移動度の低下が抑制される。

10

【 0 1 0 7 】

C A A C - O S 膜に含まれる結晶部は、c 軸が C A A C - O S 膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃い、かつ a b 面に垂直な方向から見て三角形状または六角形状の原子配列を有し、c 軸に垂直な方向から見て金属原子が層状または金属原子と酸素原子とが層状に配列している。なお、異なる結晶部間で、それぞれ a 軸および b 軸の向きが異なっていてもよい。本明細書において、単に垂直と記載する場合、85°以上 95°以下の範囲も含まれることとする。また、単に平行と記載する場合、-5°以上 5°以下の範囲も含まれることとする。

【 0 1 0 8 】

なお、C A A C - O S 膜において、結晶部の分布が一様でなくてもよい。例えば、C A A C - O S 膜の形成過程において、酸化物半導体膜の表面側から結晶成長させる場合、被形成面の近傍に対し表面の近傍では結晶部の占める割合が高くなることがある。また、C A A C - O S 膜へ不純物を添加することにより、当該不純物添加領域において結晶部が非晶質化することもある。

20

【 0 1 0 9 】

C A A C - O S 膜に含まれる結晶部の c 軸は、C A A C - O S 膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃うため、C A A C - O S 膜の形状 (被形成面の断面形状または表面の断面形状) によっては互いに異なる方向を向くことがある。なお、結晶部の c 軸の方向は、C A A C - O S 膜が形成されたときの被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向となる。結晶部は、成膜することにより、または成膜後に熱処理などの結晶化処理を行うことにより形成される。

30

【 0 1 1 0 】

C A A C - O S 膜を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。よって、当該トランジスタは、信頼性が高い。

【 0 1 1 1 】

C A A C - O S 膜は、例えば、多結晶である酸化物半導体スパッタリング用ターゲットを用い、スパッタリング法によって成膜する。当該スパッタリング用ターゲットにイオンが衝突すると、スパッタリング用ターゲットに含まれる結晶領域が a - b 面から劈開し、a - b 面に平行な面を有する平板状またはペレット状のスパッタリング粒子として剥離することがある。この場合、当該平板状のスパッタリング粒子が、結晶状態を維持したまま基板に到達することで、C A A C - O S 膜を成膜することができる。

40

【 0 1 1 2 】

また、C A A C - O S 膜を成膜するために、以下の条件を適用することが好ましい。

【 0 1 1 3 】

成膜時の不純物混入を低減することで、不純物によって結晶状態が崩れることを抑制できる。例えば、成膜室内に存在する不純物濃度 (水素、水、二酸化炭素および窒素など) を低減すればよい。また、成膜ガス中の不純物濃度を低減すればよい。具体的には、露点が -80 以下、好ましくは -100 以下である成膜ガスを用いる。

【 0 1 1 4 】

また、成膜時の基板加熱温度を高めることで、基板到達後にスパッタリング粒子のマイグ

50

レーションが起こる。具体的には、基板加熱温度を100以上740以下、好ましくは200以上500以下として成膜する。成膜時の基板加熱温度を高めることで、平板状のスパッタリング粒子が基板に到達した場合、基板上でマイグレーションが起り、スパッタリング粒子の平らな面が基板に付着する。

【0115】

また、成膜ガス中の酸素割合を高め、電力を最適化することで成膜時のプラズマダメージを軽減すると好ましい。成膜ガス中の酸素割合は、30体積%以上、好ましくは100体積%とする。

【0116】

スパッタリング用ターゲットの一例として、In-Ga-Zn-O化合物ターゲットについて以下に示す。

【0117】

InO_x粉末、GaO_y粉末およびZnO_z粉末を所定のmol数比で混合し、加圧処理後、1000以上1500以下の温度で加熱処理することで多結晶であるIn-Ga-Zn-O化合物ターゲットとする。なお、X、YおよびZは任意の正数である。ここで、所定のmol数比は、例えば、InO_x粉末、GaO_y粉末およびZnO_z粉末が、2:2:1、8:4:3、3:1:1、1:1:1、4:2:3または3:1:2である。なお、粉末の種類、およびその混合するmol数比は、作製するスパッタリング用ターゲットによって適宜変更すればよい。

【0118】

なお、CACAC-O_Sのように結晶部を有する酸化物半導体では、よりバルク内欠陥を低減することができ、表面の平坦性を高めればアモルファス状態の酸化物半導体以上の移動度を得ることができる。表面の平坦性を高めるためには、平坦な表面上に酸化物半導体を形成することができる。具体的には、平均面粗さ(Ra)が1nm以下、好ましくは0.3nm以下、より好ましくは0.1nm以下の表面上に形成するとよい。

【0119】

なお、Raは、JIS B 0601:2001(ISO 4287:1997)で定義されている算術平均粗さを曲面に対して適用できるよう三次元に拡張したものであり、「基準面から指定面までの偏差の絶対値を平均した値」で表現でき、以下の式にて定義される。

【0120】

【数17】

$$Ra = \frac{1}{S_0} \int_{y_1}^{y_2} \int_{x_1}^{x_2} |f(x, y) - Z_0| dx dy$$

【0121】

ここで、指定面とは、粗さ計測の対象となる面であり、座標(x₁, y₁, f(x₁, y₁))、(x₁, y₂, f(x₁, y₂))、(x₂, y₁, f(x₂, y₁))、(x₂, y₂, f(x₂, y₂))の4点で表される四角形の領域とし、指定面をxy平面に投影した長方形の面積をS₀、基準面の高さ(指定面の平均の高さ)をZ₀とする。Raは原子間力顕微鏡(AFM: Atomic Force Microscope)にて測定可能である。

【0122】

酸化物半導体膜403の膜厚は、1nm以上30nm以下(好ましくは5nm以上10nm以下)とし、スパッタリング法、MBE(Molecular Beam Epitaxy)法、CVD法、パルスレーザ堆積法、ALD(Atomic Layer Deposition)法等を適宜用いることができる。また、酸化物半導体膜403は、スパッタリングターゲット表面に対し、概略垂直に複数の基板表面がセットされた状態で成膜を行うスパッタ装置を用いて成膜してもよい。

10

20

30

40

50

【 0 1 2 3 】

本発明の一形態のトランジスタの作製方法として、トランジスタ 4 4 0 a の作製方法の一例を示す。

【 0 1 2 4 】

絶縁表面を有する基板 4 0 0 上に絶縁膜 4 3 6 を形成する。

【 0 1 2 5 】

絶縁表面を有する基板 4 0 0 に使用することができる基板に大きな制限はないが、少なくとも、後の熱処理に耐えうる程度の耐熱性を有していることが必要となる。例えば、バリウムホウケイ酸ガラスやアルミニノホウケイ酸ガラスなどのガラス基板、セラミック基板、石英基板、サファイア基板などを用いることができる。また、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基板、S O I 基板などを適用することもでき、これらの基板上に半導体素子が設けられたものを、基板 4 0 0 として用いてもよい。10

【 0 1 2 6 】

また、基板 4 0 0 として、可撓性基板を用いて半導体装置を作製してもよい。可撓性を有する半導体装置を作製するには、可撓性基板上に酸化物半導体膜 4 0 3 を含むトランジスタ 4 4 0 a を直接作製してもよいし、他の作製基板に酸化物半導体膜 4 0 3 を含むトランジスタ 4 4 0 a を作製し、その後可撓性基板に剥離、転置してもよい。なお、作製基板から可撓性基板に剥離、転置するために、作製基板と酸化物半導体膜を含むトランジスタ 4 4 0 a との間に剥離層を設けるとよい。20

【 0 1 2 7 】

絶縁膜 4 3 6 としては、プラズマ C V D 法又はスパッタリング法等により、酸化シリコン、酸化窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、酸化ハフニウム、酸化ガリウム、又はこれらの混合材料を用いて形成することができる。

【 0 1 2 8 】

絶縁膜 4 3 6 は、単層でも積層でもよい。例えば、基板 4 0 0 上に酸化シリコン膜、I n - H f - Z n 系酸化物膜、酸化物半導体膜 4 0 3 を順に積層してもよいし、基板 4 0 0 上に酸化シリコン膜、I n : Z r : Z n = 1 : 1 : 1 の原子数比の I n - Z r - Z n 系酸化物膜、酸化物半導体膜 4 0 3 を順に積層してもよいし、基板 4 0 0 上に酸化シリコン膜、I n : G d : Z n = 1 : 1 : 1 の原子数比の I n - G d - Z n 系酸化物膜、酸化物半導体膜 4 0 3 を順に積層してもよい。30

【 0 1 2 9 】

但し、絶縁膜 4 3 6 は、酸化物絶縁層を含む単層又は積層構造として、該酸化物絶縁層が後に形成される酸化物半導体膜 4 0 3 と接する構造とすることが好ましい。なお、絶縁膜 4 3 6 は、必ずしも設けなくともよい。

【 0 1 3 0 】

本実施の形態では絶縁膜 4 3 6 としてスパッタリング法を用いて形成する酸化シリコン膜を用いる。

【 0 1 3 1 】

また、絶縁膜 4 3 6 と基板 4 0 0 との間に窒化物絶縁膜を設けてもよい。窒化物絶縁膜は、プラズマ C V D 法又はスパッタリング法等により、窒化シリコン、窒化酸化シリコン、窒化アルミニウム、窒化酸化アルミニウム、又はこれらの混合材料を用いて形成することができる。絶縁膜 4 3 6 と基板 4 0 0 との間に窒化物絶縁膜を有することで、酸化物半導体膜 4 0 3 への不純物の拡散を防止することができる。40

【 0 1 3 2 】

絶縁膜 4 3 6 は、酸化物半導体膜 4 0 3 と接するため、膜中（バルク中）に少なくとも化学量論比を超える量の酸素が存在することが好ましい。例えば、絶縁膜 4 3 6 として、酸化シリコン膜を用いる場合には、 $S i O_{2+}$ （ただし、 $\delta > 0$ ）とする。このような絶縁膜 4 3 6 を用いることで、酸化物半導体膜 4 0 3 に酸素を供給することができ、特性を良好にすることができます。酸化物半導体膜 4 0 3 へ酸素を供給することにより、膜中の酸50

素欠損を補填することができる。なお、絶縁膜436が積層構造の場合は、少なくとも酸化物半導体膜403と接する層（好ましくは酸化物絶縁層）において酸素過剰領域を有することが好ましい。

【0133】

例えば、酸素の供給源となる酸素を多く（過剰に）含む絶縁膜436を酸化物半導体膜403と接して設けることによって、該絶縁膜436から酸化物半導体膜403へ酸素を供給することができる。酸化物半導体膜403及び絶縁膜436を少なくとも一部が接した状態で加熱処理を行うことによって酸化物半導体膜403への酸素の供給を行ってもよい。

【0134】

絶縁膜436に酸素過剰領域を設けるには、例えば、酸素雰囲気下にて絶縁膜436を成膜すればよい。又は、成膜後の絶縁膜436に、酸素（少なくとも、酸素ラジカル、酸素原子、酸素イオンのいずれかを含む）を導入して、酸素過剰領域を形成してもよい。酸素の導入方法としては、イオン注入法、イオンドーピング法、プラズマイマージョンイオンインプランテーション法、プラズマ処理などを用いることができる。

【0135】

絶縁膜436において酸化物半導体膜403が接して形成される領域に、平坦化処理を行ってもよい。平坦化処理としては、特に限定されないが、研磨処理（例えば、化学的機械研磨法）、ドライエッティング処理、プラズマ処理を用いることができる。

【0136】

プラズマ処理としては、例えば、アルゴンガスを導入してプラズマを発生させる逆スパッタリングを行うことができる。逆スパッタリングとは、アルゴン雰囲気下で基板側にRF電源を用いて電圧を印加して基板近傍にプラズマを形成して表面を改質する方法である。なお、アルゴン雰囲気に代えて窒素、ヘリウム、酸素などを用いてもよい。逆スパッタリングを行うと、絶縁膜436の表面に付着している粉状物質（パーティクル、ごみともいいう）を除去することができる。

【0137】

平坦化処理として、研磨処理、ドライエッティング処理、プラズマ処理は複数回行ってもよく、それらを組み合わせて行ってもよい。また、組み合わせて行う場合、工程順も特に限定されず、絶縁膜436表面の凹凸状態に合わせて適宜設定すればよい。

【0138】

平坦化処理は、例えば、絶縁膜436として用いる酸化シリコン膜表面に化学的機械研磨法により研磨処理（研磨条件：ポリウレタン系研磨布、シリカ系スラリー、スラリー温度室温、研磨圧0.001 MPa、研磨時回転数（テーブル／スピンドル）60 rpm / 56 rpm、研磨時間0.5分）を行い、酸化シリコン膜表面における平均面粗さ（Ra）を約0.15 nmとすればよい。

【0139】

次に、絶縁膜436上に酸化物半導体膜403を形成する。

【0140】

酸化物半導体膜403の形成工程において、酸化物半導体膜403に水素、又は水がなるべく含まれないようにするために、酸化物半導体膜403の成膜の前処理として、スパッタリング装置の予備加熱室で絶縁膜436が形成された基板を予備加熱し、基板及び絶縁膜436に吸着した水素、水分などの不純物を脱離し排気することが好ましい。なお、予備加熱室に設ける排気手段はクライオポンプが好ましい。

【0141】

また、絶縁膜436を水素（水や水酸基を含む）などの不純物が低減され、かつ酸素過剰な状態とするために、絶縁膜436に水素（水や水酸基を含む）を除去（脱水化または脱水素化）するための加熱処理（脱水化または脱水素化処理）及び／又は酸素ドープ処理を行ってもよい。脱水化または脱水素化処理と、酸素ドープ処理は複数回行ってもよく、両方を繰り返し行ってもよい。

10

20

30

40

50

【 0 1 4 2 】

酸化物半導体膜 4 0 3 は成膜直後において、化学量論比より酸素が多い過飽和の状態とすることが好ましい。例えば、スパッタリング法を用いて酸化物半導体膜 4 0 3 を成膜する場合、成膜ガスの酸素の占める割合が多い条件で成膜することが好ましく、特に酸素雰囲気（酸素ガス 100%）で成膜を行うことが好ましい。成膜ガスの酸素の占める割合が多い条件、特に酸素ガス 100% の雰囲気で成膜すると、例えば成膜温度を 300 以上としても、膜中からの Zn の放出が抑えられる。

【 0 1 4 3 】

また、十分な酸素が供給されて酸素が過飽和の状態とするため、酸化物半導体膜 4 0 3 と接する絶縁膜（酸化物半導体膜 4 0 3 を包みこむように設けられる複数の絶縁膜）は、過剰酸素を含む絶縁膜とすることが好ましい。10

【 0 1 4 4 】

なお、本実施の形態において、酸化物半導体膜 4 0 3 を、スパッタリング法で作製するためのターゲットとしては、組成として、In : Ga : Zn = 3 : 1 : 2 [原子百分率] の酸化物ターゲットを用い、In - Ga - Zn 系酸化物膜 (IGZO 膜) を成膜する。

【 0 1 4 5 】

また、金属酸化物ターゲットの相対密度（充填率）は 90% 以上 100% 以下、好ましくは 95% 以上 99.9% 以下である。相対密度の高い金属酸化物ターゲットを用いることにより、成膜した酸化物半導体膜は緻密な膜とすることができます。

【 0 1 4 6 】

酸化物半導体膜 4 0 3 を、成膜する際に用いるスパッタリングガスは水素、水、水酸基又は水素化物などの不純物が除去された高純度ガスを用いることが好ましい。20

【 0 1 4 7 】

減圧状態に保持された成膜室内に基板を保持する。そして、成膜室内の残留水分を除去しつつ水素及び水分が除去されたスパッタガスを導入し、上記ターゲットを用いて基板 4 0 0 上に酸化物半導体膜 4 0 3 を成膜する。成膜室内の残留水分を除去するためには、吸着型の真空ポンプ、例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボ分子ポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素原子、水 (H₂O) など水素原子を含む化合物（より好ましくは炭素原子を含む化合物も）等が排気されるため、当該成膜室で成膜した酸化物半導体膜 4 0 3 に含まれる不純物の濃度を低減できる。30

【 0 1 4 8 】

また、絶縁膜 4 3 6 と酸化物半導体膜 4 0 3 とを大気に解放せずに連続的に形成することが好ましい。絶縁膜 4 3 6 と酸化物半導体膜 4 0 3 とを大気に曝露せずに連続して形成すると、絶縁膜 4 3 6 表面に水素や水分などの不純物が吸着することを防止することができる。

【 0 1 4 9 】

酸化物半導体膜 4 0 3 は、膜状の酸化物半導体膜をフォトリソグラフィ工程により島状の酸化物半導体膜に加工して形成することができる。40

【 0 1 5 0 】

また、島状の酸化物半導体膜 4 0 3 を形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【 0 1 5 1 】

なお、酸化物半導体膜のエッチングは、ドライエッチングでもウェットエッチングでもよく、両方を用いてもよい。例えば、酸化物半導体膜のウェットエッチングに用いるエッチング液としては、磷酸と酢酸と硝酸を混ぜた溶液などを用いることができる。また、ITO - O₂N（関東化学社製）を用いてもよい。また、ICP (Inductively Coupled Plasma : 誘導結合型プラズマ) エッチング法によるドライエッチ

ングによってエッティング加工してもよい。例えば、IGZO膜をICPエッティング法により、エッティング（エッティング条件：エッティングガス（BCl₃ : Cl₂ = 60 sccm : 20 sccm）、電源電力450W、バイアス電力100W、圧力1.9Pa）し、島状に加工することができる。

【0152】

酸化物半導体膜403において、銅、アルミニウム、塩素などの不純物がほとんど含まれない高純度化されたものであることが望ましい。トランジスタ440aの製造工程において、これらの不純物が混入または酸化物半導体膜403表面に付着する恐れのない工程を選択することが好ましく、酸化物半導体膜403表面に付着した場合には、シュウ酸や希フッ酸などに曝す、またはプラズマ処理（N₂Oプラズマ処理など）を行うことにより、酸化物半導体膜403表面の不純物を除去することが好ましい。具体的には、酸化物半導体膜403の銅濃度は 1×10^{18} atoms/cm³以下、好ましくは 1×10^{17} atoms/cm³以下とする。また、酸化物半導体膜403のアルミニウム濃度は 1×10^{18} atoms/cm³以下とする。また、酸化物半導体膜403の塩素濃度は 2×10^{18} atoms/cm³以下とする。10

【0153】

また、酸化物半導体膜403に、過剰な水素（水や水酸基を含む）を除去（脱水化または脱水素化）するための加熱処理を行ってもよい。加熱処理の温度は、300以上700以下、または基板の歪み点未満とする。加熱処理は減圧下又は窒素雰囲気下などで行うことができる。例えば、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体膜403に対して窒素雰囲気下450において1時間の加熱処理を行う。20

【0154】

なお、加熱処理装置は電気炉に限らず、抵抗発熱体などの発熱体からの熱伝導または熱輻射によって、被処理物を加熱する装置を用いてもよい。例えば、GRTA（Gas Rapid Thermal Anneal）装置、LRTA（Lamp Rapid Thermal Anneal）装置等のRTA（Rapid Thermal Anneal）装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光（電磁波）の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて加熱処理を行う装置である。高温のガスには、アルゴンなどの希ガス、または窒素のような、加熱処理によって被処理物と反応しない不活性気体が用いられる。30

【0155】

例えば、加熱処理として、650～700の高温に加熱した不活性ガス中に基板を入れ、数分間加熱した後、基板を不活性ガス中から出すGRTAを行ってもよい。

【0156】

なお、加熱処理においては、窒素、またはヘリウム、ネオン、アルゴン等の希ガスに、水、水素などが含まれないことが好ましい。または、熱処理装置に導入する窒素、またはヘリウム、ネオン、アルゴン等の希ガスの純度を、6N（99.9999%）以上好ましくは7N（99.99999%）以上（即ち不純物濃度を1ppm以下、好ましくは0.1ppm以下）とすることが好ましい。40

【0157】

また、加熱処理で酸化物半導体膜403を加熱した後、同じ炉に高純度の酸素ガス、高純度の一酸化二窒素ガス、又は超乾燥エア（CRDS（キャビティリングダウンレーザー分光法）方式の露点計を用いて測定した場合の水分量が20ppm（露点換算で-55）以下、好ましくは1ppm以下、より好ましくは10ppb以下の空気）を導入してもよい。酸素ガスまたは一酸化二窒素ガスに、水、水素などが含まれないことが好ましい。または、熱処理装置に導入する酸素ガスまたは一酸化二窒素ガスの純度を、6N以上好ましくは7N以上（即ち、酸素ガスまたは一酸化二窒素ガス中の不純物濃度を1ppm以下、好ましくは0.1ppm以下）とすることが好ましい。酸素ガス又は一酸化二窒素ガスの50

作用により、脱水化または脱水素化処理による不純物の排除工程によって同時に減少してしまった酸化物半導体を構成する主成分材料である酸素を供給することによって、酸化物半導体膜403を高純度化及び*i*型(真性)化することができる。

【0158】

なお、脱水化又は脱水素化のための加熱処理を行うタイミングは、膜状の酸化物半導体膜形成後でも、島状の酸化物半導体膜403形成後でもよい。

【0159】

また、脱水化又は脱水素化のための加熱処理は、複数回行ってもよく、他の加熱処理と兼ねてもよい。

【0160】

脱水化又は脱水素化のための加熱処理を、酸化物半導体膜403として島状に加工される前、膜状の酸化物半導体膜403が絶縁膜436を覆った状態で行うと、絶縁膜436に含まれる酸素が加熱処理によって放出されるのを防止することができるため好ましい。

【0161】

酸化物半導体膜において、酸素が脱離した箇所では酸素欠損が存在し、該酸素欠損に起因してトランジスタの電気的特性変動を招くドナー準位が生じてしまう。特に、脱水化又は脱水素化処理によって、酸化物半導体を構成する主成分材料である酸素が同時に脱離して減少してしまうおそれがある。

【0162】

よって、脱水化又は脱水素化処理を行った場合、酸化物半導体膜403に、酸素を供給することが好ましい。酸化物半導体膜403へ酸素を供給することにより、膜中の酸素欠損を補填することができる。

【0163】

従って、酸化物半導体膜403への酸素の導入工程の前に脱水化又は脱水素化処理を行つておくことが好ましい。

【0164】

また、酸素の供給源となる酸素を多く(過剰に)含む酸化物絶縁膜を酸化物半導体膜403と接して設けることによって、該酸化物絶縁膜から酸化物半導体膜403へ酸素を供給することができる。上記構成において、脱水化又は脱水素化処理として加熱処理を行つた酸化物半導体膜403及び酸化物絶縁膜を少なくとも一部が接した状態で加熱処理を行うことによって酸化物半導体膜への酸素の供給を行つてもよい。

【0165】

また、脱水化又は脱水素化処理を行つた酸化物半導体膜403に、酸素(少なくとも、酸素ラジカル、酸素原子、酸素分子、オゾン、酸素イオン(酸素分子イオン)、及び/又は酸素クラスタイオンのいずれかを含む)を導入する酸素ドープ処理を行い、膜中に酸素を供給してもよい。酸素ドープには、プラズマ化した酸素をバルクに添加する「酸素プラズマドープ」が含まれる。

【0166】

酸素ドープ処理には、酸素を含むガスを用いることができる。酸素を含むガスとしては、酸素、一酸化二窒素、二酸化窒素、二酸化炭素、一酸化炭素などを用いることができる。また、酸素ドープ処理において、希ガスを用いてもよい。

【0167】

ドープされる酸素(酸素ラジカル、酸素原子、酸素分子、オゾン、酸素イオン(酸素分子イオン)、及び/又は酸素クラスタイオン)は、イオン注入法、イオンドーピング法、プラズマイマージョンイオンインプランテーション法、プラズマ処理などを用いることができる。また、イオン注入法にはガスクラスタイオンビームを用いてもよい。酸素のドープ処理は、全面を一度に行ってもよいし、線状のイオンビーム等を用いて移動(スキャン)させ行ってもよい。

【0168】

酸素ドープ処理は、例えば、イオン注入法で酸素イオンの注入を行う場合、ドーズ量を1

10

20

30

40

50

$\times 10^{13}$ ions / cm² 以上 5×10^{16} ions / cm² 以下とすればよい。

【0169】

酸化物半導体膜403は水素などの不純物が十分に除去されることにより、または、十分な酸素が供給されて酸素が過飽和の状態とされることにより、高純度化されたものであることが望ましい。具体的には、酸化物半導体膜403の水素濃度は 5×10^{19} atoms / cm³ 以下、望ましくは 5×10^{18} atoms / cm³ 以下、より望ましくは 5×10^{17} atoms / cm³ 以下とする。なお、上述の酸化物半導体膜403中の水素濃度は、二次イオン質量分析法(SIMS: Secondary Ion Mass Spectrometry)で測定されるものである。

【0170】

また、酸化物半導体膜403と接する絶縁膜(絶縁膜436、ゲート絶縁膜402)も水素などの不純物が十分に除去されることが好ましい。具体的には酸化物半導体膜403と接する絶縁膜の水素濃度は、 7.2×10^{20} atoms / cm³ 未満とすることが好ましい。

【0171】

また、ゲート絶縁膜402を水素(水や水酸基を含む)などの不純物が低減され、かつ酸素過剰な状態するために、ゲート絶縁膜402に水素(水や水酸基を含む)を除去(脱水化または脱水素化)するための加熱処理(脱水化または脱水素化処理)及び/又は酸素ドープ処理を行ってもよい。脱水化または脱水素化処理と、酸素ドープ処理は複数回行つてもよく、両方を繰り返し行ってもよい。

【0172】

水素若しくは水分を酸化物半導体から除去し、不純物が極力含まれないように高純度化し、酸素を供給して酸素欠損を補填することによりi型(真性)の酸化物半導体、又はi型(真性)に限りなく近い酸化物半導体とすることができます。そうすることにより、酸化物半導体のフェルミ準位(Ef)を真性フェルミ準位(Ei)と同じレベルにまですることができます。よって、該酸化物半導体膜をトランジスタに用いることで、酸素欠損に起因するトランジスタのしきい値電圧Vthのばらつき、しきい値電圧のシフトVthを低減することができる。

【0173】

次いで、酸化物半導体膜403を覆うゲート絶縁膜402を形成する。ゲート絶縁膜402は窒素を含む酸化シリコン換算膜厚では5nm以上50nm以下、好ましくは10nm以上40nm以下で形成する。

【0174】

なお、ゲート絶縁膜402の被覆性を向上させるために、酸化物半導体膜403表面にも上記平坦化処理を行ってもよい。特にゲート絶縁膜402として膜厚の薄い絶縁膜を用いる場合、酸化物半導体膜403表面の平坦性が良好であることが好ましい。

【0175】

ゲート絶縁膜402は、スパッタリング法、MBE法、CVD法、パルスレーザ堆積法、ALD法等を適宜用いることができる。また、ゲート絶縁膜402は、スパッタリングターゲット表面に対し、概略垂直に複数の基板表面がセットされた状態で成膜を行うスパッタ装置を用いて成膜してもよい。

【0176】

ゲート絶縁膜402の材料としては、酸化シリコン膜、酸化ガリウム膜、酸化アルミニウム膜、窒化シリコン膜、酸化窒化シリコン膜、酸化窒化アルミニウム膜、または窒化酸化シリコン膜を用いて形成することができる。ゲート絶縁膜402は、酸化物半導体膜403と接する部分において酸素を含むことが好ましい。特に、ゲート絶縁膜402は、膜中(バルク中)に少なくとも化学量論比を超える量の酸素が存在することが好ましく、例えば、ゲート絶縁膜402として、酸化シリコン膜を用いる場合には、SiO₂₊(ただし、>0)とする。本実施の形態では、ゲート絶縁膜402として、SiO₂₊(ただし、>0)である酸化シリコン膜を用いる。この酸化シリコン膜をゲート絶縁膜40

10

20

30

40

50

2として用いることで、酸化物半導体膜403に酸素を供給することができ、特性を良好にすることができる。さらに、ゲート絶縁膜402は、作製するトランジスタのサイズやゲート絶縁膜402の段差被覆性を考慮して形成することが好ましい。

【0177】

また、ゲート絶縁膜402の材料として酸化ハフニウム、酸化イットリウム、ハフニウムシリケート($HfSi_xO_y$ ($x > 0$, $y > 0$))、窒素が添加されたハフニウムシリケート($HfSiO_xN_y$ ($x > 0$, $y > 0$))、ハフニウムアルミネート($HfAl_xO_y$ ($x > 0$, $y > 0$))、酸化ランタンなどの材料を用いてもよい。さらに、ゲート絶縁膜402は、単層構造としても良いし、積層構造としても良い。

【0178】

次にゲート絶縁膜402上に導電膜を形成し、該導電膜をエッティングして、ゲート電極層401を形成する。

【0179】

ゲート電極層401の材料は、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジム、スカンジウム等の金属材料またはこれらを主成分とする合金材料を用いて形成することができる。また、ゲート電極層401としてリン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜、ニッケルシリサイドなどのシリサイド膜を用いてもよい。ゲート電極層401は、単層構造としてもよいし、積層構造としてもよい。

【0180】

また、ゲート電極層401の材料は、酸化インジウム酸化スズ、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、酸化インジウム酸化亜鉛、酸化ケイ素を添加したインジウム錫酸化物などの導電性材料を適用することもできる。また、上記導電性材料と、上記金属材料の積層構造とすることもできる。

【0181】

また、ゲート絶縁膜402と接するゲート電極層401の一層として、窒素を含む金属酸化物、具体的には、窒素を含むIn-Ga-Zn-O膜や、窒素を含むIn-Sn-O膜や、窒素を含むIn-Ga-O膜や、窒素を含むIn-Zn-O膜や、窒素を含むSn-O膜や、窒素を含むIn-O膜や、金属窒化膜(InN, SnNなど)を用いることができる。これらの膜は5eV以上(電子ボルト)、好ましくは5.5eV(電子ボルト)以上の仕事関数を有し、ゲート電極層として用いた場合、トランジスタのしきい値電圧をプラスにすることができ、所謂ノーマリーオフのスイッチング素子を実現できる。

【0182】

酸化物半導体膜403、ゲート絶縁膜402、ゲート電極層401上に保護絶縁膜となる緻密性の高い無機絶縁膜(代表的には酸化アルミニウム膜)を設けることができる。

【0183】

本実施の形態では、酸化物半導体膜403、ゲート絶縁膜402、ゲート電極層401上に絶縁膜407を形成する。

【0184】

絶縁膜407は、単層でも積層でもよく、少なくとも酸化アルミニウム膜を含むことが好ましい。

【0185】

酸化アルミニウム膜を高密度(膜密度 3.2 g/cm^3 以上、好ましくは 3.6 g/cm^3 以上)とすることによって、トランジスタ440aに安定な電気特性を付与することができる。膜密度はラザフォード後方散乱法(RBS: Rutherford Backscattering Spectrometry)や、X線反射率測定法(XRR: X-Ray Reflection)によって測定することができる。また、酸化アルミニウム膜は、膜中(バルク中)に少なくとも化学量論比を超える量の酸素が存在することが好ましい。例えば、酸化アルミニウム膜を用いる場合には、 Al_{1-x} (ただし、 $x > 1.5$)

10

20

30

40

50

)とすればよい。

【0186】

絶縁膜407として用いる酸化アルミニウム膜は、水素、水分などの不純物、及び酸素の両方に対して膜を通過させない遮断効果(ブロック効果)が高い。

【0187】

従って、絶縁膜407は、作製工程中及び作製後において、変動要因となる水素、水分などの不純物の酸化物半導体膜403への混入、及び酸化物半導体を構成する主成分材料である酸素の酸化物半導体膜403からの放出を防止する保護膜として機能する。さらに酸化アルミニウム膜は、接して設けられる酸化物半導体膜403へ酸素の供給も行うことができる。

10

【0188】

絶縁膜407は、プラズマCVD法、スパッタリング法、又は蒸着法等により成膜することができる。また、絶縁膜407として金属膜に酸化処理を行うことによって得られる金属酸化膜を用いてもよい。例えば、アルミニウム膜に酸素ドープ処理を行うことによって得られる酸化アルミニウム膜を用いてもよい。

【0189】

酸化アルミニウム膜以外に、絶縁膜407としては、代表的には酸化シリコン膜、酸化窒化シリコン膜、酸化窒化アルミニウム膜、又は酸化ガリウム膜などの無機絶縁膜などを用いることができる。また、酸化ハフニウム膜、酸化マグネシウム膜、酸化ジルコニウム膜、酸化ランタン膜、酸化バリウム膜、又は金属窒化物膜(例えば、窒化アルミニウム膜)も用いることができる。

20

【0190】

本実施の形態では、絶縁膜407としてスパッタリング法により酸化アルミニウム膜を形成する。

【0191】

絶縁膜407上に層間絶縁膜415を形成する。層間絶縁膜415は、絶縁膜407と同様な材料及び方法を用いて形成することができる。本実施の形態では、層間絶縁膜415はトランジスタ440aにより生じる凹凸を平坦化できる膜厚で形成する。層間絶縁膜415としては、CVD法により形成した酸化窒化シリコン膜、又はスパッタリング法により形成した酸化シリコン膜を用いることができる。

30

【0192】

また、トランジスタ起因の表面凹凸を低減するために平坦化絶縁膜を形成してもよい。平坦化絶縁膜としては、ポリイミド、アクリル、ベンゾシクロブテン系樹脂、等の有機材料を用いることができる。また上記有機材料の他に、低誘電率材料(LOW-k材料)等を用いることができる。なお、これらの材料で形成される絶縁膜を複数積層することで、平坦化絶縁膜を形成してもよい。

【0193】

層間絶縁膜415、絶縁膜407、及びゲート絶縁膜402に酸化物半導体膜403に達する開口を形成し、開口にソース電極層405a、ドレイン電極層405bを形成する。ソース電極層405a、ドレイン電極層405bを用いて他のトランジスタや素子と接続させ、様々な回路を構成することができる。

40

【0194】

ソース電極層405a、及びドレイン電極層405bに用いる導電膜としては、例えば、Al、Cr、Cu、Ta、Ti、Mo、Wから選ばれた元素を含む金属膜、または上述した元素を成分とする金属窒化物膜(窒化チタン膜、窒化モリブデン膜、窒化タンゲスタン膜)等を用いることができる。また、Al、Cuなどの金属膜の下側又は上側の一方または双方にTi、Mo、Wなどの高融点金属膜またはそれらの金属窒化物膜(窒化チタン膜、窒化モリブデン膜、窒化タンゲスタン膜)を積層させた構成としても良い。また、ソース電極層、及びドレイン電極層に用いる導電膜としては、導電性の金属酸化物で形成しても良い。導電性の金属酸化物としては酸化インジウム(In_2O_3)、酸化スズ(SnO)

50

₂)、酸化亜鉛(ZnO)、酸化インジウム酸化スズ(In₂O₃ SnO₂)、酸化インジウム酸化亜鉛(In₂O₃ ZnO)またはこれらの金属酸化物材料に酸化シリコンを含ませたものを用いることができる。

【 0195 】

例えば、ソース電極層 405a、及びドレイン電極層 405b として、モリブデン膜の単層、窒化タンタル膜と銅膜との積層、又は窒化タンタル膜とタンゲステン膜との積層などを用いることができる。

【 0196 】

以上の工程で、本実施の形態のトランジスタ 440a を有する半導体装置を作製することができる。

10

【 0197 】

図 2 (A) 乃至 (C) に、他の構成のトランジスタ 440b、440c、440d を、図 3 にトランジスタ 440e を、図 4 にトランジスタ 440f を示す。

【 0198 】

図 2 (A) に示すトランジスタ 440b は、ソース電極層 405a、ドレイン電極層 405b と接して、配線層 495a、495b を設ける例である。ソース電極層 405a、ドレイン電極層 405b を層間絶縁膜 415 に埋め込むように形成し、研磨処理によって該表面を露出させる。露出されたソース電極層 405a、ドレイン電極層 405b 表面に接して配線層 495a、495b を形成し、電気的に接続させる。ソース電極層 405a が設けられる開口と、ドレイン電極層 405b が設けられる開口とは別工程で形成する。該開口を別々のレジストマスクによって別工程で行うことによって、フォトリソグラフィ工程の露光限界よりソース電極層 405a とドレイン電極層 405b との距離を近づけることができる。トランジスタ 440b においては、配線層 495a、495b は同工程のフォトリソグラフィ工程を用いて形成するため、配線層 495a と配線層 495b との距離は、ソース電極層 405a とドレイン電極層 405b との距離より長くなっている。

20

【 0199 】

図 2 (B) に示すトランジスタ 440c は、ゲート電極層 401 の側壁に側壁層 423a、423b を設けており、さらに、ソース電極層 405a とドレイン電極層 405b とが酸化物半導体膜 403 の側面で接して電気的に接続する例である。ソース電極層 405a 及びドレイン電極層 405b と、酸化物半導体膜 403 との電気的なコンタクト領域をゲート電極層 401 と近づけることができるため、トランジスタのオン特性向上に効果的である。

30

【 0200 】

図 2 (B) に示すトランジスタ 440c におけるソース電極層 405a、ドレイン電極層 405b、酸化物半導体膜 403 の作製方法は、ソース電極層 405a、ドレイン電極層 405b を形成し、ソース電極層 405a、ドレイン電極層 405b 上に酸化物半導体膜を成膜し、ソース電極層 405a、ドレイン電極層 405b が露出するまで研磨して酸化物半導体膜 403 を形成する方法と、島状の酸化物半導体膜 403 を形成し、酸化物半導体膜 403 上に導電膜を成膜し、酸化物半導体膜 403 が露出するまで研磨してソース電極層 405a、ドレイン電極層 405b を形成する方法などを用いることができる。

40

【 0201 】

図 2 (B) に示すトランジスタ 440c は、ゲート電極層 401 の側壁に側壁層 423a、423b を有する。側壁層 423a、423b としては、絶縁性材料、導電性材料を用いることができる。導電性材料を用いた場合、側壁層 423a、423b はゲート電極層 401 の一部として機能することができるため、チャネル長方向においてゲート絶縁膜 402 を介してソース電極層 405a 又はドレイン電極層 405b と重疊する領域を、ゲート電極層が、ゲート絶縁膜を介してソース電極層又はドレイン電極層と重疊する領域 (Lov 領域) とすることができる。ゲート電極層 401 の側面に自己整合的に設けられた導電性を有する側壁層 423a、423b の幅によって Lov 領域の幅を制御することができるため、微細な Lov 領域を精度よく加工することができる。よって、微細な

50

チャネル長を維持しつつ、L o v 領域を設けることが可能となり、オン電流の低下が抑制された微細な構造のトランジスタ 4 4 0 c を提供することができる。

【 0 2 0 2 】

図 2 (C) に示すトランジスタ 4 4 0 d は、ボトムゲート構造のトランジスタであり、絶縁表面を有する基板 4 0 0 上に、絶縁膜 4 1 4 に埋め込まれるように形成されたゲート電極層 4 0 1 、絶縁膜 4 1 4 及びゲート電極層 4 0 1 上にゲート絶縁膜 4 0 2 、ゲート絶縁膜上 4 0 2 に酸化物半導体膜 4 0 3 、酸化物半導体膜 4 0 3 上に絶縁膜 4 0 7 、層間絶縁膜 4 1 5 が順に積層され、絶縁膜 4 0 7 及び層間絶縁膜 4 1 5 に形成された酸化物半導体膜 4 0 3 に達する開口にソース電極層 4 0 5 a 、ドレイン電極層 4 0 5 b が設けられている。

10

【 0 2 0 3 】

基板 4 0 0 とゲート電極層 4 0 1 との間に下地絶縁膜を設けてもよい。トランジスタ 4 4 0 d のようにゲート電極層 4 0 1 を絶縁膜 4 1 4 に埋め込むように設けることで、ゲート電極層 4 0 1 上に設けるゲート絶縁膜 4 0 2 、及び酸化物半導体膜 4 0 3 などを平坦な面に、形状不良なく形成することができる。よって、信頼性の高いトランジスタを歩留まりよく作製することができる。

【 0 2 0 4 】

図 3 (A) 乃至 (C) に示すトランジスタ 4 4 0 e は、トップゲート構造のトランジスタの一例である。図 3 (A) は、トランジスタ 4 4 0 e の平面図であり、図 3 (B) は、図 3 (A) の X 1 - Y 1 における断面図であり、図 3 (C) は、図 3 (A) の V 1 - W 1 における断面図である。なお、図 3 (A) では煩雑になることを避けるため、トランジスタ 4 4 0 e の構成要素の一部を省略して図示している。

20

【 0 2 0 5 】

チャネル長方向の断面図である図 3 (B) に示すように、トランジスタ 4 4 0 e を含む半導体装置は、絶縁膜 4 3 6 が設けられた絶縁表面を有する基板 4 0 0 上に、チャネル形成領域 4 0 9 、低抵抗領域 4 0 4 a 、 4 0 4 b を含む酸化物半導体膜 4 0 3 、ソース電極層 4 0 5 a 、ドレイン電極層 4 0 5 b 、ゲート絶縁膜 4 0 2 a 、ゲート絶縁膜 4 0 2 b 、ゲート電極層 4 0 1 、ゲート電極層 4 0 1 の側面に接して設けられた側壁絶縁層 4 1 2 a 、 4 1 2 b 、ゲート電極層 4 0 1 上に設けられた絶縁膜 4 1 3 、ソース電極層 4 0 5 a 及びドレイン電極層 4 0 5 b 上に設けられた絶縁膜 4 1 0 及び層間絶縁膜 4 1 5 、トランジスタ 4 4 0 e を覆う絶縁膜 4 0 7 を有する。

30

【 0 2 0 6 】

本実施の形態では、層間絶縁膜 4 1 5 の上面は側壁絶縁層 4 1 2 a 、 4 1 2 b の上面と概略同じであり、ソース電極層 4 0 5 a 及びドレイン電極層 4 0 5 b の上面は、層間絶縁膜 4 1 5 、側壁絶縁層 4 1 2 a 、 4 1 2 b 、及び絶縁膜 4 1 3 の上面と概略一致し、ゲート電極層 4 0 1 の上面より高い例を示す。

【 0 2 0 7 】

しかし、ソース電極層 4 0 5 a 、ドレイン電極層 4 0 5 b の形状は導電膜を除去する研磨処理の条件によって異なり、研磨処理の条件によっては、ソース電極層 4 0 5 a 、ドレイン電極層 4 0 5 b の上面は、絶縁膜 4 1 3 、及び側壁絶縁層 4 1 2 a 、 4 1 2 b の上面より低くなる場合もある。

40

【 0 2 0 8 】

また、図 3 において、絶縁膜 4 0 7 は、層間絶縁膜 4 1 5 、ソース電極層 4 0 5 a 、ドレイン電極層 4 0 5 b 、側壁絶縁層 4 1 2 a 、 4 1 2 b 、絶縁膜 4 1 3 と接して設けられている。

【 0 2 0 9 】

絶縁膜 4 1 3 、側壁絶縁層 4 1 2 a 、 4 1 2 b は、代表的には酸化シリコン膜、酸化窒化シリコン膜、酸化アルミニウム膜、酸化窒化アルミニウム膜、窒化シリコン膜、窒化アルミニウム膜、窒化酸化シリコン膜、窒化酸化アルミニウム膜などの無機絶縁膜を用いることができ、単層でも積層でもよい。絶縁膜 4 1 3 は、プラズマ C V D 法又はスパッタリン

50

グ法、又は成膜ガスを用いたCVD法を用いることができる。CVD法としては、LPCVD法、プラズマCVD法などを用いることができ、また他の方法としては、塗布膜なども用いることができる。

【0210】

なお、トランジスタ440eは、ゲート電極層401をマスクとして酸化物半導体膜403に自己整合的にドーパントを導入し、酸化物半導体膜403においてチャネル形成領域409を挟んでチャネル形成領域409より抵抗が低く、ドーパントを含む低抵抗領域404a、404bを形成する例である。

【0211】

低抵抗領域404a、404bは、ゲート電極層をマスクとして酸化物半導体膜403にドーパントを導入し自己整合的に形成することができる。 10

【0212】

ドーパントは、酸化物半導体膜403の導電率を変化させる不純物である。ドーパントとしては、15族元素（代表的には窒素（N）、リン（P）、砒素（As）、およびアンチモン（Sb）、ホウ素（B）、アルミニウム（Al）、アルゴン（Ar）、ヘリウム（He）、ネオン（Ne）、インジウム（In）、フッ素（F）、塩素（Cl）、チタン（Ti）、及び亜鉛（Zn）のいずれかから選択される一以上を用いることができる。

【0213】

ドーパントは、注入法により、他の膜（例えばゲート絶縁膜402a、402b）を通過して、酸化物半導体膜403に導入することもできる。ドーパントの導入方法としては、イオン注入法、イオンドーピング法、プラズマイマージョンイオンインプランテーション法などを用いることができる。その際には、ドーパントの単体のイオンあるいはフッ化物、塩化物のイオンを用いると好ましい。 20

【0214】

ドーパントの導入工程は、加速電圧、ドーズ量などの注入条件、また通過させる膜の膜厚を適宜設定して制御すればよい。トランジスタ440eでは、ドーパントとしてリンを用いて、イオン注入法でリンイオンの注入を行う。なお、ドーパントのドーズ量は 1×10^{13} ions/cm²以上 5×10^{16} ions/cm²以下とすればよい。また、低抵抗領域404a、404bにおけるドーパントの濃度は、 5×10^{18} /cm³以上 1×10^{22} /cm³以下であることが好ましい。 30

【0215】

ドーパントを導入する際に、基板400を加熱しながら行ってもよい。なお、酸化物半導体膜403にドーパントを導入する処理は、複数回行ってもよく、ドーパントの種類も複数種用いててもよい。また、ドーパントの導入処理後、加熱処理を行ってもよい。加熱条件としては、温度300以上700以下、好ましくは300以上450以下で1時間、酸素雰囲気下で行うことが好ましい。また、窒素雰囲気下、減圧下、大気（超乾燥ア）下で加熱処理を行ってもよい。

【0216】

酸化物半導体膜403をCAC-O_x膜とした場合、ドーパントの導入により、一部非晶質化する場合がある。 40

【0217】

チャネル長方向にチャネル形成領域409を挟んで低抵抗領域404a、404bを含む酸化物半導体膜403を有することにより、該トランジスタ440eはオン特性（例えば、オン電流及び電界効果移動度）が高く、高速動作、高速応答が可能となる。

【0218】

トランジスタ440eにおいて、絶縁膜436、ゲート絶縁膜402a、402b、絶縁膜413、側壁絶縁層412a、412bを水素（水や水酸基を含む）などの不純物が低減され、かつ酸素過剰な状態とするために、絶縁膜436、ゲート絶縁膜402a、402b、絶縁膜413、側壁絶縁層412a、412bに水素（水や水酸基を含む）を除去（脱水化または脱水素化）するための加熱処理（脱水化または脱水素化処理）及び／又は

酸素ドープ処理を行ってもよい。脱水化または脱水素化処理と、酸素ドープ処理は複数回行ってもよく、両方を繰り返し行ってもよい。

【0219】

トランジスタ440eにおいて、ゲート絶縁膜402b、絶縁膜410として酸化アルミニウム膜を用いることが好ましい。水素、水分などの不純物、及び酸素に対して膜を通過させない遮断効果（ブロック効果）が高い酸化アルミニウム膜を用いることで、酸化物半導体膜403に接して設けられる酸素過剰な状態の酸化物絶縁膜（例えば、酸化シリコン膜、酸化窒化シリコン膜）であるゲート絶縁膜402a、絶縁膜436から、酸素が放出されるのを防止するバリア層として機能させることができる。

【0220】

従って、ゲート絶縁膜402b、絶縁膜410は、作製工程中及び作製後において、トランジスタの電気的特性の変動要因となる水素、水分などの不純物の酸化物半導体膜403への混入を防止し、かつゲート絶縁膜402a、絶縁膜436を酸素過剰な状態で保持し、酸化物半導体膜への酸素供給を促進することができる。従って、バリア層として機能するゲート絶縁膜402bを設けることで、トランジスタ440eにおける寄生チャネルの発生を抑制、又は防止することができる。

10

【0221】

また、絶縁膜436を積層構造とし、基板400に接する側を基板400からの不純物を遮断する効果が高い無機絶縁膜（例えば、窒化シリコン膜、窒化酸化シリコン膜、酸化アルミニウム膜）とし、酸化物半導体膜403と接する側を酸素過剰な酸化物絶縁膜（例えば、酸化シリコン膜、酸化窒化シリコン膜）とすると好ましい。

20

【0222】

トランジスタ440eは作製工程において、ゲート電極層401、絶縁膜413、及び側壁絶縁層412a、412b上に設けられた導電膜を化学機械研磨処理することによって除去し導電膜を分断することによって、ソース電極層405a及びドレイン電極層405bを形成する。

【0223】

また、ソース電極層405a、及びドレイン電極層405bは、露出した酸化物半導体膜403上面、及び側壁絶縁層412a、又は側壁絶縁層412bと接して設けられている。よって、ソース電極層405a又はドレイン電極層405bと酸化物半導体膜403とが接する領域（コンタクト領域）と、ゲート電極層401との距離は、側壁絶縁層412a、412bのチャネル長方向の幅となり、より微細化が達成できる他、作製工程においてよりばらつきなく制御することができる。

30

【0224】

このように、ソース電極層405a又はドレイン電極層405bと酸化物半導体膜403とが接する領域（コンタクト領域）と、ゲート電極層401との距離を短くすることができるため、ソース電極層405a又はドレイン電極層405bと酸化物半導体膜403とが接する領域（コンタクト領域）、及びゲート電極層401間の抵抗が減少し、トランジスタ440eのオン特性を向上させることが可能となる。

【0225】

40

また、ソース電極層405a及びドレイン電極層405bの形成工程におけるゲート電極層401上の導電膜を除去する工程において、レジストマスクを用いたエッチング工程を用いないため、精密な加工を正確に行うことができる。よって、半導体装置の作製工程において、形状や特性のばらつきの少ない微細な構造を有するトランジスタ440eを歩留まりよく作製することができる。

【0226】

なお、ソース電極層405a及びドレイン電極層405bの形成工程におけるゲート電極層401上の導電膜を除去する工程において、絶縁膜413の一部、又は絶縁膜413全部を除去してもよい。トランジスタ440eにおいては、絶縁膜410も、ソース電極層405a及びドレイン電極層405bの形成工程において用いる切削（研削、研磨）工程

50

により上面が平坦化処理されている。

【0227】

図4(A)乃至(C)に示すトランジスタ440fは、トップゲート構造のトランジスタの一例である。図4(A)は、トランジスタ440fの平面図であり、図4(B)は、図4(A)のX2-Y2における断面図であり、図4(C)は、図4(A)のV2-W2における断面図である。なお、図4(A)では煩雑になることを避けるため、トランジスタ440fの構成要素の一部を省略して図示している。

【0228】

トランジスタ440fは、トランジスタ440fの酸化物半導体膜403のチャネル幅方向の長さと比較して、酸化物半導体膜403の膜厚が厚い(好ましくは、酸化物半導体膜403の膜厚は、酸化物半導体膜403のチャネル幅方向の長さの2倍以上)、いわゆるフィン型構造のトランジスタである。フィン型構造とすることにより、形成面積を増やすことなくチャネル幅を大きくすることができる。チャネル幅を大きくすることで、電流駆動力を向上させることができる。

10

【0229】

以上のように、本実施の形態の半導体装置において、トランジスタ440a、440b、440c、440d、440e、440fは、短チャネル効果を有さない、又は極めて少なく、かつスイッチング素子としての良好な電気特性示すトランジスタである。

【0230】

従って、微細化を実現し、かつ安定で高い電気的特性を付与された半導体装置、及び該半導体装置の作製方法を提供することができる。

20

【0231】

(実施の形態2)

本実施の形態では、半導体装置及び半導体装置の作製方法の一形態を、図17乃至図20を用いて説明する。本実施の形態では、半導体装置の一例として酸化物半導体膜を有するトランジスタを示す。

【0232】

トランジスタは、トップゲート構造及びボトムゲート構造であってもよく、チャネル形成領域が1つ形成されるシングルゲート構造でも、2つ形成されるダブルゲート構造もしくは3つ形成されるトリプルゲート構造であってもよい。また、チャネル形成領域の上下にゲート絶縁膜を介して配置された2つのゲート電極層を有する、デュアルゲート型でもよい。

30

【0233】

図17にトランジスタ420の構成例を示す。図17(A)及び(B)に示すトランジスタ420は、トップゲート構造のトランジスタの一例である。図17(A)は、トランジスタ420の平面図であり、図17(B)は、図17(A)のA-Bにおける断面図である。なお、図17(A)では煩雑になることを避けるため、トランジスタ420の構成要素の一部を省略して図示している。

【0234】

チャネル長方向の断面図である図17(B)に示すように、トランジスタ420を含む半導体装置は、絶縁膜436a及び絶縁膜436bの積層構造を含む絶縁膜436が設けられた絶縁表面を有する基板400上に、ソース領域403a、ドレイン領域403b及びチャネル形成領域403cを含む酸化物半導体膜403と、ソース電極層405aと、ドレイン電極層405bと、ゲート絶縁膜402と、ゲート電極層401と、ゲート電極層401上に設けられた絶縁膜407と、層間絶縁膜415と、を有する。

40

【0235】

トランジスタ420のチャネル長は極めて短い。例えば、トランジスタ420のチャネル長は5nm以上60nm未満、好ましくは10nm以上40nm以下とする。また、トランジスタ420は、ドーパントを導入されることで低抵抗化されたソース領域403a及びドレイン領域403bと、ソース領域403a及びドレイン領域403bに挟まれたチ

50

チャネル形成領域 403c を含む。ソース領域 403a 及びドレイン領域 403b の抵抗率は、 $1.9 \times 10^{-5} \cdot m$ 以上 $4.8 \times 10^{-3} \cdot m$ 以下である。また、トランジスタ 420 はシングルドレイン構造のトランジスタであり、ソース領域 403a 又はドレイン領域 403b において、ソース電極層 405a 又はドレイン電極層 405b と接する領域の抵抗率と、チャネル形成領域 403c と接する領域の抵抗率とは、同じ抵抗率である。

【0236】

また、ソース領域 403a 及びドレイン領域 403b の含有する不純物（ドーパント）濃度は、 $1.3 \times 10^{19} cm^{-3}$ 以上 $1.6 \times 10^{20} cm^{-3}$ 以下である。すなわち、ソース領域 403a 及びドレイン領域 403b は、高濃度にドーパントが含有された高濃度不純物領域である。

【0237】

ソース領域 403a 及びドレイン領域 403b に含まれるドーパントは、酸化物半導体膜 403 の導電率を変化させる不純物である。ドーパントとしては、15族元素（代表的には窒素（N）、リン（P）、砒素（As）、およびアンチモン（Sb））、ホウ素（B）、アルミニウム（Al）、アルゴン（Ar）、ヘリウム（He）、ネオン（Ne）、インジウム（In）、チタン（Ti）、及び亜鉛（Zn）のいずれかから選択される一以上を用いることができる。また、ドーパントの導入方法としては、イオン注入法、イオンドーピング法、プラズマイマージョンイオンインプランテーション法などを用いることができる。

【0238】

酸化物半導体膜 403 に用いる酸化物半導体としては、実施の形態 1 と同様の酸化物半導体を用いることができる。

【0239】

本発明の一形態のトランジスタの作製方法として、トランジスタ 420 の作製方法の一例を示す。なお、トランジスタ 420 の作製方法において、実施の形態 1 と同様の構成については、同様に作製することができ、実施の形態 1 を参照することが可能である。よって一部説明を省略することができる。

【0240】

絶縁表面を有する基板 400 上に絶縁膜 436 を形成する。

【0241】

また、絶縁膜 436 は、酸素過剰領域を有する層の下側に接して、窒化シリコン膜、窒化酸化シリコン膜又は酸化アルミニウム膜を有することが好ましい。

【0242】

本実施の形態では、絶縁膜 436a として窒化シリコン膜を設け、絶縁膜 436b として酸素過剰領域を含む酸化シリコン膜を設ける。

【0243】

次に、絶縁膜 436 上に酸化物半導体膜 403 を形成する。酸化物半導体膜 403 の膜厚は、例えば、1 nm 乃至 30 nm、好ましくは 5 nm 乃至 10 nm とする。

【0244】

酸化物半導体膜 403 は、単層構造であってもよいし、積層構造であってもよい。また、非晶質構造であってもよいし、結晶性であってもよい。酸化物半導体膜を非晶質構造とする場合には、後の作製工程において、酸化物半導体膜に熱処理を行うことによって、結晶性酸化物半導体膜としてもよい。非晶質酸化物半導体膜を結晶化させる熱処理の温度は、250 以上 700 以下、好ましくは、400 以上、より好ましくは 500 以上、さらに好ましくは 550 以上とする。なお、当該熱処理は、作製工程における他の熱処理を兼ねることも可能である。

【0245】

酸化物半導体膜の成膜方法は、スパッタリング法、MBE (Molecular Beam Epitaxy) 法、CVD 法、パルスレーザ堆積法、ALD (Atomic Layer Deposition) 法などである。

10

20

30

40

50

y e r D e p o s i t i o n) 法等を適宜用いることができる。また、酸化物半導体膜は、スパッタリングターゲット表面に対し、概略垂直に複数の基板表面がセットされた状態で成膜を行うスパッタリング装置を用いて成膜してもよい。

【 0 2 4 6 】

なお、基板 4 0 0 を高温に保持した状態で酸化物半導体膜を形成することも、酸化物半導体膜中に含まれる不純物濃度を低減するのに有効である。基板 4 0 0 を加熱する温度としては、1 5 0 以上 4 5 0 以下とすればよく、好ましくは基板温度が 2 0 0 以上 3 5 0 以下とすればよい。また、成膜時に基板を高温で加熱することで、結晶性酸化物半導体膜を形成することができる。

【 0 2 4 7 】

酸化物半導体膜 4 0 3 として C A A C - O S 膜を適用する場合、該 C A A C - O S 膜を得る方法としては、例えば、成膜温度を 2 0 0 以上 4 5 0 以下として酸化物半導体膜の成膜を行い、表面に概略垂直に c 軸配向させる方法がある。または、酸化物半導体膜を薄い膜厚で成膜した後、2 0 0 以上 7 0 0 以下の熱処理を行い、表面に概略垂直に c 軸配向させる方法がある。または、一層目として薄い膜厚で成膜した後、2 0 0 以上 7 0 0 以下の熱処理を行い、二層目の成膜を行い、表面に概略垂直に c 軸配向させてもよい。

10

【 0 2 4 8 】

また、酸化物半導体膜 4 0 3 に、当該酸化物半導体膜 4 0 3 に含まれる過剰な水素（水や水酸基を含む）を除去（脱水化又は脱水素化）するための加熱処理を行うことが好ましい。加熱処理の温度は、3 0 0 以上 7 0 0 以下、又は基板の歪み点未満とする。熱処理は減圧下又は窒素雰囲気下などで行うことができる。

20

【 0 2 4 9 】

この熱処理によって、n 型の導電性を付与する不純物である水素を酸化物半導体から除去することができる。例えば、脱水化又は脱水素化処理後の酸化物半導体膜 4 0 3 に含まれる水素濃度を、 $5 \times 10^{-9} \text{ cm}^{-3}$ 以下、好ましくは $5 \times 10^{-8} \text{ cm}^{-3}$ 以下とすることができる。

【 0 2 5 0 】

なお、脱水化又は脱水素化のための加熱処理は、酸化物半導体膜の成膜後であればトランジスタ 4 2 0 の作製工程においてどのタイミングで行ってもよい。また、脱水化又は脱水素化のための熱処理は、複数回行ってもよく、他の熱処理と兼ねてもよい。但し、絶縁膜 4 3 6 として酸素を含む絶縁膜を設ける場合、脱水化又は脱水素化のための熱処理を、酸化物半導体膜を島状に加工する前に行うと、絶縁膜 4 3 6 に含まれる酸素が熱処理によって放出されるのを防止することができるため好ましい。

30

【 0 2 5 1 】

また、熱処理で酸化物半導体膜 4 0 3 を加熱した後、加熱温度を維持、又はその加熱温度から徐冷しながら同じ炉に高純度の酸素ガス、高純度の一酸化二窒素ガス、又は超乾燥工アを導入してもよい。酸素ガス又は一酸化二窒素ガスに、水、水素などが含まれないことが好ましい。又は、熱処理装置に導入する酸素ガス又は一酸化二窒素ガスの純度を、6 N 以上好ましくは 7 N 以上（即ち、酸素ガス又は一酸化二窒素ガス中の不純物濃度を 1 ppm 以下、好ましくは 0.1 ppm 以下）とすることが好ましい。酸素ガス又は一酸化二窒素ガスの作用により、脱水化又は脱水素化処理による不純物の排除工程によって同時に減少してしまった酸化物半導体を構成する主成分材料である酸素を供給することによって、酸化物半導体膜 4 0 3 を高純度化及び i 型（真性）化することができる。

40

【 0 2 5 2 】

また、脱水化又は脱水素化処理によって、酸化物半導体を構成する主成分材料である酸素が同時に脱離して減少してしまうおそれがあるため、脱水化又は脱水素化処理を行った酸化物半導体膜に、酸素（少なくとも、酸素ラジカル、酸素原子、酸素イオン、のいずれかを含む）を導入して膜中に酸素を供給してもよい。

【 0 2 5 3 】

50

酸化物半導体膜に酸素導入する場合、酸化物半導体膜に直接導入してもよいし、後に形成されるゲート絶縁膜402や絶縁膜407などの他の膜を通過して酸化物半導体膜403へ導入してもよい。酸素を他の膜を通過して導入する場合は、イオン注入法、イオンドーピング法、プラズマイマージョンイオンインプランテーション法などを用いればよい。露出された酸化物半導体膜403へ直接酸素を導入する場合は、上記の方法に加えてプラズマ処理なども用いることができる。

【0254】

酸素の供給ガスとしては、Oを含有するガスを用いればよく、例えば、O₂ガス、N₂Oガス、CO₂ガス、COガス、NO₂ガス等を用いることができる。なお、酸素の供給ガスに希ガス（例えばAr）を含有させてもよい。

10

【0255】

例えば、イオン注入法で酸化物半導体膜403へ酸素イオンの注入を行う場合、ドーザ量を 1×10^{13} ions/cm²以上 5×10^{16} ions/cm²以下とすればよい。

【0256】

または、酸化物半導体膜403と接する絶縁膜を、酸素過剰領域を含む膜とし、該絶縁膜と酸化物半導体膜403とが接した状態で加熱処理を行うことにより、絶縁膜に過剰に含まれる酸素を酸化物半導体膜403へ拡散させ、酸化物半導体膜403へ酸素を供給してもよい。該加熱処理は、トランジスタ420の作製工程における他の熱処理と兼ねることもできる。

【0257】

酸化物半導体膜への酸素の供給は酸化物半導体膜の成膜後であれば、そのタイミングは特に限定されない。また、酸化物半導体膜への酸素の導入は複数回行ってもよい。

20

【0258】

酸化物半導体膜403は、銅、アルミニウム、塩素などの不純物がほとんど含まれない高純度化されたものであることが望ましい。トランジスタ420の製造工程において、これらの不純物が混入または酸化物半導体膜403表面に付着する恐れのない工程を選択することが好ましく、酸化物半導体膜403表面に付着した場合には、シウ酸や希フッ酸などに曝す、またはプラズマ処理（N₂Oプラズマ処理など）を行うことにより、酸化物半導体膜403表面の不純物を除去することが好ましい。具体的には、酸化物半導体膜403の銅濃度は 1×10^{18} cm⁻³以下、好ましくは 1×10^{17} cm⁻³以下とする。また、酸化物半導体膜403のアルミニウム濃度は 1×10^{18} cm⁻³以下とする。また、酸化物半導体膜403の塩素濃度は 2×10^{18} cm⁻³以下とする。

30

【0259】

酸化物半導体膜403は水素などの不純物が十分に除去されることにより、または、十分な酸素が供給されて酸素が過飽和の状態とされることにより、高純度化されたものであることが望ましい。具体的には、酸化物半導体膜403の水素濃度は 5×10^{19} cm⁻³以下、望ましくは 5×10^{18} cm⁻³以下、より望ましくは 5×10^{17} cm⁻³以下とする。

【0260】

また、酸化物半導体膜403と接する絶縁膜（絶縁膜436、ゲート絶縁膜402）も水素などの不純物が十分に除去されることが好ましい。具体的には酸化物半導体膜403と接する絶縁膜の水素濃度は、 7.2×10^{20} cm⁻³未満とすることが好ましい。

40

【0261】

次いで、酸化物半導体膜403を覆うゲート絶縁膜402を形成する。本実施の形態において、ゲート絶縁膜402は、1nm以上20nm以下の膜厚で、スピッタリング法、MBE法、CVD法、パルスレーザ堆積法、ALD法等を適宜用いて形成することができる。

【0262】

ゲート絶縁膜402を水素（水や水酸基を含む）などの不純物が低減され、かつ酸素過剰な状態とするために、ゲート絶縁膜402に水素（水や水酸基を含む）を除去（脱水化ま

50

たは脱水素化)するための加熱処理(脱水化または脱水素化処理)及び/又は酸素ドープ処理を行ってもよい。脱水化または脱水素化処理と、酸素ドープ処理は複数回行ってもよく、両方を繰り返し行ってもよい。

【0263】

なお、ゲート絶縁膜402は、酸化物半導体膜403と接する第1のゲート絶縁膜と、第1のゲート絶縁膜と後に形成するゲート電極層401との間に設けられ、第1のゲート絶縁膜よりも酸素及び水素に対する透過性の低い第2のゲート絶縁膜との積層構造を含むことが好ましい。また、第1のゲート絶縁膜が酸化物半導体膜403への酸素の供給源として機能することが好ましく、第1のゲート絶縁膜が酸素過剰領域を含むことがより好ましい。第2のゲート絶縁膜を酸素及び水素に対する透過性の低い膜とすることで、酸化物半導体膜403及び第1のゲート絶縁膜からの酸素の脱離を防止し、且つ酸化物半導体膜403及び第1のゲート絶縁膜への水素の混入を防止することができる。酸素及び水素に対する透過性の低い絶縁膜としては、酸化アルミニウム膜を例示することができる。10

【0264】

次にゲート絶縁膜402上に導電膜を形成し、該導電膜をエッチングして、ゲート電極層401を形成する。

【0265】

次に、ゲート電極層401をマスクとして酸化物半導体膜403にドーパントを導入し、ソース領域403a及びドレイン領域403bを形成する。ドーパントの導入処理によって、チャネル形成領域403cを挟んで一対の低抵抗領域が設けられた酸化物半導体膜403が形成される。20

【0266】

ドーパントの導入方法としては、イオン注入法、イオンドーピング法、プラズマイマージョンイオンインプランテーション法などを用いることができる。その際には、ドーパントの単体のイオンあるいはフッ化物、塩化物のイオンを用いると好ましい。

【0267】

ドーパントの導入工程は、加速電圧、ドーズ量などの注入条件、また通過させる膜の膜厚を適宜設定して制御すればよい。なお、本実施の形態においては、ドーパントを導入後のソース領域403a及びドレイン領域403bの抵抗率を $1.9 \times 10^{-5} \text{ } \cdot \text{m}$ 以上 $4.8 \times 10^{-3} \text{ } \cdot \text{m}$ 以下とする濃度のドーパントを導入するものとする。また、ソース領域403a及びドレイン領域403bにおけるドーパントの濃度は、 $1.3 \times 10^{19} \text{ cm}^{-3}$ 以上 $1.6 \times 10^{20} \text{ cm}^{-3}$ 以下であることが好ましい。30

【0268】

例えば、In : Ga : Zn = 3 : 1 : 2 (= 1 / 2 : 1 / 6 : 1 / 3) の原子数比のIn-Ga-Zn系酸化物を用いて膜厚30nmの酸化物半導体膜403を形成した場合、ドーパントとしてリン(P)を $1.5 \times 10^{19} \text{ cm}^{-3}$ 以上 $1.6 \times 10^{20} \text{ cm}^{-3}$ 以下の濃度で含むソース領域403a及びドレイン領域403bとすると、当該領域の抵抗率を $1.9 \times 10^{-5} \text{ } \cdot \text{m}$ 以上 $7.8 \times 10^{-4} \text{ } \cdot \text{m}$ 以下とすることができる。または、ドーパントとしてホウ素(B)を $1.3 \times 10^{19} \text{ cm}^{-3}$ 以上 $1.4 \times 10^{20} \text{ cm}^{-3}$ 以下の濃度で含むソース領域403a及びドレイン領域403bとすると、当該領域の抵抗率を $2.0 \times 10^{-5} \text{ } \cdot \text{m}$ 以上 $4.8 \times 10^{-4} \text{ } \cdot \text{m}$ 以下とすることができる。また、In : Ga : Zn = 1 : 1 : 1 (= 1 / 3 : 1 / 3 : 1 / 3) の原子数比のIn-Ga-Zn系酸化物を用いて膜厚30nmの酸化物半導体膜403を形成した場合、ドーパントとしてリン(P)を $1.5 \times 10^{19} \text{ cm}^{-3}$ 以上 $1.6 \times 10^{20} \text{ cm}^{-3}$ 以下の濃度で含むソース領域403a及びドレイン領域403bとすると、当該領域の抵抗率を $2.0 \times 10^{-4} \text{ } \cdot \text{m}$ 以上 $3.1 \times 10^{-3} \text{ } \cdot \text{m}$ 以下とすることができる。40

【0269】

ドーパントを導入する際に、基板400を加熱しながら行ってもよい。

【0270】

なお、酸化物半導体膜403にドーパントを導入する処理は、複数回行ってもよく、ドー50

パントの種類も複数種用いてもよい。

【0271】

また、ドーパントの導入処理後、加熱処理を行ってもよい。加熱条件としては、温度300以上700以下、好ましくは300以上450以下で1時間、酸素雰囲気下で行うことが好ましい。また、窒素雰囲気下、減圧下、大気（超乾燥エア）下で加熱処理を行ってもよい。

【0272】

酸化物半導体膜403をCAC-O_xS膜とした場合、ドーパントの導入により、一部非晶質化する場合がある。この場合、ドーパントの導入後に加熱処理を行うことによって、酸化物半導体膜403の結晶性を回復させてもよい。

10

【0273】

酸化物半導体膜403、ゲート絶縁膜402、ゲート電極層401上に保護絶縁膜となる緻密性の高い無機絶縁膜（代表的には酸化アルミニウム膜）を設けることが好ましい。

【0274】

本実施の形態では、酸化物半導体膜403、ゲート絶縁膜402、ゲート電極層401上に絶縁膜407を形成する。

【0275】

絶縁膜407は、単層でも積層でもよく、少なくとも酸化アルミニウム膜を含むことが好ましい。

【0276】

絶縁膜407は、プラズマCVD法、スパッタリング法、又は蒸着法等により成膜することができる。また、絶縁膜407として金属膜に酸化処理を行うことによって得られる金属酸化膜を用いてもよい。例えば、アルミニウム膜に酸素ドープ処理を行うことによって得られる酸化アルミニウム膜を用いてもよい。金属膜への酸素ドープ処理は、酸化物半導体膜403又は酸化物半導体膜403と接する絶縁層への酸素ドープ処理と兼ねることも可能である。

20

【0277】

本実施の形態では、絶縁膜407としてスパッタリング法により酸化アルミニウム膜を形成する。

【0278】

絶縁膜407上に層間絶縁膜415を形成する。層間絶縁膜415は、絶縁膜407と同様な材料及び方法を用いて形成することができる。本実施の形態では、層間絶縁膜415はトランジスタ420により生じる凹凸を平坦化できる膜厚で形成する。層間絶縁膜415としては、CVD法により形成した酸化窒化シリコン膜、又はスパッタリング法により形成した酸化シリコン膜を用いることができる。

30

【0279】

また、トランジスタ起因の表面凹凸を低減するために平坦化絶縁膜を形成してもよい。

【0280】

層間絶縁膜415、絶縁膜407、及びゲート絶縁膜402に酸化物半導体膜403に達する開口を形成し、開口にソース電極層405a、ドレイン電極層405bを形成する。ソース電極層405a、ドレイン電極層405bを用いて他のトランジスタや素子と接続させ、様々な回路を構成することができる。

40

【0281】

以上の工程で、本実施の形態のトランジスタ420を有する半導体装置を作製することができる。

【0282】

トランジスタ420において、ソース電極層405a又はドレイン電極層405bを高濃度不純物領域であるソース領域403a又はドレイン領域403bと接する構成とすることで、酸化物半導体膜403と、ソース電極層405a及びドレイン電極層405bと、のコンタクト抵抗を低減することができる。また、そのコンタクトをオーミック性のコン

50

タクトとすることができ、ショットキー接合と比較して熱的にも安定な動作が可能となる。よって、トランジスタのオン電流を増加させることができ、電気的特性の優れたトランジスタを得ることが可能となる。

【0283】

図18(A)乃至(C)に、他の構成のトランジスタ422、トランジスタ424、トランジスタ426を、図19にトランジスタ428を、図20にトランジスタ430を示す。

【0284】

図18(A)に示すトランジスタ422は、ソース電極層405a、ドレイン電極層405bと接して、配線層495a、495bを設ける例である。ソース電極層405a、ドレイン電極層405bを層間絶縁膜415に埋め込むように形成し、研磨処理によって該表面を露出させる。露出されたソース電極層405a、ドレイン電極層405b表面に接して配線層495a、495bを形成し、電気的に接続させる。ソース電極層405aが設けられる開口と、ドレイン電極層405bが設けられる開口とは別工程で形成してもよい。該開口を別々のレジストマスクによって別工程で行うことによって、フォトリソグラフィ工程の露光限界よりソース電極層405aとドレイン電極層405bとの距離を近づけることができる。よって、ソース電極層405a(又はドレイン電極層405b)と酸化物半導体膜403との電気的なコンタクト領域と、ゲート電極層401との距離を縮小することができるため、ソースとドレイン間の抵抗を低減することができる。よって、トランジスタ422の電気的特性(例えばオン特性)を向上させることができる。

【0285】

なお、トランジスタ422においては、配線層495a、495bは同工程のフォトリソグラフィ工程を用いて形成するため、配線層495aと配線層495bとの距離は、ソース電極層405aとドレイン電極層405bとの距離より長い。

【0286】

図18(B)に示すトランジスタ424は、ゲート電極層401の側壁に側壁層423を設けており、さらに、ソース電極層405aとドレイン電極層405bとが酸化物半導体膜403の側面で接して電気的に接続する例である。トランジスタ424では、ソース電極層405a(又はドレイン電極層405b)と酸化物半導体膜403との電気的なコンタクト領域と、ゲート電極層401との距離を縮小することができるため、オン特性向上に効果的である。

【0287】

図18(B)に示すトランジスタ424の作製工程において、ソース電極層405a、ドレイン電極層405bを形成し、ソース電極層405a及びドレイン電極層405bの間隙を埋めるようにソース電極層405a及びドレイン電極層405b上に酸化物半導体膜を成膜した後、ソース電極層405a及びドレイン電極層405bが露出するまで酸化物半導体膜を研磨することが好ましい。この場合、ソース電極層405a及びドレイン電極層405bと重畳する領域の酸化物半導体膜を除去する工程において、レジストマスクを用いたエッチング処理を用いないため、ソース電極層405a及びドレイン電極層405bの間隔が微細化されている場合でも精密な加工を正確に行うことができる。

【0288】

または、島状の酸化物半導体膜403を形成し、酸化物半導体膜403上に導電膜を成膜し、酸化物半導体膜403が露出するまで導電膜を研磨して、酸化物半導体膜403と重畳する領域の導電膜を除去した後、フォトリソグラフィ法等を用いてソース電極層405a及びドレイン電極層405bを形成してもよい。この場合、酸化物半導体膜403と重畳する領域の導電膜を除去する工程において、レジストマスクを用いたエッチング処理を用いないため、チャネル長の間隔が微細化されている場合でも精密な加工を正確に行うことができる。よって、半導体装置の作製工程において、形状や特性のばらつきの少ない微細な構造を有するトランジスタを歩留まりよく作製することができる。

【0289】

10

20

30

40

50

図18(B)に示すトランジスタ424において、側壁層423としては、絶縁性材料、導電性材料を用いることができる。導電性材料を用いた場合、側壁層423はゲート電極層401の一部として機能することができるため、チャネル長方向においてゲート絶縁膜402を介してソース電極層405a又はドレイン電極層405bと重畳する領域を、ゲート電極層が、ゲート絶縁膜を介してソース電極層又はドレイン電極層と重畳する領域(Lov領域)とすることができる。ゲート電極層401の側面に自己整合的に設けられた導電性を有する側壁層423の幅によってLov領域の幅を制御することができる。よって、微細なLov領域を精度よく加工することができる。また、微細なチャネル長を維持しつつ、Lov領域を設けることが可能となり、オン電流の低下が抑制された微細な構造のトランジスタ424を提供することができる。

10

【0290】

図18(C)に示すトランジスタ426は、ボトムゲート構造のトランジスタであり、絶縁表面を有する基板400上に、絶縁膜414に埋め込まれるように形成されたゲート電極層401、絶縁膜414及びゲート電極層401上にゲート絶縁膜402、ゲート絶縁膜402上に酸化物半導体膜403、酸化物半導体膜403上に絶縁膜407、層間絶縁膜415が順に積層され、絶縁膜407及び層間絶縁膜415に形成された酸化物半導体膜403に達する開口にソース電極層405a、ドレイン電極層405bが設けられている。

【0291】

基板400とゲート電極層401との間に下地絶縁膜を設けてもよい。トランジスタ426のようにゲート電極層401を絶縁膜414に埋め込むように設けることで、ゲート電極層401上に設けるゲート絶縁膜402、及び酸化物半導体膜403などを平坦な面に、形状不良なく形成することができる。よって、信頼性の高いトランジスタを歩留まりよく作製することができる。

20

【0292】

なお、トランジスタ426において、酸化物半導体膜403に不純物を導入してソース領域403a及びドレイン領域403bを形成する際には、酸化物半導体膜403上にマスクを形成して不純物を導入してもよいし、基板400の裏面からゲート電極層401をマスクとして不純物を導入することで自己整合的にソース領域403a及びドレイン領域403bを形成してもよい。酸化物半導体膜403上にマスクを形成して、当該マスクを用いて不純物の導入処理を行う場合には、ゲート電極層401の端面とチャネル形成領域403cの端面(又はチャネル長方向におけるゲート電極層401の幅とチャネル形成領域403cの幅)とは必ずしも一致しない。

30

【0293】

図19(A)乃至図19(C)に示すトランジスタ428は、トップゲート構造のトランジスタの他の一例である。図19(A)は、トランジスタ428の平面図であり、図19(B)は、図19(A)のX1-Y1における断面図であり、図19(C)は、図19(A)のV1-W1における断面図である。なお、図19(A)では煩雑になることを避けるため、トランジスタ428の構成要素の一部を省略して図示している。

40

【0294】

チャネル長方向の断面図である図19(B)に示すように、トランジスタ428を含む半導体装置は、絶縁膜436a及び絶縁膜436bの積層構造を含む絶縁膜436が設けられた絶縁表面を有する基板400上に、チャネル形成領域403c、ソース領域403a及びドレイン領域403bを含む酸化物半導体膜403、ソース電極層405a、ドレイン電極層405b、ゲート絶縁膜402a及びゲート絶縁膜402bの積層構造を含むゲート絶縁膜402、ゲート電極層401、ゲート電極層401の側面に接して設けられた側壁絶縁層412、ゲート電極層401上に設けられた絶縁膜413、ソース電極層405a及びドレイン電極層405b上に設けられた絶縁膜410及び層間絶縁膜415、トランジスタ428を覆う絶縁膜407を有する。

【0295】

50

本実施の形態では、層間絶縁膜 415 の上面は側壁絶縁層 412 の上面と概略同じであり、ソース電極層 405a 及びドレイン電極層 405b の上面と、絶縁膜 413、及び側壁絶縁層 412 の上面とは概略一致する例を示す。但し、ソース電極層 405a、ドレイン電極層 405b の形状は、作製工程において、ソース電極層 405a 及びドレイン電極層 405b となる導電膜の研磨処理の条件によって異なるため、条件によっては、ソース電極層 405a 及びドレイン電極層 405b の上面は、層間絶縁膜 415、側壁絶縁層 412 及び絶縁膜 413 の上面より低く、ゲート電極層 401 の上面より高い場合もある。

【0296】

また、図19において、絶縁膜 407 は、層間絶縁膜 415、絶縁膜 410、ソース電極層 405a、ドレイン電極層 405b、側壁絶縁層 412 及び絶縁膜 413 と接して設けられている。10

【0297】

絶縁膜 413、絶縁膜 410、及び側壁絶縁層 412 は、代表的には酸化シリコン膜、酸化窒化シリコン膜、酸化アルミニウム膜、酸化窒化アルミニウム膜、窒化シリコン膜、窒化アルミニウム膜、窒化酸化シリコン膜、窒化酸化アルミニウム膜などの無機絶縁膜を用いることができ、単層でも積層でもよい。絶縁膜 413 は、CVD 法又はスパッタリング法などを用いることができる。CVD 法としては、LPCVD 法、プラズマ CVD 法などを用いることができ、また他の方法としては、塗布膜なども用いることができる。

【0298】

トランジスタ 428 において、絶縁膜 436、ゲート絶縁膜 402a、402b、絶縁膜 413、側壁絶縁層 412 を水素（水や水酸基を含む）などの不純物が低減され、かつ酸素過剰な状態とするために、絶縁膜 436、ゲート絶縁膜 402a、402b、絶縁膜 413、側壁絶縁層 412 に水素（水や水酸基を含む）を除去（脱水化または脱水素化）するための加熱処理（脱水化または脱水素化処理）及び / 又は酸素ドープ処理を行ってもよい。脱水化または脱水素化処理と、酸素ドープ処理は複数回行ってもよく、両方を繰り返し行ってもよい。20

【0299】

トランジスタ 428 において、ゲート絶縁膜 402b、絶縁膜 410 として酸化アルミニウム膜を用いることが好ましい。水素、水分などの不純物、及び酸素に対して膜を通過させない遮断効果（ブロック効果）が高い酸化アルミニウム膜を用いることで、酸化物半導体膜 403 に接して設けられる酸素過剰な状態の酸化物絶縁膜（例えば、酸化シリコン膜、酸化窒化シリコン膜）であるゲート絶縁膜 402a、絶縁膜 436 から、酸素が放出されるのを防止するバリア層として機能させることができる。30

【0300】

従って、ゲート絶縁膜 402b、絶縁膜 410 は、作製工程中及び作製後において、トランジスタの電気的特性の変動要因となる水素、水分などの不純物の酸化物半導体膜 403 への混入を防止し、かつゲート絶縁膜 402a、絶縁膜 436 を酸素過剰な状態で保持し、酸化物半導体膜への酸素供給を促進することができる。従って、バリア層として機能するゲート絶縁膜 402b を設けることで、トランジスタ 428 における寄生チャネルの発生を抑制、又は防止することができる。40

【0301】

また、絶縁膜 436 を積層構造とし、基板 400 に接する側を基板 400 からの不純物を遮断する効果が高い無機絶縁膜（例えば、窒化シリコン膜、窒化酸化シリコン膜、酸化アルミニウム膜）とし、酸化物半導体膜 403 と接する側を酸素過剰な酸化物絶縁膜（例えば、酸化シリコン膜、酸化窒化シリコン膜）とすると好ましい。

【0302】

本実施の形態では、絶縁膜 436a として窒化シリコン膜を設け、絶縁膜 436b として酸素過剰領域を含む酸化シリコン膜を設ける。

【0303】

トランジスタ 428 は作製工程において、ゲート電極層 401、絶縁膜 413、及び側壁

50

絶縁層 412 上に設けられた導電膜を化学機械研磨処理することによって除去し導電膜を分断することによって、ソース電極層 405a 及びドレイン電極層 405b を形成する。

【0304】

また、ソース電極層 405a、及びドレイン電極層 405b は、露出した酸化物半導体膜 403 上面、及び側壁絶縁層 412 と接して設けられている。よって、ソース電極層 405a 又はドレイン電極層 405b と酸化物半導体膜 403 とが接する領域（コンタクト領域）と、ゲート電極層 401 との距離は、側壁絶縁層 412 のチャネル長方向の幅となり、より微細化が達成できる他、作製工程においてよりばらつきなく制御することができる。

【0305】

このように、ソース電極層 405a 又はドレイン電極層 405b と酸化物半導体膜 403 とが接する領域（コンタクト領域）と、ゲート電極層 401 との距離を短くすることができるため、ソース電極層 405a 又はドレイン電極層 405b と酸化物半導体膜 403 とが接する領域（コンタクト領域）、及びゲート電極層 401 間の抵抗が減少し、トランジスタ 428 のオン特性を向上させることができるとなる。

【0306】

また、ソース電極層 405a 及びドレイン電極層 405b の形成工程におけるゲート電極層 401 上の導電膜を除去する工程において、レジストマスクを用いたエッチング工程を用いないため、精密な加工を正確に行うことができる。よって、半導体装置の作製工程において、形状や特性のばらつきの少ない微細な構造を有するトランジスタ 428 を歩留まりよく作製することができる。

【0307】

なお、ソース電極層 405a 及びドレイン電極層 405b の形成工程におけるゲート電極層 401 上の導電膜を除去する工程において、絶縁膜 413 の一部、又は絶縁膜 413 全部を除去してもよい。トランジスタ 428 においては、絶縁膜 410 も、ソース電極層 405a 及びドレイン電極層 405b の形成工程において用いる切削（研削、研磨）工程により上面が平坦化処理されている。

【0308】

ただし、本実施の形態は、これに限らず、ソース電極層 405a 及びドレイン電極層 405b となる導電膜を成膜後、該導電膜を、レジストマスクを用いてパターン形成してソース電極層 405a 及びドレイン電極層 405b を形成してもよい。この場合、ソース電極層 405a 及びドレイン電極層 405b を形成した後に絶縁膜 410 及び層間絶縁膜 415 を形成することができるため、ゲート電極層 401 と重畳する領域も絶縁膜 410 によって覆うことができる。

【0309】

図 20 (A) 乃至 (C) に示すトランジスタ 430 は、トップゲート構造のトランジスタの一例である。図 20 (A) は、トランジスタ 430 の平面図であり、図 20 (B) は、図 20 (A) の X2 - Y2 における断面図であり、図 20 (C) は、図 20 (A) の V2 - W2 における断面図である。なお、図 20 (A) では煩雑になることを避けるため、トランジスタ 430 の構成要素の一部を省略して図示している。

【0310】

トランジスタ 430 は、トランジスタ 430 の酸化物半導体膜 403 のチャネル幅方向の長さと比較して、酸化物半導体膜 403 の膜厚が厚い（好ましくは、酸化物半導体膜 403 の膜厚は、酸化物半導体膜 403 のチャネル幅方向の長さの 2 倍以上）、いわゆるフィン型構造のトランジスタである。フィン型構造とすることにより、形成面積を増やすことなくチャネル幅を大きくすることができる。チャネル幅を大きくすることで、電流駆動力を向上させることができる。

【0311】

以上のように、本実施の形態の半導体装置において、トランジスタ 420、422、424、426、428、430 は、微細化されたチャネル長を有しながらも短チャネル効果

10

20

30

40

50

を有さず、又は極めて少なく、且つ、スイッチング素子としての良好な電気特性を示すトランジスタである。

【0312】

従って、微細化を実現し、かつ安定で高い電気的特性を付与された半導体装置、及び該半導体装置の作製方法を提供することができる。

【0313】

(実施の形態3)

本実施の形態では、本明細書に示すトランジスタを使用し、電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限が無い半導体装置の一例を、図面を用いて説明する。

10

【0314】

図5は、半導体装置の構成の一例である。図5(A)に、半導体装置の断面図を、図5(B)に半導体装置の平面図を、図5(C)に半導体装置の回路図をそれぞれ示す。ここで、図5(A)は、図5(B)のC1-C2、及びD1-D2における断面に相当する。

20

【0315】

図5(A)及び図5(B)に示す半導体装置は、下部に第1の半導体材料を用いたトランジスタ160を有し、上部に第2の半導体材料を用いたトランジスタ162を有するものである。トランジスタ162には、実施の形態1または実施の形態2で示した本発明の一態様に係るトランジスタを適用することができる。本実施の形態では、実施の形態1で示すトランジスタ440eと同様な構造を有する例である。

20

【0316】

ここで、第1の半導体材料と第2の半導体材料は異なる禁制帯幅を持つ材料とすることが望ましい。例えば、第1の半導体材料を酸化物半導体以外の半導体材料(シリコンなど)とし、第2の半導体材料を酸化物半導体とすることができます。酸化物半導体以外の材料を用いたトランジスタは、高速動作が容易である。一方で、酸化物半導体を用いたトランジスタは、その特性により長時間の電荷保持を可能とする。

30

【0317】

なお、上記トランジスタは、いずれもnチャネル型トランジスタであるものとして説明するが、pチャネル型トランジスタを用いることができるのはいうまでもない。また、情報を保持するために酸化物半導体を用いた実施の形態1または2に示すようなトランジスタ162に用いる他、半導体装置に用いられる材料や半導体装置の構造など、半導体装置の具体的な構成をここで示すものに限定する必要はない。

30

【0318】

図5(A)におけるトランジスタ160は、半導体材料(例えば、シリコンなど)を含む基板100に設けられたチャネル形成領域116と、チャネル形成領域116を挟むように設けられた不純物領域120と、不純物領域120に接する金属間化合物領域124と、チャネル形成領域116上に設けられたゲート絶縁膜108と、ゲート絶縁膜108上に設けられたゲート電極110と、を有する。なお、図において、明示的にはソース電極やドレイン電極を有しない場合があるが、便宜上、このような状態を含めてトランジスタと呼ぶ場合がある。また、この場合、トランジスタの接続関係を説明するために、ソース領域やドレイン領域を含めてソース電極やドレイン電極と表現することがある。つまり、本明細書において、ソース電極との記載には、ソース領域が含まれうる。

40

【0319】

基板100上にはトランジスタ160を囲むように素子分離絶縁層106が設けられており、トランジスタ160を覆うように絶縁層128、及び絶縁層130が設けられている。なお、トランジスタ160において、ゲート電極110の側面に側壁絶縁層(サイドウォール絶縁層)を設け、不純物濃度が異なる領域を含む不純物領域120としてもよい。

【0320】

単結晶半導体基板を用いたトランジスタ160は、高速動作が可能である。このため、当該トランジスタを読み出し用のトランジスタとして用いることで、情報の読み出しを高速

50

に行うことができる。トランジスタ 160 を覆うように絶縁膜を 2 層形成する。トランジスタ 162 および容量素子 164 の形成前の処理として、該絶縁膜 2 層に C M P 処理を施して、平坦化した絶縁層 128、絶縁層 130 を形成し、同時にゲート電極 110 の上面を露出させる。

【0321】

絶縁層 128、絶縁層 130 は、代表的には酸化シリコン膜、酸化窒化シリコン膜、酸化アルミニウム膜、酸化窒化アルミニウム膜、窒化シリコン膜、窒化アルミニウム膜、窒化酸化シリコン膜、窒化酸化アルミニウム膜などの無機絶縁膜を用いることができる。絶縁層 128、絶縁層 130 は、プラズマ C V D 法又はスパッタリング法等を用いて形成することができる。

10

【0322】

また、ポリイミド、アクリル樹脂、ベンゾシクロブテン系樹脂、等の有機材料を用いることができる。また上記有機材料の他に、低誘電率材料 (low-k 材料) 等を用いることができる。有機材料を用いる場合、スピンドルコート法、印刷法などの湿式法によって絶縁層 128、絶縁層 130 を形成してもよい。

【0323】

なお、本実施の形態において、絶縁膜 128 として窒化シリコン膜、絶縁層 130 として酸化シリコン膜を用いる。

【0324】

絶縁層 130 表面において、酸化物半導体膜 144 形成領域に、平坦化処理を行うことが好ましい。本実施の形態では、研磨処理 (例えば C M P 処理) により十分に平坦化した (好ましくは絶縁層 130 表面の平均面粗さは 0.15 nm 以下) 絶縁層 130 上に酸化物半導体膜 144 を形成する。

20

【0325】

図 5 (A) に示すトランジスタ 162 は、酸化物半導体をチャネル形成領域に用いたトランジスタである。ここで、トランジスタ 162 に含まれる酸化物半導体膜 144 は、高純度化されたものであることが望ましい。高純度化された酸化物半導体を用いることで、極めて優れたオフ特性のトランジスタ 162 を得ることができる。

【0326】

トランジスタ 162においてチャネル長は短く (5 nm 以上 60 nm 未満、好ましくは 10 nm 以上 40 nm 以下)、ゲート絶縁膜 146 の膜厚は窒素を含む酸化シリコン換算膜厚では 5 nm 以上 50 nm 以下、好ましくは 10 nm 以上 40 nm 以下とする。または、トランジスタ 162 は、チャネル長が短く (5 nm 以上 60 nm 未満、好ましくは 10 nm 以上 40 nm 以下)、ソース領域及びドレイン領域の抵抗率は $1.9 \times 10^{-5} \cdot m$ 以上 $4.8 \times 10^{-3} \cdot m$ 以下であるシングルドレイン構造のトランジスタである。トランジスタ 162 は、短チャネル効果を有さない、又は極めて少なく、かつスイッチング素子としての良好な電気特性示すトランジスタである。

30

【0327】

トランジスタ 162 は、オフ電流が小さいため、これを用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要としない、或いは、リフレッシュ動作の頻度が極めて少ない半導体記憶装置とすることが可能となるため、消費電力を十分に低減することができる。

40

【0328】

トランジスタ 162 は、作製工程において、ゲート電極 148、及び側壁絶縁層 136a、136b 上に設けられた導電膜を化学機械研磨処理により除去する工程を用いて、ソース電極層及びドレイン電極層として機能する電極層 142a、142b を形成する。電極層 142a、142b は、側壁絶縁層 136a、136b の側面、及び酸化物半導体膜 144 と接する。

【0329】

側壁絶縁層 136a、136b として酸化アルミニウムを用いると、酸素の放出

50

及び水素等の不純物の進入を抑制することができる。

【0330】

よって、トランジスタ162は、ソース電極層又はドレイン電極層として機能する電極層142a、142bと酸化物半導体膜144が接する領域（コンタクト領域）と、ゲート電極148との距離を短くすることができるため、電極層142a、142bと酸化物半導体膜144とが接する領域（コンタクト領域）、及びゲート電極148間の抵抗が減少し、トランジスタ162のオン特性を向上させることができるとなる。

【0331】

電極層142a、142bの形成工程におけるゲート電極148上の導電膜を除去する工程において、レジストマスクを用いたエッチング工程を用いないため、精密な加工を正確に行うことができる。よって、半導体装置の作製工程において、形状や特性のばらつきの少ない微細な構造を有するトランジスタを歩留まりよく作製することができる。10

【0332】

トランジスタ162上には、層間絶縁膜135、絶縁膜150が単層または積層で設けられている。本実施の形態では、絶縁膜150として、酸化アルミニウム膜を用いる。酸化アルミニウム膜を高密度（膜密度 3.2 g/cm^3 以上、好ましくは 3.6 g/cm^3 以上）とすることによって、トランジスタ162に安定な電気特性を付与することができる。

【0333】

また、層間絶縁膜135及び絶縁膜150を介して、トランジスタ162の電極層142aと重疊する領域には、導電層153が設けられており、電極層142aと、層間絶縁膜135と、絶縁膜150と、導電層153とによって、容量素子164が構成される。すなわち、トランジスタ162の電極層142aは、容量素子164の一方の電極として機能し、導電層153は、容量素子164の他方の電極として機能する。なお、容量が不要の場合には、容量素子164を設けない構成とすることもできる。また、容量素子164は、別途、トランジスタ162の上方に設けてよい。20

【0334】

トランジスタ162および容量素子164の上には絶縁膜152が設けられている。そして、絶縁膜152上には配線156が設けられ、その配線156はトランジスタ162と他のトランジスタを接続するために設けられている。図5(A)には図示しないが、配線156は、絶縁膜150、絶縁膜152及びゲート絶縁膜146などに形成された開口に形成された電極を介して電極層142bと電気的に接続される。ここで、該電極は、少なくともトランジスタ162の酸化物半導体膜144の一部と重疊するように設けられることが好ましい。

【0335】

図5(A)及び図5(B)において、トランジスタ160と、トランジスタ162とは、少なくとも一部が重疊するように設けられており、トランジスタ160のソース領域またはドレイン領域と酸化物半導体膜144の一部が重疊するように設けられているのが好ましい。また、トランジスタ162及び容量素子164が、トランジスタ160の少なくとも一部と重疊するように設けられている。例えば、容量素子164の導電層153は、トランジスタ160のゲート電極110と少なくとも一部が重疊して設けられている。このような平面レイアウトを採用することにより、半導体装置の占有面積の低減を図ることができるため、高集積化を図ることができる。40

【0336】

なお、電極層142b及び配線156の電気的接続は、電極層142b及び配線156を直接接触させて行ってもよいし、電極層142b及び配線156の間の絶縁膜に電極を設けて、該電極を介して行ってもよい。また、間に介する電極は、複数でもよい。

【0337】

次に、図5(A)及び図5(B)に対応する回路構成の一例を図5(C)に示す。

【0338】

50

図5(C)において、第1の配線(1st Line)とトランジスタ160のソース電極とは、電気的に接続され、第2の配線(2nd Line)とトランジスタ160のドレイン電極とは、電気的に接続されている。また、第3の配線(3rd Line)とトランジスタ162のソース電極またはドレイン電極の一方とは、電気的に接続され、第4の配線(4th Line)と、トランジスタ162のゲート電極とは、電気的に接続されている。そして、トランジスタ160のゲート電極と、トランジスタ162のソース電極またはドレイン電極の一方は、容量素子164の電極の一方と電気的に接続され、第5の配線(5th Line)と、容量素子164の電極の他方は電気的に接続されている。

【0339】

10

図5(C)に示す半導体装置では、トランジスタ160のゲート電極の電位が保持可能という特徴を生かすことで、次のように、情報の書き込み、保持、読み出しが可能である。

【0340】

情報の書き込みおよび保持について説明する。まず、第4の配線の電位を、トランジスタ162がオン状態となる電位にして、トランジスタ162をオン状態とする。これにより、第3の配線の電位が、トランジスタ160のゲート電極、および容量素子164に与えられる。すなわち、トランジスタ160のゲート電極には、所定の電荷が与えられる(書き込み)。ここでは、異なる二つの電位レベルを与える電荷(以下Lowレベル電荷、Highレベル電荷という)のいずれかが与えられるものとする。その後、第4の配線の電位を、トランジスタ162がオフ状態となる電位にして、トランジスタ162をオフ状態とすることにより、トランジスタ160のゲート電極に与えられた電荷が保持される(保持)。

20

【0341】

トランジスタ162のオフ電流は極めて小さいため、トランジスタ160のゲート電極の電荷は長時間にわたって保持される。

【0342】

次に情報の読み出しについて説明する。第1の配線に所定の電位(定電位)を与えた状態で、第5の配線に適切な電位(読み出し電位)を与えると、トランジスタ160のゲート電極に保持された電荷量に応じて、第2の配線は異なる電位をとる。一般に、トランジスタ160をnチャネル型とすると、トランジスタ160のゲート電極にHighレベル電荷が与えられている場合の見かけのしきい値 V_{th_H} は、トランジスタ160のゲート電極にLowレベル電荷が与えられている場合の見かけのしきい値 V_{th_L} より低くなるためである。ここで、見かけのしきい値電圧とは、トランジスタ160を「オン状態」とするために必要な第5の配線の電位をいうものとする。したがって、第5の配線の電位を V_{th_H} と V_{th_L} の間の電位 V_0 とすることにより、トランジスタ160のゲート電極に与えられた電荷を判別できる。例えば、書き込みにおいて、Highレベル電荷が与えられていた場合には、第5の配線の電位が $V_0 (> V_{th_H})$ となれば、トランジスタ160は「オン状態」となる。Lowレベル電荷が与えられていた場合には、第5の配線の電位が $V_0 (< V_{th_L})$ となっても、トランジスタ160は「オフ状態」のままである。このため、第2の配線の電位を見ることで、保持されている情報を読み出すことができる。

30

【0343】

なお、メモリセルをアレイ状に配置して用いる場合、所望のメモリセルの情報のみを読み出せることが必要になる。このように情報を読み出さない場合には、ゲート電極の状態にかかわらずトランジスタ160が「オフ状態」となるような電位、つまり、 V_{th_H} より小さい電位を第5の配線に与えればよい。または、ゲート電極の状態にかかわらずトランジスタ160が「オン状態」となるような電位、つまり、 V_{th_L} より大きい電位を第5の配線に与えればよい。

40

【0344】

本実施の形態に示す半導体装置では、チャネル形成領域に酸化物半導体を用いたオフ電流

50

の極めて小さいトランジスタを適用することで、極めて長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。また、電力の供給がない場合（ただし、電位は固定されていることが望ましい）であっても、長期にわたって記憶内容を保持することが可能である。

【0345】

また、本実施の形態に示す半導体装置では、情報の書き込みに高い電圧を必要とせず、素子の劣化の問題もない。例えば、従来の不揮発性メモリのように、フローティングゲートへの電子の注入や、フローティングゲートからの電子の引き抜きを行う必要がないため、ゲート絶縁膜の劣化といった問題が全く生じない。すなわち、開示する発明に係る半導体装置では、従来の不揮発性メモリで問題となっている書き換え可能回数に制限はなく、信頼性が飛躍的に向上する。さらに、トランジスタのオン状態、オフ状態によって、情報の書き込みが行われるため、高速な動作も容易に実現しうる。

10

【0346】

以上のように、微細化及び高集積化を実現し、かつ安定で高い電気的特性を付与された半導体装置、及び該半導体装置の作製方法を提供することができる。

【0347】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。

20

【0348】

（実施の形態4）

本実施の形態においては、実施の形態1又は実施の形態2に示すトランジスタを使用し、電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限がない半導体装置について、実施の形態3に示した構成と異なる構成について、図6及び図7を用いて説明を行う。

【0349】

図6(A)は、半導体装置の回路構成の一例を示し、図6(B)は半導体装置の一例を示す概念図である。まず、図6(A)に示す半導体装置について説明を行い、続けて図6(B)に示す半導体装置について、以下説明を行う。

30

【0350】

図6(A)に示す半導体装置において、ビット線BLとトランジスタ162のソース電極又はドレイン電極とは電気的に接続され、ワード線WLとトランジスタ162のゲート電極とは電気的に接続され、トランジスタ162のソース電極又はドレイン電極と容量素子254の第1の端子とは電気的に接続されている。

【0351】

次に、図6(A)に示す半導体装置(メモリセル250)に、情報の書き込みおよび保持を行う場合について説明する。

【0352】

まず、ワード線WLの電位を、トランジスタ162がオン状態となる電位として、トランジスタ162をオン状態とする。これにより、ビット線BLの電位が、容量素子254の第1の端子に与えられる(書き込み)。その後、ワード線WLの電位を、トランジスタ162がオフ状態となる電位として、トランジスタ162をオフ状態とすることにより、容量素子254の第1の端子の電位が保持される(保持)。

40

【0353】

酸化物半導体を用いたトランジスタ162は、オフ電流が極めて小さいという特徴を有している。このため、トランジスタ162をオフ状態とすることで、容量素子254の第1の端子の電位(あるいは、容量素子254に蓄積された電荷)を極めて長時間にわたって保持することが可能である。

【0354】

次に、情報の読み出しについて説明する。トランジスタ162がオン状態となると、浮遊

50

状態であるビット線 B L と容量素子 254 とが導通し、ビット線 B L と容量素子 254 の間で電荷が再分配される。その結果、ビット線 B L の電位が変化する。ビット線 B L の電位の変化量は、容量素子 254 の第1の端子の電位（あるいは容量素子 254 に蓄積された電荷）によって、異なる値をとる。

【0355】

例えば、容量素子 254 の第1の端子の電位を V、容量素子 254 の容量を C、ビット線 B L が有する容量成分（以下、ビット線容量とも呼ぶ）を C B、電荷が再分配される前のビット線 B L の電位を V B 0 とすると、電荷が再分配された後のビット線 B L の電位は、 $(C B * V B 0 + C * V) / (C B + C)$ となる。従って、メモリセル 250 の状態として、容量素子 254 の第1の端子の電位が V 1 と V 0 ($V 1 > V 0$) の2状態をとるとすると、電位 V 1 を保持している場合のビット線 B L の電位 ($= (C B * V B 0 + C * V 1) / (C B + C)$) は、電位 V 0 を保持している場合のビット線 B L の電位 ($= (C B * V B 0 + C * V 0) / (C B + C)$) よりも高くなることがわかる。10

【0356】

そして、ビット線 B L の電位を所定の電位と比較することで、情報を読み出すことができる。

【0357】

このように、図 6 (A) に示す半導体装置は、トランジスタ 162 のオフ電流が極めて小さいという特徴から、容量素子 254 に蓄積された電荷は長時間にわたって保持することができる。つまり、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。また、電力の供給がない場合であっても、長期にわたって記憶内容を保持することができる。20

【0358】

次に、図 6 (B) に示す半導体装置について、説明を行う。

【0359】

図 6 (B) に示す半導体装置は、上部に記憶回路として図 6 (A) に示したメモリセル 250 を複数有するメモリセルアレイ 251a 及び 251b を有し、下部に、メモリセルアレイ 251a 及び 251b を動作させるために必要な周辺回路 253 を有する。なお、周辺回路 253 は、メモリセルアレイ 251a 及び 251b と電気的に接続されている。30

【0360】

図 6 (B) に示した構成とすることにより、周辺回路 253 をメモリセルアレイ 251a 及び 251b の直下に設けることができるため半導体装置の小型化を図ることができる。

【0361】

周辺回路 253 に設けられるトランジスタは、トランジスタ 162 とは異なる半導体材料を用いるのがより好ましい。例えば、シリコン、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、またはガリウムヒ素等を用いることができ、単結晶半導体を用いることが好ましい。他に、有機半導体材料などを用いてもよい。このような半導体材料を用いたトランジスタは、十分な高速動作が可能である。したがって、該トランジスタにより、高速動作が要求される各種回路（論理回路、駆動回路など）を好適に実現することが可能である。40

【0362】

なお、図 6 (B) に示した半導体装置では、2つのメモリセルアレイ 251a と、メモリセルアレイ 251b が積層された構成を例示したが、積層するメモリセルアレイの数はこれに限定されない。3つ以上のメモリセルアレイを積層する構成としても良い。

【0363】

次に、図 6 (A) に示したメモリセル 250 の具体的な構成について図 7 を用いて説明を行う。

【0364】

図 7 は、メモリセル 250 の構成の一例である。図 7 (A) に、メモリセル 250 の断面

図を、図7(B)にメモリセル250の平面図をそれぞれ示す。ここで、図7(A)は、図7(B)のF1-F2、及びG1-G2における断面に相当する。

【0365】

図7(A)及び図7(B)に示すトランジスタ162は、実施の形態1又は実施の形態2で示した構成と同様な構成とすることができます。

【0366】

絶縁層130上に設けられたトランジスタ162上には、絶縁膜256が単層または積層で設けられている。また、絶縁膜256を介して、トランジスタ162の電極層142aと重畳する領域には、導電層262が設けられており、電極層142aと、層間絶縁膜135と、絶縁膜256と、導電層262とによって、容量素子254が構成される。すなわち、トランジスタ162の電極層142aは、容量素子254の一方の電極として機能し、導電層262は、容量素子254の他方の電極として機能する。
10

【0367】

トランジスタ162および容量素子254の上には絶縁膜258が設けられている。そして、絶縁膜258上には配線260が設けられ、その配線260はメモリセル250と隣接するメモリセル250を接続するために設けられている。図示しないが、配線260は、絶縁膜256及び絶縁膜258などに形成された開口を介してトランジスタ162の電極層142bと電気的に接続されている。但し、開口に他の導電層を設け、該他の導電層を介して、配線260と電極層142bとを電気的に接続してもよい。なお、配線260は、図6(A)の回路図におけるピット線BLに相当する。
20

【0368】

図7(A)及び図7(B)において、トランジスタ162の電極層142bは、隣接するメモリセルに含まれるトランジスタのソース電極としても機能することができる。このような平面レイアウトを採用することにより、半導体装置の占有面積の低減を図ることができるため、高集積化を図ることができる。

【0369】

図7(B)に示す平面レイアウトを採用することにより、半導体装置の占有面積の低減を図ることができるため、高集積化を図ることができる。

【0370】

以上のように、上部に多層に形成された複数のメモリセルは、酸化物半導体を用いたトランジスタにより形成されている。酸化物半導体を用いたトランジスタは、オフ電流が小さいため、これを用いることにより長期にわたり記憶内容を保持することができる。つまり、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。
30

【0371】

このように、酸化物半導体以外の材料を用いたトランジスタ(換言すると、十分な高速動作が可能なトランジスタ)を用いた周辺回路と、酸化物半導体を用いたトランジスタ(より広義には、十分にオフ電流が小さいトランジスタ)を用いた記憶回路とを一体に備えることで、これまでにない特徴を有する半導体装置を実現することができる。また、周辺回路と記憶回路を積層構造とすることにより、半導体装置の集積化を図ることができる。
40

【0372】

以上のように、微細化及び高集積化を実現し、かつ安定で高い電気的特性を付与された半導体装置、及び該半導体装置の作製方法を提供することができる。

【0373】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

【0374】

(実施の形態5)

本実施の形態では、先の実施の形態で示した半導体装置を携帯電話、スマートフォン、電子書籍などの携帯機器に応用した場合の例を図8乃至図11を用いて説明する。
50

【 0 3 7 5 】

携帯電話、スマートフォン、電子書籍などの携帯機器においては、画像データの一時記憶などに S R A M または D R A M が使用されている。 S R A M または D R A M が使用される理由としてはフラッシュメモリでは応答が遅く、画像処理では不向きであるためである。一方で、 S R A M または D R A M を画像データの一時記憶に用いた場合、以下の特徴がある。

【 0 3 7 6 】

通常の S R A M は、図 8 (A) に示すように 1 つのメモリセルがトランジスタ 8 0 1 ~ 8 0 6 の 6 個のトランジスタで構成されており、それを X デコーダー 8 0 7 、 Y デコーダー 8 0 8 にて駆動している。トランジスタ 8 0 3 とトランジスタ 8 0 5 、トランジスタ 8 0 4 とトランジスタ 8 0 6 はインバータを構成し、高速駆動を可能としている。しかし 1 つのメモリセルが 6 トランジスタで構成されているため、セル面積が大きいという欠点がある。デザインルールの最小寸法を F としたときに S R A M のメモリセル面積は通常 1 0 0 ~ 1 5 0 F² である。このため S R A M はビットあたりの単価が各種メモリの中で最も高い。

10

【 0 3 7 7 】

それに対して、 D R A M はメモリセルが図 8 (B) に示すようにトランジスタ 8 1 1 、保持容量 8 1 2 によって構成され、それを X デコーダー 8 1 3 、 Y デコーダー 8 1 4 にて駆動している。 1 つのセルが 1 トランジスタ 1 容量の構成になっており、面積が小さい。 D R A M のメモリセル面積は通常 1 0 F² 以下である。ただし、 D R A M は常にリフレッシュが必要であり、書き換えをおこなわない場合でも電力を消費する。

20

【 0 3 7 8 】

しかし、先の実施の形態で説明した半導体装置のメモリセル面積は、 1 0 F² 前後であり、且つ頻繁なリフレッシュは不要である。したがって、メモリセル面積が縮小され、且つ消費電力が低減することができる。

【 0 3 7 9 】

図 9 に携帯機器のブロック図を示す。図 9 に示す携帯機器は R F 回路 9 0 1 、アナログベースバンド回路 9 0 2 、デジタルベースバンド回路 9 0 3 、バッテリー 9 0 4 、電源回路 9 0 5 、アプリケーションプロセッサ 9 0 6 、フラッシュメモリ 9 1 0 、ディスプレイコントローラ 9 1 1 、メモリ回路 9 1 2 、ディスプレイ 9 1 3 、タッチセンサ 9 1 9 、音声回路 9 1 7 、キーボード 9 1 8 などにより構成されている。ディスプレイ 9 1 3 は表示部 9 1 4 、ソースドライバ 9 1 5 、ゲートドライバ 9 1 6 によって構成されている。アプリケーションプロセッサ 9 0 6 は C P U 9 0 7 、 D S P 9 0 8 、インターフェイス (I F) 9 0 9 を有している。一般にメモリ回路 9 1 2 は S R A M または D R A M で構成されており、この部分に先の実施の形態で説明した半導体装置を採用することによって、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減することができる。

30

【 0 3 8 0 】

図 1 0 に、ディスプレイのメモリ回路 9 5 0 に先の実施の形態で説明した半導体装置を使用した例を示す。図 1 0 に示すメモリ回路 9 5 0 は、メモリ 9 5 2 、メモリ 9 5 3 、スイッチ 9 5 4 、スイッチ 9 5 5 およびメモリコントローラ 9 5 1 により構成されている。また、メモリ回路は、信号線から入力された画像データ（入力画像データ）、メモリ 9 5 2 、及びメモリ 9 5 3 に記憶されたデータ（記憶画像データ）を読み出し、及び制御を行うディスプレイコントローラ 9 5 6 と、ディスプレイコントローラ 9 5 6 からの信号により表示するディスプレイ 9 5 7 が接続されている。

40

【 0 3 8 1 】

まず、ある画像データがアプリケーションプロセッサ（図示しない）によって、形成される（入力画像データ A ）。入力画像データ A は、スイッチ 9 5 4 を介してメモリ 9 5 2 に記憶される。そしてメモリ 9 5 2 に記憶された画像データ（記憶画像データ A ）は、スイッチ 9 5 5 、及びディスプレイコントローラ 9 5 6 を介してディスプレイ 9 5 7 に送られ

50

、表示される。

【0382】

入力画像データAに変更が無い場合、記憶画像データAは、通常30～60Hz程度の周期でメモリ952からスイッチ955を介して、ディスプレイコントローラ956から読み出される。

【0383】

次に、例えばユーザーが画面を書き換える操作をしたとき（すなわち、入力画像データAに変更が有る場合）、アプリケーションプロセッサは新たな画像データ（入力画像データB）を形成する。入力画像データBはスイッチ954を介してメモリ953に記憶される。この間も定期的にメモリ952からスイッチ955を介して記憶画像データAは読み出されている。メモリ953に新たな画像データ（記憶画像データB）が記憶し終わると、ディスプレイ957の次のフレームより、記憶画像データBは読み出され、スイッチ955、及びディスプレイコントローラ956を介して、ディスプレイ957に記憶画像データBが送られ、表示がおこなわれる。この読み出しあはさらに次に新たな画像データがメモリ952に記憶されるまで継続される。10

【0384】

このようにメモリ952及びメモリ953は交互に画像データの書き込みと、画像データの読み出しを行うことによって、ディスプレイ957の表示をおこなう。なお、メモリ952及びメモリ953はそれぞれ別のメモリには限定されず、1つのメモリを分割して使用してもよい。先の実施の形態で説明した半導体装置をメモリ952及びメモリ953に採用することによって、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減することができる。20

【0385】

図11に電子書籍のブロック図を示す。図11はバッテリー1001、電源回路1002、マイクロプロセッサ1003、フラッシュメモリ1004、音声回路1005、キーボード1006、メモリ回路1007、タッチパネル1008、ディスプレイ1009、ディスプレイコントローラ1010によって構成される。

【0386】

ここでは、図11のメモリ回路1007に先の実施の形態で説明した半導体装置を使用することができる。メモリ回路1007の役割は書籍の内容を一時的に保持する機能を持つ。機能の例としては、ユーザーがハイライト機能を使用する場合などがある。ユーザーが電子書籍を読んでいるときに、特定の箇所にマーキングをしたい場合がある。このマーキング機能をハイライト機能と言い、表示の色を変える、アンダーラインを引く、文字を太くする、文字の書体を変えるなどによって、周囲との違いを示すことである。ユーザーが指定した箇所の情報を記憶し、保持する機能である。この情報を長期に保存する場合にはフラッシュメモリ1004にコピーしても良い。このような場合においても、先の実施の形態で説明した半導体装置を採用することによって、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減することができる。30

【0387】

以上のように、本実施の形態に示す携帯機器には、先の実施の形態に係る半導体装置が搭載されている。このため、読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力を低減した携帯機器が実現される。40

【0388】

本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。

【実施例1】

【0389】

本実施例では、トランジスタを作製し、該トランジスタの断面観察及び電気特性の評価を行った。図15及び図16を用いて説明する。

【0390】

10

20

30

40

50

トランジスタとして、実施の形態1に示すトランジスタと同様の構造の実施例トランジスタを作製した。以下に実施例トランジスタの作製方法を示す。

【0391】

アルゴンによるプラズマ処理（Ar流量50sccm、圧力0.6Pa、電源電力200W、3分間）を行ったシリコン基板上に絶縁膜11としてスパッタリング法を用いて、膜厚1000nmの酸化シリコン膜を形成した（成膜条件：酸素（酸素50sccm）雰囲気下、圧力0.4Pa、電源電力（電源出力）1.5kW、シリコン基板とターゲットとの間の距離を60mm、基板温度100）。
10

【0392】

次に絶縁膜11表面に化学的機械研磨（Chemical Mechanical Polishing：CMP）法により研磨処理（研磨圧0.001MPa、研磨時回転数（テーブル／スピンドル）：60rpm/56rpm）を行い、絶縁膜11表面における平均面粗さ（Ra）を約0.15nmとした。
10

【0393】

絶縁膜11上に酸化物半導体膜としてIn：Ga：Zn=3：1：2[原子数比]の酸化物ターゲットを用いたスパッタリング法により、膜厚10nmのIGZO膜を形成した。成膜条件は、アルゴン及び酸素（アルゴン：酸素=30sccm：15sccm）雰囲気下、圧力0.4Pa、電源電力0.5kW、基板温度200とした。
20

【0394】

イオン注入法によりIGZO膜に、酸素イオンを注入した。なお、酸素イオンの注入条件は加速電圧5kV、ドーズ量を 2.5×10^{15} ions/cm²とした。
20

【0395】

ドライエッティング法により、酸化物半導体膜をエッティング（エッティング条件：エッティングガス（BCl₃：Cl₂=60sccm：20sccm）、ICP電源電力450W、バイアス電力100W、圧力1.9Pa）して島状の酸化物半導体膜12を形成した。
20

【0396】

次にCVD法によりゲート絶縁膜13として酸化窒化シリコン膜を20nm成膜した。
20

【0397】

ゲート絶縁膜上に、スパッタリング法により膜厚30nmの窒化タンタル膜（成膜条件：アルゴン及び窒素（アルゴン：窒素=50sccm：10sccm）雰囲気下、圧力0.6Pa、電源電力1kW）及び膜厚70nmのタングステン膜（成膜条件：アルゴン（100sccm）雰囲気下、圧力2.0Pa、電源電力4kW）の積層を成膜した。
30

【0398】

窒化タンタル膜及びタングステン膜上にフォトリソグラフィ法によりレジストマスクを形成した。レジストマスクは、露光により形成後、さらにスリミング工程を行い、チャネル長方向の長さを70nmまで縮小した。
20

【0399】

ドライエッティング法により、窒化タンタル膜及びタングステン膜をエッティング（（第1エッティング条件：エッティングガス（CF₄：Cl₂：O₂=55sccm：45sccm：55sccm）、ICP電源電力3kW、バイアス電力110W、圧力0.67Pa）、（第2エッティング条件：エッティングガス（Cl₂=100sccm）、電源電力2kW、バイアス電力50W、圧力0.67Pa））して島状の導電層を形成後、さらに側面をエッティングして、チャネル長方向の長さが58nmのゲート電極層14を形成した。
40

【0400】

次に、絶縁膜としてゲート電極層14上に、CVD法により酸化窒化シリコン膜を成膜し、該酸化窒化シリコン膜をドライエッティング法により、エッティングしてゲート電極層14の側面を覆う絶縁層を形成した。
20

【0401】

酸化物半導体膜12、ゲート絶縁膜13、ゲート電極層14、側壁絶縁層上に、スパッタリング法により膜厚30nmのタングステン膜（成膜条件：アルゴン（80sccm）雰
50

圧気下、圧力 0 . 8 P a、電源電力 1 k W、基板温度 2 3 0) を成膜した。

【 0 4 0 2 】

次に、ドライエッティング法により、タンゲステン膜をエッティング（エッティング条件：エッティングガス（ C F ₄ : C l ₂ : O ₂ = 5 5 s c c m : 4 5 s c c m : 5 5 s c c m ）、電源電力 3 k W、バイアス電力 1 1 0 W、圧力 0 . 6 7 P a）して島状のタンゲステン膜を形成した。

【 0 4 0 3 】

次に、絶縁膜として酸化物半導体膜 1 2、ゲート絶縁膜 1 3、ゲート電極層 1 4、側壁絶縁層、タンゲステン膜上に、スパッタリング法により酸化アルミニウム膜（成膜条件：アルゴン及び酸素（アルゴン：酸素 = 2 5 s c c m : 2 5 s c c m ）霧圧気下、圧力 0 . 4 P a、電源電力 2 . 5 k W、シリコン基板とターゲットとの間の距離を 6 0 m m、基板温度 2 5 0 ）を 7 0 n m 成膜した。

【 0 4 0 4 】

さらに、酸化アルミニウム膜上に、C V D 法により酸化窒化シリコン膜を 4 6 0 n m 成膜した（成膜条件： S i H ₄ : N ₂ O = 2 7 s c c n : 1 0 0 0 s c c m 、圧力 1 3 3 . 3 P a、R F 電源電力 6 0 W、電源周波数 1 3 . 5 6 M H z、シリコン基板とターゲットとの間の距離を 2 0 m m、基板温度 3 2 5 ）。

【 0 4 0 5 】

次に酸化窒化シリコン膜、酸化アルミニウム膜、及びタンゲステン膜に化学的機械研磨法により研磨処理（研磨条件：硬質ポリウレタン系研磨布、アルカリ性シリカ系スラリー、スラリー温度室温、研磨（ロード）圧 0 . 0 8 M P a、研磨時回転数（テーブル / スピンドル） 5 1 r p m / 5 0 r p m ）を行い、ゲート電極層 1 4 上の酸化窒化シリコン膜、酸化アルミニウム膜、及びタンゲステン膜を除去した。

【 0 4 0 6 】

該研磨処理によって、タンゲステン膜を分断してソース電極層及びドレイン電極層を形成した。

【 0 4 0 7 】

ゲート電極層 1 4、ソース電極層、ドレイン電極層上に層間絶縁膜として、C V D 法により酸化窒化シリコン膜を 4 0 0 n m 成膜した。層間絶縁膜形成後酸素霧圧気下、4 0 0 で 1 時間熱処理を行った。

【 0 4 0 8 】

ソース電極層、ドレイン電極層に達する開口を形成した。

【 0 4 0 9 】

開口に、スパッタリング法により膜厚 3 0 0 n m のタンゲステン膜を形成し、該タンゲステン膜を、エッティングし、配線層を形成した。

【 0 4 1 0 】

配線層上にポリイミド膜を 1 . 5 μ m 形成し、大気中で 3 0 0 1 時間熱処理を行った。

【 0 4 1 1 】

以上の工程で実施例トランジスタを作製した。

【 0 4 1 2 】

実施例トランジスタのチャネル長方向の断面を切り出し、走査型透過電子顕微鏡（S T E M : Scanning Transmission Electron Microscopy）により、実施例トランジスタの断面観察を行った。本実施例ではS T E Mは「日立超薄膜評価装置H D - 2 3 0 0」（株式会社日立ハイテクノロジーズ製）を用いた。図 1 5 に実施例トランジスタの断面S T E M像を示す。図 1 5 は、実施例トランジスタのチャネル長方向の断面S T E M像であり、絶縁膜 1 1、酸化物半導体膜 1 2、ゲート絶縁膜 1 3、及びゲート電極層 1 4 が確認できる。

【 0 4 1 3 】

実施例トランジスタの電気特性の評価を行った。

【 0 4 1 4 】

10

20

30

40

50

図16に、実施例トランジスタのドレイン電圧(V_d)が1Vにおけるゲート電圧(V_g) - ドレイン電流(I_d)特性を示す。なお、図16の電気特性は、実施例トランジスタにおいてチャネル長(L)が58nmの場合であり、測定範囲はゲート電圧-4V~+4Vである。

【0415】

図16に示すように実施例トランジスタにおいては、スイッチング素子としての電気特性を示した。

【0416】

以上より、本実施例のトランジスタは、チャネル長58nmという微細な構造であっても、スイッチング素子としての十分な電気特性を示すことが確認できた。

10

【符号の説明】

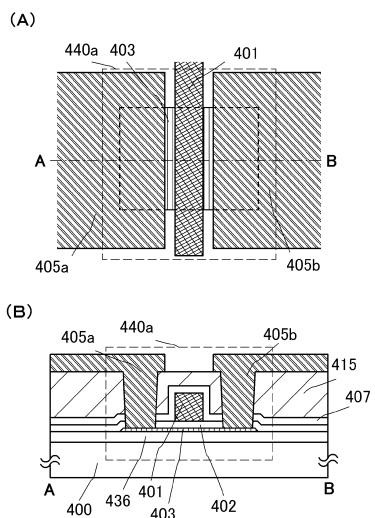
【0417】

100	基板	
106	素子分離絶縁層	
108	ゲート絶縁膜	
110	ゲート電極	
116	チャネル形成領域	
120	不純物領域	
124	金属間化合物領域	
128	絶縁層	20
130	絶縁層	
135	層間絶縁膜	
136a	側壁絶縁層	
136b	側壁絶縁層	
142a	電極層	
142b	電極層	
144	酸化物半導体膜	
146	ゲート絶縁膜	
148	ゲート電極	
150	絶縁膜	30
152	絶縁膜	
153	導電層	
156	配線	
160	トランジスタ	
162	トランジスタ	
164	容量素子	
250	メモリセル	
251	メモリセルアレイ	
251a	メモリセルアレイ	
251b	メモリセルアレイ	40
253	周辺回路	
254	容量素子	
256	絶縁膜	
258	絶縁膜	
260	配線	
262	導電層	
400	基板	
401	ゲート電極層	
402	ゲート絶縁膜	
402a	ゲート絶縁膜	50

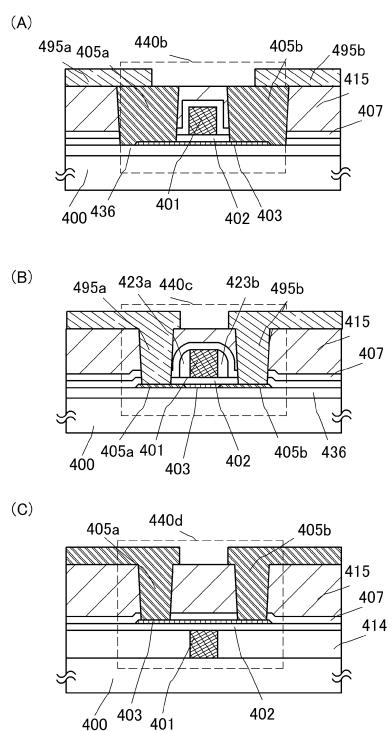
4 0 2 b	ゲート絶縁膜	
4 0 3	酸化物半導体膜	
4 0 3 a	ソース領域	
4 0 3 b	ドレイン領域	
4 0 3 c	チャネル形成領域	
4 0 4 a	低抵抗領域	
4 0 4 b	低抵抗領域	
4 0 5 a	ソース電極層	
4 0 5 b	ドレイン電極層	
4 0 7	絶縁膜	10
4 0 9	チャネル形成領域	
4 1 0	絶縁膜	
4 1 2	側壁絶縁層	
4 1 2 a	側壁絶縁層	
4 1 2 b	側壁絶縁層	
4 1 3	絶縁膜	
4 1 4	絶縁膜	
4 1 5	層間絶縁膜	
4 2 0	トランジスタ	
4 2 2	トランジスタ	20
4 2 3	側壁層	
4 2 3 a	側壁層	
4 2 3 b	側壁層	
4 2 4	トランジスタ	
4 2 6	トランジスタ	
4 2 8	トランジスタ	
4 3 0	トランジスタ	
4 3 6	絶縁膜	
4 3 6 a	絶縁膜	
4 3 6 b	絶縁膜	30
4 4 0 a	トランジスタ	
4 4 0 b	トランジスタ	
4 4 0 c	トランジスタ	
4 4 0 d	トランジスタ	
4 4 0 e	トランジスタ	
4 4 0 f	トランジスタ	
4 9 5 a	配線層	
4 9 5 b	配線層	
8 0 1	トランジスタ	
8 0 3	トランジスタ	40
8 0 4	トランジスタ	
8 0 5	トランジスタ	
8 0 6	トランジスタ	
8 0 7	X デコーダー	
8 0 8	Y デコーダー	
8 1 1	トランジスタ	
8 1 2	保持容量	
8 1 3	X デコーダー	
8 1 4	Y デコーダー	
9 0 1	R F 回路	50

9 0 2	アナログベースバンド回路	
9 0 3	デジタルベースバンド回路	
9 0 4	バッテリー	
9 0 5	電源回路	
9 0 6	アプリケーションプロセッサ	
9 0 7	C P U	
9 0 8	D S P	
9 1 0	フラッシュメモリ	
9 1 1	ディスプレイコントローラ	
9 1 2	メモリ回路	10
9 1 3	ディスプレイ	
9 1 4	表示部	
9 1 5	ソースドライバ	
9 1 6	ゲートドライバ	
9 1 7	音声回路	
9 1 8	キー ボード	
9 1 9	タッチセンサ	
9 5 0	メモリ回路	
9 5 1	メモリコントローラ	
9 5 2	メモリ	20
9 5 3	メモリ	
9 5 4	スイッチ	
9 5 5	スイッチ	
9 5 6	ディスプレイコントローラ	
9 5 7	ディスプレイ	
1 0 0 1	バッテリー	
1 0 0 2	電源回路	
1 0 0 3	マイクロプロセッサ	
1 0 0 4	フラッシュメモリ	
1 0 0 5	音声回路	30
1 0 0 6	キー ボード	
1 0 0 7	メモリ回路	
1 0 0 8	タッチパネル	
1 0 0 9	ディスプレイ	
1 0 1 0	ディスプレイコントローラ	

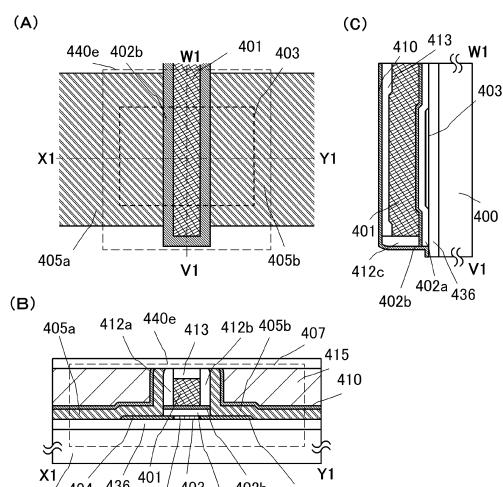
【図1】



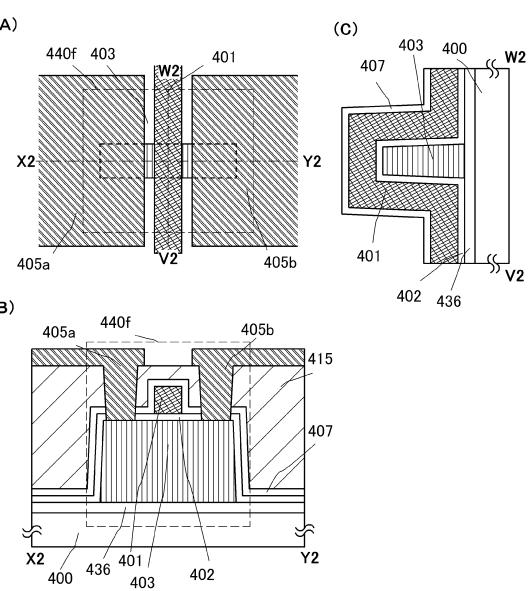
【図2】



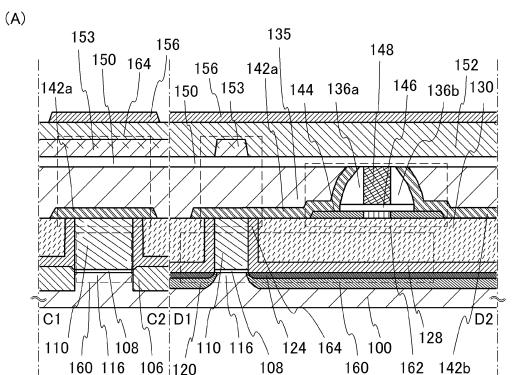
【図3】



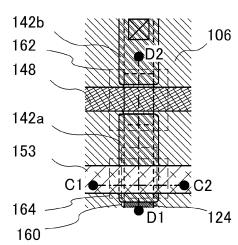
【図4】



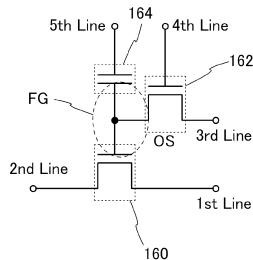
【図5】



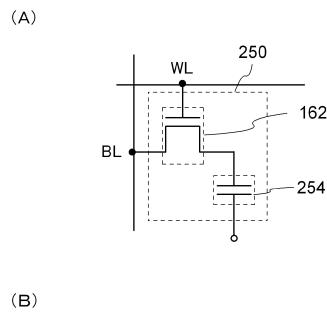
(B)



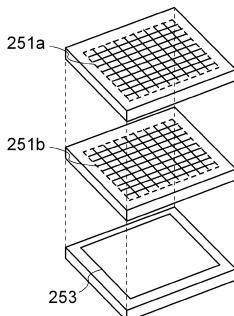
(C)



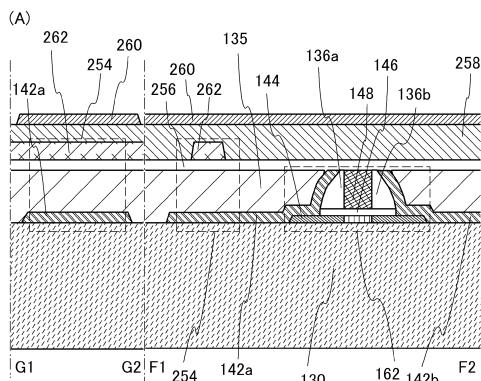
【図6】



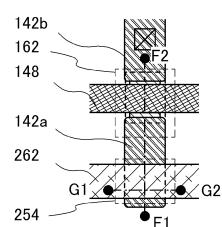
(B)



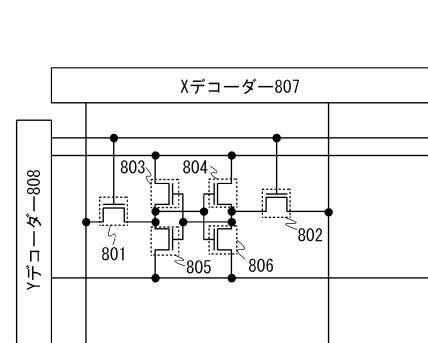
【図7】



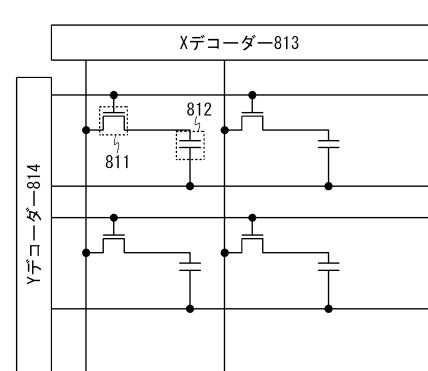
(B)



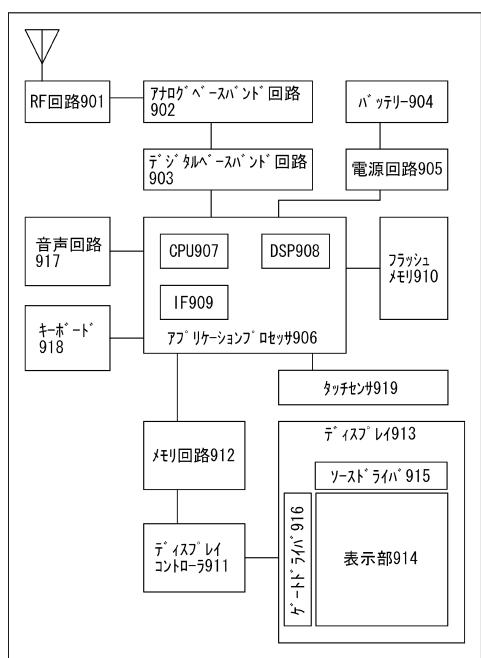
【図8】



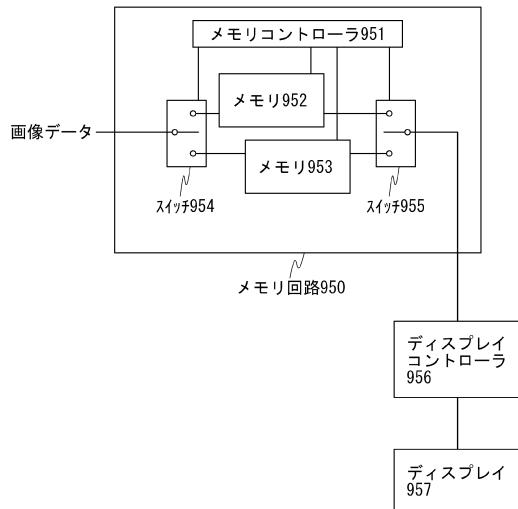
(B)



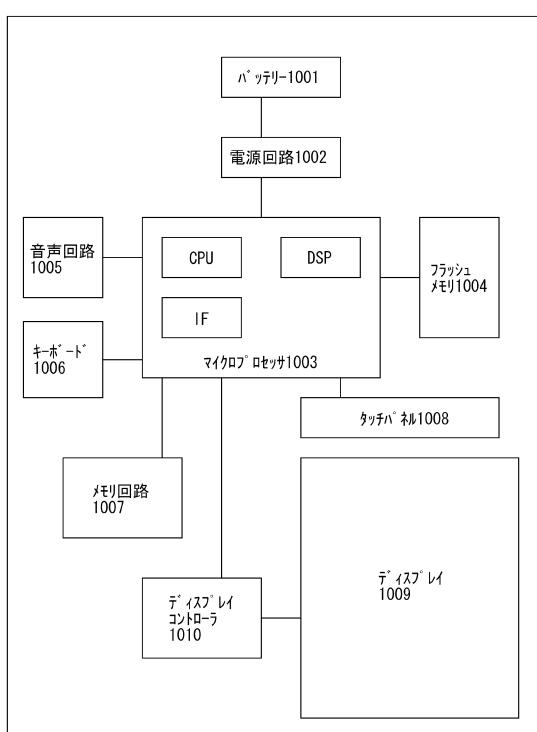
【図9】



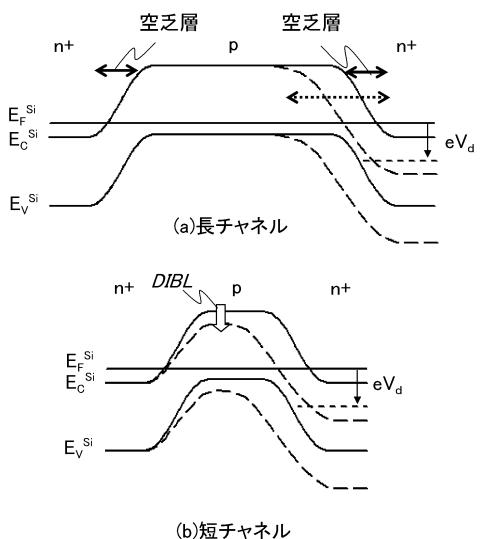
【図10】



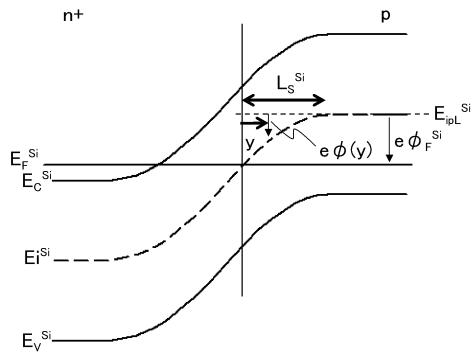
【図11】



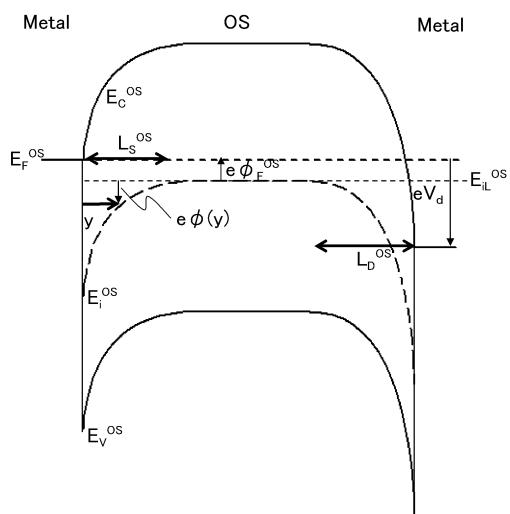
【図12】



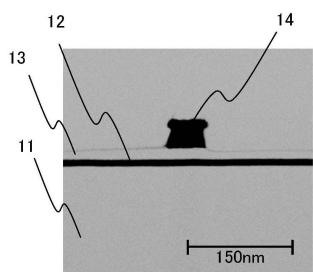
【図13】



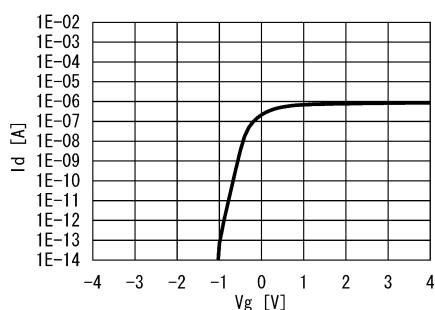
【図14】



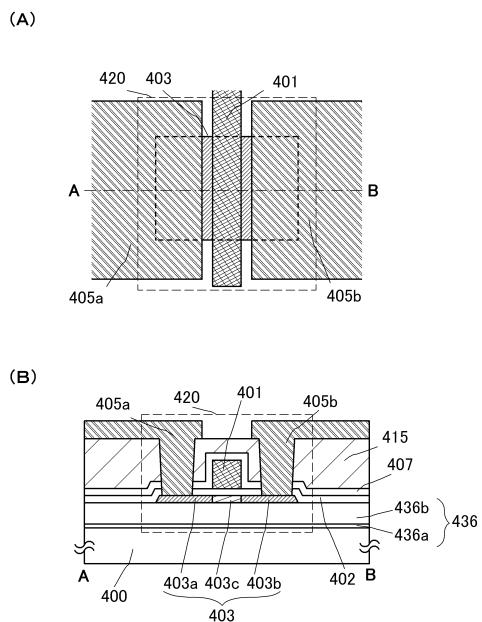
【図15】



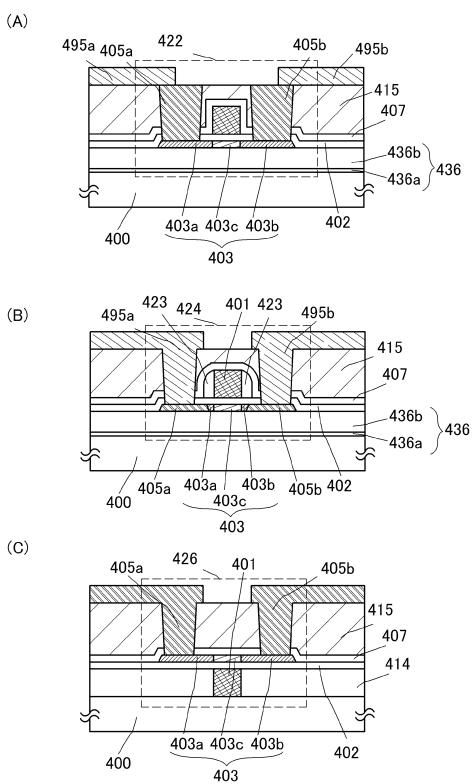
【図16】



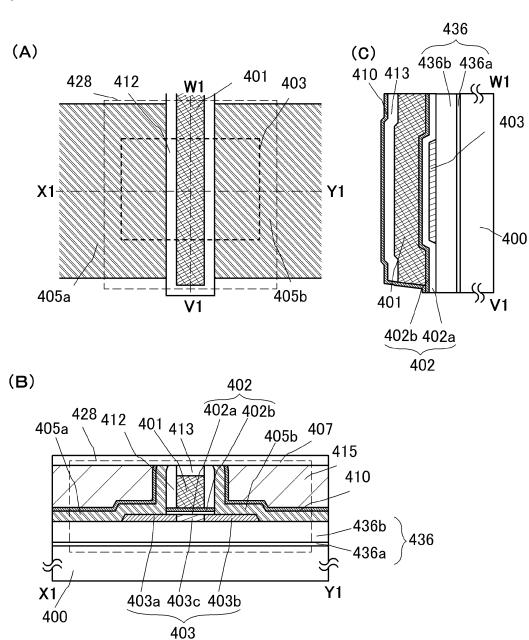
【図17】



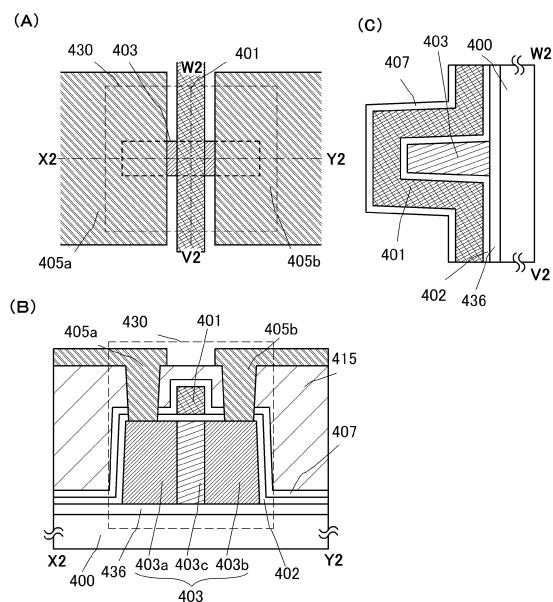
【図18】



【図19】



【図20】



 フロントページの続き

(51)Int.Cl.	F I
H 01 L 29/417 (2006.01)	H 01 L 29/78 6 2 6 C
H 01 L 29/423 (2006.01)	H 01 L 29/78 6 1 6 Z
H 01 L 29/49 (2006.01)	H 01 L 29/78 6 1 6 V
H 01 L 27/10 (2006.01)	H 01 L 29/78 3 7 1
	H 01 L 21/28 3 0 1 B
	H 01 L 29/50 M
	H 01 L 29/58 G
	H 01 L 27/10 4 6 1

(56)参考文献 特開2012-009845 (JP, A)
 特公昭55-048457 (JP, B1)
 特公昭53-001633 (JP, B1)
 特開2012-009839 (JP, A)
 特開2011-176296 (JP, A)
 特開2012-009838 (JP, A)
 特開2008-294136 (JP, A)
 特開2010-093070 (JP, A)
 特開2009-302520 (JP, A)
 特開2011-228622 (JP, A)
 特開2010-062549 (JP, A)
 特開2010-073683 (JP, A)
 特開2009-278115 (JP, A)
 米国特許出願公開第2011/0303953 (US, A1)

(58)調査した分野(Int.Cl., DB名)

H 01 L	2 9 / 7 8 6
H 01 L	2 1 / 2 8
H 01 L	2 1 / 3 3 6
H 01 L	2 7 / 1 0
H 01 L	2 9 / 4 1 7
H 01 L	2 9 / 4 2 3
H 01 L	2 9 / 4 9
H 01 L	2 9 / 7 8 8
H 01 L	2 9 / 7 9 2