

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年7月2日(02.07.2020)



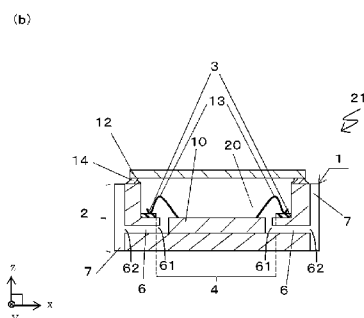
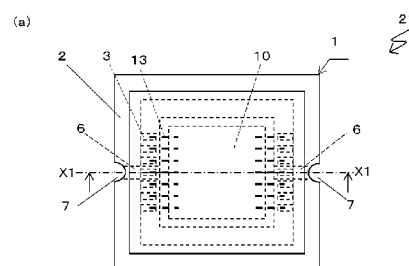
(10) 国際公開番号

WO 2020/138210 A1

- (51) 国際特許分類:
H01L 23/02 (2006.01) *H01L 23/12* (2006.01)
- (21) 国際出願番号: PCT/JP2019/050928
- (22) 国際出願日: 2019年12月25日(25.12.2019)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2018-243329 2018年12月26日(26.12.2018) JP
- (71) 出願人: 京セラ株式会社 (**KYOCERA CORPORATION**) [JP/JP]; 〒6128501 京都府京都市伏見区竹田鳥羽殿町6番地 Kyoto (JP).
- (72) 発明者: 久木田 栄治(**KUKITA, Eiji**); 〒6128501 京都府京都市伏見区竹田鳥羽殿町6番地 京セラ株式会社内 Kyoto (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) **Title:** SUBSTRATE FOR MOUNTING ELECTRONIC ELEMENT, AND ELECTRONIC DEVICE

(54) 発明の名称: 電子素子実装用基板、および電子装置



(57) **Abstract:** This substrate for mounting an electronic element is provided with: a base body having a recess portion and a cut-out portion, the recess portion including a mounting region for mounting an electronic element, the cut-out portion being positioned at the periphery in a plan perspective; and a flow path including an inner end positioned at an inner wall of the base body and an outer end positioned at the periphery of the base body. The inner end of the flow path opens to the recess portion, and the outer end of the flow path is continuous with the cut-out portion.

SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

(57) 要約: 本開示の電子素子実装用基板は、電子素子が実装される実装領域を含む凹部と、平面透視における外周に位置した切欠き部と、を有する基体と、基体の内壁に位置した内端と、基体の外周に位置した外端とを有する流路と、を備えている。流路の内端は、凹部に開口しており、流路の外端は、切欠き部と連続している。

明 細 書

発明の名称：電子素子実装用基板、および電子装置

技術分野

[0001] 本開示は、電子素子等が実装される電子素子実装用基板、および電子装置に関するものである。

背景技術

[0002] 絶縁層と配線層を含み、凹部を有する基板を備えた電子素子実装用基板が知られている。また、このような電子素子実装用基板は凹部から外部へ連通する流路を含む構造が知られている。（特開2007-128987号公報参照）。

[0003] 電子素子実装用基板は、その凹部に電子素子が実装され蓋体などで封止された電子装置を作製した後、電子装置内部の空気を例えば窒素等の適宜選択した基体に入れ替えるために流路からエアの注入／排出を行う場合がある。この流路を用いて前記凹部のエアの注入／排出する際に、流路からダスト等が入る懸念があった。

[0004] また、電子装置を作成時において蓋体などを接合する工程において電子装置内部に水蒸気等がたまらないように排出だけを行う（エアの注入排出を意図的に行わない）場合もある。この工程において、エアを意図的に排出しないため、例えば流路が電極と同一またはその近傍にあるとダスト等が流路から入った場合において、ダストが電極近傍に位置したまま、次の工程を迎えてしまう。その後、電子装置を外部機器に搭載した後、電子装置に外部から振動などが加わった場合、その電極近傍に位置したダストが移動し電極間をショートさせ動作不良を起こすことが懸念されていた。

発明の概要

[0005] 本開示の1つの態様に係る電子素子実装用基板は、電子素子が実装される実装領域を含む凹部と、平面透視における外周に位置した切欠き部と、を有する基体と、基体の内壁に位置した内端と、基体の外周に位置した外端とを

有する流路と、を備えている。流路の内端は、凹部に開口しており、流路の外端は、切欠き部と連続している。

図面の簡単な説明

[0006] [図1]図1 (a) は本開示の実施形態に係る電子素子実装用基板および電子装置の外観を示す上面図であり、図1 (b) は図1 (a) のX1-X1線に対応する縦断面図である。

[図2]図2 (a) は本開示の第1の実施形態に係る電子素子実装用基板および電子装置の外観を示す上面図であり、図2 (b) は図2 (a) のX2-X2線に対応する縦断面図である。

[図3]図3 (a) は本開示の第1実施形態に係るその他の態様にかかる電子素子実装用基板および電子装置の外観を示す上面図であり、図3 (b) は図3 (a) のX3-X3線に対応する縦断面図である。

[図4]図4 (a) は本開示の第1の実施形態のその他の態様に係る電子素子実装用基板および電子装置の外観を示す上面図であり、図4 (b) は図4 (a) のX4-X4線に対応する縦断面図である。

[図5]図5 (a) は本開示の第1の実施形態の態様に係る電子素子実装用基板および電子装置の外観を示す上面図であり、図5 (b) は図5 (a) のX5-X5線に対応する縦断面図である。

[図6]図6 (a) は本開示の第2の実施形態の態様に係る電子素子実装用基板および電子装置の外観を示す上面図であり、図6 (b) は図6 (a) のX6-X6線に対応する縦断面図である。

[図7]図7 (a) は本開示の第3の実施形態に係る電子素子実装用基板および電子装置の外観を示す上面図であり、図6 (b) は図6 (a) のX7-X7線に対応するあって断面図である。

[図8]図8 (a) は本開示の第3の実施形態のその他の態様に係る電子素子実装用基板および電子装置の外観を示す上面図であり、図8 (b) は図8 (a) のX8-X8線に対応する縦断面図である。

[図9]図9 (a) は本開示の第4の実施形態の態様に係る電子素子実装用基板

および電子装置の外観を示す上面図であり、図9（b）は図9（a）のX9－X9線に対応する縦断面図である。

[図10]図10（a）は本開示の第4の実施形態のその他の態様に係る電子素子実装用基板および電子装置の外観を示す上面図であり、図10（b）は図10（a）のX10－X10線に対応する縦断面図である。

[図11]図11（a）は本開示の第4の実施形態のその他の態様に係る電子素子実装用基板および電子装置の外観を示す上面図であり、図11（b）は図11（a）のX11－X11線に対応する縦断面図である。

[図12]図12（a）および（b）は本開示の第5の実施形態の態様に係る電子素子実装用基板の外観を示す上面図である。

[図13]図13は本開示の第6の実施形態の態様に係る電子素子実装用基板および電子装置の外観を示す上面図である。

[図14]図14は本開示の第7の実施形態の態様に係る電子装置の外観を示す上面図である。

[図15]図15（a）および（b）は本開示の第7の実施形態のその他の態様に係る電子素子実装用基板を示す上面図である。

[図16]図16は本開示の第7の実施形態のその他の態様に係る電子素子実装用基板を示す上面図である。

発明を実施するための形態

[0007] <電子素子実装用基板および電子装置の構成>

以下、本開示のいくつかの例示的な実施形態について図面を参照して説明する。なお、以下の説明では、電子素子実装用基板に電子素子が実装された構成を電子装置とする。電子素子実装用基板、および電子装置は、いずれの方向が上方若しくは下方とされてもよいが、便宜的に、直交座標系 $x y z$ を定義するとともに、 z 方向の正側を上方とする。電子素子は、例えばCCD（Charge Coupled Device）型またはCMOS（Complementary Metal Oxide Semiconductor）型等の撮像素子、LED（Light Emitting Diode）等の発光素子、圧力、気圧、加速度、ジャイロ等のセンサー機能を有する素子、また

は集積回路等のことを指す。

[0008] (第1の実施形態)

図2～図5を参照して本開示の第1の実施形態に係る電子素子実装用基板1、並びにそれを備えた電子装置21について説明する。なお、本実施形態では図2～図5では電子装置21を示している。

[0009] 電子素子実装用基板1は、上面に電子素子10が実装される実装領域4を有し、平面透視における外周に切欠き部7を有する基板2aを有する。基板2aの上面には、実装領域4を囲んで位置した枠体2dがある。枠体2dは、枠体2dの内壁に位置した内端61と、枠体2dまたは基板2aの外周に位置した外端62を有する流路6を有している。この流路6の外端62は、切欠き部7と連続している。

[0010] 電子素子実装用基板1は、上面に電子素子10が実装される実装領域4を有し、平面透視における外周に切欠き部7を有する基板2aを有する。基板2aの上面には、実装領域4を囲んで位置した枠体2dがある。

[0011] ここで、実装領域4とは少なくとも1つ以上の電子素子10が実装される領域であり、例えば後述する電極パッド3の最外周の内側、蓋体の実装される領域、またはそれ以上等、適宜定めることが可能である。また、実装領域4に実装される部品は電子素子10に限らず、例えば電子部品であってもよく、電子素子10または／および電子部品の個数は指定されない。

[0012] 基板2aは、切欠き部7を有する。図2では、半円形の切欠き部7を左右の2辺に各1個有している。後述するが切欠き部7は、形状は半円形以外でも良く、場所や数は任意に設けることができる。z方向の大きさも基板2aだけでもよいし、枠体2dを貫通して存在してもよく、基板2の下面から基板2の途中まで存在していてもよい。また、流路6は、基板2の凹部20の底面に内端61が位置しており、外部に繋がっていてもよい。これらの場合またでも個々の効果を奏することが可能となる。

[0013] 枠体2dは、第1枠体2bもしくは、第2枠体2cのみで構成されていてもよいし、第1枠体2bと第2枠体2cの両方で構成されていてもよい。さ

らに、第3 枠体、第4 枠体等更に枠体が増加しても構わない。

[0014] 以下、基板 2 a、第 1 枠体 2 b および第 2 枠体 2 c を合わせたものを基体 2 と称する。図 2 に示す例では、基板 2 a、第 1 枠体 2 b および第 2 枠体 2 c からなる基体 2 は複数の絶縁層で構成されているが、例えばモールドで形成された構成、金型等の押圧で形成された構成またはその他、1 層のみの構成等であってもよい。基体 2 を構成する絶縁層の材料は例えば、電気絶縁性セラミックスまたは樹脂が含まれる。図 1 に示すように、基体 2 の凹部 2 0 は、基板 2 a および枠体 2 d で囲まれた状態のことである。このとき、基体 2 の上面には、実装領域 4 がある。基体 2 は、基体 2 の内壁に位置した内端 6 1 と、基体 2 の外周に位置した外端 6 2 を有する流路 6 を有している。この流路 6 の外端 6 2 は、切欠き部 7 と連続している。また、流路 6 の内端 6 1 は、凹部 2 0 に開口している。

[0015] 基体 2 を形成する絶縁層の材料として使用される電気絶縁性セラミックスとしては例えば、酸化アルミニウム質焼結体、ムライト質焼結体、炭化珪素質焼結体、窒化アルミニウム質焼結体、窒化珪素質焼結体またはガラスセラミック焼結体等が含まれる。基板 2 を形成する絶縁層の材料として使用される樹脂としては例えば、熱可塑性の樹脂、エポキシ樹脂、ポリイミド樹脂、アクリル樹脂、フェノール樹脂またはフッ素系樹脂等が含まれる。フッ素系樹脂としては例えば、四フッ化エチレン樹脂が含まれる。

[0016] 基体 2 は、図 2 に示すように 7 層の絶縁層から形成されていてもよいし、6 層以下または 8 層以上の絶縁層から形成されていてもよい。絶縁層が 6 層以下の場合には、電子素子実装用基板 1 の薄型化を図ることができる。また、絶縁層が 8 層以上の場合には、電子素子実装用基板 1 の剛性を高めることができる。

[0017] 電子素子実装用基板 1 は例えば、最外周の 1 辺の大きさは 0. 3 mm ~ 1 0 cm である。平面視において電子素子実装用基板 1 が四角形状あるとき、正方形であってもよいし長方形であってもよい。また例えば、電子素子実装用基板 1 の厚みは 0. 2 mm 以上である。

- [0018] 電子素子実装用基板 1 の枠体 2 d は、枠体 2 d の内壁に位置した内端 6 1 と、枠体 2 d または基板 2 a の外周に位置した外端 6 2 を有する流路 6 を有している。この流路 6 の外端 6 2 は、切欠き部 7 と連続している。流路 6 は、X-X 線での断面視において、矩形状であってもよいし、平面透視において、矩形状であってもよい。特に断面視において、矩形状であることによって、基体 2 の外部と基体 2 の内部との距離が短くなり、流路からエアの注入／排出がしやすくなる。
- [0019] 電子素子実装用基板 1 は、その凹部に電子素子が実装され蓋体などで封止された電子装置を作製した後、電子装置内部の空気を例えば窒素等の適宜選択した基体に入れ替えるために流路からエアの注入／排出を行う場合がある。この流路を用いて凹部のエアの注入／排出する際に、流路からダスト等が入る懸念があった。
- [0020] また、流路 6 の開口部はエアを注入／排出するために一定の大きさが必要である。しかしながら、流路 6 を作製する工程または／および電子素子実装用基板 1 を移動させる工程等においてその開口にダストが詰まる懸念があった。また、電子素子実装用基板 1 の移動の際に使用される機具が開口部周辺に接することにより開口部がつぶされる懸念があった。
- [0021] これに対し、流路 6 の端部が切欠き部 7 に位置していることで、切欠き部 7 部に流路 6 の端部を保護する役割を持たせることが可能となる。これにより、流路 6 の開口にダストが詰まることを低減させることが可能となる。また、流路 6 が切欠き部 7 の端部に位置していることで、電子素子実装用基板 1 の移動の際に使用される機具が開口部周辺に接することを低減させることが可能となる。これらのことから流路 6 の外側の端部の開口の面積を確保することが可能となり、流路 6 を用いてエアの注入／排出を行う際の不具合を低減させることが可能となる。
- [0022] 図 2 に示す例では、電子素子実装用基板 1 の流路 6 は、基板 2 a と第 1 枠体 2 b との間に位置している。
- [0023] 電子素子実装用基板は、その凹部に電子素子が実装され蓋体などで封止さ

れた電子装置を作製した後、電子装置内部の空気を例えば窒素等の適宜選択した基体に入れ替えるために流路からエアの注入／排出を行う場合がある。近年、電子素子の端子は狭ピッチ化が進んでおり、電子素子と電子素子実装用基板とを電氣的に接合するワイヤの径も小さくなっている。そのため、電子装置の流路を用いてエアの注入／排出をする工程においてエアの勢いでワイヤが撓み、隣接するワイヤ間のショートが発生する懸念があった。また、エアの注入／排出の工程におけるエアの圧力により、ワイヤと電子素子実装用基板の電極パッドとの接合強度の劣化が懸念されていた。

[0024] これに対し、図2に示す例では電子素子実装用基板1は基板2aと第1枠体2bとの間であって、第1枠体2bの内壁から、外部に向かって貫通した流路6を有している。言い換えると、流路6の開口部の一端はX2-X2での断面視において後述する電極パッド3よりも下方に位置している。これにより、流路6を用いてエアの注入／排出をする工程において、エアが直接ワイヤ13に当たることを低減させることが可能となる。よって、エアの勢いでワイヤ13が撓み、隣接するワイヤ間のショートが発生することを低減させることが可能となる。よって、電子装置21の歩留まり低下を低減させることが可能となる。

[0025] ここで、基板2aの上面または第1枠体2bの上面に位置した電極パッド3と、を備えていてもよい。ここでは、電極パッド3は、例えば電子素子10と電氣的に接続されるパッドを指している。

[0026] また、電子素子実装用基板1の基体2の上面、側面または下面には、外部回路接続用電極が設けられていてもよい。外部回路接続用電極は、基体2と外部回路基板、あるいは電子装置21と外部回路基板とを電氣的に接続していてもよい。

[0027] さらに基体2の上面または下面には、電極パッド3または／および外部回路接続用電極以外に、絶縁層間に形成される電極、内部配線導体および内部配線導体同士を上下に接続する貫通導体が設けられていてもよい。これら電極、内部配線導体または貫通導体は、基体2の表面に露出していてもよい。

この電極、内部配線導体または貫通導体によって、電極パッド3または／および外部回路接続用電極はそれぞれ電氣的に接続されていてもよい。

[0028] 電極パッド3、外部回路接続用電極、内部配線導体または／および貫通導体は、基体2が電気絶縁性セラミックスから成る場合には、タングステン（W）、モリブデン（Mo）、マンガン（Mn）、パラジウム（Pd）、銀（Ag）若しくは銅（Cu）またはこれらから選ばれる少なくとも1種以上の金属材料を含有する合金等が含まれる。また、銅（Cu）のみからなっているてもよい。また、電極パッド3、外部回路接続用電極、内部配線導体または／および貫通導体は、複数の層が樹脂から成る場合には、銅（Cu）、金（Au）、アルミニウム（Al）、ニッケル（Ni）、モリブデン（Mo）、パラジウム（Pd）若しくはチタン（Ti）またはこれらから選ばれる少なくとも1種以上の金属材料を含有する合金等が含まれる。

[0029] 電極パッド3、外部回路接続用電極、電極、内部配線導体または／および貫通導体の露出表面に、さらにめっき層を有していてもよい。この構成によれば、外部回路接続用の電極、導体層および貫通導体の露出表面を保護して酸化を低減することができる。また、この構成によれば、電極パッド3と電子素子10と、をワイヤ等の接続導体13を介して良好に電氣的接続することができる。めっき層は、例えば、厚さ0.5 μm ～10 μm のNiめっき層を被着させるか、またはこのNiめっき層および厚さ0.5 μm ～3 μm の金（Au）めっき層を順次被着させてもよい。

[0030] 図3および図4に示す例では、電子素子実装用基板1の流路6は、電極パッド3よりも上方に位置している。

[0031] 図4に示す例の電子素子実装用基板1は電極パッド3が基板2aまたは第1枠体2bの上面に位置しており、第2枠体2cの内壁から外部に向かって貫通した流路6を有している。言い換えると、流路6の開口部の一端はX4ーX4での断面視において電極パッド3よりも上方に位置している。これにより、流路6を用いてエアの注入／排出をする工程において、エアが直接ワイヤ13に当たることを低減させる、またはエアがワイヤ13に当た

る面積を低減させることが可能となる。よって、エアの勢いでワイヤ13が撓み、隣接するワイヤ間のショートが発生することを低減させることが可能となる。よって、電子装置21の歩留まり低下を低減させることが可能となる。さらに、本実施形態の構造であると、電極パッド3とワイヤ13との接合部に応力がかかることを低減させることが可能となる。よって、エアからの応力で電極パッド3とワイヤ13との接合強度が低下することを低減させることが可能となる。

[0032] 電子素子実装用基板1は図3および図4に示す例のように第1枠部2bの上面に電極パッド3が位置していてもよいし、図5に示す例のように基板2aの上面に位置していてもよい。電子素子実装用基板1は図3および図4に示す例のように第1枠部2bの上面に電極パッド3が位置していることで、実装領域4に実装される電子素子10の上面と電極パッド3との断面視における位置が同程度の高さ位置とすることが可能となる。よって、ワイヤ13の長さを短くすることが可能となる。これにより、電気特性の向上が可能となる。さらに、ワイヤ13の長さが短いことで流路6を用いたエアの注入／排出をする工程において、ワイヤ13の撓み量を低減させることが可能となる。よって、隣り合う電極パッド3同士のワイヤ13同士が接触することを低減させることが可能となり、本実施形態の効果を向上させることが可能となる。

[0033] 図4に示す例では流路6の開口部の一端は断面視において電極パッド3よりも下方に位置していることで、流路6から入ったダストが電極パッド3近傍に付着し辛くなる。よって、電子装置21が外部から振動が加わった場合でも、ダストが複数の電極パッド3の間に付着し複数の電極パッド3間のショートを発生させることを低減させることが可能となる。よって、電子装置21の誤作動を低減させることが可能となる。

[0034] 電子素子実装用基板1は、第1枠体2bの上面に、電極パッド3および実装領域4を囲んで位置した第2枠体2cを有する。ここで、第2枠体2cは電極パッド3が第1枠体2bの上面に位置している時は、図3に示すように

その内縁は第1枠体2bの内縁よりも上面からの平面透視において外側に位置していることを示す。また、第2枠体2cは電極パッド3が基板2aの上面に位置している時は、図5に示すようにその内縁は第1枠体2bの内縁と上面からの平面透視において重なる位置に位置していてもよいし、その内縁は第1枠体2bの内縁よりも上面からの平面透視において内側に位置していてもよい。

[0035] 図4に示す例では電子素子実装用基板1は電極パッド3が第1枠体2bの上面に位置しており、第2枠体2cの内壁から外部に向かって貫通した流路6を有している。言い換えると、流路6の開口部の一端は断面視において電極パッド3よりも上方に位置している。これにより、流路6を用いてエアの注入／排出をする工程において、エアが直接ワイヤ13に当たることを低減させる、またはエアがワイヤ13に当たる面積を低減させることが可能となる。よって、エアの勢いでワイヤ13が撓み、隣接するワイヤ間のショートが発生することを低減させることが可能となる。よって、電子装置21の歩留まり低下を低減させることが可能となる。さらに、本実施形態の構造であると、電極パッド3とワイヤ13との接合部に応力がかかることを低減させることが可能となる。よって、エアからの応力で電極パッド3とワイヤ13との接合強度が低下することを低減させることが可能となる。

[0036] また、流路はエアの注入／排出をする場合の他に、電子装置を作成時において蓋体などを接合する工程において電子装置内部に水蒸気等がたまらないように排出だけを行う（エアの注入排出を意図的に行わない）場合もある。この工程において、エアを意図的に排出しないため、例えば流路が電極と同一またはその近傍にあるとダスト等が流路から入った場合において、ダストが電極近傍に位置したまま、次の工程を迎えてしまう。その後、電子装置を外部機器に搭載した後、電子装置に外部から振動などが加わった場合、その電極近傍に位置したダストが移動し電極間をショートさせ動作不良を起こすことが懸念されていた。

[0037] これに対し、図4に示す例では流路6の開口部の一端は断面視において電

極パッド3よりも上方に位置していることで、流路6から入ったダストが電極パッド3近傍に付着し辛くなる。よって、電子装置21が外部から振動が加わった場合でも、ダストが複数の電極パッド3の間に付着し複数の電極パッド3間のショートを発生させることを低減させることが可能となる。よって、電子装置21の誤作動を低減させることが可能となる。

[0038] 電子素子実装用基板1の、電極パッド3は第2枠体2cよりも内側に位置しており、実装領域4は電極パッド3よりも内側に位置している。言い換えると、電子素子実装用基板1の電極パッド3と実装領域4に実装される電子素子10とは平面透視で重なっておらず、さらに、電極パッド3は第1枠体2bの上面に位置している。これにより、電極パッド3の上方であって、平面透視で流路6の端部が電極パッド3の端部よりも内側に位置させることが可能なる。電子素子実装用基板1は図3に示す例のように第1枠部2aの上面に電極パッド3が位置していることで、実装領域4に実装される電子素子10の上面と電極パッド3との断面視における位置が同程度の高さ位置とすることが可能となる。さらに、ワイヤ13の長さが短いことで流路6を用いたエアーの注入／排出をする工程において、ワイヤ13の撓み量を低減させることが可能となる。よって、隣り合う電極パッド3同士のワイヤ13同士が接触することを低減させることが可能となり、本実施形態の効果を向上させることが可能となる。

[0039] また、電子素子実装用基板1は図5に示す例のように基板2aの上面に位置していることで、基体2の構造が容易となり歩留まりが向上するとともに、ワイヤ13の高さを低く抑えることが可能となり、低背化が可能となる。さらに、ワイヤ13の高さを低く抑えることが可能となることで、流路6とワイヤ13とが断面視で同程度の高さとなる部分の面積を低減させることが可能となる。よって、エアーの注入／排出においてワイヤ13に直接あたる面積を低減させることが可能となり、本実施形態の効果をより向上させることが可能となる。

[0040] 電子素子実装用基板1の第2枠体2cは、複数の層を有しており、流路6

は、少なくとも複数の層のうち下から１層目より上方に位置していてもよい。これにより、断面視において電極パッド３からの距離をより大きくすることが可能となる。よって、流路６を用いてエアーの注入／排出をする工程において、エアーが直接ワイヤ１３に当たることを低減させる、またはエアーがワイヤ１３に当たる面積を低減させることが可能となる。したがって、本実施形態の効果をより向上させることが可能となる。

[0041] 電子素子実装用基板１の第２枠体２ｃは、複数の層を有しており、断面視において流路６の厚みは、少なくとも複数の層の１層分の厚みであってもよい。これによって、よりスムーズに注入／排出が可能となる。よって、出力を大きくすることなくエアーの注入／排出を行うことが可能となるため、ワイヤ１３の撓み量を小さくすることが可能となる。また、ダストの混入を低減させることも可能となる。

[0042] <電子装置の構成>

図２から図５に電子装置２１の例を示す。電子装置２１は、電子素子実装用基板１と、電子素子実装用基板１の上面に実装された電子素子１０を備えている。

[0043] 電子装置２１は、電子素子実装用基板１と、電子素子実装用基板１の基板２ａの実装領域４に実装された電子素子１０を有している。電子素子１０の一例としては、例えばＣＣＤ（Charge Coupled Device）型またはＣＭＯＳ（Complementary Metal Oxide Semiconductor）型等の撮像素子、ＬＥＤ（Light Emitting Diode）等の発光素子、圧力、気圧、加速度、ジャイロ等のセンサー機能を有する素子、または集積回路等である。なお、電子素子１０は、接着材を介して、基板２ａの上面に配置されていてもよい。この接着材は、例えば、銀エポキシまたは熱硬化性樹脂等が使用される。

[0044] 電子素子１０と電子素子実装用基板１とは例えばワイヤ１３で電氣的に接続されていてもよい。

[0045] 電子装置２１は、電子素子１０を覆うとともに、電子素子実装用基板１の上面に接合された蓋体１２を有していてもよい。

- [0046] 蓋体は、例えば電子素子10がCMOS、CCD等の撮像素子、またはLEDなどの発光素子である場合ガラス材料等の透明度の高い部材が用いられる。また蓋体は例えば、電子素子10が集積回路等であるとき、金属製材料、セラミック材料または有機材料が用いられていてもよい。
- [0047] 蓋体12は、蓋体接続部材14を介して電子素子実装用基板1と接合していてもよい。蓋体接続部材14を構成する材料として例えば、熱硬化性樹脂または低融点ガラスまたは金属成分からなるろう材等がある。
- [0048] ここで流路6はエアーを注入／排出する工程または蓋体12を接合する工程が終わった後は、例えば樹脂等で外部に位置する端部を埋めていてもよい。これにより、エアーを注入／排出する工程または蓋体12を接合する工程以降に流路からダストが混入することを低減させることが可能となる。またこの時、流路6の内壁に金属層を塗布しておくことで例えばろう材等を用いて封止を行うことも可能である。
- [0049] また、流路6は電子装置21を作製する工程の後も開放していてもよい。これにより、電子装置21が外部機器に接続され、実際に使用者が使用する段階で例えば気圧の変動または温度の変動などによる電子装置21内部の水分の量を調節することが可能となる。
- [0050] 電子装置21が図2に示すような電子素子実装用基板1を有することで、流路6にエアーを注入／排出する工程において隣り合うワイヤ13が接触しショートが発生することを低減させることが可能となり、電子装置21の歩留まり低下が可能となる。また、流路6からはいったダストが複数の電極パッド3間に位置しショートすることを低減させることが可能なり、電子装置21の誤作動を低減させることが可能となる。
- [0051] <電子素子実装用基板および電子装置の製造方法>
- 次に、本実施形態の電子素子実装用基板1および電子装置21の製造方法の一例について説明する。なお、下記で示す製造方法の一例は、多数個取り配線基板を用いた基体2の製造方法である。
- [0052] (1) まず、基体2（基板2a、第1枠体2bおよび第2枠体2c）を構

成するセラミックグリーンシートを形成する。例えば、酸化アルミニウム（ Al_2O_3 ）質焼結体である基体 2 を得る場合には、 Al_2O_3 の粉末に焼結助材としてシリカ（ SiO_2 ）、マグネシア（ MgO ）またはカルシア（ CaO ）等の粉末を添加し、さらに適当なバインダー、溶剤および可塑剤を添加し、次にこれらの混合物を混練してスラリー状となす。その後、ドクターブレード法またはカレンダーロール法等の成形方法によって多数個取り用のセラミックグリーンシートを得る。

[0053] なお、基体 2 が、例えば樹脂から成る場合は、所定の形状に成形できるような金型を用いて、トランスファーモールド法、インジェクションモールド法または金型等での押圧等で成形することによって基体 2 を形成することができる。また、基体 2 は、例えばガラスエポキシ樹脂のように、ガラス繊維から成る基材に樹脂を含浸させたものであってもよい。この場合には、ガラス繊維から成る基材にエポキシ樹脂の前駆体を含浸させ、このエポキシ樹脂前駆体を所定の温度で熱硬化させることによって基体 2 を形成できる。

[0054] （２）次に、前述のグリーンシートを金型等によって加工する。ここで第 1 枠体 2 b と第 2 枠体 2 c に開口部を形成する。また、基体 2 がノッチ等を有する場合、基体 2 となるグリーンシートの所定の箇所に、ノッチ等を同様に形成してもよい。また、この工程において、第 1 枠体 2 b または第 2 枠体 2 c となるグリーンシートに金型またはレーザー等を用いて流路 6 となる貫通孔を形成してもよい。

[0055] （３）次に基体 2 の各絶縁層となるセラミックグリーンシートを積層して加圧する。このことにより各絶縁層となるグリーンシートを積層し、基体 2（電子素子実装用基板 1）となるセラミックグリーンシート積層体を作製してもよい。なお、この時適宜切欠き部等となる部分を金型などで作製してもよい。

[0056] （４）次に、スクリーン印刷法等によって、上記（１）～（３）の工程で得られたセラミックグリーンシートまたセラミックグリーンシート積層体に電極パッド 3、外部回路接続用電極、内部配線導体、内部貫通導体となる部

分に、金属ペーストを塗布または充填する。この金属ペーストは、前述した金属材料から成る金属粉末に適当な溶剤およびバインダーを加えて混練することによって、適度な粘度に調整して作製される。なお、金属ペーストは、基体2との接合強度を高めるために、ガラスまたはセラミックスを含んでいても構わない。

[0057] また、基体2が樹脂から成る場合には、電極パッド3、外部回路接続用電極、内部配線導体および貫通導体は、スパッタ法、蒸着法等によって作製することができる。また、表面に金属膜を設けた後に、めっき法を用いて作製してもよい。

[0058] (5) 次にグリーンシートの所定の位置に、金型、パンチング、またはレーザー等を用いて分割溝を設けてもよい。なお、分割溝は、焼成後にスライシング装置により多数個取り配線基板の厚みより小さく切り込むことによって形成することができるが、多数個取り配線基板用のセラミックグリーンシート積層体にカッター刃を押し当てたり、スライシング装置によりセラミックグリーンシート積層体の厚みより小さく切り込んだりすることによって形成してもよい。

[0059] (6) 次に、このセラミックグリーンシート積層体を約1500℃～1800℃の温度で焼成して、基体2（電子素子実装用基板1）が複数配列された多数個取り配線基板を得る。なお、この工程によって、前述した金属ペーストは、基体2（電子素子実装用基板1）となるセラミックグリーンシートと同時に焼成され、電極パッド3、外部回路接続用電極、内部配線導体および貫通導体となる。

[0060] (7) 次に、焼成して得られた多数個取り配線基板を複数の基体2（電子素子実装用基板1）に分断する。この分断においては、基体2（電子素子実装用基板1）の外縁となる箇所に沿って多数個取り配線基板に（5）の工程で分割溝を形成しておき、この分割溝に沿って破断させて分割する方法がある。また、（5）の工程を行わずスライシング法等により基体2（電子素子実装用基板1）の外縁となる箇所に沿って切断する方法もあるなお、上述し

た多数個取り配線基板を複数の基体 2（電子素子実装用基板 1）に分割する前もしくは分割した後に、それぞれ電解または無電解めっき法を用いて、電極パッド 3、外部接続用パッドおよび露出した配線導体にめっきを被着させてもよい。

[0061] （８）次に、電子素子実装用基板 1 に電子素子 10 を実装する。電子素子 10 はワイヤ 13 で電子素子実装用基板 1 と電氣的に接合させる。またこのとき、電子素子 10 または電子素子実装用基板 1 に接着材等を設け、電子素子実装用基板 1 に固定しても構わない。また、電子素子 10 を電子素子実装用基板 1 に実装した後、蓋体 12 を蓋体接合部材 14 で接合してもよい。なおこの時、蓋体 12 を接合した後、流路 6 を用いて電子装置 21 内部に適宜選択したエアーを注入／排出を行ってもよい。

[0062] 以上（１）～（７）の工程のようにして電子素子実装用基板 1 を作製し、電子素子 10 を実装することで、電子装置 21 を作製することができる。なお、上記（１）～（８）の工程順番は加工可能な順番であれば指定されない。また上記した工程以外でも例えば 3D プリンター等を用いることでも作製することが可能となる。

[0063] （第 2 の実施形態）

図 6 を参照して本開示の第 2 の実施形態に係る電子素子実装用基板 1、並びにそれを備えた電子装置 21 について説明する。第 1 の実施形態と異なる点は、基板 2a の切欠き部 7 の形状である。

[0064] 図 6 に示す例では切欠き部 7 は、コの字あるいは U 字形状となっている。切欠き部 7 がコの字あるいは U 字形状であることから、図 2 に示す例のような半円状の切欠き部 7 に比べ、さらに流路 6 の外側の端部の開口の面積を確保しやすくなる。よって流路 6 を用いてエアーの注入／排出を行う際の不具合を低減させることが可能となる。また、図 6 に示す例では流路 6 に対し切欠き部 7 が十分に大きくすることができる。これにより、位置ずれが発生した場合でも、流路 6 の位置が切欠き部 7 の中に納まることが可能となる。よって流路 6 と切欠き部 7 の位置ずれが、凹部 20 内のエアーの注入／排出を

行う際の不具合を低減させることが可能となる。このように位置ずれが発生していない場合と同じ効果が得られる。

[0065] ＜電子素子実装用基板および電子装置の製造方法＞

次に、本実施形態の電子素子実装用基板 1 および電子装置 2 1 の製造方法の一例について説明する。本実施形態の電子素子実装用基板 1 および電子装置 2 1 の製造方法は基本的には第 1 の実施形態に記載の製造方法と類似である。本実施形態の電子素子実装用基板 1 の製造方法としては、第 1 の実施形態に記載の工程において切欠き部 7 となる部分を作成する箇所を変更することで、作製することができる。

[0066] （第 3 の実施形態）

図 7 および図 8 を参照して本開示の第 3 の実施形態に係る電子素子実装用基板 1、並びにそれを備えた電子装置 2 1 について説明する。第 1 の実施形態と異なる点は、縦断面視において基板 2 a の切欠き部 7 の Z 方向の大きさが異なる点である。図 7 および図 8 に示す例では、切欠き部 7 の Z 方向の大きさが小さく、下面方向のみに配置されている。これにより、電子素子実装基板 1、並びにそれを備えた電子装置 2 1 の平面透視で、切欠き部 7 がない形状となる。よって、電子素子実装用基板 1、並びにそれを備えた電子装置 2 1 の上方向から落下してくるダストを巻き込む可能性を低減することが可能となる。

[0067] 電子素子実装用基板 1、並びにそれを備えた電子装置 2 1 の上面視の外形状は切欠き部 7 がなく、四角形となっている。言い換えると、最上層に切欠き部 7 がない。これによりハンドリング時などのダメージが、切欠き部 7 が配置されている付近に集中することを低減し電子素子実装用基板 1 の不具合を低減することが可能となる。

[0068] 図 7 に示す例と図 8 に示す例は、流路 6 と切欠き部 7 の位置関係が異なる。図 7 に示す例は断面視で流路 6 の上側まで切欠き部 7 が形成されているが、図 8 に示す例は流路 6 と断面視で同じ位置まで切欠き部 7 が形成されている。図 7 に示す例では、断面視で流路 6 の上側まで切欠き部 7 が形成されて

いることで、切欠き部 7 の上部にあたる電子素子実装用基板 1 が変形し下方向にたわんだ場合でも流路 6 を確保することができる。図 8 に示す例のように流路 6 と断面視で同じ位置まで切欠き部 7 が形成されていると、流路 6 の開口部はエアーを注入／排出するために、ノズル等の工具を使用する場合、ノズルと流路 6 の位置合わせを容易にでき、エアーを注入する際にダストを取り込む可能性を低減することが可能となる。このとき、複数の流路 6 の形状がそれぞれ同じであればより本開示の効果を奏する。

[0069] <電子素子実装用基板および電子装置の製造方法>

次に、本実施形態の電子素子実装用基板 1 および電子装置 2 1 の製造方法の一例について説明する。本実施形態の電子素子実装用基板 1 および電子装置 2 1 の製造方法は基本的には第 1 の実施形態に記載の製造方法と類似である。本実施形態の電子素子実装用基板 1 の製造方法としては、第 1 の実施形態に記載の工程において切欠き部 7 の Z 方向となる部分を作成する箇所を変更することで、作製することができる。

[0070] (第 4 実施形態)

図 9 から図 11 を参照して本開示の第 4 の実施形態に係る電子素子実装用基板 1、並びにそれを備えた電子装置 2 1 について説明する。なお、図 11 は電子素子実装用基板 1 の上面視を示している。図 9 及び図 10 に示す例と第 1 実施形態と異なる点は、流路 6 が 2 層にまたがっている点である。

[0071] 図 9 及び図 10 に示す例では、流路 6 が 2 層にまたがっており、かつ、縦断面視で上下に折れ曲がった形状となっている。これにより、流路 6 の外部側の端部からダストが入った場合においても、流路 6 の折れ曲がった個所でダストをトラップすることが可能となり、流路 6 の内側の端部または電子装置 2 1 の内部までダストが移動することを低減させることが可能となる。したがって、ダストが電極パッド 3 に付着または複数の電極パッド 3 間をショートさせるように付着することを低減させることが可能となる。

[0072] 図 9 に示す例と図 10 に示す例は、流路 6 の折曲がり方向が異なっている。図 9 に示す例は流路 6 の位置よりも第 1 枠体 2 b の流路 6 の位置が断面視

で高くなっている。第1枠体2bの流路6の位置が断面視で高いことで、ダストの巻き込みを低減する事が可能になる。したがって凹部20へのダストの巻き込みが低減する事で、ダストが電極パッド3に付着または複数の電極パッド3間をショートさせるように付着することを低減させることが可能となる。よって、本開示の効果をより向上させることが可能となる。

[0073] 図10に示す例は、第1枠体2bの流路6の位置が断面視で低くなっている。これにより、凹部20内の巻き込まれたダストを容易に排出しやすくなる。凹部20へのダストを低減する事で、同様ダストが電極パッド3に付着または複数の電極パッド3間をショートさせるように付着することを低減させることが可能となる。よって、本開示の効果をより向上させることが可能となる。また、流路6はエアーの注入／排出をする場合の他に、電子装置21を作成時において蓋体12などを接合する工程において電子装置21内部に水蒸気等がたまらないように排出だけを行う場合、つまりエアーの注入排出を意図的に行わない場合もある。図10に示す例の様に、流路6の位置よりも第1枠体2bの流路6の位置が断面視で低くなっていることで、エアーを意図的に排出しない場合でも、ダストが凹部20から排出されやすくなる。このことで、さらにダストが電極パッド3に付着または複数の電極パッド3間をショートさせるように付着することを低減させることが可能となる。

[0074] なお、図9および図10に示す例は、流路6は2層にまたがっているが、3層以上にまたがっていてもよく、上述と同様の効果を奏することができる。図11に示す例では、流路6が平面透視で折り曲がった形状となっている。図11に示す例と第1実施形態の図2と異なる点は、流路6が同一平面で屈折していることである。これにより、流路6の外部側の端部からダストが入った場合においても、流路6の折れ曲がった個所でダストをトラップすることが可能となり、流路6の内側の端部または電子装置21の内部までダストが移動することを低減させることが可能となる。したがって、ダストが電極パッド3に付着または複数の電極パッド3間をショートさせるように付着することを低減させることが可能となる。

[0075] 図11bは、流路6の折れ曲がった各部には曲面（円弧）を有している。これにより、例えばエアーの注入／排出をする工程において、エアーが折れ曲がった個所でエアーの流れが折り曲がったところでも停滞することなくよりスムーズにエアーの注入／排出が可能となる。これにより、エアー出力を大きくすることなくエアーの注入／排出を行うことが可能となるため、ワイヤ13の撓み量を小さくすることが可能となり、また、ダストの混入を低減させることが可能となる。図11の様に流路6が同一平面で屈折していることでも、ダストが電極パッド3に付着または複数の電極パッド3間をショートさせるように付着することを低減させることが可能となる。

[0076] 図9に示す例および図10に示す例の様に上下の屈折部と、図11に示す例の様に同一平面の屈曲部を、同時に電子素子実装用基板1、並びにそれを備えた電子装置21設けることも可能であり、この場合、さらに凹部20内のダスト低減が可能となり、ダストが電極パッド3に付着または複数の電極パッド3間をショートさせるように付着することを低減させることが可能となる。

[0077] <電子素子実装用基板および電子装置の製造方法>

次に、本実施形態の電子素子実装用基板1および電子装置21の製造方法の一例について説明する。本実施形態の電子素子実装用基板1および電子装置21の製造方法は基本的には第1の実施形態に記載の製造方法と類似である。本実施形態の電子素子実装用基板1の製造方法としては、第1の実施形態に記載の工程において流路6となる部分を作成する箇所を変更することで、作製することができる。

[0078] （第5実施形態）

図12を参照して本開示の第5の実施形態に係る電子素子実装用基板1について説明する。図12は電子素子実装用基板1の上面視を示している。

[0079] 図12（a）に示す例と第1実施形態の図2と異なる点は、流路6の形状である。具体的には、流路6の幅が流路6の場所によって異なっている点である。複数の流路6は平面透視で第1枠体2bまたは第2枠体2cの内壁側

の端部よりも外部側の端部のほうが大きくなっている。このような構成であることで、流路6の外部側の端部からダストが混入し辛くなる。よって、流路6からはいったダストが複数の電極パッド3間に位置しショートすることを低減させることが可能なる。また、流路6が第1枠体2bと基板2aの間に位置している時、流路6は第1枠体2bの内壁近傍で直線部分を有していてもよい。これにより、ダストの混入をより低減させることが可能となり、流路6からはいったダストが複数の電極パッド3間に位置しショートすることを低減させる効果を向上させることが可能なる。

[0080] 図12(b)に示す例では、複数の流路6は平面透視で第1枠体2bの内壁側の端部よりも外部側の端部のほうが小さくなっている。これにより、流路6を用いて注入したエアーを広範囲に拡散させることが可能となり、流路6の内側端部周辺ではエアーの勢いを低減させることが可能となる。よって、ワイヤ13の撓み量を小さくすることが可能となる。よって、ワイヤ13が接触しショートが発生することを低減させることが可能なる。

[0081] なお、流路6が第1枠体2bと基板2aの間に位置している時、流路6は第1枠体2bの内壁近傍で直線部分を有していてもよい。これにより、流路6を用いて注入したエアーを広範囲に拡散させることが可能となり、流路6の内側端部周辺ではエアーの勢いを低減させることが可能となり、さらに電極パッド3から流路6の端部を離すことが可能となる。よって、ワイヤ13の撓み量を小さくすることが可能となるとともに、流路6からはいったダストが複数の電極パッド3間に位置しショートすることを低減させることが可能となる。

[0082] <電子素子実装用基板および電子装置の製造方法>

次に、本実施形態の電子素子実装用基板1および電子装置21の製造方法の一例について説明する。本実施形態の電子素子実装用基板1および電子装置21の製造方法は基本的には第1の実施形態に記載の製造方法と類似である。本実施形態の電子素子実装用基板1の製造方法としては、第1の実施形態に記載の工程において流路6となる部分を作成する箇所を変更することで

、作製することができる。

[0083] (第6実施形態)

図13を参照して本開示の第6の実施形態に係る電子素子実装用基板1について説明する。図13は電子素子実装用基板1の上面視を示している。

[0084] 図13に示す例と第1実施形態と異なる点は、切欠き部7が基体2の角部に位置しており、平面透視で電極パッド3と流路6とが重ならない位置に位置している点である。電子素子実装用基板、並びにそれを備えた電子装置のハンドリング時に角部に衝撃や圧力などかかる場合がある。角部にかかる衝撃や応力で基板がダメージを受けカケなどの不具合が発生することが懸念されていた。これに対し、切欠き部7が基体2の角部に位置していることで、角部にかかる衝撃や応力を緩和することが可能となり、また、衝撃や応力によって、発生するダストを低減することが可能となる。また、電極パッド3と流路6とが重ならない位置に配置していることから、流路6にエアーを注入／排出する工程において隣り合うワイヤ13が接触しショートが発生することを低減させること、および、流路6からはいったダストが複数の電極パッド3間に位置しショートすることを低減させることが可能となる。よって、電子素子実装用基板1の歩留まりを向上させつつ、電子装置21の誤作動を低減させることが可能となる。併せて図13に示す例のように流路6の一端の近傍（仮想垂線上）に電極パッド3は位置していない構造であると、仮に流路6からダストが入ってきた場合においても流路6の一端が電極パッド3から離れて位置していることで、ダストが電極パッド3に付着または複数の電極パッド3間をショートさせるように付着することを低減させることが可能となる。よって、本開示の効果をより向上させることが可能となる。また、流路6の一端の近傍（仮想垂線上）に電極パッド3が位置していない構造であることで、エアーの注入／排出時にエアーが電極パッド3に当たることを低減させることが可能となる。

[0085] <電子素子実装用基板および電子装置の製造方法>

次に、本実施形態の電子素子実装用基板1および電子装置21の製造方法

の一例について説明する。本実施形態の電子素子実装用基板 1 および電子装置 2 1 の製造方法は基本的には第 1 の実施形態に記載の製造方法と類似である。本実施形態の電子素子実装用基板 1 の製造方法としては、第 1 の実施形態に記載の工程において流路 6 と切欠き部 7 となる部分を作成する箇所を変更することで、作製することができる。

[0086] (第 7 実施形態)

図 1 4 から図 1 6 を参照して本開示の第 7 の実施形態に係る電子素子実装用基板 1 について説明する。なお、図 1 1 は電子素子実装用基板 1 の上面視を示している。

[0087] 本実施形態における電子素子実装用基板 1 において、第 1 実施形態の電子素子実装用基板 1 と異なる点は、基体 2 が外周に多数の溝部 8 を有している点である。なお、溝部 8 は、半円形状であってもよいし、半楕円形状であってもよい。

[0088] 基体 2 の外周に溝部 8 に流路 6 を設けている場合で、基体 2 外周の溝部 8 を外部端子として半田等の導電性接続材で外部回路と接続・固定する際に、同時に流路 6 を導電性接合剤で封止することも可能である。

[0089] 図 1 5 (a) は、外周に溝部 8 を有しており、切欠き部 7 は、平面視あるいは平面透視において、溝部 8 よりも大きくなっている。切欠き部 7 が溝部 8 よりも大きいことで、流路を設置している切欠き部 7 との見分けが容易になる。また、凹部 2 0 内のエアーの注入／排出を行う際の位置合わせなどが容易となる。大きさは、平面視あるいは平面透視における面で比較すればよい。また、溝部 8 は複数位置していてもよい。

[0090] 図 1 5 (b) は、外周に溝部 8 を有しており、切欠き部 7 は、平面視あるいは平面透視において、溝部 8 よりも小さくなっている。切欠き部 7 が溝部 8 よりも小さいことで、流路 6 を設置している切欠き部 7 との見分けが容易になる。また、切欠き部 7 の大きさが小さいことで、導電性接合剤の基板 2 上面方向への這い上がりも容易になる。したがって、基体 2 外周の溝部 8 を外部端子として半田等の導電性接続材で外部回路と接続・固定する際に、同

時に流路 6 を導電性接合剤で封止することも可能となる。また、溝部 8 は複数位置していてもよい。

[0091] 図 16 は、外周に溝部 8 を有しており、切欠き部 7 は、溝部 8 と異なる形状となっている。切欠き部 7 が他の溝部 8 と異なる形状であるので見分けが容易になる。また、大きさの差異と比較して方向性が判断しやすくなり、工程負荷を低減させることが可能となる。また、溝部 8 は複数位置していてもよい。

[0092] <電子素子実装用基板および電子装置の製造方法>

次に、本実施形態の電子素子実装用基板 1 および電子装置 21 の製造方法の一例について説明する。本実施形態の電子素子実装用基板 1 および電子装置 21 の製造方法は基本的には第 1 の実施形態に記載の製造方法と類似である。本実施形態の電子素子実装用基板 1 の製造方法としては、第 1 の実施形態に記載の工程において流路 6 と切欠き部 7 となる部分を作成する箇所を変更し、溝部 8 となる部分の作成を追加することで、作製することができる。

[0093] なお、本開示は上述の実施形態の例に限定されるものではなく、数値などの種々の変形は可能である。また、例えば、各図に示す例では、電極パッド 3 の形状は上面視において矩形状であるが、円形状やその他の多角形状であってもかまわない。また、本実施形態における電極パッド 3 の配置、数、形状および電子素子の実装方法などは指定されない。なお、本実施形態における特徴部の種々の組み合わせは上述の実施形態の例に限定されるものではない。また、各実施形態同士の組み合わせも可能である。

符号の説明

[0094] 1 電子素子実装用基板

2 基体

2 a 基板

2 b 第 1 枠体

2 c 第 2 枠体

2 d 枠体

- 2 0 . . . 凹部
- 3 電極パッド
- 4 実装領域
- 6 流路
- 6 1 . . . 内端
- 6 2 . . . 外端
- 7 切欠き部
- 8 溝部
- 1 0 . . . 電子素子
- 1 2 . . . 蓋体
- 1 3 . . . ワイヤ（接続導体）
- 1 4 . . . 枠体接続部材
- 2 1 . . . 電子装置

請求の範囲

- [請求項1] 電子素子が実装される実装領域を含む凹部と、外周に位置した切欠き部と、を有する基体と、
前記基体の内壁に位置した内端と、前記基体の外周に位置した外端とを有する流路と、を備えており、
前記流路の前記内端は、前記凹部に開口しており、前記流路の前記外端は、前記切欠き部と連続している電子素子実装用基板。
- [請求項2] 前記切欠き部は、平面透視において前記基体の角部に位置している請求項1に記載の電子素子実装用基板。
- [請求項3] 前記基体は、前記実装領域を含む上面を有する基板と、
前記基板の上面に、前記実装領域を囲んで位置した枠体と、を有している請求項1または請求項2に記載の電子素子実装用基板。
- [請求項4] 前記枠体は、前記基板の上面に、前記実装領域を囲んで位置した第1枠体と、
前記第1枠体の上面に、前記実装領域を囲んで位置した第2枠体と、を有しており、
前記流路は、断面視において矩形状であり、前記基板と前記第1枠体との間に位置している請求項3に記載の電子素子実装用基板。
- [請求項5] 前記基板の上面または前記第1枠体の上面に位置した電極パッド、をさらに備えており、
前記流路は、前記電極パッドよりも上方に位置している請求項4に記載の電子素子実装用基板。
- [請求項6] 平面透視において、前記実装領域は、前記電極パッドよりも内側に位置している請求項5に記載の電子素子実装用基板。
- [請求項7] 平面透視において、前記電極パッドと前記流路とが重ならず位置している請求項5または請求項6に記載の電子素子実装用基板。
- [請求項8] 前記基体は、前記外周に位置する溝部を有しており、
平面透視における前記切欠き部の面積は、前記溝部の面積よりも大き

い請求項 1 ～ 7 のいずれか 1 つに記載の電子素子実装用基板。

[請求項9] 前記基体は、前記外周に位置する複数の溝部を有しており、
前記切欠き部は、平面透視において前記溝部と異なる形状を有している請求項 1 ～ 8 のいずれか 1 つに記載の電子素子実装用基板。

[請求項10] 前記基体は、前記外周に位置する溝部を有しており、
平面透視における前記切欠き部の面積は、前記溝部の面積よりも小さい請求項 1 ～ 7 のいずれか 1 つに記載の電子素子実装用基板。

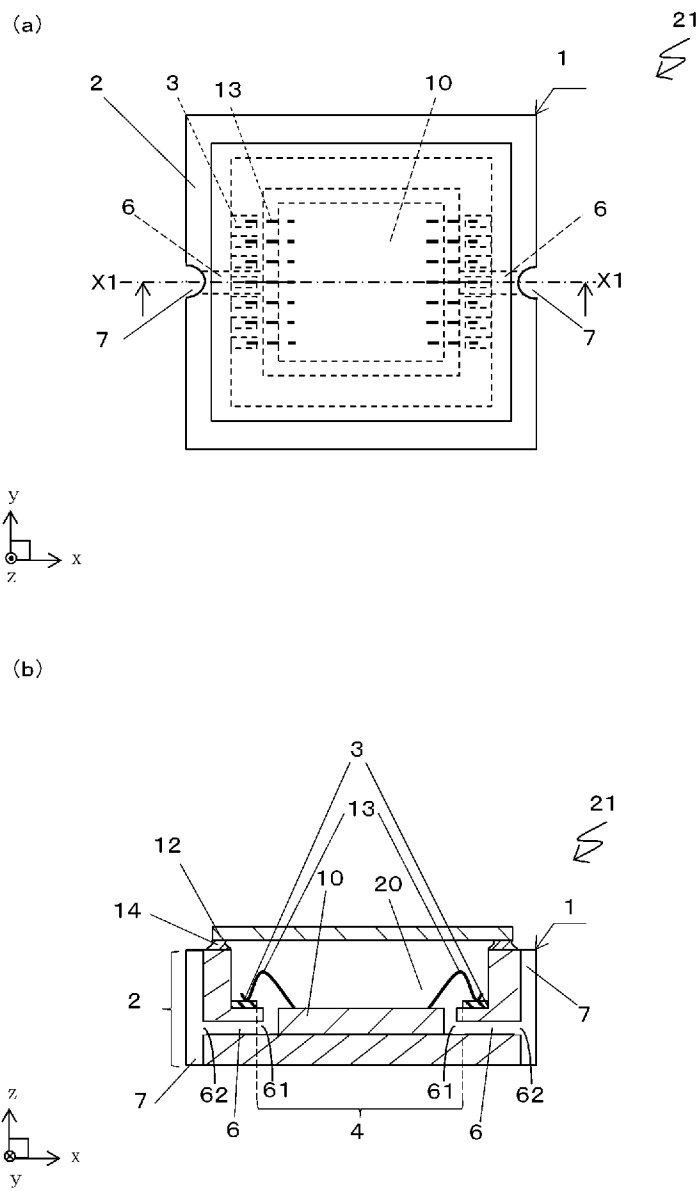
[請求項11] 前記流路が複数位置しており、
複数の前記流路のうち少なくとも 2 つは、前記基体の下面からの高さが異なる請求項 1 ～ 10 のいずれか 1 つに記載の電子素子実装用基板。
。

[請求項12] 前記流路が複数位置しており、
それぞれの前記流路は同じ形状である請求項 1 ～ 11 のいずれか 1 つに記載の電子素子実装用基板。

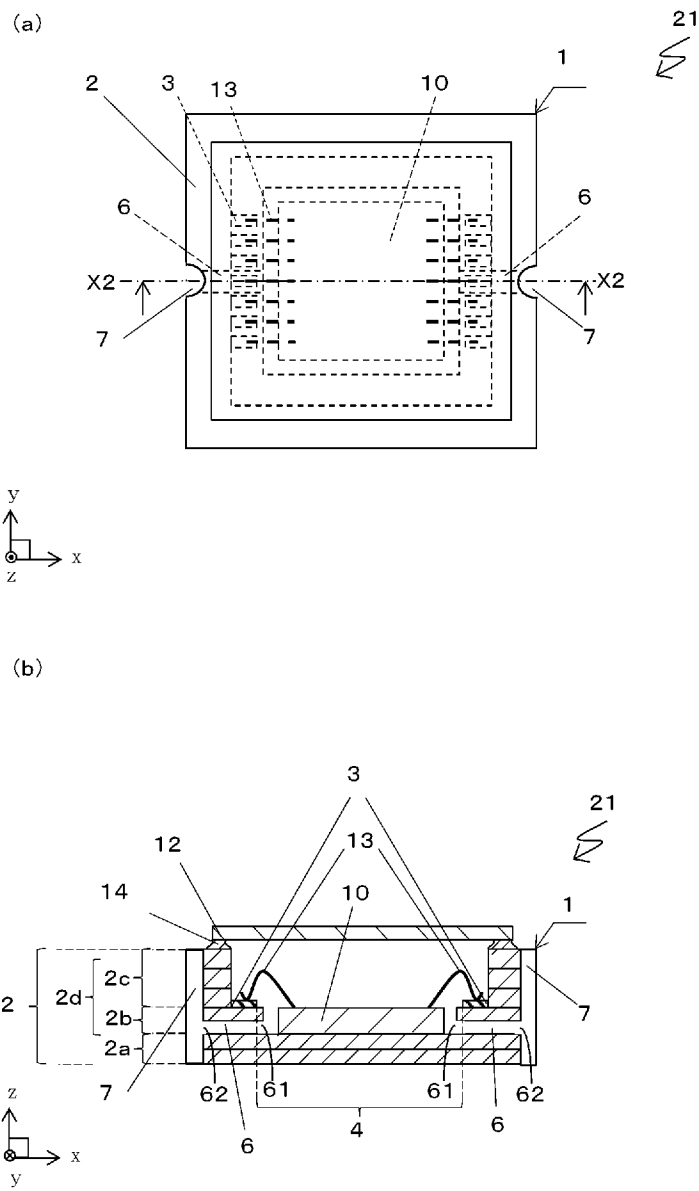
[請求項13] 前記流路は、平面透視および／または断面視において、折れ曲がった部位を有しており、
前記部位が曲面を有している請求項 1 ～ 12 のいずれか 1 つに記載の電子素子実装用基板。

[請求項14] 請求項 1 ～ 13 のいずれか 1 つに記載の電子素子実装用基板と、
前記実装領域に実装された電子素子と、を備えた電子装置。

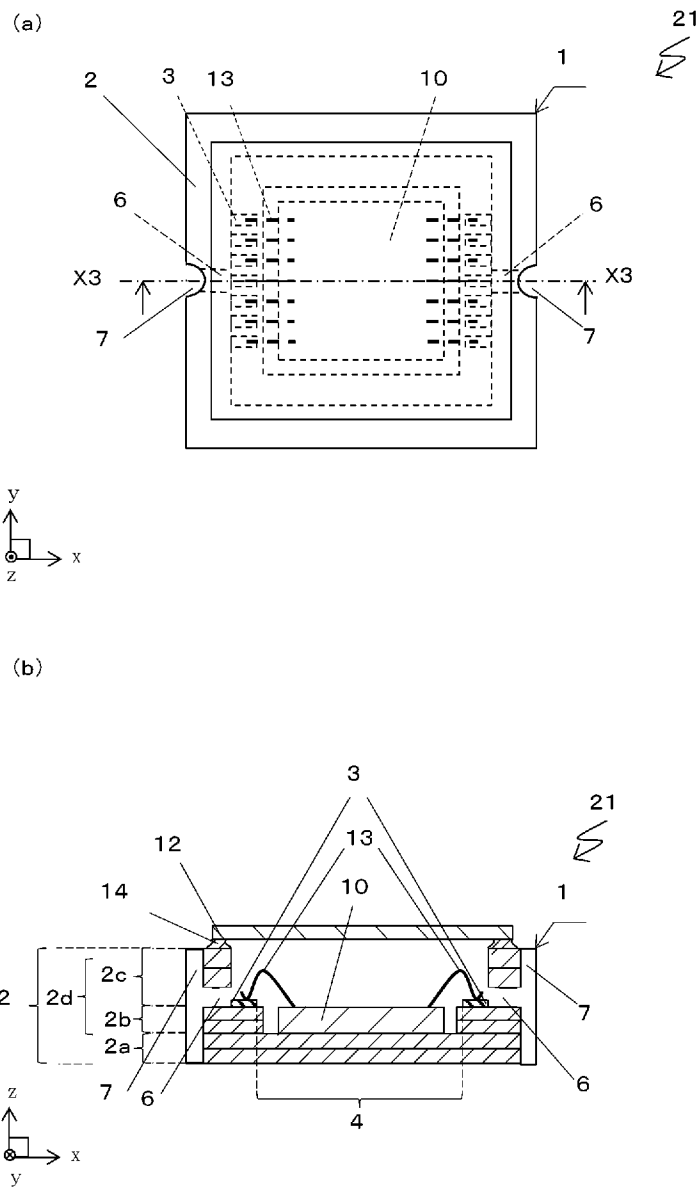
[図1]



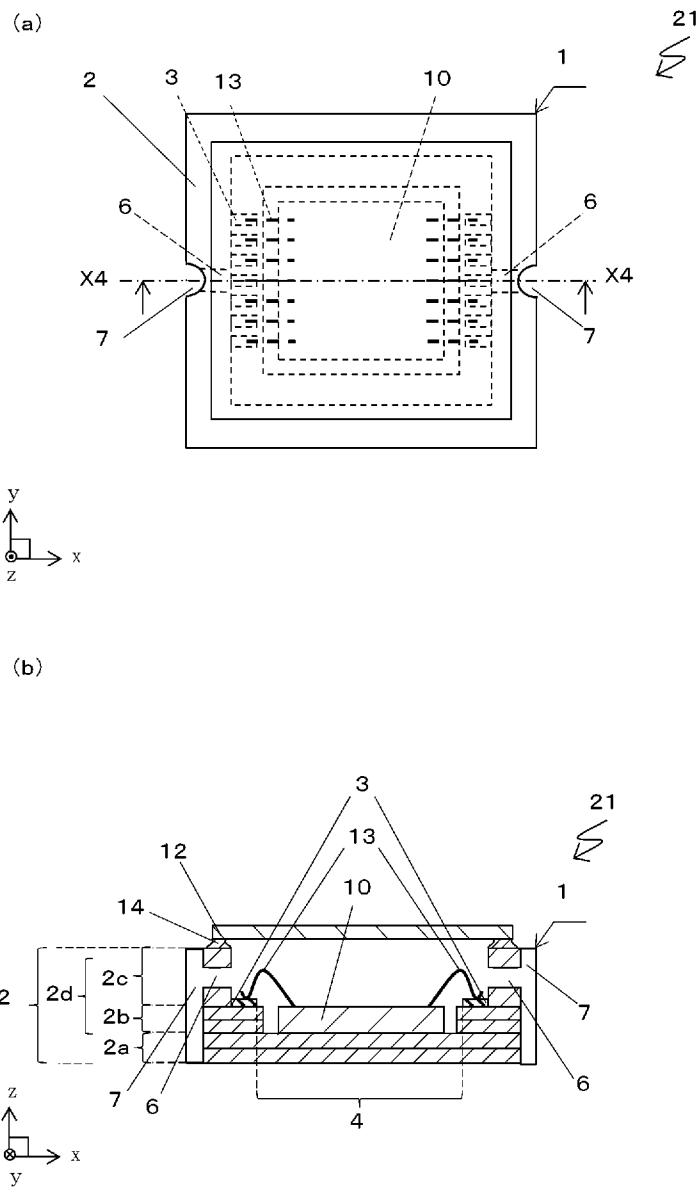
[図2]



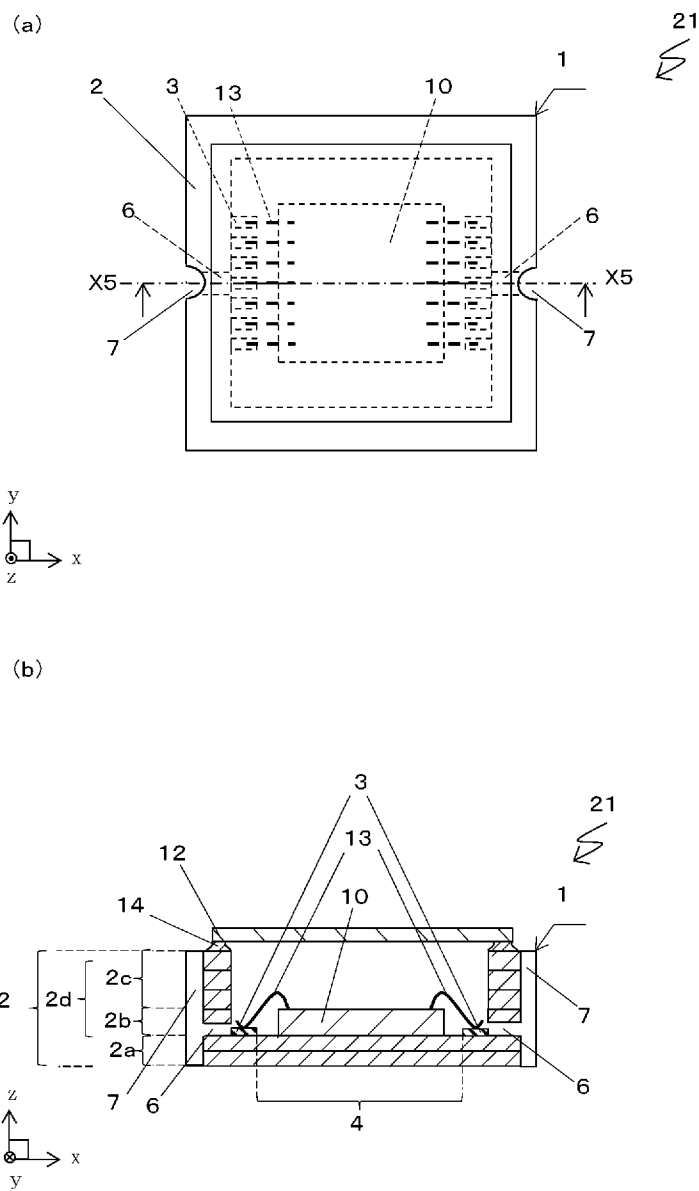
[図3]



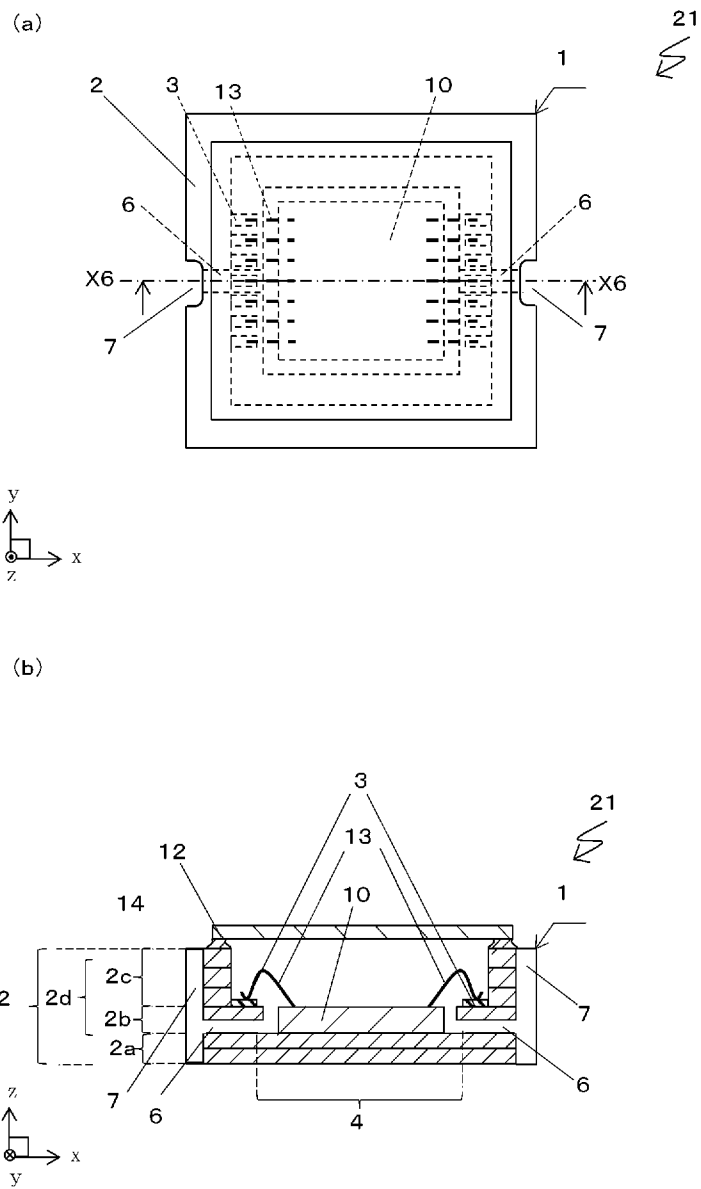
[図4]



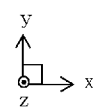
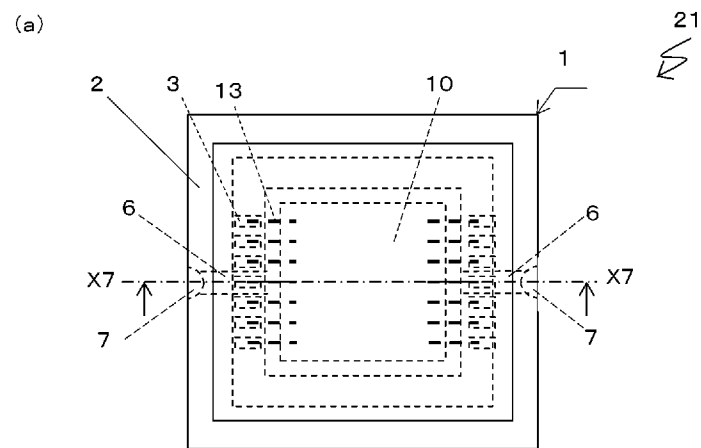
[図5]



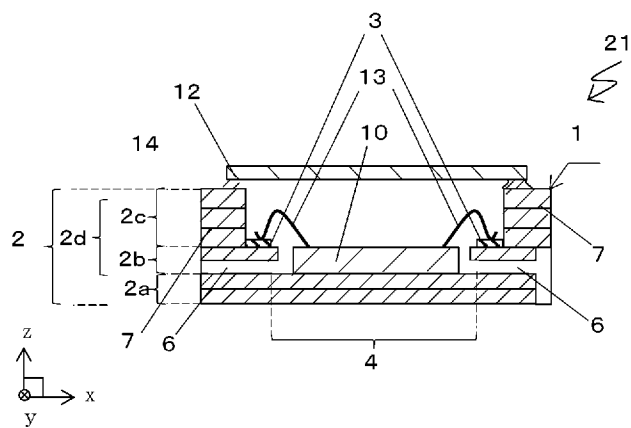
[図6]



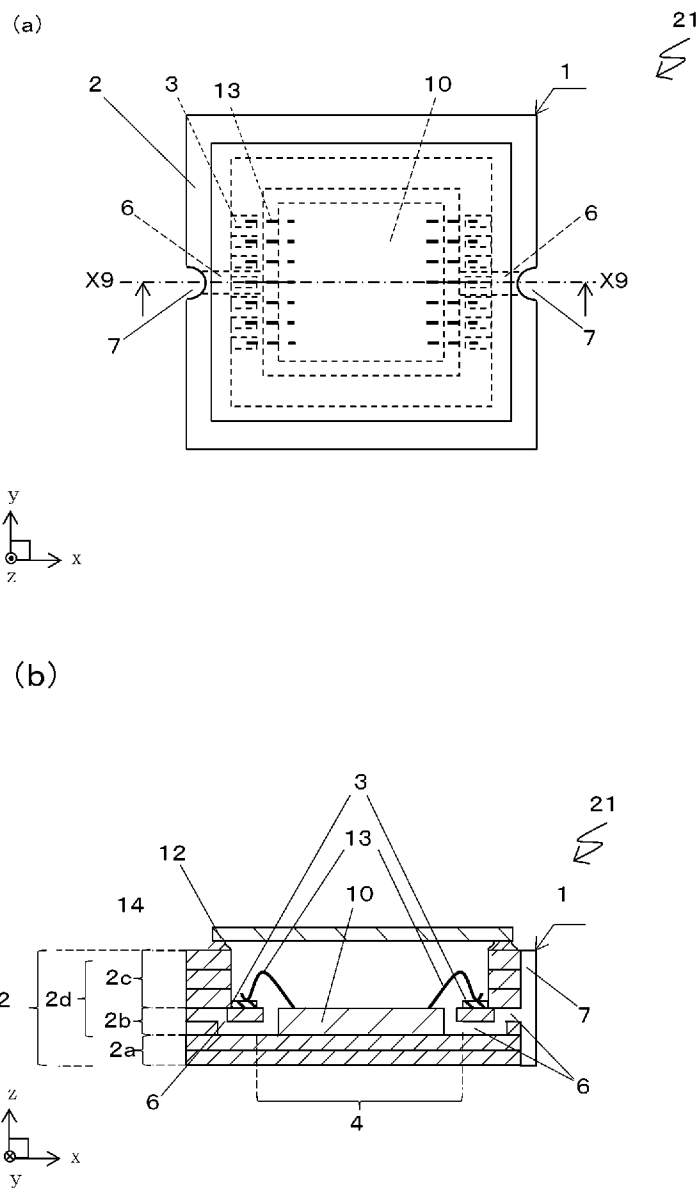
[図7]



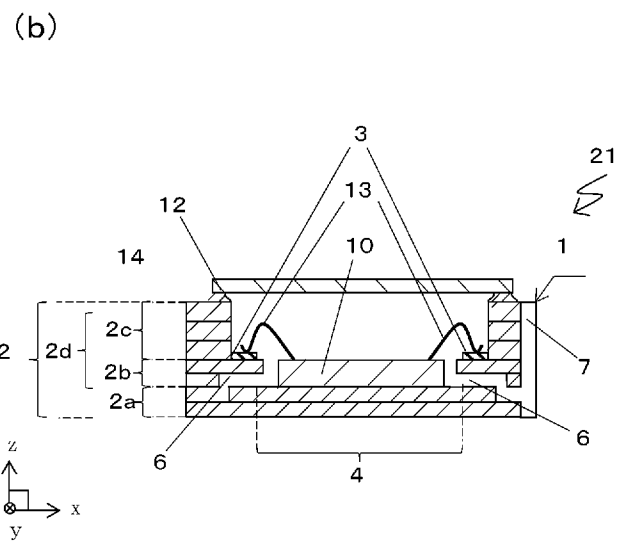
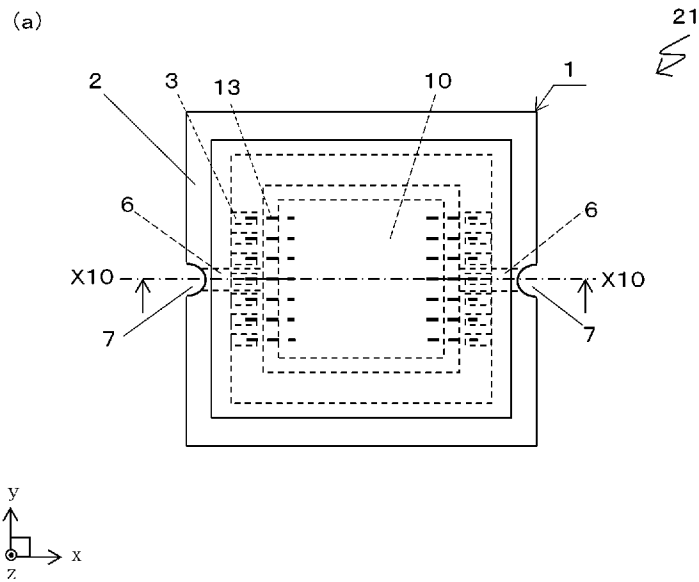
(b)



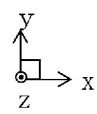
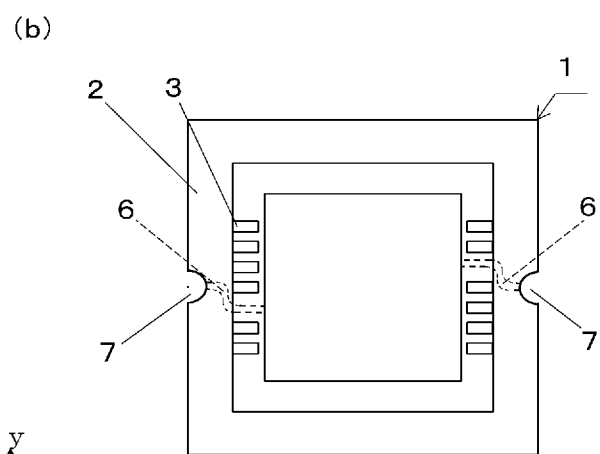
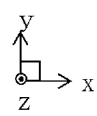
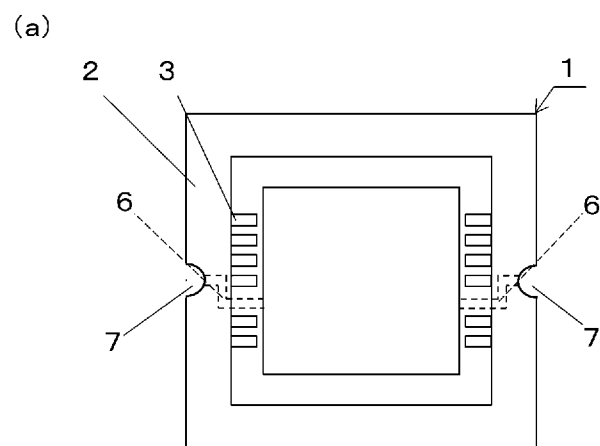
[図9]



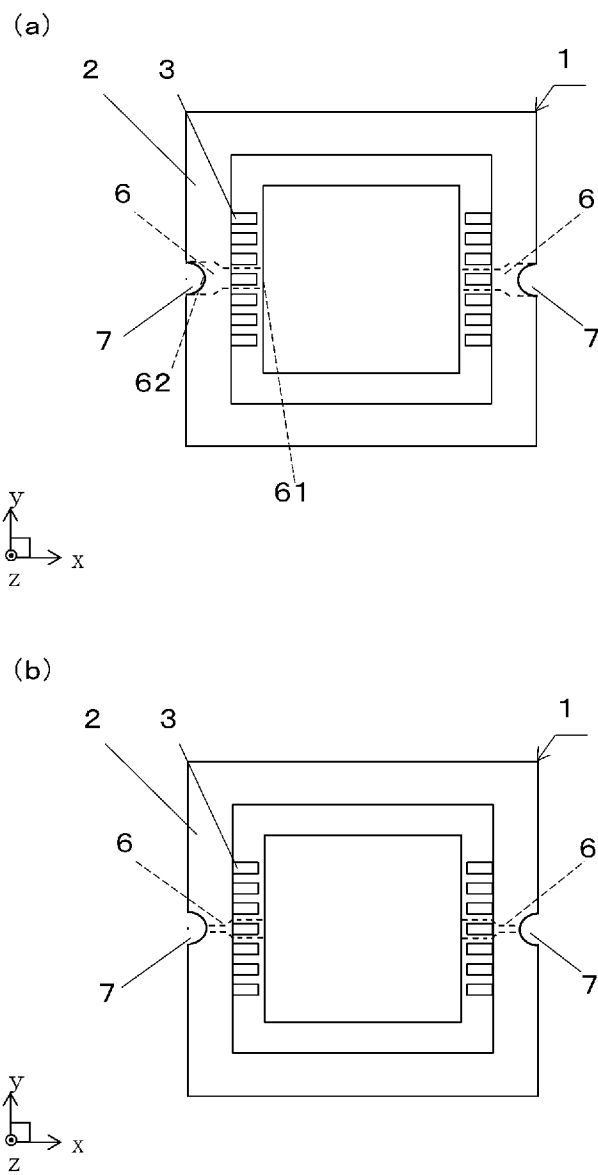
[図10]



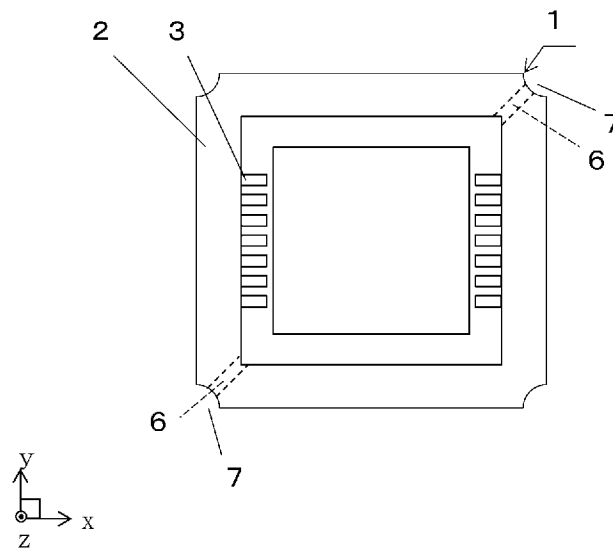
[図11]



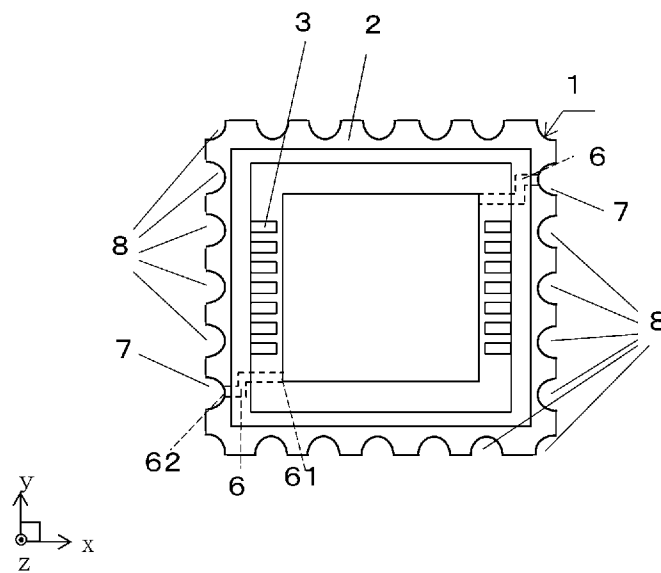
[図12]



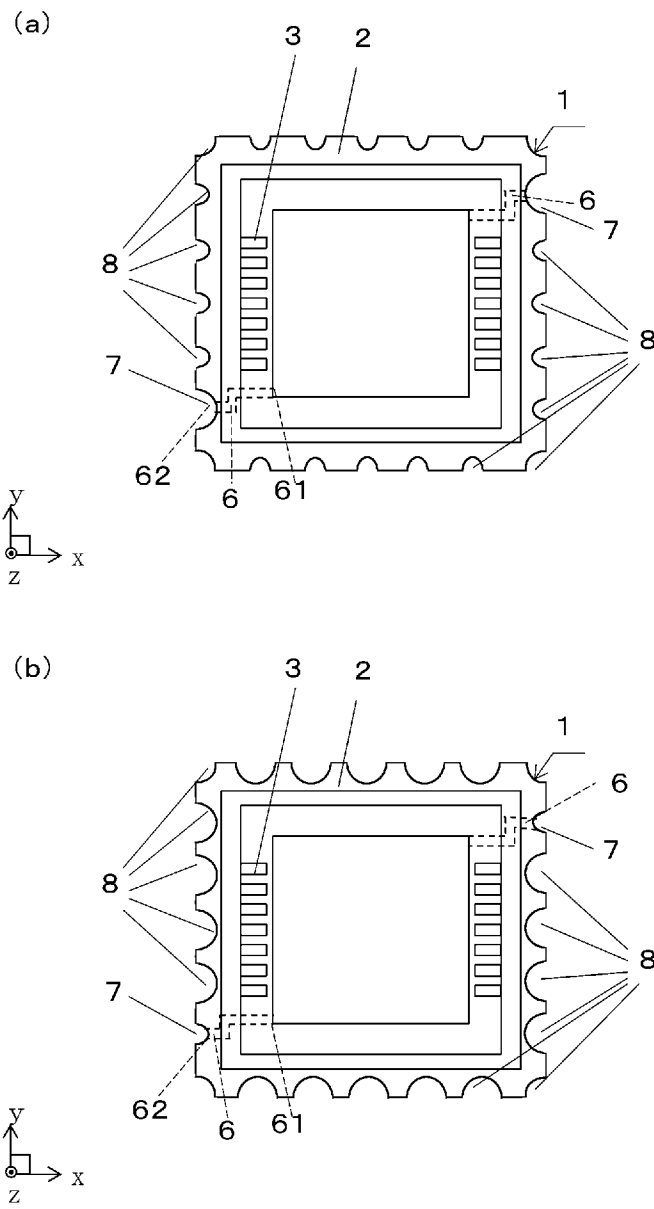
[図13]



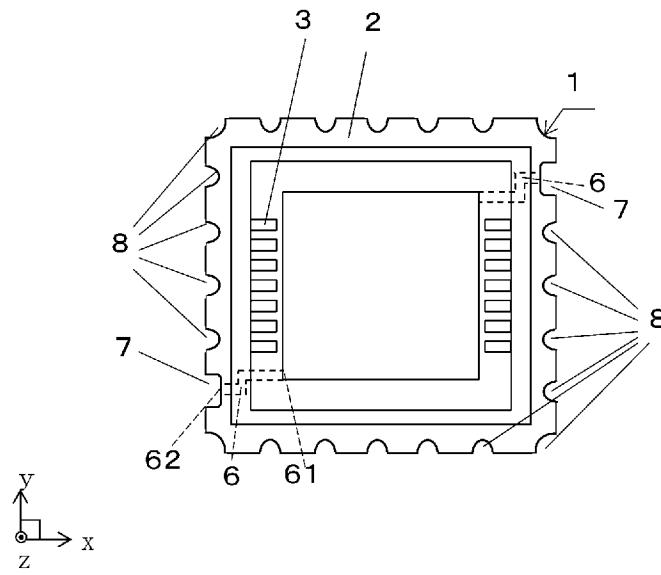
[図14]



[図15]



[図16]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/050928

A. CLASSIFICATION OF SUBJECT MATTER

H01L 23/02 (2006.01) i; H01L 23/12 (2006.01) i
FI: H01L23/02 G; H01L23/12 F

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L23/02; H01L23/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2020
Registered utility model specifications of Japan	1996-2020
Published registered utility model applications of Japan	1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2007-88194 A (NGK SPARK PLUG CO., LTD.) 05.04.2007 (2007-04-05) paragraphs [0014]-[0021], [0029]-[0038], fig. 1-3, 6-9	1, 3, 14
Y	paragraphs [0014]-[0021], [0029]-[0038], fig. 1-3, 6-9	2, 11-13
A	paragraphs [0014]-[0021], [0029]-[0038], fig. 1-3, 6-9	4-10
Y	JP 2004-342992 A (SEIKO EPSON CORP.) 02.12.2004 (2004-12-02) paragraphs [0006]-[0040], fig. 1-11	2, 12-13
A	paragraphs [0006]-[0040], fig. 1-11	4-10
Y	JP 2007-128987 A (SHARP CORP.) 24.05.2007 (2007- 05-24) paragraphs [0043]-[0078], fig. 1-2	11-12
A	paragraphs [0043]-[0078], fig. 1-2	4-10
A	JP 63-29555 A (HITACHI, LTD.) 08.02.1988 (1988-02- 08) page 3, upper left column, line 1 to page 4, upper left column, line 10, fig. 1-3	4-10



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
19 February 2020 (19.02.2020)

Date of mailing of the international search report
03 March 2020 (03.03.2020)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/050928

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2004-119881 A (SONY CORP.) 15.04.2004 (2004-04-15) paragraphs [0017]-[0028], fig. 1-3	4-10
A	JP 2017-169164 A (KYOCERA CORP.) 21.09.2017 (2017-09-21) paragraphs [0012]-[0061], fig. 1-3	4-10

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/JP2019/050928

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP 2007-88194 A	05 Apr. 2007	(Family: none)	
JP 2004-342992 A	02 Dec. 2004	(Family: none)	
JP 2007-128987 A	24 May 2007	(Family: none)	
JP 63-29555 A	08 Feb. 1988	(Family: none)	
JP 2014-119881 A	15 Apr. 2004	(Family: none)	
JP 2017-169164 A	21 Sep. 2017	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 23/02(2006.01)i; H01L 23/12(2006.01)i FI: H01L23/02 G; H01L23/12 F		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） H01L23/02; H01L23/12		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2020年 日本国実用新案登録公報 1996-2020年 日本国登録実用新案公報 1994-2020年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2007-88194 A（日本特殊陶業株式会社）05.04.2007（2007-04-05） 段落[0014]-[0021], [0029]-[0038], 図1-3, 6-9	1, 3, 14
Y	段落[0014]-[0021], [0029]-[0038], 図1-3, 6-9	2, 11-13
A	段落[0014]-[0021], [0029]-[0038], 図1-3, 6-9	4-10
Y	JP 2004-342992 A（セイコーエプソン株式会社）02.12.2004（2004-12-02） 段落[0006]-[0040], 図1-11	2, 12-13
A	段落[0006]-[0040], 図1-11	4-10
Y	JP 2007-128987 A（シャープ株式会社）24.05.2007（2007-05-24） 段落[0043]-[0078], 図1-2	11-12
A	段落[0043]-[0078], 図1-2	4-10
A	JP 63-29555 A（株式会社日立製作所）08.02.1988（1988-02-08） 第3頁左上欄第1行-第4頁左上欄第10行, 第1-3図	4-10
A	JP 2004-119881 A（ソニー株式会社）15.04.2004（2004-04-15） 段落[0017]-[0028], 図1-3	4-10
☒ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 19.02.2020		国際調査報告の発送日 03.03.2020
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 平林 雅行 5F 6310 電話番号 03-3581-1101 内線 3516

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2017-169164 A (京セラ株式会社) 21.09.2017 (2017 - 09 - 21) 段落[0012]-[0061], 図1-3	4-10

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2019/050928

引用文献			公表日	パテントファミリー文献	公表日
JP	2007-88194	A	05.04.2007	(ファミリーなし)	
JP	2004-342992	A	02.12.2004	(ファミリーなし)	
JP	2007-128987	A	24.05.2007	(ファミリーなし)	
JP	63-29555	A	08.02.1988	(ファミリーなし)	
JP	2004-119881	A	15.04.2004	(ファミリーなし)	
JP	2017-169164	A	21.09.2017	(ファミリーなし)	