

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5559547号
(P5559547)

(45) 発行日 平成26年7月23日 (2014. 7. 23)

(24) 登録日 平成26年6月13日 (2014. 6. 13)

(51) Int. Cl.

F I

H O 1 L 29/786 (2006. 01)

H O 1 L 29/78 6 1 6 L

H O 1 L 21/336 (2006. 01)

H O 1 L 29/78 6 1 6 V

H O 1 L 29/78 (2006. 01)

H O 1 L 29/78 6 1 6 A

H O 1 L 29/78 6 1 8 Z

H O 1 L 29/78 3 0 1 S

請求項の数 10 (全 8 頁)

(21) 出願番号 特願2009-551780 (P2009-551780)
 (86) (22) 出願日 平成20年2月11日 (2008. 2. 11)
 (65) 公表番号 特表2010-520620 (P2010-520620A)
 (43) 公表日 平成22年6月10日 (2010. 6. 10)
 (86) 国際出願番号 PCT/US2008/053563
 (87) 国際公開番号 W02008/106304
 (87) 国際公開日 平成20年9月4日 (2008. 9. 4)
 審査請求日 平成23年2月14日 (2011. 2. 14)
 (31) 優先権主張番号 11/680, 181
 (32) 優先日 平成19年2月28日 (2007. 2. 28)
 (33) 優先権主張国 米国 (US)

(73) 特許権者 504199127
 フリースケール セミコンダクター イン
 コーポレイテッド
 アメリカ合衆国 テキサス州 7 8 7 3 5
 オースティン ウィリアム キャノン
 ドライブ ウェスト 6 5 0 1
 (74) 代理人 100140109
 弁理士 小野 新次郎
 (74) 代理人 100089705
 弁理士 社本 一夫
 (74) 代理人 100075270
 弁理士 小林 泰
 (74) 代理人 100080137
 弁理士 千葉 昭男

最終頁に続く

(54) 【発明の名称】 半導体デバイスを作る方法

(57) 【特許請求の範囲】

【請求項 1】

半導体デバイスを作る方法であって、
 基板の上に横たわるゲート構造体を形成するステップと、
 前記ゲート構造体に隣接する側壁スペーサを形成するステップと、
 前記半導体デバイスのドレイン側に第2のドープ領域とソース側に第1のドープ領域とを形成するために、前記半導体デバイスのドレイン側にマスクとして作用するゲート構造体を使用して前記半導体デバイスのソース側の方向に、角度をつけたインプラントを実施するステップであって、前記第1のドープ領域が前記ゲート構造体の一部の下に延び、前記第2のドープ領域が前記ゲート構造体及び前記側壁スペーサから間隔が隔てられることを特徴とするステップと、
 前記半導体デバイスをアニーリングするステップと、
前記ゲート構造体および前記側壁スペーサをマスクとして使用することにより、前記ゲート構造体の下の第1のドープ領域の一部を残すように基板をエッチングすることにより、
 基板の側壁スペーサの対向する端に隣接してレセスを形成するステップと、
 前記レセスに第2の型の半導体材料をエピタキシャル成長させるステップと、
 を有し、
 前記第2の型の半導体材料が、前記第1の型の半導体材料の格子定数とは異なる本来の格子定数を備え、半導体デバイスのチャネル領域に応力を生成することを特徴とする、方法。

10

20

【請求項 2】

ドーピング材料を使用して、前記第 2 の型の半導体材料にドーピングを実行するステップを更に有することを特徴とする請求項 1 に記載の方法。

【請求項 3】

前記角度をつけたインプラントが、垂直軸線に対して 5 度ないし 30 度の角度で実行されることを特徴とする請求項 1 又は 2 に記載の方法。

【請求項 4】

前記半導体デバイスが、Pチャネルデバイスであり、前記ドーピング材料が、ホウ素、 BF_2 およびインジウムからなるグループの一つからなり、前記第 2 の型の半導体材料がシリコンゲルマニウムであることを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の方法。

10

【請求項 5】

半導体デバイスがNチャネルデバイスであり、ドーピング材料が、燐、ヒ素、および、アンチモンからなるグループの一つからなり、第 2 の型の半導体材料が炭化珪素であることを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の方法。

【請求項 6】

半導体デバイスがPチャネルデバイスであり、ドーピング材料がホウ素であることを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の方法。

【請求項 7】

半導体デバイスがNチャネルデバイスであり、ドーピング材料が燐およびヒ素からなるグループの一つからなることを特徴とする請求項 1 乃至 3 又は 5 のいずれか 1 項に記載の方法。

20

【請求項 8】

レセスに第 2 の型の半導体材料をエピタキシャル成長させた後に、前記アニーリングするステップが実行されることを特徴とする請求項 1 乃至 7 のいずれか 1 項に記載の方法。

【請求項 9】

前記側壁スペーサの幅が 40 オングストローム乃至 100 オングストロームの範囲であることを特徴とする請求項 1 乃至 8 のいずれか 1 項に記載の方法。

【請求項 10】

前記第 2 の型の半導体材料と前記ゲート構造体の上にシリサイド層を形成するステップと、を更に有することを特徴とする請求項 1 乃至 9 のいずれか 1 項に記載の方法。

30

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、一般的には半導体デバイスに関し、特に、ソース/ドレイン・ストレッサーを備えた半導体デバイスに関する。

【背景技術】

【0002】

ソース/ドレイン・ストレッサーは、トランジスタの性能を改善するために、チャネル領域にひずみを提供するように開発されてきた。チャネルに適用された引張応力は、Nチャネルトランジスタに関して電子の移動度を改良し、一方、チャネルに適用された圧縮応力は、正孔の移動度を改良することが見出されていた。改善の度合いは、一般的には、適用される応力が大きければ大きいものとなる。このソース/ドレイン・ストレッサー・アプローチは、レセス領域を形成するためにチャネル領域付近の半導体材料を除去し、次いで、異なるタイプの半導体材料を成長させることによってレセス領域を満たすことを含む。出発半導体材料であるシリコンでは、典型的には、引張応力は、炭化珪素を成長させることによって圧力が加えられ、圧縮は、シリコンゲルマニウムを成長させることによって圧力が加えられる。応力の制限は、炭素およびゲルマニウムの濃度である。これらの濃度が増大すると、応力が増大するが、転位の可能性も増大する。転位は応力を低減させる。よって、炭素およびゲルマニウムの濃度は、転位を形成することにならない最大濃度と同

40

50

じになる。しかしながら、トランジスタの性能は、トランジスタのリークの増加のような他の問題を生成することなく応力を更に増大させるように改良されうる。

【 0 0 0 3 】

かくして、ソース/ドレイン・ストレッサーを備えたデバイスの性能を更に改良する必要性がある。

【 発明を実施するための最良の形態 】

【 0 0 0 4 】

ゲートのエッジの少なくとも下付近にあるソースインプラント領域を形成するためにトランジスタのソース側から、角度がついたインプラントが、実行される。ゲートは、インプラントの時に、薄い側壁スペーサを有する。インプラントによってドレイン側に形成されたドーブされた領域がゲートから間隔を隔てられるように、ゲートは、ドレイン側に関してマスクとして作用する。引き続いてのアニールは、ソース側のドーブされた領域が、ゲートのエッジに対して少なくとも整列され、ゲートの下に少し延びることを保証する。エッチングは、薄い側壁スペーサを供えたソース上に配列された一方のレセス領域を形成し、薄い側壁スペーサを供えたドレイン側に配列された別のレセス領域を形成するためのマスクとして側壁スペーサおよびゲートを使用して、半導体材料を除去する。ドレイン側にレセス領域を形成することにより、ドレイン側のインプラントによって形成されたドーブされた領域を除去する。しかしながら、ソースインプラント領域は、側壁スペーサの下に延びる部分を有しているので、その結果、ソース側レセス領域を形成することによりそれは除去されない。次いで、異なるタイプの半導体材料を、レセス領域に成長させる。次いで、この異なる半導体材料は、ソースインプラント領域の残りの部分と接触し、またドレイン側にドレインを形成する。異なる半導体材料は、ひずみを緩和させうるように、ソース/ドレイン・インプラントのための必要性を回避するようにその場で (in situ) ドーブされるのが好ましい。かくして、ソースインプラント領域の残りの部分は、ソースが少なくともゲートのエッジにまで延びることを保証する。これは、ドレインに印加される電圧が、いずれにしても、ドレインに直接隣接する領域を使い果たす傾向にあるので、ドレイン側での最小限の因果関係である。更に、ドレイン側にそれを有することは、全体の寄生キャパシタンスを増大させうる。これについては、以下の記載および図面によってより理解されうであろう。

【 0 0 0 5 】

図 1 は、支持基板 1 2 と、支持基板 1 2 の上の絶縁層 1 4 と、絶縁層 1 4 の上の半導体層 1 6 と、半導体層 1 6 に関する境界を確立する絶縁領域 1 8 と、半導体層 1 6 の一部の上のゲート誘電体 2 0 と、ゲート誘電体 2 0 の上のゲート 2 2 と、ゲート 2 2 の側壁上の側壁スペーサ 2 4 とを有する半導体デバイス 1 0 を示す。支持基板 1 2 と、絶縁層 1 4 と、半導体層 1 6 との組み合わせは、共通基板である絶縁 (S O I) 基板上の半導体である。絶縁層を備えない基板のバルク半導体タイプもまた用いられうる。かかるケースでは、基板の頂部部分は半導体層と考えられる。また、半導体層 1 6 はマルチ層 (多層) であってよい。たとえば、半導体層 1 6 は、上に横たわるより薄い S i G e 層を備えた、下に横たわり比較的薄い層であるシリコンであってよい。ゲート 2 2 は、多層または単一の層であってよい。ポリシリコンの単一の層が、この目的のためには有効であるが、1 または複数の金属層、或いは、金属とシリコンの層の組み合わせも使用することができる。ゲート誘電体 2 0 は、典型的にはゲート誘電体のために成長された酸化物であるのが好ましいが、他の材料を使用することもできる。たとえば、高 K 誘電体を使用することができる。側壁スペーサ 2 4 は、相対的に薄いのが好ましい。ここで記載する例では、側壁スペーサ 2 4 は、厚さが約 5 0 オングストロームであるが、変化してもよい。期待される範囲は、約 4 0 乃至 1 0 0 オングストロームであるが、同様に変化してもよい。

【 0 0 0 6 】

図 2 は、角度がついたインプラント 2 6 を実行した後の半導体デバイスを示す。角度は、ゲート 2 2 がドレイン側のマスクとして作用するように、ソース側に向かった垂直方向から約 1 0 度であるのが好ましい。5 乃至 3 0 度のような他の角度も有効である。角度が

ついたインプラント 26 は、ドープ領域 28 およびドープ領域 30 を形成する際に生じる。ドープ領域 28 は、ソース側にある。ドープ領域 30 は、ドレイン側にある。ドープ領域 28 は、側壁スペーサ 24 の下に延びる部分を有する。一方、ドープ領域 30 は、ゲート 22 および側壁スペーサ 24 から間隔が隔てられる。インプラント 26 は、ソースおよびドレインを形成する際の種として有用である。かくして、半導体デバイス 10 が N チャネルトランジスタとなる場合には、インプラント 26 は、砒素または燐もしくは両方のインプラントであってよい。P チャネルの場合には、インプラント 26 は、ホウ素、または、 BF_2 のインプラントであってよい。ドープ領域 28 の深さは、チャンネルを備えた界面でソースの深さに関して望ましい深さが選択される。ドープ領域 28 が側壁スペーサ 24 および潜在的なゲート 22 の下に延びる度合いは、角度およびエネルギーによって決定される。この例では、ドープ領域 28 は、ゲートのエッジを中心に延び、ソース側の側壁スペーサ 24 とゲート 22 との間の界面である。エネルギーはまた、深さを設定するのにも用いられる。角度もまた、深さに影響する。

10

【0007】

図 3 は、ドープ領域 28 のドーパント活性化させるのと同様に、ドープ領域 28 および 30 を拡張させる効果を有するアニールの後の半導体デバイス 10 を示す。このアニールは、少なくともドープ領域 28 がゲート 22 のエッジまで延び、典型的にはゲート 22 の下に少量延びることを保証する。

【0008】

図 4 は、側壁スペーサ 24 に整列されたドレイン側のレセス 34、および、側壁スペーサ 24 に整列されたソース側のレセス 32 に生じるようなマスクとして作用するゲート 22 および側壁スペーサ 24 を使用したエッチングの後の半導体デバイス 10 を示す。レセス 32 および 34 は、レセス 32 および 34 と絶縁層 14 との間にいくらかの半導体層 16 を残す。レセス 32 および 34 は、側壁スペーサ 24 の対向する端にあるように見える。

20

【0009】

図 5 は、レセス 34 に半導体領域 38 とレセス 32 に半導体領域 36 とをエピタキシャル成長によって形成した後の半導体デバイス 10 を示す。半導体領域 36 および 38 は、半導体領域 38 とドープ領域 28 の残りの部分との間で、ゲート誘電体 20 の直下のチャンネル領域に関するストレッチャーである。半導体デバイス 10 が N チャネルデバイスである場合には、半導体領域 36 および 38 は引張応力を働かせる。引張応力は、半導体領域 36 および 38 を形成するために、炭化珪素 (SiC) を成長させることによって達成される。半導体デバイス 10 が P チャネルデバイスである場合には、半導体領域 36 および 38 は、圧縮応力を働かせる。圧縮応力は、半導体領域 36 および 38 を形成するために、シリコンゲルマニウム (SiGe) を成長させることによって達成される。他の半導体材料も、この目的のために使用することを見出されうる。応力は、成長された半導体領域の本来の格子定数と異なるシード層の格子定数から生じる。成長した半導体層は、シード層の格子構造内に力を加え、それにより、応力を働かせるようになる。エピタキシャル成長を実施する前に、半導体層 16 の清浄が、正しく実行される必要がある。レセス 32 および 34 を形成するエッチングを実行した後の半導体層 16 上の自然酸化物の層の形成を避けることは一般的には実行可能ではない。エピタキシャル成長を実行するために、他の材料から自由である種 (シード) として機能する層が望まれる。これは、成長された材料が転位フリーの必要性があるとき、半導体領域 36 および 38 を形成する場合に、特に正しい。所望のエピタキシャル成長のための表面を達成するために、表面の清浄が実施される。これは、酸化物を除去する HF のような化学的なものである必要がある。清浄は、複数のステップの組み合わせであってよい。ある例では、エピタキシャル・チャンバー内でその場 (in situ) でなされる水素ガス・プリベイクに続く HF ウェットクリーンが用いられる。ゲート誘電体 20 が酸化物である場合には、ゲート誘電体 20 を次いでエッチングするので、該清浄がゲート誘電体 20 と接触しないことが重要である。ドープ領域 28 の残りの部分が、ソース側の清浄のための化学的な使用からゲート誘電体 20 を保護する

30

40

50

。ドレイン側では、側壁スペーサ 24 の下の半導体層 16 の部分は、清浄のために用いられる化学物質からゲート誘電体 20 を保護する。ソースおよびドレインの両側で、側壁スペーサ 24 は、清浄のために用いられる化学物質からゲート誘電体 20 を保護する。半導体領域 36 および 38 は、その場 (in situ) でドーピングされ、それらは、成長中に、P または N の所望の伝導タイプにドーピングされる。P 型に関しては、その場 (in situ) ドーピングは、典型的にはホウ素がドーピングされ、N 型の場合には、燐またはヒ素もしくは両者がドーピングされる。一般的なトランジスタ形成では、半導体領域 36 および 38 は、ドーピング領域 28 と同じ伝導タイプとなるように形成される。このような場合では、半導体領域 36、および、ドーピング領域 28 の残りの部分は、ソースとして機能するのに好適な連続した伝導タイプを形成する。先に記載したアニール段階と置換するアニールの段階は、半導体領域 36 および 38 が成長した後に実行されるが、それは、ひずみを緩和させ、または、過剰なドーパントの拡散を生じさせるリスクがある。かくして、アニールは、半導体領域 36 および 38 を成長させる前に実行されるのが一般的には好ましい。

10

【0010】

図 6 は、スペーサ 24 の側壁上に側壁スペーサ 40 を形成した後の半導体デバイス 10 を示す。側壁スペーサ 40 は、ナイトライドであるのが好ましいが、他の材料または材料の組み合わせであってもよい。側壁スペーサ 40 は、側壁スペーサ 24 よりも厚いのが好ましい。ある例では、もっとも厚いポイントで、側方の厚さは約 400 オングストロームである。

【0011】

20

図 7 は、半導体領域 36 および 38 の頂部表面上にシリサイド領域 42 および 44 を形成した後の半導体デバイス 10 を示す。側壁スペーサは、在来の仕方で、シリサイドからゲート誘電体およびチャネルを保護する。インプラネーションのようなもので形成された深いソース/ドレインは、シリサイド形成の前に伝導される。インターレイヤー誘電層およびコンタクト層を形成するような更なるプロセスが続く。

【0012】

別の実施形態では、ドレイン側保護層は、ゲートスタック形成の後、ソース側だけにドーピングされた領域を形成するために適用される。図 8 は、ソース側を露出させ、ドレイン側を被覆するようにパターニングされたフォトリソ層 50 を備えた図 1 の半導体デバイスを示す。インプラントおよびアニールは、フォトリソパターニングの後に実行される。パターニングされたフォトリソ層 50 のマスキングをするために、インプラントおよびアニールによって、図 3 に示したようなドーピング領域 28 が生じるが、ドレイン側にはドーピング領域はない。プロセスは、ソース/ドレイン・ストレッサーを備えた半導体デバイスを達成するために、図 4 乃至 7 に示したように続く。ドレインとして機能する半導体領域 38 とドレイン側のゲート 22 のエッジとの間にスペースがあるけれども、これは、追加の問題を呈するものではない。作動中、電圧がゲートおよびドレインに印加され、それにより、ソースでの静電ポテンシャルバリアを克服するキャリアが生じる。ドレインがゲートによって生じたチャネルのインバージョン (inversion) から遠すぎない限り、伝導の出だしは、ドレイン側によって少し影響を受ける。側壁スペーサ 24 の下のスペースは、少しの抵抗を加えるが、この不利益は、ゲートから更に遠くに間隔が隔てられたドレインによる寄生容量における低減によって相殺される。

30

40

【0013】

ここで、半導体デバイスが、ストレッサーを成長させるための準備中に清浄するために露出されないようにゲート誘電体がチャネルの近位にあるストレッサーを備えることを理解すべきである。あるストレッサーは、ドレイン・チャネル・インターフェースであり、他のストレッサーが側壁スペーサ 24 の厚さに関して、短い距離だけチャネルから間隔が隔てられているので、実際にチャネルに近位である。チャネルに対するこの近接は、チャネルから更に離れているストレッサーと比べて、応力を増大させる。

【0014】

更に、特許請求の範囲における用語「前」、「後ろ」、「底」、「上」、「下」および

50

同様な記載は、たとえあるとしても、記述的な目的で用いられているものであり、相対的な位置を永久に記載するための必要があるものではない。かかる用語は、適当な状況下で置換可能に用いることができ、ここに記載した本発明の実施形態は、例えば、それらの例示またはさもなければここに記載したものとは異なる方位で実装することが可能である。

【0015】

本発明を特定の実施形態を参照してここに記載してきたけれども、以下の特許請求の範囲に係る本願発明の範囲を逸脱することなく種々の修正及び変更が可能である。例えば、他の材料を用いることも可能である。半導体層は、それ自身が複数の層であってもよい。かかる例示は、シリコン層の直接上にSiGe層を備えたシリコン層であってもよい。かかるケースでは、レセスを形成するエッチングは、SiGeおよびシリコンの双方を除去しうる。SiGeは、シリコンとSiGeの組み合わせを置換して再成長しうる。また、インジウムまたはBF₂が、P型ドーピングとして用いられ、アンチモンがN型ドーピングとして用いられうる。したがって、明細書および図面は、限定する意味ではなく、例示として判断されるべきであり、かかる全ての修正は本願発明の範囲内に含まれるものである。特定の実施形態に関してここに記載されたいかなる利点、長所または課題解決も、特許請求の範囲全体の臨界的な要求として判断されるものではない。

【0016】

更に、ここで用いられる用語「ある」(“a”または“an”)は、1またはそれ以上のものをあらわす。また、特許請求の範囲における「少なくとも一つ」および「1またはそれ以上」という表現の使用は、不明確な発明特定事項を暗示するものではなく、用語「ある」(“a”または“an”)と同様のものをあらわすものである。いずれも発明特定事項を確定するのに用いられるものである。

【0017】

用語「第1の」および「第2の」は、かかる用語を記載する要素間を任意に区別するのに用いるものである。

【図面の簡単な説明】

【0018】

【図1】ある実施形態におけるプロセスの段階での半導体デバイスの断面図である。

【図2】プロセスの引き続きの段階での図1の半導体デバイスの断面図である。

【図3】プロセスの引き続きの段階での図2の半導体デバイスの断面図である。

【図4】プロセスの引き続きの段階での図3の半導体デバイスの断面図である。

【図5】プロセスの引き続きの段階での図4の半導体デバイスの断面図である。

【図6】プロセスの引き続きの段階での図1の半導体デバイスの断面図である。

【図7】プロセスの引き続きの段階での図6の半導体デバイスの断面図である。

【図8】別の実施形態におけるプロセスの段階での図1のものと同様な半導体デバイスの断面図である。

10

20

30

【図 1】

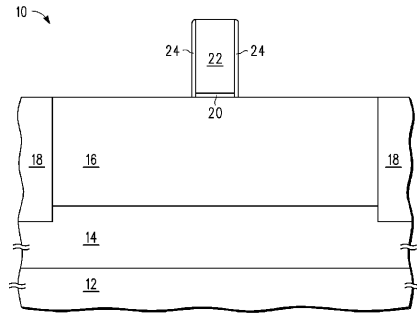


FIG. 1

【図 2】

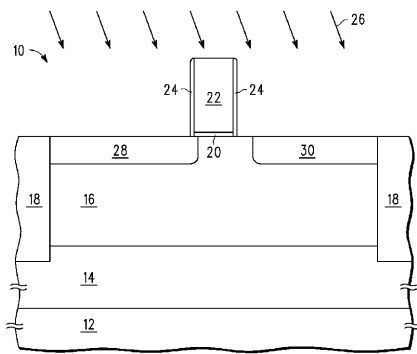


FIG. 2

【図 3】

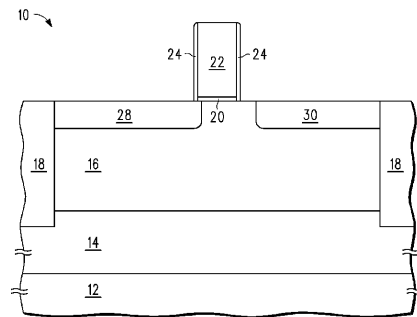


FIG. 3

【図 4】

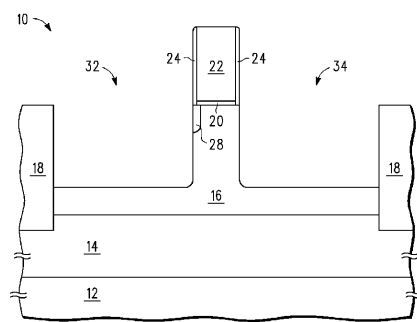


FIG. 4

【図 5】

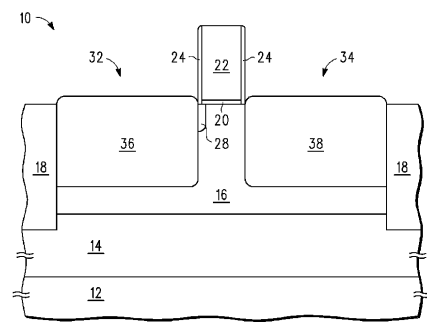


FIG. 5

【図 7】

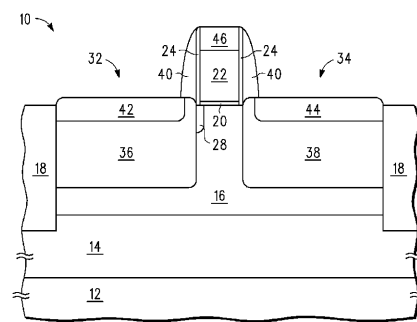


FIG. 7

【図 6】

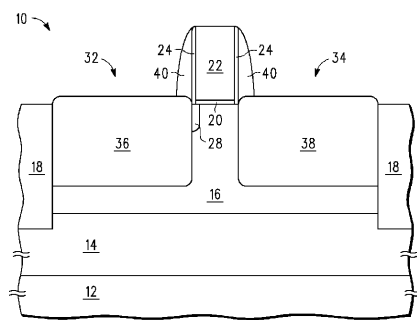


FIG. 6

【図 8】

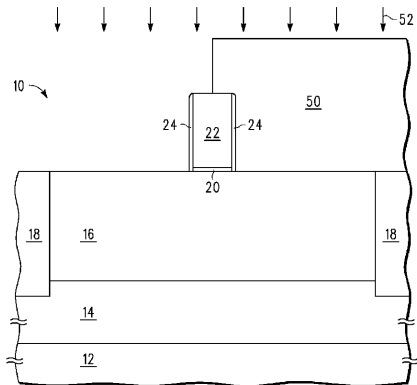


FIG. 8

フロントページの続き

(74)代理人 100096013

弁理士 富田 博行

(74)代理人 100147681

弁理士 夫馬 直樹

(72)発明者 チャン, ダ

アメリカ合衆国テキサス州 78717, オースティン, カサンドラ・ドライブ 10137

(72)発明者 ウィンステッド, ブライアン・エイ

アメリカ合衆国テキサス州 78756, オースティン, ジョー・セイヤーズ・アベニュー 5709

審査官 綿引 隆

(56)参考文献 特開昭 63 - 013378 (JP, A)

特開平 09 - 092825 (JP, A)

特開平 03 - 155676 (JP, A)

特開平 04 - 023329 (JP, A)

特開 2006 - 013082 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/336

H01L 29/78

H01L 29/786