

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 23 年 8 月 18 日 (2011.8.18)

【公開番号】特開 2010-73893 (P2010-73893A)

【公開日】平成 22 年 4 月 2 日 (2010.4.2)

【年通号数】公開・登録公報 2010-013

【出願番号】特願 2008-239751 (P2008-239751)

【国際特許分類】

H 0 1 L 25/065 (2006.01)

H 0 1 L 25/07 (2006.01)

H 0 1 L 25/18 (2006.01)

【F I】

H 0 1 L 25/08 Z

【手続補正書】

【提出日】平成 23 年 6 月 30 日 (2011.6.30)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

開口部を有し、該開口部の周囲にリード部が櫛歯状に延在するように成形されたリードフレームと、

前記リードフレームの開口部に、フェイスダウンの態様で配置された第 1 の半導体素子と、

前記第 1 の半導体素子上にフェイスアップの態様で搭載され、その電極パッドがワイヤを介して前記リードフレームのリード部に接続された第 2 の半導体素子と、

前記第 1 の半導体素子及び前記リードフレームをその一面側に搭載する態様で設けられた積層配線層と、

前記積層配線層上の前記リードフレームと前記第 1、第 2 の半導体素子及び前記ワイヤを埋め込むように形成された封止樹脂層とを備え、

前記積層配線層は、前記第 1 の半導体素子の電極パッド及び前記リードフレームのリード部からそれぞれ引き出された配線パターンが、前記積層配線層の他面側に設けられるパッド部と電氣的に繋がるようにそれぞれパターン形成された複数の配線層を含むことを特徴とする半導体装置。

【請求項 2】

前記リードフレームの開口部は、前記第 1 の半導体素子が配置される第 1 の開口部と、その周囲にリード部が櫛歯状に延在するように成形された第 2 の開口部とを有し、

前記第 2 の半導体素子は、前記第 1 の半導体素子より大きいサイズを有し、その周辺部分が前記第 1、第 2 の開口部間のリードフレーム部分で支持された構造を有することを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記第 2 の半導体素子は、前記第 1 の半導体素子より大きいサイズを有し、その周辺部分が前記リードフレームの各リード部で支持された構造を有することを特徴とする請求項 1 に記載の半導体装置。

【請求項 4】

前記第 1 の半導体素子として複数個の半導体素子が、前記リードフレームの開口部に並

設されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 5】

前記第 1、第 2 の各半導体素子の厚さは、前記リードフレームのリード部の厚さと同じであることを特徴とする請求項 1 に記載の半導体装置。

【請求項 6】

開口部を有し、該開口部の周囲にリード部が櫛歯状に延在するように成形されたリードフレームを、フィルム状の基材に貼り付けたものを用意する工程と、

前記基材上の、前記リードフレームの開口部に対応する部分に、第 1 の半導体素子をフェイスダウンの態様で搭載する工程と、

前記第 1 の半導体素子上に第 2 の半導体素子をフェイスアップの態様で搭載し、さらに該第 2 の半導体素子の電極パッドと前記リードフレームのリード部とをワイヤにより接続する工程と、

前記基材上の前記リードフレームと前記第 1、第 2 の半導体素子及び前記ワイヤを埋め込むように封止樹脂で封止する工程と、

前記基材を除去する工程と、

前記第 1 の半導体素子の電極パッド及び前記リードフレームのリード部からそれぞれ配線パターンをひき出し、以降、所要の数の配線層を積層する工程であって、前記配線パターンが、積層後の配線層の露出する面側に設けられるパッド部と電氣的に繋がるように各配線層を積層する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 7】

前記リードフレームを前記基材に貼り付けたものを用意する工程において、前記リードフレームを、第 1 の半導体素子が配置される第 1 の開口部と、その周囲に前記リード部が櫛歯状に延在するように成形された第 2 の開口部とを有するように成形し、

前記第 1 の半導体素子上に前記第 2 の半導体素子を搭載し、さらに該第 2 の半導体素子の電極パッドと前記リードフレームのリード部とをワイヤにより接続する工程において、前記第 1 の半導体素子より大きいサイズを有した第 2 の半導体素子を、その周辺部分を前記第 1、第 2 の開口部間のリードフレーム部分上に位置合わせして搭載することを特徴とする請求項 6 に記載の半導体装置の製造方法。

【請求項 8】

前記第 1 の半導体素子上に前記第 2 の半導体素子を搭載し、さらに該第 2 の半導体素子の電極パッドと前記リードフレームのリード部とをワイヤにより接続する工程において、前記第 1 の半導体素子より大きいサイズを有した第 2 の半導体素子を、その周辺部分を前記リードフレームの各リード部上に位置合わせして搭載することを特徴とする請求項 6 に記載の半導体装置の製造方法。

【請求項 9】

前記第 1 の半導体素子を搭載する工程において、前記基材上の、前記リードフレームの開口部に対応する部分に、該第 1 の半導体素子として複数個の半導体素子を並設することを特徴とする請求項 6 に記載の半導体装置の製造方法。

【請求項 10】

前記第 1、第 2 の各半導体素子の厚さは、前記リードフレームのリード部の厚さと同じであることを特徴とする請求項 6 に記載の半導体装置の製造方法。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0005

【補正方法】変更

【補正の内容】

【0005】

かかる従来技術に関連する技術としては、例えば、特許文献 1 に記載された半導体装置及びその製造方法がある。また、特許文献 2 に記載された半導体装置及びその製造方法、特許文献 3 に記載された半導体装置、特許文献 4 に記載された半導体装置がある。

【特許文献 1】特開 2 0 0 6 - 2 6 1 5 0 9 号公報

【特許文献 2】特開 2 0 0 8 - 9 1 4 1 8 号公報

【特許文献 3】特開 2 0 0 2 - 8 3 9 0 2 号公報

【特許文献 4】特開昭 6 0 - 1 8 2 7 3 1 号公報

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0 0 8 1

【補正方法】変更

【補正の内容】

【0 0 8 1】

この後（図 9（c）～図 10（d）の工程）、上述した図 3（c）～図 4（d）の工程で行った処理と同じ処理を経て、本実施形態の半導体装置 7 0（図 7）が製造される。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0 0 9 4

【補正方法】変更

【補正の内容】

【0 0 9 4】

次の工程では（図 15（b）参照）、図 3（b）の工程で行った処理と同様にして、下側チップ 30 上に、上側チップ 32 a を、その電極パッド 33 a が形成されている側の面を上にしたフェイスアップの態様で搭載する。その際、上側チップ 32 a の周辺部分をリードフレーム 20 b のリード部 22 の先端部上に位置合わせし、各チップ 30、32 a の裏面に付着しているダイ・アタッチ・フィルムの粘着性を利用して各チップ 30、32 a を規定の位置に保持する。さらに、上側チップ 32 a の電極パッド 33 a とリードフレーム 20 b の対応するリード部 22 とをボンディングワイヤ 34 a により接続する。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0 0 9 5

【補正方法】変更

【補正の内容】

【0 0 9 5】

この後（図 15（c）～図 16（d）の工程）、上述した図 3（c）～図 4（d）の工程で行った処理と同じ処理を経ることで、本実施形態の半導体装置 8 0（図 13）が製造される。