



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I511144 B

(45)公告日：中華民國 104 (2015) 年 12 月 01 日

(21)申請案號：104111003

(22)申請日：中華民國 104 (2015) 年 04 月 02 日

(51)Int. Cl. : G11C17/16 (2006.01)

(30)優先權：2014/04/03 美國

14/244,499

(71)申請人：席登斯公司 (加拿大) SIDENSE CORP. (CA)

加拿大

(72)發明人：庫加諾維克茲 伍洛德克 KURJANOWICZ, WLODEK (CA)

(74)代理人：林志剛

(56)參考文獻：

TW 200629543

TW 201208040A1

CN 102376358A

US 6933557B2

US 2009/0250726A1

WO 2009/121182A1

審查人員：劉耀允

申請專利範圍項數：17 項 圖式數：27 共 76 頁

(54)名稱

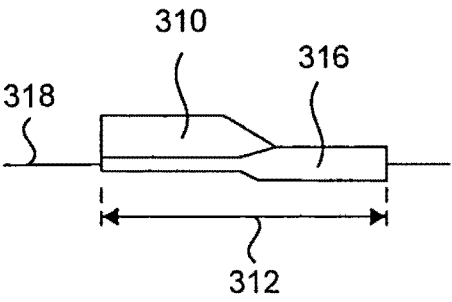
抗熔絲記憶單元

ANTI-FUSE MEMORY CELL

(57)摘要

一種具有可變厚度閘極氧化物之抗熔絲記憶單元。藉由於抗熔絲記憶單元之通道區上沉積第一氧化物、移除通道區之薄氧化物區域中第一氧化物、及接著於薄氧化物區域中熱生長第二氧化物，而形成可變厚度閘極氧化物。剩餘第一氧化物定義通道區之厚氧化物區域。第二氧化物生長發生於剩餘第一氧化物之下，但速率小於薄氧化物區域中熱氧化物生長。此導致厚氧化物區域中第一氧化物及第二氧化物之組合厚度大於薄氧化物區域中第二氧化物。

An anti-fuse memory cell having a variable thickness gate oxide. The variable thickness gate oxide is formed by depositing a first oxide over a channel region of the anti-fuse memory cell, removing the first oxide in a thin oxide area of the channel region, and then thermally growing a second oxide in the thin oxide area. The remaining first oxide defines a thick oxide area of the channel region. The second oxide growth occurs under the remaining first oxide, but at a rate less than thermal oxide growth in the thin oxide area. This results in a combined thickness of the first oxide and the second oxide in the thick oxide area being greater than second oxide in the thin oxide area.



- 310 . . . 中間閘極氧化物
- 312 . . . 通道區
- 316 . . . 熱氧化物
- 318 . . . 基板表面

發明摘要

※申請案號：104111003

※申請日：104 年 04 月 02 日

※IPC 分類：G11C 17/16 (2006.01)

【發明名稱】(中文/英文)

抗熔絲記憶單元

Anti-fuse memory cell

【中文】

一種具有可變厚度閘極氧化物之抗熔絲記憶單元。藉由抗熔絲記憶單元之通道區上沉積第一氧化物、移除通道區之薄氧化物區域中第一氧化物、及接著於薄氧化物區域中熱生長第二氧化物，而形成可變厚度閘極氧化物。剩餘第一氧化物定義通道區之厚氧化物區域。第二氧化物生長發生於剩餘第一氧化物之下，但速率小於薄氧化物區域中熱氧化物生長。此導致厚氧化物區域中第一氧化物及第二氧化物之組合厚度大於薄氧化物區域中第二氧化物。

【 英文 】

An anti-fuse memory cell having a variable thickness gate oxide. The variable thickness gate oxide is formed by depositing a first oxide over a channel region of the anti-fuse memory cell, removing the first oxide in a thin oxide area of the channel region, and then thermally growing a second oxide in the thin oxide area. The remaining first oxide defines a thick oxide area of the channel region. The second oxide growth occurs under the remaining first oxide, but at a rate less than thermal oxide growth in the thin oxide area. This results in a combined thickness of the first oxide and the second oxide in the thick oxide area being greater than second oxide in the thin oxide area.

【代表圖】

【本案指定代表圖】：第(8C)圖。

【本代表圖之符號簡單說明】：

310：中間閘極氧化物

312：通道區

316：熱氧化物

318：基板表面

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

抗熔絲記憶單元

Anti-fuse memory cell

【技術領域】

[0001] 本發明大體上關於非揮發性記憶體。更具體地，本發明指向抗熔絲記憶單元結構。

【先前技術】

[0002] 在過去 30 年來，抗熔絲技術已吸引許多發明者、IC 設計者及製造商之顯著注意。抗熔絲為可改變為導電狀態之結構，或換言之，從非導電改變為導電狀態之電子裝置。同樣地，二元狀態可為回應於電應力之高電阻及低電阻之一，諸如編程電壓或電流。有許多嘗試開發及施加抗熔絲於微電子產業，但迄今最成功之抗熔絲應用可見於「Actel」及「Quicklogic」製造之 FGPA 裝置，及「Micron」用於 DRAM 裝置中之冗餘或選項編程。

[0003] 抗熔絲開發之進展總結依循如發表之美國專利所證明。

[0004] 抗熔絲技術開發始自美國專利 No. 3,423,646，其揭露薄膜可形成二極體 PROM，建造如水平及垂直導體陣列，在其交叉之導體間具有薄介電質（氧化鋁）。該

等 NVM 記憶體經由貫穿若干交叉之介電質而予編程。可形成二極體將做為開路，直至充分大電壓及期間施加於交叉而造成氧化鋁中間層形成為止，其中時間裝置將做為隧道二極體。

[0005] 美國專利 No. 3,634,929 揭露內金屬半導體抗熔絲陣列，抗熔絲之結構包含薄介電質電容器（ AlO_2 、 SiO_2 或 Si_3N_4 ），利用二（Al）導體設於其上並連接至半導體二極體。

[0006] 美國專利 No. 4,322,822（McPherson）中顯示使用 MOS 電容器及 MOS 切換元件之可編程介電質 ROM 記憶體結構。此單元形成做為標準基板電容器上閘極氧化物，其具有使用埋藏接點連接至 MOS 電晶體之閘極。為降低氧化物崩潰電壓，抗熔絲電容器所需小於 MOS 開關，建議電容器區域中之 V 形槽。由於電容器係形成於多晶閘極及接地 p 型基板之間，破壞電壓需經過存取電晶體而施加於電容器。存取電晶體之閘極／汲極及閘極／源極邊緣係設於第二場氧化物，遠厚於通道區域中之閘極氧化物，此大為改進閘極／S-D 崩潰電壓。

[0007] 美國專利 No. 4,507,757（McElroy）建議經由突崩接面崩潰降低閘極氧化物崩潰電壓之方法。儘管原始 McElroy 想法以使用閘控二極體為中心而本地引發突崩崩潰，其依次藉由增強電子穿隧降低介電質破壞電壓，他實際上引進或體現其他及可能更重要元件至抗熔絲技術：

（a）雙閘極氧化物抗熔絲：較抗熔絲介電質厚之存取電

晶體閘極氧化物。McElroy 之雙閘極氧化物處理步驟為：初始閘極氧化，蝕刻較薄閘極氧化物及後續閘極氧化之區域。此程序現在用於「I/O」及「IT」裝置之標準 CMOS 技術。（b）「共同閘極」（平面 DRAM 型）抗熔絲連接，其中存取電晶體連接至抗熔絲擴散（汲極）節點，且所有抗熔絲閘極連接在一起。此與 McPherson 配置相反，並由於埋藏接點被排除而導致更密集單元。（c）共同抗熔絲閘極及外部接地間之有限電阻器。（d）二端子抗熔絲 MOS 裝置（半電晶體）：McElroy 推斷抗熔絲電容器中僅需二端子：D 及 G。源極實際上不需用於抗熔絲編程或作業，並可與作用區域完全隔離。除了突崩崩潰外，塊連接未扮演任何角色。所以源極角色侷限於收集來自突崩崩潰之載子，本地基板電位增加以順向偏壓由 D、B 及 S 形成之寄生 n-p-n 裝置之射極。

[0008] 直至 1985 年，美國專利 No. 4,543,594 (Mohsen) 建議抗熔絲設計適於冗餘修復。因為該等應用需要較 PROM 更低密度，其易於供應破壞氧化物所需外部高電壓，此電壓實際上未通過存取電晶體。Mohsen 之抗熔絲結構包含摻雜區上薄氧化物（50-150Å SiO₂）多晶矽電容器。他相信矽來自基板或矽來自電極，其中多晶矽電極將熔體用於絕緣層之針孔中以提供導體，且其測試資料顯示其中氧化物層約 100Å 厚並具有 10 至 500 μm^2 間之面積，熔化發生於 12 至 16 伏電壓。造成此熔化所需電流小於 0.1 $\mu\text{A}/\mu\text{m}^2$ 電容器區域，且結果融化鏈路具有約 0.5 至

2K 歐姆電阻。一旦鏈路熔化，在其恢復為敞露熔絲之前，室溫下約一秒可處理 100 毫安之電流。考量電子遷移耗損，一旦熔化，鏈路之預測耗損壽命時間實質上大於 $3E8$ 小時。

[0009] 電流應力下抗熔絲自恢復之可能性出現成為於 PROM、PLD 及 FPGA 之區域應用此技術之主要障礙，其中需要恆定熔化應力。抗熔絲恢復問題之後由 Mohsen 及「Actel」其他人於美國專利 No. 4,823,181 中解決。「Actel」使用 ONO 結構而非二氧化矽而實施可靠可編程低阻抗抗熔絲元件。「Actel」的方法需要介電質破壞後之歐姆接觸。此可藉由使用重度摻雜擴散或將 ONO 介電質置於二金屬電極（或矽化物層）之間而達成。之後在美國專利 No. 4,899,205 中修正砷摻雜底部擴散電極之必要性，其中允許頂部聚合或底部擴散重度摻雜。

[0010] 美國專利 No. 5,019,878 提及，若汲極為矽化物，從汲極至源極之 10 至 50 伏範圍之編程電壓應用可靠地形成跨越通道區之熔體絲。閘極電壓可施加於熔體以控制特定電晶體。藉由於美國專利 No. 5,672,994 中提議通道抗熔絲，IBM 發現類似效果。他們發現基於 $0.5\mu\text{m}$ 技術，nmos 電晶體之 $BVDSS$ 不僅大約 6.5V，而且一旦發生 S-D 衝孔則製造永久損害，導致源極及汲極間數千歐姆洩漏。

[0011] 「Micron」之美國專利 No. 5,241,496 及 No. 5,110,754 揭露基於 DRAM 單元之抗熔絲（凹槽及堆

疊)。在 1996 年，「Micron」引進井對閘極電容器做為美國專利 No. 5,742,555 中之抗熔絲。美國專利 No. 6,087,707 建議 N 井耦接抗熔絲，做為排除與多晶矽蝕刻相關聯之過切缺陷的方法。美國專利申請案 No. 2002/0027,822 建議類似抗熔絲結構，但基於移除 n+區以製造使用 N 井做為汲極電極之不對稱（「不平衡」）高電壓存取電晶體。

[0012] 美國專利 No. 6,515,344 建議一系列 P+/N+抗熔絲組態，於二相反型擴散區間使用最小尺寸閘極而予實施。

[0013] 美國專利中有建議使用標準深 N 井程序裝入隔離 P 井中之 nmos 抗熔絲。美國專利 No. 6,611,040 中揭露基於深 N 井之抗熔絲的另一變體。

[0014] 美國專利申請公開案 No. 2002,0074,616 及 No. 2004,0023,440 揭露其他深 N 井抗熔絲。該些抗熔絲包含採用直接隧道電流而非隧穿電流之電容器。該些申請案確認抗熔絲性能一般針對較薄閘極氧化物電容器（約 20Å，其典型用於 0.13μm 製程之電晶體）而改進。

[0015] 美國專利 No. 6,580,145 揭露利用雙閘極氧化物之傳統抗熔絲結構的新版本，具有用於 nmos（或 pmos）存取電晶體之較厚閘極氧化物及用於電容器之較薄閘極氧化物。N 井（或 P 井）用作抗熔絲電容器之底板。

[0016] 美國專利 No. 6,597,234 中揭露藉由分別打破電晶體之 S-G 及 D-G 介電質區而製造源極、汲極經由閘

極短路的想法。

[0017] 美國專利公開案 No. 20040004269 揭露從具有連接至電容器閘極之閘極的 MOS 電晶體裝入之抗熔絲，藉由較薄閘極氧化物及經由額外植入之通道（二極體）下重度摻雜而退化。破壞電壓施加於電容器之底板。

[0018] 在美國專利 No. 6,667,902 (Peng) 中，Peng 嘗試藉由導入「列程式線」，其連接至電容器並平行於字線運行，而改進典型平面 DRAM 型抗熔絲陣列。若解碼，列程式線可最小化存取電晶體暴露至高編程電壓，否則將經由已編程單元發生。Peng 及 Fong 於美國專利 No. 6,671,040 中藉由增加可變電壓控制編程電流，其控制閘極氧化物崩潰程度並允許多級或類比儲存應用，而進一步改進其陣列。

[0019] 最近，美國專利申請公開案 No. 2003/0202376 (Peng) 顯示使用單一電晶體結構之記憶體陣列。在建議之記憶單元中，Peng 排除從正規 NMOS 電晶體擴散之 LDD。交叉點陣列結構係由水平作用區域 (S/D) 鑲條交叉垂直多晶閘極鑲條形成。汲極接點係於相鄰單元間共用並連接至水平字線。源極區亦為共用及浮動。Peng 假設若省略 LDD 擴散，閘極氧化物崩潰位置將距汲極區域夠遠，且將製造本地 N+區而非 D-G (汲極-閘極) 短路。若製造該區，可由順向偏壓閘極檢測編程單元並感測閘極至汲極電流。為減少 G-D 或 S-D (源極-汲極) 短路可能性，Peng 建議經由修改閘極側壁氧化程序，增加 G-D 及 S-

D 邊緣之閘極氧化物厚度。Peng 之陣列要求源極區及汲極區呈現於記憶單元中，列字線耦接至電晶體汲極區，及從電晶體閘極形成行位元線。該等異常連接必須針對 Peng 之編程及讀取方法，要求解碼之高電壓（1.8V 程序中 8V）施加於所有汲極線，除了一將編程者外。解碼之高電壓（8V）施加於將編程之行的閘極，同時其他閘極保持 3.3V。

[0020] 儘管 Peng 達成交叉點記憶體架構，其陣列要求 CMOS 處理修改（LDD 排除、邊緣之較厚閘極氧化物），並具有下列缺點：（a）所有列解碼器、行解碼器及感應放大器必須切換廣泛電壓：8V/3.3V/0V 或 8V/1.8V/0V。（b）在編程作業期間，3.3V 行驅動器經由編程單元而有效地短路至 8V 列驅動器或 0V 驅動器。此將許多限制置於陣列尺寸，影響驅動器尺寸並衝擊編程可靠性及有效性。（c）每一編程作業要求所有陣列作用區域（除了編程列外）偏壓 8V。此導致大 N++ 接面洩漏電流，並再次限制陣列尺寸。（d）假設閘極氧化物斷裂點設於距汲極區域夠遠，所以在 8V 偏壓未發生穿通。在此同時，電晶體必須正確地以 1.8V 偏壓（連接至通道區域）作業。此無顯著處理修改則無法達成。（e）Peng 假設若 LDD 未出現，則在源極或汲極邊緣閘極氧化物將不會打破。然而，在本技藝中已知，S/D 邊緣最有可能為氧化物崩潰位置，因為缺陷及電場集中環繞銳邊。

[0021] Peng 於美國專利申請公開案 No. 2003/0206467

中嘗試解決若干高電壓切換問題。字線及位元線上高阻遏電壓現在以「浮動」字線及位元線取代，且通道至源極及汲極區之距離限制已改變。儘管浮動字線及位元線可以高電壓切換簡化問題，卻未解決任何上述根本問題。此外，其引進切換及浮動線間之嚴重耦接問題。

[0022] 美國專利申請公開案 No. 20060292755 (Parris) 引進井對閘極電容器做為抗熔絲元件，具有在藉由局部氧化物崩潰（或破裂）之區域而增加抗熔絲元件之編程可靠性的嘗試中，經由熱氧化物程序而形成之可調、可變閘極氧化物厚度。藉由感測井中電流，其從頂板經由氧化物崩潰區中編程導電連接進入做為底板之井，而檢測 Parris 的抗熔絲電容器之狀態。因此，由於 Parris 的抗熔絲電容器不具有「通道」區，而無法做為電晶體。因為井感測方案，Parris 提出每一抗熔絲電容器係形成於隔離井中，同時相應存取電晶體係形成於井外。由於依據最小設計規則需求，存取電晶體必須與井相隔，該等設計將不適於高密度應用。因而，Parris 的記憶體陣列具有低區域效率。

[0023] 今天，抗熔絲開發集中圍繞 3 維薄膜結構及特殊內金屬材料。所有該些抗熔絲技術需要不存在於標準 CMOS 程序之額外處理步驟，阻止實體 VLSI 及 ASIC 設計中之抗熔絲應用，其中可編程性可協助克服具有不斷縮短的裝置壽命週期及不斷上升的晶片開發成本之問題。因此，產業中顯然需要利用標準 CMOS 程序之可靠抗熔絲結

構。

[0024] 所有習知技藝抗熔絲單元及陣列需要特殊處理步驟或歷經 MOS 切換元件暴露高電壓，導致可製造性及可靠性問題。除了 Peng 之單一電晶體單元外，其亦侷限於低密度記憶體應用，依次具有極不確定之可製造性。

[0025] 因此，希望提供簡單及可靠、高密度、抗熔絲陣列架構，適於以標準 CMOS 技術實施，不需任何額外處理步驟。

【發明內容】

[0026] 本發明之目標為藉由提供抗熔絲記憶單元，其藉由最小化基板之多晶矽閘極及作用區域間形成之可變厚度閘極氧化物之薄閘極氧化物區域而具有高可靠性，以排除或緩和先前抗熔絲陣列之至少一缺點。

[0027] 在第一觀點中，提供一種形成抗熔絲電晶體之可變厚度閘極氧化物之方法。該方法包括於抗熔絲電晶體之通道區中生長第一氧化物；從通道區之薄氧化物區域移除第一氧化物；於薄氧化物區域中及第一氧化物下通道區之厚閘極氧化物區域中熱生長第二氧化物，且厚閘極氧化物區域中第一氧化物及第二氧化物之組合具有大於薄氧化物區域中第二氧化物之厚度；以及鄰近厚氧化物區域形成擴散區，用於接收來自通道區之電流。依據第一觀點之一實施例，第一氧化物下之第二氧化物較薄氧化物區域中之第二氧化物薄。依據第一觀點之另一實施例，方法進一

步包括形成與擴散區電接觸之位元線接點，當通道及共同閘極間形成導電連接時，用於感測來自共同閘極之電流。

[0028] 在第一觀點之又另一實施例中，熱生長包括於薄氧化物區域中以第一速率生長第二氧化物，及於厚閘極氧化物區域中以小於第一速率之第二速率生長第二氧化物。在本實施例中，於薄氧化物區域中以第一速率生長第二氧化物包括消耗薄氧化物區域之基板表面至第一深度，及於厚閘極氧化物區域中生長第二氧化物包括消耗厚閘極氧化物區域之基板表面至小於第一深度之第二深度。熱生長可進一步包括於厚閘極氧化物區域及薄閘極氧化物區域之間形成角氧化物區域，其中角氧化物區域具有厚度與厚閘極氧化物區域中第一氧化物及第二氧化物之組合不同，及與薄氧化物區域中第二氧化物不同。在本實施例中，方法進一步包括於第一氧化物、第二氧化物、及角氧化物區域上形成共同閘極。

[0029] 在第二觀點中，提供一種抗熔絲記憶單元，具有可變厚度閘極氧化物。抗熔絲記憶單元包括基板中之通道區、第一氧化物、第二氧化物、擴散區、絕緣、及第一氧化物及第二氧化物上之閘極。第一氧化物係形成於通道區之厚氧化物區域中。第二氧化物係形成於通道區之薄氧化物區域中及在第一氧化物下之厚氧化物區域中。擴散區鄰近厚氧化物區域，用於接收來自通道區之電流。絕緣鄰近薄閘極氧化物區域。閘極係形成於第一氧化物及第二氧化物之上。

[0030] 依據第二觀點之實施例，第一氧化物下之第二氧化物較薄氧化物區域中之第二氧化物薄，且厚氧化物區域中第一氧化物及第二氧化物之組合具有大於薄氧化物區域中第二氧化物之厚度。在本實施例中，薄氧化物區域中之第二氧化物延伸進入基板至第一深度，及厚氧化物區域中之第二氧化物延伸進入基板至小於第一深度之第二深度。

[0031] 依據第二觀點之另一實施例，抗熔絲記憶單元進一步包括厚閘極氧化物區域及薄閘極氧化物區域間之角氧化物區域，其中角氧化物區域具有厚度與厚閘極氧化物區域中第一氧化物及第二氧化物之組合不同，及與薄氧化物區域中第二氧化物不同。

[0032] 在第二觀點之進一步實施例中，閘極連接至字線及擴散區連接至位元線。另一方面，抗熔絲記憶單元包括鄰近擴散區之存取電晶體，及鄰近存取電晶體之另一擴散區，且另一擴散區連接至位元線。在本特別實施例中，存取電晶體具有閘極氧化物厚度，相應於厚閘極氧化物區域中第一氧化物及第二氧化物之組合。

[0033] 檢視本發明之特定實施例之下列描述結合附圖，本發明之其他觀點及特徵對於本技藝中一般技術之人士將變得顯而易見。

【圖式簡單說明】

[0034] 現在將僅藉由範例參照附圖描述本發明之實

施例，其中：

[0035] 圖 1 為 DRAM 型抗熔絲單元之電路圖；

[0036] 圖 2 為圖 1 之 DRAM 型抗熔絲單元之平面布局；

[0037] 圖 3 為圖 2 沿線 x-x 之 DRAM 型抗熔絲單元之截面圖；

[0038] 圖 4 為依據本發明之實施例之抗熔絲電晶體之截面圖；

[0039] 圖 5A 為圖 4 之抗熔絲電晶體之平面布局；

[0040] 圖 5B 為圖 4 之抗熔絲電晶體之平面布局，顯示替代 OD2 遮罩組態；

[0041] 圖 6 為形成本發明之抗熔絲電晶體之可變厚度閘極氧化物之方法流程圖；

[0042] 圖 7A-7C 描繪依據圖 6 之流程圖步驟，可變厚度閘極氧化物之形成；

[0043] 圖 8A-8C 描繪可變厚度閘極氧化物之替代形成方法；

[0044] 圖 9 為圖 8C 中所示之可變厚度閘極氧化物之放大描繪；

[0045] 圖 10 為依據圖 8A-8C 中所示之替代製造方法製造之抗熔絲電晶體記憶單元之截面圖；

[0046] 圖 11A 為依據本發明之實施例之抗熔絲電晶體之平面布局；

[0047] 圖 11B 為圖 11A 沿線 A-A 之抗熔絲電晶體之

截面圖；

[0048] 圖 12 為圖 11A 之抗熔絲電晶體之放大平面布局；

[0049] 圖 13 為依據本發明之實施例之使用圖 11A 之抗熔絲電晶體之記憶體陣列之平面布局；

[0050] 圖 14 為依據本發明之另一實施例之抗熔絲電晶體之放大平面布局；

[0051] 圖 15 為依據本發明之實施例之使用圖 14 之抗熔絲電晶體之記憶體陣列之平面布局；

[0052] 圖 16A 為依據本發明之實施例之二電晶體抗熔絲記憶單元之平面布局；

[0053] 圖 16B 為圖 16A 沿線 B-B 之二電晶體抗熔絲記憶單元之截面圖；

[0054] 圖 16C 為使用熱氧化物程序形成之替代二電晶體抗熔絲記憶單元之截面圖；

[0055] 圖 17 為依據本發明之實施例之使用圖 16A 及 16B 之二電晶體抗熔絲記憶單元之記憶體陣列之平面布局；

[0056] 圖 18 為依據本發明之替代實施例之使用二電晶體抗熔絲記憶單元之記憶體陣列之平面布局；

[0057] 圖 19-23 為依據本發明之實施例之替代抗熔絲記憶單元之平面布局；以及

[0058] 圖 24-27 為依據本發明之實施例之替代二電晶體抗熔絲記憶單元之平面布局。

【實施方式】

[0059] 一般來說，本發明提供可變厚度閘極氧化物抗熔絲電晶體裝置，其可用於非揮發性單次可編程（OTP）記憶體陣列應用。抗熔絲電晶體可以標準 CMOS 技術製造，並經組配做為具有源極擴散、閘極氧化物及多晶矽閘極之標準電晶體元件。在多晶矽閘極下之可變閘極氧化物包含厚閘極氧化物區及薄閘極氧化物區，其中薄閘極氧化物區做為局部化崩潰電壓區。多晶矽閘極及通道區間之導電通道可在編程作業期間形成於局部化崩潰電壓區中。在記憶體陣列應用中，施加於多晶矽閘極之字線讀取電流可經由抗熔絲電晶體之通道，經由連接至源極擴散之位元線感測。更具體地說，本發明提供利用分裂通道 MOS 結構做為適於 OTP 記憶體之抗熔絲單元的有效方法。

[0060] 在下列描述中，MOS 用詞用以標示任何 FET 或 MIS 電晶體、半電晶體或電容器結構。為簡化實施例之描述，參照從此點傳送之閘極氧化物應了解包括介電質材料、氧化物、或氧化物及介電質材料之組合。

[0061] 如先前所討論，已知使用平面電容器做為抗熔絲而非做為儲存電容器之 DRAM 型記憶體陣列，如美國專利 No. 6,667,902 中所展現。圖 1 為該等記憶單元之電路圖，同時圖 2 及 3 分別顯示圖 1 之已知抗熔絲記憶單元的平面圖及截面圖。圖 1 之記憶單元包括通過或存取電

晶體 10，用於耦接位元線 BL 至抗熔絲裝置 12 之底板。字線 WL 耦接至存取電晶體 10 之閘極以開啟，且胞元屏極電壓 V_{cp} 耦接至抗熔絲裝置 12 之頂板以編程抗熔絲裝置 12。

[0062] 從圖 2 及 3 可見存取電晶體 10 及抗熔絲裝置 12 之布局非常直接及簡單。存取電晶體 10 之閘極 14 及抗熔絲裝置 12 之頂板 16 組構相同多晶矽層，其延伸跨越作用區域 18。在每一多晶矽層下之作用區域 18 中，形成薄閘極氧化物 20，亦已知為閘極介電質，用於電氣隔離多晶矽與其下作用區域。閘極 14 之兩側為擴散區 22 及 24，其中擴散區 24 耦接至位元線。儘管未顯示，熟悉本技藝之人士將了解，可施加標準 CMOS 處理，諸如側壁間隔器形成、輕微摻雜擴散（LDD）及擴散及閘極矽化。雖然傳統單一電晶體及電容器單元組態廣泛使用，因可獲得半導體陣列區域節省用於高密度應用，進一步需要僅電晶體抗熔絲單元。該等僅電晶體抗熔絲必須可靠同時簡單而以低成本 CMOS 程序製造。

[0063] 依據本發明之實施例，圖 4 顯示可以任何標準 CMOS 程序製造之抗熔絲電晶體之截面圖。在所示範例中，抗熔絲電晶體幾乎與簡單厚閘極氧化物或具一浮動擴散端子之輸入／輸出 MOS 電晶體相同。所揭露之抗熔絲電晶體，亦稱為分裂通道電容器或半電晶體，能可靠地編程，使得多晶矽閘極及基板間之熔化鏈路能可預測地局部化為裝置之特別區。圖 4 之截面圖沿裝置之通道長度，在

所描述之實施例中為 p 通道裝置。熟悉本技藝之人士將了解，本發明可實施為 n 通道裝置。

[0064] 抗熔絲電晶體 100 包括形成於基板通道區 104 上之可變厚度閘極氧化物 102、多晶矽閘極 106、側壁間隔器 108、場氧化物區 109、擴散區 110、及擴散區 110 中之 LDD 區 114。位元線接點 116 經顯示與擴散區 110 電接觸。可變厚度閘極氧化物 102 包含厚閘極氧化物及薄閘極氧化物，使得一部分通道長度由厚閘極氧化物覆蓋，且通道長度之剩餘部分由薄閘極氧化物覆蓋。一般來說，薄閘極氧化物為其中發生氧化物崩潰之區。另一方面，厚閘極氧化物邊緣與擴散區 110 會合，定義存取邊緣其中預防閘極氧化物崩潰且閘極 106 及擴散區 110 間之電流流動以編程抗熔絲電晶體。雖然厚氧化物部分延伸進入通道區之距離取決於遮罩等級，厚氧化物部分較佳地形成為至少形成於相同晶片上之高電壓電晶體的最小長度。

[0065] 在較佳實施例中，擴散區 110 經由位元線接點 116 或用於感測來自多晶矽閘極 106 之電流的其他線而連接至位元線，並可經摻雜而適應編程電壓或電流。擴散區 110 經形成而近似可變厚度閘極氧化物 102 之厚氧化物部分。為進一步保護抗熔絲電晶體 100 之邊緣免於高電壓損害或電流洩漏，可於製造處理期間引進電阻器保護氧化物（RPO），亦已知為自對準矽化物保護氧化物，以進一步隔開金屬粒子與側壁間隔器 108 之邊緣。RPO 較佳地用於自對準矽化處理期間，以預防部分擴散區 110 及部分多

晶矽閘極 106 被自對準矽化。

[0066] 已知自對準矽化電晶體具有較高洩漏，並因此降低崩潰電壓。因而具有非自對準矽化擴散區 110 將減少洩漏。擴散區 110 可摻雜用於低電壓電晶體或高電壓電晶體或二者組合，導致相同或不同擴散輪廓。

[0067] 圖 5A 中顯示抗熔絲電晶體 100 之簡化平面圖。位元線接點 116 可用做視覺參考點而以圖 4 之相應截面圖定向平面圖。作用區域 118 為裝置區，其中形成通道區 104 及擴散區 110，其係由製造程序期間之 OD 遮罩定義。虛線輪廓 120 定義經由製造程序期間之 OD2 遮罩形成厚閘極氧化物之區域。更具體地說，藉由虛線輪廓 120 圍繞之區域指定形成厚氧化物之區。OD 簡單地指稱氧化物定義遮罩，其於 CMOS 處理期間用於定義基板上形成氧化物之區，且 OD2 係指與第一者不同之第二氧化物定義遮罩。之後將討論製造抗熔絲電晶體 100 之 CMOS 處理步驟的細節。依據本發明之實施例，受限於作用區域 118 之邊緣及 OD2 遮罩之最右邊緣之薄閘極氧化物區域為最小化。在所示實施例中，此區域可藉由偏移最右 OD2 遮罩邊緣朝向作用區域 118 之平行邊緣而予最小化。

[0068] 圖 5B 為圖 5A 之抗熔絲 100 之替代描繪。在圖 5A 中，OD2 遮罩 120 顯示為大區域，可延伸以覆蓋整個記憶體陣列。如先前所討論，OD2 遮罩 120 定義形成厚閘極氧化物之區域。OD2 遮罩 120 內形成開口 121，定義無厚閘極氧化物形成之區域。相反地，薄閘極氧化物將生

長於由開口 121 定義之區域。熟悉本技藝之人士將了解，在複數抗熔絲記憶單元 100 以列配置之記憶體陣列組態中，一矩形開口可重疊所有記憶單元以定義每一作用區域 118 之薄閘極氧化物區域。

[0069] 抗熔絲電晶體 100 之編程係依據閘極氧化物崩潰以形成閘極及其下通道間之永久鏈路。閘極氧化物崩潰狀況（電壓或電流及時間）主要取決於 i）閘極介電質厚度及組成，ii）缺陷密度，及 iii）閘極區域、閘極／擴散周長。抗熔絲電晶體 100 之組合厚及薄閘極氧化物導致裝置之薄閘極氧化物部分中，尤其是氧化物崩潰區之局部降低閘極崩潰電壓。換言之，揭露之結構確保氧化物崩潰侷限於較薄閘極氧化物部分。

[0070] 此外，本發明之抗熔絲電晶體實施例利用閘極氧化物設計布局及形成之典型阻止 CMOS 製造設計規則以提昇閘極氧化物崩潰性能。今天的 CMOS 程序中所有閘極氧化物處理步驟採取且最佳化用於作用閘極區域內之均勻閘極氧化物厚度。藉由將可變厚度閘極氧化物裝置導入標準 CMOS 流程，於厚及薄閘極氧化物間之界線製造其餘缺陷及電場干擾。該些缺陷可包括但不侷限於：氧化物細化、界線之矽的電漿蝕刻、來自清除程序之殘餘及因未遮罩及部分遮罩區間之不同熱氧化速率的矽凹部。所有該些影響增加薄氧化物界線之陷阱及缺陷密度，導致增加之洩漏及局部降低之崩潰電壓。因此，可製造低電壓之緊湊抗熔絲結構，不需任何處理修改。

[0071] 在實體 CMOS 程序中，薄閘極氧化物電晶體及厚閘極氧化物電晶體之擴散區、LDD 及通道植入不同。依據本發明之實施例，抗熔絲電晶體之擴散區、LDD 及薄閘極氧化物通道植入可為任一類型；相應於薄閘極氧化物之低電壓類型，或相應於厚閘極氧化物（I/O 氧化物）之高電壓類型，或二者，假設結果薄閘極氧化物閾值電壓不大於厚閘極氧化物閾值電壓。

[0072] 依據本發明之實施例之從標準 CMOS 處理製造可變厚閘極氧化物之方法為利用熟知二步驟氧化程序。圖 6 顯示概述此處理之流程圖，同時圖 7A-7C 顯示相應於程序中特定步驟之可變厚度閘極氧化物形成的各式階段。

[0073] 首先，中間閘極氧化物係生長於由步驟 200 中 OD 遮罩決定之所有作用區域中。在圖 7A 中，此顯示中間閘極氧化物 300 形成於通道區 302 上之基板上。在接著的步驟 202 中，從使用 OD2 遮罩之所有指定之薄閘極氧化物區域移除中間閘極氧化物 300。圖 7B 顯示中間閘極氧化物 300 之剩餘部分及未來薄氧化物區域 304。在最後閘極氧化物形成步驟 204 中，薄氧化物如最初藉由 OD 遮罩定義，再次生長於所有作用區域中。在圖 7C 中，薄閘極氧化物 306 係生長於中間閘極氧化物 300 及薄氧化物區域 304 之上。在本實施例中，厚閘極氧化物係藉由移除中間閘極氧化物及於剩餘中間閘極氧化物之上生長薄閘極氧化物的組合形成。

[0074] 結果，於步驟 202 期間藉由 OD2 遮罩覆蓋所

形成之厚閘極氧化物區域將具有閘極氧化物厚度，為中間閘極氧化物 300 及最後薄閘極氧化物 306 之組合。相同程序可延伸用於二個以上氧化步驟，或其他相等程序可用以於相同晶粒上產生二或更多閘極氧化物厚度，其係藉由至少一厚閘極氧化物遮罩 OD2 決定。

[0075] 典型地，OD2 遮罩被視為非關鍵遮罩步驟，使用低解析度遮罩，且設計規則需要作用閘極區域上 OD2 遮罩之大邊限，特別是不具有作用閘極區域內之 OD2 遮罩末端。依據本發明，OD2 遮罩於製造分裂通道抗熔絲結構之作用閘極區域內結束，特徵在於汲極（即擴散接點）側之較厚閘極氧化物及相對側（通道或非連接源極側）之較薄閘極氧化物。理論上，此技術需要閘極長度（多晶矽線寬度）應大於處理最小值並取決於實際 OD2 遮罩容限，但其他方面不需要任何程序或遮罩等級改變。分裂通道抗熔絲結構之最小閘極長度可近似於厚及薄閘極氧化物之最小閘極長度的和。熟悉本技藝之人士將理解，準確計算可依據遮罩容限，且可藉由緊縮 OD2 遮罩容限而最小化閘極長度。

[0076] 一旦可變厚度閘極氧化物形成，可於步驟 206 採用其餘標準 CMOS 處理步驟以完成圖 4 中所示之抗熔絲電晶體結構。此可包括形成例如多晶矽閘極、LDD 區、側壁間隔器、RPO、擴散區、及自對準矽化物。依據本討論程序之較佳實施例，包括自對準矽化步驟以自對準矽化抗熔絲電晶體之多晶矽閘極及浮動擴散區。預先於擴散區之

上形成 RPO 以保護其免於自對準矽化程序。如前述，自對準矽化浮動擴散區將增強區中氧化物崩潰。

[0077] 在圖 6 之處理中，如圖 7C 中所示，薄氧化物係於步驟 204 中生長於基板及中間閘極氧化物 300 之上。在形成雙厚度閘極氧化物之替代方法中，薄氧化物係從基板表面熱生長。熱氧化物生長為本技藝中已知，如前述美國專利申請案發布 No. 20060292755 所展現，其使用熱氧化物生長處理以形成閘極氧化物。此替代方法係參照圖 6 及圖 8A-8C 之流程圖描述，其顯示相應於程序中特定步驟之可變厚度閘極氧化物形成的各式階段。

[0078] 如前述相同第一步驟，其中中間閘極氧化物係生長於由步驟 200 中 OD 遮罩決定之所有作用區域中。在圖 8A 中，如通道區 312 上之基板上中間閘極氧化物 310 之形成所示。在接著的步驟 202 中，使用 OD2 遮罩從所有指定之薄閘極氧化物區域移除中間閘極氧化物 310。圖 8B 顯示中間閘極氧化物 310 及未來薄氧化物區域 314 之剩餘部分。在圖 8B 中請注意，在溼式蝕刻程序從薄氧化物區域 314 移除中間閘極氧化物 310 期間，中間閘極氧化物 310 右側之垂直邊緣可「過切」。在最後閘極氧化物形成步驟 204 中，薄氧化物係於單元之整個通道區 312 中熱生長。熱氧化物生長處理在本技藝中為已知，其中氧原子與基板之矽原子結合以形成二氧化矽。二氧化矽分子於基板之表面上生長，且二氧化矽分子之每一連續層向上「推」先前生長層。因為此二氧化矽生長機制需要氧達到

矽基板表面，其生長速率將受中介結構影響，其減緩氧原子達到基板表面。

[0079] 當抗熔絲電晶體可具有使用此程序形成之薄閘極氧化物時，記憶體陣列外之任何其他電晶體可具有同時形成之其閘極氧化物，意即其將具有與步驟 204 中形成之薄氧化物相同閘極氧化物厚度。該些電晶體可為磁心電晶體，典型地用於邏輯電路或需要低電壓及高速作業之任何其他電路。

[0080] 圖 8C 顯示通道區 312 中熱生長氧化物之結果。在圖 8C 中，熱生長氧化物顯示為熱氧化物 316，其向上「推」或置換中間閘極氧化物 310 並遠離基板表面 318。因為先前於圖 8A 中形成於基板表面 318 上之中間閘極氧化物 310 存在，中間閘極氧化物 310 下熱氧化物 316 之生長速率低於圖 8B 之基板表面 318 之暴露部分。為此原因，熱氧化物 316 具有較厚部分及較薄部分。請注意，熱氧化物生長處理消耗若干基板，藉以導致基板表面具有不同表面水平。此影響亦稱為熱氧化程序期間「矽損耗」。換言之，基板表面於記憶單元區域中不具有均勻表面水平。在本實施例中，在周圍基板表面 318 之下存在所形成之部分熱氧化物 316。

[0081] 圖 9 為圖 8C 中所示之可變厚度閘極氧化物的放大描繪。在圖 9 中，識別可變厚度閘極氧化物之三不同區。從通道區左側開始為厚閘極氧化物區域 320，接著為氧化物角區域 322，再接著為薄閘極氧化物區域 324。雖

然氧化物角區域 322 經顯示與厚閘極氧化物區域 320 不同，氧化物角區域 322 可視為部分厚閘極氧化物區域 320。這是因為區域 320 及 322 為異質層，具有包含中間閘極氧化物 310 及熱氧化物 316 之組合的厚度。相反地，薄閘極氧化物區域 324 為熱氧化物 316 之同質層。當與覆蓋之多晶矽閘極或其他導電閘極組合時，厚閘極氧化物區域 320 形成與抗熔絲裝置串聯配置之存取電晶體。以下進一步詳細描述抗熔絲裝置。

[0082] 厚閘極氧化物區域 320 為圖 8C 中所示之熱氧化物 316 及中間閘極氧化物 310 之較薄部分的組合厚度。薄閘極氧化物區域 324 為圖 8C 中所示之薄氧化物區域 314 中熱氧化物 316 的較厚部分。氧化物角區域 322 為厚閘極氧化物區域 320 及薄閘極氧化物區域 324 間之過渡區域，可具有與厚閘極氧化物區域 320 及薄閘極氧化物區域 324 不同之厚度。尤其，氧化物角區域 322 之特徵為較厚閘極氧化物區域 320 薄，但較薄閘極氧化物區域 324 厚。此外，氧化物角區域 322 之厚度沿整個氧化物角區域 322 可變，意即氧化物角區域 322 之頂斜邊及氧化物角區域 322 之底部邊緣間之厚度並非恆定，其包含傾斜段之任一側上的實質水平段。編程期間，可於角區域 322 或薄閘極氧化物區域 324 中形成導電連接。因此，角區域 322 及薄閘極氧化物區域 324 視為抗熔絲記憶單元之抗熔絲裝置。可變厚度閘極氧化物之厚閘極氧化物的特徵在於具有實質上相同厚度 326，同時可變厚度閘極氧化物之薄閘極氧化

物的特徵在於具有實質上相同厚度 328。氧化物角區域 322 的特徵在於相對於厚閘極氧化物區域 320 及薄閘極氧化物區域 324 之角，並具有與厚度 326 及 328 不同之厚度 330。

[0083] 請注意，可於藉由熱氧化物生長形成厚閘極氧化物區域 320 之相同時間形成需要記憶體陣列外側之厚閘極氧化物的電晶體。該等電晶體可包括輸入／輸出電晶體，其典型地以高於磁心電晶體之電壓作業。因此，記憶體裝置之磁心電晶體及輸入／輸出電晶體可於記憶體陣列中之抗熔絲記憶單元電晶體形成期間形成。由於用於形成記憶體陣列抗熔絲記憶單元之相同遮罩組亦用於形成磁心電晶體及輸入／輸出電晶體，反之亦然，實現明顯的成本優點。

[0084] 氧化物角區域 322 的特徵在於具有可變厚度，其於厚閘極氧化物區域 320 及氧化物角區域 322 間之虛擬介面具有最大厚度，其減少而於氧化物角區域 322 及薄閘極氧化物區域 324 間之虛擬介面具有最小厚度。因不同熱氧化物生長速率及基板表面 318 消耗，通道區 312 因此設於相對於基板表面 318 之不同深度。如圖 9 中所示，厚閘極氧化物區域 320 具有以基板表面 318 之深度「a」形成之底部側，同時薄閘極氧化物區域 324 具有以基板表面 318 之深度「b」形成之底部側。若裸矽表面氧化，通常已知小於氧化物厚度一半將置於原始表面之下，且其上將大於一半厚度。例如，若干實證測量具有約 46%總氧化物

厚度置於原始表面之下，同時剩餘 54%置於原始表面之上。相對於厚閘極氧化物區域 320 之底部側，薄閘極氧化物區域 324 之底部側延伸進入基板至進一步深度「c」。在氧化物角區域 322 內，通道於區 332 成角。因此，薄閘極氧化物區域 324 之深度「b」約為「a」+「c」。

[0085] 使用熱氧化物處理以製造圖 9 中所示之可變厚度閘極氧化物之一優點為源自氧化物角區域 322 之角通道結果。相較於「平坦」通道區，施加於覆蓋之多晶矽閘極（未顯示）之源自電壓之電場分佈的曲線及角落更密集，其增強該些區域中之氧化物崩潰。

[0086] 請注意，圖 8A 至 8C 中所示之氧化物的相對厚度未按比例，因為描繪係為顯示一般製造原理。在使用本描述方法實驗製造之抗熔絲記憶體裝置中，熱氧化物 316 及中間閘極氧化物 310 之組合較薄部分已測量為約 65 埃，同時薄氧化物區域 314 中之氧化物已測量為約 25 埃。

[0087] 圖 10 為依據圖 8A-8C 中所示之替代製造方法製造之完全製造抗熔絲電晶體記憶體單元之截面圖。抗熔絲記憶體單元 350 具有類似於圖 9 中所示之可變厚度閘極氧化物 352、形成於可變厚度閘極氧化物 352 上之閘極 354、側壁間隔器 356、擴散區 358 及 STI 氧化物 360。擴散區 358 可具有 LDD 362 及連接至位元線（未顯示）之位元線接點 364。

[0088] 考量上述抗熔絲電晶體之一問題為滯留值、

可靠性或未編程單元。描述之抗熔絲記憶單元係藉由經由薄閘極氧化物於多晶矽閘極及通道間形成導電通道而編程。結果編程狀態可於讀取作業中，藉由施加讀取電壓至閘極及感測連接至抗熔絲之位元線的電壓，予以檢測。實體讀取電壓為 1.5V 至 2.0V，取決於處理技術。此電壓可超過部分單元之低電壓電晶體之閘極上 DC 偏壓允許之最大電壓（例如 1V 裝置之 1.1V）。換言之，讀取電壓可充分高以編程仍處於未編程狀態之單元。最大化未編程抗熔絲單元之可靠性之一因子為最小化可變厚度閘極氧化物之薄閘極氧化物之區域。

[0089] 圖 11A 顯示依據本發明之實施例之具有可以任何標準 CMOS 程序製造之最小化薄閘極氧化物區域之抗熔絲電晶體的平面圖。例如，可使用圖 6 中概述之製造步驟，包括採用熱氧化物製造步驟之實施例。圖 11B 顯示沿圖 11A 之線 A-A 之抗熔絲電晶體之截面圖。圖 11A 之抗熔絲 400 極類似於圖 5A 中所示之抗熔絲 100，除了在多晶矽閘極下之可變厚度閘極氧化物之薄閘極氧化物之區域最小化以外。此與 Parris 描述之抗熔絲單元大相逕庭，其中薄閘極氧化物部分最大化使得其環繞厚氧化物部分，以便延長薄及厚氧化物部分間之過渡線。

[0090] 抗熔絲電晶體 400 包括形成於基板通道區 404 上之可變厚度閘極氧化物 402、多晶矽閘極 406、側壁間隔器 408、擴散區 410、及擴散區 410 中之 LDD 區 412。可變厚度閘極氧化物 402 包含厚氧化物及薄閘極氧化物，

使得通道長度之大多數區域被厚閘極氧化物覆蓋，及通道長度之少部分區域被薄閘極氧化物覆蓋。如圖 11A 中所示，厚閘極氧化物區域 414 覆蓋多晶矽閘極 406 下之大部分作用區域 416，除了小方形薄閘極氧化物區域 418 以外。若抗熔絲 400 係以先前描述之替代熱氧化物製造步驟製造，則薄閘極氧化物區域 418 相應於圖 9 之薄閘極氧化物區域 324。此表示圖 9 之氧化物角區域 322 及厚閘極氧化物區域 320 係設於圖 11A 之厚閘極氧化物區域 414 內。抗熔絲電晶體 400 可為非揮發性記憶單元，因此將具有與擴散區 410 電接觸之位元線接點 420。以下進一步詳細討論厚閘極氧化物區域 414 及薄閘極氧化物區域 418 之形狀及尺寸的形成。

[0091] 圖 12 為圖 11A 之抗熔絲電晶體之放大平面圖，強調可變厚度閘極氧化物之平面幾何。抗熔絲電晶體 500 包含作用區域 502，具覆蓋之多晶矽閘極 504。在圖 12 中，已移除來自多晶矽閘極之陰影以使其下部件變得清晰。可變厚度閘極氧化物係形成於作用區域 502 及多晶矽閘極 504 之間，並包含厚閘極氧化物區域 506。依據本實施例，厚閘極氧化物區域 506 可視為至少二矩形段。熟悉本技藝之人士將了解，段之描繪為厚閘極氧化物形狀虛擬崩潰為組成矩形形狀。第一厚閘極氧化物段 508 從通道區之第一端，其符合多晶矽閘極 504 之最左邊緣，延伸至通道區之第二端。段 508 可視為矩形區域，具有寬度小於通道區之寬度。第二厚閘極氧化物段 510 鄰近第一段

508，並從通道區之相同第一端延伸至通道長度之預定距離。第二厚閘極氧化物段 510 具有寬度，實質上等於通道寬度及第一段 508 寬度間之差異。

[0092] 因為第二厚閘極氧化物段 510 於通道區中結束，剩餘區域亦為矩形，如同二側束縛於段 508 及 510，及另二側束縛於作用區域 502 之邊緣。剩餘區域為薄閘極氧化物區域 512。雖然 OD2 遮罩 513 定義其內形成厚氧化物之區域，OD2 遮罩 513 具有矩形開口 514，其中無厚氧化物形成。薄閘極氧化物將生長於由開口 514 定義之區域內。以另一種方式表達，矩形輪廓 514 外部區域形成厚閘極氧化物。參照使用熱氧化物製造步驟之替代製造方法，開口 514 用以定義形成熱生長薄氧化物處。接著，段 508 及 510 為其內厚氧化物為熱生長氧化物及先前形成之中間氧化物之組合厚度的區域。虛線輪廓 513 可代表製造程序期間使用之 OD2 遮罩，其經設置使得開口 514 之角落與在多晶矽閘極 504 下之作用區域 502 之角落重疊。開口 514 之尺寸可選擇為任何尺寸，但具有較佳尺寸組合，如將參照圖 13 所討論。在單一電晶體抗熔絲記憶單元中，形成位元線接點 516 而電連接至位元線（未顯示）。

[0093] 圖 13 為依據本發明之實施例之包含圖 12 之抗熔絲記憶單元之記憶體陣列的平面布局。記憶體陣列具有以列及行配置之抗熔絲記憶單元，其中形成多晶矽閘極 504 做為連續多晶矽線，於列中每一抗熔絲記憶單元之作用區域 502 之上延伸。每一多晶矽線與邏輯字線 WL0、

WL1、WL2 及 WL3 相關聯。在所示實施例中，每一作用區域 502 具有二多晶矽閘極 504，藉以形成二抗熔絲電晶體，共用相同位元線接點 516 及作用區域 502。請注意，記憶體陣列之所有抗熔絲記憶單元係於任何抗熔絲記憶單元結構形成之前，形成於單一共同井中。

[0094] OD2 遮罩 513 中之開口 514 定義薄閘極氧化物生長之區域，形狀為矩形，確定尺寸及配置使得其四角落之每一者與四抗熔絲電晶體作用區域 502 之角落區域重疊，藉以定義薄閘極氧化物區域 512。理想地，薄閘極氧化物區域具有至少一尺寸小於可經由二遮罩區間之重疊獲得之製造處理的最小部件尺寸。一遮罩區為擴散遮罩，亦稱為作用區域遮罩，第二遮罩區為 OD2 遮罩 513 中之矩形開口 514。二遮罩為非關鍵寬度，表示其大於最小允許寬度。因此，藉由配置二遮罩重疊，薄閘極氧化物區域 512 之區域可具有約等於或小於特定製造程序或技術之最小部件尺寸的尺寸。因此，依據水平鄰近作用區域 502 間之間隔及垂直鄰近作用區域 502 間之間隔選擇矩形開口 514 之尺寸，使得開口 514 之角落及定義作用區域 502 之擴散遮罩間之重疊區域小於或等於製造技術之最小部件尺寸。

[0095] 選擇開口 514 之尺寸以最小化方形或矩形薄閘極氧化物區域 512。熟悉本技藝之人士將了解，選擇之尺寸將考量安裝誤差及製造異常諸如 90 度邊緣之轉彎。藉由使用高等級遮罩可獲得製造薄閘極氧化物區域 512 之

高度準確。藉由使用高品質玻璃、材料及／或遮罩印刷設備可提供高等級遮罩。

[0096] 因此，具有此最小化部件尺寸薄閘極氧化物區域 512 之未編程抗熔絲單元的可靠性大為改進。薄閘極氧化物區域 512 之形狀為矩形或方形，導致最小化區域。依據替代實施例，取代具有與四抗熔絲作用區域 502 重疊之單一矩形開口 514，如圖 13 中所示，可使用多個較小開口。例如，開口可經定形而僅與二水平鄰近作用區域 502 重疊。或開口可經定形而僅與二垂直鄰近作用區域 502 重疊。此外，尺寸大於所欲薄閘極氧化物區域 512 之個別矩形可用以重疊每一作用區域 502。雖然先前顯示之實施例考慮任何尺寸之任何數量矩形，薄閘極氧化物可為三角形。

[0097] 抗熔絲電晶體係藉由破裂薄閘極氧化物編程，較佳地在薄／厚閘極氧化物界線。此係藉由於將編程之單元之閘極及通道之間施加夠高電壓差，及若有的話於所有其他單元施加實質上較低電壓差而予完成。因此，一旦形成永久導電連接，施加於多晶矽閘極之電流將流經鏈路及通道至擴散區，此可藉由傳統感應放大器電路感測。例如，VPP 高電壓位準可施加於多晶矽閘極 504，同時諸如接地之較低電壓施加於其相應位元線。未編程之記憶單元將具有其位元線，偏壓至高於接地之電壓，諸如 VDD。儘管未顯示編程電路，熟悉本技藝之人士將了解，該等電路可耦接至位元線，並併入字線驅動器電路。藉由

預充電位元線至接地及施加諸如 VDD 之讀取電壓至多晶矽閘極，可讀取抗熔絲記憶單元。具有導電連接之編程抗熔絲將朝 VDD 拖拉其相應位元線。不具導電連接之未編程抗熔絲將如切換電容器做動，採用極低洩漏電流。因此，如果發生的話，位元線電壓將不實質上改變。電壓改變可藉由位元線感應放大器感測。

[0098] 圖 14 為依據本發明之另一實施例之抗熔絲電晶體的放大平面布局。抗熔絲電晶體 600 與抗熔絲電晶體 500 實質上相同，因此具有相同作用區域 502、多晶矽閘極 504、及位元線接點 516。抗熔絲電晶體 600 具有不同形狀可變厚度閘極氧化物。可見到厚閘極氧化物區域 602 係由至少二矩形段及三角形段組成。第一厚閘極氧化物段 604 從通道區之第一端，其符合多晶矽閘極 504 之最左邊緣，延伸至通道區之第二端。段 604 可視為矩形區域，具有寬度小於通道區之寬度。第二厚閘極氧化物段 606 鄰近第一段 604，並從通道區之相同第一端延伸至通道長度之預定距離。第二厚閘極氧化物段 606 具有寬度，實質上等於通道寬度及第一段 604 寬度間之差異。第三閘極氧化物段 608 為三角形，具有其 90 度側面鄰近第一厚閘極氧化物段 604 及第二厚閘極氧化物段 606。段 606 可包括段 608，使得預定距離係藉由段 608 之對邊設定。具有藉由作用區域 502 之邊緣形成之 90 度側面的剩餘三角形區域為薄閘極氧化物區域 610。

[0099] 虛線鑽石形區域 612 定義其中生長薄閘極氧

化物之 OD2 遮罩 513 中之開口。以另一種方式表達，鑽石形輪廓 612 外部及 OD2 遮罩 513 內之區域形成厚閘極氧化物。虛線輪廓 612 為製造程序期間使用之 OD2 遮罩 513 中之開口，經配置使得開口 612 之邊緣與在多晶矽閘極 504 下之作用區域 502 的角落重疊。參照使用熱氧化物製造步驟之替代製造方法，開口 612 用以定義形成熱生長薄氧化物處。接著，段 604、606 及 608 為其內厚氧化物為熱生長氧化物及先前形成之中間氧化物之組合厚度的區域。在所示實施例中，開口 612 為圖 12 之開口 514 的 45 度旋轉版本。開口 612 之尺寸可選擇為任何尺寸，但具有較佳尺寸組合，如將參照圖 15 所討論。

[0100] 圖 15 為依據本發明之實施例之包含圖 14 之抗熔絲記憶單元之記憶體陣列的平面布局。記憶體陣列具有以列及行配置之抗熔絲記憶單元，其中多晶矽閘極 504 形成做為連續多晶矽線，於列中每一抗熔絲記憶單元之作用區域 502 之上延伸。多晶矽閘極 504 相對於作用區域 502 之布局組態與圖 13 中所示相同。

[0101] OD2 遮罩 513 中之開口 612 定義薄閘極氧化物生長之區域，形狀為鑽石形，確定尺寸及配置使得其四邊緣之每一者與四抗熔絲電晶體作用區域 502 之角落區域重疊，藉以定義薄閘極氧化物區域 610。理想地，每一薄閘極氧化物區域 610 小於製造程序之最小部件尺寸。二遮罩區間之重疊，一者為擴散遮罩，亦稱為作用區域遮罩，第二者為具有鑽石形開口 612 之 OD2 遮罩 513。請注意，當

開口 612 相對於其他部件視為鑽石形時，即多晶矽閘極 504 及作用區域 502 係以彼此 90 度之線定義。因此，相對於該些部件，開口 612 為鑽石形，且較佳地具有相對於多晶矽閘極或作用區域 502 之定義線的 45 度定義線。

[0102] 再一次，二遮罩為非關鍵寬度，表示其大於最小允許寬度。因此，藉由配置二遮罩重疊，薄閘極氧化物區域 610 之區域可具有約等於或小於特定製造程序或技術之最小部件尺寸的尺寸。因此，依據水平鄰近作用區域 502 間之間隔及垂直鄰近作用區域 502 間之間隔選擇鑽石形開口 612 之尺寸，使得開口 612 之角落及定義作用區域 502 之擴散遮罩間之重疊區域小於或等於製造技術之最小部件尺寸。

[0103] 選擇鑽石形開口 612 之尺寸以最小化三角形薄閘極氧化物區域 610。選擇之尺寸將考量安裝誤差及製造異常，且高等級遮罩可用以緊抓製造容限。

[0104] 先前描述之非揮發性記憶單元的實施例指向單一抗熔絲電晶體記憶單元。可變厚度閘極氧化物可具有實質上與用於相同晶片上高電壓電晶體之閘極氧化物相同的厚閘極氧化物。類似地，可變厚度閘極氧化物可具有實質上與用於相同晶片上低電壓電晶體之閘極氧化物相同的薄閘極氧化物。當然，厚及薄閘極氧化物區域可具有適於記憶體陣列之厚度。

[0105] 依據本發明之進一步實施例，可形成與抗熔絲電晶體串聯之存取電晶體，以提供二電晶體抗熔絲單

元。圖 16A 及 16B 描繪依據本發明之實施例之二電晶體抗熔絲記憶單元。

[0106] 圖 16A 顯示依據本發明之實施例之二電晶體抗熔絲記憶單元 700 的平面圖，二電晶體抗熔絲記憶單元 700 具有最小化薄閘極氧化物區域，可以任何標準 CMOS 程序製造。圖 16B 顯示沿圖 16A 之線 B-B 之記憶單元 700 之截面圖。二電晶體抗熔絲記憶單元 700 包含與抗熔絲電晶體串聯之存取電晶體。抗熔絲電晶體之結構可與圖 11A 至 15 中所示者相同。對本範例而言，假設抗熔絲電晶體與圖 11B 中所示者相同，因此相同編號標示相同先前描述之部件。更具體地說，可變厚度閘極氧化物之結構與圖 11B 中所示者相同，除了擴散區 410 不具有形成於其上之位元線接點。

[0107] 存取電晶體具有覆蓋閘極氧化物 704 之多晶矽閘極 702。形成至閘極氧化物 704 之一側者為共用擴散區 410。另一擴散區 706 係形成於閘極氧化物 704 之另一側，將具有形成於其上之位元線接點 708。二擴散區可具有鄰近於閘極氧化物 704 之垂直邊緣的 LDD 區。熟悉本技藝之人士將了解，擴散區 706 可摻雜與擴散區 410 相同，但可不同摻雜，取決於將使用之所欲作業電壓。

[0108] 如先前所描述，可變厚度閘極氧化物 402 具有厚閘極氧化物區域及薄閘極氧化物區域。閘極氧化物 704 之厚度將與可變厚度閘極氧化物 402 之厚閘極氧化物區域的厚度相同。在一實施例中，可使用高電壓電晶體程

序或用以形成可變厚度閘極氧化物 402 之厚閘極氧化物區域的相同處理製造存取電晶體。多晶矽閘極 702 可與多晶矽閘極 406 同時形成。可使用先前描述之方法製造抗熔絲電晶體。更具體地說，可使用先前描述之熱氧化物程序形成可變厚度閘極氧化物 402。此外，可於形成可變厚度閘極氧化物 402 之厚部分的相同時間形成具有閘極氧化物 704 之存取電晶體。因此，閘極氧化物 704 之厚度及可變厚度閘極氧化物 402 之厚部分具有實質上相同組成及厚度。此可藉由以用於形成可變厚度閘極氧化物 402 之相同 OD2 遮罩圖案化存取電晶體氧化物而易於實施。

[0109] 二電晶體抗熔絲記憶單元之作業類似先前描述之單一電晶體抗熔絲單元。編程抗熔絲電晶體需要將高電壓施加於 VCP 多晶矽線，同時維持位元線接地。開啟存取電晶體以耦接共用擴散區至接地（經由位元線）。

[0110] 圖 16C 顯示依據圖 8A 至 8C 之方法步驟製造之二電晶體抗熔絲記憶單元之截面圖，類似於圖 16A 之記憶單元 700。二電晶體抗熔絲記憶單元 750 包含與抗熔絲電晶體串聯之存取電晶體。在本實施例中，存取電晶體之閘極氧化物係於與可變厚度閘極氧化物形成之相同時間形成。存取電晶體具有覆蓋閘極氧化物 754 之多晶矽閘極 752。形成至閘極氧化物 754 之一側者為共用擴散區 756。另一擴散區 758 係形成於閘極氧化物 754 之另一側，將具有形成於其上而製造與位元線（未顯示）電接觸之位元線接點 760。抗熔絲電晶體與圖 10 中所示者相

同，包括形成於可變厚度閘極氧化物 352 上之閘極 354。

[0111] 如先前所討論及圖 8C 中所示，圖 16C 之可變厚度閘極氧化物 352 具有厚閘極氧化物區域（顯示如圖 9 中之區域 320），其為中間氧化物及在中間氧化物下生長之熱氧化物的組合。存取電晶體之閘極氧化物 754 係使用形成可變厚度閘極氧化物 352 之相同處理形成。參照圖 8A 及 8B，於圖案化可變厚度閘極氧化物之厚閘極氧化物區域的相同時間，圖案化中間氧化物 310 達記憶單元 700 之存取電晶體的所欲尺寸。因此，當熱氧化物生長以如圖 8C 中所示形成可變厚度閘極氧化物時，熱氧化物將在存取電晶體之中間氧化物下生長。在存取電晶體之中間氧化物下生長之熱氧化物的速率將實質上與在可變厚度閘極氧化物之中間氧化物 310 下生長熱氧化物之速率相同，並藉以具有實質上相同厚度。因為熱氧化物生長程序期間基板中之矽損耗，圖 16C 顯示閘極氧化物 754 及可變厚度閘極氧化物 352 如何於基板表面之下延伸，其通常藉由擴散區 758 及 756 之頂表面描繪。

[0112] 圖 17 為依據本發明之實施例之包含圖 16A 及 16B 之二電晶體抗熔絲記憶單元之記憶體陣列的平面布局。記憶體陣列具有以列及行配置之記憶單元，其中多晶矽閘極 406 形成做為連續多晶矽線，於列中每一抗熔絲記憶單元之作用區域 416 上延伸。每一多晶矽線與邏輯胞元屏極 VCP0、VCP1、VCP2 及 VCP3 相關聯。多晶矽閘極 702 形成做為連續多晶矽線，於列中每一抗熔絲記憶單元

之作用區域 416 上延伸。該些多晶矽線與邏輯字線 WL0、WL1、WL2 及 WL3 相關聯。在所示實施例中，每一作用區域 416 具有二對多晶矽閘極 406/702，藉以形成共用相同位元線接點 708 及作用區域 416 之二抗熔絲電晶體。請注意，記憶體陣列之所有二電晶體抗熔絲記憶單元係於單一共同井中形成。

[0113] OD2 遮罩 513 中之開口 710 定義薄閘極氧化物生長之區域，形狀為矩形，確定尺寸及配置使得其四角落之每一者與四抗熔絲電晶體作用區域 416 之角落區域重疊，藉以定義薄閘極氧化物區域 418。針對圖 13 實施例描述之相同相關遮罩重疊標準應用於本實施例。依據水平鄰近作用區域 416 間之間隔及垂直鄰近作用區域 416 間之間隔選擇矩形開口 710 之尺寸，使得開口 710 之角落及定義作用區域 416 之擴散遮罩間之重疊區域小於或等於製造技術之最小部件尺寸。

[0114] 圖 17 之實施例經組配而具有分別控制之胞元屏極 VCP0、VCP1、VCP2 及 VCP3，其允許改進之控制以預防非選擇單元之無意編程。在替代實施例中，VCP0、VCP1、VCP2 及 VCP3 可連接至共同節點。在該等實施例中，特定編程序列用以預防非選擇單元之無意編程。替代實施例之編程序列始自所有字線及位元線預充電至高電壓位準，其後為驅動共同胞元屏極至編程電壓 VPP。使用例如圖 16B 之實施例，將導致預充電擴散區 410 至高電壓位準。藉由取消選擇所有其他字線，即藉由驅動它們至低電

壓位準，而選擇編程之字線。接著，連接至選擇之記憶單元的位元線電壓被驅動至低電壓位準，諸如接地。

[0115] 圖 18 為依據本發明之替代實施例之包含二電晶體抗熔絲記憶單元之記憶體陣列的平面布局。圖 18 之記憶體陣列與圖 17 中相同，除了 OD2 遮罩 513 內之鑽石形開口 712 用於定義可變厚度閘極氧化物之薄閘極氧化物區域以外。圖 15 之實施例所描述之相同相關遮罩重疊標準應用於本實施例。

[0116] 在先前揭露之本發明之實施例中，厚閘極氧化物段之一者具有從通道區之一端延伸至通道區之另一端的長度。依據替代實施例，此厚閘極氧化物段之長度略減，使得其未完全延伸跨越通道區之完全長度。圖 19 為依據本發明之替代實施例之抗熔絲電晶體的平面布局。在圖 19 中，抗熔絲電晶體 800 包括作用區域 802、多晶矽閘極 804 及位元線接點 806。在多晶矽閘極 804 下之作用區域 802 為抗熔絲電晶體 800 之通道區。在本實施例中，OD2 遮罩 808 定義其內形成厚氧化物之區域，並包括與作用區域 802 重疊之「L」形開口 809，其內將生長薄閘極氧化物。本實施例類似於圖 12 中所示，除了一厚閘極氧化物段（即 508）延伸至通道區頂部邊緣及鄰近厚閘極氧化物段（即 510）之第二預定距離間之第一預定距離。因此，薄閘極氧化物將於第一預定距離及通道區頂部邊緣之間及第二預定距離及通道區頂部邊緣之間生長。

[0117] 先前描述之抗熔絲電晶體之實施例具有恆定

寬度之通道區。依據進一步實施例，通道區可具有跨越通道區長度之可變寬度。圖 20A 為依據本發明之替代實施例之抗熔絲電晶體的平面布局。在圖 20A 中，抗熔絲電晶體 850 包括作用區域 852、多晶矽閘極 854 及位元線接點 856。在多晶矽閘極 854 下之作用區域 852 為抗熔絲電晶體 850 之通道區。在本實施例中，OD2 遮罩 858 定義其內形成厚氧化物之區域，並包括與其內將生長薄閘極氧化物之作用區域 852 重疊的矩形開口 859。在多晶矽閘極 854 下之作用區域為「L」形，且矩形開口 859 具有於通道區頂部邊緣之預定距離結束之底部邊緣。

[0118] 圖 20B 顯示無多晶矽閘極 854 之陰影的相同抗熔絲電晶體 850，以描繪通道區之厚閘極氧化物段。在本實施例中，第一厚閘極氧化物段 860 從通道區之擴散邊緣延伸至由矩形開口 859 之底部邊緣定義的第一預定距離。第二厚閘極氧化物段為 L 形，包括二子段 862 及 864。熟悉本技藝之人士將了解，子段之描繪為厚閘極氧化物段形狀虛擬崩潰為組成矩形。子段 862 從通道區之擴散邊緣延伸至第一預定距離，同時子段 864 從通道區之擴散邊緣延伸至第二預定距離。第二預定距離為通道區之第一預定距離及擴散邊緣之間。薄閘極氧化物區從第一厚閘極氧化物段 860 及子段 862 之第一預定距離延伸至通道區頂部邊緣。

[0119] 圖 21A 為依據本發明之替代實施例之抗熔絲電晶體的平面布局。在圖 21A 中，抗熔絲電晶體 880 包括

如圖 17 中之相同部件。在本實施例中，在多晶矽閘極 854 下之作用區域為「T」形，且矩形開口 859 具有於通道區頂部邊緣之預定距離結束之底部邊緣。圖 21B 顯示無多晶矽閘極 854 之陰影的相同抗熔絲電晶體 880，以描繪通道區之厚閘極氧化物段。

[0120] 在本實施例中，存在第一厚閘極氧化物段及第二閘極氧化物段。第一厚閘極氧化物段為 L 形，並包括二子段 884 及 886。第二厚閘極氧化物段為 L 形，並包括二子段 888 及 890。子段 886 從通道區之擴散邊緣延伸至第一預定距離，第一預定距離相應於矩形開口 859 之底部邊緣。子段 884 從通道區之擴散邊緣延伸至第二預定距離，其中第二預定距離為第一預定距離及通道區之擴散邊緣之間。第二厚閘極氧化物段之子段 888 及 890 分別與子段 884 及 886 相同組配。薄閘極氧化物區從子段 886 及 890 之第一預定距離延伸至通道區頂部邊緣。

[0121] 在先前描述之圖 20A 及 21A 之實施例中，薄閘極氧化物區域從矩形開口 859 之底部邊緣延伸至通道區頂部邊緣。因為通道區具有可變寬度，其中近似於擴散邊緣之部分大於近似於通道區頂部邊緣之部分，整體薄閘極氧化物區域可小於圖 5A 中所示之抗熔絲實施例。依據進一步實施例，圖 20A 及 21A 之抗熔絲電晶體實施例之薄閘極氧化物藉由施加具有圖 12 及 14 中所示之矩形或鑽石形開口的 OD2 遮罩而進一步最小化。

[0122] 圖 22 為依據本發明之替代實施例之抗熔絲電

晶體的平面布局。抗熔絲電晶體 900 類似於圖 20B 之抗熔絲電晶體 850，除了 OD2 遮罩 902 包括矩形開口 904，並經定形及配置以描繪薄閘極氧化物區域 906 以外。在所示實施例中，厚閘極氧化物包含第一厚閘極氧化物段 908 及具有子段 862 及 864 之第二厚閘極氧化物段。子段 862 及 864 與圖 20B 之實施例中相同。然而，因矩形開口 904 及通道區之重疊角落，第一厚閘極氧化物段 908 僅從擴散邊緣延伸至通道長度之預定距離。因此，厚閘極氧化物段 908 之長度較子段 862 短。因此，抗熔絲電晶體 900 具有較圖 20A 之實施例小的薄閘極氧化物區域。具矩形開口 904 之 OD2 遮罩 902 的應用可施加於圖 21B 之具相同結果的抗熔絲電晶體 880。

[0123] 如先前於圖 14 中所描繪，藉由於 OD2 遮罩中施加鑽石形開口，獲得抗熔絲電晶體 850 及 880 之薄閘極氧化物區域中進一步減少。圖 23 為依據本發明之替代實施例之抗熔絲電晶體的平面布局。抗熔絲電晶體 950 類似於圖 21B 之抗熔絲電晶體 880，除了 OD2 遮罩 952 包括矩形開口 954，經定形及配置以描繪薄閘極氧化物區域 956 以外。在所示實施例中，厚閘極氧化物包含第一及第二厚閘極氧化物段。第一厚閘極氧化物段包括子段 888 及 890，其與圖 21B 之實施例中相同。第二厚閘極氧化物段包括子段 958 及 960。

[0124] 因鑽石形開口 954 及通道區之重疊，第二厚閘極氧化物子段 960 僅從擴散邊緣延伸至通道長度之預定

距離，預定距離係由鑽石形開口 954 之對邊定義。因此，抗熔絲電晶體 950 可具有較圖 22 之實施例小的薄閘極氧化物區域。具鑽石形開口 954 之 OD2 遮罩 952 的應用可施加於圖 20B 之具相同結果的抗熔絲電晶體 850。請注意，選擇子段 958 及 960 之尺寸使得開口 954 之對邊未與由子段 958 覆蓋之通道區重疊。

[0125] 雖然揭露 OD2 遮罩中之矩形及鑽石形開口，可使用具相等有效性之其他開口形狀。例如，在添加 OPC 之後，OD2 遮罩中之開口可為六角形、八角形、或甚至實質上圓形。此外，矩形開口可相對於多晶矽閘極以任何角度旋轉。

[0126] 先前描述之圖 19-23 之實施例指向單一電晶體抗熔絲記憶單元。圖 19-23 之實施例可應用於二電晶體抗熔絲單元，其中形成與抗熔絲電晶體串聯之存取電晶體。圖 24-27 描繪具有最小化薄閘極氧化物區域之二電晶體抗熔絲記憶單元的各式實施例。

[0127] 圖 24 為依據本發明之實施例之二電晶體抗熔絲電晶體的平面布局。

[0128] 依據本發明之進一步實施例，可形成與抗熔絲電晶體串聯之存取電晶體，以提供二電晶體抗熔絲單元。圖 16A 及 16B 描繪依據本發明之實施例之二電晶體抗熔絲記憶單元，其中通道區具有可變寬度。二電晶體抗熔絲記憶單元 1000 類似於圖 16A 之二電晶體單元 700。存取電晶體包括作用區域 1002、多晶矽閘極 1004 及位元

線接點 1006。抗熔絲電晶體包括作用區域 1002、多晶矽閘極 1008。共同源極／汲極擴散區 1010 於存取電晶體及抗熔絲電晶體之間共用。在多晶矽閘極 1008 下並覆蓋通道區為可變厚度閘極氧化物，其具有厚閘極氧化物區域及薄閘極氧化物區域。OD2 遮罩 1012 描繪其中形成厚閘極氧化物之區域，並包括與作用區域 852 重疊之矩形開口 1013，其內將生長薄閘極氧化物。薄閘極氧化物區域 1014 覆蓋矩形開口 1013 之底部邊緣及通道區頂部邊緣間之通道區。

[0129] 在圖 24 中，抗熔絲電晶體之通道區具有可變寬度。在圖 25 之實施例中，抗熔絲電晶體之通道區具有恆定寬度，小於存取電晶體之作用區域及通道之剩餘部分的寬度。更具體地說，二電晶體抗熔絲記憶單元 1050 類似於記憶單元 1000，除了作用區域 1052 經定形使得共同源極／汲極擴散區 1054 具有可變寬度，留下抗熔絲電晶體之通道區恆定，但小於存取電晶體之通道區的寬度以外。

[0130] 圖 26 為二電晶體抗熔絲記憶單元之又另一替代實施例。二電晶體抗熔絲記憶單元 1100 類似於圖 24 之二電晶體抗熔絲記憶單元 1000，除了作用區域 1102 經定形使得抗熔絲電晶體具有「T」形通道區而非「L」形通道區以外。圖 27 類似於圖 26 之實施例，除了二電晶體抗熔絲記憶單元 1150 具有作用區域 1152 經定形使得抗熔絲電晶體具有恆定寬度之通道區以外。共同源極／汲極擴散區

1154 為「T」形，使得其具有一部分較窄寬度。

[0131] 圖 24-27 之二電晶體抗熔絲記憶單元實施例可使用 OD2 遮罩，其具有矩形或鑽石形開口經配置而最小化抗熔絲電晶體之薄閘極氧化物區域。可以替代製造處理製造圖 19 至 27 之抗熔絲記憶單元實施例，其中生長熱氧化物以形成可變厚度閘極氧化物之厚及薄部分。

[0132] 如本描述實施例中所示，可使用標準 CMOS 程序製造具有高可靠性之單一電晶體抗熔絲記憶單元及二電晶體抗熔絲記憶單元。用於定義作用區域及 OD2 遮罩之遮罩可為非關鍵尺寸，但特定區域間之配置重疊可導致具尺寸小於處理技術之最小部件尺寸的薄氧化物區域。

[0133] 更具體地說，標準 CMOS 處理將需要一組遮罩用於定義本描述之抗熔絲記憶單元實施例的各式部件。每一遮罩將具有不同品質等級，取決於將定義之部件。一般來說，較高等級遮罩用於定義較小尺寸部件。下列為用於標準 CMOS 程序之範例遮罩等級，其中較高數字指定較高等級遮罩。

1. N 井、P 井、 V_{tp} 、 V_{tn} 、厚閘極氧化物（OD2）遮罩
2. 源極／汲極植入遮罩
3. 經由遮罩之接點
4. 金屬 2 層遮罩
5. 擴散、薄氧化物、接點及金屬 1 層遮罩
6. 多晶矽遮罩

[0134] 諸如等級 1 之低等級遮罩上之諸如等級 6 之高等級遮罩間之差異將為包含較佳玻璃、材料或使用較佳印刷設備來製造。因為某些部件不需要高準確度，同時其他部分需要，故使用不同遮罩等級。如可理解的，產生高等級遮罩之效果及成本實質上高於低等級遮罩所需。例如，最低等級遮罩介於\$3k-\$5k 之間，同時最高等級遮罩可介於\$100k-\$300k 之間。

[0135] 應注意的是，建立某些部件的設計規則，以確保由遮罩覆蓋定義部件之特定區域不僅特定區域而是具有至鄰近部件之若干重疊。事實上，鄰近部件真實控制發生植入處。例如，OD2 形狀將完全覆蓋 IO 電晶體區域，其係藉由擴散定義。因此，與實際遮罩形狀在哪結束無關。此係 OD2 遮罩為低等級之一主要原因，因為有允許誤差邊限，因此採用低成本遮罩。此外，若干調整器機器可達成 0.06 微米容限，但僅使用 0.1 微米，因為認為對於離子植入遮罩已足夠。為製造圖 4 至 18 中所示之抗熔絲電晶體及記憶體陣列，遮罩形狀端對於定義薄閘極氧化物區域是重要的。用於實體 CMOS 程序之目前等級 OD2 遮罩可用於定義描述之抗熔絲記憶單元的薄閘極氧化物區域。然而，必須考量誤差邊限，藉以導致記憶單元具有特別最小尺寸。

[0136] 依據本發明之實施例，使用具有相應於用於相同程序之源極／汲極植入（等級 2）之遮罩等級之等級的 OD2 遮罩，製造圖 4-18 之抗熔絲記憶單元。OD2 遮罩

等級較佳地等同於用於相同處理之擴散植入（等級 5）的遮罩等級，以達成具有高可靠性之較小尺寸記憶單元。因此，藉由使用高等級 OD2 遮罩，獲得較高密度記憶體陣列、改進之產量、改進之性能及高可靠性。藉由確保以最高可能準確性位準實施遮罩校準，進一步改進準確性。藉由使用卓越印刷裝備、印刷方法及／或不同光波長度及不同遮罩類型、其任何可能組合，獲得高校準準確性。

[0137] 使用具可選高準確性校準之較高等級 OD2 遮罩呈現本揭露之抗熔絲單元實施例的優點。更具體地說，使用高等級 OD2 遮罩之更準確形成之遮罩形狀端有利地用以最小化特定部件，諸如薄氧化物區域。由於抗熔絲電晶體 500 及 600 將具有最小尺寸薄閘極氧化物區域（512 及 610），使用高等級 OD2 遮罩允許最小化薄閘極氧化物區域，以改進超越以標準低等級 OD2 遮罩製造之相同抗熔絲單元的可靠性。

[0138] 對圖 5A 之實施例而言，在多晶矽閘極 106 下之 OD2 形狀端／邊緣的更準確重疊允許多晶矽閘極下之最小化薄氧化物區域。尤其，薄氧化物區域將為矩形，具有由在多晶矽閘極下之作用區域寬度定義的二相對側，及由在多晶矽閘極下之 OD2 遮罩形狀端及多晶矽閘極之邊緣定義的另一二相對側。增加高精確校準將進一步最小化薄氧化物區域。

[0139] 例如，對 0.20 微米薄氧化物區域尺寸之 ± 0.1 微米至 ± 0.06 微米的改進，將允許 0.04 微米較小薄

氧化物尺寸，藉以減少尺寸至 0.16 微米。由於產量及可靠性直接取決於總薄閘極氧化物區域，此將改進抗熔絲記憶單元產量及可靠性。甚至當針對 90nm 及 65nm 製程校準改進至 ± 0.08 時，可見到產量及可靠性改進。高等級 OD2 遮罩可用於圖 6 中描述之處理，以製造抗熔絲電晶體之薄及厚閘極氧化物區域。

[0140] 圖中呈現之電晶體裝置圖式用以描繪電晶體裝置之部件，並希望按比例繪製。「Actual」製造之電晶體裝置包括描述之部件，將具有源自設計選擇或藉由特定製造程序利用之設計規則應用的尺寸。

[0141] 本發明之本描述實施例描述具有薄及厚閘極氧化物之抗熔絲電晶體。熟悉本技藝之人士將了解，除了或取代氧化物外，先進半導體製造技術可使用不同電介質材料以形成薄閘極氧化物區域。熟悉本技藝之人士將了解，用於沉積或生長電介質之遮罩可以先前描述用以定義抗熔絲電晶體之薄閘極氧化物區域之 OD2 遮罩的相同方式，而具有定形開口經配置而與作用區域重疊。

[0142] 熟悉本技藝之人士將了解，具開口以定義薄閘極氧化物區域之 OD2 遮罩可為以重複圖案平鋪在一起之較小單元子遮罩形狀的總成，每一者具有其中定義之全開口，或其中定義之部分開口，使得鄰近區塊的配套將導致封閉開口。

[0143] 上述本發明之實施例係希望僅做為範例。熟悉本技藝之人士可實施改變、修改及變化影響特定實施例

而未偏離僅由申請專利範圍定義之本發明之範圍。

【符號說明】

[0144]

10：存取電晶體

12：抗熔絲裝置

14、354：閘極

16：頂板

18、118、416、502、802、852、1002、1052、1102、
1152：作用區域

20：薄閘極氧化物

22、24、110、358、706、758：擴散區

100、400、500、600、800、850、880、900、950：抗熔
絲電晶體

102、352、402：可變厚度閘極氧化物

104、404：基板通道區

106、406、504、702、752、804、854、1004、1008：多
晶矽閘極

108、356、408：側壁間隔器

109：場氧化物區

114、362、412：輕微摻雜擴散（LDD）區

116、364、420、516、708、760、806、856、1006：位元
線接點

120、513、808、858、902、952、1012：第二氧化物定義

(OD2) 遮罩

121、612、710：開口

200、202、204、206：步驟

300、310：中間閘極氧化物

302、312：通道區

304、314：薄氧化物區域

306：薄閘極氧化物

316：熱氧化物

318：基板表面

320、414、506、602：厚閘極氧化物區域

322：氧化物角區域

324、418、512、610、906、956、1014：薄閘極氧化物區域

326、328、330：厚度

332：區

350：抗熔絲記憶單元

360：淺溝槽隔離 (STI) 氧化物

410、756：共用擴散區

508、604、860、908：第一厚閘極氧化物段

510、606：第二厚閘極氧化物段

514、859、904、954、1013：矩形開口

608：第三閘極氧化物段

700、750、1000、1050、1100、1150：二電晶體抗熔絲記憶單元

704、754：閘極氧化物

712：鑽石形開口

809：「L」形開口

862、864、884、886、888、890、958、960：子段

1010、1054、1154：共同源極／汲極擴散區

BL：位元線

Vcp：胞元屏極電壓

VCP0、VCP1、VCP2、VCP3：邏輯胞元屏極

VPP：編程電壓

WL：字線

WL0、WL1、WL2、WL3：邏輯字線

申請專利範圍

1. 一種形成抗熔絲電晶體之可變厚度閘極氧化物之方法，包含以下步驟：

於該抗熔絲電晶體之通道區中生長第一氧化物；

從該通道區之薄氧化物區域移除該第一氧化物；

於該薄氧化物區域中及該第一氧化物下的該通道區之厚閘極氧化物區域中熱生長第二氧化物，且該厚閘極氧化物區域中的該第一氧化物及該第二氧化物之組合具有大於該薄氧化物區域中的該第二氧化物之厚度；以及

鄰近該厚氧化物區域形成擴散區，用於接收來自該通道區之電流。

2. 如申請專利範圍第 1 項之方法，其中，熱生長包括於該薄氧化物區域中以第一速率生長該第二氧化物，及於該厚閘極氧化物區域中以小於該第一速率之第二速率生長該第二氧化物。

3. 如申請專利範圍第 2 項之方法，其中，於該薄氧化物區域中以第一速率生長該第二氧化物包括消耗該薄氧化物區域之基板表面至第一深度，及於該厚閘極氧化物區域中生長該第二氧化物包括消耗該厚閘極氧化物區域之基板表面至小於該第一深度之第二深度。

4. 如申請專利範圍第 3 項之方法，其中，熱生長包括於該厚閘極氧化物區域及該薄閘極氧化物區域之間形成角氧化物區域，該角氧化物區域具有厚度與該厚閘極氧化物區域中的該第一氧化物及該第二氧化物之該組合不同，

及與該薄氧化物區域中的該第二氧化物不同。

5. 如申請專利範圍第 4 項之方法，進一步包括於該第一氧化物、該第二氧化物、及該角氧化物區域上形成共同閘極。

6. 如申請專利範圍第 1 項之方法，其中，該第一氧化物下之該第二氧化物較該薄氧化物區域中之該第二氧化物薄。

7. 如申請專利範圍第 1 項之方法，進一步包括形成與該擴散區電接觸之位元線接點，當該通道及該共同閘極間形成導電連接時，用於感測來自該共同閘極之電流。

8. 一種抗熔絲記憶單元，具有可變厚度閘極氧化物，包含：

基板中之通道區；

該通道區之厚氧化物區域中之第一氧化物；

於該通道區之薄氧化物區域中及在該第一氧化物下之該厚氧化物區域中熱生長之第二氧化物；

鄰近該厚氧化物區域之擴散區，用於接收來自該通道區之電流；

鄰近該薄閘極氧化物區域之絕緣；以及

該第一氧化物及該第二氧化物上之閘極。

9. 如申請專利範圍第 8 項之抗熔絲記憶單元，其中，該第一氧化物下之該第二氧化物較該薄氧化物區域中之該第二氧化物薄。

10. 如申請專利範圍第 9 項之抗熔絲記憶單元，其

中，該厚閘極氧化物區域中的該第一氧化物及該第二氧化物之組合具有大於該薄氧化物區域中的該第二氧化物之厚度。

11. 如申請專利範圍第 10 項之抗熔絲記憶單元，其中，該薄氧化物區域中的該第二氧化物延伸進入該基板至第一深度，且該厚氧化物區域中的該第二氧化物延伸進入該基板至小於該第一深度之第二深度。

12. 如申請專利範圍第 8 項之抗熔絲記憶單元，進一步包括該厚閘極氧化物區域及該薄閘極氧化物區域間之角氧化物區域，該角氧化物區域具有厚度與該厚閘極氧化物區域中的該第一氧化物及該第二氧化物之該組合不同，及與該薄氧化物區域中的該第二氧化物不同。

13. 如申請專利範圍第 8 項之抗熔絲記憶單元，其中，該閘極連接至字線。

14. 如申請專利範圍第 13 項之抗熔絲記憶單元，其中，該擴散區連接至位元線。

15. 如申請專利範圍第 13 項之抗熔絲記憶單元，進一步包括鄰近該擴散區之存取電晶體，及鄰近該存取電晶體之另一擴散區。

16. 如申請專利範圍第 15 項之抗熔絲記憶單元，其中，該另一擴散區連接至位元線。

17. 如申請專利範圍第 16 項之抗熔絲記憶單元，其中，該存取電晶體具有閘極氧化物厚度，相應於該厚閘極氧化物區域中該第一氧化物及該第二氧化物之該組合。

圖 式

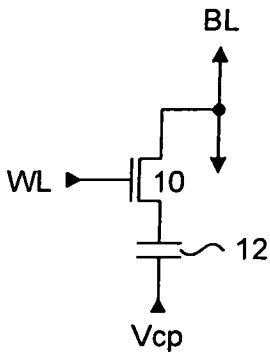


圖 1
(習知技藝)

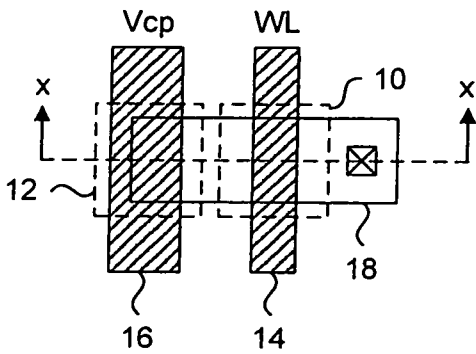


圖 2
(習知技藝)

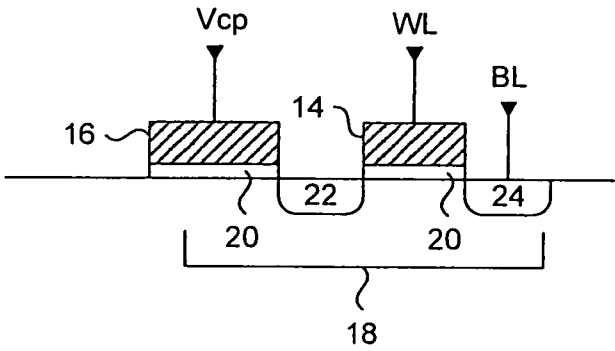


圖 3
(習知技藝)

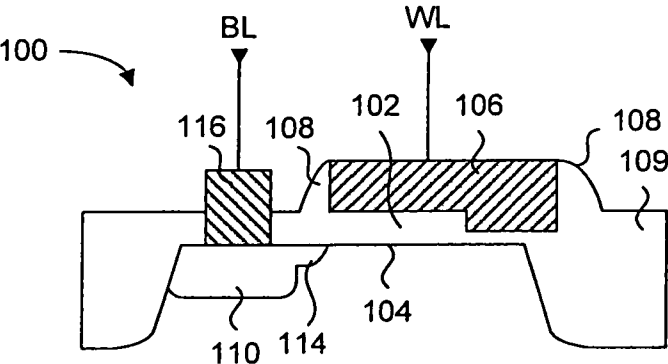


圖 4

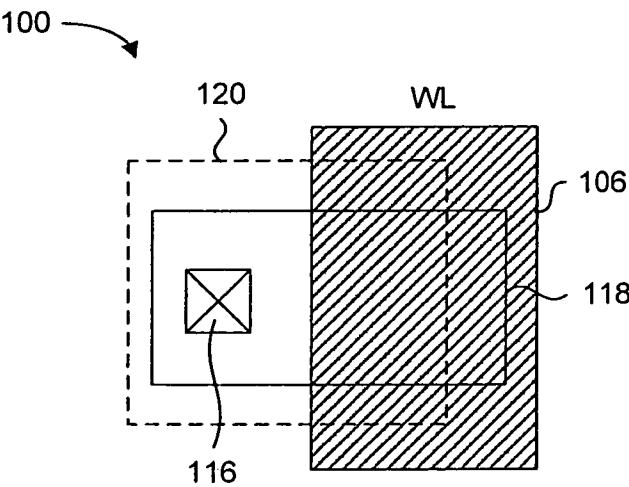


圖 5A

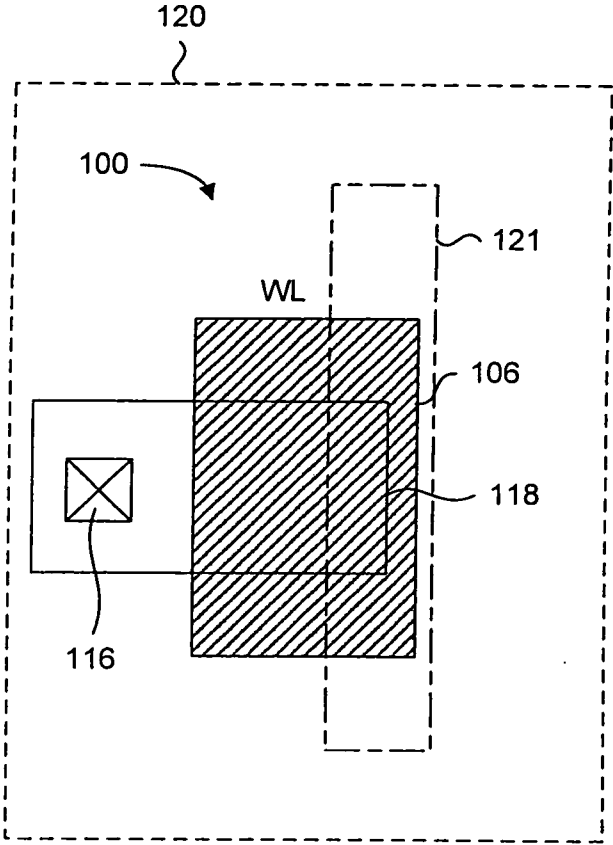


圖 5B

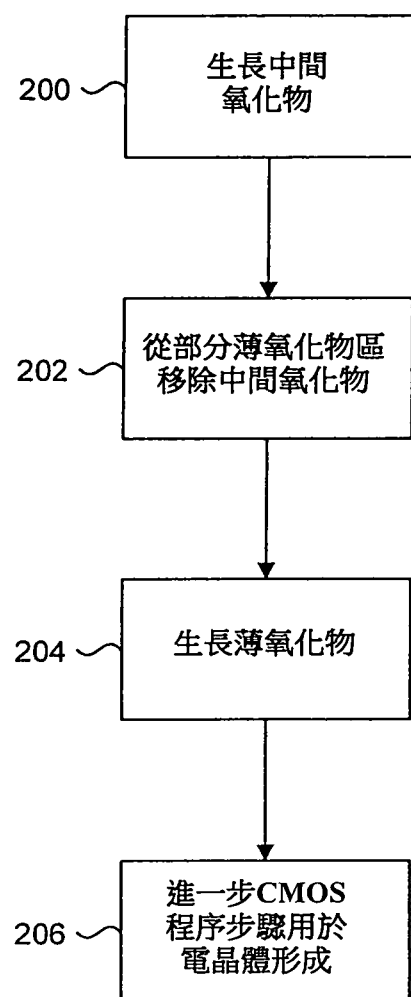


圖 6

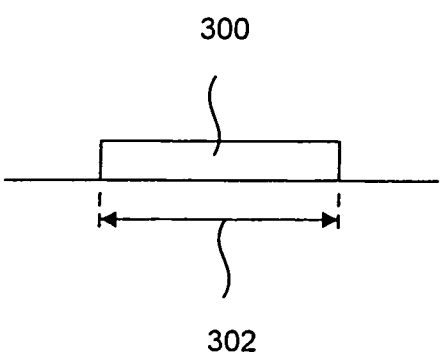


圖 7A

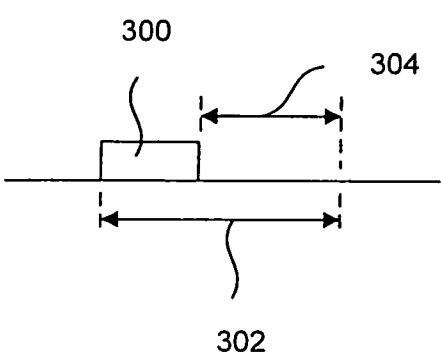


圖 7B

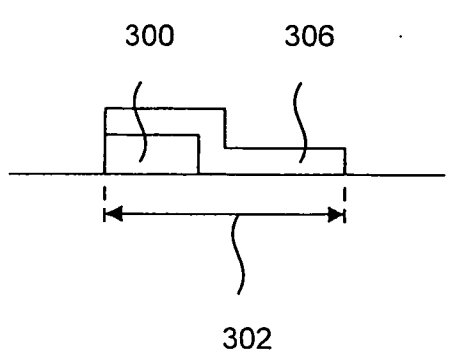


圖 7C

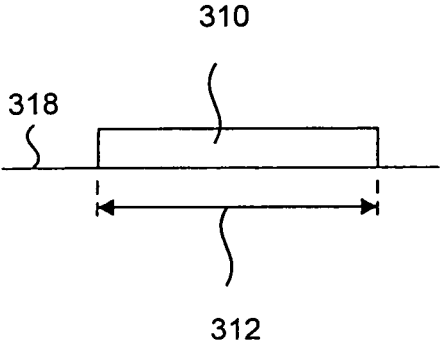


圖 8A

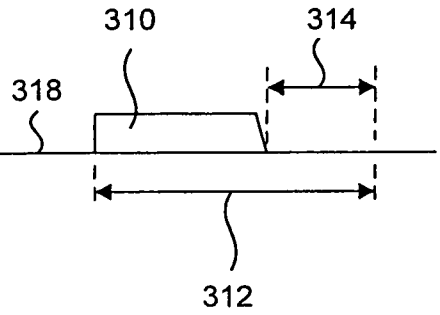


圖 8B

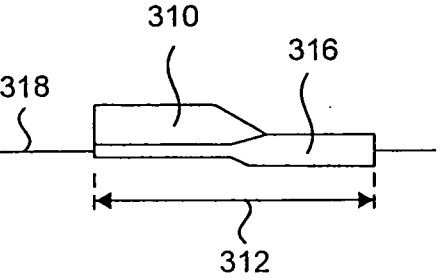


圖 8C

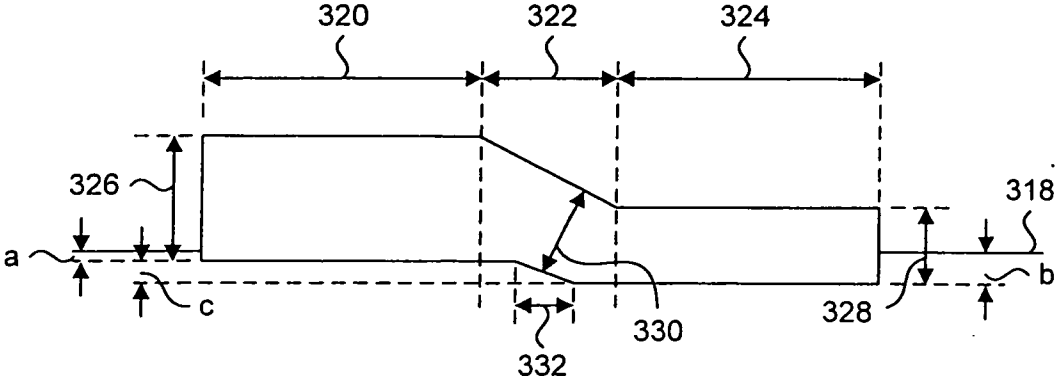


圖 9

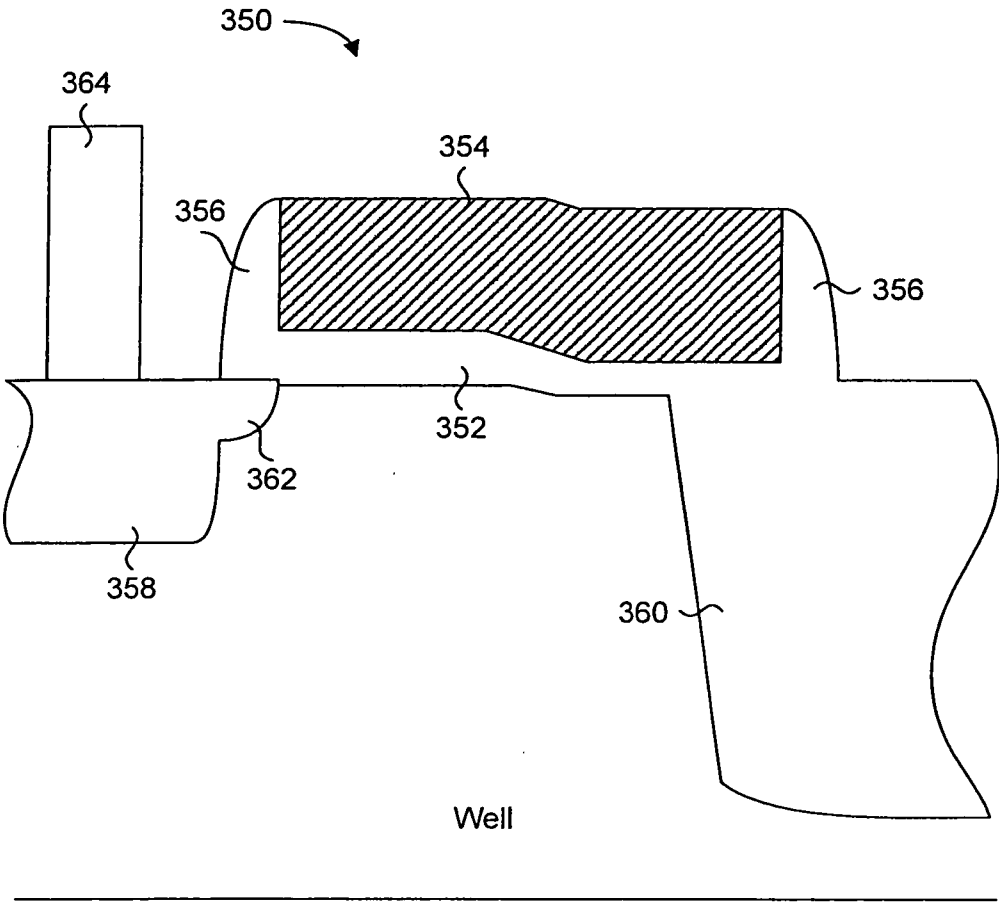


圖 10

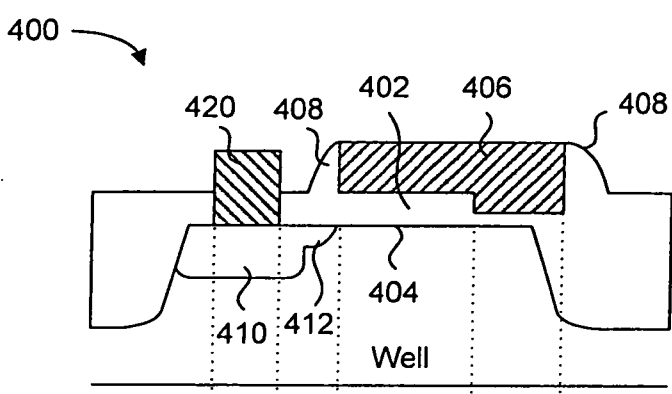


圖 11B

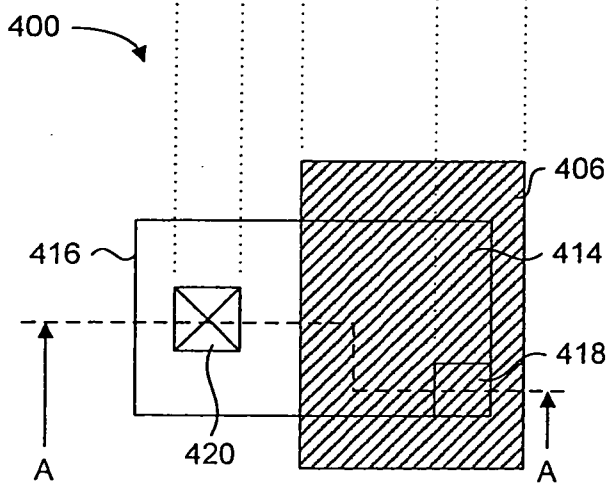


圖 11A

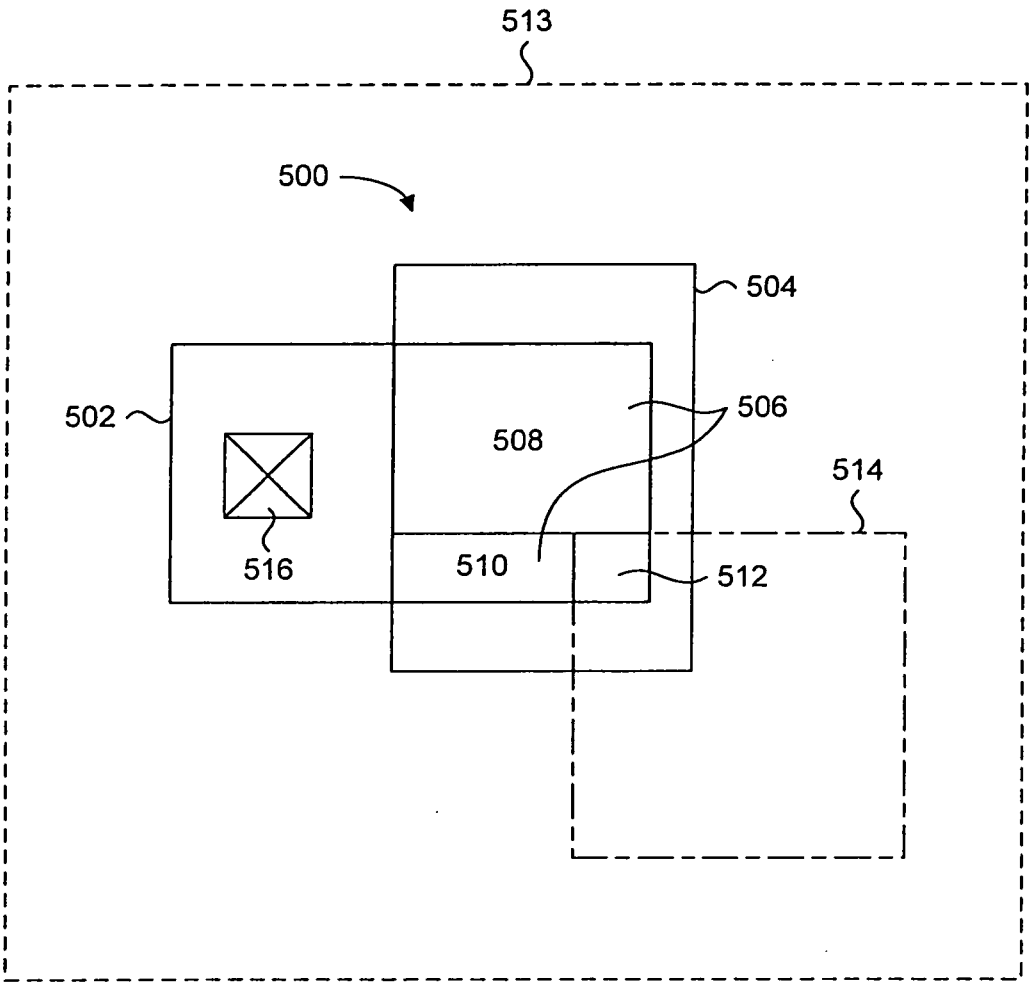


圖 12

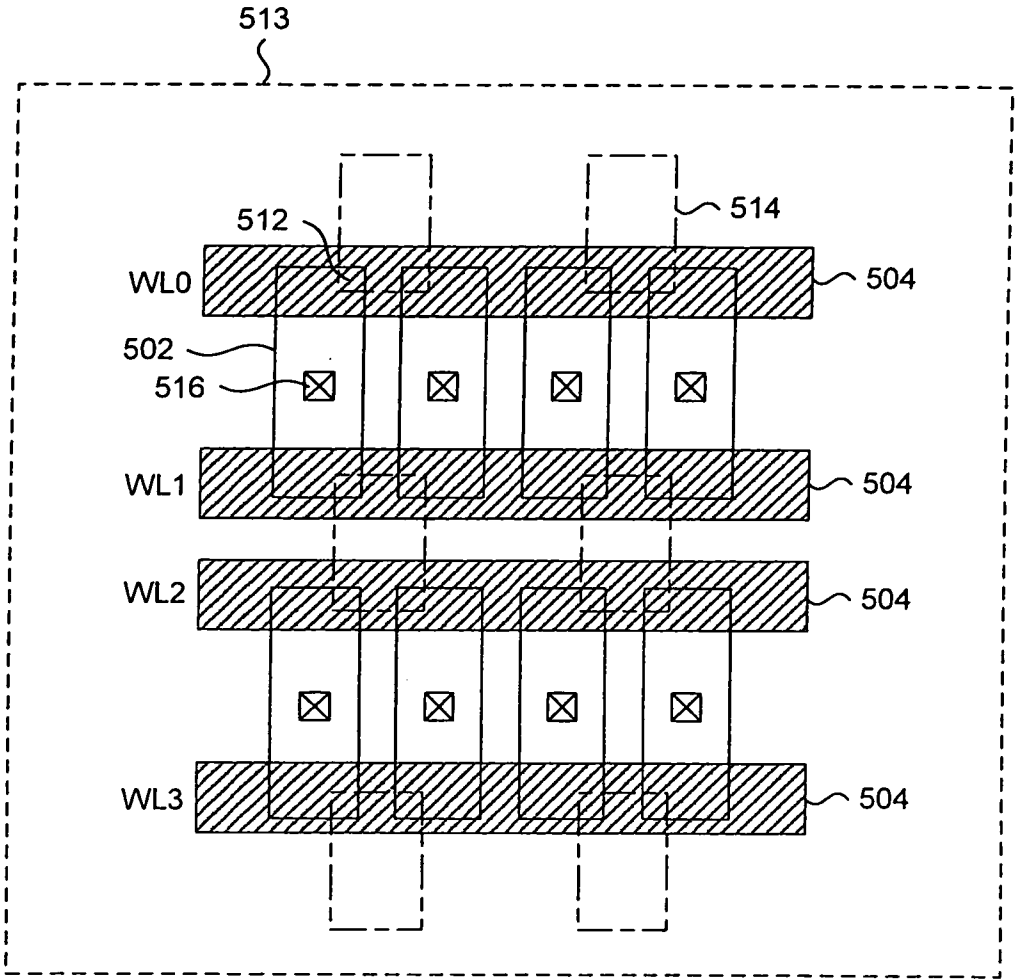


圖 13

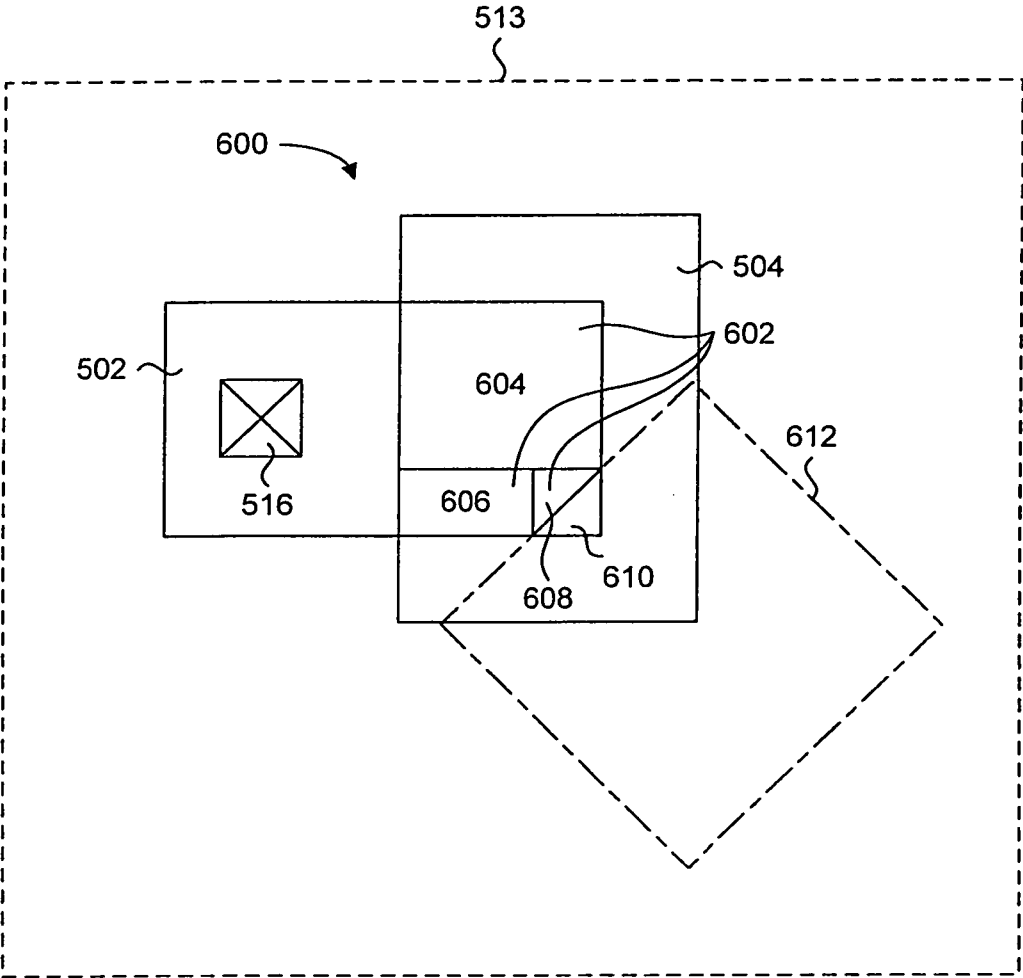


圖 14

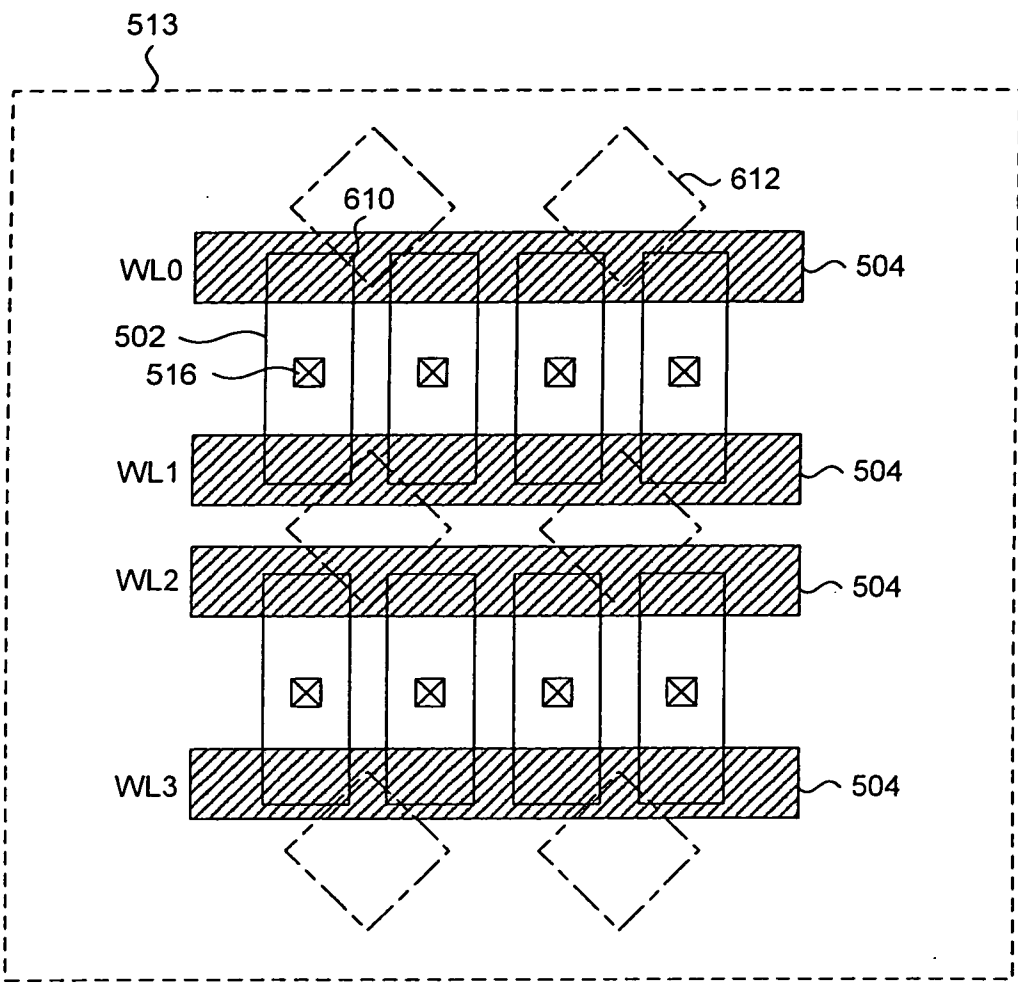


圖 15

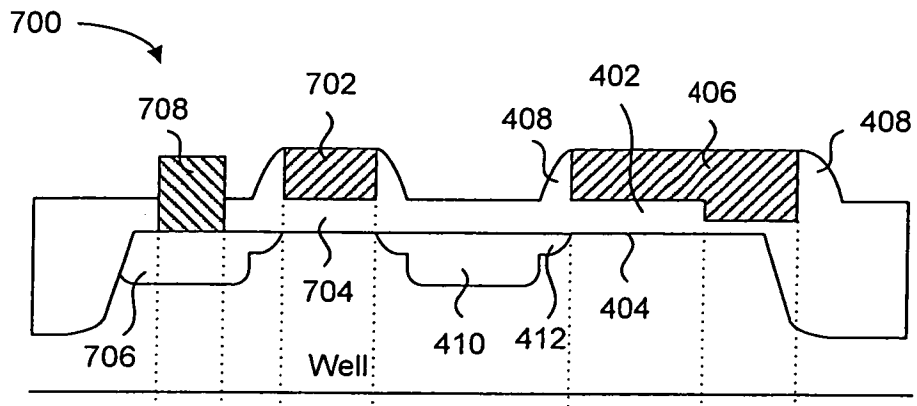


圖 16B

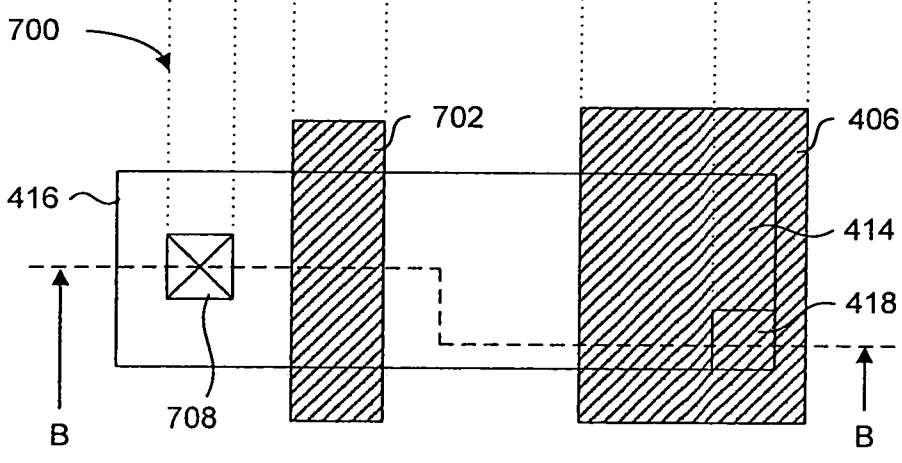


圖 16A

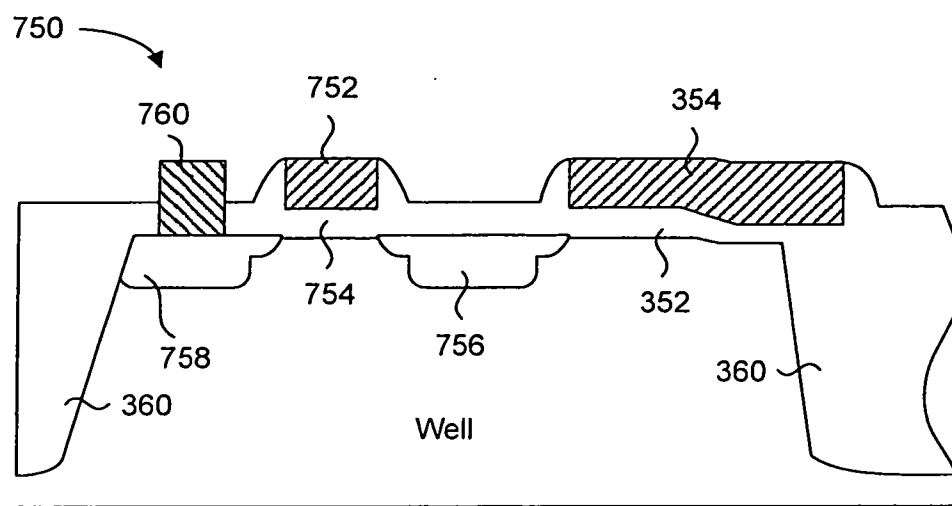


圖 16C

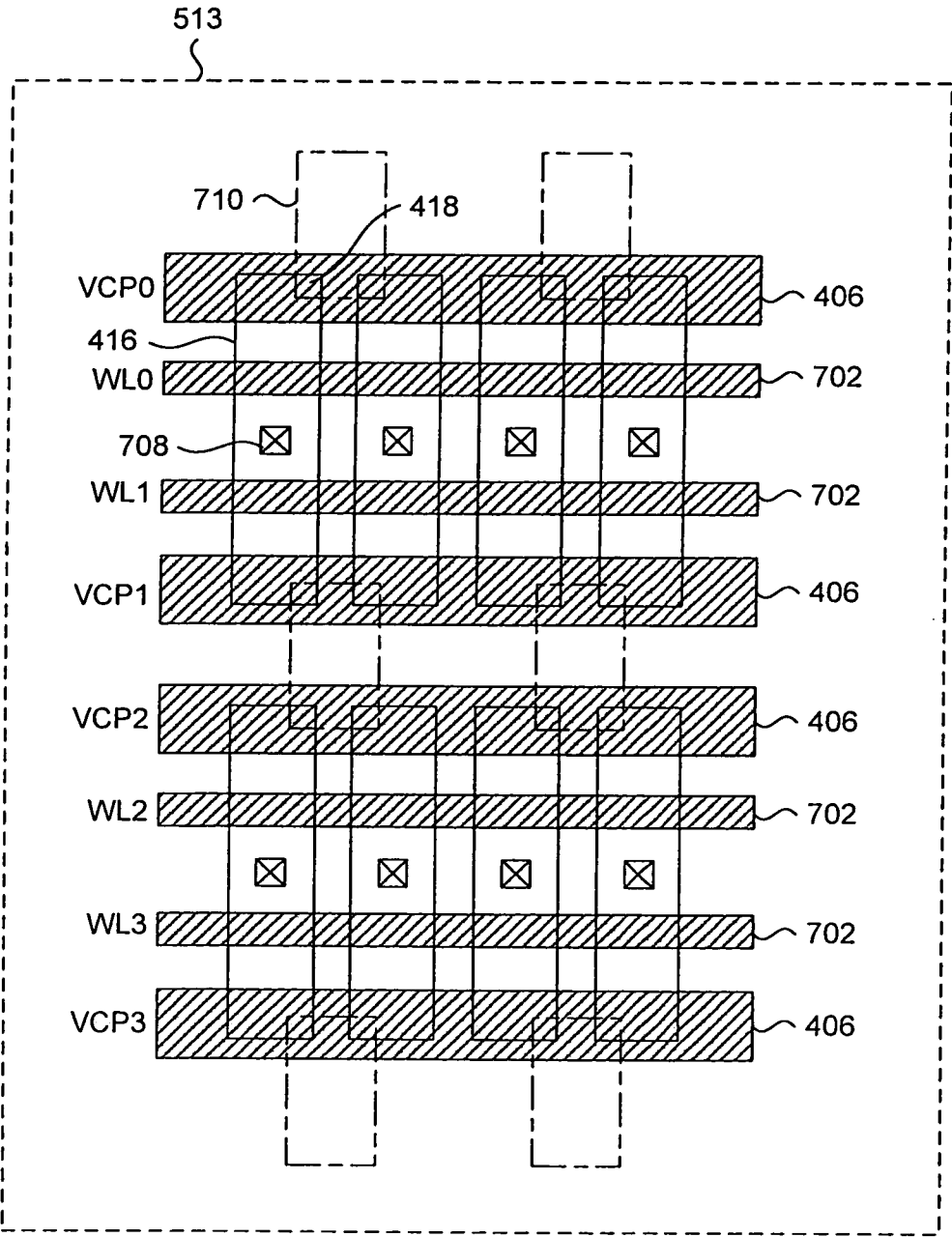


圖 17

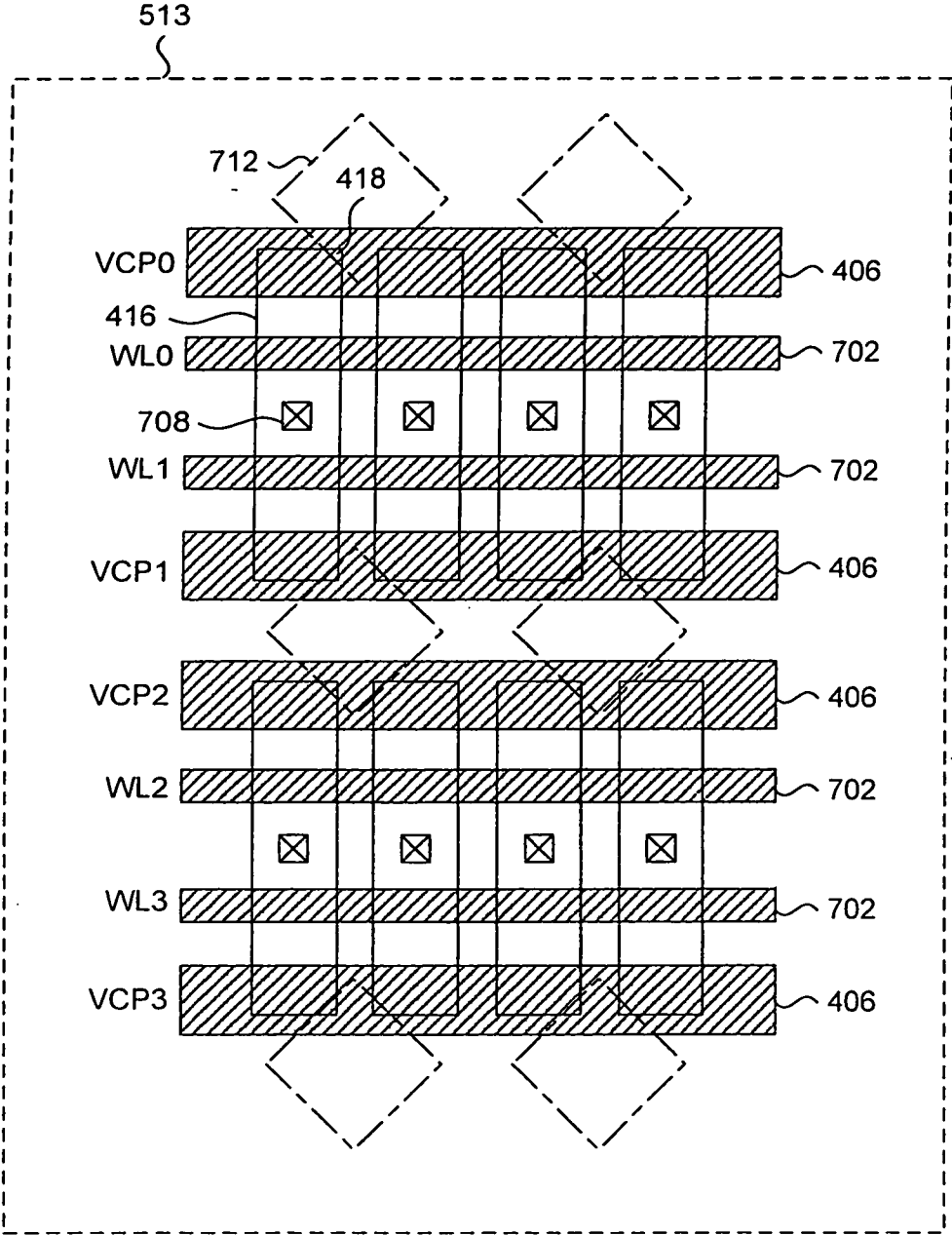


圖 18

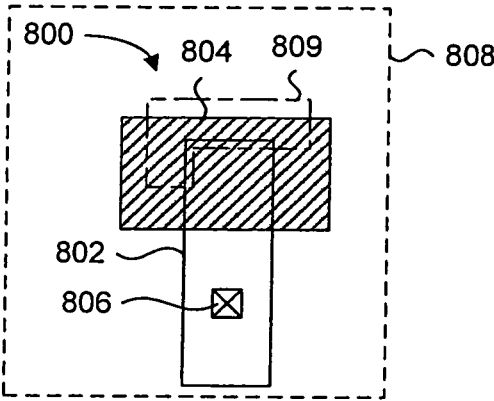


圖 19

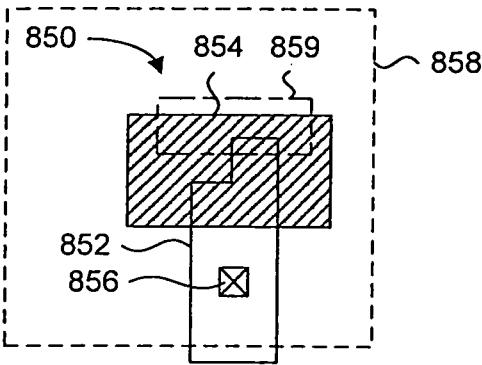


圖 20A

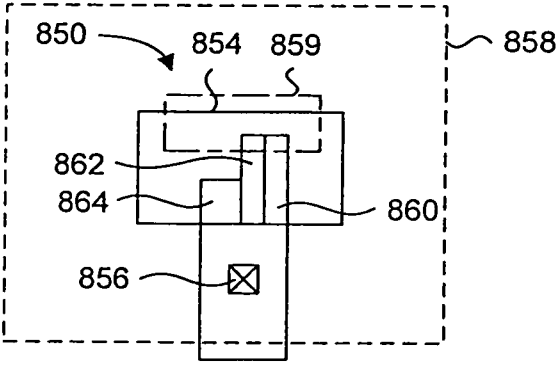


圖 20B

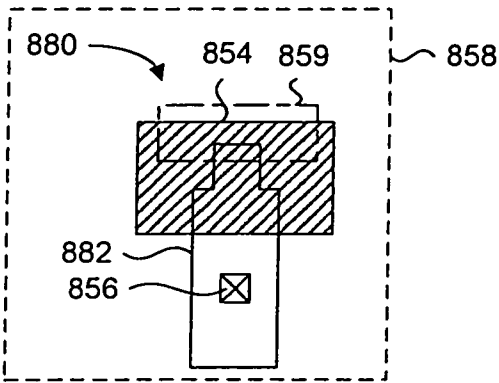


圖 21A

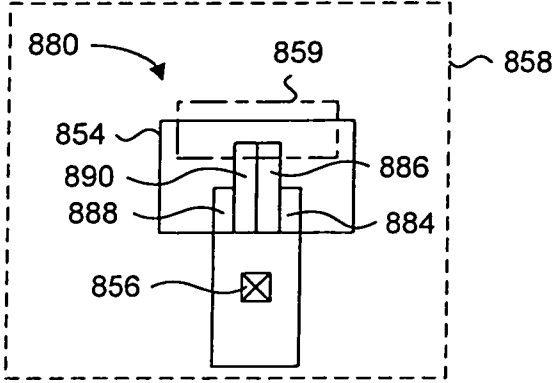


圖 21B

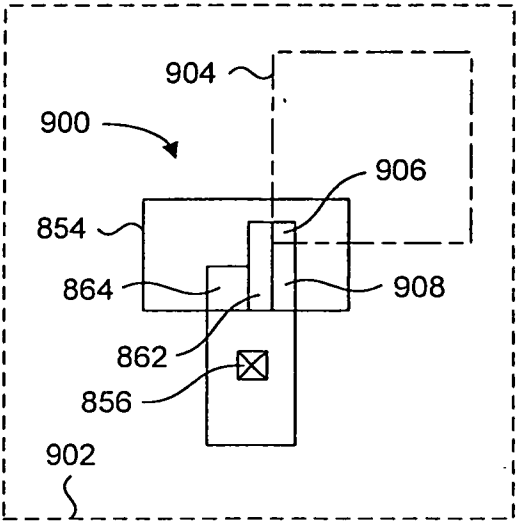


圖 22

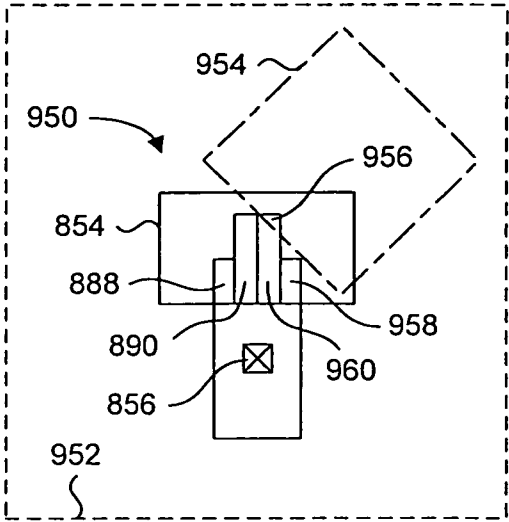


圖 23

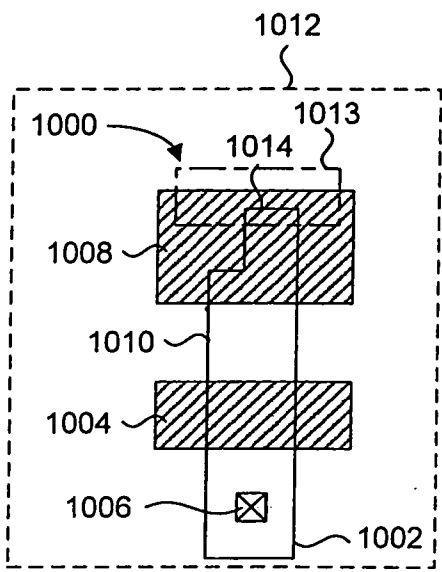


圖 24

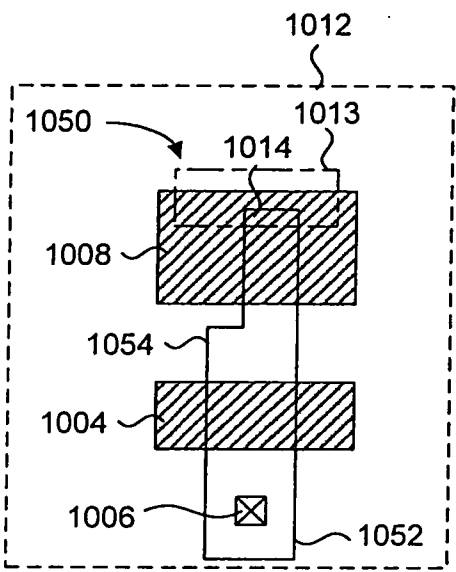


圖 25

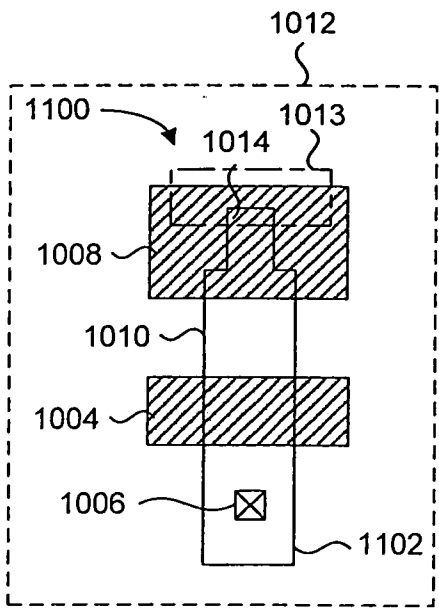


圖 26

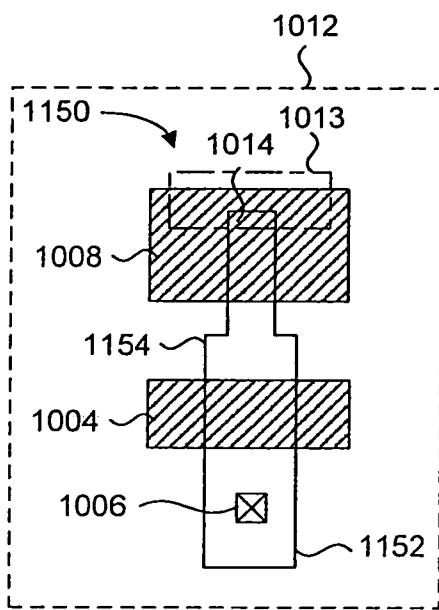


圖 27