



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.	(45) 공고일자	2007년05월16일
<i>H01L 27/115</i> (2006.01)	(11) 등록번호	10-0719047
<i>H01L 21/8247</i> (2006.01)	(24) 등록일자	2007년05월10일
<i>G11C 16/04</i> (2006.01)		

(21) 출원번호	10-2005-0125643	(65) 공개번호
(22) 출원일자	2005년12월19일	(43) 공개일자
심사청구일자	2005년12월19일	

(73) 특허권자

한양대학교 산학협력단
서울 성동구 행당동 17번지

삼성전자주식회사
경기도 수원시 영통구 매탄동 416

(72) 발명자

김태환
서울특별시 마포구 성산동 181-7

김영호
서울특별시 송파구 문정동 웨미리 아파트 217동 1201호

윤종승
서울특별시 서대문구 연희동 118-4

김재호
서울특별시 동대문구 제기2동 226

정재훈
서울특별시 광진구 자양2동 607-31 영성연립 A-301

(74) 대리인

정상빈
이경란
특허법인가산

(56) 선행기술조사문헌	
KR1019980087237 A	KR1020050096224 A
US20040004245 A1	US20050146938 A1

심사관 : 안철홍

전체 청구항 수 : 총 25 항

(54) 고분자 박막 안에 자발 형성된 다층 구조의 나노 입자층을 플로팅 게이트로 이용한 다중 준위 플래시 기억 소자와 그 제작 방법 및 그의 쓰기/읽기 동작 제어 방법

(57) 요약

본 발명은 고분자 박막 안에 자발 형성된 다층 구조의 나노 입자층을 플로팅 게이트로 이용한 다중 준위 플래시 기억 소자와 그 제작 방법 및 그의 쓰기/읽기 동작 제어 방법에 관한 것이다. 본 발명은 반도체 기판의 전면 상에 고분자 박막 내에 균일하게 분산된 나노 입자층을 다층으로 형성하여 플로팅 게이트를 제작하고, 상기 플로팅 게이트의 양측부에 소스 및 드레인을 형성한다. 본 발명에 따르면, 제작 과정을 단순화하고, 기억 소자의 기억 용량을 높일 수 있다.

대표도

도 1a

특허청구의 범위

청구항 1.

활성 영역을 가지는 반도체 기판;

상기 활성 영역에 형성되며, 서로 이격된 소스 영역 및 드레인 영역; 및

상기 소스 영역 및 상기 드레인 영역 사이의 채널 영역에 형성되며, 고분자 박막 내에 균일하게 분산된 나노 입자층이 다층으로 형성되어, 다중 준위로 동작하도록 구성된 플로팅 게이트를 포함하는 다중 준위 플래시 기억 소자.

청구항 2.

제1항에 있어서, 상기 고분자 박막은, 폴리이미드 박막인 다중 준위 플래시 기억 소자.

청구항 3.

제1항에 있어서, 상기 나노 입자는, $Ni_{1-x}Fe_x$ ($0 < x < 1$) 나노 입자인 다중 준위 플래시 기억 소자.

청구항 4.

반도체 기판의 전면 상에 고분자 박막 내에 균일하게 분산된 나노 입자층을 다층으로 형성하여 플로팅 게이트를 제작하는 단계(a); 및

상기 플로팅 게이트의 양측부에 소스 및 드레인을 형성하는 단계(b)를 포함하는 다중 준위 플래시 기억 소자의 제작 방법.

청구항 5.

제4항에 있어서, 상기 소스, 상기 드레인 및 상기 게이트의 상부에 전극으로 사용할 금속을 증착하는 단계(c)를 더 포함하는 다중 준위 플래시 기억 소자의 제작 방법.

청구항 6.

제5항에 있어서, 상기 금속은 알루미늄(Al)인 다중 준위 플래시 기억 소자의 제작 방법.

청구항 7.

제4항에 있어서, 상기 단계(a)는,

상기 반도체 기판 위에 상기 고분자 박막의 산성 전구체를 용매에 녹여 소정의 두께로 스핀 코팅하고 용매를 제거하는 단계(d);

나노 입자로 형성될 금속 또는 금속 화합물 중 어느 하나를 소정의 두께로 증착하는 단계(e);

상기 고분자의 산성 전구체를 용매에 녹여 소정의 두께로 스핀 코팅하고, 고분자 산성 전구체를 고분자 박막으로 경화하는 단계(f);

상기 단계(d) 내지 상기 단계(f)를 반복하여 수행하여 다층 구조의 나노 입자층을 형성하는 단계(g)를 포함하는 다중 준위 플래시 기억 소자의 제작 방법.

청구항 8.

제4항 또는 제7항에 있어서, 상기 반도체 기판은, p형의 불순물이 도핑된 실리콘 기판인 다중 준위 플래시 기억 소자의 제작 방법.

청구항 9.

제4항 또는 제7항에 있어서, 상기 고분자 박막은 폴리이미드 박막이고, 상기 고분자 산성 전구체는 폴리아믹산인 다중 준위 플래시 기억 소자의 제작 방법.

청구항 10.

제9항에 있어서, 상기 고분자 산성 전구체인 폴리아믹산은, Biphenyltetracarboxylic Dianhydride-p-Phenylenediamine(BPDA-PDA) 형인 다중 준위 플래시 기억 소자의 제작 방법.

청구항 11.

제4항 또는 제7항에 있어서, 상기 나노 입자는, $Ni_{1-x}Fe_x$ ($0 < x < 1$) 나노 입자인 다중 준위 플래시 기억 소자의 제작 방법.

청구항 12.

제7항에 있어서, 상기 나노 입자층이 될 금속 또는 금속 화합물 중 어느 하나의 소정의 두께는, 5nm인 다중 준위 플래시 기억 소자의 제작 방법.

청구항 13.

제7항에 있어서, 상기 용매는, N-Methyl-2-Pyrrolidone(NMP)인 다중 준위 플래시 기억 소자의 제작 방법.

청구항 14.

제4항에 있어서, 상기 단계(b)는,

이온 주입법으로 n-형 불순물 층을 형성하기 위하여 VI-족 반도체를 주입하여 n형의 소스와 드레인을 형성하는 다중 준위 플래시 기억 소자의 제작 방법.

청구항 15.

제14항에 있어서, 상기 VI-족 반도체는, 인(P)인 다중 준위 플래시 기억 소자의 제작 방법.

청구항 16.

초기 상태('11')로 기억된 다중 준위 플래시 기억 소자의 게이트 전극에 상태 '10'의 쓰기 전압을 인가하여 상기 다중 플래시 기억 소자가 상태 '10'을 기억하도록 하는 단계;

상기 게이트 전극에 상태 '01'의 쓰기 전압을 인가하여, 상기 다중 플래시 기억 소자가 상태 '01'을 기억하도록 하는 단계; 및

상기 게이트 전극에 상태 '00'의 쓰기 전압을 인가하여, 상기 다중 플래시 기억 소자가 상태 '00'을 기억하도록 하는 단계를 포함하는 다중 준위 플래시 기억 소자의 쓰기 동작 제어 방법.

청구항 17.

제16항에 있어서, 초기 상태('11')의 문턱 전압($V_{th'11}$), 상태 '10'의 문턱 전압($V_{th'10}$), 상태 '01'의 문턱 전압($V_{th'01}$) 및 상태 '00'의 문턱 전압($V_{th'00}$)은, 그 크기가 다음 식과 같은 다중 준위 플래시 기억 소자의 쓰기 동작 제어 방법.

$$V_{th'11} < V_{th'10} < V_{th'01} < V_{th'00}$$

청구항 18.

제17항에 있어서, 상기 상태 '10'은, 제1나노 입자층에 전자가 포획된 상태인 다중 준위 플래시 기억 소자의 쓰기 동작 제어 방법.

청구항 19.

제17항에 있어서, 상기 상태 '01'은, 제1 및 제2나노 입자층에 전자가 포획된 상태인 다중 준위 플래시 기억 소자의 쓰기 동작 제어 방법.

청구항 20.

제17항에 있어서, 상기 상태 '00'은, 제1 내지 제3나노 입자층에 전자가 포획된 상태인 다중 준위 플래시 기억 소자의 쓰기 동작 제어 방법.

청구항 21.

제16항 내지 제20항 중 어느 한 항에 의해 쓰기 전압 및 문턱 전압이 기억된 다중 준위 플래시 기억 소자의 읽기 동작을 제어하기 위한 다중 준위 플래시 기억 소자의 읽기 동작 제어 방법에 있어서,

인가되는 구동 전압과 각 상태의 문턱 전압을 비교하여, 소자의 기억 상태를 결정하는 것을 특징으로 하는 다중 준위 플래시 기억 소자의 읽기 동작 제어 방법.

청구항 22.

제21항에 있어서, 인가되는 전압이 초기 상태('11')의 문턱 전압보다 크고, 상태 '10'의 문턱 전압보다 작은 상태에서 드레인 전류가 흐르는 경우에는, 소자의 기억 상태가 '11' 이라고 결정하는 다중 준위 플래시 기억 소자의 읽기 동작 제어 방법.

청구항 23.

제21항에 있어서, 인가되는 전압이 상태 '10'의 문턱 전압보다 크고, 상태 '01'의 문턱 전압보다 작은 상태에서 드레인 전류가 흐르는 경우에는, 소자의 기억 상태가 '10' 이라고 결정하는 다중 준위 플래시 기억 소자의 읽기 동작 제어 방법.

청구항 24.

제21항에 있어서, 인가되는 전압이 상태 '01'의 문턱 전압보다 크고, 상태 '00'의 문턱 전압보다 작은 상태에서 드레인 전류가 흐르는 경우에는, 소자의 기억 상태가 '10' 이라고 결정하는 다중 준위 플래시 기억 소자의 읽기 동작 제어 방법.

청구항 25.

제21항에 있어서, 인가되는 전압이 상태 '00'의 문턱 전압보다 큰 상태에서도 드레인 전류가 흐르지 않는 경우에는, 소자의 기억 상태가 '00' 이라고 결정하는 다중 준위 플래시 기억 소자의 읽기 동작 제어 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 고분자 박막 안에 자발 형성된 다층 구조의 나노 입자층을 플로팅 게이트로 이용한 다중 준위 플래시 기억 소자와 그 제작 방법 및 그의 쓰기/읽기 제어 동작 방법에 관한 것으로, 보다 상세하게는 소재 공정 분야 및 기억 소자 제작 분야에 사용하기 위한, 고분자 박막 안에 자발 형성된 다층 구조의 나노 입자층을 플로팅 게이트로 이용한 다중 준위 플래시 기억 소자와 그 제작 방법 및 그의 쓰기/읽기 동작 제어 방법에 관한 것이다.

일반적으로, 플래시 메모리는 EPROM(Erasable Programmable ROM)의 작은 셀 면적과 EEPROM(Electrically Erasable Programmable ROM)의 전기적 소거가 가능하다는 장점을 조합하여 개발된 것으로, EEPROM과 달리 블록단위로 내용을 지울 수도 있고, 다시 프로그램이 가능하여 수정이 쉽고 속도가 빠른 장점을 가지고 어서, 메인보드 상의 바이오스용으로 많이 사용되고 있으며, 이동전화기, 위성박스, 디지털카메라, DVD, MP3 플레이어, 게임기 등과 같은 전자 기기에 널리 쓰이고 있다.

플래시 메모리 소자는 일반적으로 실리콘 기판 상부에 박막의 터널 산화막과, 그 상부에 폴리실리콘으로 이루어진 플로팅 게이트(floating gate)와 플로팅 게이트 전극 상부에 형성되는 게이트 전극간 절연막과, 소정의 전압을 인가 받는 콘트롤(control) 게이트 전극이 구비된다.

이 중 플로팅 게이트의 제작은, 상업적으로는 폴리실리콘을 사용하고, 소자의 크기를 작게 하기 위해 나노 입자를 사용하는 경우, Si 산화막 안에 Si 나노 입자를 사용하는 것이 일반적이거나, 이는 이온 주입을 이용하므로 그 공정이 대단히 복잡하며, 적은 수의 소자를 고도의 청정 조건 하에서만 제작할 수 있기 때문에 대량 생산에 어려움이 있는 문제점이 있다.

따라서, 기존의 플래시 기억 소자 구조에 Si 나노 입자를 사용할 경우 생산 효율이 떨어지고 제조비용이 높아지며, 이러한 구조의 플래시 기억 소자에서 소자 면적 크기의 증가 없이 대량의 정보를 기억시키기 위한 다중 준위 동작을 가능하게 하기 위해서는 복잡한 주변 회로 및 쓰기 시간을 정교하게 제어하는 동작 메커니즘이 요구된다.

이와 같은 종래의 기술로서, 다음과 같은 논문[B. Ricca, G. Torelli, M. Lanzoni, A. Manstretta, H. E. Maes, D. Montanari, and A. Modelli, Proc. IEEE, 86, 2399 (1998)]이 제시되어 있다.

위 논문은 실리콘 기반의 플래시 기억 소자에서 동일한 면적에서 보다 많은 저장 용량을 얻기 위해, 하나의 플로팅 게이트에 포획되는 전자의 양을 단계별로 조절하기 위하여 문턱전압을 조정하며, 이 방법은 다중준위 방식으로 하나의 기억 소자의 다수의 정보 저장을 가능하게 하였다.

그러나, 위 논문은 복잡한 주변회로와 쓰기 시간의 제어가 복잡한 문제점이 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기한 바와 같은 문제점을 해결하기 위하여 제안된 것으로, 폴리이미드 안에 자발 형성된 나노 입자들을 다층 구조로 형성하고, 형성된 다층 구조의 나노 입자층을 각각의 독립적인 플로팅 게이트로 사용함으로써, 다중 준위 동작이 용이한 플래시 기억소자를 저비용으로 제작하기 위한, 고분자 박막 안에 자발 형성된 다층 구조의 나노 입자층을 플로팅 게이트로 이용한 다중 준위 플래시 기억 소자와 그 제작 방법을 제공하는데 그 목적이 있다.

또한, 본 발명은 위와 같이 형성된 다중 준위 플래시 기억 소자의 읽기/쓰기 동작을 제어하기 위한, 다중 준위 플래시 기억 소자의 쓰기/읽기 동작 제어 방법을 제공하는데 또 다른 목적이 있다.

발명의 구성

상기한 바와 같은 목적을 달성하기 위해, 본 발명의 바람직한 실시예에 따르면, 활성 영역을 가지는 반도체 기판; 상기 활성 영역에 형성되며, 서로 이격된 소스 영역 및 드레인 영역; 및 상기 소스 영역 및 상기 드레인 영역 사이의 채널 영역에 형성되며, 고분자 박막 내에 균일하게 분산된 나노 입자층이 다층으로 형성되어, 다중 준위로 동작하도록 구성된 플로팅 게이트를 포함하는 다중 준위 플래시 기억 소자가 제공된다.

이때, 상기 고분자 박막은, 폴리이미드 박막이며, 상기 나노 입자는, $Ni_{1-x}Fe_x$ ($0 < x < 1$) 나노 입자인 것이 바람직하다.

또한, 본 발명의 다른 실시예에 따르면, 반도체 기판의 전면 상에 고분자 박막 내에 균일하게 분산된 나노 입자층을 다층으로 형성하여 플로팅 게이트를 제작하는 단계(a); 및 상기 플로팅 게이트의 양측부에 소스 및 드레인을 형성하는 단계(b)를 포함하는 다중 준위 플래시 기억 소자의 제작 방법이 제공한다. 이때, 상기 소스, 상기 드레인 및 상기 게이트의 상부에 전극으로 사용할 금속을 증착하는 단계(c)가 더 포함된다. 여기서, 상기 금속은 알루미늄(Al)인 것이 바람직하다.

상기 단계(b)는, 상기 반도체 기판 위에 상기 고분자 박막의 산성 전구체를 용매에 녹여 소정의 두께로 스핀 코팅하고 용매를 제거하는 단계(d); 나노 입자로 형성될 금속 또는 금속 화합물 중 어느 하나를 소정의 두께로 증착하는 단계 (e); 상기 고분자의 산성 전구체를 용매에 녹여 소정의 두께로 스핀 코팅하고, 고분자 산성 전구체를 고분자 박막으로 경화하는 단계(f); 상기 단계(d) 내지 상기 단계(f)를 반복하여 수행하여 다층 구조의 나노 입자층을 형성하는 단계(g)를 포함한다.

이때, 상기 반도체 기판은, p형의 불순물이 도핑된 실리콘 기판이며, 상기 고분자 박막은 폴리이미드 박막이고, 상기 고분자 산성 전구체는 폴리아믹산일 수 있다. 상기 고분자 산성 전구체인 폴리아믹산은, Biphenyltetracarboxylic

Dianhydride-p-Phenylenediamine(BPDA-PDA)형인 것이 바람직하다. 또한, 상기 나노 입자는, $Ni_{1-x}Fe_x(0 < x < 1)$ 나노 입자인 것이 바람직하며, , 상기 나노 입자층이 될 금속 또는 금속 화합물 중 어느 하나의 소정의 두께는 5nm인 것이 바람직하다. 상기 용매는, N-Methyl-2-Pyrrolidone(NMP)일 수 있다.

상기 단계(b)는, 이온 주입법으로 n-형의 불순물 층을 형성하기 위하여 VI-족 반도체를 주입하여 n형의 소스와 드레인을 형성하는 것이며, 이때 상기 VI-족 반도체는, 인(P)인 것이 바람직하다.

한편, 본 발명의 다른 실시예에 따르면, 초기 상태('11')로 기억된 다중 준위 플래시 기억 소자의 게이트 전극에 상태 '10'의 쓰기 전압을 인가하여 상기 다중 플래시 기억 소자가 상태 '10'을 기억하도록 하는 단계; 상기 게이트 전극에 상태 '01'의 쓰기 전압을 인가하여, 상기 다중 플래시 기억 소자가 상태 '01'을 기억하도록 하는 단계; 및 상기 게이트 전극에 상태 '00'의 쓰기 전압을 인가하여, 상기 다중 플래시 기억 소자가 상태 '00'을 기억하도록 하는 단계를 포함하는 다중 준위 플래시 기억 소자의 쓰기 동작 제어 방법이 제공된다.

여기서, 초기 상태('11')의 문턱 전압($V_{th'11'}$), 상태 '10'의 문턱 전압($V_{th'10'}$), 상태 '01'의 문턱 전압($V_{th'01'}$) 및 상태 '00'의 문턱 전압($V_{th'00'}$)은, 그 크기가 $V_{th'11'} < V_{th'10'} < V_{th'01'} < V_{th'00'}$ 인 것이 바람직하다.

이때, 상기 상태 '10'은, 제1나노 입자층에 전자가 포획된 상태이며, 상기 상태 '01'은, 제1 및 제2나노 입자층에 전자가 포획된 상태이고, 상기 상태 '00'은, 제1 내지 제3나노 입자층에 전자가 포획된 상태이다.

또한, 본 발명의 다른 실시예에 따르면, 위 방법에 의해 쓰기 전압 및 문턱 전압이 기억된 다중 준위 플래시 기억 소자의 읽기 동작을 제어하기 위한 다중 준위 플래시 기억 소자의 읽기 동작 제어 방법에 있어서, 인가되는 구동 전압과 각 상태의 문턱 전압을 비교하여, 소자의 기억 상태를 결정하는 것을 특징으로 하는 다중 준위 플래시 기억 소자의 읽기 동작 제어 방법이 제공된다.

여기서, 인가되는 전압이 초기 상태('11')의 문턱 전압보다 크고, 상태 '10'의 문턱 전압보다 작은 상태에서 드레인 전류가 흐르는 경우에는, 소자의 기억 상태가 '11' 이라고 결정하고, 인가되는 전압이 상태 '10'의 문턱 전압보다 크고, 상태 '01'의 문턱 전압보다 작은 상태에서 드레인 전류가 흐르는 경우에는, 소자의 기억 상태가 '10' 이라고 결정하며, 인가되는 전압이 상태 '01'의 문턱 전압보다 크고, 상태 '00'의 문턱 전압보다 작은 상태에서 드레인 전류가 흐르는 경우에는, 소자의 기억 상태가 '10' 이라고 결정하고, 인가되는 전압이 상태 '00'의 문턱 전압보다 큰 상태에서도 드레인 전류가 흐르지 않는 경우에는, 소자의 기억 상태가 '00' 이라고 결정하는 것이 바람직하다.

상술한 목적, 특징들 및 장점은 첨부된 도면과 관련한 다음의 상세한 설명을 통하여 보다 분명해 질 것이다. 우선 각 도면의 구성요소들에 참조 번호를 부가함에 있어서, 동일한 구성요소들에 한해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 번호를 가지도록 하고 있음에 유의하여야 한다. 이하, 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예를 상세히 설명한다.

도 1a는 본 발명에 따른 다중 준위 플래시 기억 소자를 설명하기 위한 일실시에 개략도이며, 도 1b는 도 1a의 단면도이다.

도 1을 참조로 본 발명의 고분자 박막 안에 자발 형성된 다층 구조의 나노 입자층을 플로팅 게이트로 이용한 다중 준위 플래시 기억 소자 제작 방법을 설명하는 것으로 하자.

도 1을 참조로 하면, 불순물 및 자연적인 산화막이 제거된 반도체 기판(100), 예를 들어 p형의 불순물이 도핑된 실리콘(p-Si) 기판 위에 N-Methyl-2-Pyrrolidone(NMP)를 용매로 하여 Biphenyltetracarboxylic Dianhydride-p-Phenylenediamine(BPDA-PDA) 형의 폴리이미드의 산성 전구체인 폴리아믹산을 스핀 코팅하고, 용매를 제거하기 위해 135℃에서 30분 동안 열을 가한다.

다음으로 5nm 두께로 $Ni_{1-x}Fe_x(0 < x < 1)$ 임. 예를 들어, $Ni_{0.8}Fe_{0.2}$ 층을 스퍼터링(sputtering) 공정을 사용하여 증착한다.

다시 폴리아믹산을 스핀 코팅한 후에, 상온에서 2시간 동안 보관한다. 그 후 10^{-3} Pa 환경 하에 400℃에서 한 시간 동안 열을 가하는 경화작용을 통하여 폴리아믹산을 반응시켜 폴리아믹산을 폴리이미드로 경화시키면, 폴리이미드 박막(130) 내에 균일하게 분산된 고밀도 $Ni_{1-x}Fe_x$ 나노 입자층(140)을 형성할 수 있다.

2번째 $Ni_{1-x}Fe_x$ 나노 입자층을 형성하기 위하여, 5nm 두께로 $Ni_{1-x}Fe_x$ 층을 스퍼터링 공정을 사용하여 증착시키고, 다시 폴리아믹산을 스핀 코팅한 후에, 상온에서 2시간 동안 보관한다. 그 후 10^{-3} Pa 환경 하에 $400^{\circ}C$ 에서 한 시간 동안 열을 가하는 경화작용을 통하여 폴리아믹산을 반응시켜 폴리아믹산을 폴리이미드로 경화시키면, 폴리이미드 박막(130) 내에 균일하게 분산된 고밀도 $Ni_{1-x}Fe_x$ 나노 입자층(140)을 형성할 수 있다.

이러한 과정을 반복하면, 다층 구조의 $Ni_{1-x}Fe_x$ 나노 입자층(140)을 형성할 수 있을 것이며, 이것이 플로팅 게이트로 사용된다.

이후, 소스(110)와 드레인(120)을 형성하기 위해, 마스크 과정을 거치고, 이온 주입법으로 n-형 불순물 층을 형성하기 위하여 VI-족 반도체(예를 들어, 인(P))을 주입하여 n형의 소스(110)와 드레인(120)을 형성한다. 그리고 소스(110), 드레인(120) 및 게이트(130)의 전극(각각, 151, 152, 153)으로 사용할 금속(예를 들어, 알루미늄(Al))을 증착한다.

본 발명은 스핀 코팅으로 형성된 폴리이미드(130)의 두께, 용매와 BPDA-PDA 전구체의 혼합 비율 및 경화작용의 조건들에 따라 폴리이미드(130) 안에 형성되는 $Ni_{1-x}Fe_x$ 나노 입자의 크기 및 밀도를 조절할 수 있으며, 스핀 코팅 속도를 조정하여 각각의 $Ni_{1-x}Fe_x$ 나노 입자층과의 거리를 조절할 수 있다.

형성된 나노 입자의 크기, 밀도 및 나노 입자층의 개수를 조절하면, 나노 입자가 전자를 포획 및 방출하기 위해 외부에서 인가하는 전압의 조절이 가능하며, 나노 입자 층의 개수에 따라 각 준위에 해당하는 쓰기 전압 및 읽기 전압의 수를 결정할 수 있다.

도 1a 및 도 1b에서는 3층의 $Ni_{1-x}Fe_x$ 나노 입자층이 형성된 것을 예를 들어 설명하였으나, 그에 한정되는 것이 아님은 자명하다.

도 2는 본 발명에 따라 제작된 다층 구조의 $Ni_{1-x}Fe_x$ 나노 입자가 형성되어 있는 것을 투과전자현미경으로 관찰한 일례시도이다.

도면에 도시된 바와 같이, 폴리이미드 박막 안에 다층 구조의 $Ni_{1-x}Fe_x$ 나노 입자층이 형성되어 있음을 알 수 있다.

도 3은 본 발명에 따라 제작된 다중 준위 나노 플로팅 게이트 구조의 정전용량-전압(C-V)을 나타낸 일실시예 그래프이다.

도면에 도시된 바와 같이, 본 발명의 순방향 쓰기 전압의 크기에 따른 ΔV_{FB} 의 차이가 나타난다. ΔV_{FB} 의 최대 크기는 2V이다.

이하에서는 본 발명에 따라 제작된 다중 준위 플래시 기억 소자의 동작 원리에 대하여 설명하기로 한다. 먼저 도 4 내지 도 7을 참조로 소자의 쓰기 동작에 대하여 설명하고, 도 8을 참조로 소자의 소거 동작에 대하여 설명한 후, 도 9 내지 도 12를 참조로 소자의 읽기 동작에 대하여 설명하기로 하겠다.

도 4a는 본 발명의 다중 준위 플래시 기억 소자의 초기 상태의 동작도를 나타낸 것이며, 도 4b는 도 4a의 C-V 특성 곡선이다.

도 4a의 설명에서, $Ni_{1-x}Fe_x$ 나노 입자층이 3개 형성된 경우의 동작 상태를 설명하는 것으로 하고, 각각 제1나노 입자층(141), 제2나노 입자층(142) 및 제3나노 입자층(143)으로 구별하여 설명하는 것으로 하자. 다만, 그 수에 한정되는 것은 아니라 할 것이며, 이하 본 발명의 설명에서 같다.

도면에 도시된 바와 같이, 초기 상태는 폴리이미드 박막(130) 내에 3층으로 구성된 $Ni_{1-x}Fe_x$ 나노 입자층(141~143)에 포획된 전자가 전혀 없는 상태이며, 이때의 C-V 특성 곡선은 도 4b와 같이 전형적인 금속-절연체-반도체(metal-insulator-semiconductor; MIS) 구조의 특성을 나타낸다. 이처럼, 나노 입자층에 포획된 전자가 없어서 C-V 특성에 히스테리시스(hysteresis)가 나타나지 않는 상태를 상태 '11'로 정의한다. 다른 상태 '10', '01' 및 '00'의 쓰기 동작을 위해서는 소자는 반드시 초기 상태 '11'로 되어 있어야 한다.

도 5a는 본 발명의 다중 준위 플래시 기억 소자에 상태 '10'의 쓰기 전압이 인가된 상태의 동작도를 나타낸 것이며, 도 5b는 도 5a의 C-V 특성 곡선이다.

도면에 도시된 바와 같이, 상태'11'로 초기화된 기억 소자에 상태'10'을 기억시키기 위해 소스(110)와 드레인(120)을 외부 전원으로부터 차단하고, 게이트 전극(153)에 상태'10'쓰기 전압 $V_{W'10'}$ 을 인가한다. 소자에 쓰기 전압 $V_{W'10'}$ 을 인가하면, p-Si 기판(100)의 반전층에서 형성된 전자는 터널링을 통해 폴리이미드(130)로 주입되고, 폴리이미드 박막(130) 안에 자발 형성된 $Ni_{1-x}Fe_x$ 나노 입자층 중에 가장 아래에 존재하는 제1나노 입자층(141)에 포획되게 된다. 쓰기 전압 $V_{W'10'}$ 은 다른 상태'01'또는'00'의 쓰기 전압보다 작기 때문에 주입된 전자는 두 번째와 세 번째 층에 포획되지 못하고, 대부분 첫 번째 층인 제1나노 입자층(141)에 포획되게 된다.

나노 입자층에 전자가 포획되었기 때문에 포획된 전자에 의한 내부 전계로 인하여, 초기 상태의 C-V 곡선은 양의 방향으로 이동하게 된다. 이에 따른 V_{FB} 의 변화는 제1나노 입자층(141)에 포획된 전자의 수에 비례하며, 소자의 문턱전압 V_{th} 가 바뀌게 된다. 그러므로, 쓰기 전압 $V_{W'10'}$ 에 의해 초기 상태의 문턱전압 $V_{th'11'}$ 에서 $V_{th'10'}$ 로 변하며 소자는 상태'10'을 기억하게 된다.

도 6a는 본 발명의 다중 준위 플래시 기억 소자에 상태 '01'의 쓰기 전압이 인가된 상태의 동작도를 나타낸 것이며, 도 6b는 도 6a의 C-V 특성 곡선이다.

도 6a와 같이, 소자에 상태'01'을 기억시키기 위해 게이트 전극(153)에 상태'01'쓰기 전압 $V_{W'01'}$ 을 인가한다. 전체적인 소자의 동작은 상태'10'의 경우와 같다. 다만 쓰기 전압 $V_{W'01'}$ 이 $V_{W'10'}$ 보다 높기 때문에 반전층에서 형성된 전자는 폴리이미드 박막(130) 내에 자발 형성된 $Ni_{1-x}Fe_x$ 나노 입자층 중 제1나노 입자층(141)과 제2나노 입자층(142)에 포획된다.

한편, 초기 상태의 C-V 곡선은 양의 방향으로 이동하며 나노 입자에 포획되는 전자의 양이 상태'10'보다 더 많기 때문에 더 크게 이동하게 된다. 이에 따른 V_{FB} 의 변화 역시 상태 '10'보다 크며 문턱전압은 $V_{th'01'}$ 로 변하며 소자는 상태'01'을 기억하게 된다.

도 7a는 본 발명의 다중 준위 플래시 기억 소자에 상태 '00'의 쓰기 전압이 인가된 상태의 동작도를 나타낸 것이며, 도 7b는 도 7a의 C-V 특성 곡선이다.

도면에 도시된 바와 같이, 소자에 상태'00'을 기억시키기 위해서는 게이트 전극(153)에 상태'00'쓰기 전압 $V_{W'00'}$ 을 인가한다. 전체적인 소자의 동작은 상태'10'및 '01'과 같다. 쓰기 전압이 가장 높기 때문에 전자는 제1 내지 제3나노 입자층(141~143)에 모두 포획된다.

역시 초기 상태의 C-V 곡선은 양의 방향으로 이동하며 이동하는 폭은 최대가 된다. 문턱전압은 $V_{th'00'}$ 로 변하며 소자는 상태'00'을 기억하게 된다.

도 8a는 본 발명의 다중 준위 플래시 기억 소자에 소거 전압이 인가된 상태의 동작도를 나타낸 것이며, 도 8b는 도 8a의 C-V 특성 곡선이다.

도면에 도시된 바와 같이, 소자를 소거시켜 상태'11'로 초기화시키기 위해 소스(110)와 드레인(120)을 외부 전원과 분리하고, 게이트 전극(153)에 쓰기 전압과는 반대 방향의 소거 전압 V_E 를 인가한다. 소거 전압을 인가하면, 각 $Ni_{1-x}Fe_x$ 나노 입자층(141~143)에 포획되어 있는 전자들은 p-Si 기판(100)으로 방출되게 된다.

나노 입자층에 포획되어 있는 전자들이 방출되면 기억되어 있는 상태와 무관하게 도 4b의 C-V 곡선처럼 히스테리시스 특성을 상실하게 된다. 이렇게 C-V의 히스테리시스 특성을 상실하면 소자는 초기화되었다고 정의하며 상태'11'을 갖게 된다.

도 9a는 본 발명의 다중 준위 플래시 기억 소자가 상태 '11'을 읽기 위한 읽기 전압이 인가된 상태의 동작도를 나타낸 것이며, 도 9b는 도 9a의 C-V 특성 곡선이다.

도면에 도시된 바와 같이, 초기화된 소자의 상태'11'을 읽기 위해서, 소스전극(151)과 드레인 전극(152)에 전압 V_D 를 인가하고, 게이트 전극(153)에 읽기 전압 $V_{R'11}$ 를 인가한다. 상태'11'의 경우, $Ni_{1-x}Fe_x$ 나노 입자에는 전자가 전혀 포획되어 있지 않다. 따라서 소자의 읽기 전압 $V_{R'11}$ 은 상태 '11'에서의 문턱 전압 $V_{th'11}$ 보다 크므로, 도 9a와 같이 p-Si 기판(100)에는 채널이 형성되고 드레인 전압 V_D 에 따른 드레인 전류 I_D 가 흐르게 된다. 이 전류를 구동회로에서 감지하여 소자의 기억 상태가 '11'임을 결정한다.

도 10a는 본 발명의 다중 준위 플래시 기억 소자가 상태 '10'을 읽기 위한 읽기 전압이 인가된 상태의 동작도를 나타낸 것이며, 도 10b는 도 10a의 C-V 특성 곡선이다.

소자가 상태'10'으로 기억되어 있을 때는 도 10b의 C-V 특성 곡선과 같이 소자의 문턱 전압 $V_{th'10}$ 은 상태'11'의 읽기 전압 $V_{R'11}$ 보다 크다. 따라서 $V_{R'11}$ 을 인가했을 때는 채널이 형성되지 않고 따라서 드레인 전류 I_D 도 흐르지 않는다. $V_{R'11}$ 에서 드레인 전류가 흐르지 않으면 구동회로는 보다 높은 읽기 전압 $V_{R'10}$ 을 게이트 전극(153)에 인가한다. 도 10b에 나타난 바와 같이 $V_{R'10}$ 는 상태'10'의 문턱 전압 $V_{th'10}$ 보다 크다. 따라서 드레인 전류 I_D 가 흐르게 되며, 구동 회로는 전류가 흐름을 감지한다.

구동 회로는 읽기 전압 $V_{R'11}$ 에서 전류가 흐르지 않고, $V_{R'10}$ 에서 전류가 흐르는 경우에 소자의 기억 상태가 '10'이라고 결정한다.

도 11a는 본 발명의 다중 준위 플래시 기억 소자가 상태 '01'을 읽기 위한 읽기 전압이 인가된 상태의 동작도를 나타낸 것이며, 도 11b는 도 11a의 C-V 특성 곡선이다.

소자의 상태가'01'로 기억되어 있을 때, 도 11b와 같은 C-V 특성 곡선을 갖는다. 상태'01'의 문턱 전압 $V_{th'01}$ 은 읽기 전압 $V_{R'10}$ 보다 크므로 드레인 전류는 흐르지 않는다. 따라서 더 높은 읽기 전압 $V_{R'01}$ 을 인가해야 드레인 전류가 흐른다. 구동 회로는 읽기 전압 $V_{R'11}$ 및 $V_{R'10}$ 에서 전류가 흐르지 않으면 게이트에 더 높은 읽기 전압 $V_{R'01}$ 을 인가하여 드레인 전류가 흐르게 한다.

구동 회로는 읽기 전압 $V_{R'11}$ 에서 전류가 흐르지 않으면 순차적으로 $V_{R'10}$ 을 인가하고, 그래도 전류가 흐르지 않으면 $V_{R'01}$ 을 인가해 드레인 전류가 흐르면 소자의 기억 상태가'01'이라고 결정한다.

도 12a는 본 발명의 다중 준위 플래시 기억 소자가 상태 '00'을 읽기 위한 읽기 전압이 인가된 상태의 동작도를 나타낸 것이며, 도 12b는 도 12a의 C-V 특성 곡선이다.

소자의 상태가'00'로 기억되어 있을 때, 도 12b와 같이 소자의 문턱 전압은 가장 큰 값을 갖는다. 이 상태'00'의 문턱 전압 $V_{th'00}$ 은 소자의 가장 큰 읽기 전압 $V_{R'01}$ 보다 크므로, 이 경우 드레인 전류는 전혀 흐르지 않는다.

구동 회로는 읽기 전압 $V_{R'11}$ 에서 전류가 흐르지 않으면 순차적으로 $V_{R'10}$ 을 인가하고, 그래도 전류가 흐르지 않으면 $V_{R'01}$ 을 인가해 드레인 전류가 흐름을 감지한다. 모든 읽기 전압에서 전류가 흐르지 않으면 소자의 상태는 '00'로 결정된다.

도 13은 도 4 내지 도 12에서 제시한 각 상태에 대한 쓰기, 읽기, 소거 및 소자 문턱 전압의 상대적인 크기를 나타내는 일례 시도이다.

소자의 동작시 각 상태에 맞는 게이트 전압이 인가되어야 함을 알 수 있다.

앞에서 언급한 것과 같이 기존의 Si 산화막 안에 Si 나노 입자를 형성하여 플래시 기억 소자를 제작하는 것은 공정이 복잡하고 고도의 청정 환경을 요구하기 때문에 공정 가격이 대단히 높으며, 공정 과정이 복잡하여 대량 생산에 적합하지 않기

때문에 상용화를 기대할 수 없다. 한편, 기억 용량을 증가시키기 위해 하나의 기억 소자에 다수의 정보를 저장하는 기술인 다중 준위 동작을 가능하게 하기 위해서는 나노 입자에 포획되는 전자의 양을 정밀하게 조정해야 하므로 그에 따른 주변회로 및 동작 메커니즘이 복잡하다.

그러나, 본 발명에서 제시하는 다층 구조를 가진 나노 입자층을 플로팅 게이트로 이용한 다중 준위 플래시 기억소자 제작 방법은 스핀 코팅과 경화작용을 사용하여 절연성 고분자 안에 나노 입자를 다층 구조로 형성하여 이러한 다층 구조의 나노 입자층에 전자가 각 층에 포획 및 방출되는 원리의 나노 플로팅 게이트 구조를 가진 새로운 다중 준위 플래시 기억 소자를 제작하였다.

본 발명에 따르면, 폴리이미드 박막 안에 균일한 분포를 가지는 나노 입자들이 삽입되어 있고 폴리이미드 박막 안에 있는 나노 입자간의 상호 응집 작용이 없기 때문에 나노 입자의 크기와 밀도가 쉽게 조절이 가능하여 다층 구조의 형성이 대단히 용이하다.

또한, 각 나노 입자층에 포획 및 방출되는 전자의 양을 이용하여 쓰기 전압만으로 쉽게 문턱 전압을 조절할 수 있기 때문에, 원하는 인가전압 영역에서 다중 준위 동작이 가능한 다중 준위 플래시 기억 소자로 제작이 가능하다.

본 발명에 의하면, 기존의 플래시 기억 소자보다 전기적 및 화학적 안정성을 가진 폴리이미드 및 나노 입자들을 이용하여 저비용으로 간단하게 플래시 기억소자를 제작할 수 있으며, 다중 준위 방법을 사용하여 소자에 다수의 상태를 저장하게 하여 기억용량이 증가된 고효율, 고용량 플래시 기억 소자를 제작할 수 있다.

이상에서 설명한 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

발명의 효과

상기한 바와 같은 본 발명은, p-Si 기판 위에 일정두께의 금속을 증착한 다음 스핀 코팅에 의해 폴리아미드산 박막을 형성한 후, 경화작용을 통한 화학 반응에 의해 폴리이미드 내에 자발 형성된 나노 입자들을 형성하고, 이러한 과정을 반복하여 다층 구조를 가진 나노 입자층을 형성하며, 이를 이용하여 새로운 다중 준위 플래시 기억 소자를 제작함으로써, 기존의 Si 나노 입자를 이용한 플래시 기억 소자의 제작에 비하여 제작 과정을 단순화할 수 있도록 하는 효과가 있다.

또한, 본 발명은 절연성 고분자인 폴리이미드 내에 형성된 다층 구조의 나노 입자의 크기와 밀도 및 나노 입자층 수를 조절하여 각각의 나노 입자층의 포획되는 전자의 개수를 쓰기 전압에 따라 변화시킴으로써, 단일 소자에 다수의 정보를 기억하게 하여 동일 면적에서 기억 소자의 기억용량을 높일 수 있도록 하는 효과가 있다.

도면의 간단한 설명

도 1은 본 발명에 따라 제작된 다중 준위 플래시 기억 소자를 설명하기 위한 일실시예 개략도,

도 2는 본 발명에 따라 제작된 다층 구조의 $Ni_{1-x}Fe_x$ 나노 입자가 형성되어 있는 것을 투과전자현미경으로 관찰한 일례시도,

도 3은 본 발명에 따라 제작된 다중 준위 나노 플로팅 게이트 구조의 정전용량-전압을 나타낸 일실시예 그래프,

도 4a는 본 발명의 다중 준위 플래시 기억 소자의 초기 상태의 동작도,

도 4b는 도 4a의 C-V 특성 곡선,

도 5a는 본 발명의 다중 준위 플래시 기억 소자에 상태 '10'의 쓰기 전압이 인가된 상태의 동작도,

도 5b는 도 5a의 C-V 특성 곡선,

도 6a는 본 발명의 다중 준위 플래시 기억 소자에 상태 '01'의 쓰기 전압이 인가된 상태의 동작도,

도 6b는 도 6a의 C-V 특성 곡선,

도 7a는 본 발명의 다중 준위 플래시 기억 소자에 상태 '00'의 쓰기 전압이 인가된 상태의 동작도,

도 7b는 도 7a의 C-V 특성 곡선,

도 8a는 본 발명의 다중 준위 플래시 기억 소자에 소거 전압이 인가된 상태의 동작도,

도 8b는 도 8a의 C-V 특성 곡선,

도 9a는 본 발명의 다중 준위 플래시 기억 소자가 상태 '11'을 읽기 위한 읽기 전압이 인가된 상태의 동작도,

도 9b는 도 9a의 C-V 특성 곡선,

도 10a는 본 발명의 다중 준위 플래시 기억 소자가 상태 '10'을 읽기 위한 읽기 전압이 인가된 상태의 동작도,

도 10b는 도 10a의 C-V 특성 곡선,

도 11a는 본 발명의 다중 준위 플래시 기억 소자가 상태 '01'을 읽기 위한 읽기 전압이 인가된 상태의 동작도,

도 11b는 도 11a의 C-V 특성 곡선,

도 12a는 본 발명의 다중 준위 플래시 기억 소자가 상태 '00'을 읽기 위한 읽기 전압이 인가된 상태의 동작도,

도 12b는 도 12a의 C-V 특성 곡선,

도 13은 도 4 내지 도 12에서 제시한 각 상태에 대한 쓰기, 읽기, 소거 및 소자 문턱 전압의 상대적인 크기를 나타내는 일예 시도.

<도면의 주요 부분에 대한 부호의 설명>

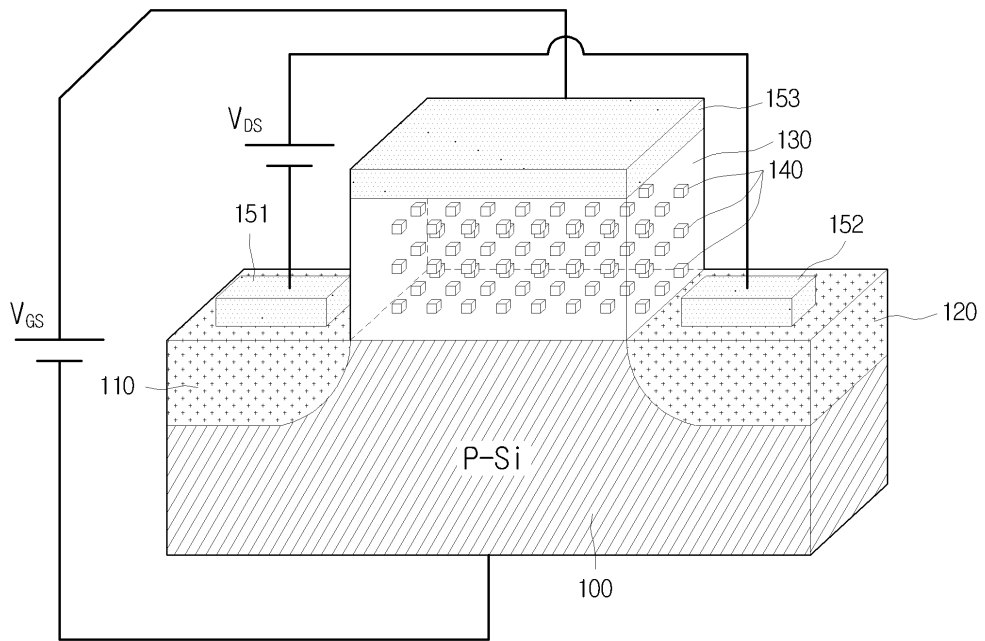
100 : 반도체 기판 110 : 소스

120 : 드레인 130 : 폴리이미드 박막

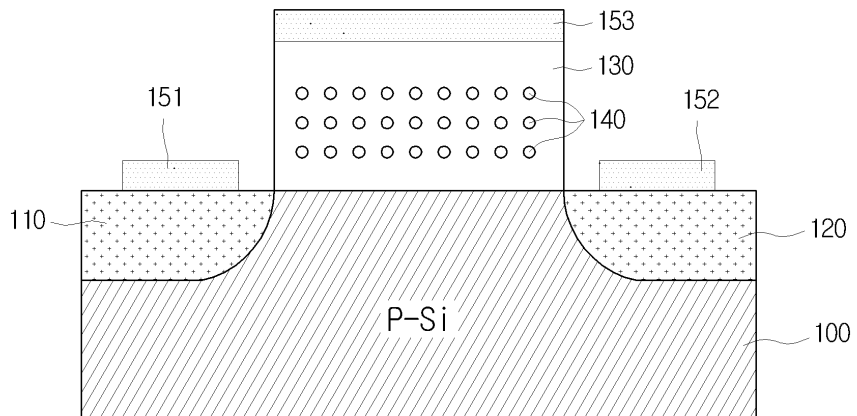
140 : 나노 입자 151, 152, 153 : 전극

도면

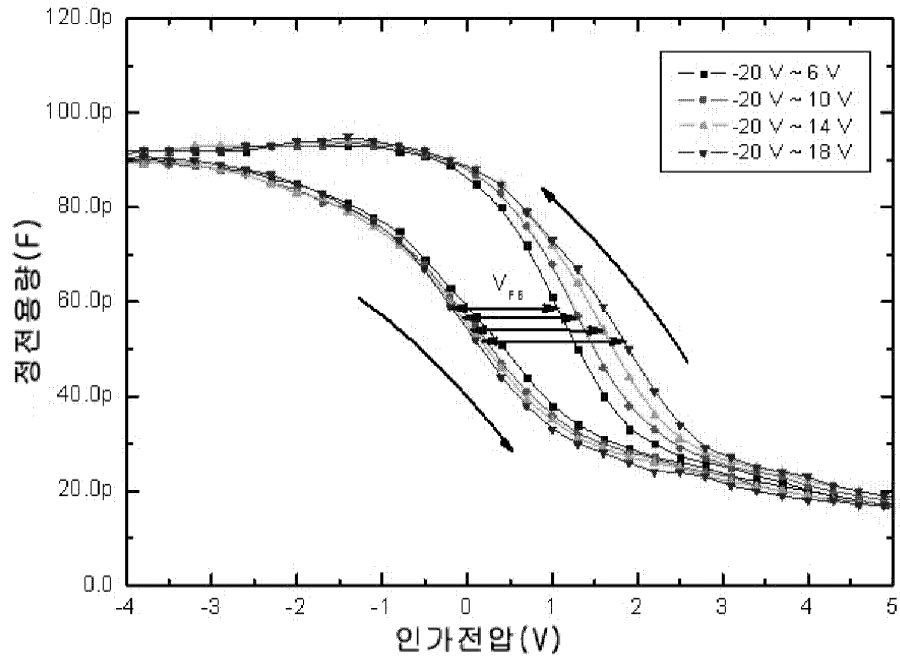
도면1a



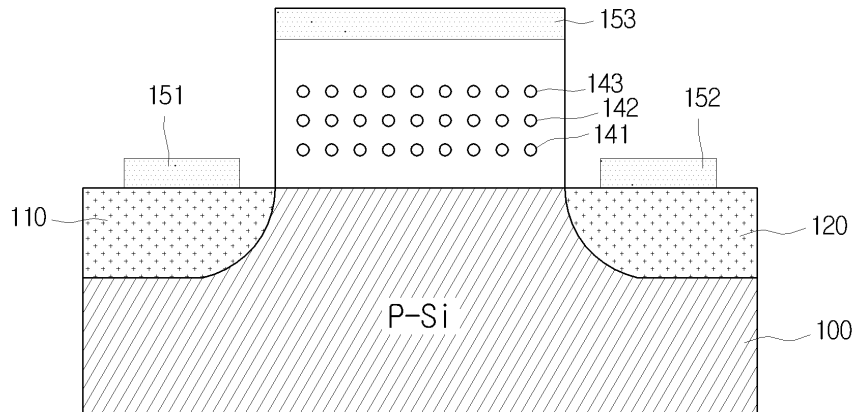
도면1b



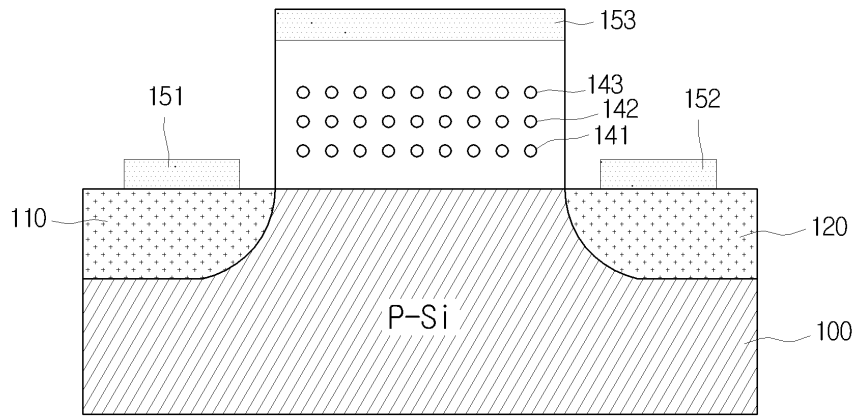
도면2



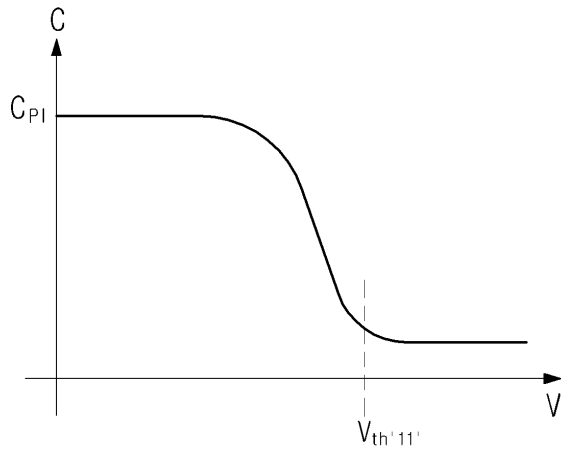
도면3



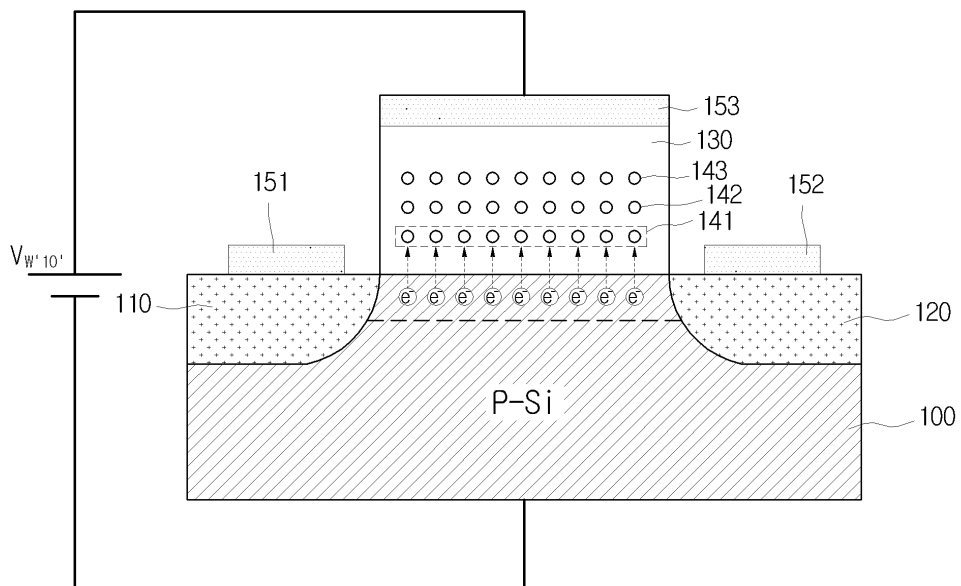
도면4a



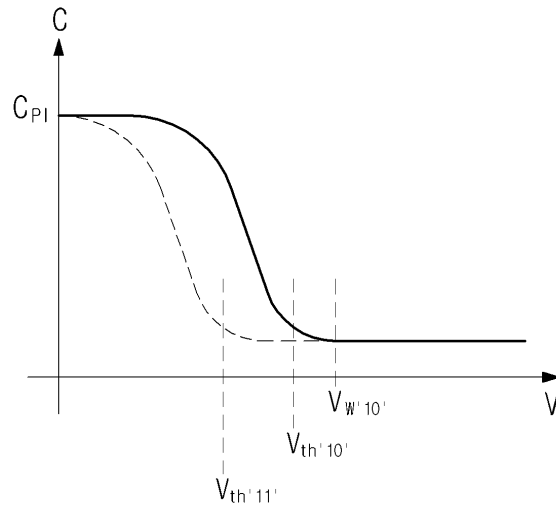
도면4b



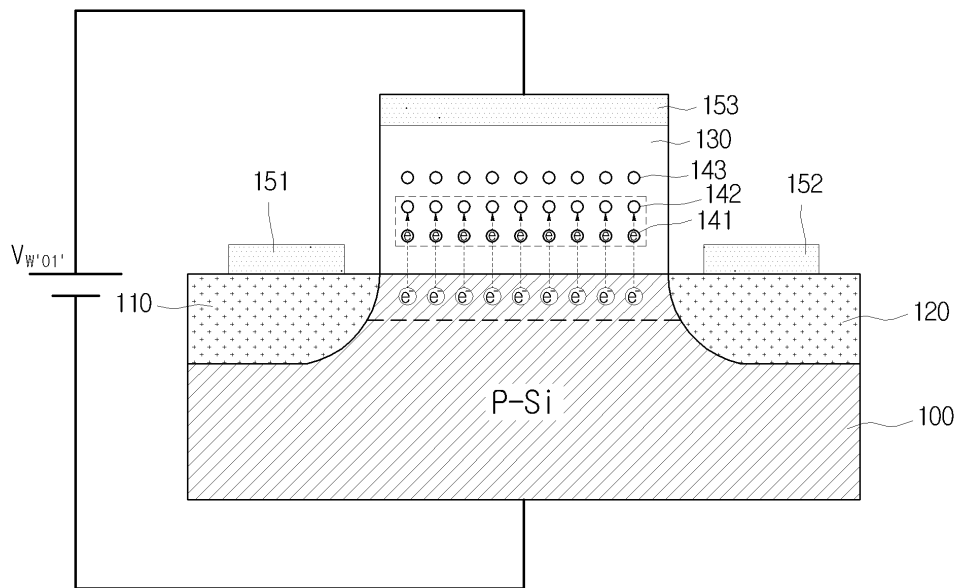
도면5a



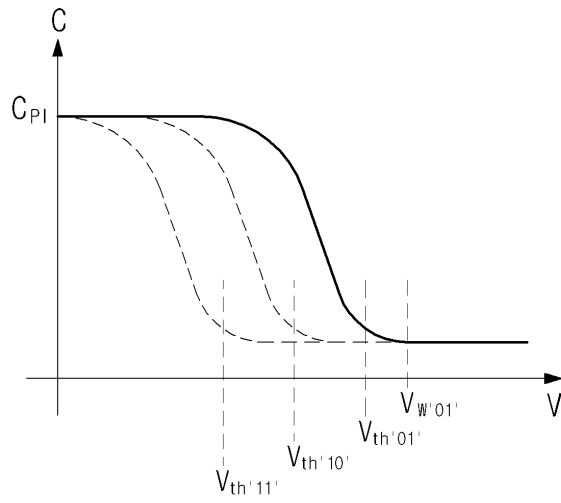
도면5b



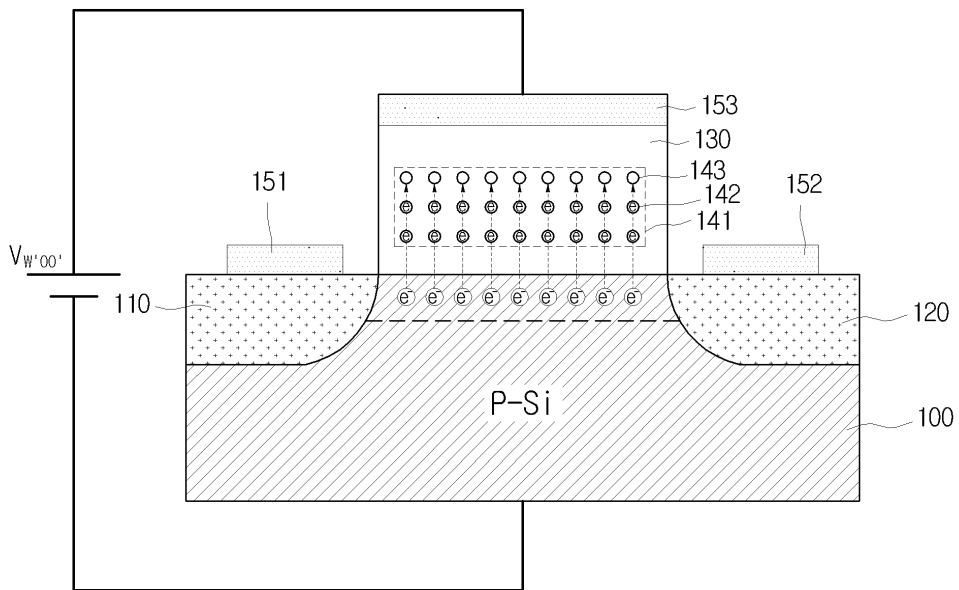
도면6a



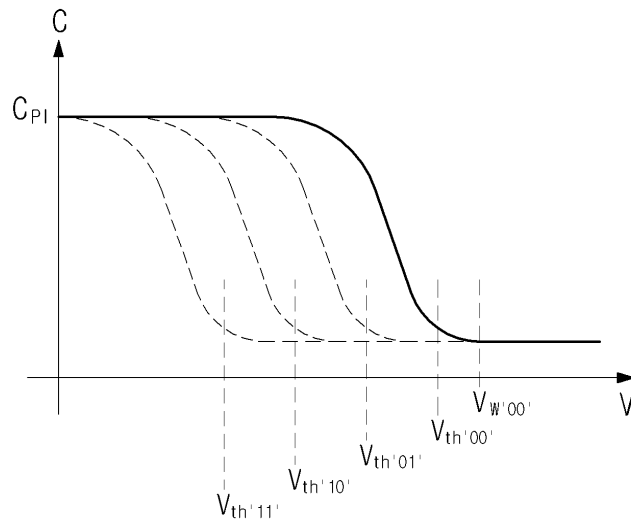
도면6b



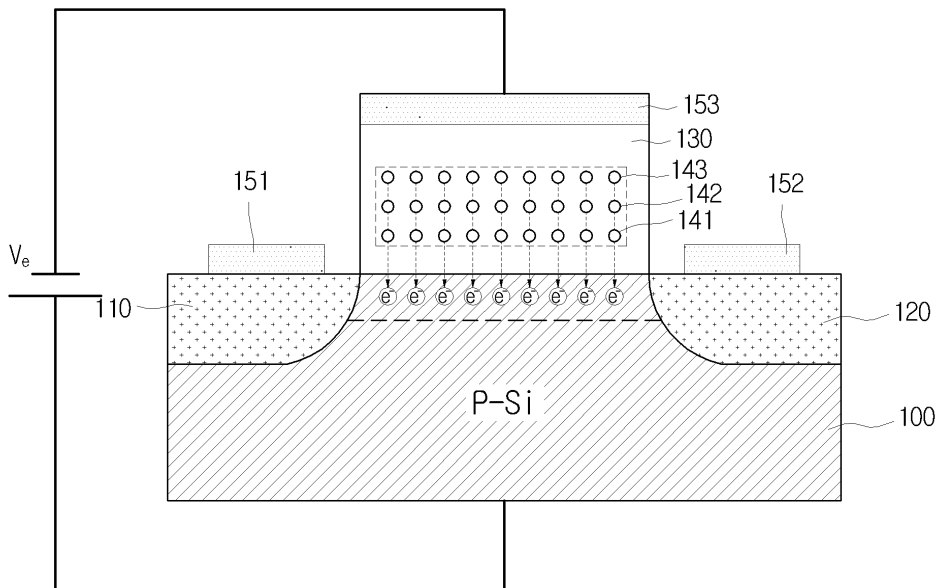
도면7a



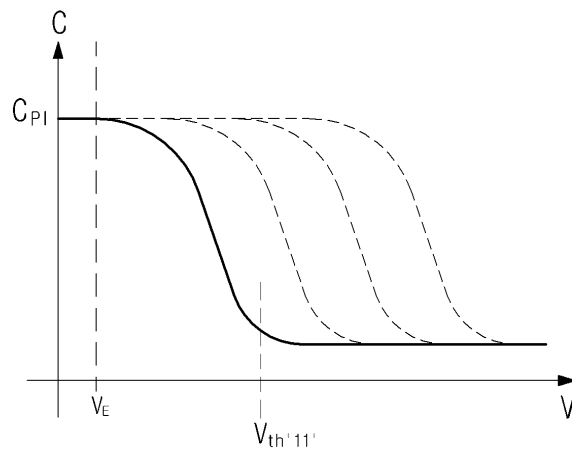
도면7b



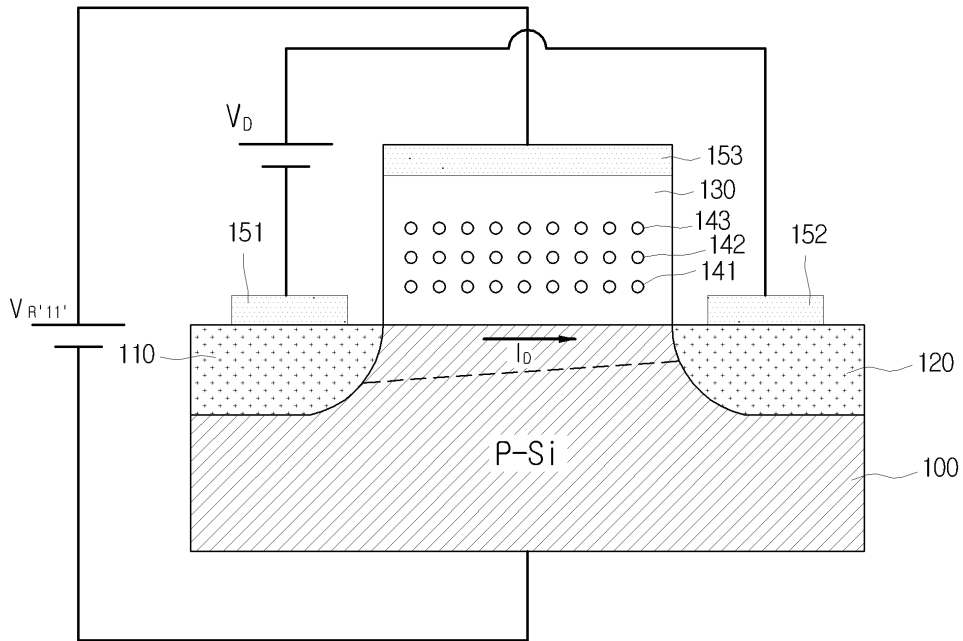
도면8a



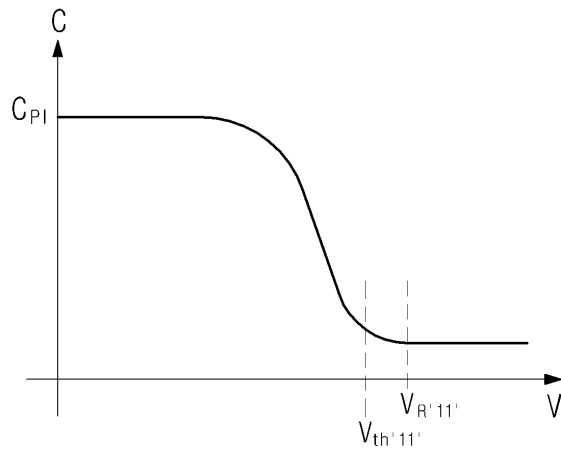
도면8b



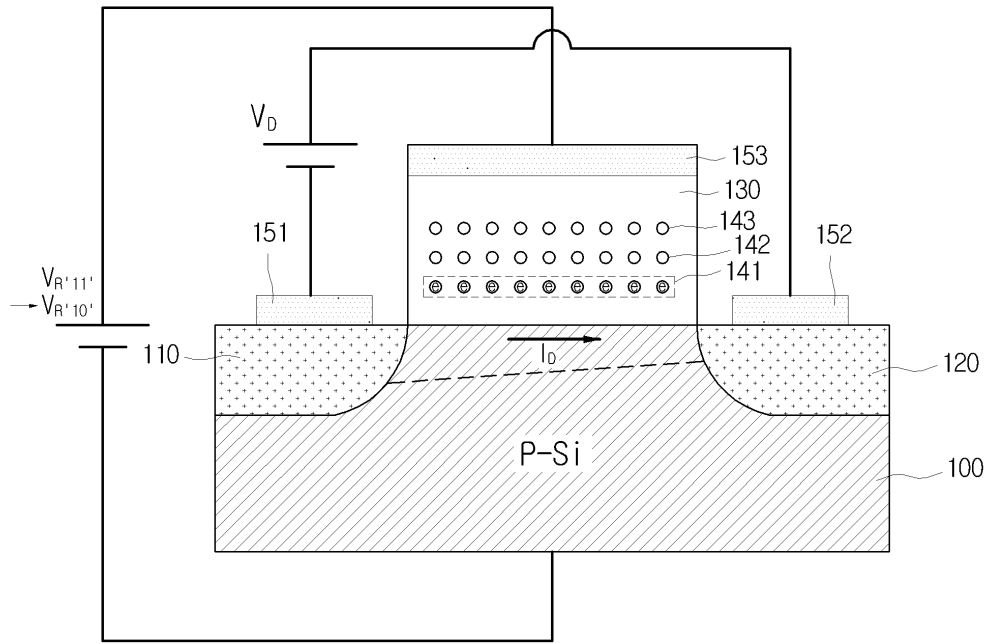
도면9a



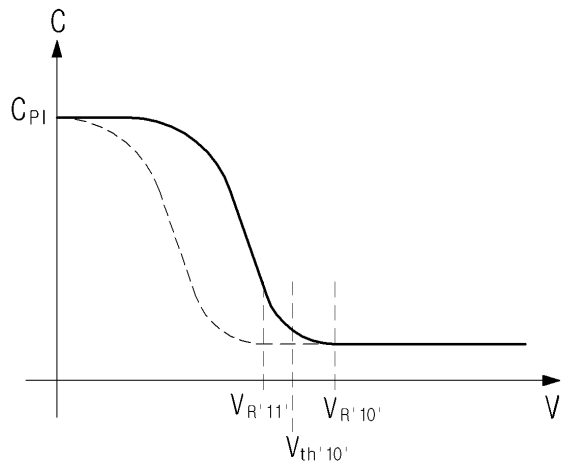
도면9b



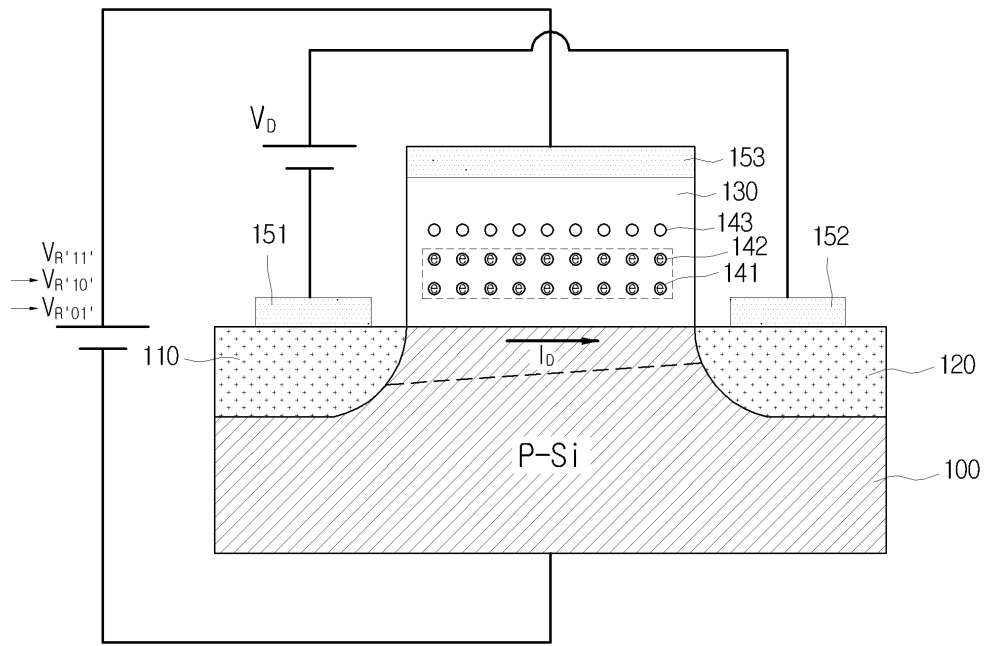
도면10a



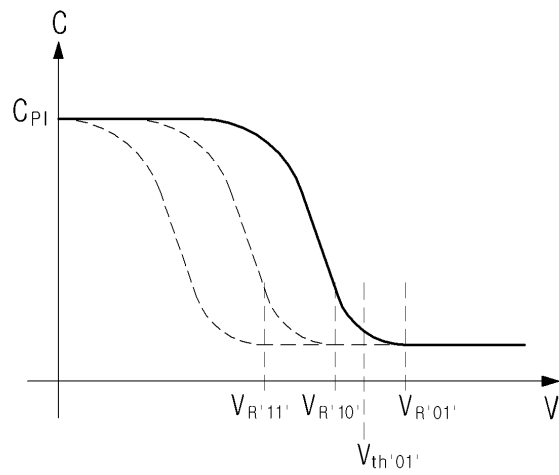
도면10b



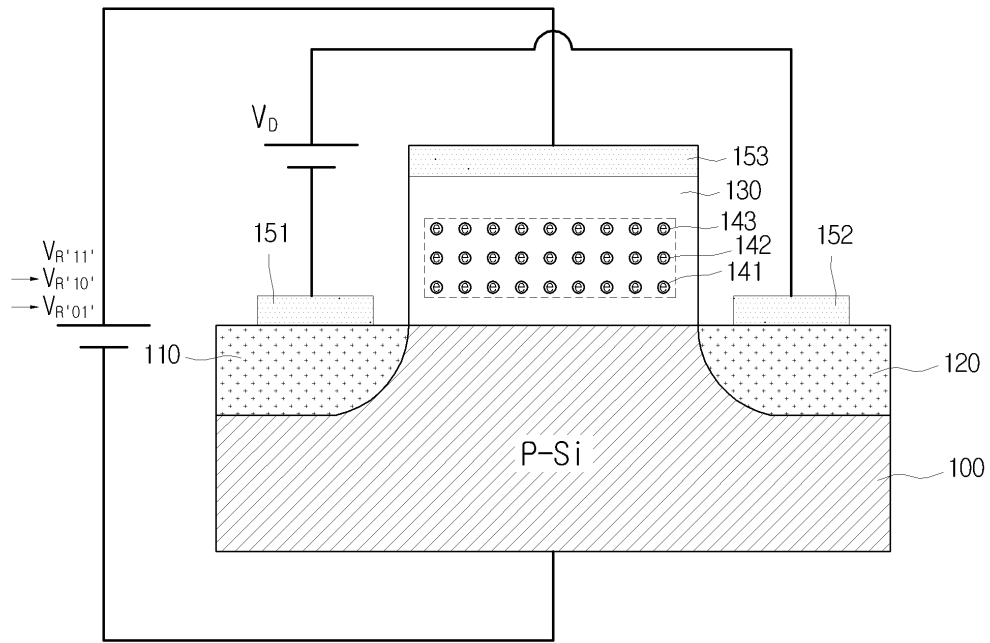
도면11a



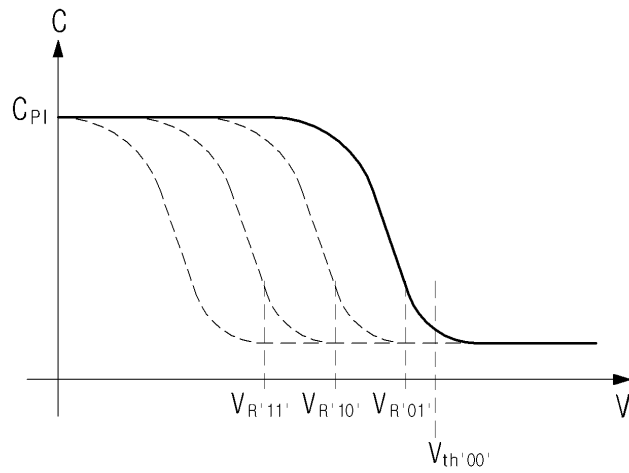
도면11b



도면12a



도면12b



도면13

