

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号

特許第7389037号

(P7389037)

(45)発行日 令和5年11月29日(2023.11.29)

(24)登録日 令和5年11月20日(2023.11.20)

(51)国際特許分類

F I

H 0 4 L 7/00 (2006.01)

H 0 4 L 7/00 9 9 0

H 0 3 L 7/099(2006.01)

H 0 3 L 7/099 1 5 0

H 0 4 L 7/033(2006.01)

H 0 4 L 7/033

請求項の数 17 (全29頁)

(21)出願番号 特願2020-536774(P2020-536774)

(86)(22)出願日 平成31年4月16日(2019.4.16)

(65)公表番号 特表2021-526320(P2021-526320 A)

(43)公表日 令和3年9月30日(2021.9.30)

(86)国際出願番号 PCT/CN2019/082926

(87)国際公開番号 WO2019/237825

(87)国際公開日 令和1年12月19日(2019.12.19)

審査請求日 令和4年4月14日(2022.4.14)

(31)優先権主張番号 201810596413.9

(32)優先日 平成30年6月11日(2018.6.11)

(33)優先権主張国・地域又は機関
中国(CN)

(73)特許権者 510280589

京東方科技集團股▲ふん▼有限公司

BOE TECHNOLOGY GROU
P CO., LTD.中華人民共和國 1 0 0 0 1 5 北京市朝陽
區酒仙橋路 1 0 號No. 10 Jiuxianqiao R
d., Chaoyang Distri
ct, Beijing 100015,
CHINA

(74)代理人 110002000

弁理士法人栄光事務所

(72)発明者

ウェイ シアンイエ

中華人民共和國 1 0 0 1 7 6 ベイジン
ビーディーイー ディゼ アールディー,
最終頁に続く

(54)【発明の名称】 時間同期装置、電子機器、時間同期システム及び時間同期方法

(57)【特許請求の範囲】

【請求項 1】

電子機器に用いられる時間同期装置であって、

前記時間同期装置は、信号生成回路と時間調整回路を含み、

前記信号生成回路は、

周波数制御ワードを生成するように構成される制御回路と、

初期周波数を有する入力信号と前記周波数制御ワードを受信し、前記周波数制御ワードと前記入力信号に応じて、目標周波数を有する出力信号を生成して出力するように構成される信号調整回路と、を含み、

前記時間調整回路は、前記目標周波数を有する出力信号に基づいて、前記電子機器のクロック信号に対して同期調整操作を行うように構成され、

前記制御回路は、水晶発振ドリフトの影響パラメータに応じて、前記周波数制御ワードを生成するように構成されることを特徴とする時間同期装置。

【請求項 2】

前記信号生成回路は、前記影響パラメータを取得するように構成されるパラメータ取得回路をさらに含むことを特徴とする請求項 1 に記載の時間同期装置。

【請求項 3】

前記水晶発振ドリフトの影響パラメータは、温度パラメータを含み、

前記パラメータ取得回路は、温度検出サブ回路を含み、

前記温度検出サブ回路は、前記温度パラメータを検出するように構成されることを特徴

10

20

とする請求項 2 に記載の時間同期装置。

【請求項 4】

前記温度検出サブ回路は、温度検出器と第 1 カウンターを含み、

前記温度検出器は、環境温度を検出するように構成され、前記温度パラメータは前記環境温度を含み、

前記第 1 カウンターは、前記環境温度と参照温度に応じて、周波数変化量を記録するように構成され、

前記周波数変化量は、前記参照温度にて前記信号調整回路によって生成される前記出力信号の周波数に係る現在の前記環境温度にて前記信号調整回路によって生成される前記出力信号の前記目標周波数の変化量を示すことを特徴とする請求項 3 に記載の時間同期装置。

10

【請求項 5】

前記制御回路は、下記の式に基づいて、前記環境温度に応じて、前記周波数制御ワードを生成するように構成されることを特徴とする請求項 4 に記載の時間同期装置。

【数 1】

$$F_N = \frac{F_{TO} \cdot f_{\Delta} + \Delta f \cdot F_{TO}^2}{f_{\Delta}}$$

20

(式中、 F_N は前記周波数制御ワードを表し、 F_{TO} は前記参照温度に対応する参照周波数制御ワードを表し、 f_{Δ} は基準時間単位の周波数を表す。)

【数 2】

$$\Delta f = r \cdot \Delta T^n + p \cdot \Delta T^{n-1} + \dots + d \cdot \Delta T + g$$

(式中、 Δf は前記周波数変化量を表し、 r 、 p 、 d 、 g は定数であり、 ΔT は前記環境温度と前記参照温度との差であり、 $\Delta T = T_1 - T_2$ であり、 T_1 は前記環境温度を表し、 T_2 は前記参照温度を表し、 n は正の整数である。)

30

【請求項 6】

前記水晶発振ドリフトの影響パラメータは、劣化パラメータを含み、前記パラメータ取得回路は、劣化読み取りサブ回路を含み、

前記劣化読み取りサブ回路は、水晶発振源の前記劣化パラメータを読み取るように構成されることを特徴とする請求項 2 に記載の時間同期装置。

【請求項 7】

前記劣化読み取りサブ回路は、劣化読み取り素子と第 2 カウンターを含み、

前記劣化読み取り素子は、前記水晶発振源の劣化速度を読み取り、さらに前記劣化速度に対応する参照時間を読み取るように構成され、前記劣化パラメータは、前記劣化速度と前記参照時間を含み、

40

前記第 2 カウンターは、前記参照時間の数を記録するように構成されることを特徴とする請求項 6 に記載の時間同期装置。

【請求項 8】

前記制御回路は、下記の式に基づいて、前記劣化速度に応じて、前記周波数制御ワードを生成するように構成されることを特徴とする請求項 7 に記載の時間同期装置。

【数 3】

$$F_N = F_{AO} \cdot (1 + \gamma)$$

(式中、 F_N は前記周波数制御ワードを表し、 F_{AO} は参照周波数制御ワードを表し、 γ

50

は前記劣化パラメータの積を表し、ここで、 $\gamma = v \cdot t$ であり、 v は前記劣化速度を表し、 t は前記参照時間の数を表し、 t は自然数である。)

【請求項 9】

前記信号調整回路は、基準時間単位生成サブ回路と周波数調整サブ回路を含み、

基準時間単位生成サブ回路は、前記初期周波数を有する前記入力信号を受信し、前記初期周波数に応じて、基準時間単位を生成して出力するように構成され、

周波数調整サブ回路は、前記周波数制御ワードと前記基準時間単位に応じて、前記目標周波数を有する前記出力信号を生成して出力するように構成されることを特徴とする請求項 1 乃至 8 のいずれか一項に記載の時間同期装置。

【請求項 10】

前記基準時間単位生成サブ回路は、

所定の発振周波数で発振するように構成される電圧制御発振器と、

前記電圧制御発振器の出力周波数を基準出力周波数にロックするように構成される第 1 位相ロックループ回路と、

等間隔の位相を有する K 個の出力信号を出力するように構成される K 個の出力端と、を含み、

K は 1 より大きい正の整数であり、

ここで、前記基準出力周波数は f_d として表され、前記基準時間単位は、前記 K 個の出力端により出力された、隣接する任意の二つの出力信号間の時間幅であり、前記基準時間単位は Δ として表され、 $\Delta = 1 / (K \cdot f_d)$ であることを特徴とする請求項 9 に記載の時間同期装置。

【請求項 11】

前記基準時間単位生成サブ回路は、電圧制御遅延器と、第 2 位相ロックループ回路と、 K 個の出力端とを含み、

前記電圧制御遅延器は、一つ又はカスケード接続された複数の遅延ユニットを含み、前記入力信号と前記第 2 位相ロックループ回路の出力信号に応じて、遅延信号を発生するように構成され、

前記第 2 位相ロックループ回路は、前記入力信号と前記遅延信号に応じて、前記電圧制御遅延器の出力周波数を基準出力周波数にロックするように構成され、

前記 K 個の出力端は、等間隔の位相を有する K 個の出力信号を出力するように構成され、 K は 1 より大きい正の整数であり、

ここで、前記基準出力周波数は f_d として表され、前記基準時間単位は、前記 K 個の出力端により出力された、隣接する任意の二つの出力信号間の時間幅であり、前記基準時間単位は Δ として表され、 $\Delta = 1 / (K \cdot f_d)$ であることを特徴とする請求項 9 に記載の時間同期装置。

【請求項 12】

前記周波数調整サブ回路は、下記の式に基づいて、前記周波数制御ワードと前記基準時間単位に応じて、前記目標周波数を特定するように構成されることを特徴とする請求項 10 又は 11 に記載の時間同期装置。

【数 4】

$$f_{\text{TAF-DPS}} = 1 / (F \cdot \Delta) = (K \cdot f_d) / F$$

(式中、 $f_{\text{TAF-DPS}}$ は前記目標周波数を表し、 F は前記周波数制御ワードを表す。)

【請求項 13】

前記周波数調整サブ回路は、時間平均周波数直接周期合成器を含むことを特徴とする請求項 10 乃至 12 のいずれか一項に記載の時間同期装置。

【請求項 14】

請求項 1 乃至 13 のいずれか一項に記載の時間同期装置を含むことを特徴とする電子機

器。

【請求項 15】

前記初期周波数を有する入力信号を提供するように構成される周波数源をさらに含むことを特徴とする請求項 14 に記載の電子機器。

【請求項 16】

複数の電子機器を含み、

前記複数の電子機器のうちの少なくとも一つは、請求項 14 又は 15 に記載の電子機器であることを特徴とする時間同期システム。

【請求項 17】

請求項 1 乃至 13 のいずれか一項に記載の時間同期装置に適用される時間同期方法であって、

前記時間同期方法は、

周波数制御ワードを生成するステップと、

前記周波数制御ワードと前記入力信号に応じて、前記目標周波数を有する出力信号を生成して出力するステップと、

前記目標周波数を有する出力信号に基づいて、前記電子機器のクロック信号に対して同期調整操作を行うステップと、を含むことを特徴とする時間同期方法。

【発明の詳細な説明】

【技術分野】

【0001】

関連出願の相互参照

本出願は、2018年6月11日に提出された第201810596413.9号である中国特許出願の優先権を主張し、ここで、上記中国特許出願の開示事項全体が、この出願の一部として援用される。

【0002】

本発明の実施例は、時間同期装置、電子機器、時間同期システム及び時間同期方法に関する。

【背景技術】

【0003】

分散型ネットワーク情報時代において、ネットワークシステム内の各機器が作動の協力と一致、情報の正確伝送を実現させるため、多くの業界において、例えば、情報技術（information technology、IT）業界の「正時でのオークション」、「リーダーの選出」、金融業界の「株式市場の開閉」、通信業界の「同期ネットワークリング」などのビジネスプロセスでは、ネットワークシステムにおける各機器のクロック同期が非常に重要である。ネットワーククロック同期技術の鍵は、各機器のローカルクロックの周波数であり、クロックの周波数が大きいほど、ネットワークからローカル装置に同期される時間の精度が高くなり、各機器間の作動協力性と一致性がより向上する。

【発明の概要】

【発明が解決しようとする課題】

【0004】

本発明の少なくとも一つの実施例では、電子機器に用いられる時間同期装置を提供し、前記時間同期装置は、信号生成回路と時間調整回路を含む。信号生成回路は、周波数制御ワードを生成するように構成される制御回路と、初期周波数を有する入力信号と前記周波数制御ワードを受信し、前記周波数制御ワードと前記入力信号に応じて、目標周波数を有する出力信号を生成して出力するように構成される信号調整回路と、を含む。前記時間調整回路は、前記目標周波数を有する出力信号に基づいて、前記電子機器のクロック信号に対して同期調整操作を行うように構成される。

【0005】

例えば、本発明の少なくとも一つの実施例で提供された時間同期装置において、前記制御回路は、水晶発振ドリフトの影響パラメータに応じて、前記周波数制御ワードを生成す

10

20

30

40

50

るように構成される。

【０００６】

例えば、本発明の少なくとも一つの実施例で提供された時間同期装置において、信号生成回路は、前記影響パラメータを取得するように構成されるパラメータ取得回路をさらに含む。

【０００７】

例えば、本発明の少なくとも一つの実施例で提供された時間同期装置において、前記水晶発振ドリフトの影響パラメータは、温度パラメータを含み、前記パラメータ取得回路は、温度検出サブ回路を含み、前記温度検出サブ回路は、前記温度パラメータを検出するように構成される。

【０００８】

例えば、本発明の少なくとも一つの実施例で提供された時間同期装置において、前記温度検出サブ回路は、温度検出器と第１カウンタを含み、前記温度検出器は、環境温度を検出するように構成され、前記温度パラメータは前記環境温度を含み、前記第１カウンタは、前記環境温度と参照温度に応じて、周波数変化量を記録するように構成される。

【０００９】

例えば、本発明の少なくとも一つの実施例で提供された時間同期装置において、前記制御回路は、下記の式に基づいて、前記環境温度に応じて、前記周波数制御ワードを生成するように構成され、

【数１】

$$F_N = \frac{F_{TO} \cdot f_{\Delta} + \Delta f \cdot F_{TO}^2}{f_{\Delta}} \quad \dots \quad (式 1)$$

ここで、 F_N は前記周波数制御ワードを表し、 F_{TO} は前記参照温度に対応する参照周波数制御ワードを表し、 f_{Δ} は基準時間単位の周波数を表し、

【数２】

$$\Delta f = r \cdot \Delta T^n + p \cdot \Delta T^{n-1} + \dots + d \cdot \Delta T + g \quad \dots \quad (式 2)$$

ここで、 Δf は前記周波数変化量を表し、 r 、 p 、 d 、 g は定数であり、 ΔT は前記環境温度と前記参照温度との差であり、 $\Delta T = T_1 - T_2$ であり、 T_1 は前記環境温度を表し、 T_2 は前記参照温度を表し、 n は正の整数である。

【００１０】

例えば、本発明の少なくとも一つの実施例で提供された時間同期装置において、前記水晶発振ドリフトの影響パラメータは、劣化パラメータを含み、前記パラメータ取得回路は、劣化読み取りサブ回路を含み、前記劣化読み取りサブ回路は、水晶発振源の前記劣化パラメータを読み取るように構成される。

【００１１】

例えば、本発明の少なくとも一つの実施例で提供された時間同期装置において、前記劣化読み取りサブ回路は、劣化読み取り素子と第２カウンタを含み、前記劣化読み取り素子は、前記水晶発振源の劣化速度を読み取り、さらに前記劣化速度に対応する参照時間を読み取るように構成され、前記劣化パラメータは、前記劣化速度と前記参照時間を含み、前記第２カウンタは、前記参照時間の数を記録するように構成される。

【００１２】

例えば、本発明の少なくとも一つの実施例で提供された時間同期装置において、前記制御回路は、下記の式に基づいて、前記劣化速度に応じて、前記周波数制御ワードを生成するように構成され、

【数３】

10

20

30

40

50

$$F_N = F_{AO} \cdot (1 + \gamma) \quad \dots \quad (式 3)$$

F_N は前記周波数制御ワードを表し、 F_{AO} は参照周波数制御ワードを表し、 γ は前記劣化パラメータの積を表し、ここで、 $\gamma = v \cdot t$ であり、 v は劣化速度を表し、 t は前記参照時間の数を表し、 t は自然数である。

【0013】

例えば、本発明の少なくとも一つの実施例で提供された時間同期装置において、前記信号調整回路は、基準時間単位生成サブ回路と周波数調整サブ回路を含み、基準時間単位生成サブ回路は、前記初期周波数を有する前記入力信号を受信し、前記初期周波数に応じて、基準時間単位を生成して出力するように構成され、周波数調整サブ回路は、前記周波数制御ワードと前記基準時間単位に応じて、前記目標周波数を有する前記出力信号を生成して出力するように構成される。

10

【0014】

例えば、本発明の少なくとも一つの実施例で提供された時間同期装置において、前記基準時間単位生成サブ回路は、所定の発振周波数で発振するように構成される電圧制御発振器と、前記電圧制御発振器の出力周波数を基準出力周波数にロックするように構成される第1位相ロックループ回路と、等間隔の位相を有するK個の出力信号を出力するように構成されるK個の出力端と、を含み、ここで、Kは1より大きい正の整数であり、前記基準出力周波数は f_d として表し、前記基準時間単位は、前記K個の出力端により出力された、隣接する任意の二つの出力信号間の時間幅であり、前記基準時間単位は Δ として表し、 $\Delta = 1 / (K \cdot f_d)$ である。

20

【0015】

例えば、本発明の少なくとも一つの実施例で提供された時間同期装置において、前記基準時間単位生成サブ回路は、電圧制御遅延器と、第2位相ロックループ回路と、K個の出力端とを含み、前記電圧制御遅延器は、一つ又はカスケード接続された複数の遅延ユニットを含み、前記入力信号と前記第2位相ロックループ回路の出力信号に応じて、遅延信号を発生するように構成され、前記第2位相ロックループ回路は、前記入力信号と前記遅延信号に応じて、前記電圧制御遅延器の出力周波数を基準出力周波数にロックするように構成され、前記K個の出力端は、等間隔の位相を有するK個の出力信号を出力するように構成され、ここで、Kは1より大きい正の整数であり、前記基準出力周波数は f_d として表し、前記基準時間単位は、前記K個の出力端により出力された隣接する任意の二つの出力信号間の時間幅であり、前記基準時間単位は Δ として表し、 $\Delta = 1 / (K \cdot f_d)$ である。

30

【0016】

例えば、本発明の少なくとも一つの実施例で提供された時間同期装置において、前記周波数調整サブ回路は、下記の式に基づいて、前記周波数制御ワードと前記基準時間単位に応じて、前記目標周波数を特定するように構成され、

【数4】

$$f_{TAF-DPS} = 1 / (F \cdot \Delta) = (K \cdot f_d) / F \quad \dots \quad (式 4)$$

40

ここで、 $f_{TAF-DPS}$ は前記目標周波数を表し、 F は前記周波数制御ワードを表す。

【0017】

例えば、本発明の少なくとも一つの実施例で提供された時間同期装置において、前記周波数調整サブ回路は、時間平均周波数直接周期合成器を含む。

【0018】

本発明の少なくとも一つの実施例では電子機器をさらに提供し、前記電子機器は、上記のいずれかに記載の時間同期装置を含む。

【0019】

例えば、本発明の少なくとも一つの実施例で提供された電子機器は、前記初期周波数を

50

有する入力信号を提供するように構成される周波数源をさらに含む。

【0020】

本発明の少なくとも一つの実施例では時間同期システムをさらに提供し、前記時間同期システムは、複数の電子機器を含む。前記複数の電子機器における少なくとも一つは、上記のいずれかに記載の電子機器である。

【0021】

本発明の少なくとも一つの実施例では、上記のいずれかに記載の時間同期装置に適用される時間同期方法をさらに提供し、前記時間同期方法は、周波数制御ワードを生成するステップと、前記周波数制御ワードと前記入力信号に応じて、前記目標周波数を有する出力信号を生成して出力するステップと、前記目標周波数を有する出力信号に基づいて、前記電子機器のクロック信号に対して同期調整操作を行うステップと、を含む。

10

【0022】

本発明の実施例の技術案をより明確に説明するために、実施例の図面を以下で簡単に説明する。以下に説明される図面は、本発明のいくつかの実施例に関するのみ、本発明を限定することではないことは明らかである。

【図面の簡単な説明】

【0023】

【図1】図1はクロックのネットワークでの分散の概略図である。

【図2】図2は本発明の少なくとも一つの実施例で提供された電子機器の概略ブロック図である。

20

【図3】図3は本発明の少なくとも一つの実施例で提供された電子機器に用いられる時間同期装置の概略ブロック図である。

【図4】図4は本発明の少なくとも一つの実施例で提供された信号生成回路の概略ブロック図である。

【図5】図5は本発明の少なくとも一つの実施例で提供された信号生成回路の他の概略ブロック図である。

【図6A】図6Aは本発明の少なくとも一つの実施例で提供された基準時間単位生成サブ回路の概略構成図である。

【図6B】図6Bは本発明の少なくとも一つの実施例で提供された他の基準時間単位生成サブ回路の概略構成図である。

30

【図7】図7は本発明の少なくとも一つの実施例で提供された等間隔の位相を有するK個の基準出力信号の概略図である。

【図8】図8は本発明の少なくとも一つの実施例で提供された周波数調整サブ回路の概略ブロック図である。

【図9】図9は本発明の少なくとも一つの実施例で提供された周波数調整サブ回路の動作原理概略図である。

【図10A】図10Aは本発明の少なくとも一つの実施例で提供された周波数調整サブ回路の構成概略図である。

【図10B】図10Bは本発明の少なくとも一つの実施例で提供された他の周波数調整サブ回路の構成概略図である。

40

【図11】図11は本発明の少なくとも一つの実施例で提供された時間同期システムの概略ブロック図である。

【図12】図12は本発明の少なくとも一つの実施例で提供された時間同期システムの、ネットワーク時間同期プロトコルNTPに基づいて時間を同期する概略図である。

【図13】図13は本発明の少なくとも一つの実施例で提供された時間同期方法の概略フローチャートである。

【発明を実施するための形態】

【0024】

本発明に係る実施例の目的、技術案及びメリットをより明確にするために、以下、本発明の実施例の図面を参照しながら、本発明の実施例を明確かつ完全に説明する。勿論、こ

50

ここで記載された実施例は、ただ本発明の実施例の一部だけであり、本発明の全ての実施例ではない。ここで記載された本発明の実施例に基づき、当業者が創造的な活動をしないう前提で得られる他の実施例は全て本発明の技術範囲に含まれる。

【0025】

特に定義されていない限り、本明細書で使用される技術用語又は科学用語は、本発明の当業者によって一般的に理解されるのと同じ意味を有する。本明細書で使用する「第1の」、「第2の」などの単語は、いずれも順序、数または重要性を示すことなく、構成部分間を区別するためにのみ使用される。「備える」又は「含む」などの単語は、要素又は物体、及び同等物を包含することを意味し、他の要素又は物体を除外することではない。「接続されている」又は「連結されている」などの単語は、物理的又は機械的接続に限定されず、直接接続または間接接続に関わらず、電気的接続を含んでもよい。「上」、「下」、「左」、「右」などは、相対的な位置関係を示すためにのみ使用され、述べられた物体の絶対位置が変化すると、当該相対的な位置関係も変化される。

【0026】

本発明の実施例の以下の説明を明確且つ簡潔にするために、既知の機能及び既知の部材への詳細な説明は、本発明では省略されている。

【0027】

図1はクロックのネットワークでの分散の概略図である。図1に示すように、ビッグデータネットワーク（例えば、インターネット）に直面する場合、すべてのネットワークノードのクロックを同期させるために、複数のクロックリンクによってすべてのネットワークノードを駆動する必要がある。単純なソフトウェアによる方法、単純なハードウェアによる方法、ハードウェアとソフトウェアの組み合わせによる方法など、クロックを同期させる方法は数多くある。具体的に、クロック同期方法には、一方向の時刻提供（One-way timing）、双方向の時刻提供（two-way timing）、ネットワーククロック同期技術、及びネットワークメッセージによるクロック修正（例えば、NTPやPTP技術）が含まれる。一方向の時刻提供と双方向の時刻提供の精度は、比較的低く、ネットワーククロック同期技術とネットワークメッセージによるクロック修正は、一方向の時刻提供と双方向の時刻提供よりも高い精度を持っている。クロック同期方法は、周波数同期方法を含み、例えば、10MHzや5MHzなどの標準周波数をケーブルまたは光ケーブルで直接伝達すること（ただし、この方法には多くの制限要因がある）、マスタークロックとスレーブクロックの時間差を測定して取得し、マスタークロックとスレーブクロックの時間差をロックして周波数ロックを実現すること、又は周波数偏差を間接的に算出して周波数修正を完了することである。しかしながら、上記のすべてのクロック同期方法では、時間精度の修正幅が限定されており、サーバとクライアントの間には、ハードウェア、ソフトウェア、ネットワークリンクなどの要因による差異があるため、各要因の変化は、いずれもネットワーク内の各機器の時間修正に影響を与える。

【0028】

本発明の少なくとも一つの実施例では、電子機器に用いられる時間同期装置、電子機器、時間同期システム及び時間同期方法を提供する。当該時間同期装置は、信号生成回路を介して周波数の十分に大きな出力信号を合成でき、出力信号の周波数の粒度が高いことで、電子機器に、より正確な同期クロックを取得させ、ネットワークシステム内の電子機器の作動協力性と一致性をより向上させる。

【0029】

以下、本発明の実施例について、図面を参照しながら詳細に説明するが、本発明はこれらの具体的な実施例に限定されるものではない。

【0030】

図2は本発明の少なくとも一つの実施例で提供された電子機器の概略ブロック図である。図3は本発明の少なくとも一つの実施例で提供された電子機器に用いられる時間同期装置の概略ブロック図である。図4は本発明の少なくとも一つの実施例で提供された信号生成回路の概略ブロック図である。図5は本発明の少なくとも一つの実施例で提供された信

号生成回路の他の概略ブロック図である。

【0031】

例えば、図2に示すように、本発明の少なくとも一つの実施例で提供された電子機器50は、本発明の少なくとも一つの実施例で提供された時間同期装置1000を含むことができる。電子機器50は、例えばデータ伝送機能を有する任意の装置であってもよく、スマートフォン、タブレットパーソナルコンピュータ、電子ブックリーダー、ラップトップポータブルコンピュータ、デスクトップコンピュータなどを含むが、これらに限定されず、本発明の実施例はこれを限定しない。

【0032】

例えば、図3に示すように、本発明の少なくとも一つの実施例で提供された時間同期装置1000は、信号生成回路100と時間調整回路150を含む。図4に示すように、信号生成回路100は、制御回路11と信号調整回路12を含む。制御回路11は、周波数制御ワードを生成するように構成される。信号調整回路12は、初期周波数を有する入力信号と周波数制御ワードを受信し、周波数制御ワードと入力信号に基づいて、目標周波数を有する出力信号を生成し出力するように構成される。例えば、時間調整回路150は、目標周波数を有する出力信号に基づいて、当該電子機器のクロック信号を調整して、同期クロック信号を取得するように構成される。

【0033】

例えば、図2に示すように、電子機器50は周波数源200をさらに含むことができる。周波数源200は、初期周波数を有する入力信号を提供するとともに、当該入力信号を信号生成回路100に伝送するように構成される。例えば、初期周波数は、周波数源200により実際に生成し出力した信号の周波数を表すことができる。目標周波数は、ユーザの所望しようとする信号の周波数を表す。例えば、目標周波数は、信号生成回路100によって出力された信号が到達可能な周波数を表す。例えば、目標周波数は初期周波数より大きい。目標周波数は、クロック同期を必要とする端末機器の時間同期精度に関わる。

【0034】

例えば、ネットワーククロック同期システムは、第1端末機器と第2端末機器を含み、第1端末機器と第2端末機器は、時間を同期化する必要がある。第1端末機器のローカルクロック信号の周波数が f である場合、当該第1端末機器が調整可能な周波数正確度は $1/f$ である。第1端末機器と第2端末機器間において修正する必要がある時間誤差が t であり、 $t > 1/f$ の場合、第1端末機器は、第2端末機器との時間誤差をよりよく修正して、第1端末機器と第2端末機器の間の時間同期をよりよく実現することができる。修正された時間誤差は、 $t_0 = N_0 / f$ であり、 N_0 は整数であり、 N_0 は、 t を $1/f$ で除算した結果（すなわち、 $t \times f$ ）に最も近接する整数を表すことができ、第1端末機器の同期時間修正能力は、 $\delta = t - t_0 = t - N_0 / f$ として表すことができ、 δ は、第1端末機器の時間を修正した後、第1端末機器と第2端末機器の間の時間誤差を表すことができる。 f が大きいほど、 N_0 と $t \times f$ がより近接し、時間誤差 δ が小さくなる。しかし、修正される時間誤差が $t < 1/f$ の場合、当該第1端末機器によって時間誤差を修正することが非常に難しく、又は、第1端末機器の時間を修正した後取得した修正時間が、第2端末機器の時間と、まだ大きな誤差がある。よって、端末機器が修正しようとする時間誤差が t である場合、目標周波数 $f_{TAF-DPS}$ の範囲は、 $f_{TAF-DPS} > 1/t$ であってもよい。

【0035】

例えば、周波数源200は、自励発振源と合成周波数源を含んでもよい。例えば、自励発振源は、水晶発振器、空洞発振器、及び電圧制御発振器などを含む。合成周波数源は、直接アナログ周波数源、直接デジタル周波数源、間接アナログ周波数源、及び間接デジタル周波数源を含む。

【0036】

例えば、周波数源200は、通常的水晶発振器（Crystal Oscillator、XO）、温度補償水晶発振器（Temperature Compensated C

10

20

30

40

50

Crystal Oscillator、TCXO）及び定温水晶発振器（Oven Controlled Crystal Oscillator、OCXO）などの水晶発振源を含むことができる。

【0037】

例えば、クロック同期技術は、同期時間検出と、リモートクロック推定と、ローカルクロックキャリブレーションを含むことができる。電子機器の同期時間精度の式は、

$$\pi = C_1 \cdot \varepsilon + C_2 \cdot G_1 + C_3 \cdot G_2 + C_4 \cdot u + C_5 \cdot G_s$$

と表すことができる。

【0038】

ここで、 π は同期時間精度を表し、 ε はリモートクロックを読み取る際の伝送遅延不確実性を表し、 G_1 はクロックドリフト（つまり、水晶発振源の周波数ドリフト）を表し、 G_2 は読み取りクロック粒度を表し、 u は調整粒度比率を表し、 G_s はクロック設定粒度を表す。 C_1 、 C_2 、 C_3 、 C_4 及び C_5 は重み係数である。 G_2 、 u 及び G_s は、いずれも周波数源によって生成された入力信号の初期周波数 f_c に直接又は間接に関する。電子機器のクロックのカウンターが、入力信号の初期周波数 f_c のステップサイズ（ $1/f_c$ ）に従って増加するため、 f_c が大きいほど、同期時間精度 π が大きくなる（ π が小さいほど、同期時間精度が高める）。

【0039】

例えば、上記の同期時間精度の式から、水晶発振源の周波数ドリフトが同期時間精度に影響を与え、通常は、作動する環境温度と素子の劣化によって、水晶発振源の周波数ドリフトが発生されることが分かる。したがって、水晶発振源の周波数ドリフトによって出力信号の目標周波数に与える影響を補償して、同期時間の精度を向上させる必要がある。周波数制御ワードは、出力信号の目標周波数を制御するために用いられ、水晶発振器源の周波数ドリフトに従って、周波数制御ワードを変化させることで、出力信号の目標周波数への補償を実現する。

【0040】

例えば、制御回路11は、水晶発振ドリフトの影響パラメータを取得し、影響パラメータに基づいて周波数制御ワードを生成するように構成される。つまり、周波数制御ワードは、水晶発振ドリフトの影響パラメータに基づいて変化されることができる。水晶発振ドリフトの影響パラメータが変化する場合、周波数制御ワードも対応的な変化が発生する。

【0041】

例えば、入力信号及び出力信号は、いずれもパルス信号である。

【0042】

例えば、周波数制御ワードは、出力信号の目標周波数を制御するためのものである。信号調整回路12は、当該周波数制御ワードと入力信号の初期周波数とに基づいて、出力信号を生成し、生成された出力信号の周波数を目標周波数とすることで、異なる機器の時間同期の精度ニーズを満たす。例えば、同一な初期周波数に対して、周波数制御ワードが変化すると、目標周波数も対応的に変化することで、同一な初期周波数を有する入力信号が、異なる目標周波数を有する出力信号に変換されることができ、異なる電子機器のニーズを満たす。

【0043】

例えば、図4に示すように、信号生成回路100はパラメータ取得回路13をさらに含む。パラメータ取得回路13は、水晶発振ドリフトの影響パラメータを検出するように構成されることで、水晶発振ドリフトの影響パラメータによる出力信号の目標周波数への影響を補償する。

【0044】

例えば、水晶発振ドリフトの影響パラメータによって、周波数源により生成された入力信号の初期周波数が、異なる条件において同一ではない。例えば、水晶発振ドリフトに影響する要因は、環境温度と周波数源劣化などを含むことができる。例えば、一部の例において、環境温度の影響により、初期周波数の周波数誤差が $\pm 10 \text{ ppm}$ まで到達すること

10

20

30

40

50

ができる。周波数源劣化の影響により、周波数源により生成された入力信号の初期周波数の周波数誤差は、時間とともに増加し、徐々に積み重なる。本発明の実施例において、水晶発振ドリフトの影響パラメータを検出することで、当該水晶発振ドリフトの影響パラメータに基づいて周波数制御ワードを生成し、そして信号調整回路12は周波数制御ワードに基づいて補償された出力信号を生成することができる。つまり、当該出力信号の目標周波数がユーザによって予め設定された周波数にもっと近接するか、又は周波数と同一することで、水晶発振ドリフトの影響パラメータによる出力信号の目標周波数の誤差を補償することを実現する。よって、本発明の少なくとも一つの実施例で提供された信号生成回路100は、周波数源の物理的構造を変更しないまま、出力信号の周波数を補償し、出力信号の周波数誤差を補正して、ネットワークシステムにおける各機器の時間同期の正確度を向上させる。

10

【0045】

なお、製造誤差の影響により、周波数源により生成された入力信号の初期周波数は、一定な一つの製造誤差を有することができ、出力信号の目標周波数を影響してしまう。よって、水晶発振ドリフトに影響する要因は、製造誤差などを含むことができ、本発明ではこれを限定しない。

【0046】

例えば、一部の例において、図5に示すように、水晶発振ドリフトの影響パラメータは、温度パラメータ T_0 を含む。パラメータ取得回路13は、温度検出サブ回路131を含む。温度検出サブ回路131は、温度パラメータ T_0 を検出して、環境温度による出力信号の目標周波数の誤差を補償するように構成される。

20

【0047】

例えば、温度検出サブ回路131は、温度検出器と第1カウンタを含むことができる。温度検出器は、環境温度を検出するように構成され、温度パラメータ T_0 は環境温度を含むことができる。第1カウンタは、環境温度と参照温度に基づいて周波数変化量を記録するように構成される。

【0048】

例えば、温度パラメータと周波数変化量との関係は、非線形であるが、これに限られず、特殊な温度センサによって温度パラメータと周波数変化量との線形比例関係を出力してもよい。例えば、本発明において、温度パラメータと周波数変化量との関係式は、以下のよう表すことができる。

30

【数5】

$$\Delta f = r \cdot \Delta T^n + p \cdot \Delta T^{n-1} + \dots + d \cdot \Delta T + g \quad \dots \quad (\text{式5})$$

【0049】

ここで、 Δf は周波数変化量を表し、 r 、 p 、 d 、 g は、いずれも定数であり、 ΔT は環境温度と参照温度との差であり、 $\Delta T = T_1 - T_2$ であり、 T_1 は環境温度を表し、 T_2 は参照温度を表し、 n は正の整数である。例えば、参照温度は25℃であってもよく、つまり $T_2 = 25$ であってもよいが、これに限られない。参照温度は他の値であってもよく、本発明ではこれを限定しない。

40

【0050】

例えば、実際の状況に応じて、温度係数 r 、 p 、 d 、 g の値を具体的に設定してもよい。上記式における温度係数の数は n に関わる。温度パラメータと周波数変化量間との関係が2次の非線形関係である場合、 n は2であり、この場合、温度パラメータと周波数変化量との関係式は、以下のように表すことができる。

【数6】

$$\Delta f = r \cdot \Delta T^2 + p \cdot \Delta T^1 + g \quad \dots \quad (\text{式6})$$

50

【0051】

従って、上記式では三つの温度係数のみを含み、即ち、 r 、 p 、 g のみを含む。しかし、 n が他の値である場合、上記式の温度係数の数も対応的に変化する。

【0052】

例えば、周波数変化量は、信号調整回路12によって生成された出力信号の目標周波数の変化量を表す。つまり、周波数変化量は下記の式で表すことができる。

【数7】

$$\Delta f = f_1 - f_2 = r \cdot \Delta T^n + p \cdot \Delta T^{n-1} + \dots + d \cdot \Delta T + g \quad \dots \text{ (式7)}$$

10

【0053】

ここで、 f_1 は現在の環境温度における出力信号の目標周波数を表し、 f_2 は参照温度における出力信号の目標周波数を表す。

【0054】

例えば、周波数制御ワードと周波数変化量との関係式は、以下のように表すことができる。

【数8】

$$\begin{aligned} F_N &= \frac{F_{TO} \cdot f_{\Delta} + \Delta f \cdot F_{TO}^2}{f_{\Delta}} \\ &= \frac{F_{TO} \cdot f_{\Delta} + (r \cdot \Delta T^n + p \cdot \Delta T^{n-1} + \dots + d \cdot \Delta T + g) \cdot F_{TO}^2}{f_{\Delta}} \quad \dots \text{ (式8)} \end{aligned}$$

20

【0055】

ここで、 F_N は周波数制御ワードを表し、 F_{TO} は参照温度に対応する参照周波数制御ワード（即ち、参照温度における周波数制御ワード）を表し、 f_{Δ} は基準時間単位の周波数を表す。参照周波数制御ワード F_{TO} は予め検出して電子機器のメモリに記憶してもよい。例えば、制御回路は、式8に基づいて、環境温度に応じて、周波数制御ワードを生成するように構成されてもよい。

30

【0056】

例えば、本発明の少なくとも一つの実施例で提供された信号生成回路において、温度検出器によって環境温度を検出し、制御回路11に温度パラメータをリアルタイムにフィードバックしてもよく、制御回路11は、温度パラメータに基づいて、周波数制御ワードをリアルタイムに調整することで、温度による出力信号の目標周波数の周波数誤差をリアルタイムに補正することができる。

【0057】

例えば、他のいくつかの例において、図5に示すように、水晶発振ドリフトの影響パラメータは、劣化パラメータ A_0 を含む。パラメータ取得回路13は、劣化読み取りサブ回路132を含んでもよい。劣化読み取りサブ回路132は、水晶発振源の劣化パラメータ A_0 を読み取るように構成されることで、周波数源の劣化による出力信号の目標周波数の誤差を補償する。

40

【0058】

例えば、劣化読み取りサブ回路132は、劣化読み取り素子と第2カウンタを含んでもよい。劣化読み取り素子は、水晶発振源の劣化速度を読み取り、さらに水晶発振源の劣化速度に対応する参照時間を読み取るように構成され、劣化パラメータは劣化速度と参照時間を含む。第2カウンタは、参照時間の数を記録するように構成される。

【0059】

なお、劣化速度は、水晶発振源自身の性質により決められるので、当該水晶発振源の使用、劣化速度は一定な値と見なすことができる。劣化速度は、当該水晶発振源を製造す

50

るメーカーによって提供され、当該劣化速度は、電子機器のメモリに記憶してもよく、劣化速度というパラメータを使用する必要がある場合、劣化読み取り素子によって、電子機器のメモリから直接に読み取る。

【0060】

例えば、水晶発振源の劣化速度は、ppm (parts per million、100万分の1)、又はppb (parts per billion、10億分の1)で表すことができる。例えば、水晶発振源の劣化速度が $\pm 5 \text{ ppm/year}$ である場合、1年において、水晶発振源により生成された信号の周波数の誤差値が $\pm 5 \text{ ppm}$ 以内であることを表し、水晶発振源の劣化速度が $\pm 1 \text{ ppm/month}$ である場合、1ヶ月において、水晶発振源により生成された信号の周波数の誤差値が $\pm 1 \text{ ppm}$ 以内であることを表す。

10

【0061】

例えば、参照時間は劣化速度に関わり、水晶発振源の劣化速度の単位時間が年である場合、例えば、水晶発振源の劣化速度が $\pm 5 \text{ ppm/year}$ である場合、参照時間は1年であり、水晶発振源の劣化速度の単位時間が月である場合、例えば、水晶発振源の劣化速度が $\pm 1 \text{ ppm/month}$ である場合、参照時間は1ヶ月である。

【0062】

例えば、周波数制御ワードと劣化パラメータとの関係式は、以下のように表すことができる。

【数9】

$$F_N = F_{AO} \cdot (1 + \gamma) \quad \dots \text{ (式9)}$$

20

【0063】

ここで、 F_N は周波数制御ワードを表し、 F_{AO} は参照周波数制御ワードを表し、 γ は劣化パラメータの積を表し、ここで、 $\gamma = v \cdot t$ であり、 v は劣化速度を表し、 t は参照時間の数を表し、 t は自然数で、即ち、0、1、2、...である。参照周波数制御ワード F_{AO} は初めて周波数源を使用する際に対応する周波数制御ワードを表すことができ、参照周波数制御ワード F_{AO} は予め検出して電子機器のメモリに記憶してもよい。例えば、制御回路は、式(9)に基づいて、劣化速度に応じて、周波数制御ワードを生成するように構成されてもよい。

30

【0064】

例えば、劣化速度の単位時間が年ある場合、即ち、参照時間が1年である場合、周波数源200が1年未満使用された場合、 t はいずれも0であり、周波数源200が1年以上且つ2年未満使用された場合、 t は1であり、以後も同様に類推する。

【0065】

例えば、本発明の少なくとも一つの実施例で提供された信号生成回路において、劣化読み取りサブ回路132は、所定の時間ごとに、制御回路11に劣化パラメータ A_0 を伝送することで、周波数制御ワードに対して劣化補正を行うことができる。所定の時間は、10日、1ヶ月、1年などであってもよい。例えば、所定の時間は、参照時間と同じであってもよい。例えば、参照時間が1年である場合、所定の時間も1年であってもよく、即ち、1年ごとに周波数制御ワードに対して一回の劣化補正を行う。

40

【0066】

なお、いくつかの実施例において、パラメータ取得回路13は、温度検出サブ回路131と劣化読み取りサブ回路132を同時に含むことで、環境温度と周波数源の劣化が出力信号に対する影響を同時に補償することができる。

【0067】

例えば、図5に示すように、制御回路11は、算出サブ回路111と出力サブ回路112を含むことができる。算出サブ回路111は、パラメータ取得回路13から水晶発振ドリフトの影響パラメータ(例えば、影響パラメータは、劣化パラメータ A_0 と温度パラメータ T_0 などを含む)を取得し、水晶発振ドリフトの影響パラメータに応じて、周波数制

50

御ワード F を生成するように構成される。出力サブ回路 1 1 2 は、周波数制御ワード F を信号調整回路 1 2 に出力するように構成される。

【 0 0 6 8 】

例えば、算出サブ回路 1 1 1 は、上記の式 8 及び／又は式 9 に応じて、周波数制御ワードを算出することができる。

【 0 0 6 9 】

例えば、出力サブ回路 1 1 2 は、クロック信号の制御において、算出サブ回路 1 1 1 により算出された周波数制御ワード F を信号調整回路 1 2 に出力することができる。

【 0 0 7 0 】

例えば、制御回路 1 1 は、ハードウェア回路により実現されてもよい。例えば、算出サブ回路 1 1 1 と出力サブ回路 1 1 2 は、ハードウェア回路によって実現されてもよい。算出サブ回路 1 1 1 は、例えば、トランジスタ、抵抗器、コンデンサ、増幅器などの要素によって構成されてもよい。出力サブ回路 1 1 2 は、例えば、トリガーなどの要素によって構成されてもよい。もちろん、制御回路 1 1 の機能もソフトウェアにより実現されてもよい。例えば、算出サブ回路 1 1 1 と出力サブ回路 1 1 2 の機能も、ソフトウェアにより実現されてもよい。例えば、プロセッサによってメモリに記憶された命令とデータを実行することで、算出サブ回路 1 1 1 と出力サブ回路 1 1 2 の機能を実現することができる。

【 0 0 7 1 】

例えば、図 5 に示すように、信号調整回路 1 2 は、基準時間単位生成サブ回路 1 2 1 と周波数調整サブ回路 1 2 2 を含むことができる。基準時間単位生成サブ回路 1 2 1 は、初期周波数 f_c を有する入力信号を受信し、初期周波数に応じて、基準時間単位 Δ を生成して出力するように構成される。周波数調整サブ回路 1 2 2 は、周波数制御ワード F と基準時間単位 Δ に応じて、目標周波数 $f_{TAF-DPS}$ を有する出力信号を生成して出力するように構成される。

【 0 0 7 2 】

図 6 A は本発明の少なくとも一つの実施例で提供された基準時間単位生成サブ回路の概略構成図である。図 6 B は本発明の少なくとも一つの実施例で提供された他の基準時間単位生成サブ回路の概略構成図である。図 7 は本発明の少なくとも一つの実施例で提供された等間隔の位相を有する K 個の基準出力信号の概略図である。

【 0 0 7 3 】

例えば、基準時間単位生成サブ回路 1 2 1 は、初期周波数に応じて、等間隔の位相を有する K 個の基準出力信号と基準時間単位を生成して出力するように構成される。基準時間単位生成サブ回路 1 2 1 は、位相ロックループ (phase locked loop、PLL) 又は遅延ロックループ (delay locked loop、DLL) を含むことができる。

【 0 0 7 4 】

例えば、いくつかの例において、基準時間単位生成サブ回路 1 2 1 は、PLL を含んでもよい。図 6 A に示すように、基準時間単位生成サブ回路 1 2 1 は、電圧制御発振器 (VCO) 1 2 1 1、第 1 位相ロックループ回路 1 2 1 2、K 個の出力端 1 2 1 3 を含むことができる。電圧制御発振器 1 2 1 1 は、所定の発振周波数で発振するように構成される。第 1 位相ロックループ回路 1 2 1 2 は、電圧制御発振器 1 2 1 1 の出力周波数を基準出力周波数にロックするように構成される。K 個の出力端 1 2 1 3 は、等間隔の位相を有する K 個の出力信号を出力するように構成され、K は 1 より大きい正の整数で、例えば、K = 16、32、128 又は他の数値である。

【 0 0 7 5 】

例えば、基準時間単位は Δ として表すことができ、基準出力周波数は f_d として表すことができる。図 7 に示すように、基準時間単位 Δ は、K 個の出力端 1 2 1 3 により出力された隣接する任意の二つの出力信号間の時間幅 (time span) である。基準時間単位 Δ は、通常、多段の電圧制御発振器 1 2 1 1 によって生成される。電圧制御発振器 1 2 1 1 によって生成された信号の周波数 f_{vco} は、第 1 位相ロックループ回路 1 2 1 2 に

10

20

30

40

50

より既知の基準出力周波数 f_d にロックすることができ、即ち、 $f_d = f_{vco}$ である。

【0076】

例えば、基準時間単位 Δ は、以下の式で算出することができる。

【数10】

$$\Delta = T_d / K = 1 / (K \cdot f_d) \quad \dots \quad (\text{式 } 10)$$

【0077】

ここで、 T_d は多段の電圧制御発振器 1211 により生成された信号の周期を表す。 f_Δ は基準時間単位の周波数を表し、即ち、 $f_\Delta = 1 / \Delta = K \cdot f_d$ である。

10

【0078】

例えば、第1位相ロックループ回路 1212 は、位相検出器 (PFD)、ループフィルタ (LPF)、分周器 (N) を含む。例えば、本発明の実施例において、まず、初期周波数を有する入力信号が位相検出器に入力されることができ、そして、ループフィルタに入り、続いて、電圧制御発振器に入り、最後に、電圧制御発振器により生成された所定の発振周波数 f_{vco} を有する信号が、分周器により分周されて、分周信号の分周周波数 f_{vco} / N を取得することができ、分周周波数 f_{vco} / N が位相検出器にフィードバックされ、位相検出器は、入力信号の初期周波数 f_c と分周周波数 f_{vco} / N とを比べ、初期周波数 f_c と分周周波数 f_{vco} / N との周波数と位相が同一である場合、両者間の誤差は 0 になり、この場合、PLL はロック状態になる。

20

【0079】

なお、ループフィルタはローパスフィルタであってもよい。分周器の分周係数は N であり、 N は実数で、 N は 1 以上である。

【0080】

例えば、基準出力周波数 f_d は初期周波数 f_c に関わる。例えば、電圧制御発振器 1211 により生成された信号の周波数 f_{vco} と初期周波数 f_c 間の関係は、 $f_{vco} = N \times f_c$ として表すことができ、 $f_d = f_{vco}$ であるため、基準時間単位 Δ は、 $\Delta = T_d / K = 1 / (K \cdot f_d) = 1 / (K \cdot N \cdot f_c)$ として表すことができる。分周係数 N が 1 である場合、 $f_{vco} = f_c$ であり、さらに、 $f_d = f_{vco}$ であるため、基準出力周波数 f_d は初期周波数 f_c に等しくなることができる。つまり、 $f_d = f_c$ である。

30

【0081】

例えば、他のいくつかの例において、基準時間単位生成サブ回路 121 は DLL を含んでもよい。DLL は、CMOS 技術で実現することで、DLL が任意なチップと回路に容易に集積でき、信号生成回路のコストを削減し、効率を向上させる。例えば、図 6B 示すように、基準時間単位生成サブ回路 121 は、電圧制御遅延器 1214、第2位相ロックループ回路 1215、 K 個の出力端 1213 を含む。電圧制御遅延器 1214 は、一つ又はカスケード接続された複数の遅延ユニットを含むことができ、入力信号と第2位相ロックループ回路 1215 の出力信号に応じて、遅延信号を発生するように構成される。第2位相ロックループ回路 1215 は、入力信号と遅延信号に応じて、電圧制御遅延器 1214 の出力周波数を基準出力周波数にロックするように構成される。 K 個の出力端 1213 は、等間隔の位相を有する K 個の出力信号を出力するように構成され、 K は 1 より大きい正の整数である。

40

【0082】

例えば、図 6B 示すように、第2位相ロックループ回路 1215 は、位相検出器 (PFD)、チャージポンプ (図示せず)、ループフィルタ (LPF) などを含むことができる。位相検出器は、入力信号の初期周波数 f_c とフィードバックされた遅延信号の周波数 f_{db} 間の位相差を検出し、当該位相差をチャージポンプに出力する。チャージポンプは、当該位相差に応じて、位相差に正比例する電圧信号を出力し、電圧信号をループフィルタに出力する。ループフィルタは、当該電圧信号の高調波をフィルタリングすることで、電圧制御遅延器 1214 の制御電圧 V_{com} を取得する。

50

【0083】

例えば、遅延ユニットが、2対1の多重化ゲート回路(MUX2__1)などを含んでもよい。遅延ユニットの遅延時間は、制御電圧 V_{com} に応じて変化することができ、例えば、遅延ユニットの制御電圧が V_{com} であり、遅延時間が T_{vc01} である場合、 V_{com} は T_{vc01} に正比例する。

【0084】

例えば、基準出力周波数を f_d として表し、基準時間単位を Δ として表す。基準時間単位 Δ は、 K 個の出力端により出力された隣接する任意の二つの出力信号間の時間幅であり、 $\Delta = 1 / (K \cdot f_d)$ である。基準出力周波数 f_d は初期周波数 f_c に等しいため、 $\Delta = 1 / (K \cdot f_c)$ である。

【0085】

例えば、周波数源200により生成された入力信号の初期周波数が f_c であり、基準出力周波数 f_d が初期周波数 f_c に等しい場合、即ち、 $f_d = f_c$ である場合、入力信号の時間粒度は $1 / f_d$ であり、信号生成回路100により、周波数源から出力された入力信号の初期周波数 f_c を調整してから、目標周波数 $f_{TAF-DPS}$ を有する出力信号を取得することができ、出力信号の時間粒度は Δ であり、即ち、 $1 / (K \cdot f_d)$ であり、 K は1より大きい正の整数であり、出力信号の時間粒度 $1 / (K \cdot f_d)$ は、入力信号の時間粒度 $1 / f_d$ より小さいため、当該信号生成回路を含む電子機器の時間同期の精度がより高くなり、作動協力性がより良好である。例えば、一つの例において、周波数源200により生成された入力信号の初期周波数 $f_c = 20\text{MHz}$ である場合、入力信号の時間粒度は 50ns であり、周波数粒度は 5×10^{-8} である。信号生成回路が当該入力信号を処理してから、出力信号を取得し、出力信号の時間粒度は Δ であり、周波数粒度は $1 / (K \cdot f_c)$ である。 Δ が非常に小さくしてもよく、例えば、 K が1024である場合、 Δ は 48.8ps になることができ、よって、出力信号の時間粒度は 48.8ps であり、出力信号の周波数粒度は、 4.9×10^{-11} であることで、入力信号に比べて、出力信号の時間粒度と周波数粒度がすべて K (つまり、1024)倍増加されている。

【0086】

入力信号と出力信号との時間粒度と周波数粒度間の対応関係は、以下の表1に示すようである。

【表1】

入力信号			出力信号			
f_c	時間粒度	周波数粒度	K=128		K=1024	
			時間粒度	周波数粒度	時間粒度	周波数粒度
1MHz	1 μs	10^{-6}	7.8ns	7.8×10^{-9}	977ps	9.8×10^{-10}
10MHz	100ns	10^{-7}	781ps	7.8×10^{-10}	97.7ps	9.8×10^{-11}
20MHz	50ns	5×10^{-8}	390ps	3.9×10^{-10}	48.8ps	4.9×10^{-11}

【0087】

上記の表1から分かるように、本発明の信号生成回路は、入力信号を調整して、出力信号を取得し、出力信号の目標周波数が入力信号の初期周波数より大きいと、出力信号の時間粒度と周波数粒度とが、いずれも上がることができる。

【0088】

なお、図6A及び図6Bに示された回路構造は、基準時間単位生成サブ回路121の例示的な実現方式にすぎない。基準時間単位生成サブ回路121の具体的な構成はこれに限定されるものではなく、他の回路構成で構成してもよいが、ここでは限定しない。

【0089】

図8は本発明の少なくとも一つの実施例で提供された周波数調整サブ回路の概略ブロック図を示す。図9は本発明の少なくとも一つの実施例で提供された周波数調整サブ回路の動作原理概略図を示す。

【0090】

例えば、図8示すように、周波数調整サブ回路122は、第1入力モジュール1221、第2入力モジュール1222、出力モジュール1223を含む。第1入力モジュール1221は、基準時間単位生成サブ回路121からの、等間隔の位相を有するK個の基準出力信号と基準時間単位を受信するように構成される。第2入力モジュール1222は、制御回路11からの周波数制御ワードを受信するように構成される。出力モジュール1223は、周波数制御ワード及び基準時間単位とマッチングする、目標周波数を有する出力信号を生成して出力するように構成される。

【0091】

例えば、周波数調整サブ回路122は、時間平均周波数直接周期合成器(TAF-DPS)を含んでもよい。時間平均周波数直接周期合成器(Time-Average-Frequency Direct Period Synthesis、TAF-DPS)技術は、あらゆる周波数のパルス信号を生成できる新しい周波数合成技術である。つまり、TAF-DPS合成器は、小さな周波数粒度の細かい周波数調整を実現できる。また、単一なパルスの各々が直接構築されるため、TAF-DPS合成器の出力周波数は瞬時に変更され、すなわち、周波数スイッチングの迅速さがある。実験により、TAF-DPS合成器の周波数の粒度は、数ppb(parts per billion)に達する可能性がある。任意の周波数の生成と周波数の迅速なスイッチングは、従来の周波数源に比べてTAF-DPS合成器の主な利点である。TAF-DPS合成器は、本発明の実施例による周波数調整サブ回路122のある具体的な実現方式である。

【0092】

よって、本発明の実施例で提供された信号生成回路は、以下のような利点を含むが、これに限られない。

【0093】

(1) 低コストと実現の柔軟性。TAF-DPSに基づく周波数補償器は、完全にデジタル設計され、HDLエンコーディングによってプログラミング可能な論理素子(FPGAなど)に書き込むことができ、周波数補償器のパラメータもいつでも簡単に設定することができる。したがって、周波数補償器の機能は、特別な専用回路なしで、一般的なFPGAまたは他のプログラミング可能な素子によって実現される。もちろん、ASICを使用して周波数補償器の機能を実現してもよい。

【0094】

(2) 高精度。TAF-DPSにより出力されたパルス信号の周波数/周期を正確に制御でき、その周波数分解能は10億分の1レベルに達するため、時間同期の精度を効果的に向上できる。

【0095】

例えば、TAF-DPS合成器は、プログラミング可能な論理素子(例えば、ASICまたはFPGA)を用いて実現してもよい。又は、TAF-DPS合成器は、従来のアナログ回路素子を用いて実現してもよい。本発明はこれを限定しない。

【0096】

以下、図9を参照して、TAF-DPS合成器に基づく周波数調整サブ回路の作動原理を説明する。

【0097】

例えば、図9に示すように、TAF-DPS合成器510に基づく周波数調整サブ回路122は、基準時間単位520と周波数制御ワード530との二つの入力を受信する。周波数制御ワード530は、Fとして表し、 $F = I + r$ であり、Iは1より大きい整数であり、rは分数である。

【0098】

例えば、TAF-DPS合成器510は、一つの出力CLK550を有する。当該CLK550は、合成された時間平均周波数クロック信号である。本発明の少なくとも一つの実施例において、CLK550は目標周波数を有する出力信号である。基準時間単位52

0 に応じて、T A F - D P S 合成器 5 1 0 は、第 1 周期 $T_A = I \cdot \Delta$ と第 2 周期 $T_B = (I + 1) \cdot \Delta$ との 2 種類の周期を発生することができる。つまり、出力 C L K 5 5 0 は、クロックパルス列 5 4 0 であり、当該クロックパルス列 5 4 0 は、第 1 周期 T_A 5 4 1 と第 2 周期 T_B 5 4 2 がインターリーブされて構成される。分数 r は、第 2 周期 T_B の発生確率を制御するためのものであり、よって、 r も第 1 周期 T_A の発生確率を特定することができる。

【0099】

例えば、図 9 に示すように、出力信号 C L K 5 5 0 の周期 $T_{TAF-DPS}$ は以下の式で表すことができる。

【数 1 1】

$$\begin{aligned} T_{TAF-DPS} &= (1 - r) \cdot T_A + r \cdot T_B \\ &= T_A + r \cdot (T_B - T_A) = T_A + r \cdot \Delta = I \cdot \Delta + r \cdot \Delta = (I + r) \cdot \Delta \end{aligned} \quad \dots \text{ (式 1 1)}$$

10

【0100】

よって、周波数制御ワード 5 3 0 が $F = I + r$ である場合、

【数 1 2】

$$T_{TAF-DPS} = F \cdot \Delta \quad \dots \text{ (式 1 2)}$$

20

を取得することができる。

【0101】

上記式 1 2 から分かるように、T A F - D P S 合成器 5 1 0 により出力された出力信号 C L K の周期 $T_{TAF-DPS}$ は、周波数制御ワード 5 3 0 と線形比例になる。周波数制御ワード 5 3 0 が変化する場合、T A F - D P S 合成器 5 1 0 により出力された出力信号の周期 $T_{TAF-DPS}$ も同一な形式で変化される。

【0102】

また、周期 T は周波数 f に反比例するので、所定の条件を満たす場合、例えば、周波数制御ワード 5 3 0 の変化量が非常に小さい場合（所定の閾値より小さい場合）、出力信号の目標周波数も、周波数制御ワード（ F ）の波形変化にほぼ線形に追従することができる。制御回路 1 1 は、水晶発振ドリフトの影響パラメータに応じて、周波数制御ワードを生成することができ、そして T A F - D P S 合成器 5 1 0 は、当該周波数制御ワードに応じて、目標周波数を有する出力信号を生成し、当該目標周波数は周波数制御ワードに対応し、周波数制御ワードを調整することで目標周波数を調整可能で、温度パラメータと劣化パラメータに基づいて、周波数制御ワードを補償してから、対応的に、目標周波数も補償される。

30

【0103】

例えば、上記式 1 0 と式 1 2 に基づいて、目標周波数は以下のように表す。

$$f_{TAF-DPS} = 1 / T_{TAF-DPS} = 1 / (F \cdot \Delta) = (K \cdot f_d) / F$$

40

【0104】

ここで、 $f_{TAF-DPS}$ は目標周波数を表し、 F は周波数制御ワードを表す。例えば、周波数調整サブ回路は、当該式に基づいて、周波数制御ワードと基準時間単位に応じて、目標周波数を特定するように構成される。

【0105】

図 1 0 A は本発明の少なくとも一つの実施例で提供された周波数調整サブ回路の構成概略図である。図 1 0 B は本発明の少なくとも一つの実施例で提供された他の周波数調整サブ回路の構成概略図である。

【0106】

以下、図 1 0 A と図 1 0 B を参照して、T A F - D P S 合成器の回路構成について説明

50

する。

【0107】

例えば、図10Aに示すように、いくつかの実施例において、第1入力モジュール1221は、 $K \rightarrow 1$ マルチプレクサ711を含むことができる。 $K \rightarrow 1$ マルチプレクサ711は、等間隔の位相を有するK個の基準出力信号を受信する複数の入力端と、制御入力端と、出力端とを有する。

【0108】

例えば、出力モジュール1223は、トリガー回路730を含む。トリガー回路730は、パルス列を生成するためのものである。パルス列は、例えば、第1周期 T_A のパルス信号と第2周期 T_B のパルス信号とがインターリーブされて構成される。トリガー回路730は、Dトリガー、インバータ、出力端を含む。Dトリガーは、データ入力端と、 $K \rightarrow 1$ マルチプレクサ711の出力端からの出力を受信するためのクロック入力端と、第1クロック信号CLK1を出力するための出力端とを含む。インバータは、第1クロック信号CLK1を受信するためのインバータ入力端と、第2クロック信号CLK2を出力するためのインバータ出力端とを含む。トリガー回路730の出力端は、目標周波数を有する出力信号 S_{out} として、第1クロック信号CLK1を出力するためのものである。

【0109】

例えば、第1クロック信号CLK1はパルス列を含む。第2クロック信号CLK2はDトリガーのデータ入力端に接続される。

【0110】

例えば、第2入力モジュール1222は、論理制御回路740を含む。論理制御回路740は、制御回路11により出力された周波数制御ワードFを受信するための入力端と、第1クロック信号CLK1を受信するためのクロック入力端と、第1入力モジュール1221の $K \rightarrow 1$ マルチプレクサの制御入力端に接続された出力端とを含む。

【0111】

例えば、図10Bに示すように、他のいくつかの実施例において、第1入力モジュール1221は、第1 $K \rightarrow 1$ マルチプレクサ721と、第2 $K \rightarrow 1$ マルチプレクサ723と、 $2 \rightarrow 1$ マルチプレクサ725とを含む。第1 $K \rightarrow 1$ マルチプレクサ721と第2 $K \rightarrow 1$ マルチプレクサ723は、それぞれ、等間隔の位相を有するK個の信号を受信するための複数の入力端と、制御入力端と、出力端とを含む。 $2 \rightarrow 1$ マルチプレクサ725は、制御入力端と、出力端と、第1 $K \rightarrow 1$ マルチプレクサ721からの出力を受信するための第1入力端と、第2 $K \rightarrow 1$ マルチプレクサ723からの出力を受信するための第2入力端とを含む。

【0112】

例えば、図10Bに示すように、出力モジュール1223は、トリガー回路を含む。トリガー回路は、パルス列を生成するためのものである。トリガー回路は、Dトリガー761と、インバータ763と、出力端762とを含む。Dトリガー761は、データ入力端と、 $2 \rightarrow 1$ マルチプレクサ725の出力端からの出力を受信するためのクロック入力端と、第1クロック信号CLK1を出力するための出力端とを含む。インバータ763は、第1クロック信号CLK1を受信するための入力端と、第2クロック信号CLK2を出力するための出力端とを含む。トリガー回路の出力端762は、目標周波数を有する出力信号 S_{out} として、第1クロック信号CLK1を出力するためのものである。

【0113】

例えば、第1クロック信号CLK1が $2 \rightarrow 1$ マルチプレクサ725の制御入力端に接続され、第2クロック信号CLK2がDトリガー761のデータ入力端に接続されている。

【0114】

例えば、図10Bに示すように、第2入力モジュール1222は、第1論理制御回路70と第2論理制御回路74を含む。第1論理制御回路70は、第1加算器701と、第1レジスタ703と、第2レジスタ705とを含む。第2論理制御回路74は、第2加算器741と、第3レジスタ743と、第4レジスタ745とを含む。

【0115】

第1加算器701は、周波数制御ワードFと第1レジスタ703に記憶された最上位ビット(most significant bits、例えば、5ビット)とを加算し、そして、第2クロック信号CLK2の立ち上がりエッジで、加算結果を第1レジスタ703に格納する。又は、第1加算器701は、周波数制御ワードFと第1レジスタ703に記憶された全部の情報とを加算し、第2クロック信号CLK2の立ち上がりエッジで、加算結果を第1レジスタ703に格納する。第2クロック信号CLK2の次の立ち上がりエッジで、第1レジスタ703に記憶された最上位ビットを、第1K→1マルチプレクサ721の選択信号として第2レジスタ705に記憶し、前記選択信号は、K個の多相入力信号から一つの信号を第1K→1マルチプレクサ721の第1出力信号として選択するためのものである。

10

【0116】

第2加算器741は、周波数制御ワードFと第1レジスタ703に記憶された最上位ビットを加算し、そして、第2クロック信号CLK2の立ち上がりエッジで、加算結果を第3レジスタ743に格納する。第1クロック信号CLK1の次の立ち上がりエッジで、第3レジスタ743に記憶されている情報を、第2K→1マルチプレクサ723の選択信号として第4レジスタ745に記憶し、前記選択信号は、K個の多相入力信号から一つの信号を第2K→1マルチプレクサ723の第2出力信号として選択するためのものである。

【0117】

第1クロック信号CLK1の立ち上がりエッジで、2→1マルチプレクサ725は、第1K→1マルチプレクサ721からの第1出力信号と第2K→1マルチプレクサ723からの第2出力信号のうち一方を2→1マルチプレクサ725の出力信号として選択し、Dトリガー761の入力クロック信号とする。

20

【0118】

例えば、図10Aと図10Bに示されたTAF-DPS合成器により出力された出力信号Soutの周期($T_{TAF-DPS}$)は、上記の式12に基づいて算出できる。例えば、周波数制御ワードは、 $F = I + r$ の形式で設定し、ここで、Iは[2, 2K]の範囲内の整数であり、rは[0, 1)の範囲内の小数である。

【0119】

なお、TAF-DPSに関する作動原理は、文献L. XIU、「Nanometer Frequency Synthesis beyond the Phase-Locked Loop」、Piscataway, NJ 08854, USA, John Wiley IEEE-press, 2012と、L. XIU、「From Frequency to Time-Average-Frequency: a Paradigm Shift in the Design of Electronic System」、Piscataway, NJ 08854, USA, John Wiley IEEE-press, 2015とを参照することができる。その全内容は参照により本明細書に援用する。

30

【0120】

図11は本発明の少なくとも一つの実施例で提供された時間同期システムの概略ブロック図を示す。図12は本発明の少なくとも一つの実施例で提供された時間同期システムの、ネットワーク時間同期プロトコルNTPに基づいて時間を同期する概略図を示す。

40

【0121】

例えば、本発明の少なくとも一つの実施例で提供された時間同期システム60は、複数の電子機器を含むことができる。複数の電子機器のうち少なくとも一つは、上記のいずれか的一项に記載の電子機器である。電子機器の信号生成回路は、目標周波数を有する出力信号を生成することができ、電子機器の時間調整回路は、目標周波数を有する出力信号に基づいて、当該電子機器のクロック信号に対して同期調整操作を行うことで、電子機器のネットワーク時間同期の精度をより向上させる。

【0122】

50

例えば、時間同期システム 60 における各電子機器は、いずれも上記任意な実施例に記載の電子機器であるため、時間同期システム 60 における各電子機器は、いずれも、時間同期システム 60 における複数の電子機器の時間を同期させるように、目標周波数を有する出力信号に基づいてそのクロック信号を調整することができる。出力信号の目標周波数が周波数源により出力された元の入力信号の初期周波数より大きいいため、時間同期システム 60 における複数の電子機器の時間同期精度は高く、各電子機器が作動する場合の一致性、協力性がより良好である。

【0123】

例えば、図 11 に示すように、いくつかの例において、時間同期システム 60 は、二つの電子機器を含み、当該二つの電子機器は、それぞれ、第 1 電子機器 61 と第 2 電子機器 62 である。第 1 電子機器 61 は、クライアント側に位置され、第 2 電子機器 62 は、サーバ側に位置される。図 12 に示すように、第 1 電子機器 61 は、第 1 タイムスタンプで、第 1 ネットワークメッセージを第 2 電子機器 62 に送信するように構成される。第 1 ネットワークメッセージには、当該第 1 電子機器 61 の第 1 タイムスタンプでの時間情報が付随される。第 1 タイムスタンプで、第 1 電子機器 61 での時間は T_1 であるため、第 1 ネットワークメッセージには当該時間 T_1 が含まれ、第 2 電子機器 62 での時間は $T_1 + d_1$ であり、 d_1 は第 1 電子機器 61 と第 2 電子機器 62 間の同期時間の誤差であり、第 1 電子機器 61 と第 2 電子機器 62 間の位置差異により、第 2 電子機器 62 は第 2 タイムスタンプで第 1 ネットワークメッセージを受信する。第 2 タイムスタンプで、第 2 電子機器 62 での時間は T_2 であり、このとき、第 1 電子機器 61 での時間は $T_2 - d_1$ である。第 2 電子機器 62 の内部システムの時間遅延を介して、第 2 電子機器 62 は第 3 タイムスタンプで第 2 ネットワークメッセージを第 1 電子機器 61 に出力する。第 2 ネットワークメッセージには、当該第 2 電子機器 62 の第 2 タイムスタンプでの時間情報と、第 2 電子機器 62 の第 3 タイムスタンプでの時間信号と、第 1 ネットワークメッセージに含まれる第 1 電子機器 61 の第 1 タイムスタンプでの時間情報とが付随されている。第 3 タイムスタンプで、第 2 電子機器 62 での時間は T_3 であり、第 1 電子機器 61 での時間は $T_3 - d_1$ である。よって、第 2 ネットワークメッセージには、時間 T_1 、時間 T_2 、時間 T_3 とが含まれている。第 1 電子機器 61 は、第 4 タイムスタンプで、第 2 ネットワークメッセージを受信する。第 4 タイムスタンプで、第 1 電子機器 61 での時間は T_4 であり、第 2 電子機器 62 での時間は $T_4 + d_1$ である。そして、第 1 電子機器 61 は、時間 T_1 、 T_2 、 T_3 、 T_4 に基づいて第 1 電子機器 61 と第 2 電子機器 62 間の時間偏差を算出し、第 1 電子機器 61 のクロック信号を調整して、第 1 電子機器 61 の同期クロック信号を取得することができる。当該第 1 電子機器 61 の同期クロック信号は、第 2 電子機器 62 と同期するクロック信号を表し、つまり、当該同期クロック信号は、第 2 電子機器 62 のクロック信号と同期される。

【0124】

例えば、第 1 電子機器 61 の同期クロック信号の精度は、第 1 電子機器 61 の信号生成回路により出力された出力信号の目標周波数の値に正の相関があり、目標周波数が高いほど、第 1 電子機器 61 の同期クロック信号の精度が高い。例えば、目標周波数が 100 Hz である場合、第 1 電子機器 61 の同期クロック信号の時間粒度（即ち、同期精度）は、0.01 s である。

【0125】

例えば、 d_2 は、ネットワークメッセージが第 1 電子機器 61 と第 2 電子機器 62 との間で伝送されるときにかかる一方向平均遅延時間であり、 d_2 は、以下の式で表すことができる。

【数 13】

$$d_2 = \frac{(T_4 - T_1) - (T_3 - T_2)}{2} \quad \dots \quad (\text{式 13})$$

10

20

30

40

50

【0126】

例えば、図12に示すように、 d_{21} （以下、第1伝送遅延時間として表す）は、第1ネットワークメッセージが第1電子機器61から第2電子機器62に伝送される過程中的伝送遅延時間であり、 d_{22} （以下、第2伝送遅延時間として表す）は、第2ネットワークメッセージが第2電子機器62から第1電子機器61に伝送される過程中的伝送遅延時間であり、両者は以下の関係がある。

【数14】

$$d_{21} + d_{22} = 2 \cdot d_2 \quad \dots \text{ (式14)}$$

10

【0127】

同期時間誤差 d_1 は、

【数15】

$$d_1 = \frac{(T_2 - T_1 - d_{21}) + (T_3 - T_4 + d_{22})}{2} \quad \dots \text{ (式15)}$$

として表すことができる。

【0128】

第1伝送遅延時間 d_{21} と第2伝送遅延時間 d_{22} とが等しい場合、つまり、 $d_{21} = d_{22} = d_2$ になり、同期時間誤差 d_1 は、

20

【数16】

$$d_1 = \frac{(T_2 - T_1 - d_2) + (T_3 - T_4 + d_2)}{2} = \frac{(T_2 - T_1) + (T_3 - T_4)}{2} \quad \dots \text{ (式16)}$$

として表すことができる。

【0129】

即ち、第1電子機器61の時間と第2電子機器62の時間とは、 $[(T_2 - T_1) + (T_3 - T_4)] / 2$ との差がある。例えば、一つの例において、時間 T_1 が 10:00:00 であり、時間 T_2 が 11:00:01 であり、時間 T_3 が 11:00:02 であり、時間 T_4 が 10:00:03 である場合、一方向伝送ネットワークメッセージの時間は、 $d_2 = (3 - 1) / 2 = 1$ 秒であり、つまり、一方向伝送遅延は 1 秒であり、同期時間誤差は、 $d_1 = (1:00:01 + 00:59:59) / 2 = 1$ 時間であり、つまり、修正しよう時間誤差は 1 時間である。

30

【0130】

なお、第1伝送遅延時間 d_{21} と第2伝送遅延時間 d_{22} とは、お互いに異なってもよく、即ち、 d_{21} と d_{22} とは等しくなくてもよい。ネットワーク時間同期プロトコル NTP は、クライアント側／サーバ側モード、ピアモード、ブロードキャストモード、マルチキャストモードなどを含み、異なる作動モードにおいて、電子機器の時間同期方式は異なり、本発明ではこれを限定しない。例えば、上記の例において、時間 T_3 は 11:00:02 であり、第1電子機器61の時間を第2電子機器62の時間に強制的に更新する必要がある場合、第1電子機器61の時間 T_4 を直接に $T_3 + d_2$ (1 s) に更新すればよい。つまり、第4タイムスタンプで、第1電子機器61のクロック信号は 11:00:03 であり、第2電子機器62のクロック信号は 11:00:03 であり、つまり、第1電子機器61のクロック信号は第2電子機器62のクロック信号と同期される。

40

【0131】

例えば、第1電子機器61は、第2電子機器62の時間と同期するように、そのクロック信号を調整する必要がある。第1電子機器61で調整する必要がある時間誤差が、 $d_1 = [(T_2 - T_1) + (T_3 - T_4)] / 2$ である。よって、第1電子機器61における

50

信号生成回路により生成された出力信号の目標周波数 $f_{TAF-DPS}$ が $d1 > 1 / f_{TAF-PDS}$ という関係式を満たす場合、第1電子機器61は当該時間誤差をよりよく修正することができ、第1電子機器61は、第2電子機器62との時間とよりよく同期することができる。

【0132】

例えば、一つの例において、 $d1$ が $0.07s$ であり、第1電子機器61における信号生成回路により生成された出力信号の目標周波数 $f_{TAF-PDS}$ が $100Hz$ である場合、第1電子機器61の出力信号の時間粒度は $0.01s$ であり、 $d1 > 1 / f_{TAF-PDS}$ であるため、第1電子機器61が第2電子機器62との時間誤差を修正することができ、修正された時間が $0.07s$ であるため、第1電子機器61と第2電子機器62との時間が完全に同期する。しかし、目標周波数 $f_{TAF-PDS}$ が $200Hz$ である場合、 $d1 > 1 / f_{TAF-PDS}$ であるが、第1電子機器61の出力信号の時間粒度が $0.02s$ で、第1電子機器61が第2電子機器62との時間誤差を完全に修正できず、第1電子機器61の修正可能な時間が $0.06s$ で、このような場合、修正された第1電子機器61と第2電子機器62とは、時間誤差が $0.01s$ である。第1電子機器61と第2電子機器62との時間誤差閾値が $0.02s$ である場合、修正された時間誤差は時間誤差閾値より小さく、修正された第1電子機器61のクロック信号が時間同期システムの時間同期ニーズを満たす。

10

【0133】

図13は本発明の少なくとも一つの実施例で提供された時間同期方法の概略フローチャートである。本発明の少なくとも一つの実施例で提供された時間同期方法は、本発明の任意の実施例に記載の時間同期装置に適用することができる。

20

【0134】

例えば、図13に示すように、時間同期方法は、以下のようなステップを含むことができる。

【0135】

S11において、周波数制御ワードを生成する。

【0136】

S12において、周波数制御ワードと入力信号とに応じて、目標周波数を有する出力信号を生成して出力する。

30

【0137】

S13において、目標周波数を有する出力信号に基づいて、電子機器のクロック信号に対し同期調整する。

【0138】

本発明の実施例で提供された時間同期方法は、十分に大きい目標周波数を有する出力信号を合成でき、即ち、出力信号の周波数粒度が高いことで、各電子機器がより正確な同期クロックを取得し、各電子機器がネットワークシステムにおける作動協力性と一致性がよりよくなる。

【0139】

例えば、ステップS11は、パラメータ取得回路により水晶発振ドリフトの影響パラメータを検出するステップと、水晶発振ドリフトの影響パラメータに基づいて、周波数制御ワードを生成するステップと、周波数制御ワードを信号調整回路に出力するステップとを含むことができる。

40

【0140】

例えば、ステップS12は、初期周波数を有する入力信号受信し、初期周波数を有する入力信号に基づいて、基準時間単位を生成して出力するステップと、周波数制御ワードと基準時間単位に基づいて、目標周波数を有する出力信号を生成して出力するステップとを含むことができる。

【0141】

例えば、目標周波数を有する出力信号は、TAF-DPS合成器により生成されてもよ

50

い。

【0142】

なお、ステップS11とステップS12とは、本発明の任意の実施例に記載の時間同期装置における信号生成回路により実現してもよく、ステップS13は、本発明の任意の実施例に記載の時間同期装置における時間調整回路により実現してもよく、類似な操作又はステップはここで繰り返さない。

【0143】

例えば、ステップS13において、電子機器のクロック信号を同期調整してから、電子機器と時間同期システムにおける残りの電子機器との同期クロック信号を取得することができ、同期クロック信号の精度は、電子機器により生成された出力信号の目標周波数に正の相関がある。

10

【0144】

例えば、いくつかの例において、時間同期システムは、第1電子機器と第2電子機器とを含むことができる。時間同期方法は、以下のようなステップを含むことができる。

【0145】

S21において、第1タイムスタンプで、第1電子機器は、第2電子機器に第1ネットワークメッセージを送信し、この場合、第1電子機器での時間がT1であり、前記第1ネットワークメッセージには時間T1が含まれる。

【0146】

S22において、第2タイムスタンプで、第2電子機器が第1ネットワークメッセージを受信し、この場合、第2電子機器での時間がT2である。

20

【0147】

S23において、第3タイムスタンプで、第2電子機器が第1電子機器に第2ネットワークメッセージを送信し、この場合、第2電子機器での時間がT3であり、前記第2ネットワークメッセージには、時間T1、時間T2、時間T3が含まれる。

【0148】

S24において、第4タイムスタンプで、第1電子機器が第2ネットワークメッセージを受信し、この場合、第1電子機器での時間がT4である。

【0149】

S25において、時間T1、T2、T3、T4に応じて、第1電子機器と第2電子機器との同期時間誤差を算出する。

30

【0150】

S26において、第1電子機器により生成された、目標周波数を有する出力信号に基づいて、第1電子機器のクロック信号に対して同期調整操作を行い、同期時間誤差を解消する。

【0151】

例えば、ステップS26において、第1電子機器により生成された出力信号の目標周波数がfで、第1電子機器と第2電子機器との同期時間誤差が ΔT で、 $\Delta T > 1/f$ である場合、第1電子機器が当該同期時間誤差をよりよく修正することができ、第1電子機器と第2電子機器との時間を同期させる。

40

【0152】

例えば、ステップS26は、ステップS11乃至ステップS13を含むことができる。

【0153】

なお、図13に示した時間同期方法は、本発明の任意の実施例に記載の時間同期システムにより実現することができ、類似な操作又はステップはここで繰り返さない。

【0154】

本発明に対して、次のようないくつかの点を説明する必要がある。

【0155】

(1) 本発明の実施例の図面は、本発明の実施例に係る構造のみに関し、他の構造は共通の設計を参照することができる。

50

【 0 1 5 6 】

(2) 矛盾がない限り、本発明の実施例及び実施例における特徴を互いに組み合わせて、新しい実施例を取得することができる。

【 0 1 5 7 】

以上では本発明の具体的な実施例にすぎず、本発明の保護範囲はこれに限定されず、本発明の保護範囲は特許請求の範囲に従うべきである。

10

20

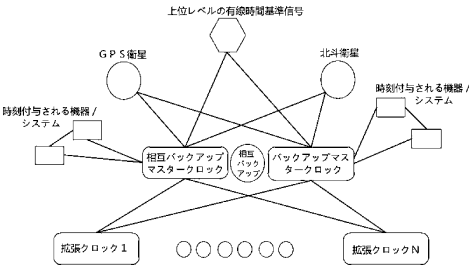
30

40

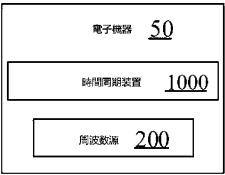
50

【図面】

【図 1】



【図 2】

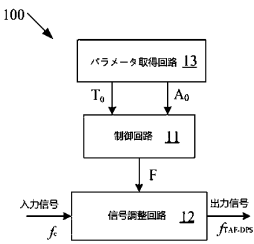


10

【図 3】

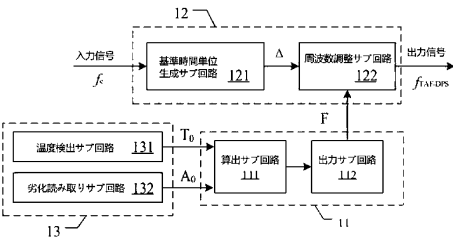


【図 4】

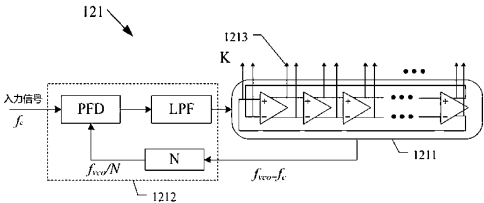


20

【図 5】



【図 6 A】

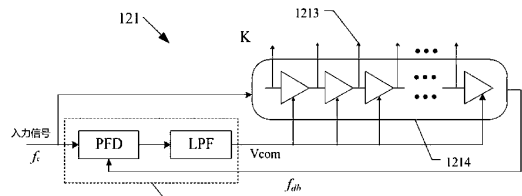


30

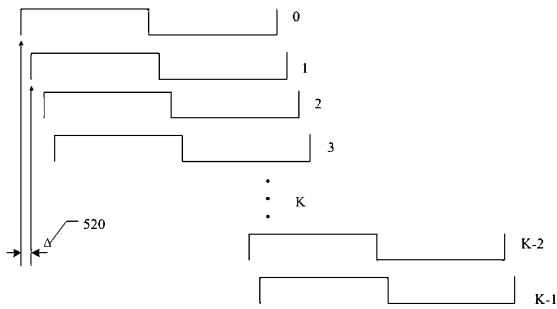
40

50

【図 6 B】

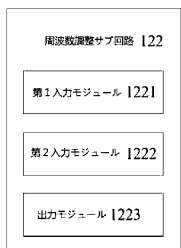


【図 7】

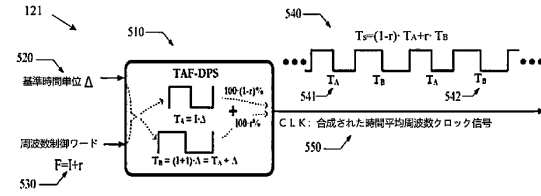


10

【図 8】

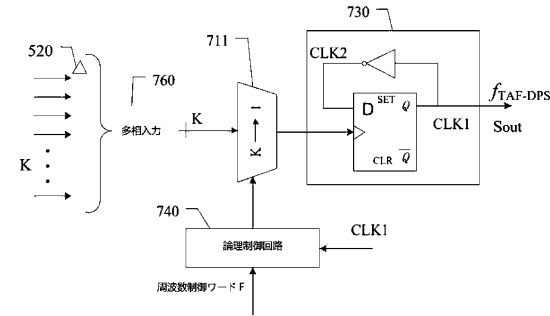


【図 9】

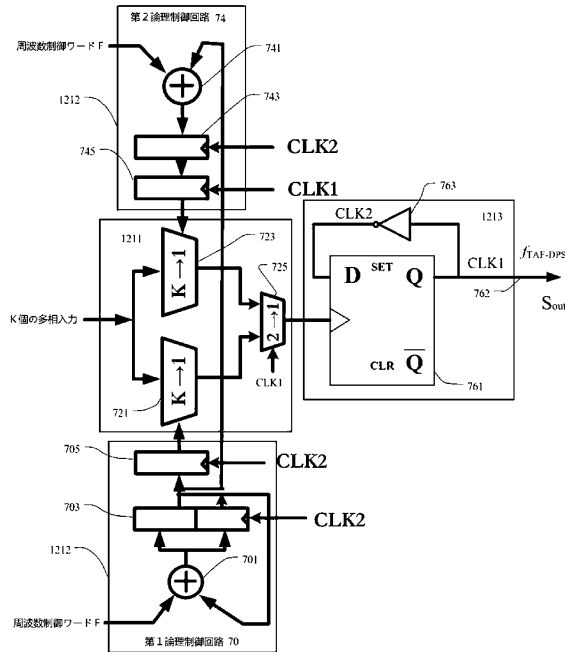


20

【図 10 A】



【図 10 B】

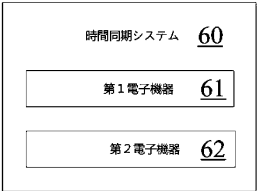


30

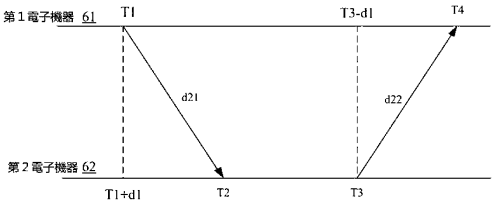
40

50

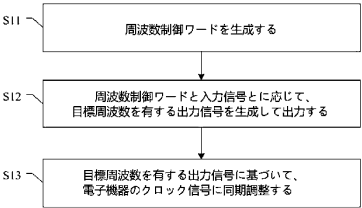
【図 1 1】



【図 1 2】



【図 1 3】



10

20

30

40

50

フロントページの続き

ナンバー 9

審査官 吉江 一明

- (56)参考文献 米国特許第09582028 (US, B1)
米国特許出願公開第2011/0221485 (US, A1)
中国特許出願公開第101931481 (CN, A)
特開2015-082815 (JP, A)
特開2017-153024 (JP, A)
中国特許出願公開第107425851 (CN, A)
特開2010-190585 (JP, A)
特開平09-008551 (JP, A)
- (58)調査した分野 (Int.Cl., DB名)
H04L 7/00
H03L 7/099
H04L 7/033