

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4675813号  
(P4675813)

(45) 発行日 平成23年4月27日 (2011. 4. 27)

(24) 登録日 平成23年2月4日 (2011. 2. 4)

(51) Int. Cl. F I  
 H O 1 L 29/792 (2006. 01) H O 1 L 29/78 3 7 1  
 H O 1 L 29/788 (2006. 01) H O 1 L 27/10 4 3 4  
 H O 1 L 21/8247 (2006. 01)  
 H O 1 L 27/115 (2006. 01)

請求項の数 7 (全 22 頁)

(21) 出願番号	特願2006-96574 (P2006-96574)	(73) 特許権者	308033711
(22) 出願日	平成18年3月31日 (2006. 3. 31)		OKIセミコンダクタ株式会社
(65) 公開番号	特開2007-273674 (P2007-273674A)		東京都八王子市東浅川町550番地1
(43) 公開日	平成19年10月18日 (2007. 10. 18)	(73) 特許権者	591048162
審査請求日	平成20年7月30日 (2008. 7. 30)		OKIセミコンダクタ宮城株式会社
			宮城県黒川郡大衡村沖の平1番
		(74) 代理人	100069615
			弁理士 金倉 喬二
		(72) 発明者	倉知 郁生
			宮城県黒川郡大衡村沖の平1番 宮城沖電
			気株式会社内
		審査官	宮部 裕一

最終頁に続く

(54) 【発明の名称】 半導体記憶装置およびその製造方法

(57) 【特許請求の範囲】

【請求項 1】

支持基板と、前記支持基板上に形成された埋込み酸化膜と、前記埋込み酸化膜上に形成されたS O I層とで形成された半導体基板と、

前記半導体基板に設定されたトランジスタ形成領域およびキャパシタ形成領域の前記S O I層の間を絶縁分離する素子分離層と、

前記トランジスタ形成領域のS O I層上に形成されたM O S F E Tと、

前記キャパシタ形成領域のS O I層上に形成されたM O S キャパシタと、

前記M O S F E Tと前記M O S キャパシタとが共通に用いる電極であるフローティングゲート電極と、を備えた半導体記憶装置であって、

前記M O S F E Tは、

前記フローティングゲート電極の両側の前記S O I層に形成されたソース層およびドレイン層と、

前記ソース層とドレイン層との間に形成されたチャネル領域と、

前記ソース層と前記チャネル領域との界面近傍のソース層に形成された、前記チャネル領域に接し、前記チャネル領域に拡散された不純物と同じ型の不純物を前記チャネル領域より高濃度に拡散させた高濃度拡散層と、

前記高濃度拡散層と前記ソース層とを覆うシリサイド層と、を有し、

前記M O S キャパシタは、

前記S O I層に、前記ソース層と同じ型の不純物を拡散させたキャパシタ電極を有し、

10

20

前記フローティングゲート電極を、前記MOSFETおよび前記MOSキャパシタのSOI層上に形成された前記ゲート絶縁膜を挟んで、前記MOSFETのチャネル領域と前記MOSキャパシタのキャパシタ電極とに対向配置し、

前記MOSキャパシタの前記キャパシタ電極と前記フローティングゲート電極との間の静電容量C1を、前記チャネル領域と前記フローティングゲート電極との間の静電容量C2より小さく、かつ前記ドレイン層と前記フローティングゲート電極との間の静電容量C3より大きく設定したことを特徴とする半導体記憶装置。

【請求項2】

請求項1において、

前記MOSキャパシタは、

前記キャパシタ電極の前記フローティングゲート電極側の端部に、前記埋込み酸化膜に向かって拡大する斜面が形成された突起部を設け、

前記突起部の先端を、前記フローティングゲート電極に前記ゲート絶縁膜を介して対向させたことを特徴とする半導体記憶装置。

【請求項3】

請求項1または請求項2において、

前記ドレイン層をオープン状態にし、前記キャパシタ電極を接地し、前記ソース層に正の電圧を印加して、前記フローティングゲート電極に電荷を注入することを特徴とする半導体記憶装置。

【請求項4】

請求項1または請求項2において、

前記ソース層をオープン状態にし、前記キャパシタ電極に負の電圧を印加し、前記ドレイン層に正の電圧を印加して、前記フローティングゲート電極から電荷を引抜くことを特徴とする半導体記憶装置。

【請求項5】

支持基板上に埋込み酸化膜を介してSOI層を積層した半導体基板に形成されたMOSFETとMOSキャパシタと、前記MOSFETと前記MOSキャパシタとが共通に用いる電極であるフローティングゲート電極とを備えた記憶素子を有する半導体記憶装置の製造方法であって、

前記SOI層にトランジスタ形成領域およびキャパシタ形成領域を設定し、前記トランジスタ形成領域とキャパシタ形成領域との間に素子分離層を形成する工程と、

前記SOI層および前記素子分離層上に、ゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上に、前記トランジスタ形成領域を2分し、前記キャパシタ形成領域上の一部を覆うフローティングゲート電極を形成する工程と、

前記トランジスタ形成領域の前記フローティングゲート電極の両側のSOI層上、並びに前記キャパシタ形成領域のSOI層上に、前記MOSFETのソース層に拡散される不純物と同じ型の不純物をイオン注入して前記MOSFETのソース層およびドレイン層、並びに前記MOSキャパシタのキャパシタ電極を形成する工程と、

前記トランジスタ形成領域のSOI層上に、前記ソース層の前記フローティングゲート電極に隣接する部位に開口部を有するレジストマスクを形成し、そのレジストマスクをマスクとして前記ソース層に、前記MOSFETの前記ソース層とドレイン層との間のチャネル領域に拡散される不純物と同じ型の不純物を前記チャネル領域より高濃度にイオン注入して高濃度拡散層を形成する工程と、

前記レジストマスクを除去し、前記高濃度拡散層と前記ソース層とを電氣的に接続するシリサイド層を形成する工程と、を備え、

前記MOSキャパシタの前記キャパシタ電極と前記フローティングゲート電極との間の静電容量C1を、前記チャネル領域と前記フローティングゲート電極との間の静電容量C2より小さく、かつ前記ドレイン層と前記フローティングゲート電極との間の静電容量C3より大きく設定することを特徴とする半導体記憶装置の製造方法。

【請求項6】

10

20

30

40

50

請求項 5 において、

前記素子分離層を形成する工程を、

前記 S O I 層上にシリコン窒化膜を形成する工程と、

前記 S O I 層に設定されたトランジスタ形成領域およびキャパシタ形成領域を覆うレジストマスクを形成し、そのレジストマスクをマスクとして前記シリコン窒化膜をエッチングして前記 S O I 層を露出させる工程と、

前記レジストマスクを除去し、前記シリコン窒化膜をマスクとして前記露出させた S O I 層を L O C O S 法により酸化して前記トランジスタ形成領域とキャパシタ形成領域との間に素子分離層を形成すると共に、前記キャパシタ形成領域の S O I 層の端部に突起部を形成する工程と、とし、

10

前記ゲート絶縁膜を形成する工程を、

前記シリコン窒化膜を除去し、前記キャパシタ形成領域の S O I 層を露出させる工程と、

前記 S O I 層および前記素子分離層上に、前記 S O I 層に形成された突起部上および前記突起部に隣接する領域の素子分離層を露出させた開口部を有するレジストマスクを形成し、そのレジストマスクをマスクとして前記素子分離層および前記埋込み酸化膜をエッチングし、前記埋込み酸化膜内に底面を有し、前記突起部を露出させたキャパシタ溝を形成する工程と、

前記レジストマスクを除去し、前記 S O I 層および前記素子分離層上、並びに前記キャパシタ溝の内面にゲート絶縁膜を形成する工程と、としたことを特徴とする半導体記憶装置の製造方法。

20

#### 【請求項 7】

請求項 5 において、

前記素子分離層を形成する工程を、

前記 S O I 層上にシリコン窒化膜を形成する工程と、

前記 S O I 層に設定されたトランジスタ形成領域およびキャパシタ形成領域を覆うレジストマスクを形成し、そのレジストマスクをマスクとして等方性エッチングにより、前記シリコン窒化膜および前記 S O I 層をエッチングして前記埋込み酸化膜を露出させ、斜面を側壁とする分離溝を形成すると共に、前記 S O I 層の端部に突起部を形成する工程と、

前記レジストマスクを除去し、前記シリコン窒化膜上、および前記突出部を含む分離溝内に酸化シリコンを堆積する工程と、

30

前記堆積された酸化シリコンおよび前記 S O I 層上のシリコン窒化膜を研磨して前記 S O I 層を露出させ、前記トランジスタ形成領域とキャパシタ形成領域との間に素子分離層を形成する工程と、とし、

前記ゲート絶縁膜を形成する工程を、

前記 S O I 層および前記素子分離層上に、前記 S O I 層に形成された突起部上および前記突起部に隣接する領域の素子分離層を露出させた開口部を有するレジストマスクを形成し、そのレジストマスクをマスクとして前記素子分離層および前記埋込み酸化膜をエッチングし、前記埋込み酸化膜内に底面を有し、前記突起部を露出させたキャパシタ溝を形成する工程と、

40

前記レジストマスクを除去し、前記 S O I 層および前記素子分離層上、並びに前記キャパシタ溝の内面にゲート絶縁膜を形成する工程と、としたことを特徴とする半導体記憶装置の製造方法。

#### 【発明の詳細な説明】

#### 【技術分野】

#### 【0001】

本発明は、電氣的に書換え可能な不揮発性メモリを有する半導体記憶装置およびその製造方法に関する。

#### 【背景技術】

#### 【0002】

50

従来の半導体記憶装置は、選択トランジスタをフローティングゲートトランジスタと直列とし、このフローティングゲートトランジスタのフローティングゲート電極をバルク基板に形成された高濃度N型拡散領域上に薄いトンネル酸化膜を介して容量性結合してシングルポリフラッシュEEPROM(ElectricallyerasableandProgrammableReadOnlyMemory)を形成し、電圧をフローティングゲートトランジスタの制御ラインに印加し、そのソース層を接地して記憶素子のデータを消去している(例えば、特許文献1参照。 )。

【0003】

また、フラッシュメモリセルを、バルク基板に形成したPウェル層とNウェル層にそれぞれ形成した2つのトランジスタを一つのフローティングゲート電極で直列に接続して構成し、消去動作においては、コントロールゲート電極およびドレイン層を接地してソース層に7Vの電圧を印加し、フローティングゲート電極からトンネル電流で電子を引抜いてフラッシュメモリのしきい電圧を下げ、書込み動作においては、ドレイン層を接地してコントロールゲートおよびソース層に5Vの電圧を印加し、フローティングゲート電極にホットエレクトロンを注入してフラッシュメモリのしきい電圧を上げ、このしきい電圧の大小により記憶されたデータを読み出しているものもある(例えば、特許文献2参照。 )。

【特許文献1】特表2003-501806号公報(主に第8頁段落0015-0016、第2図、第4図)

【特許文献2】特開2001-229690号公報(第5頁段落0011-第6頁段落0021、第1図)

【発明の開示】

【発明が解決しようとする課題】

【0004】

しかしながら、上述した従来の技術においては、いずれもバルク基板にシングルポリフラッシュEEPROMやフラッシュメモリを形成しているもので、ソース-ドレイン間の耐圧が高く上記のような書込み動作が可能であるが、薄膜のシリコンからなるSOI(SiliconOnInsulator)層を埋込み酸化膜上に積層した完全空乏型のSOI構造の半導体記憶装置においては、SOI層に形成するMOSFET(MOSFieldEffectTransistor)のソース-ドレイン間の耐圧を十分に確保することが難しく、ゲート絶縁膜を通してフローティングゲート電極に電荷を注入することができず、SOI構造の半導体記憶装置に電氣的に書換え可能な不揮発性メモリを形成すると、書込み動作ができないという問題がある。

【0005】

本発明は、上記の問題点を解決するためになされたもので、SOI構造の半導体記憶装置に電氣的に書換え可能な不揮発性メモリを形成する手段を提供することを目的とする。

【課題を解決するための手段】

【0006】

本発明は、上記課題を解決するために、支持基板と、前記支持基板上に形成された埋込み酸化膜と、前記埋込み酸化膜上に形成されたSOI層とで形成された半導体基板と、前記半導体基板に設定されたトランジスタ形成領域およびキャパシタ形成領域の前記SOI層の間を絶縁分離する素子分離層と、前記トランジスタ形成領域のSOI層上に形成されたMOSFETと、前記キャパシタ形成領域のSOI層上に形成されたMOSキャパシタと、前記MOSFETおよび前記MOSキャパシタが共通に用いる電極であるフローティングゲート電極と、を備えた半導体記憶装置であって、前記MOSFETは、前記フローティングゲート電極の両側の前記SOI層に形成されたソース層およびドレイン層と、前記ソース層とドレイン層との間に形成されたチャンネル領域と、前記ソース層と前記チャンネル領域との界面近傍のソース層に形成された、前記チャンネル領域に接し、前記チャンネル領域に拡散された不純物と同じ型の不純物を前記チャンネル領域より高濃度に拡散させた高濃度拡散層と、前記高濃度拡散層と前記ソース層とを覆うシリサイド層と、を有し、前記MOSキャパシタは、前記SOI層に、前記ソース層と同じ型の不純物を拡散させたキャパ

シタ電極を有し、前記フローティングゲート電極を、前記MOSFETおよび前記MOSキャパシタのSOI層上に形成された前記ゲート絶縁膜を挟んで、前記MOSFETのチャンネル領域と前記MOSキャパシタのキャパシタ電極とに対向配置し、前記MOSキャパシタの前記キャパシタ電極と前記フローティングゲート電極との間の静電容量C1を、前記チャンネル領域と前記フローティングゲート電極との間の静電容量C2より小さく、かつ前記ドレイン層と前記フローティングゲート電極との間の静電容量C3より大きく設定したことを特徴とする。

【発明の効果】

【0007】

これにより、本発明は、シリサイド層により高濃度拡散層を介してチャンネル領域に電氣的に接続するソース層、またはドレイン層をオープン状態にしてMOSFETの静電容量を変化させることができ、MOSキャパシタとの容量カップリングを利用してソース・ドレイン間の耐圧に関わらず、フローティングゲート電極への電荷の注入、または引抜きが可能になり、ソース・ドレイン間の耐圧が低いSOI構造のMOSFETを用いた半導体記憶装置においても、信頼性に優れた電氣的に書換え可能な不揮発性メモリを形成することができるという効果が得られる。

【発明を実施するための最良の形態】

【0008】

以下に、図面を参照して本発明による半導体記憶装置およびその製造方法の実施例について説明する。

【実施例1】

【0009】

図1は実施例1の半導体記憶装置の上面を示す説明図、図2は図1のA-A断面線に沿った断面を示す説明図、図3は図1のB-B断面線に沿った断面を示す説明図、図4は実施例1のSOI層上の領域の設定状態を示す説明図、図5は実施例1の半導体記憶装置の製造方法を示す説明図、図6は実施例1の記憶素子の消去動作を示す説明図、図7は実施例1の記憶素子の書込み動作を示す説明図である。

【0010】

なお、図1は、第1および第2の層間絶縁膜を取り除いた状態で描いてある。

図1、図2、図3において、1は半導体基板であり、シリコン(Si)からなる支持基板2と、支持基板2上に形成された1500(オングストローム)程度の膜厚の酸化シリコン(SiO<sub>2</sub>)からなる埋込み酸化膜3と、埋込み酸化膜3上に形成された500程度の膜厚の単結晶シリコンからなるシリコン基板領域としてのSOI層4とで形成されたSOI構造の基板である。

【0011】

本実施例のSOI層4上には、図4に示すように、MOS(Metal Oxide Semiconductor)キャパシタ9(後述)を形成するためのキャパシタ形成領域5と、MOSFETを形成するためのトランジスタ形成領域6、およびキャパシタ形成領域5およびトランジスタ形成領域6のそれぞれの周囲を囲って隣り合う互いの間を絶縁分離する素子分離層38(後述)を形成するための素子分離領域7が設定されている。

【0012】

本実施例のトランジスタ形成領域6には、それぞれMOSFETの一種であるnMOS素子8が形成され、キャパシタ形成領域5にはそれぞれMOSキャパシタ9が形成され、一つのトランジスタ形成領域6に形成されたnMOS素子8と、その近傍の一つのキャパシタ形成領域5に形成されたMOSキャパシタ9を直列に組合せて、図1、図4に太い2点鎖線で示す記憶素子形成領域10に一つの記憶素子11が形成され、電氣的に書換え可能な1ビットの不揮発性メモリとして機能する。

【0013】

12はゲート絶縁膜であり、図2、図3に示すようにSOI層4上に形成されたnMOS素子8およびMOSキャパシタ9が共通に用いる酸化シリコン等の絶縁材料からなる5

10

20

30

40

50

0 ~ 150 程度の膜厚の絶縁膜である。

13はフローティングゲート電極であり、ゲート絶縁膜12を挟んでキャパシタ形成領域5およびトランジスタ形成領域6のSOI層4に対向配置されたポリシリコン等からなる電極であって、図1に示すようにトランジスタ形成領域6をその中央部で2分し、キャパシタ形成領域5上のトランジスタ形成領域6側の一部を覆うように配置されてnMOS素子8およびMOSキャパシタ9が共通に用いるゲート電極として機能すると共に、その側面には酸化シリコン等の絶縁材料からなる絶縁膜14が形成されており、ゲート絶縁膜12や絶縁膜14等により外部から電氣的に絶縁されたフローティング状態にされている。

【0014】

10

トランジスタ形成領域6のSOI層4のフローティングゲート電極13の両側には、比較的高濃度の砒素(As)等のN型不純物を拡散(例えば $1 \times 10^{18}$ イオン/cm<sup>3</sup>以上)させた第1の拡散層としてのソース層16(N+)および第2の拡散層としてのドレイン層17(N+)が形成され、そのソース層16とドレイン層17とに挟まれたフローティングゲート電極13下の比較的低濃度のボロン(B)等のP型不純物を拡散させたSOI層4の領域(P-)がnMOS素子8のチャネル領域18(第3の拡散層)として機能する。

【0015】

19は高濃度拡散層としてのP+拡散層であり、ソース層16とチャネル領域18との界面近傍のソース層16に、界面に沿ってゲート幅(図1にEで示す図2にLgで示すゲート長の直交方向のSOI層4の長さをいう。)の1/5程度の長さで、チャネル領域18に拡散された不純物と同じ型の不純物(本実施例ではP型)を比較的高濃度に拡散(例えば $1 \times 10^{20}$ イオン/cm<sup>3</sup>以上)させてチャネル領域18に直接接するように形成され、ソース層16とチャネル領域18とを電氣的に接続する機能を有している。

20

【0016】

21はキャパシタ電極であり、図3に示すようにキャパシタ形成領域5のSOI層4に、ソース層16と同じ型の不純物(本実施例ではN型)を比較的高濃度に拡散(例えば $1 \times 10^{18}$ イオン/cm<sup>3</sup>以上)させて形成された拡散層(本実施例ではN+)であって、そのnMOS素子8側の一部の領域が、ゲート絶縁膜12を挟んでフローティングゲート電極13の端部に対向配置されている。

30

【0017】

22はシリサイド層であり、コバルト(Co)等のシリサイド化材料をアニール処理によりシリコンと化合させて形成された化合物からなる導電性を有する層であって、キャパシタ電極21上、ドレイン層17上、並びにソース層16およびP+拡散層19上に形成されている。

このソース層16およびP+拡散層19上を覆うシリサイド層22により、ソース層16とP+拡散層19とが電氣的に接続され、ソース層16がP+拡散層19と同じ型の不純物を拡散させたチャネル領域18とも接続される。

【0018】

本実施例のMOSキャパシタ9のキャパシタ電極21とフローティングゲート電極13との間の静電容量C1(MOSキャパシタの静電容量C1という。図6参照)、nMOS素子8のソース層16およびシリサイド層22とP+拡散層19とにより接続されたチャネル領域18とフローティングゲート電極13との間の静電容量C2(ソース層側の静電容量C2という。図6参照)、並びにnMOS素子8のドレイン層17とフローティングゲート電極13との間の静電容量C3(ドレイン層側の静電容量C3という。図7参照)は、キャパシタ面積(キャパシタ電極21とフローティングゲート電極13との対向面積をいう。)やMOSFET面積(ソース層16およびチャネル領域18とフローティングゲート電極13との対向面積、もしくはドレイン層17とフローティングゲート電極13との対向面積をいう。)またはゲート幅Eを調節して、 $C3 < C1 < C2$ となるように設定されている。

40

50

## 【 0 0 1 9 】

この場合に、静電容量  $C_1$  と  $C_3$  との関係は、 $C_3 \ll C_1$  となるように設定することが望ましい。

25 は第 1 の層間絶縁膜であり、SOI 層 4 上に形成された nMOS 素子 8 および MOS キャパシタ 9 を覆う酸化シリコン等の絶縁材料からなる絶縁膜である。

26 は第 2 の層間絶縁膜であり、SOI 層 4 上に形成された第 1 の層間絶縁膜 25 上を覆う酸化シリコン等の絶縁材料からなる絶縁膜である。

## 【 0 0 2 0 】

28 はコンタクトプラグであり、第 1 の層間絶縁膜 25 を貫通して nMOS 素子 8 のソース層 16、nMOS 素子 8 のドレイン層 17、MOS キャパシタ 9 のキャパシタ電極 21 上のシリサイド層 22 に達する貫通穴として開口されたコンタクトホール 29 に、それぞれタングステン (W) 等の導電材料を埋め込んで形成されたプラグである。

nMOS 素子 8 のソース層 16 および P+ 拡散層 19 にシリサイド層 22 を介して接続するコンタクトプラグ 28 は、図 2 に示すように、第 1 の層間絶縁膜 25 上に形成された第 1 の制御線としてのソース線 31 (SL) に、nMOS 素子 8 のドレイン層 17 にシリサイド層 22 を介して接続するコンタクトプラグ 28 は第 1 の層間絶縁膜 25 上に形成された中継配線 32 に、MOS キャパシタ 9 のキャパシタ電極 21 にシリサイド層 22 を介して接続するコンタクトプラグ 28 は、図 3 に示すように、第 1 の層間絶縁膜 25 上に形成された第 3 の制御線としてのワード線 33 (WL) に電氣的に接続している。

## 【 0 0 2 1 】

35 はビアプラグであり、第 2 の層間絶縁膜 26 を貫通して第 1 の層間絶縁膜 25 上に形成された中継配線 32 に達する貫通穴として開口されたビアホール 36 に、タングステン (W) 等の導電材料を埋め込んで形成されたプラグである。

中継配線 32 に接続するビアプラグ 35 は、第 2 の層間絶縁膜 26 上に形成された第 2 の制御線としてのビット線 37 (BL) に電氣的に接続している。これにより nMOS 素子 8 のドレイン層 17 はビット線 37 に電氣的に接続される。

## 【 0 0 2 2 】

本実施例のソース線 31、中継配線 32、ワード線 33、ビット線 37 は、アルミニウム (Al) や銅 (Cu) 等の比較的導電性に優れた配線材料で形成されている。

38 は素子分離層であり、素子分離領域 7 の SOI 層 4 に、酸化シリコン等の絶縁材料で埋込み酸化膜 3 に達する絶縁層として形成され、SOI 層 4 の隣合うキャパシタ形成領域 5 の相互間、キャパシタ形成領域 5 とトランジスタ形成領域 6 との間を電氣的に絶縁分離する機能を有している。

## 【 0 0 2 3 】

本実施例の記憶素子 11 は、隣接する記憶素子 11 とは線対称に形成されており、ソース線 31、中継配線 32、ワード線 33、ビット線 37 に接続するそれぞれのコンタクトプラグ 28 は、隣接する記憶素子 11 のそれぞれのコンタクトプラグ 28 との兼用になっている。

図 5 において、41 はレジストマスクであり、フォトリソグラフィにより半導体基板 1 上に塗布されたポジ型またはネガ型のレジストを露光および現像処理して形成されたマスク部材であって、本実施例のエッチングやイオン注入におけるマスクとして機能する。

## 【 0 0 2 4 】

以下に、図 5 に P で示す工程に従って、本実施例の半導体記憶装置の製造方法について説明する。

なお、図 5 において、各工程の右側は図 2 と同様の断面で示した図 2 の右側に示した nMOS 素子 8 の製造方法を示し、左側は図 3 と同様の断面で示した MOS キャパシタ 9 の製造方法を示す。

## 【 0 0 2 5 】

P1、支持基板 2 上に埋込み酸化膜 3 を介して比較的低濃度の P 型不純物 (P-) を拡散させた SOI 層 4 を積層した半導体基板 1 の SOI 層 4 に、キャパシタ形成領域 5 とト

10

20

30

40

50

ランジスタ形成領域 6 およびそれらの周囲を囲む素子分離領域 7 を設定した半導体基板 1 を準備し、SOI 層 4 の素子分離領域 7 に、つまりトランジスタ形成領域 6 とキャパシタ形成領域 5 との間に STI (Shallow Trench Isolation) 法または LOCOS (Local Oxidation Of Silicon) 法により埋込み酸化膜 3 に達する素子分離層 3 8 を形成する。

【0026】

P2、熱酸化法または CVD (Chemical Vapor Deposition) 法によりゲート絶縁膜 12 を形成するための酸化シリコンからなるシリコン酸化膜 12 a を形成し、シリコン酸化膜 12 a 上に CVD 法によりフローティングゲート電極 13 を形成するためのポリシリコン膜 13 a を堆積する。

10

P3、フォトリソグラフィによりポリシリコン膜 13 a 上にフローティングゲート電極 13 の形成領域を覆うレジストマスク 41 (不図示) を形成し、ドライエッチング等により露出しているポリシリコン膜 13 a およびシリコン酸化膜 12 a をエッチングして SOI 層 4 を露出させ、トランジスタ形成領域 6 の SOI 層 4 を 2 分し、キャパシタ形成領域 5 の SOI 層 4 上の一部を覆うと共に、ゲート絶縁膜 12 を介してそれぞれの SOI 層 4 に対向するフローティングゲート電極 13 を形成し、前記のレジストマスク 41 の除去後に、フローティングゲート電極 13 および SOI 層 4 上等に熱酸化法または CVD 法により酸化シリコン膜を形成し、異方性エッチングにより SOI 層 4 上の全面をエッチングして、フローティングゲート電極 13 の上面および SOI 層 4 の上面を露出させ、フローティングゲート電極 13 の側面に絶縁膜 14 を形成する。

20

【0027】

そして、フォトリソグラフィによりキャパシタ形成領域 5 の SOI 層 4、トランジスタ形成領域 6 の nMOS 素子 8 のドレイン層 17 を形成する領域の SOI 層 4、およびソース層 16 を形成する領域のフローティングゲート電極 13 に隣接する P+ 拡散層 19 を形成する領域を除く SOI 層 4 を露出させた開口部を有するレジストマスク 41 を形成し、これをマスクとして各 SOI 層 4 上に、高濃度の N 型不純物をイオン注入してフローティングゲート電極 13 の両側の SOI 層 4 にソース層 16 およびドレイン層 17、並びにキャパシタ形成領域 5 の SOI 層 4 にキャパシタ電極 21 を形成する。

【0028】

これにより、ソース層 16 とドレイン層 17 とに挟まれたフローティングゲート電極 13 下にチャネル領域 18 が形成され、キャパシタ電極 21 のフローティングゲート電極 13 に覆われていない領域に高濃度の N 型不純物が注入される。

30

P4、N 型不純物の注入に用いたレジストマスク 41 を除去し、フォトリソグラフィによりトランジスタ形成領域 6 の SOI 層 4 上に、nMOS 素子 8 のソース層 16 を形成する領域のフローティングゲート電極 13 に隣接する部位、つまりソース層 16 とチャネル領域 18 との界面近傍のチャネル領域 18 に隣接するソース層 16 の端部の SOI 層 4 の一部を露出させた開口部を有する P レジストマスク 41 (不図示) を形成し、これをマスクとして SOI 層 4 上に高濃度の P 型不純物をイオン注入してソース層 16 に P+ 拡散層 19 を形成する。

【0029】

前記のレジストマスク 41 を除去し、全面に、つまりフローティングゲート電極 13、絶縁膜 14、P+ 拡散層 19 を含むソース層 16、ドレイン層 17、キャパシタ電極 21、素子分離層 38 上に、スパッタ法によりシリサイド化材料層を形成し、500 のアニール処理を含むサリサイド処理により P+ 拡散層 19 を含むソース層 16、ドレイン層 17、およびキャパシタ電極 21 上のシリサイド化材料層をシリサイド化して前記各拡散層を覆うシリサイド層 22 を形成する。この場合のサリサイド処理はアニール処理を施してから不要なシリサイド化材料層を除去するまでの処理をいう。

40

【0030】

これにより、ソース層 16 と P+ 拡散層 19 上にシリサイド層 22 が形成され、ソース層 16 と P+ 拡散層 19 とが電氣的に接続される。

50



P 5、上記のようにして形成された n M O S 素子 8、M O S キャパシタ 9 および素子分離層 3 8 上を含む S O I 層 4 上に C V D 法により厚膜の酸化シリコン膜を形成し、その上面を平坦化処理して第 1 の層間絶縁膜 2 5 を形成する。

【 0 0 3 1 】

第 1 の層間絶縁膜 2 5 の形成後に、フォトリソグラフィにより第 1 の層間絶縁膜 2 5 上に、n M O S 素子 8 のソース層 1 6、n M O S 素子 8 のドレイン層 1 7、M O S キャパシタ 9 のキャパシタ電極 2 1 上のコンタクトホール 2 9 の形成領域の第 1 の層間絶縁膜 2 5 を露出させた開口部を有するレジストマスク 4 1 (不図示)を形成し、これをマスクとして異方性エッチングにより第 1 の層間絶縁膜 2 5 を貫通してソース層 1 6、ドレイン層 1 7、キャパシタ電極 2 1 上のシリサイド層 2 2 に達するコンタクトホール 2 9 を形成する。

10

【 0 0 3 2 】

前記のレジストマスク 4 1 を除去し、スパッタ法等によりコンタクトホール 2 9 内に導電材料を埋め込んでコンタクトプラグ 2 8 を形成し、その上面を平坦化処理して第 1 の層間絶縁膜 2 5 の上面を露出させる。

次いで第 1 の層間絶縁膜 2 5 上に、スパッタ法等により配線材料からなる配線層を形成し、フォトリソグラフィ、エッチングにより配線層をパターニングして、n M O S 素子 8 のソース層 1 6 にコンタクトプラグ 2 8、シリサイド層 2 2 を介して接続するソース線 3 1 (S L)、ドレイン層 1 7 にコンタクトプラグ 2 8、シリサイド層 2 2 を介して接続する中継配線 3 2、M O S キャパシタ 9 のキャパシタ電極 2 1 にコンタクトプラグ 2 8、シリサイド層 2 2 を介して接続するワード線 3 3 (W L)を形成する。

20

【 0 0 3 3 】

その後、工程 P 5 と同様にして、第 1 の層間絶縁膜 2 5 上に第 2 の層間絶縁膜 2 6 を形成し、第 2 の層間絶縁膜 2 6 を貫通して中継配線 3 2 に達するビアホール 3 6 に導電材料を埋め込んでビアプラグ 3 5 を形成し、第 2 の層間絶縁膜 2 6 上に n M O S 素子 8 のドレイン層 1 7 にビアプラグ 3 5、中継配線 3 2、コンタクトプラグを介して接続するビット線 3 7 を形成して、図 1 ないし図 3 に示す本実施例の記憶素子 1 1 を有する半導体記憶装置を形成する。

【 0 0 3 4 】

このようにして形成された記憶素子 1 1 のデータを消去するときは、図 6 に示すように、全ての記憶素子 1 1 の n M O S 素子 8 のドレイン層 1 7 に接続するビット線 3 7 (B L)をオープン状態(電氣的にどこにも接続されていない状態、または高インピーダンス状態をいう。)にし、M O S キャパシタ 9 のキャパシタ電極 2 1 に接続するワード線 3 3 (W L)を接地(G N D : 0 V)し、n M O S 素子 8 のシリサイド層 2 2 により P + 拡散層 1 9 を介してチャネル領域 1 8 に接続されているソース層 1 6 に接続するソース線 3 1 (S L)に 1 0 ~ 1 5 V の電圧を印加する。

30

【 0 0 3 5 】

このとき、n M O S 素子 8 のドレイン層 1 7 はオープン状態にされているので、n M O S 素子 8 の静電容量はソース層 1 6 側の静電容量 C 2 のみが有効となり、M O S キャパシタ 9 の静電容量 C 1 と n M O S 素子 8 の静電容量 C 2 とは、 $C 1 < C 2$  となるように設定されているため、ソース層 1 6 に印加された電圧は容量カップリングによりほぼ M O S キャパシタ 9 のゲート絶縁膜 1 2 にかかる状態となり、この M O S キャパシタ 9 にかかる電界が高くなって、キャパシタ電極 2 1 からフローティング状態となっているフローティングゲート電極 1 3 に向かって F N (F o w l e r N o r d h e i m) トンネル電流 (F N 電流という。)が流れ、フローティングゲート電極 1 3 に電子が注入される。

40

【 0 0 3 6 】

この場合に、容量カップリングにより n M O S 素子 8 のフローティングゲート電極 1 3 とチャネル領域 1 8 との間の電界は高くないため、n M O S 素子 8 のゲート絶縁膜 1 2 では F N 電流は流れない。

これにより、フローティングゲート電極 1 3 に電荷(本実施例では電子)が蓄積され、

50

n MOS 素子 8 のしきい電圧が上昇し、全ての記憶素子 1 1 のしきい電圧が高い状態、つまり消去状態になる。

【0037】

この状態は、記憶素子 1 1 にデータとして「1」が書込まれた状態であり、本実施例の消去状態は全ての記憶素子 1 1 にデータ「1」が書込まれている状態に相当する。

記憶素子 1 1 にデータ「0」を書込むときは、データを書込む記憶素子 1 1 を特定し、図 7に示すように、その記憶素子 1 1 の n MOS 素子 8 のシリサイド層 2 2 により P + 拡散層 1 9 を介してチャネル領域 1 8 に接続されているソース層 1 6 に接続するソース線 3 1 (SL) をオープン状態にし、MOS キャパシタ 9 のキャパシタ電極 2 1 に接続するワード線 3 3 (WL) に - 2 ~ - 3 V の電圧を、n MOS 素子 8 のドレイン層 1 7 に接続するビット線 3 7 (BL) に 1 0 ~ 1 4 V の電圧を印加する。

10

【0038】

このとき、n MOS 素子 8 のシリサイド層 2 2 により P + 拡散層 1 9 を介して接続されているチャネル領域 1 8 とソース層 1 6 とはオープン状態となっているので、n MOS 素子 8 の静電容量はドレイン層 1 7 側の静電容量 C 3 のみが有効となり、MOS キャパシタ 9 の静電容量 C 1 と n MOS 素子 8 の静電容量 C 3 とは、 $C 1 > C 3$  となるように設定されているため、容量カップリングによりほとんどの電圧が n MOS 素子 8 のドレイン層 1 7 とフローティングゲート電極 1 3 との間にかかり、そこに FN 電流が流れてフローティング状態となっているフローティングゲート電極 1 3 に蓄積されている電荷（本実施例では電子）がフローティングゲート電極 1 3 からドレイン層 1 7 へ引抜かれ、フローティングゲート電極 1 3 に電荷が存在しない状態になり、n MOS 素子 8 のしきい電圧が低くなる。

20

【0039】

なお、特定の記憶素子 1 1 をデータ「1」とする場合は、特定された消去状態の記憶素子 1 1 に対して上記のデータ「0」の書込み動作を行わなければよい。

このようにして記憶素子 1 1 に書込まれたデータを読み出すときは、MOS キャパシタ 9 のキャパシタ電極 2 1 に接続するワード線 3 3 (WL) に 2 ~ 3 V の電圧を、n MOS 素子 8 のドレイン層 1 7 に接続するビット線 3 7 (BL) に 1 V 程度の電圧を印加する。

【0040】

この場合に、記憶素子 1 1 が消去状態、またはデータ「1」が書込まれた状態のときは、n MOS 素子 8 のしきい電圧が高くなっているため、n MOS 素子 8 のソース層 1 6 に接続するソース線 3 1 (SL) にはドレイン電流が流れない。記憶素子 1 1 にデータ「0」が書込まれた状態のときは、n MOS 素子 8 のしきい電圧が低くなっているため、ソース線 3 1 (SL) にはドレイン電流が流れる。

30

【0041】

このドレイン電流の有無を判定することにより、記憶素子 1 1 に書込まれたデータ「1」またはデータ「0」を読み出す動作が行われる。

上記のように、本実施例の記憶素子 1 1 は、消去時またはデータ「0」の書込み時にドレイン層 1 7 またはシリサイド層 2 2 と P + 拡散層 1 9 を介してチャネル領域 1 8 が接続されたソース層 1 6 をオープン状態にするので、n MOS 素子 8 のソース層 1 6 とドレイン層 1 7 との間に高い電圧が印加されることはない。

40

【0042】

また、ドレイン層 1 7 またはソース層 1 6 をオープン状態にすることにより、n MOS 素子 8 の静電容量を変化させ、これによる容量カップリングを利用して電子をフローティングゲート電極 1 3 に注入し、または引出すことが可能になり、ソース - ドレイン間の耐圧が低い SOI 構造の n MOS 素子 8 を用いた記憶素子 1 1 においても、信頼性に優れた電氣的に書換え可能な不揮発性メモリを得ることができる。

【0043】

これにより、SOI 構造の半導体記憶装置に電氣的に書換え可能な不揮発性メモリを搭載することが可能になり、半導体記憶装置の小型化、薄型化を図ることができる。

50

以上説明したように、本実施例では、SOI構造の半導体基板のSOI層上に、素子分離層で絶縁分離されたnMOS素子とMOSキャパシタを形成し、それぞれのSOI層に形成されたチャネル領域とキャパシタ電極とにゲート絶縁膜を介して対向する共通のフローティングゲート電極を設け、nMOS素子のソース層とチャネル領域との界面近傍のソース層に、チャネル領域に接するP+拡散層を形成し、これとソース層とをシリサイド層で覆うようにしたことによって、シリサイド層によりP+拡散層を介してチャネル領域に電氣的に接続するソース層、またはドレイン層をオープン状態にしてnMOS素子の静電容量を変化させることができ、MOSキャパシタとの容量カップリングを利用してソース・ドレイン間の耐圧に関わらず、フローティングゲート電極への電子の注入、または引抜きが可能になり、ソース・ドレイン間の耐圧が低いSOI構造のnMOS素子を用いた半導体記憶装置においても、信頼性に優れた電氣的に書換え可能な不揮発性メモリを形成することができる。

10

#### 【0044】

nMOS素子のソース層およびP+拡散層を介して接続するチャネル領域とフローティングゲート電極との間の静電容量C<sub>2</sub>と、ドレイン層とフローティングゲート電極との間の静電容量C<sub>3</sub>との間に、MOSキャパシタの静電容量C<sub>1</sub>を設定したことによって、ドレイン層をオープン状態にすれば、容量カップリングによりキャパシタ電極からフローティングゲート電極へ容易に電子を注入することができると共に、ソース層をオープン状態にすれば、容量カップリングによりフローティングゲート電極からドレイン層へ容易に電子を引抜くことができる。

20

#### 【実施例2】

#### 【0045】

図8は実施例2のMOSキャパシタの断面を示す説明図、図9、図10は実施例2の半導体記憶装置の製造方法を示す説明図である。

なお、図8は、上記実施例1の図3と同じ断面線に沿った断面を描いてある。また上記実施例1と同様の部分は、同一の符号を付してその説明を省略する。

図8において、51は突起部であり、SOI層4に高濃度のN型不純物を拡散させて形成されたキャパシタ電極21のフローティングゲート電極13側の端部に形成され、埋込み酸化膜3に向かって拡大する斜面52を有しており、その先端部はゲート絶縁膜12を介してフローティングゲート電極13の対向部53と対向している。

30

#### 【0046】

このような突起部51は、例えばLOCOS法によりパッド酸化膜54（図9参照）上の耐酸化性膜としてのシリコン窒化膜55をマスクとしてSOI層4を酸化させて素子分離層38を形成するとき、素子分離層38の先端がキャパシタ形成領域5のシリコン窒化膜55とSOI層4との境界部に侵入して形成される略三角形の断面形状を有するパーズピークを利用する等して形成することができる。

#### 【0047】

または、STI法により素子分離層38を形成するための分離溝を形成するとき、等方性エッチングを用いてSOI層4の端部に斜面52を形成し、分離溝の側壁に斜面52が形成された略三角形の断面形状を有する突起部51をSOI層4の端部に形成することができる。

40

57はキャパシタ溝であり、キャパシタ電極21の端部に形成された突起部51および突起部51に隣接する領域の素子分離層38を、埋込み酸化膜3まで掘り込み、更に埋込み酸化膜3をゲート絶縁膜12の膜厚より深く掘り込んで底面を埋込み酸化膜3内に形成したキャパシタ電極21の端部の辺に沿う方向の長さが、フローティングゲート電極13のゲート長L<sub>g</sub>方向の長さより長い溝である。

#### 【0048】

上記の突起部51は、その先端部が細く形成され、その先端部がゲート絶縁膜12を介してフローティングゲート電極13の対向部53に対向しているので、消去動作のときにMOSキャパシタ9に電界集中を生じやすくする機能を有している。

50

以下に、図 9、図 10 に P A で示す工程に従って本実施例の半導体記憶装置の製造方法について説明する。

【 0 0 4 9 】

なお、図 9、図 10 においては、M O S キャパシタ 9 の製造方法のみを示す。

P A 1 ( 図 9 )、工程 P 1 と同様の半導体基板 1 を準備し、その S O I 層 4 上に熱酸化法により薄い膜厚のパッド酸化膜 5 4 を形成し、パッド酸化膜 5 4 上に C V D 法により比較的厚い膜厚のシリコン窒化膜 5 5 を形成する。

この場合に、S O I 層 4 に設定されるキャパシタ形成領域 5 とトランジスタ形成領域 6 は M O S キャパシタ 9 や n M O S 素子 8 の実効的な面積を確保するために、実施例 1 の場合より突起部 5 1 の分広く設定されている。

【 0 0 5 0 】

P A 2 ( 図 9 )、フォトリソグラフィによりシリコン窒化膜 5 5 上にキャパシタ形成領域 5 およびトランジスタ形成領域 6 を覆い、素子分離領域 7 のシリコン窒化膜 5 5 を露出させたレジストマスク 4 1 ( 不図示 ) を形成し、これをマスクとして、異方性エッチングによりシリコン窒化膜 5 5 およびパッド酸化膜 5 4 をエッチングして S O I 層 4 を露出させる。

【 0 0 5 1 】

P A 3 ( 図 9 )、工程 P A 2 で形成したレジストマスク 4 1 を除去し、露出したシリコン窒化膜 5 5 をマスクとして L O C O S 法により、S O I 層 4 を酸化してトランジスタ形成領域 6 とキャパシタ形成領域 5 との間に埋込み酸化膜 3 に達する素子分離層 3 8 を形成する。

このときに、S O I 層 4 のシリコン窒化膜 5 5 側が酸化されてパーズピークが形成され、S O I 層 4 のフローティングゲート電極 1 3 側の端部に斜面 5 2 を有する突起部 5 1 が形成される。

【 0 0 5 2 】

P A 4 ( 図 9 )、熱燐酸 ( H o t - H <sub>3</sub> P O <sub>4</sub> ) およびフッ酸 ( H F ) を用いたウェットエッチングによりシリコン窒化膜 5 5 およびパッド酸化膜 5 4 を除去して S O I 層 4 を露出させる。

そして、フォトリソグラフィにより、S O I 層 4 の端部に形成された突起部 5 1 上および突起部 5 1 に隣接する領域の素子分離層 3 8 を露出させた開口部を有するレジストマスク 4 1 を形成する。

【 0 0 5 3 】

P A 5 ( 図 9 )、工程 P A 4 で形成したレジストマスク 4 1 をマスクとして、フッ酸等を用いたウェットエッチングにより素子分離層 3 8 および埋込み酸化膜 3 をエッチングし、埋込み酸化膜 3 内に底面を有し、突起部 5 1 を露出させたキャパシタ溝 5 7 を形成し、その後工程 P A 4 で形成したレジストマスク 4 1 を除去する。

P A 6 ( 図 10 )、キャパシタ形成領域 5 とトランジスタ形成領域 6 の S O I 層 4 および素子分離層 3 8 上、並びにキャパシタ溝 5 7 の内面に、熱酸化法または C V D 法によりゲート絶縁膜 1 2 を形成するための酸化シリコンからなるシリコン酸化膜 1 2 a を形成し、シリコン酸化膜 1 2 a 上に C V D 法によりフローティングゲート電極 1 3 を形成するためのポリシリコン膜 1 3 a を形成する。

【 0 0 5 4 】

これにより、次工程で形成されるフローティングゲート電極 1 3 に突起部 5 1 の先端部にゲート絶縁膜 1 2 を介して対向する対向部 5 3 が形成される。

その後の工程 P A 7 ( 図 10 ) ~ P A 9 ( 図 10 ) の作動は、実施例 1 の工程 P 3 ( 図 5 ) ~ P 5 ( 図 5 ) の作動と同様であるので、その説明を省略する。

上記のキャパシタ電極 2 1 に突起部 5 1 を形成した記憶素子 1 1 の消去動作および書込み動作、読み出し動作は、上記実施例 1 の場合と同様であるのでその説明を省略する。

【 0 0 5 5 】

この場合の消去動作においては、上記で説明した容量カップリングによりソース層 1 6

10

20

30

40

50

に印加された電圧がほぼMOSキャパシタ9のゲート絶縁膜12にかかる状態となったときに、突起部51の先端部がゲート絶縁膜12を介してフローティングゲート電極13の対向部53に対向しているため、この部位に電界集中が生じ、MOSキャパシタ9にかかる電界がより高くなって、キャパシタ電極21からフローティングゲート電極13に向かってFN電流が流れやすくなり、フローティングゲート電極13への電子の注入をより容易に行うことができる。

#### 【0056】

この場合に、nMOS素子8のソース層16に突起部が形成されたとしても、その先端部がフローティングゲート電極13とゲート絶縁膜12を介して対向することがないので、電界集中が生じることはなく、nMOS素子8のゲート絶縁膜12でFN電流が流れる

10

ことはない。  
このことは、MOSキャパシタ9の静電容量C1とnMOS素子8のソース層16側の静電容量C2との容量カップリング( $C1 < C2$ )を大きくできない場合においても電子をフローティングゲート電極へ注入することが可能であることを示しており、記憶素子11の静電容量C1、C2の設定自由度を高めて記憶素子11の動作をより好適なものとする

#### 【0057】

また、このことは、ソース層16にかける電圧を低くしても、消去動作におけるフローティングゲート電極13への電子の注入が可能であることを示しており、消去時の電圧を低くして記憶素子11の発熱を抑制することができる。

20

なお、上記工程PA2においては、異方性エッチングにより全てのパッド酸化膜54を取り除くとして説明したが、パッド酸化膜54の全部または一部を膜状に残すようにしてもよい。このようにすれば突起部51の断面形状を埋込み酸化膜3側に厚さ方向の平面が形成された台形状とすることが可能になり、突起部51により生じる電界集中の程度を変化させることができ、容量カップリングによる作用に突起部51による電界集中の作用を加えることができ、MOSキャパシタ9の静電容量C1を、nMOS素子8側の静電容量C2、C3の間に設定するための自由度を増やしてSOI構造の記憶素子11の消去動作や書き込み動作の電圧設定等をより容易なものとする

#### 【0058】

以上説明したように、本実施例では、上記実施例1と同様の効果に加えて、キャパシタ電極のフローティングゲート電極側の端部に、埋込み酸化膜に向かって拡大する斜面が形成された突起部を形成し、この突起部の先端部をゲート絶縁膜を介してフローティングゲート電極に対向させたことによって、記憶素子の消去動作において、突起部による電界集中によりFN電流を低い電界で流すことができ、MOSキャパシタの静電容量C1とnMOS素子のソース側の静電容量C2との容量カップリング( $C1 < C2$ )を大きくできない場合においても電子を容易にフローティングゲート電極へ注入することができると共に、消去時に必要な電圧を低くすることができる。

30

#### 【0059】

なお、本実施例の製造方法の説明においては、LOCOS法により突起部51を形成するとして説明したが、STI法によって突起部51を形成するようにしてもよい。

40

以下に、SBで示す工程に従ってSTI法による突起部51の形成について説明する。

工程SB1、上記工程PA1と同様に設定された半導体基板1を準備し、工程PA1と同様にしてパッド酸化膜54およびストッパ窒化膜としてのシリコン窒化膜55を形成する。

#### 【0060】

工程SB2、工程PA2と同様にして素子分離領域7のシリコン窒化膜55を露出させたレジストマスク41を形成し、これをマスクとして、等方性エッチングによりシリコン窒化膜55およびパッド酸化膜54、SOI層4をエッチングして埋込み酸化膜3を露出させ、埋込み酸化膜3に達する分離溝を形成する。

このとき、等方性エッチングによりSOI層4の上面側がエッチングされて斜面52が

50

形成され、分離溝の側壁が斜面 5 2 で構成されると共に、S O I 層 4 の端部に斜面 5 2 を有する突起部 5 1 が形成される。

#### 【 0 0 6 1 】

工程 S B 3、工程 P B 2 で形成したレジストマスク 4 1 を除去し、C V D 法によりシリコン窒化膜 5 5 および分離溝内に酸化シリコンを堆積して、分離溝を少なくとも S O I 層 4 より厚く埋めるシリコン酸化膜を形成する。

そして、C M P ( C h e m i c a l M e c h a n i c a l P o l i s h i n g ) 法または機械的な研磨により、堆積されたシリコン酸化膜およびシリコン窒化膜 5 5、パッド酸化膜 5 4 を除去して S O I 層 4 を露出させ、トランジスタ形成領域 6 とキャパシタ形成領域 5 との間の素子分離領域 7 に素子分離層 3 8 を形成する。

10

#### 【 0 0 6 2 】

この状態は、上記工程 P A 4 におけるウェットエッチングによりシリコン窒化膜 5 5 およびパッド酸化膜 5 4 を除去して S O I 層 4 を露出させた状態と同様になる。

その後の作動は、上記工程 P A 4 の後段以後の作動と同様であるので、その説明を省略する。

このようにしても、L O C O S 法を用いた場合と同様の記憶素子 1 1 を形成することができる。

#### 【 0 0 6 3 】

この場合に、突起部 5 1 を台形状に形成するときは、工程 P B 2 における等方性エッチングを必要な斜面 5 2 が形成されたときに停止し、その後は異方性エッチングにより分離溝を形成するようにすればよい。

20

なお、上記各実施例においては、各トランジスタは n M O S 素子として説明したが、トランジスタを p M O S 素子にし、キャパシタ電極や高濃度拡散層の不純物の型を逆にした場合も同様である。

#### 【図面の簡単な説明】

#### 【 0 0 6 4 】

【図 1】実施例 1 の半導体記憶装置の上面を示す説明図

【図 2】図 1 の A - A 断面線に沿った断面を示す説明図

【図 3】図 1 の B - B 断面線に沿った断面を示す説明図

【図 4】実施例 1 の S O I 層上の領域の設定状態を示す説明図

30

【図 5】実施例 1 の半導体記憶装置の製造方法を示す説明図

【図 6】実施例 1 の記憶素子の消去動作を示す説明図

【図 7】実施例 1 の記憶素子の書込み動作を示す説明図

【図 8】実施例 2 の M O S キャパシタの断面を示す説明図

【図 9】実施例 2 の半導体記憶装置の製造方法を示す説明図

【図 1 0】実施例 2 の半導体記憶装置の製造方法を示す説明図

#### 【符号の説明】

#### 【 0 0 6 5 】

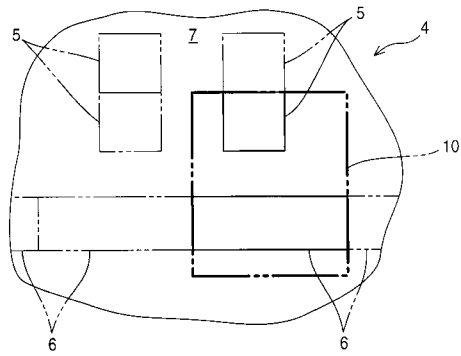
- 1 半導体基板
- 2 支持基板
- 3 埋込み酸化膜
- 4 S O I 層
- 5 キャパシタ形成領域
- 6 トランジスタ形成領域
- 7 素子分離領域
- 8 n M O S 素子 ( M O S F E T )
- 9 M O S キャパシタ
- 1 0 記憶素子形成領域
- 1 1 記憶素子
- 1 2 ゲート絶縁膜

40

50

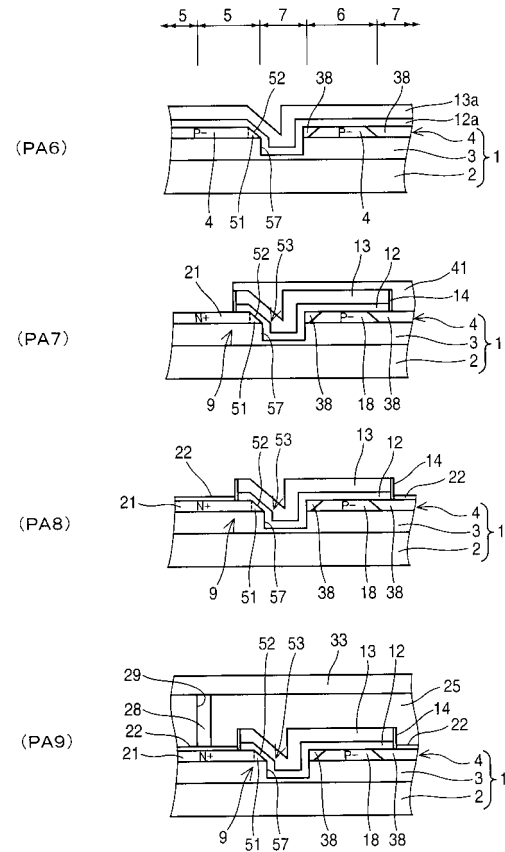
1 2 a	シリコン酸化膜	
1 3	フローティングゲート電極	
1 3 a	ポリシリコン膜	
1 4	絶縁膜	
1 6	ソース層	
1 7	ドレイン層	
1 8	チャネル領域	
1 9	P + 拡散層 ( 高濃度拡散層 )	
2 1	キャパシタ電極	
2 2	シリサイド層	10
2 5	第 1 の層間絶縁膜	
2 6	第 2 の層間絶縁膜	
2 8	コンタクトプラグ	
2 9	コンタクトホール	
3 1	ソース線 ( S L )	
3 2	中継配線	
3 3	ワード線 ( W L )	
3 5	ビアプラグ	
3 6	ビアホール	
3 7	ビット線 ( B L )	20
3 8	素子分離層	
4 1	レジストマスク	
5 1	突起部	
5 2	斜面	
5 3	対向部	
5 4	パッド酸化膜	
5 5	シリコン窒化膜	
5 7	キャパシタ溝	

【図 4】



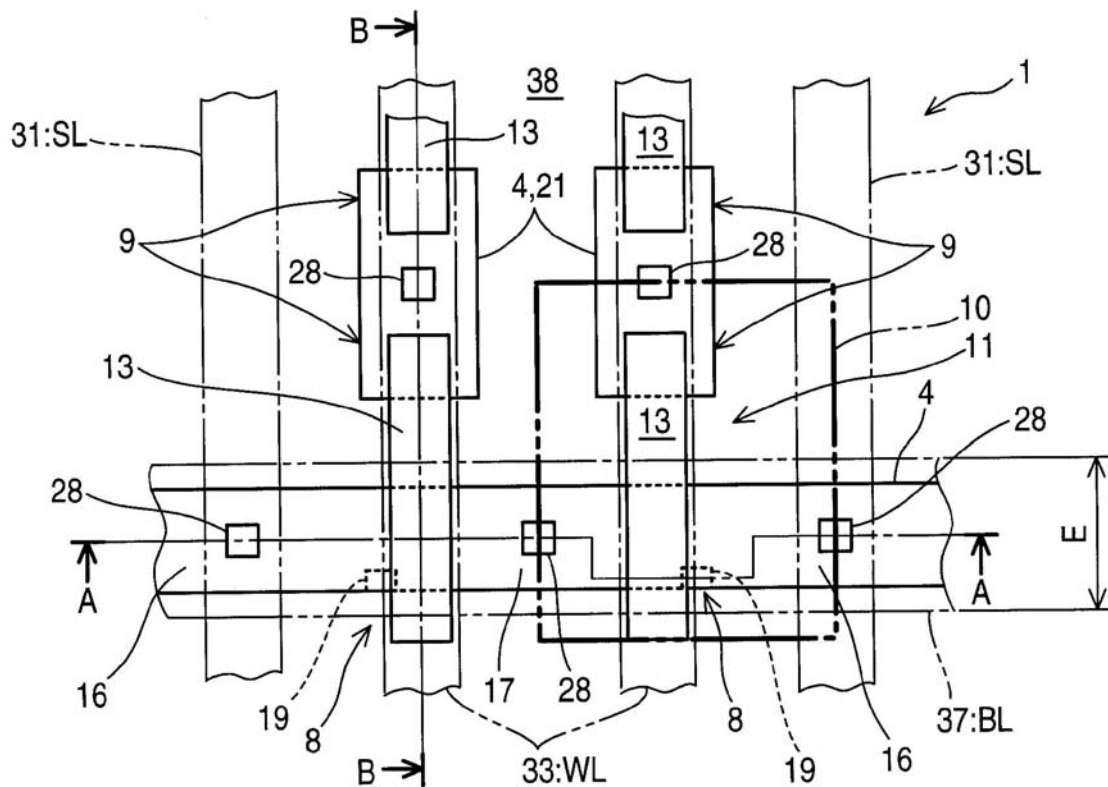
実施例 1 の SOI 層上の領域の設定状態を示す説明図

【図 10】



実施例 2 の半導体記憶装置の製造方法を示す説明図

【図 1】



実施例 1 の半導体記憶装置の上面を示す説明図



【図 2】

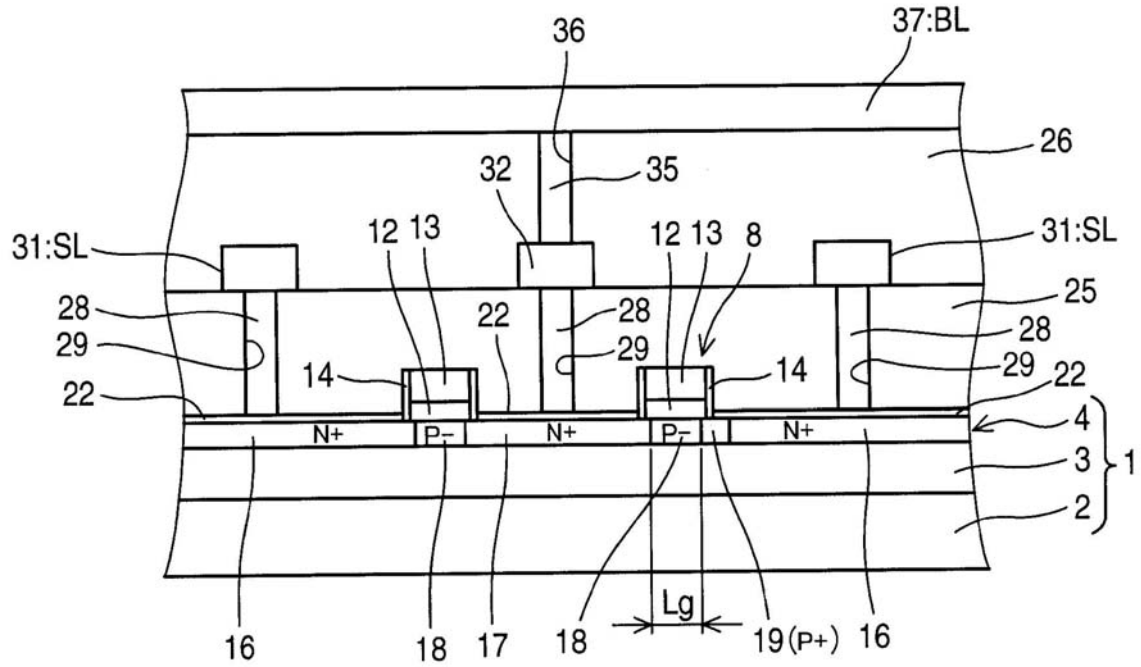


図 1 の A-A 断面線に沿った断面を示す説明図

【図 3】

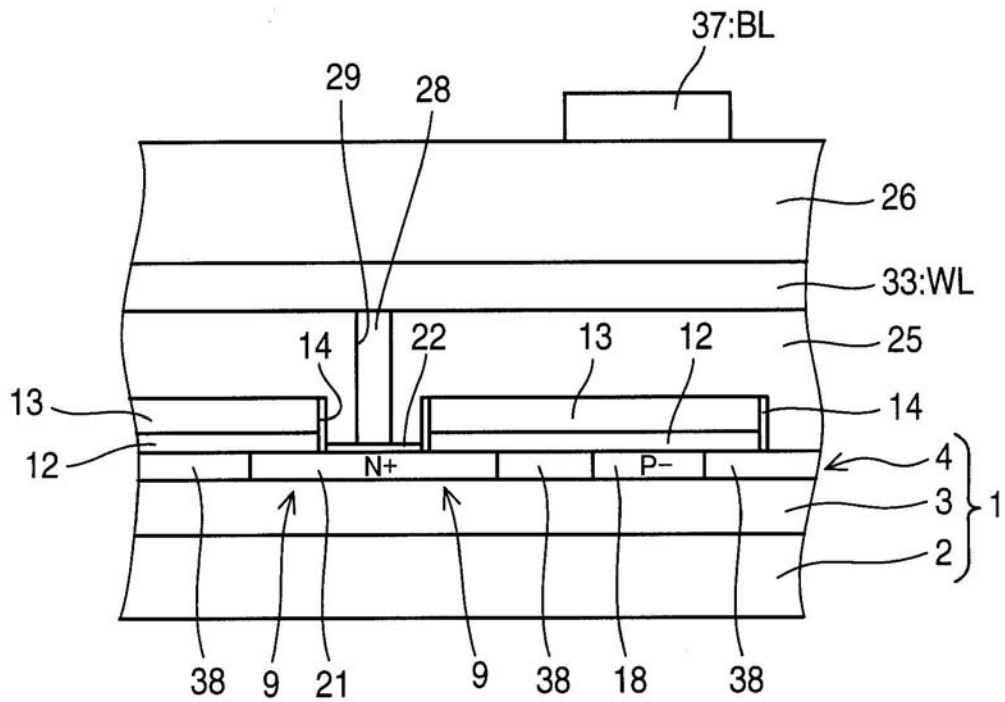
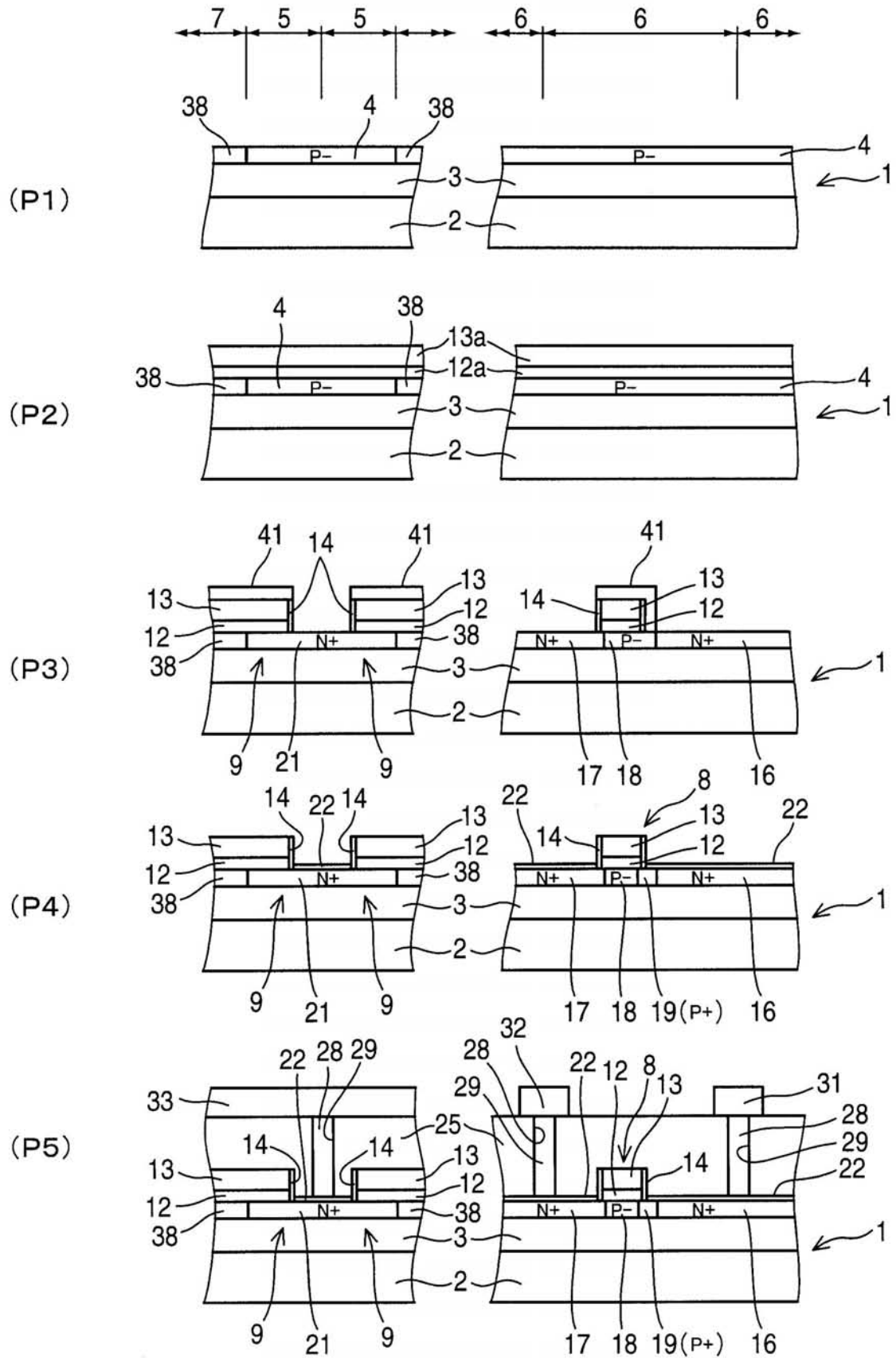


図 1 の B-B 断面線に沿った断面を示す説明図

【図5】



実施例1の半導体記憶装置の製造方法を示す説明図

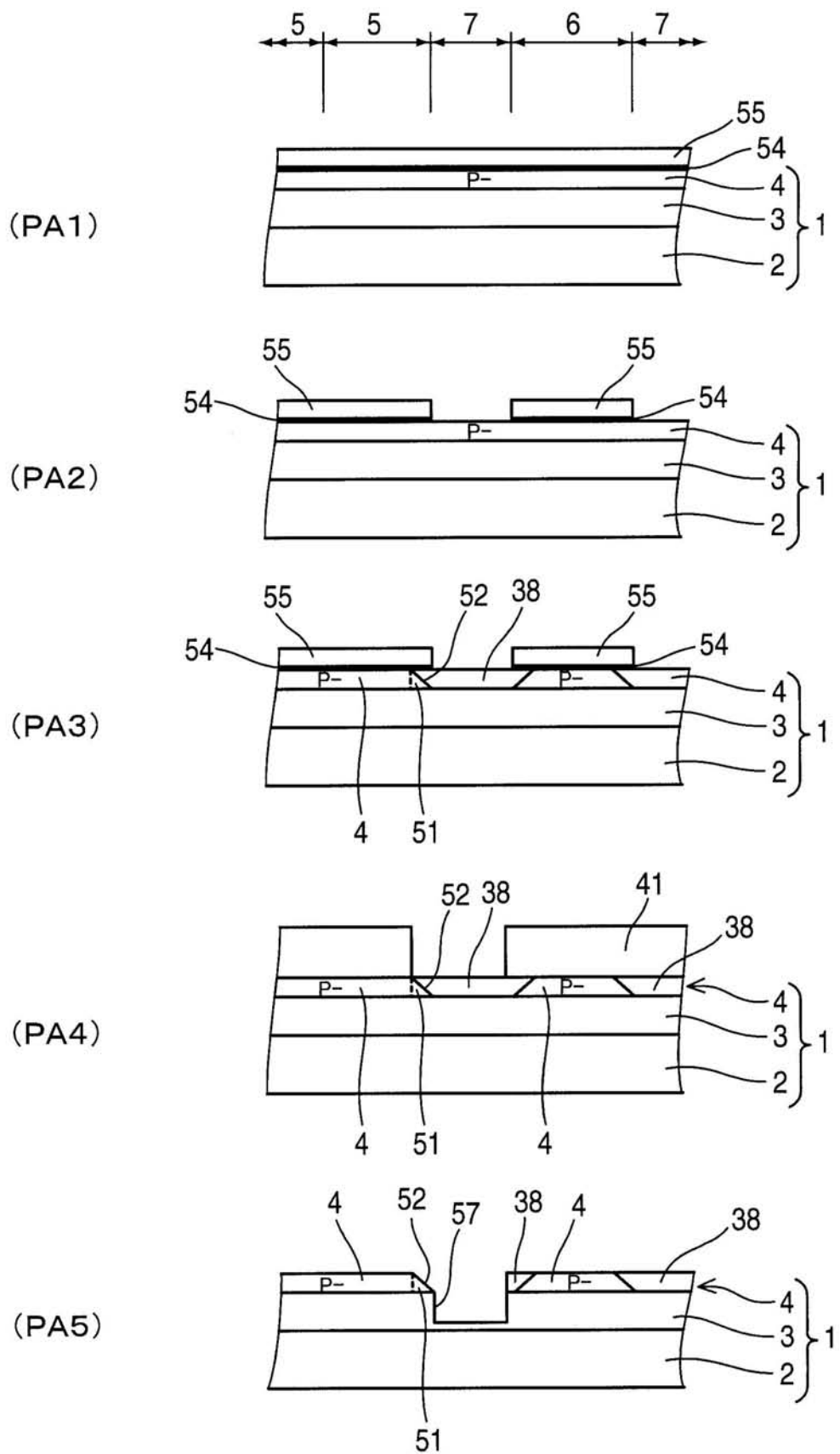
[illegible]

実施例 1 の記憶素子の書込み動作を示す説明図

[illegible]

実施例 2 の MOS キャパシタの断面を示す説明図

【图 9】



実施例 2 の半導体記憶装置の製造方法を示す説明図

---

フロントページの続き

(56)参考文献 特開平10-065031(JP,A)  
特開平11-087664(JP,A)  
特開2005-011863(JP,A)  
特開昭57-111067(JP,A)  
特開平04-221857(JP,A)  
特開平08-255847(JP,A)  
特開平06-204487(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L	21/8247
H01L	27/115
H01L	29/788
H01L	29/792