(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3898433号
(P3898433)
(45)発行日　平成19年3月28日(2007.3.28)　(24)登録日　平成19年1月5日(2007.1.5)

(51)Int.Cl.　　F I
G06F 1/10 (2006.01)　　G06F 1/04 330Z
G06F 1/12 (2006.01)　　G06F 1/04 340D

請求項の数 10　(全 17 頁)

(21)出願番号　特願2000-312197(P2000-312197)
(22)出願日　平成12年10月12日(2000.10.12)
(65)公開番号　特開2001-159929(P2001-159929A)
(43)公開日　平成13年6月12日(2001.6.12)
審査請求日　平成14年12月18日(2002.12.18)
(31)優先権主張番号　09/417584
(32)優先日　平成11年10月14日(1999.10.14)
(33)優先権主張国　米国(US)

(73)特許権者　398038580
ヒューレット・パッカード・カンパニー
HEWLETT-PACKARD COMPANY
アメリカ合衆国カリフォルニア州パロアルト　ハノーバー・ストリート　3000
(74)代理人　100075513
弁理士　後藤　政喜
(74)代理人　100084537
弁理士　松田　嘉夫
(72)発明者　サミュエル・ディー・ナフジガー
アメリカ合衆国　コロラド州，フォートコリンズ，アッシュマウント・ドライブ　3749

最終頁に続く

(54)【発明の名称】集積回路

(57)【特許請求の範囲】
【請求項１】
データ信号（１２）と複数の２レベル信号とおよそ５０％のデューティサイクルを有するクロック波を導出するクロックソース（３２）とに応答するようになっており、前記クロック波が前記クロック波のサイクルごとに第１と第２の値を取り且つ第１と第２の値の間で遷移を行うような集積回路チップであって、
第１および第２のワンショット回路を備え、
各ワンショット回路が、前記クロック波に応答する第１の入力端子、および、第２の入力端子を有し、
前記第１のワンショット回路の第２の入力端子が、第１の２レベル信号に応答し、前記第２のワンショット回路の第２の入力端子が、第２の２レベル信号に応答し、各ワンショット回路が、複数の連続的なパルスを導出するように構成され、
各パルスは、該ワンショット回路の第２の入力端子に加えられる前記２レベル信号が所定値を有することに対応して、前記クロック波が一つの遷移を行う間に導出され始め、
各パルスは、実質的に前記クロック波の２分の１サイクル未満の期間に閾値以上になり、前記遷移が完了した後も前記閾値以上に十分な期間維持され、前記集積回路チップ上でワンショット回路に接続されたラッチのトランスペアレンシ・ウインドウが確実に所定時間開くようにし、
前記トランスペアレンシ・ウインドウが、前記遷移の間に開き始め、前記遷移が完了した後も前記ラッチの活性化を確実にするために十分な期間開き、

さらに、前記集積回路チップは、第１および第２のラッチ（１４および１８）を備え、
前記第１のラッチは、前記データ信号のうちの１つと、前記第１のワンショット回路から導出された前記パルスとに応答するように接続され、
前記第２のラッチは、前記データ信号のうちの１つと、前記第２のワンショット回路から導出された前記パルスとに応答するように接続され、
各ラッチは、前記トランスペアレンシ・ウインドウが開いている間においてのみ各データ信号に応答するよう活性化されることを特徴とする集積回路チップ。

【請求項２】
データ信号が同じクロック波サイクルの間に前記第１と第２のラッチを通して流れることを防止するのに十分な遅れを前記第１のラッチの出力信号に導入する回路を通して、前記第１のラッチは、その出力信号を前記第２のラッチの入力へ供給するように接続されていることを特徴とする請求項１に記載の集積回路チップ。

【請求項３】
各ラッチが、前記データ信号と前記パルスに応答するパススルーゲートを含み、前記パススルーゲートは、前記パルスが所定値以上に維持されている間のみ前記データ信号を通過させることを特徴とする請求項１に記載の集積回路チップ。

【請求項４】
前記ラッチの各々は、前記パススルーゲートを通過したままの前記データ信号に応答するように接続された再生帰還回路（２５）を含み、
前記再生帰還回路および前記パススルーゲートが互いに結合されていることにより、前記再生帰還回路によって導出された信号とは異なる値を有する、前記パススルーゲートを通過したままの前記データ信号に応答して、前記再生帰還回路が状態を変化させる請求項２に記載の集積回路チップ。

【請求項５】
請求項１において定められた構成のラッチである第３のラッチ（１６）をさらに備え、
前記第３のラッチは、前記データ信号のうちの１つに応答するように、そして前記第１のワンショット回路によって導出された前記パルスによって並列に駆動されるように接続されており、
前記第１のラッチは、データ信号が同じクロック波サイクルの間に前記第１と第３のラッチを通して流れることを防止するのに十分な遅れを前記第１のラッチの出力信号に導入する回路を通して、前記第１のラッチは、その出力信号を前記第３のラッチの入力へ供給するように接続されている請求項１に記載の集積回路チップ。

【請求項６】
第１と第２のワンショット回路は、それぞれ、第３と第４の端子（１１４、１３６）と、直流電源端子（+VDD）と、前記直流電源端子（+VDD）と前記第３の端子（１１４）との間で並列に接続されたソースドレインパスを有する第１と第２のトランジスタ（１１０、１１２）と、クロック波の高レベルを低レベルに低レベルを高レベルに変化させる第１のインバータ（１１６）と、第３の端子（１１４）と接地との間で直列に接続された第３、第４、第５のトランジスタ（１２４、１２６、１２８）と、第３の端子（１１４）の高レベルと低レベルを第４の端子（１３６）の低レベルを高レベルへと変化させる第２のインバータ（１３０）と、を備え、
第１と第３のトランジスタ（１１０、１２４）のゲート電極は、前記クロック波により駆動され、第２と第５のトランジスタ（１１２、１２８）のゲート電極は、第１のインバータ（１１６）からの反転されたクロック波により駆動され、第４のトランジスタ（１２６）のゲート電極は、複数の２レベル信号のうちの一つにより駆動され、第５のトランジスタ（１２８）のゲート電極は、ワンショット回路内の他のトランジスタより大きなキャパシタンスを有する請求項１に記載の集積回路チップ。

【請求項７】
請求項１において定められた構成のラッチである第３のラッチ（１６）をさらに備え、
前記第３のラッチは、第１のラッチの出力信号に応答するように、そして前記第１のワ

ンショット回路によって導出された前記パルスによって並列に駆動されるように接続されており、第１と第３のラッチは、同じ立ち上がりの遷移の方向を有する前記閾値以上のパルスに応じて活性化される請求項１に記載の集積回路チップ。

【請求項８】

第１と第３のラッチの間で接続された回路（１５）を備え、当該回路は、第３のラッチに接続された場合、データ信号が前記第１のラッチから第３のラッチへ急激に流れることを防止するのに十分な遅れを前記第１のラッチの出力信号に導入する請求項７に記載の集積回路チップ。

【請求項９】

第１のワンショット回路は、前記クロック波と、論理信号とに応答するブール論理回路を含み、当該ワンショット回路は前記クロック波の遷移が生じる間に少なくとも一つの論理信号の予め決められた関係に応じて前記パルスを導出する請求項１に記載の集積回路チップ。

【請求項１０】

前記論理回路が、複数の論理信号源（２６、３０）からの前記複数の２レベル信号に応答して、所定のブール論理組合せ演算が為される２レベル信号値を有する複数の論理信号に応答して前記パルスを導出する請求項９に記載の集積回路チップ。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は、一般に、集積回路のクロック回路構成に係り、特に、約５０％のデューティサイクルを有するクロック波(clock wave)に応答してパルス列を導出するワンショットにより並列に駆動される、少なくとも１つの、通常は多くのラッチを含むクロック回路構成であり、パルス列の各パルスが、（１）クロック波遷移に応答して開始され、（２）各クロックサイクルの半サイクル未満、遷移が完了した後に持続する(persist)、クロック回路構成に関する。

【０００２】

【従来の技術】

多くの集積回路は、２つの異なるタイプのクロック配置のうちの１つを含んでいる。これらクロック配置は、概して集積回路チップの外部のソースから導出されるクロック波に応答する。一般に、クロック波は、約５０％のデューティサイクルを有し、そのためクロック波は、そのクロック波の各サイクルの半分の間は高い値を有し、各サイクルのその他の５０％の間は低い振幅を有する。

【０００３】

従来技術による集積回路のクロック回路構成の１つのタイプでは、回路は、各サイクル間にクロック波の端(edge)に応答する。ラッチおよび他の回路要素は、クロックのパルスの立ち上がり(leading edge)または立下り(trailing edge)に応答して駆動される。

【０００４】

【発明が解決しようとする課題】

クロック波の端に応答する集積回路の問題は、それが比較的大きい集積回路チップ（例えば、２ｃｍ長の辺を有するチップ）において使用され、比較的高周波数（例えば、１ＧＨｚ）で動作している場合に、クロックの端がチップ上の種々の回路に達する時間が異なることである。この現象は、一般にクロックスキュー(clock skew)として知られているが、これにより、集積回路チップの異なる部分において回路が十分に同期しない結果となる。十分に同期しないことにより、チップ上の回路間のデータ信号が不適切に転送される可能性がある。チップの異なる部分へのクロック波の伝播遅延が、（１）チップの異なる部分の異なる回路要素の処理のバリエーション、（２）温度および（３）電源電圧、の関数として可変であるため、上記問題は一層悪化する。温度および電源電圧は、時間とチップ上の回路の空間的位置との関数として変化する。

【０００５】

「Flow-through-Latch and Edge-Triggered Flip-Flop Hybrid Elements」（パートヴィ(Partovi)氏他、isscc ９６ paper fa ８．５、１９９６）には、クロックスキューを補償する従来技術によるクロック応答ラッチが開示されている。パートヴィ氏他のラッチは、ラッチがクロックの端に続くデータ信号に応答することができる時間を延長するために、潜在的に(implicit)パルス発生器を組込んでいる。各ラッチにおける潜在的なパルス発生器は、幾万ものラッチを有する集積回路にかなり多くの追加の回路素子を必要とする。チップ上のラッチすべてにおける追加の回路素子は、チップ上にかなりの量の空間を占有する。更に、各ラッチの追加の回路素子は、クロックソースから相当量の電力を消耗するため、チップ上に追加のクロック増幅器を必要とする。

【０００６】

他の一般に採用される集積回路クロック方式は、２フェーズ・トランスペアレント(two-phase transparent)と呼ばれる。この２フェーズ・トランスペアレント方式では、クロック波の各サイクルに対し２つのラッチを必要とする。一般的な２フェーズ・トランスペアレント・ラッチクロックシステムでは、データ信号が１対のラッチを通過するために、１ＧＨｚの周波数を有するクロックサイクルの周期(period)の１６％と２４％との間の時間が必要である。このため、クロックサイクル中に処理のために残っている時間の量は、各クロックサイクルにおいて比較的少ない割合である。このため、クロック周波数が増大すること、すなわちデータ処理速度が増大することに関連して、データ処理速度が増大すべきであるにも関わらず、その利点は達せられない。２フェーズ・トランスペアレント・クロック配置の他の主な不都合な点は、各クロックサイクルに対して必要な２つのラッチにより、それらラッチがチップ上で占有する空間の量が増大するということである。これらラッチ空間要件によって、特定の集積回路チップ上の論理回路によって実際に実行することができる機能の数が減少する。

【０００７】

本発明は、上記事情にかんがみてなされたものであり、新しくかつ改良された集積回路クロック配置を提供することを目的とする。

【０００８】

また、本発明の他の目的は、クロックサイクル毎に１つのラッチのみを採用することにより、従来技術による２フェーズ・トランスペアレント配置に対して集積回路チップ上で実行することができる機能の数を増大させ得る、新しくかつ改良された集積回路を提供することである。

【０００９】

また、本発明の他の目的は、データに関してクロック端の位置に対し感度が緩和されているため、改良された同期特性を有する、新しくかつ改良された集積回路クロック配置を提供することである。

【００１０】

また、本発明の他の目的は、比較的大きい集積回路チップにおいてチップの比較的高周波数での動作を可能とするクロック回路構成を有する、新しくかつ改良された集積回路チップを提供することである。

【００１１】

また、本発明の他の目的は、クロック回路構成およびそれに関連する回路がチップ上で占有する空間の量が比較的少なく、データがラッチを通過するために必要な時間が、２フェーズ・トランスペアレント配置より実質的に短い、新しくかつ改良された集積回路クロック回路構成を提供することである。

【００１２】

また、本発明の他の目的は、潜在的なパルス発生器を組込んでいる従来技術によるラッチによって達成されるクロックスキューに対する利点を達成する、新しくかつ改良された集積回路ラッチを提供することである。

【００１３】

さらに、本発明の他の目的は、予め決められた関係を有する少なくとも１つの論理信号に

応答してクロック波の導出を可能とする論理配置を含む、新しくかつ改良されたクロック回路構成を提供することである。

【００１４】

【課題を解決するための手段】

本発明の１つの態様によると、クロック波ソース(clock wave source)およびデータ信号に応答するよう適応された集積回路は、クロック波ソースに応答するよう接続された入力端子を有するワンショットを具備している。このワンショットは、クロックのサイクルに応じてパルスを導出するよう調整されている。パルスの各々は、実質的にクロック波のサイクルの１／２未満であるが、クロックスキューに対応するためには十分に長い、有限の持続時間(duration)を有する。好適には、パルス持続時間は、約１００ピコ秒（ｐｓ）、すなわち、１ＧＨｚのクロックサイクルの約１０％である。このような構成により、ラッチ等の回路構成がデータ信号を再生帰還回路に渡すことができる。

【００１５】

チップ上のクロック回路構成の空間要件を低減するために、クロックに応答する複数のラッチまたは他の回路は、ワンショットによって導出されるパルスに応答するよう並列に接続されている。

【００１６】

ワンショットは、端の持続時間より実質的に長いパルスを生成するため、ワンショットによって駆動される回路構成は、端応答クロック回路構成に関連する同期の問題無しに、集積回路の種々の部分からのデータ信号に応答することができる。クロック波サイクル毎に必要なラッチが１つだけであるため、チップ上のラッチ回路構成に振分けられる容量は、２フェーズ・トランスペアレント・ラッチクロック回路構成に対して実質的に低減される。更に、クロック波の各サイクルに応答するワンショットを使用することにより、論理ステップ(即ちオーバヘッド)を実行するために必要なラッチ回路の通過（フロースルー(flow through)）時間を約１０％以下とすることができる。

【００１７】

いくつかの例では、複数のラッチ回路が縦続に接続されており、集積回路チップ上できわめて近接して配置されている。複数のラッチ回路は、同じワンショットからのクロックパルスによって並列に駆動されるパススルーゲートを有している。このような例では、データ信号が同じクロックサイクル中にそれらラッチの両方を通過する傾向がある。ラッチは、ラッチに縦続された組合せ論理ゲートの遅延特性と組合せて、この傾向に対応する。

【００１８】

本発明の他の特徴は、所望の論理関数に従ってクロック波を２レベル（ｂｉ－ｌｅｖｅｌ）信号と組合せることにより、ワンショットを駆動することができる、ということである。クロック波および論理信号は、所望の論理関数に従って動作する論理回路構成において組合されている。例えば、ワンショットは、クロック波のある特定の半サイクルに関連する予め決められた遷移方向および振幅を有するクロック波に同時に満足する論理関数にのみ応答する。

【００１９】

本発明の上記目的、特徴および利点は、特に添付図面と共に、そのいくつかの特定の実施の形態の以下になされる詳細な説明を考慮することにより明らかとなろう。

【００２０】

【発明の実施の形態】

図１は、本発明の一実施形態に係る集積回路チップ上のクロック回路構成を示すブロック図である。図１を参照すると、相補型金属酸化膜半導体（ＣＭＯＳ）トランジスタを含む集積回路チップ１０（以下、単にチップ１０とする）が、バイナリデータソース１２（以下、単にデータソース１２とする）と縦続接続された信号ラッチ１４，１６，１８（以下、単にラッチ１４，１６，１８とする）とを含むものとして示されている。各々がバイナリデータソース２１５，２１７（以下、単にデータソース２１５，２１７とする）およびラッチ１４，１６に応答する組合せ論理ゲート１５，１７（以下、単にゲート１５，１７

とする）は、それぞれラッチ１６，１８の信号入力端子を駆動する。ゲート１５，１７は、概してウェスタ(Weste)氏他の「Principles of CMOS VLSI Design」（Addison-Wesley Publishing Co.（１９８５））の第９～１２頁に述べられているタイプのものである。ゲート１５は、ラッチ１４およびデータソース２１５からの複数の入力信号を論理的に組合せて、ラッチ１６に論理信号を供給する。ゲート１５は、複数の入力信号に応答することができるものであり、ラッチ１４の出力とラッチ１６への入力との間に十分な遅延を生じさせることにより、データソース１２からの信号がクロックソース３２の１周期中にラッチ１４，１６を迅速に通過する傾向に対応する。同様に、ゲート１７は、その複数の入力信号を論理的に結合し、ラッチ１８への論理信号を供給する。ゲート１５，１７の遅延特性は同様であり、いずれも、クロックソース３２の周期の少なくとも１０％、ラッチ１４，１６からの入力のパルスの立ち上がりを遅延させる。ゲート１５，１７の各々の遅延は、クロックソース３２の１サイクル時間より短い。

【００２１】

また、チップ１０は、ワンショット２４と、バイナリデータソース２６（以下、単にデータソース２６とする）と、論理回路を有するワンショット２８と、を含む。ワンショット２４，２８は共に、イネーブルソース３０（ｅｎ１）とクロックソース３２とに各々応答する。ソース３０，３２は、それぞれイネーブル信号とクロック波列とをチップ１０上の回路に供給する。また、論理回路を有するワンショット２８は、データソース２６（ｅｎ２）にも応答する。

【００２２】

好適には、チップ１０は、２ｃｍ辺(two centimeter sides)と、＋１．３ｖのＤＣ電源端子またはレールと、接地電源またはレールと、を有し、クロックソース３２は、１ギガヘルツ（ＧＨｚ）の周波数を有する。一般的な集積回路チップは、何千もの回路構成要素を含み、図１に示す構成要素は例示の目的のみのためのものである、ということは理解されるべきである。更に、クロックソース３２の周波数は、あらゆる適切な値とすることができる。

【００２３】

ラッチ１４，１６，１８の各々は、それぞれラッチ出力端子を駆動する内部インバータ２０，２１，２２を有している。また、ラッチ１４，１６，１８の各々は、パススルーゲート２３および正帰還回路である再生帰還回路２５も有している。

【００２４】

クロックソース３２は、図７に示す５０％よりわずかに大きいデューティサイクルを有する台形クロック（ＣＫ）波３４（以下、ＣＫ波３４とする）を導出する。ＣＫ波３４の各サイクルは、低電圧（すなわち接地）部３６と、それに続く正方向(positive going)傾斜３８と、それに続く高電圧（すなわち、チップ１０の正のＤＣ電源電圧に対しておおよそ等しい）部５０と、それに続く負方向(negative going)傾斜５２と、を含んでいる。好適には、各傾斜（すなわち、遷移(transition)）３８，５２は、１クロックサイクルの約１４％の持続時間（すなわち、１ＧＨｚクロックに対して約１４０ピコ秒（ｐｓ））を有している。低電圧部３６は、１クロックサイクルの約２８％の持続時間を有し、高電圧部５０は、１クロックサイクルの約４４％の持続時間を有する。ＣＫ波３４によってのみ駆動されるチップ１０の電界効果トランジスタは、そのソースゲート電圧が高電圧部５０と低電圧部３６とのおおよそ中間、すなわち、傾斜３８，５２の各々の約中間である場合に、オンおよびオフとなり、これらトランジスタが約５８％のデューティサイクルを有する。

【００２５】

クロックソース３２は、ワンショット２４，２８を並列に駆動する。イネーブルソース３０が、一般的にチップ１０のほぼ正の電源電圧に等しい高電圧論理値を導出すると、ワンショット２４は、ＣＫ波３４に応じてパルス型クロック波列４２（ＰＣＫ）（以下、ＰＣＫ波列４２とする）（図７）を導出する。ＰＣＫ波列４２の各サイクルは、比較的持続時間の長い低電圧（すなわち、接地）部４８と、それに続く正方向傾斜４０と、それに続く持続時間の短い高電圧（すなわち、ほぼチップ電源）部４４と、それに続く負方向傾斜４

６と、を含む。ＰＣＫ波列４２の各サイクルは、ＣＫ波列、すなわちＣＫ波３４の１サイクルと等しい同じ期間を有するが、低電圧部４８は、各ＣＫサイクルの約８０％の持続時間を有し、傾斜４０，４６の各々は、各ＣＫサイクルの約６．１％の持続時間を有し、高電圧部４４は、各ＣＫサイクルの約７．８％の持続時間を有する。

【００２６】

ＣＫおよびＰＣＫクロックの正方向傾斜３８，４０は、実質的に同時に開始するが、正方向傾斜４０は、正方向傾斜３８より急峻であり、開始後約６０ｐｓでその最大値に達する。一般的に、ＰＣＫパルスクロック波形、すなわちＰＣＫ波列４２にのみ応答するチップ１０の電界効果トランジスタは、ＰＣＫ遷移すなわち負方向傾斜４６が低電圧部４８と高電圧部４４との電圧レベルの差の約４０％の電圧に達するとオフとなるため、図７のトランスペアレンシ・ウインドウ(transparency window)５４（以下、単にウインドウ５４とする）に示すように、１ＣＫクロックサイクルの約１１％のターンオン持続時間を有する。

【００２７】

ワンショット２８は、そのワンショット２８に組込まれた論理関数がデータソース２６、イネーブルソース３０およびクロックソース３２によって満足されるときに、ワンショット２４と同じ出力波形、すなわちＰＣＫ波列４２を生成する。論理関数は、ＡＮＤ、ＯＲ、ＮＡＮＤ、ＮＯＲおよびＥＸＣＬＵＳＩＶＥ　ＯＲ等、周知のブール関数のいずれともすることができる。ＡＮＤおよびＯＲ関数の回路は、それぞれ、図５および図６に関連して説明する。

【００２８】

ラッチ１４，１６は、ワンショット２４から導出されるＰＣＫ波形、すなわちＰＣＫ波列４２に応答し、ラッチ１８は、ワンショット２８から導出される同様のＰＣＫ波形に応答する。ラッチ１４，１６，１８は、それぞれ、図７においてウインドウ５４によって示される間隔の間においてのみ、その入力回路に対するデータソース１２、ゲート１５およびゲート１７の供給に応答する。すなわち、ラッチ１４，１６，１８は、それぞれ、ウインドウ５４の間においてのみ、データソース１２、ゲート１５およびゲート１７からの信号に応答する。ウインドウ５４は、ラッチ１４，１６，１８が、ＰＣＫ波列４２が正方向傾斜４０から高電圧部４４へ遷移するおおよその時間に開始する期間において、その入力信号に応答することが可能となるよう、オープンとなっている。ウインドウ５４は、波列４２の立下りである負方向傾斜４６が高電圧部４４と低電圧部４８との電圧レベルのおおよそ中間の電圧レベルより僅かに降下するまで、すなわち、負方向傾斜４６の遷移が低電圧部４８に達する前まで続く。このため、ウインドウ５４は、ＣＫ波形３４の半サイクルの約２０％の間オープンとなっており、最初はＣＫの各パルスの立ち上がりの正方向遷移が完了するわずか前にオープンする。

【００２９】

ラッチ１４，１６，１８は、ウインドウ５４がオープンしているおおよそ１００ｐｓの間、それぞれ、データソース１２、ゲート１５およびゲート１７に応答する。そのため、これらラッチのバイナリデータ出力電圧は、比較的迅速に変化する。ラッチ１４，１６，１８の各々は、次のウインドウ５４がオープンとなる（この時、ラッチの出力電圧が変化し易い）まで、ラッチの出力電圧を比較的一定に維持する再生帰還回路２５を有している。

【００３０】

図２は、ラッチ１４，１６，１８の各々の１つの好適な態様を示す回路図である。図２に示す回路は、相補型電界効果トランジスタ６２，６４（以下、単にトランジスタ６２，６４とする）を含むパススルーゲート２３を備えている。それにより、Ｎチャネル電界効果トランジスタ（ＦＥＴ）６２のゲートは、ワンショット２４によって導出されるＰＣＫクロック波のパルスに直接応答し、Ｐチャネル電界効果トランジスタ６４のゲートは、ワンショット２４が導出するＰＣＫ波の反転したレプリカに応答する。インバータ６６は、トランジスタ６４のゲートに与えられるＰＣＫクロック波の反転したレプリカを導出する。インバータ６６は、ワンショット２４のＰＣＫ出力によって並列に駆動されるゲートを有

する、相補型電界効果トランジスタ６８，７０（以下、単にトランジスタ６８，７０とする）を含んでいる。トランジスタ６８，７０は、接地と＋V_{DD}（好ましくは１．３ボルト）のチップ１０のＤＣ電源電圧との間に、互いに直列に接続されたソースドレインパスを有している。トランジスタ６８，７０のドレインは、反転したＰＣＫのレプリカをトランジスタ６４のゲートに直接供給する共通端子７２を有している。

【００３１】

パススルーゲート２３のトランジスタ６２，６４は、ラッチ入力データ端子７４（以下、単に端子７４とする）とストレージノード即ち端子７６との間に直列に接続された並列ソースドレインパスを有する。それによって、トランジスタ６２，６４のソースは、端子７４に対して共通であり、トランジスタ６２，６４のドレインは、端末７６に対して共通である。パススルーゲート２３は、ワンショット２４が図７に示すウインドウ５４のオープンに関連する正電圧レベルを導出する時、端子７４における高レベルおよび低レベルの２レベル(bi-level)データ信号を通過させる。ラッチ１４の端子７４は、データソース１２の出力に接続されており、ラッチ１６，１８の端子７４は、それぞれラッチ１４，１６の出力に接続されている。

【００３２】

縦続接続されたインバータ７８，８０を含む再生帰還回路２５は、端子７６におけるバイナリレベルに応答する。インバータ７８は、端子７６に直接接続された入力端子と、インバータ８０の入力端子に接続された出力端子と、を有している。インバータ８０は、端子７６に接続された出力端子を有している。インバータ７８，８０の端子７６との配置により、ウインドウ５４がオープンしている時、すなわち、パススルーゲート２３が端子７４における信号を通過させるために開いている間を除いて、端子７６における電圧が一定に維持される。ウインドウ５４がクローズしている時、トランジスタ６２，６４のソースドレインパスがオフであることにより、端子７６が端子７４における信号から、すなわち、ラッチの手前の信号から隔離される。

【００３３】

相補型電界効果トランジスタ８４，８６（以下、単にトランジスタ８４，８６とする）を含むインバータ８２は、端子７６におけるバイナリレベルを増幅し逆変換する。（図２のインバータ８２は、図１のラッチ１４，１６，１８におけるインバータ２０，２１，２２と同じである。）トランジスタ８４，８６は、（１）チップ１０のＤＣ電源電圧レース間に直列接続されたソースドレインパスと、（２）端子７６の電圧レベルによって駆動される並列に接続されたゲート電極と、を有している。トランジスタ８４，８６のドレインは、ラッチ出力端子を規定する共通の端子８９を有している。

【００３４】

図３は、ラッチ１４，１６，１８の他の態様を示す回路図である。図３におけるラッチ回路は、大部分、図２のラッチ回路と同じであるが、図３のラッチ回路は、インバータ７８，８０の代りにインバータ９０，１０２を含む再生帰還回路を採用している。インバータ９０は、本質的にインバータ７８と同じであるが、インバータ１０２は、インバータ６６，９０の出力に応答する。

【００３５】

インバータ９０は、端子７６の電圧によって並列に駆動されるゲート電極を有する相補型電界効果トランジスタ９２，９４（以下、単にトランジスタ９２，９４とする）が直列接続されたソースドレインパスを含む。トランジスタ９２，９４のソースドレインパスは、チップ１０の正端子と接地ＤＣ電源端子との間に直列に接続されている。それによって、相補型Ｎチャネル電界効果トランジスタ９２とＰチャネル電界効果トランジスタ９４とのドレインは、共通の端子９６に接続されている。

【００３６】

端子９６の電圧は、インバータ１０２の相補型電界効果トランジスタ９８，１００（以下、単にトランジスタ９８，１００とする）を並列に駆動する。トランジスタ９８，１００のソースドレインパスは、インバータ６６の出力端子７２に接続されたゲートを有するＮ

チャネル電界効果トランジスタ１０４（以下、単にトランジスタ１０４とする）のソースドレインパスと直列に接続されている。トランジスタ９８，１００，１０４の直列接続されたソースドレインパスは、チップ１０の電源端子の間に接続されている。インバータ１０２は、Ｐチャネル電界効果トランジスタ１００とＮチャネル電界効果トランジスタ１０４とのドレインに対して共通する出力端子１０６を含む。

【００３７】

動作中、インバータ１０２は、図３のラッチが透過である間、すなわち、図７に示すウインドウ５４がオープンである間は、ディスエーブルである。ウインドウ５４がオープンしている間、高ＰＣＫ信号により、端子７２の電圧が低くなり、トランジスタ１０４のソースドレインパスがオフとなる（すなわち、カットオフされる）。ウインドウ５４がオープンしている間、トランジスタ１０４のソースドレインパスがカットオフされるため、端子７６における電圧は、パススルーゲート２３の入力端子７４に与えられる電圧に従うことができる。例えば、（１）パススルーゲート２３が開いており、（２）ウインドウ５４がオープンしてトランジスタ１０４のソースドレインをカットオフしている間に、端子７４における電圧が高い場合、インバータ９０は、端子７６における結果としての高電圧を低電圧に変化させて端子９６に印加する。端子９６における低電圧は、トランジスタ９８のゲートに逆バイアスしトランジスタ１００のゲートに順バイアスすることにより、トランジスタ１００のソースにおいて正の電源電圧＋V_{DD}を端子１０６に与えるトランジスタ１００のソースドレインパスをオンとし、それによって端子７６の電圧を高電圧にする。しかしながら、端子７４におけるデータ信号がウインドウ５４中に低い場合、パススルーゲート２３のトランジスタ６２のソースドレインパスを通して端子７６に低電圧が結合される。インバータ９０は、端子７６における低電圧に応答して、端子９６に対して高電圧を印加する。端子９６における高電圧は、トランジスタ９８のソースドレインパスをオンとしトランジスタ１００のソースドレインをカットオフする。それにより、端子１０６は、端子７６における低電圧を維持する。

【００３８】

ウインドウ５４がクローズしている間、ワンショット２４およびインバータ６６の出力電圧は、トランジスタ６２，６４のソースドレインパスをオフとすることによって、端子７６の電圧を端子７４の電圧から切離す。この間隔の間、インバータ９０，１０２の再生帰還動作は、端子７６における電圧を、ウインドウ５４がオープンしていた時と同じ値に維持する。端子７２における高電圧は、ウインドウ５４がクローズしているこの間隔の間に、トランジスタ１０４のゲートを順バイアスすることによりトランジスタ１０４のソースドレインパスをオンとする。

【００３９】

例えば、ウインドウ５４がクローズしている時に端子７６における電圧が高い場合、パスゲートスルーゲート２３のトランジスタ６２，６４のオフされたソースドレインパスは、端子７４における電圧を端子７６から切離す。インバータ９０は、端子７６における高電圧を低電圧に変化させて端子９６に与える。端子９６における低電圧は、トランジスタ９８のソースドレインパスをカットオフする一方で、トランジスタ１００のソースドレインパスをオンとする。トランジスタ１００のオンとされたソースドレインパスは、トランジスタ１００のソースにおける＋V_{DD}電圧を端子１０６に結合させることにより、端子７６における電圧を高レベルに維持する。

【００４０】

また、再生帰還回路２５の再生動作により、ウインドウ５４がクローズしている期間の開始時における端子７６の低電圧が維持される。インバータ９０は、端子７６における低電圧を端子９６における高電圧に変化させる。端子９６における高電圧は、トランジスタ１００のソースドレインパスをカットオフする一方で、トランジスタ９８のソースドレインパスをオンとする。同時に、端子７２における高電圧は、トランジスタ１０４のソースドレインパスをオンとし、それにより、トランジスタ９８，１０４の直列接続された低インピーダンスのソースドレインパスが、トランジスタ９８のソースにおける接地電圧を端子

１０６に結合する。それによって、端子７６における電圧が低レベルで維持される。
【００４１】
インバータ８２は、端子７６における高レベルを低レベルに変化させるため、ラッチの出力端子である端子８９は、ウインドウ５４の間データ入力端子である端子７４における高レベルに応答して、本質的に接地されている。ラッチの再生動作は、ウインドウ５４がクローズしている期間、端子８９において低電圧を維持する。ウインドウ５４がオープンしている間端子７４に印加されている低データ信号電圧に応答して、ラッチにより、インバータ８２は次のウインドウ５４がオープンするまで、ウインドウがクローズする直前の期間に、出力端子８９に対して正電圧を印加する。
【００４２】
図４は、ワンショット２４の好ましい態様を示す回路図である。図４に示すように、ワンショット２４は、ＤＣ電源端子＋V_{DD}と端子１１４との間に並列に接続されたソースドレインパスを有するＰチャネル電界効果トランジスタ１１０，１１２（以下、単にトランジスタ１１０，１１２とする）を含む。トランジスタ１１０，１１２のゲートは、クロックソース３２のＣＫクロック波出力とインバータ１１６が導出するその相補型の変更されたレプリカとによって駆動される。
【００４３】
インバータ１１６は、相補型電界効果トランジスタ１１８，１２０（以下、単にトランジスタ１１８，１２０とする）の直列に接続されたソースドレインパスを含んでいる。トランジスタ１１８，１２０のゲートは、並列に接続されており、クロックソース３０が導出するＣＫクロック波によって駆動される。トランジスタ１１８，１２０のソースドレインパスは、チップ１０の＋V_{DD}端子と接地ＤＣ電源端子との間に直列に接続されている。トランジスタ１１８，１２０のドレインに対する共通の端子１２２は、トランジスタ１１２のゲートに対し変更され逆変換されたＣＫクロック波のレプリカを供給する。逆変換されたＣＫクロック波のレプリカは、インバータ１１６の出力端子１２２における負方向傾斜にもたらされる遅延により、ウインドウ５４中に発生する。
【００４４】
端子１２２における負方向傾斜は、波形３４の正方向傾斜３８に応答して発生する。端子１２２における負方向傾斜に先立って、端子１２２における電圧は正であり、それによりトランジスタ１２８のゲートを順バイアスしてトランジスタ１２８のソースドレインパスをオンとしトランジスタ１１２のソースドレインパスをオフとする。端子１２２における負方向傾斜は、トランジスタ１２８のソースドレインパスの状態を低インピーダンスのターンオン状態から高インピーダンスのターンオフ状態に、あるいは、トランジスタ１１２の状態をオフ状態からオン状態に、すぐには変化させない。これは、ワンショットにおけるいかなる他の電界効果トランジスタよりもゲート領域が広いことから、トランジスタ１２８のゲートが大きいキャパシタンスを有するためである。トランジスタ１２８のゲートキャパシタンスが大きいことから、端子１２２において負方向傾斜に対し比較的長い時間一定の抵抗キャパシタンス（ＲＣ）放電パスが提供される。従って、ＣＫ波形であるＣＫ波３４の高電圧部５０の数ピコ秒が経過するまで、トランジスタ１２８のソースドレインパスはオンのままであり、トランジスタ１１２のソースドレインパスはオフのままである。本質的に、トランジスタ１１２，１２８はそれぞれ、イネーブルソース３０が導出する２レベル信号の状態に関係なく、ウインドウ５４の全間隔中にオフとオンのままである。トランジスタ１１２のゲート電圧は、ウインドウ５４の間、端子１１４を＋V_{DD}から切離すためトランジスタ１１２のソースドレインパスをオンとしないためには十分長い期間、高いままである。
【００４５】
ウインドウ５４の間、イネーブルソース３０の高出力電圧は、電界効果トランジスタ１２６のゲートを駆動して、トランジスタ１２６のソースドレインパスをオンとする。従って、端子１１４は、Ｎチャネル電界効果トランジスタ１２４，１２６，１２８（以下、単にトランジスタ１２４，１２６，１２８とする）の直列接続された低インピーダンスソース

ドレインパスにより、接地の方に分路が作られる。クロックソース３２のＣＫクロック波および端子１２２におけるその変更された逆レプリカは、それぞれトランジスタ１２４，１２８のゲートを駆動することにより、これら２つのトランジスタのソースドレインパスをオンとする。

【００４６】

インバータ１３０は、ウインドウ５４の間、端子１１４における低電圧を端子１３６における高電圧に変化させる。インバータ１３０は、＋V_{DD}端子と接地端子との間に直列に接続されたソースドレインパスを有する相補型電界効果トランジスタ１３２，１３４（以下、単にトランジスタ１３２，１３４とする）を含んでいる。端子１１４における電圧は、トランジスタ１３２，１３４のゲートを並列に駆動し、トランジスタ１３２，１３４のドレインは、ワンショット２４がその出力を導出する共通の端子１３６を有している。

【００４７】

ウインドウ５４が終了した後、端子１１４における電圧は、低い、実質的に接地値から、＋V_{DD}電源電圧に変化する。それは、端子１２２における電圧が十分に低下することにより、トランジスタ１２８のソースドレインパスがカットオフされ、トランジスタ１１２のソースドレインパスがオンとなるためである。従って、トランジスタ１１２の低インピーダンスのソースドレインパスは、端子１１４を＋V_{DD}に結合し、トランジスタ１２８の高インピーダンスのソースドレインパスは、端子１１４を接地から切離す。

【００４８】

イネーブルソース３０の低出力電圧は、ウインドウ５４がオープンしないようにする。イネーブルソース３０の低イネーブル電圧は、トランジスタ１２６のソースドレインパスをオフとすることにより、端子１１４を実質的に＋V_{DD}電圧で維持する。この＋V_{DD}電圧は、トランジスタ１２４のゲートに与えられるＣＫの低電圧部３６に応答して、トランジスタ１１０のソースドレインパスが端子１１４に印加した電圧である。トランジスタ１２６の高インピーダンスソースドレインパスは、端子１１４を接地から切離す。従って、端子１１４は、接地または＋V_{DD}に対して直接接続されておらず、フロートする傾向にある。しかしながら、端子１１４における電圧は、（１）トランジスタ１３２，１３４のゲートとソースとの間に予め蓄積された電荷により、および（２）パルス持続時間（好適には約１２０ｐｓ）が電荷が漏洩するには短か過ぎるため、＋V_{DD}に近い状態を維持する。端子１１４における電圧は、トランジスタ１３４のゲートを順バイアスしトランジスタ１３２のゲートを逆バイアスするために十分高い状態のままである。そのため、インバータ１３０は、端子１２２における電圧がトランジスタ１１２のゲートを順バイアスするほど十分に降下するまで、端子１３６に対し低電圧を供給する。トランジスタ１１２のゲートを順バイアスすることにより、トランジスタ１１２のソースドレインパスがオンとなり、チップ電源における＋V_{DD}電圧が端子１１４に印加される。従って、インバータ１３０は、端子１３６に対して低電圧を印加しつづける。このため、トランジスタ１２６のゲートに対する低電圧イネーブルソース３０の供給により、ＰＣＫ波列４２が低レベルに維持され（低電圧部４８）、波形の部分４０，４４，４６によって定義されるパルスの導出が防止される。

【００４９】

図５および図６によって示される回路によって達成される、本発明の他の態様によれば、ワンショット２８の論理回路は、おおよそウインドウ５４がオープンしている時に２つのデータ信号（イネーブル１およびイネーブル２）のＡＮＤおよびＯＲ論理関数がそれぞれ満足されている時、ＰＣＫパルス化クロック波形、すなわちＰＣＫ波列４２を導出する。図５において、端子１１４と接地との間の分路パスは、トランジスタ１２４，１２６，１２８のソースドレインパスに直列に接続されたソースドレインパスを有する、Ｎチャネル電界効果トランジスタ１４０（以下、単にトランジスタ１４０とする）のソースドレインパスを含む。トランジスタ１４０は、チップ１０の内部でも外部でもあり得る第２のイネーブルソース（en_2）、すなわちデータソース２６によって駆動されるゲート電極を含む。

【００５０】
図５のクロックパルス回路は、トランジスタ１２６，１４０のゲートをそれぞれ駆動するイネーブルソースen_1，en_2が同時に高い時にのみ波列４２を導出することができる。これにより、ＡＮＤ論理関数は、端子１２２において、逆変換されたクロックの負方向遷移を遅延させるトランジスタ１２８のゲートキャパシタンスによって制御されるように、ウインドウ５４がオープンしている間、図５の回路によって達成される。
【００５１】
ＯＲ関数は、図６の回路により、Ｎチャネル電界効果トランジスタ１４２（以下、単にトランジスタ１４２とする）のソースドレインパスをトランジスタ１２６のソースドレインパスに並列に接続することによって得られる。トランジスタ１４２のゲートは、チップ１０上またはチップ外部の回路からのイネーブルデータソース（en_2）、すなわちデータソース２６に応答する。イネーブルデータソース（en_1）（データソース３０）および／またはイネーブルデータソース（en_2）（データソース２６）の高い値は、端子１１４と接地との間のトランジスタ１２６または１４２の一方または両方のソースドレインパスを通るパスを確立する。このため、図６の回路は、ウインドウ５４が発生することができる期間高い値を有するイネーブル電圧en_1またはen_2の少なくとも一方に応答して、ＰＣＫ波列４２におけるウインドウ５４を導出する。上述したように、ウインドウ５４は、高電圧部４４の間および負方向傾斜４６の期間の最初の約２／３の間に発生することができる。この間、トランジスタ１２８のゲートキャパシタンスは、端子１２２において逆変換されたクロック波の遅延した正方向遷移を確立する。
【００５２】
本発明の特定の実施の形態を示し説明したが、添付の特許請求の範囲において定義されているような本発明の真の精神および範囲から逸脱することなく、特に説明され示された実施の形態の詳細において変更を行うことが可能であることは明確となろう。
【００５３】
以下に、本発明の実施の形態を要約する。
１．データ信号（１２）とおよそ５０％のデューティサイクルを有するクロックソース（３２）とに応答するよう適応された集積回路であって、
前記クロックソースに応答するよう接続された入力端子を有し、該クロックのサイクルに応答してパルスを導出するよう調整され、これらパルスの各々が、該クロック波の１／２サイクルより実質的に短い持続時間を有すると共に、クロック波遷移に応答しかつその間に起動され、該遷移が完了した後にある期間持続する、ワンショット（２４または２８）と、
前記データ信号と前記パルスとに応答し、該パルスの間においてのみ該データ信号に応答すべく駆動されるように調整されたラッチ（１４または１８）と、
を備える集積回路。
【００５４】
２．前記ラッチ（１４）は、前記データ信号と前記パルスとに応答するパススルーゲート（２３）を含み、それによって該パススルーゲートは、該パルスの間においてのみ該データ信号を通過させる上記１に記載の集積回路。
【００５５】
３．前記ラッチ（１４）は、前記パススルーゲートを通過する前記データ信号に応答するよう接続された再生帰還回路（２５）を含み、該再生帰還回路および該パススルーゲートが互いに結合されていることにより、該再生帰還回路によって導出される信号とは異なる値を有する該パススルーゲートを通過する前記データ信号に応答して、該再生帰還回路が状態を変化させる上記２に記載の集積回路。
【００５６】
４．前記ワンショット（２８）は、該ワンショットに前記クロック波のある部分の間に前記少なくとも１つの論理信号の予め決められた関係に応じて前記パルスを導出させる、前記クロック波と少なくとも１つの論理信号（ｅｎ１）とに応答する論理回路（１２４，１

２６，１２８）を含む上記１、２または３に記載の集積回路。
【００５７】
５．前記論理回路は、同じ２レベル値を有する複数の論理信号すべてに応答するか、または予め決められた２レベル値を有する前記複数の論理信号の少なくとも１つに応答して、前記パルスを導出するよう複数の論理信号に応答する上記４に記載の集積回路。
【００５８】
６．前記ラッチのうちの第１のラッチは、第２の前記ラッチと、該第１のラッチの出力端子と該第２のラッチの入力端子との間に接続された遅延素子と、に縦続接続されている上記１、２，３，４または５に記載の集積回路。
【００５９】
７．前記ワンショット（２８）は、
前記クロック波（３２が導出）に応答するよう接続されたクロック入力端子と、
前記ワンショットのクロック入力端子において前記クロック波に応答するよう接続された、出力端子（１２２）を有するインバータ（１１６）と、
前記クロック波と前記インバータの出力端子（１２２）における電圧とにそれぞれ応答するよう接続されたゲート電極を有する、同様の導電率タイプの第１および第２の電界効果トランジスタ（１２４，１２８）と、
予め決められた値を超える同様の極性のゲートソース電圧に応答してオンとなる前記電界効果トランジスタ（１２４，１２８）のソースドレインパスと、
電源端子（接地）と信号端子（１４）との間に分路して選択的に接続された前記第１および第２の電界効果トランジスタ（１２４，１２８）の直列接続されたソースドレインパスを含む回路と、
を備え、
前記電界効果トランジスタのうちの少なくとも一方（１２８）は、前記クロック波の遷移（３８）が完了することにより、該クロック波の半サイクルより実質的に短い持続時間を有すると共に、前記電界効果トランジスタの一方（１２４）のゲートソース領域を順バイアスする該クロック波の遷移に応答して開始する立ち上がり（４０）を有するパルス（４０，４４，４６）が導出された後に、該パルスを持続させるゲートキャパシタンスを有し、
前記パルスは、前記他方の電界効果トランジスタ（１２８）の前記ソースドレインパスをカットオフする該他方の電界効果トランジスタの前記ゲートソース領域の電圧に応答して開始する立下り（４６）を有し、
前記ゲートキャパシタンスにより、前記他方の電界効果トランジスタ（１２８）の前記ゲートソース領域の電圧が、前記遷移が完了した後および前記クロック波の半サイクルが完了する前に、該他方の電界効果トランジスタの前記ソースドレインパスをカットオフする値に達する上記１、２，３，４，５または６に記載の集積回路。
【００６０】
８．およそ５０％のデューティサイクルを有するクロック波（３２が導出）に応答し、ワンショットを具備し、
該ワンショットは、
そのクロック入力端子において前記クロック波に応答するよう接続された、出力端子（１２２）を有するインバータ（１１６）と、
前記クロック波と前記インバータの出力端子（１２２）における電圧とにそれぞれ応答するよう接続されたゲート電極を有する、同様の導電率タイプの第１および第２の電界効果トランジスタ（１２４，１２８）と、
予め決められた値を超える同様の極性のゲートソース電圧に応答してオンとなる前記電界効果トランジスタ（１２４，１２８）のソースドレインパスと、
電源端子（接地）と信号端子（１１４）との間に分路して選択的に接続された前記第１および第２の電界効果トランジスタ（１２４，１２８）の直列接続されたソースドレインパスを含む回路と、

を備え、
前記電界効果トランジスタのうちの少なくとも一方（１２８）は、前記クロック波の遷移が完了することにより、該クロック波の半サイクルより実質的に短い持続時間を有すると共に、前記電界効果トランジスタの一方（１２４）のゲートソース領域を順バイアスする該クロック波の遷移に応答して開始する前端（４０）を有するパルス（４０，４４，４６）が導出された後に、前記クロックパルスを持続させるゲートキャパシタンスを有し、
前記パルスは、前記他方の電界効果トランジスタ（１２８）の前記ソースドレインパスをカットオフする該他方の電界効果トランジスタの該ゲートソース領域の電圧に応答して開始する立下り（４６）を有し、
前記ゲートキャパシタンスにより、前記他方の電界効果トランジスタ（１２８）の前記ゲートソース領域の電圧が、前記遷移が完了した後および前記クロック波の半サイクルが完了する前に、該他方の電界効果トランジスタのソースドレインパスをカットオフする値に達するクロックパルスソース。

【００６１】
９．前記分路回路は、少なくとも１つの更なる電界効果トランジスタ（１２６および／または１２８）のソースドレインパスを備え、
更なる電界効果トランジスタの各々が、論理信号（ｅｎ１）に応答し、前記少なくとも１つの更なる電界効果トランジスタと前記第１および第２の電界効果トランジスタとが相互接続されることによって論理回路を形成する上記７記載の集積回路または上記８記載のクロックパルスソース。

【００６２】
１０．前記論理回路に、複数の少なくとも１つの更なる電界効果トランジスタ（１２６および１４０）が含まれており、該複数の更なる電界効果トランジスタのうちの少なくとも１つが、第１および第２の電界効果トランジスタ（１２４，１２８）の前記ソースドレインパスに直列に接続されたソースドレインパスを有するか、または該複数の更なる電界効果トランジスタ（１２６，１４２）が、該第１および第２の電界効果トランジスタ（１２４，１２８）と直列に接続された並列接続されたソースドレインパスを有する上記７記載の集積回路または上記８記載のソース。

【００６３】
【発明の効果】
以上の説明から明らかなように、本発明によれば、従来技術による２フェーズ・トランスペアレント配置に対して集積回路チップ上で実行することができる機能の数を増大させることができる。
また、データに関してクロック端の位置に対し感度が緩和されているため、改良された同期特性を有する集積回路クロック配置を提供することができる。

【００６４】
また、比較的大きい集積回路チップにおいてチップの比較的高周波数での動作を可能とするクロック回路構成を有する、新しくかつ改良された集積回路チップを提供することができる。

【００６５】
また、クロック回路構成およびそれに関連する回路がチップ上で占有する空間の量を比較的少なくでき、また、データがラッチを通過するために必要な時間が、２フェーズ・トランスペアレント配置より実質的に短くすることができる。

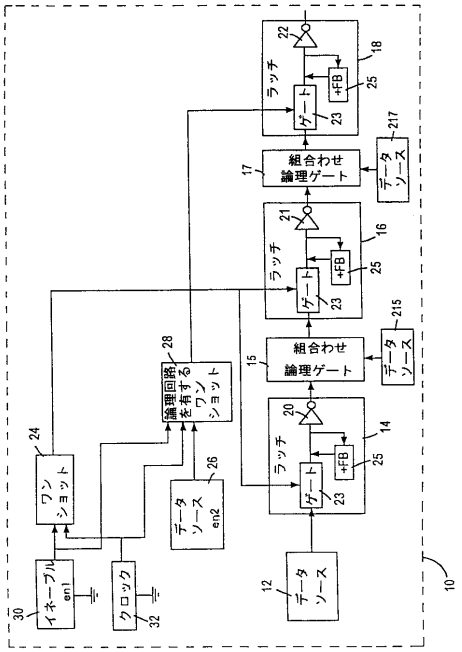
【００６６】
また、潜在的なパルス発生器を組込んでいる従来技術によるラッチによって達成されるクロックスキューに対する利点を達成することができる。

【００６７】
さらに、予め決められた関係を有する少なくとも１つの論理信号に応答してクロック波を導出することができる。

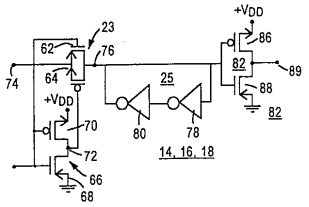
【図面の簡単な説明】

【図１】本発明の一実施形態に係る集積回路チップ上のクロック回路構成を示すブロック図である。
【図２】図１に示すクロック回路構成に好ましくは用いられるラッチ回路の１つの態様を示す回路図である。
【図３】図１のクロック回路構成に好ましくは用いられる他のラッチ回路の回路図である。
【図４】図１のクロック回路構成に用いられるワンショットの好適な態様を示す回路図である。
【図５】図１のクロック回路構成に用いられるＡＮＤ論理を採用するワンショットの他の態様を示す回路図である。
【図６】図１のクロック回路構成に用いられるＯＲ論理を採用するワンショットの他の態様を示す回路図である。
【図７】図１～図６の各々の動作を説明するための波形を示す図である。
【符号の説明】
１２　バイナリデータソース
１４，１８　信号ラッチ
２３　パススルーゲート
２４，２８　ワンショット
２５　再生帰還回路
３２　クロックソース
３８，４０　正方向傾斜
４４　高電圧部
４６　負方向傾斜
４８　低電圧部
１１６　インバータ
１２２　端子
１２４，１２６，１２８，１４０，１４２　Ｎチャネル電界効果トランジスタ

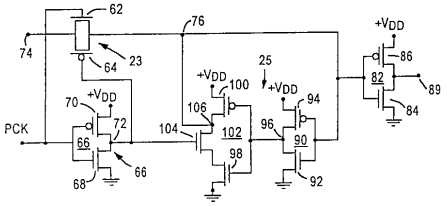
【図１】



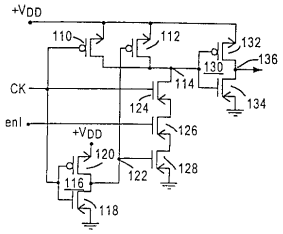
【図２】



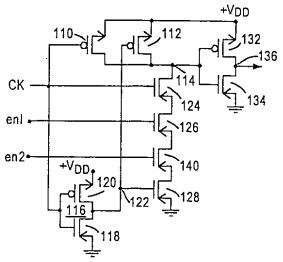
【図３】



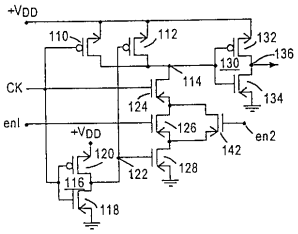
【図４】



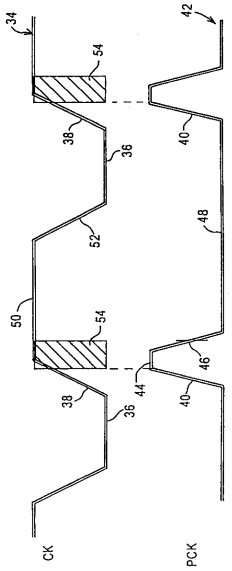
【図５】



【図６】



【図７】



フロントページの続き

審査官　近藤　聡

(56)参考文献　特開平１０－０４１７８９（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
G06F 1/00