

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6723090号
(P6723090)

(45) 発行日 令和2年7月15日 (2020.7.15)

(24) 登録日 令和2年6月25日 (2020.6.25)

(51) Int.Cl.		F I	
H04B	1/18	(2006.01)	H04B 1/18 C
H02M	1/08	(2006.01)	H02M 1/08 301Z
H04B	3/54	(2006.01)	H04B 3/54

請求項の数 15 外国語出願 (全 24 頁)

(21) 出願番号	特願2016-124187 (P2016-124187)	(73) 特許権者	516046879
(22) 出願日	平成28年6月23日 (2016.6.23)		パワー インテグレーションズ スイッ ランド ゲーエムベーハー
(65) 公開番号	特開2017-46345 (P2017-46345A)		Power Integrations
(43) 公開日	平成29年3月2日 (2017.3.2)		Switzerland GmbH
審査請求日	令和1年6月19日 (2019.6.19)		スイス 2504 ビール-ビエンヌ ヨ ハン-レンフェル-シュトラッセ 15
(31) 優先権主張番号	15175944.6	(74) 復代理人	100125818
(32) 優先日	平成27年7月8日 (2015.7.8)		弁理士 立原 聡
(33) 優先権主張国・地域又は機関	欧州特許庁 (EP)	(74) 代理人	100100181
			弁理士 阿部 正博
		(72) 発明者	ペーター マティアス
			スイス ツェーハー-2552 オルプン ト リンデンシュトラッセ 17

最終頁に続く

(54) 【発明の名称】 受信回路

(57) 【特許請求の範囲】

【請求項 1】

受信器コイルと、

前記受信器コイルに接続された第1の増幅段であって、

当該第1の増幅回路が、

a) 前記受信器コイルにより受信された信号の少なくとも一部と、

b) 閾値と、

の間の差分を増幅する、

当該第1の増幅段と、

前記第1の増幅段から前記増幅された差分を受信するように接続された入力を有する電
流増幅回路であって、 10

当該電流増幅回路が、

第1のMOSFETであって、

制御端子と、

前記電流増幅回路の前記入力に接続されたソース/ドレインの第1のものと、

第1の基準電位に接続されたソース/ドレインの第2のものと、

を有する当該第1のMOSFETと、

第2のMOSFETであって、

前記電流増幅回路の前記入力に接続された制御端子と、

前記電流増幅回路の出力に接続されたソース/ドレインの第1のものと、 20

第 2 の基準電位に接続されたソース/ドレインの第 2 のものと、
を有する当該第 2 の M O S F E T と、
を備え、
動作時、当該第 1 の M O S F E T が導通状態を維持するように、前記第 1 の M O S F E T の前記制御端子がバイアスされる、
当該電流増幅回路と、
ヒステリシスレベルシフト回路であって、
前記受信器コイルにより受信された前記信号の前記少なくとも一部が前記閾値を横断したことに応答して、逆方向における閾値の横断が遅延されるように、
a) 前記受信器コイルにより受信されたフィルタ済みの前記信号の一部、
b) 前記閾値、または、
c) フィルタ済みの前記信号の一部と前記閾値との両方、
のレベルをシフトする、
当該ヒステリシスレベルシフト回路と、
を備えるデータ通信受信器。

10

【請求項 2】

前記第 1 の基準電位が、前記第 2 の基準電位と同じである、
請求項 1 のデータ通信受信器。

【請求項 3】

前記第 1 の基準電位が、前記データ通信受信器の負の供給電位である、
請求項 1 または請求項 2 のデータ通信受信器。

20

【請求項 4】

前記第 1 の基準電位が、前記受信器コイルにより受信された前記信号の最小部分である、
請求項 1 のデータ通信受信器。

【請求項 5】

前記第 1 の M O S F E T の前記制御端子が、前記電流増幅回路の前記入力に接続されている、
請求項 1 から請求項 4 のいずれか一項のデータ通信受信器。

【請求項 6】

前記第 1 の M O S F E T と前記第 2 の M O S F E T とが、リニアカレントミラーを形成している、
請求項 5 のデータ通信受信器。

30

【請求項 7】

前記受信器コイルにより受信された前記信号から低周波数成分をフィルタすることと、
前記第 1 の増幅段にフィルタ済み信号を出力することとをするように接続されたフィルタ回路をさらに備える、
請求項 1 から請求項 6 のいずれか一項のデータ通信受信器。

【請求項 8】

前記ヒステリシスレベルシフト回路が、前記抵抗にかかる前記電位の前記レベルをシフトする可変電流を出力するように接続されている可変電流源を備える、
請求項 7 のデータ通信受信器。

40

【請求項 9】

前記第 1 の増幅段が、コモンゲート増幅器を備える、
請求項 1 から請求項 8 のいずれか一項に記載のデータ通信受信器。

【請求項 10】

前記コモンゲート増幅器の入力と基準電位との間に接続された可変抵抗をさらに備え、
前記ヒステリシスレベルシフト回路が、前記可変抵抗の抵抗を変化させて前記閾値の前記レベルをシフトするように接続されている、
先行する請求項のいずれか一項に記載のデータ通信受信器。

50

【請求項 1 1】

デューティ比 50% である送信された信号の場合、前記増幅された差分の前記デューティ比が、35%と65%との間、例えば、40%と60%との間となるように、前記閾値と前記レベルの前記シフトとが設定される、

先行する請求項のいずれか一項のデータ通信受信器。

【請求項 1 2】

前記ヒステリシスレベルシフト回路が、前記受信器コイルにより受信された前記信号の少なくとも一部の前記レベルをシフトする、

先行する請求項のいずれか一項に記載のデータ通信受信器。

【請求項 1 3】

前記ヒステリシスレベルシフト回路が、前記信号が前記閾値未満に低下したことに応答して、前記レベルをシフトする、

先行する請求項のいずれか一項に記載のデータ通信受信器。

【請求項 1 4】

前記受信器コイルが、リードフレームの一部、ボンドワイヤ、または、表面を金属化した材料、を備える、

先行する請求項のいずれか一項に記載のデータ通信受信器。

【請求項 1 5】

先行する請求項のいずれか一項に記載のデータ通信受信器を備える、

電力変換装置。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、概して、ガルバニック絶縁を使用する回路間の通信に関し、より具体的には、スイッチング電力変換装置における絶縁バリアをまたいだ通信に関する。

【背景技術】**【0002】**

電気装置は、多くの場合、直流絶縁された、異なるグラウンド電位を基準とする送信器と受信器との間で情報を送信する通信システムを含む。例として、電力変換装置、医療機器、海事関連機器などが挙げられる。

【0003】

このような通信システムの 1 つは、磁気結合した配線を使用して、送信器と受信器との間で情報を送信する。誘導結合とも呼ばれる場合があり、送信導体を通して流れる変化する電流が、受信導体の端部間に電圧を誘導する。導体間の結合は、様々な方法で強化され得る。例えば、導線は、磁心付きで、または磁心なしで、コイルに成型され得る。または、例示的な誘導結合は、変圧器と結合インダクタとを含む。

【0004】

このような導体の磁気結合にもかかわらず、導体は、その間で電氣的に大幅に導通することなく電圧差が生じ得るように、互いに電氣的に絶縁されたまま維持され得る。しかし、導体間の磁気結合が十分に強い限り、この電氣的な絶縁をまたいで情報が伝達され得る。

【発明の概要】**【0005】**

一態様において、データ通信受信器は、受信器コイルと；受信器コイルに接続された第 1 の増幅段（増幅段階）であって、第 1 の増幅回路が、a) 受信器コイルにより受信された信号の少なくとも一部と、b) 閾値と、の間の差分を増幅する、当該第 1 の増幅段と；第 1 の増幅段から増幅された差分を受信するように接続された第 2 の増幅段であって、当該第 2 の増幅段がカレントミラーを備える、当該第 2 の増幅段と、a) 受信器コイルにより受信された信号の一部、b) 閾値、または c) 受信器コイルにより受信された信号の一部と閾値と、のレベルをシフトするヒステリシスレベルシフト回路と、を含む。受信器コ

10

20

30

40

50

イルにより受信された信号の少なくとも一部が閾値を横断したことに応答して、逆方向における閾値の横断が遅延される。

【 0 0 0 6 】

他の態様において、データ通信受信器は、受信器コイルと；受信器コイルにより受信された信号から低周波数成分をフィルタすることと、フィルタ済み信号を出力することとを行うように接続されたフィルタ回路と；フィルタ済み信号を受信することと、閾値を基準としたフィルタ済み信号の差分を増幅することとを行うように接続された増幅回路と； a) 受信器コイルにより受信されたフィルタ済み信号の一部、 b) 閾値、または c) フィルタ済み信号の一部と閾値との両方、のレベルをシフトするヒステリシスレベルシフト回路と、を含む。フィルタ済み信号が閾値を横断したことに応答して、逆方向における閾値の横断が遅延される。

10

【 0 0 0 7 】

さらに別の他の態様において、データ通信受信器は、受信器コイルと；受信器コイルに接続された第 1 の増幅段であって、当該第 1 の増幅回路が a) 受信器コイルにより受信された信号の少なくとも一部と、 b) 閾値と、の間の差分を増幅する当該第 1 の増幅段と；第 1 の増幅段から増幅された差分を受信するように接続された入力を有する電流増幅回路と；受信器コイルにより受信された信号の少なくとも一部が閾値を横断したことに応答して、逆方向における閾値の横断が遅延されるように、 a) 受信器コイルにより受信されたフィルタ済み信号の一部、 b) 閾値、または c) フィルタ済み信号の一部と閾値との両方のレベルをシフトするヒステリシスレベルシフト回路と、を含む。電流増幅回路は、第 1 の MOS F E T と第 2 の MOS F E T とを備える。第 1 の MOS F E T は、制御端子を有し、ソース/ドレインの第 1 のものが、電流増幅回路の入力に接続されており、ソース/ドレインの第 2 のものが、第 1 の基準電位に接続されている。第 2 の MOS F E T が、電流増幅回路の入力に接続された制御端子を有し、ソース/ドレインの第 1 のものが、電流増幅回路の出力に接続されており、ソース/ドレインの第 2 のものが、第 2 の基準電位に接続されている。動作時、第 1 の MOS F E T が導通状態を維持するように、第 1 の MOS F E T の制御端子がバイアスされる。

20

【 0 0 0 8 】

これらの、及び、他の態様は、以下の特徴の 1 つ以上を含み得る。カレントミラーは、第 1 の増幅段から増幅された差分を受信するように接続された入力を有し得る。カレントミラーは、制御端子を有する第 1 の MOS F E T を含み得、ソース/ドレインの第 1 のものが、電流増幅回路の入力に接続されており、ソース/ドレインの第 2 のものが、第 1 の基準電位に接続されている。カレントミラーは、電流増幅回路の入力に接続された制御端子を有する第 2 の MOS F E T を含み得、ソース/ドレインの第 1 のものが、電流増幅回路の出力に接続されており、ソース/ドレインの第 2 のものが、第 2 の基準電位に接続されている。動作時、第 1 の MOS F E T が導通状態を維持するように、第 1 の MOS F E T の制御端子がバイアスされる。

30

【 0 0 0 9 】

増幅回路は、フィルタ済み信号と閾値との間の差分を増幅するように接続された第 1 の増幅段と、第 1 の増幅段から増幅された差分を受信するように接続された第 2 の増幅段とを含み得る。第 2 の増幅段は、カレントミラーを含み得る。カレントミラーは、第 1 の増幅段から増幅された差分を受信するように接続された入力を有し得る。様々な態様において、第 1 の基準電位は、第 2 の基準電位、データ通信受信器の負の供給電位、または、受信器コイルにより受信された信号の少なくとも一部、と同じであり得る。第 1 の MOS F E T の制御端子は、電流増幅回路の入力に接続され得る。第 1 の MOS F E T と第 2 の MOS F E T とは、リニアカレントミラーを形成し得る。

40

【 0 0 1 0 】

データ通信受信器は、受信器コイルにより受信された信号から低周波数成分をフィルタすることと、第 1 の増幅段にフィルタ済み信号を出力することとを行うように接続されたフィルタ回路を含み得る。フィルタ回路は、受信器コイルを第 1 の増幅段に結合する静電

50

容量を含み得る。フィルタ回路の静電容量は、M O S F E Tのゲート静電容量を含み得る。フィルタ回路は、基準電位に接続された抵抗を含み得る。ヒステリシスレベルシフト回路は、抵抗にかかる電位のレベルをシフトし得る。

【0011】

ヒステリシスレベルシフト回路は、抵抗にかかる電位のレベルをシフトする可変電流を出力するように接続された可変電流源を含み得る。第1の増幅段は、コモンゲート増幅器を含み得る。コモンゲート増幅器は、閾値に接続されたソースを有する第1のトランジスタを含み得る。第1の差動増幅段は、N M O Sトランジスタを含み得る。データ通信受信器は、コモンゲート増幅器の入力と基準電位との間に接続された可変抵抗を含み得る。ヒステリシスレベルシフト回路は、可変抵抗の抵抗を変化させて閾値のレベルをシフトするように接続され得る。デューティ比50%の送信された信号に対しては、増幅された差分のデューティ比が35%から65%の間、例えば、40%から60%の間であるように、閾値とレベルのシフトとが設定され得る。

10

【0012】

データ通信受信器は、受信器コイルにより受信された信号の少なくとも一部と閾値との間の増幅されたバージョンの差分を受信するように接続された出力回路を含み得る。出力回路は、差分を表す2値状態信号を出力するように接続され得る。

【0013】

ヒステリシスレベルシフト回路は、2値状態信号の状態変化にตอบสนองして、レベルをシフトし得る。ヒステリシスレベルシフト回路は、受信器コイルにより受信された信号の少なくとも一部のレベルをシフトし得る。ヒステリシスレベルシフト回路は、信号が閾値未満に立ち下がったことにตอบสนองして、レベルをシフトし得る。受信器コイルは、リードフレーム、ボンドワイヤ、及び/または、表面を金属化した材料の一部を含み得る。受信器コイルは、50nH以下、例えば、20nH以下のインダクタンスをもち得る。

20

【0014】

電力変換装置は、上記の態様のいずれかに従ったデータ通信受信器を含み得る。この電力変換装置は、受信器コイルに磁気結合された送信器コイルと、送信器コイルをまたいでパルスを出力するように接続されたパルス発生器と、を含み得る。パルス発生器は、10ns以下、例えば、5ns以下の持続期間をもつパルスを生成するように構成され得る。送信器コイルは、50nH以下のインダクタンス、例えば、20nH以下をもち得る。電力変換装置は、絶縁ゲートバイポーラトランジスタ電力スイッチを含み得る。

30

【0015】

以下の図を参照しながら、本発明の非限定的かつ非網羅的な実施形態が説明され、異なる図の中の同様の参照番号は、別段の指定がない限り、同様の部分を示す。

【図面の簡単な説明】

【0016】

【図1】図1は、本発明の教示に従った、増幅器と入力ヒステリシスブロックとを含むアナログ受信器前段の例示的なブロック図を示す。

【図2】図2は、本発明の教示に従った、図1のフィルタ済み信号、第1の信号、第2の信号、及び再生信号の例示的な波形を示すタイミング図である。

40

【図3A】図3Aは、本発明の教示に従った、図1の例示的なアナログ受信器前段を示す概略図である。

【図3B】図3Bは、本発明の教示に従った、図1の例示的なアナログ受信器前段を示す概略図である。

【図4A】図4Aは、本発明の教示に従った、図3Aのアナログ受信器前段のフィルタ済み信号の例示的な波形を示すタイミング図である。

【図4B】図4Bは、本発明の教示に従った、図3Bのアナログ受信器前段のフィルタ済み信号の例示的な波形を示すタイミング図である。

【図5A】図5Aは、本発明の教示に従った、図1の例示的なアナログ受信器前段を示す概略図である。

50

【図 5 B】図 5 B は、本発明の教示に従った、図 1 の例示的なアナログ受信器前段を示す概略図である。

【図 6】図 6 は、本発明の教示に従った、通信リンクを使用して送信器と受信器及びアナログ受信器前段との間で通信し得る例示的なスイッチコントローラーを示す。

【図 7】図 7 は、本発明の教示に従った、送信器と受信器及びアナログ受信器前段との間で通信する通信リンクを使用するスイッチコントローラーを使用する例示的な電力変換システムである。

【発明を実施するための形態】

【0017】

図面中の複数の図にわたり、対応する参照符号は、対応する構成要素を示す。当業者は、図中の要素が、簡潔かつ明確であるように描かれていることと、必ずしも一定の縮尺で描かれていないことを理解すると考えられる。例えば、本発明の様々な実施形態をより理解しやすくするため、図中のいくつかの要素の寸法が、他の要素より誇張されている場合がある。さらに、市販に適した実施形態で有用または必要な、一般的だがよく理解されている要素は、多くの場合、本発明に係るこれらの様々な実施形態の図が見づらくなならないように、描かれていない。

【0018】

以下の説明では、本発明を十分に理解できるように、多くの具体的な詳細事項が記載されている。本発明を実施する際に具体的な詳細事項を必ずしも使用する必要がないことが、当業者には明らかだと考えられる。他の例では、本発明が理解しにくくならないように、よく知られた材料または方法は、詳細には説明されていない。

【0019】

本明細書中の、「一実施形態 (one embodiment)」、「一実施形態 (an embodiment)」、「一例 (one example)」または「例 (an example)」についての言及は、実施形態または例に関連して説明されている特定の特徵、構造または特性が、本発明の少なくとも 1 つの実施形態に含まれることを意味する。従って、本明細書中の様々な場所で「一実施形態において (in one embodiment)」、「一実施形態において (in an embodiment)」、「一例 (one example)」または「例 (an example)」という語句が使用されていても、必ずしもすべてが同じ実施形態または実施例を参照しているわけではない。さらに、1 つ以上の実施形態または例において、特定の特徵、構造または特性は、任意の適切な組み合わせ、及び/または部分的組み合わせで組み合わせられ得る。特定の特徵、構造または特性は、説明されている機能を提供する集積回路、電子回路、結合論理回路、または他の適切な構成要素に含まれ得る。加えて、本明細書と共に提供される図が当業者への説明を目的としていることと、図面が必ずしも一定の縮尺で描かれているわけではないことが理解される。

【0020】

上述のとおり、通信システムは、誘導結合を使用して送信器と受信器との間で情報を送信し得る。信号は、送信導体を通して流れる電流を変化させることにより、受信器に送信され得る。変化する電流は、受信導体の端部間に電圧を誘導する。場合によっては、送信器により送信される信号は、略方形パルス波形であり得る。受信された電圧は、受信された電圧がどれほど速く振動するか（一般的に、「周波数」と呼ばれる）と、振動の大きさ（一般的に、「振幅」と呼ばれる）とにより特徴付けられ得る正弦波形に似たものであり得る。場合によっては、受信器は、受信された電圧を閾値電圧と比較することにより、パルスの送信を識別し得る。しかし、弱い誘導結合の場合、受信された電圧の振幅は、比較的小さいものであり得る。閾値電圧は、受信された信号の検出に寄与するように、基準に近いものであり得る。しかし、閾値電圧の低い受信器は、ノイズに対して高感度であり得、受信器が、ノイズを、送信された信号と誤解し得る。さらに、受信された信号の周波数は、比較的高いものであり得る。従って、受信器内の回路は、受信された信号の周波数で動作する程度に十分速くなければならない。加えて、短い誘導電圧を変換するため、受信

回路がほとんどの時間で動作状態になければならないので、回路の電流消費量は、低くなければならない。

【 0 0 2 1 】

本発明で、場合によっては、アナログ受信器前段は、第 1 の増幅回路と第 2 の増幅回路と、入力ヒステリシス回路とを含み得る。アナログ受信器前段は、受信された信号をフィルタして、第 1 の増幅段にフィルタ済み信号を出力する高域通過フィルタをさらに含み得る。第 1 の増幅回路は、フィルタ済み信号と閾値との間の差分を増幅し得る。パルスは、フィルタ済み信号が閾値に達したときに検出され得る。検出されたパルスの持続期間は、フィルタ済み信号が閾値を逆方向に再度横断するために必要な時間として使用され得る。場合によっては、フィルタ済み信号が閾値を逆方向に再度横断するために必要な時間が増加するように、入力ヒステリシス回路は、フィルタ済み信号と閾値とのいずれかをレベルシフトすることにより、パルスに起因した初期閾値の横断に応答し得る。従って、検出されたパルスの持続期間が増加したように見え、受信された信号を他の回路が処理しやすくする。場合によっては、第 2 の増幅回路は、カレントミラーを含み得る。第 2 の増幅回路は、第 1 の増幅回路から出力される、より長く見える持続期間のパルスに응答し得る。第 2 の増幅回路は、第 1 の増幅段の出力の電圧を制限し得る。仮に、第 1 の増幅段の出力電圧が高いとすると、第 1 の増幅段の出力における正味の静電容量が、帯電と放電とに、より長い時間を必要とすることになる。対称的に、第 1 の増幅段の出力の電圧を制限する第 2 の増幅段は、出力電圧の振幅を制限することにより、第 1 の増幅段の速度を改善し得る。

【 0 0 2 2 】

コントローラーの様々な部分が互いに直流絶縁されている電力スイッチ用コントローラー内などのノイズの多い環境で、このようなアナログ受信器前段が、特に有益であり得る。特に、電力スイッチによりスイッチングされた電力は、誘導結合をまたいで送信された信号の電力より、はるかに大きなものであり得る。例えば、電力スイッチは、100台、または、さらには1000台のボルトをスイッチングし得る一方、送信された信号は、100台のmV以下であり得る。従って、誘導結合をまたいで送信された信号を区別できるアナログ受信器前段は、重要である。

【 0 0 2 3 】

さらに、提案されたアナログ受信器前段は、いくぶん遅い技術（長いノード遅いトランジスタ）を使用して実装され得る。このような比較的遅い技術は、高電圧容量を伴うので、他の回路要素に有益であり得る。

【 0 0 2 4 】

第 1 の増幅回路と第 2 の増幅回路との両方を含み、第 2 の回路がカレントミラーであるアナログ受信器前段では、10 ns 以下、例えば、5 ns 以下の持続期間をもつパルスなどの高周波信号に第 1 の増幅回路が応答できる。適切なフィルタ処理を通すことで、このようなパルスは、はるかに高い電圧をスイッチングする電力スイッチによってもたらされるノイズからさえ区別され得る。特に、誘導結合の受信ループは、受信ループにより受信される、より低い周波数成分を除去するフィルタに接続され得る。より低い周波数成分が除去された後でも、送信されたパルスを検出する受信器閾値は、過度に低く設定され得ない。受信ループ上のノイズは、そのような過度に低い閾値を横断し得るからである。しかし、より高い閾値、すなわち、送信された信号に対して、受信器がより選択的に、または排他的にさえ応答できるようにするものは、受信器に、信号の比較的小さな一部にのみ応答させることとなる。言い換えると、受信ループ上の信号が正弦信号に似ている場合、検出閾値が、ゼロ電圧付近（すなわち、信号の極小値における）から、中間電圧（すなわち、理想的な正弦波の傾きの変曲における）を通して、受信された信号の最大電圧へと増加すると、信号の見かけの持続期間は減少する。最後に、検出閾値が振動の振幅の極大値を上回ると、受信ループ上の信号の見かけの持続期間が完全に消失する。

【 0 0 2 5 】

見かけの持続期間が完全に消えないとしても、実際には、受信ループ上の信号の見かけ

10

20

30

40

50

の持続期間が、下流の回路による後工程のため、十分大きいまま維持されることが好ましい。例えば、場合によっては、下流のデジタル回路は、パルス周波数のデューティ比50%の約25%内、例えば、パルス周波数のデューティ比50%の10%内の見かけの持続期間をもつパルスにより、最良に動作し得る。10ns以下、例えば、5ns以下の持続期間をもつパルスの場合、これは、パルスが1.5から3.5nsの間の見かけの持続期間をもつことを意味する。

【0026】

これらの、及び、他の課題は、以下に説明されるように、ヒステリシスを利用することにより対処され得る。ヒステリシスは、パルスの最初の認識に応答して、受信されたパルスが閾値を上回る、または閾値未満に維持される時間が延長されるように設定され得る。例えば、パルスの検出のため、50から200mVの間の初期閾値が設定され得る。その閾値が、20~80mVぶん減少または増加（または、信号レベルが増加または低減）して、パルスの見かけの持続期間を延長し得る。閾値または信号レベルの変化にもかかわらず、ノイズ感度は増加しない。

【0027】

まず、図1を参照すると、アナログ受信器前段102は、フィルタ108と第1の増幅回路110と第2の増幅回路112と出力回路113と入力ヒステリシス回路114とを含む。さらに、図2に、受信された信号 U_R 104とフィルタ済み信号 U_F 116と第1の信号 U_1 118と第2の信号 U_2 120とヒステリシス信号 U_H 117とが図示されている。場合によっては、受信された信号 U_R 104は、磁気結合された導体を介して通信された信号の受信に起因した誘導電圧または電流であり得る。

【0028】

フィルタ108は、受信された信号 U_R 104から比較的低い周波数成分をフィルタするように接続されている。図示されたアナログ受信器前段102において、フィルタ108は、静電容量121と抵抗122とを含む高域通過フィルタとして示されている。フィルタ108は、フィルタ済み信号 U_F 116を第1の増幅回路110に出力する。第1の増幅回路110は、フィルタ済み信号 U_F 116と閾値との間の差分を増幅して、結果として得られる差分を第1の信号 U_1 118として出力する。第1の増幅回路110は、入力ヒステリシス回路114からヒステリシス信号 U_H 117を受信するようにも接続されている。さらに説明するように、ヒステリシス信号 U_H 117は、再生信号 U_{REC} 106に
30 応答して、第1の増幅回路110のフィルタ済み信号 U_F 116と閾値とのいずれかまたは両方をレベルシフトし得る。

【0029】

第2の増幅回路112は、第1の信号 U_1 118を受信するように接続されている。動作時、第2の増幅回路112は、第1の信号 U_1 118を増幅することと、反転することとを行い、さらに、結果を第2の信号 U_2 120として出力する。場合によっては、第2の増幅回路112は、カレントミラーを含み得る。増幅の程度は、カレントミラーに含まれているトランジスタ間の比により影響を受け得る。第2の増幅回路112におけるカレントミラーの使用は、第1の増幅回路110（図3に示すQ1324）の出力抵抗があまり高くない場合でも、規定の閾値が第1の増幅回路110において設定されるようにする。従って、さらに後述するように、第1の信号 U_1 118におけるパルスの増幅は、このようなパルスが、フィルタ済み信号 U_F 116の場合より U_1 118の場合の方が長い持続期間を有することにより改善され得る。第2の増幅回路112（さらなる例においてカレントミラーとして示されている）は、さらに、第1の増幅回路110の出力電圧の振幅と、第1の増幅回路110と第2の増幅回路112との間の端子における接続されたすべての回路の正味の静電容量とを制限することに起因した、第1の信号 U_1 118の立ち上がり時間と立ち下がり時間とを低減し得る。出力回路113は、第2の信号 U_2 120を受信することと、再生信号 U_{REC} 106を出力することとを行うように接続されている。第2の信号 U_2 120は、実質的に正弦アナログ信号に似たものであり得る。出力回路113は、アナログ信号をハイセクションとローセクションとの持続
40
50

期間が変化する方形パルス波形に変換する。場合によっては、出力回路 113 は、第 2 の信号 U_2 120 を 2 回反転してデジタル波形を出力する 2 つのインバーターを含み得る。従って、再生信号 U_{REC} 106 は、ハイセクションとローセクションとの持続期間の変化する方形パルス波形であり得る。場合によっては、第 1 のインバーター（図 3 において、インバーター 331 として示されている）は、電流モード入力をもつように実装され得る。

【0030】

動作時、再生信号 U_{REC} 106 は、フィルタ済み信号 U_F 116 が第 1 の増幅回路 110 の閾値を横断したことに応答して、ロー値からハイ値に遷移し得、フィルタ済み信号 U_F 116 が、その後、（レベルシフトされている可能性がある）閾値を逆方向に横断したことに応答して、ハイ値からロー値に遷移し得る。言い換えると、再生回路 102 は、まず、フィルタ済み信号 U_F 116 が第 1 の増幅回路 110 の閾値を横断したときに、受信されたパルスを検出し、フィルタ済み信号 U_F 116 が、第 1 の増幅回路 110 の（レベルシフトされている可能性がある）閾値を次に横断したときに、受信されたパルスの終端を検出する。

【0031】

入力ヒステリシス回路 114 は、受信されたパルスの見かけの持続期間を増加させるように接続され得る。これが、本明細書で説明される状態により、再生信号 U_{REC} 106 がハイである時間を増加させる。場合によっては、入力ヒステリシス回路 114 は、パルスの最初の検出（すなわち、再生信号 U_{REC} 106 の前エッジの検出）に応答して、フィルタ済み信号 U_F 116 のレベルシフトを開始し得る。レベルシフトは、レベルシフトされたフィルタ済み信号 U_F 116 が、逆方向ではあるが再度閾値を横断するのに必要な時間を増加させ得る。言い換えると、レベルシフトは、フィルタ済み信号 U_F 116 と閾値との間の差分を増加させ得る。示された論理により、レベルシフトされたフィルタ済み信号 U_F 116 が第 1 の増幅回路 110 の閾値を次に横断したときに、再生信号 U_{REC} 106 がロー値に戻る。フィルタ済み信号 U_F 116 がレベルシフトされていない場合の持続期間に比べて、再生信号 U_{REC} 106 のハイ値の見かけの持続期間が増大する。他の場合において、入力ヒステリシス回路 114 は、パルスの最初の検出（例えば、再生信号 U_{REC} 106 の前エッジの検出）に応答して、第 1 の増幅段の閾値をレベルシフトし得る。このようなレベルシフトは、さらに、フィルタ済み信号 U_F 116 が第 1 の増幅段 110 の閾値を逆方向に横断するために必要な時間を増加させ得る。例えば、閾値は、レベルシフトされて、閾値とフィルタ済み信号 U_F 116 との間の差分を増加させ得る。従って、フィルタ済み信号 U_F 116 がレベルシフトされた閾値を再度横断するために必要な時間が増加し、検出パルスの見かけの持続期間が増加する。場合によっては、入力ヒステリシス回路 114 は、パルスの最初の検出に応答して、第 1 の増幅段のフィルタ済み信号 U_F 116 と閾値との両方をレベルシフトし得る。このようなレベルシフトは、同時に、または、異なる時点で開始し得る。

【0032】

図 2 は、フィルタ済み信号 U_F 216 と第 1 の信号 U_1 218 と第 2 の信号 U_2 220 と再生信号 U_{REC} 206 との例示的な波形を含むタイミング図 200 である。示されるように、第 1 の信号 U_1 218 は、フィルタ済み信号 U_F 216 と閾値 V_{REF} 236 との間の差分の増幅である。閾値 V_{REF} 236 は、図 1 に関連して説明した第 1 の増幅回路の閾値である。第 2 の信号 U_2 220 は、第 1 の信号 U_1 218 のさらなる増幅と反転とであり得る。第 1 の信号 U_1 218 と第 2 の信号 U_2 220 とにおける y 軸のスケールは、異なってもよい。示されるように、フィルタ済み信号 U_F 216 と第 1 の信号 U_1 218 と第 2 の信号 U_2 220 とは、概ね、正弦波形に似ている。しかし、信号の波形が、他の形状に似たものであり得ることが理解されるべきである。図 1 の出力回路は、第 2 の信号 U_2 220 を受信して、実質的に長方形の信号 U_{REC} 206 を出力する。フィルタ済み信号 U_F 216 が閾値 V_{REF} 236 を横断したとき、信号 U_{REC} 206 がハイ値からロー値に遷移し、逆も同様である。特に、フィルタ済み信

10

20

30

40

50

号 U_{F216} が閾値 V_{REF236} 未満に立ち下がったとき、再生信号 U_{REC206} がロー値からハイ値に遷移する。フィルタ済み信号 U_{F216} が閾値 V_{REF236} を逆方向に再度横断したとき、再生信号 U_{REC206} がハイ値からロー値に遷移する。前述のとおり、フィルタ済み信号 U_{F216} と閾値 V_{REF236} とのいずれかまたは両方が、様々な時点でレベルシフトされ得る。再生信号 U_{REC206} がハイである持続期間は、見かけの再生パルス幅 T_{PW238} と呼ばれる場合がある。フィルタ済み信号 U_{F216} と閾値 V_{REF236} とのいずれかまたは両方にレベルシフトを適用することにより、見かけの再生パルス幅 T_{PW238} の持続期間が増加する。

【0033】

図3Aは、前述のアナログ受信器前段102の一例であるアナログ受信器前段302を示す。アナログ受信器前段302は、フィルタ308と第1の増幅回路310と第2の増幅回路312と出力回路313と入力ヒステリシス回路314とを含む。

10

【0034】

フィルタ308は、高域通過フィルタとして、まとめて接続された静電容量321と抵抗322、323とを含む。フィルタ308は、受信された信号 U_R304 を受信することと、フィルタすることとを行い、さらに、フィルタ済み信号 U_{F316} を出力する。フィルタ済み信号 U_{F316} は、抵抗322、323をまたいで低減する。フィルタ308の前の任意選択的な静電容量（図5に示す静電容量550など）は、図3Aに示されていない。任意選択的な静電容量の一端は、受信された信号 U_R304 に接続され得、他端は V_{SS} に接続されている。ノイズ耐性を改善する任意選択的な静電容量は、また、送信器の寄生出力キャパシタンスにより、または、アナログ受信器前段302の入力に接続された他の構成要素により内在的に提供され得る。

20

【0035】

第1の増幅回路310は、コモンゲート差動増幅器としてまとめて接続された、トランジスタ $Q1324$ と、 $Q2325$ と、電流 I_2 を出力する電流源326と、電流 I_3 を出力する電流源327と、抵抗337とを含む。トランジスタ $Q2325$ のソースは、抵抗337に接続されている。抵抗337とトランジスタ $Q2325$ のソースとの間のノードにおける電圧は、図1と図2とに関連して前述した閾値 V_{TH336} である。トランジスタ $Q1324$ のソースは、フィルタに通され電圧 U_{F316} を受信するように接続されている。第1の増幅回路310の出力（第1の信号 U_1318 ）は、電流源326の電流 I_2 からトランジスタ $Q1324$ のドレイン電流を減算したものである。第1の増幅回路310は、フィルタ済み信号 U_{F316} と閾値 V_{TH336} との間の差分を増幅する。示されるように、閾値 V_{TH336} は、基準 V_{SS} より大きい。場合によっては、受信された信号 U_R304 の各々に対して実効性のある閾値は、負の値であり得、DC条件下で閾値 V_{TH336} から電圧 U_{F316} を減算することにより与えられる。従って、アナログ受信器前段302は、受信された信号 U_R304 の負の振動から、パルスを識別し得る。場合によっては、トランジスタ $Q1324$ と $Q2325$ との大きさと相互コンダクタンスとは、比較的低いものであり得るが、十分な整合を提供する程度に十分大きいものであり得る。

30

【0036】

第2の増幅回路312は、カレントミラーとしてまとめて接続された、トランジスタ $Q3328$ と、 $Q4329$ と、電流 I_4 を伴う電流源330とを含む。トランジスタ $Q4329$ のドレイン・ソース電流は、トランジスタ $Q3328$ のドレイン・ソース電流の増幅されたバージョンである。増幅の程度は、トランジスタ $Q3328$ と $Q4329$ との大きさの比（1：N）により決定される。場合によっては、トランジスタ $Q4329$ を通る電流は、トランジスタ $Q3328$ を通る電流の2倍であり得る。加えて、第2の増幅回路312は、第1の信号 U_1318 を反転する。第2の増幅回路312の出力（第2の信号 U_2320 ）は、トランジスタ $Q4329$ のドレイン電圧である。場合によっては、第2の増幅段312のカレントミラー比が実質的に2であるとき、電流源326の電流 I_4 は、電流源330の電流 I_2 に実質的に等しい。従って、フィルタ

40

50

済み信号 $U_F 316$ が閾値 $V_{TH} 336$ を横断すると、第2の信号 $U_2 320$ が切り替わる。加えて、電流源 330 の電流 I_2 は、電流源 327 の電流 I_3 の2倍であり得る。第2の増幅回路 312 におけるカレントミラーの使用により、第1の増幅回路 310 において規定の閾値が設定可能となる。第1の信号 $U_1 318$ におけるパルスの増幅は、レベルシフトに起因してこのようなパルスがより長いパルス幅持続期間をもつように見えるので、改善され得る。トランジスタ $Q3 328$ が $U_1 318$ の電圧の振動を制限するので、カレントミラーは、さらに、第1の信号 $U_1 318$ の立ち上がり時間と立ち下がり時間とを低減し得る。加えて、第1の増幅段の出力電圧レベル（第1の信号 $U_1 318$ ）が動作範囲内であるように、第2の増幅回路 312 の入力インピーダンス（及び、特に、トランジスタ $Q3 328$ の入力インピーダンス）は、ゼロより大きく設定されなければならない。さらに、第2の増幅回路 312 の動作は、第1の増幅回路 310 のトランジスタが飽和領域で動作するように設定される。

10

【0037】

出力回路 313 は、インバーター 331 、 332 を含み、第2の信号 $U_2 220$ を受信することと、再生信号 $U_{REC} 306$ を出力することとを行うように接続されている。出力回路 313 は、第2の信号 $U_2 120$ を2回反転して、略方形パルス波形を出力得る。従って、再生信号 $U_{REC} 306$ は、ハイセクションとローセクションとの持続期間の変化する略方形パルス波形であり得る。

【0038】

インバーター 333 は、出力回路 313 と入力ヒステリシス 314 との間に接続されており、再生信号 $U_{REC} 306$ を反転する。しかし、インバーター 331 と 332 との間の電圧も、入力ヒステリシス回路 314 により受信され得る。入力ヒステリシス回路 314 は、制御される電流源 335 を含む。制御される電流源 335 は、インバーター 333 （反転した再生信号 346 ）の出力により、例えば、再生信号 $U_{REC} 306$ により制御される。制御される電流源 335 により提供される電流は、前述のヒステリシス信号の一例であり得る。図示された論理の場合、制御される電流源 335 から出力された電流 I_1 の値は、反転した再生信号 346 がロー（すなわち、再生信号 $U_{REC} 306$ がハイ）である場合、実質的にゼロであり、反転した再生信号 346 がハイ（すなわち、再生信号 $U_{REC} 306$ がロー）である場合、実質的に非ゼロである。場合によっては、入力ヒステリシス 314 は、どれだけの電流を入力ヒステリシス 314 が提供するかを制御ため、再生信号 $U_{REC} 306$ と反転した再生信号 346 との両方を受信し得る。

20

30

【0039】

動作時、入力ヒステリシス回路 314 は、フィルタ済み信号 $U_F 316$ と基準電圧 V_S との間の差分を増加させる非ゼロの電流 I_1 を提供する。図示された実施態様において、フィルタ済み信号 $U_F 316$ が閾値 $V_{TH} 336$ 未満に立ち下がったことの検出にตอบสนองして、再生信号 $U_{REC} 306$ がハイ値に遷移する。続いて、ハイの再生信号 $U_{REC} 306$ が、入力ヒステリシス回路 314 を動作させることで出力電流 I_1 を（例えば、電流 I_1 が実質的にゼロであるように）低減させ、フィルタ済み信号 $U_F 316$ を閾値 $V_{TH} 336$ 未満のさらに下方にレベルシフトする。再生信号 $U_{REC} 306$ におけるハイ状態の持続期間は、レベルシフト信号 $U_F 316$ が閾値 $V_{TH} 336$ 未満に立ち下がる時と、続いて、閾値 $V_{TH} 336$ を上回るように立ち上がる時の間の時間に対応する。ヒステリシス回路 314 がフィルタ済み信号 $U_F 316$ をさらに負に駆動することにより、再生信号 $U_{REC} 306$ におけるハイ状態の持続期間が延長される。

40

【0040】

再生信号 $U_{REC} 306$ がロー値に遷移したことにตอบสนองして、入力ヒステリシス回路 314 は、電流 I_1 を増加させ（例えば、電流 I_1 が、非ゼロ値に設定され）、フィルタ済み信号 $U_F 316$ が上方へとレベルシフトされる。非ゼロの電流 I_1 により、フィルタ済み信号 $U_F 316$ は、 V_{SS} に対して立ち上がる。

【0041】

図3Bは、他の例示的な前述のアナログ受信器前段 102 であるアナログ受信器前段 3

50

03を示す。アナログ受信器前段303は、フィルタ308と第1の増幅回路310と第2の増幅回路312と出力回路313と入力ヒステリシス回路314とを含む。アナログ受信器前段303は、ノイズ耐性を改善する任意選択的な静電容量（図示せず）をさらに含み得る。図3Bに示すアナログ受信器前段303は、入力ヒステリシス回路314が電圧閾値 $V_{TH}336$ を設定する可変抵抗337を含むという点で、図3Aに示すアナログ受信器前段302とは異なる。図示されるように、可変抵抗337の抵抗（及び、閾値 $V_{TH}336$ の大きさ）は、反転した再生信号346により制御される。

【0042】

動作時、可変抵抗337は、まず、閾値 $V_{TH}336$ が第1の値に実質的に等しくなるように設定され得る。フィルタ済み信号 U_F316 が閾値 $V_{TH}336$ 未満に立ち下がったときに、パルスが検出される。それに応答して、再生信号 $U_{REC}306$ がハイ値に遷移する。ハイの再生信号 $U_{REC}306$ は、続いて、入力ヒステリシス回路314を動作させることで、可変抵抗337の抵抗を増加させ、閾値 $V_{TH}336$ を増加させ、それを基準電圧 V_{SS} から離れるようにさらに動かす。フィルタ済み信号 U_F316 が閾値 $V_{TH}336$ 未満である場合、閾値 $V_{TH}336$ の値の増加は、フィルタ済み信号 U_F316 と閾値 $V_{TH}336$ との間の差分の絶対値を増加させる。再生信号 $U_{REC}306$ におけるハイ状態の持続期間は、フィルタ済み信号 U_F316 が閾値 $V_{TH}336$ 未満に立ち下がる時と、続いて、上昇した閾値 $V_{TH}336$ を上回るように立ち上がる時との間の時間に対応する。ヒステリシス回路314が閾値 $V_{TH}336$ を増加させることにより、再生信号 $U_{REC}306$ におけるハイ状態の持続期間が延長される。再生信号 $U_{REC}306$ がロー値に遷移したことに応答して、入力ヒステリシス回路314は、可変抵抗337の抵抗を減少させることにより、再度、閾値 $V_{TH}336$ をレベルシフトする。一般的に、閾値 $V_{TH}336$ は、最初に設定された第1の値に戻る。

【0043】

図4Aは、図3Aのアナログ受信器前段のフィルタ済み信号 U_F416 （太い実線として示す）を示すタイミング図400である。明確となるように、図4Aの時間スケールは、図2の時間スケールより拡大されている。これにより、図4Aは、フィルタ済み信号 U_F316 をより負の値にレベルシフトする非ゼロの電流を入力ヒステリシス回路314が提供するときの、図3Aに示す入力ヒステリシス回路314とフィルタ済み信号 U_F416 の電流 I_1 との効果を示すことができる。図4Aでは、細い実線439が、電流 I_1 が印加された場合のフィルタ済み信号を表すのに対し、点線440は、電流 I_1 が印加されていないときのフィルタ済み信号を示す。

【0044】

フィルタ済み信号 U_F416 が閾値 $V_{TH}436$ 未満に立ち下がったことに応答して、電流 I_1 が印加されなくなり、フィルタ済み信号 U_F416 が下方へとレベルシフトされる。このレベルシフトされたフィルタ済み信号 U_F416 と閾値 $V_{TH}436$ との間の差分の絶対値は、電流 I_1 を印加したときのフィルタ済み信号439と閾値 $V_{TH}436$ との間の差分の絶対値より大きい。フィルタ済み信号 U_F416 は、フィルタ段（段階）内の静電容量が充電されるにつれて、徐々に点線440へと遷移する。下方シフトされたフィルタ済み信号 U_F416 が、閾値 $V_{TH}436$ を上回るように立ち上がると、電流 I_1 が、再度、印加されて、フィルタ済み信号 U_F416 が、徐々に細い実線439へと遷移する。入力フィルタ308の大きさは、時定数がパルス幅程度であるように選択され得る。

【0045】

図示されるように、検出されたパルスの持続期間は、フィルタ済み信号 U_F416 が閾値 $V_{TH}436$ 未満である時間長である。入力ヒステリシス回路がない場合、検出されたパルス幅は、実質的に $T_{IW}441$ となる。しかし、入力ヒステリシス回路がある場合、検出されたパルス幅は、実質的に $T_{PW}438$ となる。示されるように、パルス幅 $T_{IW}441$ の持続期間は、パルス幅 $T_{PW}438$ の持続期間より短い。従って、アナログ受信器前段は、より長いパルス幅を再生し得る。

【 0 0 4 6 】

図 4 B は、図 3 B のアナログ受信器前段のフィルタ済み信号 $U_F 4 1 6$ と閾値 $V_{TH} 4 3 6$ とを示すタイミング図 4 0 1 である。

【 0 0 4 7 】

フィルタ済み信号 $U_F 4 1 6$ が閾値 $V_{TH} 4 3 6$ 未満に立ち下がったことに応答して、閾値 $V_{TH} 4 3 6$ が値 4 4 3 にレベルシフトされる。フィルタ済み信号 $U_F 4 1 6$ が値 4 4 3 における閾値 V_{TH} を上回るように立ち上がったことに応答して、閾値 $V_{TH} 4 3 6$ の値が値 4 4 2 に戻る。検出されたパルスの持続期間は、フィルタ済み信号 $U_F 4 1 6$ が閾値 $V_{TH} 4 3 6$ 未満である時間である。入力ヒステリシス回路がない場合、検出されたパルス幅は、実質的に $T_{IW} 4 4 1$ である。しかし、入力ヒステリシス回路がある場合、
10 検出されたパルス幅は、実質的に $T_{PW} 4 3 8$ である。示されるように、パルス幅 $T_{IW} 4 4 1$ の持続期間は、パルス幅 $T_{PW} 4 3 8$ の持続期間より短い。従って、閾値 $V_{TH} 4 3 6$ をレベルシフトすることにより、信号経路における寄生を増やさずに、かつ、電流源を増やさずに、検出されたパルス幅を延長する。

【 0 0 4 8 】

図 5 A は、他の例示的な前述のアナログ受信器前段 1 0 2 であるアナログ受信器前段 5 0 2 を示す。アナログ受信器前段 5 0 2 は、フィルタ 5 0 8 と第 1 の増幅回路 5 1 0 と第 2 の増幅回路 5 1 2 と出力回路 5 1 3 と入力ヒステリシス回路 5 1 4 とを含む。図 5 A に示すアナログ受信器前段 5 0 2 は、第 2 の増幅回路 5 1 2 がトランジスタ $Q 3 5 2 8$ と、トランジスタ $Q 4 5 2 9$ と、電流制御される電流源としてまとまって接続された電流
20 源 5 3 0 とを含むという点で、図 3 A に示すアナログ受信器前段 3 0 2 とは異なる。特に、トランジスタ $Q 3 5 2 8$ とトランジスタ $Q 4 5 2 9$ と電流源 5 3 0 とが、非線形カレントミラーまたは 4 端子電流モード増幅器としてまとまって接続されている。図示されるように、トランジスタ $Q 3 5 2 8$ は、PMOS トランジスタであり得、トランジスタ $Q 1 5 2 4$ をまたいで接続される。言い換えると、トランジスタ $Q 3 5 2 8$ のドレインは、トランジスタ $Q 1 5 2 4$ のソースに接続されており、トランジスタ $Q 3 5 2 8$ のソースは、トランジスタ $Q 1 5 2 4$ のドレインに接続されている。さらに、トランジスタ $Q 3 5 2 8$ のドレインは、フィルタ済み信号 $U_F 5 1 6$ に接続されている。第 1 の信号 $U_1 5 1 8$ は、トランジスタ $Q 3 5 2 8$ のソースと $Q 4 5 2 9$ のゲートとにおいて受信される。さらに、トランジスタ $Q 3 5 2 8$ のゲートは、基準 V_{SS} に接続され
30 ている。さらに、第 2 の増幅回路 5 1 2 の動作は、第 1 の増幅回路 5 1 0 のトランジスタが飽和領域で動作するように設定される。さらに、図 5 A に、ノイズ耐性を改善するのに使用され得る任意選択的な静電容量 5 5 0 が図示されている。ノイズ耐性を改善する任意選択的な静電容量は、また、送信器またはアナログ受信器前段の入力に接続された他の構成要素の寄生出力キャパシタンスにより提供され得る。

【 0 0 4 9 】

動作時、第 2 の増幅段は、第 2 の増幅段 5 1 2 への入力電流を増幅して、トランジスタ $Q 4 5 2 9$ のドレインにより出力される。従って、第 2 の増幅段の出力 5 1 2 は、トランジスタ $Q 4 5 2 9$ と電流源 $I_4 5 3 0$ との結果としての電圧 $U_2 5 2 0$ である。トランジスタ $Q 4 5 2 9$ のドレイン・ソース電流は、トランジスタ $Q 3 5 2 8$ の増幅
40 されたバージョンのソース・ドレイン電流であり、増幅は、非線形であり得る。しかし、第 1 の増幅回路 5 1 0 と第 2 の増幅回路 5 1 2 との間のノードにおける正味の静電容量は、図 3 A と図 3 B とに示すアナログ受信器前段に比べて低減され得、回路全体の速度を改善し得る。

【 0 0 5 0 】

図 5 B は、他の例示的な前述のアナログ受信器前段 1 0 2 であるアナログ受信器前段 5 0 3 を示す。アナログ受信器前段 5 0 3 は、フィルタ 5 0 8 と第 1 の増幅回路 5 1 0 と第 2 の増幅回路 5 1 2 と出力回路 5 1 3 と入力ヒステリシス回路 5 1 4 とを含む。図 5 B に示すアナログ受信器前段 5 0 3 は、第 2 の増幅回路 5 1 2 が、カレントミラーまたは非線
50 形カレントミラーとしてまとまって接続された、トランジスタ $Q 3 5 2 8$ とトランジス

タQ4 529と電流源530とを含むという点で、図3Aに示すアナログ受信器前段302とは異なる。図示されるように、トランジスタQ3 528は、NMOSトランジスタであり得、トランジスタQ1 524をまたいで接続されている。言い換えると、トランジスタQ3 528のドレインは、トランジスタQ1 524のドレインに接続されており、トランジスタQ3 528のソースは、トランジスタQ1 524のソースに接続されている。言い換えると、Q3 528のソースは、フィルタ済み信号 U_F 516に接続され得る。さらに、トランジスタQ3 528のゲートは、それ自身のドレインとトランジスタQ4 529のゲートとに接続されている。第1の信号 U_1 518は、Q3 528のドレインとゲートと、Q4 529のゲートとにおいて受信される。さらに、第2の増幅回路512の動作は、第1の増幅回路510のトランジスタが飽和領域で動作するように設定される。一例において、閾値電圧 V_{TH} 536は、基準 V_{SS} と実質的に等しい値であり得る。

【0051】

動作時、第2の増幅段512は、第2の増幅回路512への入力電流を増幅し、それは、トランジスタQ4 529のドレインにより出力される。従って、第2の増幅段の出力512は、トランジスタQ4 529と電流源 I_4 530との結果としての電圧 U_2 520である。さらに、電流源526により提供される電流 I_2 の全体が、抵抗522、523を通して流れる。従って、図3Aと図3Bとに比べて、抵抗522と523とは、より小さなものであり得、同じ電流 I_2 526に対して、フィルタ済み信号 U_F 516と閾値 V_{TH} 536との間の同じ初期差分に到達し得る。その結果、静電容量521は、フィルタ済み信号 U_F 516の寄生容量の影響を低減し得るような、より大きなものであり得る。加えて、フィルタ済み信号 U_F と第1の信号 U_1 518とが同じ方向に変化するので、トランジスタQ3 528のゲート・ソース容量とドレイン・ソース容量とは、第1の信号 U_1 518に対して、より小さな減衰効果をもち得る。図6は、直流絶縁された送信器608と受信器610との間で通信する通信リンクを含むスイッチコントローラ602を含むシステム600を示す。システム600は、さらに、アナログ受信器前段616とスイッチコントローラ602とシステムコントローラ604と電力スイッチ606（IGBTとして図示されている）とを含む。スイッチコントローラ602は、送信器608（ドライバインターフェースとも呼ばれる）と、ガルバニック絶縁をまたいで送信される情報を受信する受信器610（駆動回路とも呼ばれる）と、ガルバニック絶縁を橋渡しする通信リンクを形成する誘導結合612とを含む

【0052】

誘導結合612は、送信ループ611と受信ループ613とを含む。送信ループ611は、一次ループ/巻線とも呼ばれ得る。受信ループ613は、二次ループ/巻線とも呼ばれ得る。ループ611とループ613とは、様々な異なる方法で磁気結合され得る。例えば、いくつかの実施態様において、ループ611とループ613とは、共通の高透磁率コアの周囲に巻かれ得、変圧器を形成し得る。しかし、他の実施態様において、ループ611とループ613とは、共通のコアを共有する必要はない。いくつかの実施態様において、ループ611とループ613とは、各々が、半導体チップパッケージのリードフレームにより少なくとも部分的に形成された単一ループのインダクタであり得、比較的小さなインダクタンスをもち得る。他の例として、ループ611とループ613とは、各々が、半導体チップの上部金属化層により少なくとも部分的に形成されたインダクタであり得る。

【0053】

図6は、さらに、電力スイッチ606にかかる電圧 V_{CE} 605と、電力スイッチ606の主端子間に流れる電流 I_{CE} 607と、電力スイッチ606がオンまたはオフのいずれであるべきかを示す信号を生成するためシステムコントローラ604により使用され得る情報を表す1つ以上のシステム入力620と、電力スイッチ606がオンまたはオフのいずれであるべきかを示す入力信号 U_{IN} 622と、送信器608により送信ループ611に印加される送信電圧 V_T 624と、送信ループ611を通して導通される送信電流 I_T 625と、送信電流 I_T 125の変化により受信器ループ626に誘導される受信器

電圧 $V_R 626$ (受信された信号 U_R の一例でもある) と、アナログ受信器前段 616 によって定まる送信信号である受信された信号 U_{REC} と、復号器回路 628 による再生信号 U_{REC} の復号化により得られる復号された信号 U_{DEC} と、電力スイッチ 606 を駆動するためドライバ 618 により出力される駆動信号 $U_D 630$ とを示す。

【0054】

動作時、システムコントローラ 604 は、システム入力 620 を受信して、システム入力 620 に基づいてスイッチコントローラ 602 が電力スイッチ 606 をオンに切り替えるべきか、または、オフに切り替えるべきかを判定するように接続されている。システムコントローラ 604 は、さらに、判定の結果を特徴付ける入力信号 $U_{IN} 622$ を生成する。

10

【0055】

スイッチコントローラ 602 の送信器 608 は、入力信号 $U_{IN} 622$ を受信するように接続されている。場合によっては、送信器 608 は、ドライバインターフェースであり得る。送信器 608 は、誘導結合 612 をまたいだ送信のため入力信号 $U_{IN} 622$ を符号化する。

【0056】

送信器 608 は、誘導結合 612 の磁気結合したループ 611 とループ 613 とを介して送信電圧 $V_T 624$ を受信器 610 に送信する。場合によっては、受信器 610 は、駆動回路であり得る。示されている例において、送信器 608 は、送信ループ 611 を通して、変化する送信器電流 $I_T 625$ を駆動し、これが、受信器ループ 613 において電圧 $V_R 626$ を誘導する。従って、受信器 610 は、送信器 608 から情報を受信する。

20

【0057】

図示された実施態様において、受信回路 610 は、アナログ受信器前段 616 と復号器回路 628 とドライバ 618 とを含む。ドライバ 618 は、駆動信号 $U_D 630$ を出力する。駆動信号 $U_D 630$ は、電力スイッチ 606 の制御端子において受信されて、電力スイッチ 606 のスイッチングを制御するように接続されている。図示された実施態様において、電力スイッチ 606 は、IGBTであり、駆動信号 $U_D 630$ は、IGBT 606 のゲート端子において受信される。アナログ受信器前段 616 は、前述のアナログ受信器前段であり得る。アナログ受信器前段 616 は、送信された信号を受信して、受信された信号 $V_R 626$ から、送信された信号を判定する。復号器回路 628 は、再生信号 U_{REC} を受信して、電力スイッチ 606 がオン状態からオフ状態に遷移すべきか、または、その逆かのいずれかを、受信された信号が示すのが判定するように接続されている。復号器回路 628 は、この判定の結果を特徴付ける復号された信号 U_{DEC} を出力する。

30

【0058】

図7は、アナログ受信器前段を含み得るスイッチコントローラを含む例示的な電力変換装置 700 を示す。電力変換装置 700 は、負荷 710 に電気エネルギーを提供する。電力変換装置 700 は、直列接続された2つの電力スイッチ 704 、 706 を含む。加えて、電力変換装置 700 は、入力電圧 702 (U_{IN}) を受信する。電力変換装置 700 は、電力スイッチ 704 、 706 のスイッチングを制御することにより、入力から負荷 710 に電気エネルギーを伝達するように設計されている。様々な実施態様において、電力変換装置 700 は、負荷に出力されるエネルギーの電圧、電流、または電力レベルを制御し得る。

40

【0059】

図7に示す例において、電力スイッチ 704 、 706 は、 n チャンネルIGBTである。しかし、本発明の例は、他の電力スイッチと組み合わせても使用され得る。例えば、金属-酸化物-半導体電界効果トランジスタ(MOSFET)、バイポーラトランジスタ、注入促進ゲートトランジスタ(IGET)及びゲートターンオフサイリスタ(GTOs)が、使用され得る。加えて、電力変換装置 700 は、窒化ガリウム(GaN)半導体または炭化ケイ素(SiC)半導体をベースとした電力スイッチと共に使用され得る。

【0060】

50

電力スイッチ704、706は、各々、第1の制御回路718と第2の制御回路720とにより制御される。第1のスイッチコントローラ718と第2のスイッチコントローラ720とは、前述のスイッチコントローラを含み得る。第1のスイッチコントローラ718と第2のスイッチコントローラ720とは、第1のIGBT704と第2のIGBT706とのスイッチングを制御する第1ゲートドライバ信号730と第2のゲートドライバ信号732と(U_{DR1} 、 U_{DR2})を提供する。2つの制御回路718、720は、任意選択的に、システムコントローラ714により制御され得る。このようなシステムコントローラは、システム入力信号716を受信するための入力を含み得る。図7に示す例において、ハーフブリッジ構成をとる2つの電力半導体スイッチが示されている。しかし、他の形態が、使用されてもよい。

10

【0061】

本発明に関して示された例についての上記の説明は、要約で説明されている事項を含め、網羅的であることも、開示されている形態そのものに限定することも意図されていない。本発明の特定の実施形態及び例は、本明細書において例示を目的として説明されており、本発明のより広い趣旨及び範囲から逸脱することなく様々な同等な変更が可能である。実際、具体的で例示的な電圧、電流、周波数、出力領域値、時間などが、説明のために提示されることと、本発明の教示に従った他の実施形態及び実施例において他の値も使用され得ることとが理解される。

【0062】

本発明は、付随した請求項で規定されるが、本発明は、さらに(代替的に)以下の実施形態に従って規定され得ることが理解されるべきである。

20

【0063】

実施形態

【0064】

1.

受信器コイルと、

受信器コイルに接続された第1の増幅段であって、

当該第1の増幅回路が、

a) 受信器コイルにより受信された信号の少なくとも一部と

b) 閾値と

の間の差分を増幅する、

当該第1の増幅段と、

第1の増幅段から増幅された差分を受信するように接続された第2の増幅段であって、

当該第2の増幅段が、カレントミラーを備える、

当該第2の増幅段と、

ヒステリシスレベルシフト回路であって、

受信器コイルにより受信された信号の少なくとも一部が閾値を横断したことに応答して、逆方向における閾値の横断が遅延されるように、

a) 受信器コイルにより受信された信号の一部、

b) 閾値、または

c) 受信器コイルにより受信された信号の一部と閾値と、

のレベルをシフトする、

当該ヒステリシスレベルシフト回路と、

を備えるデータ通信受信器。

30

40

【0065】

2.

カレントミラーが、第1の増幅段から増幅された差分を受信するように接続された入力を有し、

カレントミラーが、

第1のMOSFETであって、

50

- 制御端子と、
 電流増幅回路の入力に接続されたソース／ドレインの第１のものと、
 第１の基準電位に接続されたソース／ドレインの第２のものと、
 を有する当該第１のＭＯＳＦＥＴと、
 第２のＭＯＳＦＥＴであって、
 電流増幅回路の入力に接続された制御端子と、
 電流増幅回路の出力に接続されたソース／ドレインの第１のものと、
 第２の基準電位に接続されたソース／ドレインの第２のものと、
 を有する当該第２のＭＯＳＦＥＴと、
 を備え、
 動作時、第１のＭＯＳＦＥＴが導通状態を維持するように、第１のＭＯＳＦＥＴの制御
 端子がバイアスされる、
 実施形態１のデータ通信受信器。
 【００６６】
 ３．
 受信器コイルと、
 受信器コイルにより受信された信号から低周波数成分をフィルタすることとフィルタ済
 み信号を出力することとをするように接続されたフィルタ回路と、
 フィルタ済み信号を受信することと閾値を基準としたフィルタ済み信号の差分を増幅す
 ることとをするように接続された増幅回路と、
 ヒステリシスレベルシフト回路であって、
 フィルタ済み信号が閾値を横断したことに応答して、逆方向における閾値の横断が遅
 延されるように、
 a) 受信器コイルにより受信されたフィルタ済み信号の一部、
 b) 閾値、または
 c) フィルタ済み信号の一部と閾値との両方、
 のレベルをシフトする、
 当該ヒステリシスレベルシフト回路と、
 を備えるデータ通信受信器。
 【００６７】
 ４．
 増幅回路が、
 フィルタ済み信号と閾値との間の差分を増幅するように接続された第１の増幅段と、
 第１の増幅段から増幅された差分を受信するように接続された第２の増幅段であって
 、当該第２の増幅段がカレントミラーを備える、当該第２の増幅段と、
 を備える、
 実施形態３のデータ通信受信器。
 【００６８】
 ５．
 カレントミラーが第１の増幅段から増幅された差分を受信するように接続された入力を
 有し、
 カレントミラーが、
 第１のＭＯＳＦＥＴであって、
 制御端子と、
 電流増幅回路の入力に接続されたソース／ドレインの第１のものと、
 第１の基準電位に接続されたソース／ドレインの第２のものと、
 を有する当該第１のＭＯＳＦＥＴと、
 第２のＭＯＳＦＥＴであって、
 電流増幅回路の入力に接続された制御端子と、
 電流増幅回路の出力に接続されたソース／ドレインの第１のものと、

第 2 の基準電位に接続されたソース／ドレインの第 2 のもの、
を有する当該第 2 の MOS F E T と、

を備え、

動作時、第 1 の MOS F E T が導通状態を維持するように、第 1 の MOS F E T の制御
端子がバイアスされる、

実施形態 4 のデータ通信受信器。

【 0 0 6 9 】

6 .

受信器コイルと、

受信器コイルに接続された第 1 の増幅段であって、

10

第 1 の増幅回路が、

a) 受信器コイルにより受信された信号の少なくとも一部と、

b) 閾値と、

の間の差分を増幅する、

当該第 1 の増幅段と、

第 1 の増幅段から増幅された差分を受信するように接続された入力を有する電流増幅回
路であって、

当該電流増幅回路が、

第 1 の MOS F E T であって、

制御端子と、

20

当該電流増幅回路の入力に接続されたソース／ドレインの第 1 のものと、

第 1 の基準電位に接続されたソース／ドレインの第 2 のものと、

を有する当該第 1 の MOS F E T と、

第 2 の MOS F E T であって、

当該電流増幅回路の入力に接続された制御端子と、

当該電流増幅回路の出力に接続されたソース／ドレインの第 1 のものと、

第 2 の基準電位に接続されたソース／ドレインの第 2 のものと、

を有する当該第 2 の MOS F E T と、

を備え、

動作時、第 1 の MOS F E T が導通状態を維持するように、第 1 の MOS F E T の制
御端子がバイアスされる、

30

当該電流増幅回路と、

ヒステリシスレベルシフト回路であって、

受信器コイルにより受信された信号の少なくとも一部が閾値を横断したことに応答し
て、逆方向における閾値の横断が遅延されるように、

a) 受信器コイルにより受信されたフィルタ済み信号の一部、

b) 閾値、または

c) フィルタ済み信号の一部と閾値との両方、

のレベルをシフトする、

当該ヒステリシスレベルシフト回路と、

40

を備えるデータ通信受信器。

【 0 0 7 0 】

7 .

第 1 の基準電位が、第 2 の基準電位と同じである、

実施形態 3 のデータ通信受信器。

【 0 0 7 1 】

8 .

第 1 の基準電位が、データ通信受信器の負の供給電位である、

実施形態 3 から実施形態 4 のいずれか 1 つのデータ通信受信器。

【 0 0 7 2 】

50

9 .

第 1 の基準電位が、受信器コイルにより受信された信号の最小部分である、
実施形態 3 のデータ通信受信器。

【 0 0 7 3 】

1 0 .

第 1 の M O S F E T の制御端子が、電流増幅回路の入力に接続されている、
実施形態 3 から実施形態 6 のいずれか 1 つのデータ通信受信器。

【 0 0 7 4 】

1 1 .

第 1 の M O S F E T と第 2 の M O S F E T とが、リニアカレントミラーを形成している
、
実施形態 7 のデータ通信受信器。

【 0 0 7 5 】

1 2 .

受信器コイルにより受信された信号から低周波数成分をフィルタすることと、第 1 の増
幅段にフィルタ済み信号を出力することとをできるように接続されたフィルタ回路をさらに
備える、

実施形態 1 から実施形態 2 及び実施形態 6 から実施形態 1 1 のいずれか 1 つのデータ通
信受信器。

【 0 0 7 6 】

20

1 3 .

フィルタ回路が、受信器コイルを第 1 の増幅段に結合する静電容量を備える、
実施形態 1 2 及び実施形態 3 から実施形態 5 のいずれか 1 つのデータ通信受信器。

【 0 0 7 7 】

1 4 .

フィルタ回路の静電容量が、M O S F E T のゲート静電容量を備える、
実施形態 1 3 のデータ通信受信器。

【 0 0 7 8 】

1 5 .

フィルタ回路が、基準電位に接続された抵抗を備え、

30

ヒステリシスレベルシフト回路が、抵抗にかかる電位のレベルをシフトする、

実施形態 1 2 から実施形態 1 4 及び実施形態 3 から実施形態 5 のいずれか 1 つのデータ
通信受信器。

【 0 0 7 9 】

1 6 .

ヒステリシスレベルシフト回路が、抵抗にかかる電位のレベルをシフトする可変電流を
出力するように接続された可変電流源を備える、

実施形態 1 5 のデータ通信受信器。

【 0 0 8 0 】

1 7 .

第 1 の増幅段が、コモンゲート増幅器を備える、

40

実施形態 1 から実施形態 2 及び実施形態 4 から実施形態 1 6 のいずれか 1 つに従ったデ
ータ通信受信器。

【 0 0 8 1 】

1 8 .

コモンゲート増幅器が、閾値に接続されたソースを有する第 1 のトランジスタを備える

、

実施形態 1 6 に従ったデータ通信受信器。

【 0 0 8 2 】

1 9 .

50

第1の差動増幅段が、NMOSトランジスタを備える、
実施形態16から実施形態17のいずれか1つに従ったデータ通信受信器。

【0083】

20.

コモンゲート増幅器の入力と基準電位との間に接続された可変抵抗をさらに備え、
ヒステリシスレベルシフト回路が、可変抵抗の抵抗を変化させて閾値のレベルをシフト
するように接続されている、

先行するいずれか1つの実施形態に従ったデータ通信受信器。

【0084】

21.

閾値とレベルのシフトとは、デューティ比50%である送信された信号に対して、増幅
された差分のデューティ比が35%と65%との間、例えば、40%と60%との間であ
るよう構成されている、

先行するいずれか1つの実施形態のデータ通信受信器。

【0085】

22.

受信器コイルにより受信された信号の少なくとも一部と閾値との間の増幅されたバージ
ョンの差分を受信するように接続された出力回路をさらに備え、

出力回路が、差分を表す2値状態信号を出力するように接続されている、

先行するいずれか1つの実施形態に従ったデータ通信受信器。

【0086】

23.

ヒステリシスレベルシフト回路が、2値状態信号の状態変化にตอบสนองして、レベルをシフ
トする、

実施形態22に従ったデータ通信受信器。

【0087】

24.

ヒステリシスレベルシフト回路が、受信器コイルにより受信された信号の少なくとも一
部のレベルをシフトする、

先行するいずれか1つの実施形態に従ったデータ通信受信器。

【0088】

25.

ヒステリシスレベルシフト回路が、信号が閾値未満に低下したことにตอบสนองして、レベル
をシフトする、

先行するいずれか1つの実施形態に従ったデータ通信受信器。

【0089】

26.

受信器コイルが、リードフレームの一部を備える、

先行するいずれか1つの実施形態に従ったデータ通信受信器。

【0090】

27.

受信器コイルが、ボンドワイヤを備える、

先行するいずれか1つの実施形態に従ったデータ通信受信器。

【0091】

28.

受信器コイルが、表面を金属化した材料を備える、

先行するいずれか1つの実施形態に従ったデータ通信受信器。

【0092】

29.

受信器コイルが、50nH以下のインダクタンス、例えば、20nH以下をもつ、

10

20

30

40

50

先行するいずれか１つの実施形態に従ったデータ通信受信器。

【００９３】

３０．

先行するいずれか１つの実施形態に従ったデータ通信受信器を備える、
電力変換装置。

【００９４】

３１．

受信器コイルに磁気結合された送信器コイルと、
送信器コイルをまたいでパルスを出力するように接続されたパルス発生器と、
をさらに備える、実施形態３０の電力変換装置。

【００９５】

３２．

パルス発生器が、１０ｎｓ以下、例えば、５ｎｓ以下の持続期間をもつパルスを生成するように構成されている、

実施形態３０から実施形態３１のいずれか１つの電力変換装置。

【００９６】

３３．

送信器コイルが、５０ｎＨ以下、例えば、２０ｎＨ以下のインダクタンスをもつ、
実施形態３０から実施形態３２のいずれか１つの電力変換装置。

【００９７】

３４．

電力変換装置が、絶縁ゲートバイポーラトランジスタ電力スイッチを備える、
実施形態３０から実施形態３３のいずれか１つのコントローラ。

10

20

【図１】

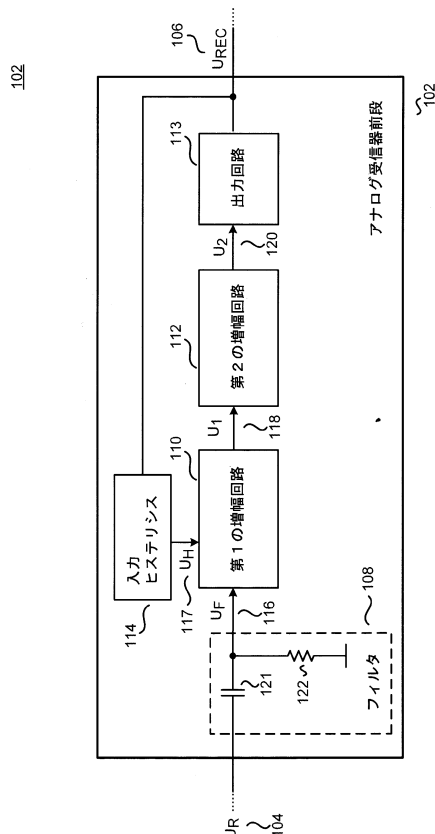
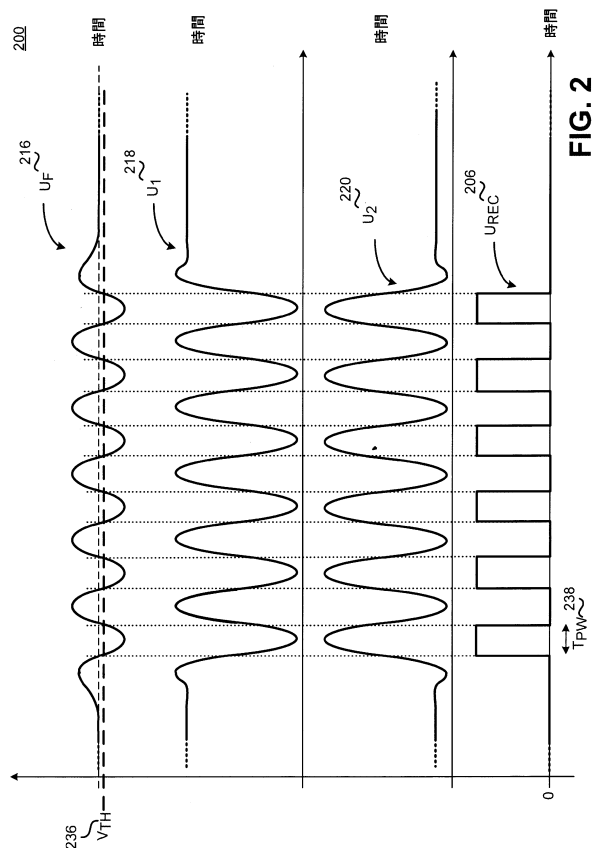


FIG. 1

【図２】



【図 3 A】

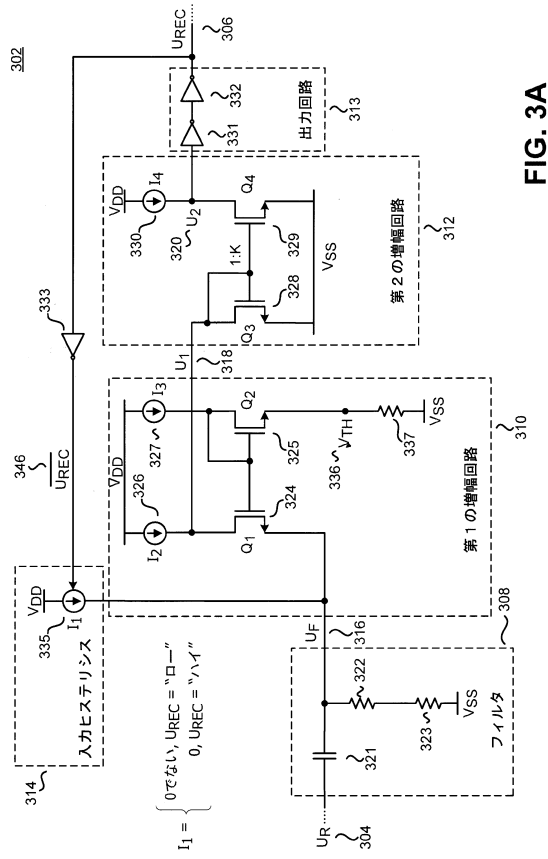


FIG. 3A

【図 3 B】

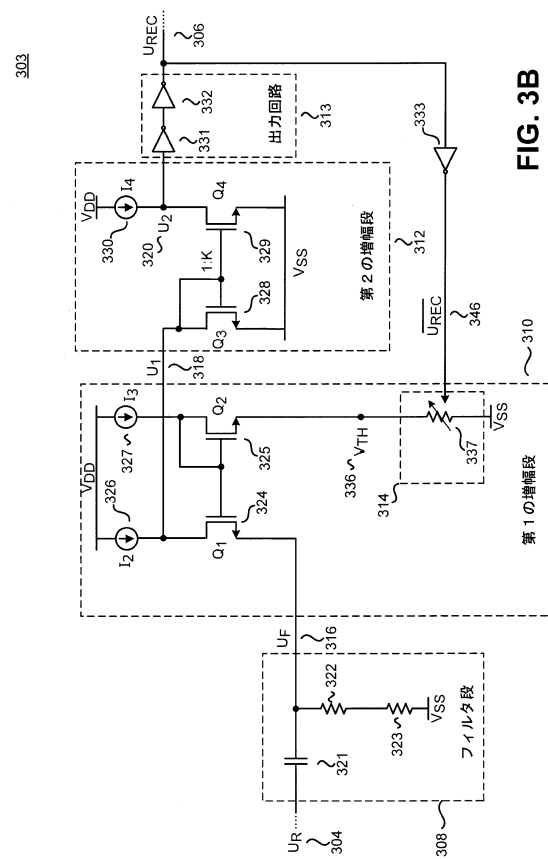


FIG. 3B

【図 4 A】

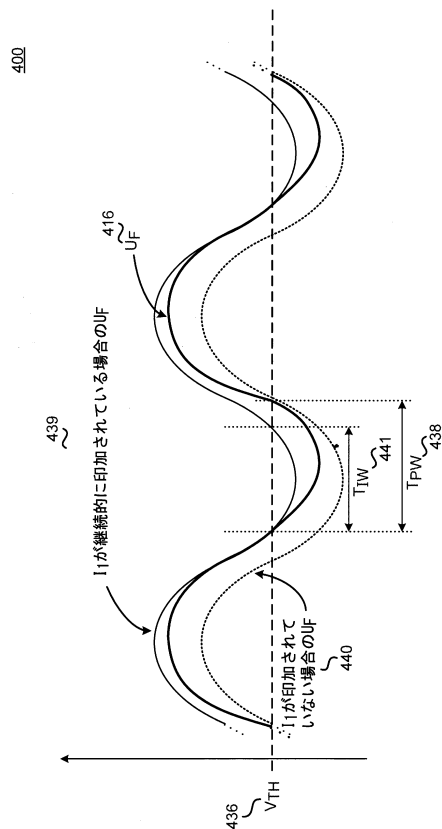


FIG. 4A

【図 4 B】

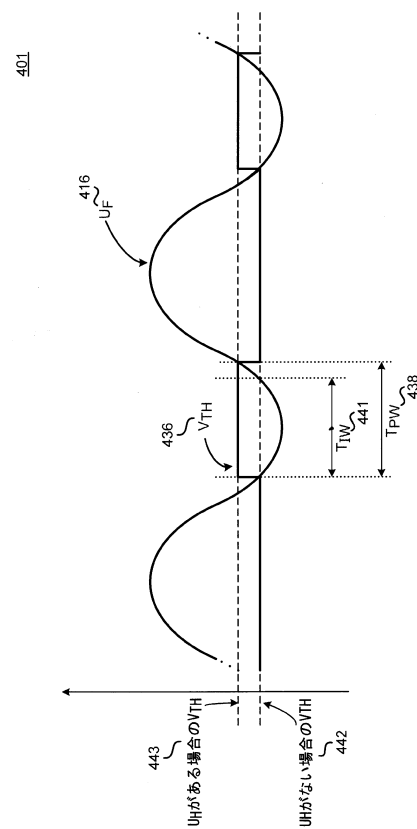


FIG. 4B

フロントページの続き

(72)発明者 タールハイム ヤン

スイス ツェーハー 2504 ビール ビエンヌ ローレンヴェグ 65

審査官 佐藤 敬介

(56)参考文献 国際公開第2010/095368(WO, A1)

特開2008-005162(JP, A)

特開2005-136839(JP, A)

米国特許第05362994(US, A)

(58)調査した分野(Int.Cl., DB名)

H04B 1/18

H02M 1/08

H04B 3/54