

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4354017号
(P4354017)

(45) 発行日 平成21年10月28日 (2009.10.28)

(24) 登録日 平成21年8月7日 (2009.8.7)

(51) Int.Cl.	F I
H04S 5/02 (2006.01)	H04S 5/02 Y
	H04S 5/02 K
	H04S 5/02 L

請求項の数 12 (全 17 頁)

(21) 出願番号	特願平8-344137	(73) 特許権者	596184384
(22) 出願日	平成8年12月24日 (1996.12.24)		ジェームズ・ケー・ウォーラー, ジュニア
(65) 公開番号	特開平9-289700		James K. Waller, Jr
(43) 公開日	平成9年11月4日 (1997.11.4)		.
審査請求日	平成15年12月22日 (2003.12.22)		アメリカ合衆国ミシガン州48348, ク
審査番号	不服2007-16895 (P2007-16895/J1)		ラークストン, アレン・ロード 9901
審査請求日	平成19年6月18日 (2007.6.18)		9901 Allen Road, Cl
(31) 優先権主張番号	60/009229		arkston, Michigan 4
(32) 優先日	平成7年12月26日 (1995.12.26)		8348, United States
(33) 優先権主張国	米国 (US)		of America
(31) 優先権主張番号	769452	(74) 代理人	100089705
(32) 優先日	平成8年12月18日 (1996.12.18)		弁理士 社本 一夫
(33) 優先権主張国	米国 (US)	(74) 代理人	100071124
			弁理士 今井 庄亮

最終頁に続く

(54) 【発明の名称】 5-2-5マトリクス・システム

(57) 【特許請求の範囲】

【請求項 1】

2チャンネル・ステレオをマルチチャンネル・サウンドにデコードする音響システムにおいて使用するためのプロセスであって、

第1の入力信号から第1のdc信号を取得するステップと、

第2の入力信号から第2のdc信号を取得するステップと、

前記第1および第2のdc信号の差を求めるステップと、

前記差信号が正のとき予め選択した利得の可変乗算器を介して、前記差信号を第1の出力端子に通過させ、前記差信号が負のとき第2の出力端子に通過させるステップと、

前記第1および第2の入力信号を加算するステップと、

前記加算した第1および第2の入力信号から第3のdc信号を取得するステップと、

前記第1および第2の入力信号の差を求めるステップと、

前記差を求めた第1および第2の入力信号から第4のdc信号を求めるステップと、

前記第3および第4dc信号の差を求め、スレシホールドdc信号を生成するステップと

、

前記スレシホールドdc信号のレベルを検出し、前記第4のdc信号が前記第3のdc信号よりも大きいとき、前記スレシホールドdc信号の増減にしたがって増減する制御信号を生成するステップと、

前記制御信号を前記可変乗算器に印加して、前記第1および第2のdc信号の求めた差に印加する利得を変化させるステップと、

10

20

を含むプロセス。

【請求項 2】

請求項 1 記載のプロセスにおいて、前記予め選択した利得が 1 であるプロセス。

【請求項 3】

請求項 2 記載のプロセスにおいて、前記可変乗算器の前記利得は、1.0 ないし 10 の範囲で可変であるプロセス。

【請求項 4】

請求項 1 記載のプロセスにおいて、前記予め選択した利得は、0.501 であるプロセス。

【請求項 5】

請求項 2 記載のプロセスにおいて、前記可変乗算器の前記利得は、0.501 ないし 5 の範囲で可変であるプロセス。

【請求項 6】

2 チャンネル・ステレオをマルチチャンネル・サウンドにデコードする音響システムにおいて使用するためのプロセスであって、

第 1 の入力信号に高域通過フィルタ処理を施すステップと、

前記高域通過フィルタ処理した第 1 の入力信号から第 1 の d c 信号を取得するステップと、

第 2 の入力信号に高域通過フィルタ処理を施すステップと、

前記高域通過フィルタ処理した第 2 の入力信号から第 2 の d c 信号を取得するステップと、

前記第 1 および第 2 の d c 信号の差を求め、高帯域 d c 信号を生成するステップと、

前記高帯域 d c 信号が正のとき、前記高帯域 d c 信号を、予め選択した利得の高帯域信号可変乗算器を介して、第 1 の高帯域出力端子に通過させ、前記高帯域 d c 信号が負のとき、第 2 の高帯域出力端子に通過させるステップと、

前記第 1 の入力信号に低域通過フィルタ処理を施すステップと、

前記低域通過フィルタ処理した第 1 の入力信号から第 3 の d c 信号を取得するステップと、

前記第 2 の入力信号に低域通過フィルタ処理を施すステップと、

前記低域通過フィルタ処理した第 2 の入力信号から、第 4 の d c 信号を取得するステップと、

前記第 3 および第 4 の d c 信号の差を求め、低帯域 d c 信号を生成するステップと、

前記低帯域 d c 信号が正のとき前記予め選択した利得の低帯域信号可変乗算器を介して、前記低帯域 d c 信号を第 1 の低帯域出力端子に通過させ、前記低帯域 d c 信号が負のとき、第 2 の低帯域出力端子に通過させるステップと、

前記第 1 および第 2 の入力信号を加算するステップと、

前記加算した第 1 および第 2 の入力信号から第 5 の d c 信号を取得するステップと、

前記第 1 および第 2 の入力信号の差を求めるステップと、

前記第 1 および第 2 の入力信号の求めた差から第 6 の d c 信号を取得するステップと、

前記第 5 および第 6 の d c 信号の差を求め、スレシホールド d c 信号を生成するステップと、

前記スレシホールド d c 信号のレベルを検出し、前記第 6 の d c 信号が前記第 5 の d c 信号よりも大きいとき、前記スレシホールド d c 信号の増減にしたがって増減する制御信号を生成するステップと、

前記制御信号を前記高帯域および低帯域可変乗算器に印加して、前記高帯域および低帯域 d c 信号に印加する利得を変化させるステップと、を含むプロセス。

【請求項 7】

2 チャンネル・ステレオをマルチチャンネル・サウンドにデコードする音響システムにおいて使用するためのプロセスであって、

第 1 の入力信号に高域通過フィルタ処理を施すステップと、
前記高域通過フィルタ処理した第 1 の入力信号から第 1 の d c 信号を取得するステップと、
第 2 の入力信号に高域通過フィルタ処理を施すステップと、
前記高域通過フィルタ処理した第 2 の入力信号から第 2 の d c 信号を取得するステップと、
前記第 1 および第 2 の d c 信号の差を求め、高帯域 d c 信号を生成するステップと、
前記高帯域 d c 信号が正のとき予め選択した利得の高帯域信号可変乗算器を介して、前記高帯域 d c 信号を第 1 の高帯域出力端子に通過させ、前記高帯域 d c 信号が負のとき、第 2 の高帯域出力端子に通過させるステップと、
前記第 1 の入力信号に低域通過フィルタ処理を施すステップと、
前記低域通過フィルタ処理した第 1 の入力信号から第 3 の d c 信号を取得するステップと、
前記第 2 の入力信号に低域通過フィルタ処理を施すステップと、
前記低域通過フィルタ処理した第 2 の入力信号から、第 4 の d c 信号を取得するステップと、
前記第 3 および第 4 の d c 信号の差を求め、低帯域 d c 信号を生成するステップと、
前記低帯域 d c 信号が正のとき前記予め選択した利得の低帯域信号可変乗算器を介して、前記低帯域 d c 信号を第 1 の低帯域出力端子に通過させ、前記低帯域 d c 信号が負のとき第 2 の低帯域出力端子に通過させるステップと、
前記第 1 の入力信号から第 5 の d c 信号を取得するステップと、
前記第 2 の入力信号から第 6 の d c 信号を取得するステップと、
前記第 5 および第 6 の d c 信号の差を求め、広帯域 d c 信号を生成するステップと、
前記広帯域 d c 信号を広帯域出力端子に通過させるステップと、
前記第 1 および第 2 の入力信号を加算するステップと、
前記加算した第 1 および第 2 の入力信号から第 7 の d c 信号を取得するステップと、
前記第 1 および第 2 の入力信号の差を求めるステップと、
前記第 1 および第 2 の入力信号の求めた差から第 8 の d c 信号を取得するステップと、
前記第 7 および第 8 の d c 信号の差を求め、スレシホールド d c 信号を生成するステップと、
前記スレシホールド d c 信号のレベルを検出し、前記第 8 の d c 信号が前記第 7 の d c 信号よりも大きいとき、前記スレシホールド d c 信号の増減にしたがって増減する制御信号を生成するステップと、
前記制御信号を前記高帯域および低帯域可変乗算器に印加して、前記高帯域および低帯域 d c 信号に印加する利得を変化させるステップと、
を含むプロセス。

【請求項 8】

5 つの離散信号を 2 チャンネル・ステレオにエンコードする音響システムにおいて使用するためのプロセスであって、
3 d B 減衰させた第 1 の離散オーディオ信号と第 2 の離散信号とを加算して、第 1 の複
合信号を生成するステップと、
前記第 1 の複合信号を、線形の位相対周波数応答を有する第 1 の全域通過ネットワークに供給するステップと、
前記 3 d B 減衰させた第 1 の離散オーディオ信号と第 3 の離散信号とを加算して、第 2
の複合信号を生成するステップと、
前記第 2 の複合信号を、線形の位相対周波数応答を有する第 2 の全域通過ネットワークに供給するステップと、
第 4 の離散オーディオ信号を、線形の位相対周波数応答と 90° の位相シフトとを有する第 3 の全域通過ネットワークに供給するステップと、
第 5 の離散オーディオ信号を、線形の位相対周波数応答と 90° の位相シフトとを有す

10

20

30

40

50

る第4の全域通過ネットワークに供給するステップと、

前記第1のネットワークの出力と、前記3dB減衰させた第3のネットワークの出力と、前記3dBないし6dB減衰させた第4のネットワークの出力とを加算し、第1のチャンネル信号を生成するステップと、

前記第2のネットワークの出力と、前記3dB減衰させた第4のネットワークの出力と、前記3dBないし6dB減衰させた第3のネットワークの出力とを加算し、第2のチャンネル信号を生成するステップと、

を含むプロセス。

【請求項9】

5つの離散信号を2チャンネル・ステレオにエンコードする音響システムにおいて使用するためのプロセスであって、

3dB減衰させた第1の離散オーディオ信号と第2の離散信号とを加算して、第1の複合信号を生成するステップと、

前記第1の複合信号を、線形の位相対周波数応答を有する第1の全域通過ネットワークに供給するステップと、

前記3dB減衰させた第1の離散オーディオ信号と第3の離散信号とを加算して、第2の複合信号を生成するステップと、

前記第2の複合信号を、線形の位相対周波数応答を有する第2の全域通過ネットワークに供給するステップと、

第4の離散オーディオ信号を、線形の位相対周波数応答と90°の位相シフトとを有する第3の全域通過ネットワークに供給するステップと、

第5の離散オーディオ信号を、線形の位相対周波数応答と90°の位相シフトとを有する第4の全域通過ネットワークに供給するステップと、

前記第4の離散オーディオ信号から第1のdc信号を取得するステップと、

前記第5の離散オーディオ信号から第2のdc信号を取得するステップと、

前記第1および第2のdc信号の差を求め、制御信号を生成するステップと、

前記第3のネットワークの出力を第1の変乗算器に供給するステップと、

前記第4のネットワークの出力を第2の変乗算器に供給するステップと、

前記制御信号の反転にตอบสนองして、前記第1の変乗算器の利得を変化させ、前記第3のネットワーク出力を、3dBないし6dBの範囲で減衰させるステップと、

前記制御信号にตอบสนองして、前記第2の変乗算器の利得を変化させ、前記第4のネットワーク出力を3dBないし6dBの範囲で減衰させるステップと、

前記第1のネットワークの出力と、前記3dB減衰させた第3のネットワークの出力と、前記第1の変乗算器の出力とを加算し、第1のチャンネル信号を生成するステップと、

前記第2のネットワークの出力と、前記3dB減衰させた第4のネットワークの出力と、前記第2の変乗算器の出力とを加算し、第2のチャンネル信号を生成するステップと、を含むプロセス。

【請求項10】

5つの離散入力信号を2チャンネル・ステレオにエンコードする音響システムにおいて使用するためのプロセスであって、

前記入力信号の第1の入力信号を可変乗算器の入力に印加するステップと、

前記第1の入力信号と第2の入力信号を結合して、第1の入力信号と第2の入力信号との比を示す制御信号を提供するステップと、

前記制御信号を前記可変乗算器に印加して、前記第1の入力信号に加えられる利得を変化させるステップと、

第3の入力信号と第4の入力信号を結合して、複合信号を生成するステップと、

前記可変乗算器の出力信号を前記第2の入力信号および前記複合信号と結合して、前記2チャンネル・ステレオの出力信号を生成するステップと、を含むプロセス。

【請求項11】

10

20

30

40

50

5つの離散入力信号を2チャンネル・ステレオにエンコードする音響システムにおいて使用するためのプロセスであって、

前記入力信号の第1の入力信号を第1可変乗算器の入力に印加するステップと、

前記入力信号の第2の入力信号を第2可変乗算器の入力に印加するステップと、

前記第1の入力信号と第2の入力信号を結合して、第1の入力信号と第2の入力信号との比を示す制御信号を提供するステップと、

前記制御信号を前記第1可変乗算器に印加して、前記第1の入力信号に加えられる利得を変化させるステップと、

第3の入力信号と第4の入力信号を結合して、第1の複合信号を生成するステップと、

前記第1可変乗算器の出力信号を前記第2の入力信号および前記第1の複合信号と結合して、前記2チャンネル・ステレオの第1の出力信号を生成するステップと、を含むプロセス。

10

【請求項12】

5つの離散入力信号を2チャンネル・ステレオにエンコードする音響システムにおいて使用するためのプロセスであって、

前記入力信号の第1の入力信号を第1可変乗算器の入力に印加するステップと、

前記入力信号の第2の入力信号を第2可変乗算器の入力に印加するステップと、

前記第1の入力信号と第2の入力信号を結合して、第1の入力信号と第2の入力信号との比を示す第1の制御信号を提供するステップと、

前記制御信号を前記第1可変乗算器に印加して、前記第1の入力信号に加えられる利得を変化させるステップと、

20

前記第1の制御信号を反転させ、第2の制御信号を提供するステップと、

前記第2の制御信号を前記第2可変乗算器に印加して、前記第2の入力信号に加えられる利得を変化させるステップと、

第3の入力信号と第4の入力信号を結合して、第1の複合信号を生成するステップと、

前記第1可変乗算器の出力信号を前記第2の入力信号および前記第1の複合信号と結合して、前記2チャンネル・ステレオの第1の出力信号を生成するステップと、

前記第4の入力信号と第5の入力信号を結合して、第2の複合信号を生成するステップと、

前記第2可変乗算器の出力信号を前記第1の入力信号および前記第2の複合信号と結合して、前記2チャンネル・ステレオの第2の出力信号を生成するステップと、を含むプロセス。

30

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、一般的に、音響サウンド・システムに関し、更に特定すれば、一般的に「サラウンド」システム(surround system)と呼ばれている、2チャンネル・ステレオからマルチチャンネル音響をデコード可能なオーディオ・サウンド・システムに関するものである。

【0002】

【従来の技術】

40

ピータ シャイバー(Peter Scheiber)の米国特許番号第3,632,886号が1960年代に発行されて以来、多次元サウンド・システムに関する多くの特許が発行されてきた。これらのシステムは、一般的に4-2-4マトリクス・システムとして知られており、4つの離散ステレオ信号が2チャンネル・ステレオ信号にエンコードされる。そして、このエンコードされたステレオ信号は、デコードを通じて演奏することができる。デコードは、4つのエンコードされた信号を抽出し、それらの意図されたスピーカ位置にそれらを供給する。

【0003】

4-2-4マトリクス構造は、元々1970年代の4チャンネル・サウンド・システムに適用されたものであるが、近年映画の用途、更により最近になってホーム・シアター(home

50

theater)の用途に、非常に普及しつつある。4チャンネル・サウンドの権利譲渡(demise)に続いて、ドルビー・ラボラトリーズ(Dolby Laboratories)のような会社が、長編映画(feature film)に現実性を付加する試みにおいて、マトリクス方式を映画の用途に適用した。上述のシャイパー特許、および彼のその後取得した米国特許第3,746,792号および第3,959,590号は、ドルビー・ラボラトリーによってドルビー・サラウンド(商標)システムのために引用された特許である。映画およびホーム・シアターの用途のために普及したサラウンド・システムは、典型的に、離散音響信号を4つのスピーカ位置、即ち、左前方、右前方、中央前方、および背後周囲に供給するものである。背後周囲環境(rear surround environment)は、典型的に、左および右に配置された少なくとも2つのスピーカによって構成されており、これら各々には、モノラルのサラウンド信号が供給される。

10

【0004】

4-2-4マトリクス・システムに関して後に取得した特許は、マトリクスの性能向上を試みたものである。例えば、元の受動システムは、3dBの隣接チャンネル(即ち、左-中央、中央-右、右-サラウンドおよびサラウンド-左)間分離が可能であるに過ぎず、したがって、利得制御を内蔵した指向制御システム(steered system)およびチャンネル間分離の知覚性を高めた指向制御ロジック(steering logic)を開発することが望ましかった。

【0005】

多くの従来技術のサラウンド・システムは、所与の信号をマルチチャンネル出力にデコードするために、可変マトリクスを使用している。かかるシステムは、ドルビー・ラボラトリーに譲渡された米国特許番号第4,799,260号、およびフォスゲート(Fosgate)からの米国特許番号第5,172,415号に開示されている。これらの特許は各々、システムのために最終出力を供給する可変出力マトリクスを開示するものである。ダヴィッド ブラックマー(David Blackmer)からの米国特許第4,589,129号に示されるような他の設計は、可変出力マトリクスを含まず、その代わりに、左、中央、右および周囲のために個々の指向性制御ブロックを含むシステムを開示している。

20

【0006】

サラウンド・サウンド・システムの発展においては、聴取者の周囲360°の音場におけるあらゆる所望の位置において特定のサウンドを供給できる機能を音響技術者に可能にする技術を開発するための前進的な試みを、かかるシステムの開発者が行ったことがわかる。かかる発展における最近の結果は、ドルビー・ラボラトリーのAC3システムの開発において見ることができる。このシステムは、5つの離散チャンネルの音響を提供する。しかしながら、かかるシステムには、以下のような少なくとも2つの大きな欠点がある。まず、(1)既存の機材と互換性がない(backward compatible)こと、そして(2)デジタル・データの記憶を必要とし、データのアナログ記録を考慮していないこと(即ち、音響テープ、ビデオ・テープ等)である。ドルビーAC3によってエンコードされたデジタル・サウンドトラックは、ドルビー・プロ・ロジック・システム(Dolby Pro Logic System)で再生することができない。

30

【0007】

本発明者による米国特許番号第5,319,713号および第5,333,201号は、ドルビー・サラウンド(商標)およびドルビー・プロ・ロジック(商標)として商業的に知られかつ入手可能となったシステムに対する大きな改良である。これら引用した特許において主に記載されているのは、後部チャンネルに方向情報を供給する手段、即ち、ドルビー・システムが与えない構造である。この構造は、音響のみの用途、および音響を映像と同期させる用途(A/V)において非常に望ましく、先に引用した特許に詳しく説明されている。しかしながら、本発明者の先に引用した特許に記載されている発明は以前の設計を飛躍的に改良するものであるが、これまでに開示されたマトリクスに基づくシステムには、デコード時に独立した左および右後部チャンネルを得る手段を提供するものはない。

40

【0008】

本発明者の現在係属中の米国特許出願連番第08/426,055号は、エンコード・ブ

50

ロセス中に、音響スペクトルの上縁部に1つ以上の通知用(シグナル)トーンの埋め込み(エンベッド)を実施することによって、付加的な離散信号を供給する手段を開示するのである。これらのトーンは、デコード・プロセス中に検出してシステムを再構成することができ、左前方、中央および右前方チャンネルを禁止することによって、左、中央および右にパンニングされる信号を、それぞれ、左後方、背後および右後方位置にのみ供給するようにしたものである。そして、望ましければ、付加した通知トーンを検出すると、システム構成をリセットすることができる。このシステムは付加チャンネルを生成する手段を提供し、既存のシステムに対する改良ではあるが、欠点も伴う。例えば、実際に音響スペクトルの中にトーンを組み込むと、それらが聴取者に聴取可能となる可能性が生じるが、これは受け入れられることではない。加えて、かかるシステムは、カセット・テープや、35 mmフィルム用光学サウンドトラックのように、元々媒体に制限があるために、限られた数の記録媒体にしか適用することができない。

10

【0009】

したがって、5つの離散音響信号を2チャンネル・ステレオ記録用にエンコードし、デコード時に、5箇所以上の所定の位置を別個の独立した音源として、そのいずれかに特定のサウンドを配置する能力を有することにより、5-2-5マトリクス・システムの生成を可能とすることが望ましい。かかるシステムの典型的な実施形態の1つは、左前方、右前方、中央、左後方、右後方のスピーカ位置に信号を供給することである。当業者には認められようが、他にも、本発明には、別の可能なチャンネル構成による多数の実施例がある。

【0010】

20

【発明が解決しようとする課題】

したがって、本発明の主要な目的は、1つのステレオ信号を少なくとも5つの個別で独立したチャンネルにデコードする、マトリクス・システムを提供することである。また、本発明の目的は、既存のステレオ機材全てと互換性のあるマトリクス・システムを達成することである。本発明の他の目的は、他の既存サラウンド・システムで用いるためにエンコードされた媒体(material)と互換性のあるマトリクス・システムを提供することである。本発明の更に他の目的は、本システムのために特定してエンコードされた媒体を、他のあらゆる既存のデコード処理システムによって再生可能とし、しかも望ましくない結果を生じないマトリクス・システムを提供することである。

【0011】

30

【課題を解決するための手段】

本発明によれば、5つの離散音響信号を2チャンネル・ステレオ記録用にエンコードし、記録済みのステレオ信号を少なくとも5つの分離した独立チャンネルにデコードすることによって、個別の独立した音源としての5箇所以上の所定の位置のいずれか1つに、特定のサウンドの配置を可能とすることによって、5-2-5マトリクス・システムを生成する、マトリクス・システムを提供する。本システムの一実施例は、信号を左前方、右前方、中央、左後方、および右後方のスピーカ位置に供給する。本システムは既存の全ステレオ機材および他の既存のサラウンド・システムと用いるためにエンコードされた全ての既存の媒体と互換性がある。本システムのために特定してエンコードされた媒体は、他のあらゆる既存のデコード処理システムによっても再生可能であり、しかも望ましくない結果を生じることではない。

40

【0012】

本発明のその他の目的および利点は、以下の詳細な説明を読み、添付図面を参照することによってより明白となろう。

【0013】

尚、本発明は好適実施例に関連付けて説明するが、それは本発明を当該実施例に限定することを意図するものでないことは理解されよう。逆に、特許請求の範囲に規定してある本発明の精神および範囲に含まれ得る全ての代替物、変更物、および均等物を包含することを意図するものである。

【0014】

50

【発明の実施の形態】

まず図 1 を参照すると、サラウンド・システムの一実施形態全体が示されており、ここでは、左入力信号が入力ノード 9 L に印加される。この入力信号は増幅器 10 L によってバッファされ、左前方出力 L_O を発生する左操向（指向性）制御回路 (left steering circuit) 40、ならびに加算増幅器 20、差動増幅器 30 および操向制御電圧発生器 80 に供給される。右入力信号は、入力ノード 9 R に供給され、増幅器 10 R によってバッファされ、右前方出力 R_O を発生する右操向制御回路 60、ならびに加算増幅器 20、差動増幅器 30 および操向制御電圧発生器 80 に供給される。加算増幅器 20 から出力される信号は、中央操向制御回路 120 に供給され、中央操向制御回路 120 は中央チャンネル出力 C_O を供給する。一方、差動増幅器 30 から出力される信号は、サラウンド操向制御回路 130 に供給され、サラウンド操向制御回路 130 は、左および右後方出力 L_{RO} および R_{RO} を発生する。操向制御回路 40, 60, 120 および 130 は各々操向制御電圧発生器 80 によって制御される。

10

【0015】

図 2 を参照すると、操向制御電圧発生器 80 は、それぞれ高域通過フィルタ 82 L および 82 R を介して供給される左および右信号 L および R を受ける。これらのフィルタは、本発明者の米国特許番号第 5,319,713 号の図 4 に示されかつ記載されている。この特許の内容は、この言及により本願にも含まれるものとする。フィルタ処理後の信号は、次にレベル検出器 83 L および 83 R に供給される。これらは、ミシガン州ローチェスタ・ヒルズのロックトロン コーポレーション (Rocktron Corporation) から入手可能な RSP2060 IC によって供給されるものと同等である。図 2 に示す検出器は全て、RSP2060 IC によって供給されるものと同等であるが、ピーク平均、RMS 検出等のような、他の形態のレベル検出器も実施可能である。検出された信号は、差動増幅器 85 に印加される前に、バッファ増幅器 84 L および 84 R によってバッファされる。

20

【0016】

右高帯域情報が優勢であると検出された場合、差動増幅器 85 から正移行出力が得られる。この正移行出力は、VCA118A およびダイオード 87 R を介して、時定数発生器 88 R に供給される。時定数発生器 88 R は、正電圧を生成しコンデンサ 88 B によって記憶される。したがって、増幅器 85 の出力から印加された正電圧がコンデンサ 88 B のために瞬時充電電流を生成するので、アタック（動作開始）時定数 (attack time constant) は非常に速い。時定数発生器 88 R のリリース（解放）特性は、コンデンサ 88 R および抵抗 88 A によって形成される。抵抗 88 A は、コンデンサ 88 B の唯一の放電経路である。コンデンサ 88 B 上の電圧は増幅器 88 C によってバッファされ、次に増幅器 88 C は右後方高帯域電圧出力信号 R_{RHV} を発生し、図 7 により詳細に示すサラウンド操向制御回路 130 に供給する。図 2 に示す時定数発生器は全て、上述の時定数発生器 88 R と同じように動作する。

30

【0017】

逆に、左高帯域情報が優勢な場合は、増幅器 85 から負移行出力が得られる。この負移行出力は、VCA118A を介した後、反転増幅器 86 によって供給され反転されて正移行出力となり、ダイオード 87 L および時定数発生器 88 L を介して左後方高帯域出力信号 L_{RHV} をサラウンド操向制御回路 130 に供給する。

40

【0018】

操向制御電圧発生器 80 に印加された L および R 入力信号は、検出器 91 L および 91 R によってレベル検出が行われる前に、それぞれ、低域通過フィルタ 90 L および 90 R も通過する。検出信号は、差動増幅器 93 に印加される前に、演算増幅器 92 L および 92 R によってバッファされる。右低帯域情報が優勢であることが検出されると、差動増幅器 93 から正移行出力が得られる。この正移行出力は、次に、VCA118B およびダイオード 95 R を介して、時定数発生器 96 R に供給され、時定数発生器 96 R は右後方低帯域出力信号 R_{RLV} を発生し、サラウンド操向制御回路 130 に供給する。

【0019】

50

逆に、左低帯域情報が優勢な場合、増幅器 9 3 から負移行出力が得られる。この負移行出力は、VCA 1 1 8 B を通じて、反転増幅器 9 4 によって反転されて正移行出力が生成され、これがダイオード 9 5 および時定数発生器 9 6 L を介して、左後方低帯域電圧出力信号 L_{RLV} が発生され、サラウンド操向制御回路 1 3 0 に供給される。

【 0 0 2 0 】

加えて、操向制御電圧発生器 8 0 に印加された L および R 入力信号には、それぞれ、検出器 9 8 L および 9 8 R による広帯域レベル検出が行われる。次に、検出信号は、差動増幅器 1 0 0 に印加される前に、演算増幅器 9 9 L および 9 9 R によってバッファされる。左情報が優勢であることが検出された場合、増幅器 1 0 0 は負移行信号を発生し、反転増幅器 1 0 1 に供給する。増幅器 1 0 1 からの正出力は、ダイオード 1 0 2 L を介して時定数発生器 1 0 3 L に供給され、時定数発生器 1 0 3 L の出力に正移行電圧を生成する。逆に、右情報が優勢であることが検出された場合、差動増幅器 1 0 0 の出力は正移行信号を発生し、ダイオード 1 0 2 R および時定数発生器 1 0 3 R に供給する。時定数発生器 1 0 3 L および 1 0 3 R 双方の出力は、加算増幅器 1 0 4 に供給されるので、優勢な左または右信号のいずれかから出力電圧 L/R_V が得られる。この出力電圧 L/R_V は、次にサラウンド操向制御回路 1 3 0 および中央操向回路 1 2 0 に供給される。

【 0 0 2 1 】

また、操向制御電圧発生器 8 0 は、 $L + R$ 入力信号および $L - R$ 入力信号も受ける。これらの入力信号は、それぞれ、検出器 1 0 7 F および 1 0 7 B によるレベル検出を受け、増幅器 1 0 8 F および 1 0 8 B によってバッファされる。バッファされた信号は、次に、差動増幅器 1 0 9 に印加される。 $L + R$ 信号が優勢であることが検出された場合、増幅器 1 0 9 の出力に正移行電圧が生成され、時定数発生器 1 1 2 F に向けて送出される。演算増幅器 1 1 3 は、この信号を負移行電圧に反転し、次にこれを用いて、図 5 に更に詳細に示す左操向制御回路 4 0 および図 6 に更に詳細に示す右操向制御回路 6 0 内の操向制御 VCA を制御する。増幅器 1 1 3 は、利得 1 の増幅器として構成されており、その「-」入力と負供給電圧との間に追加の抵抗 1 1 5 が設けられており、増幅器 1 1 3 の出力に正オフセット電圧を発生する。前方 $L + R$ 情報も前方 $L - R$ 情報も存在しない静止状態では、増幅器 1 1 3 は常に特定の正オフセット電圧を発生するので、左操向制御回路 4 0 および右操向制御回路 6 0 に印加されると、当該回路内の操向制御 VCA を減衰するための適正な電圧を発生する。したがって、前方情報が検出されなければ、正電圧が常に F_V 出力に印加される。前方 $L + R$ 情報が検出されると、増幅器 1 1 3 の出力は、この前方 $L + R$ 情報の存在が検出される以前の正オフセット電圧から、負方向に移行し始める。強い $L + R$ 情報が存在する場合、増幅器 1 1 3 の出力が、0 ボルトと交差する程負に移行することになる。増幅器 1 1 3 の出力が 0 ボルトと交差すると、ダイオード 1 1 7 は逆バイアス状態となり、 F_V 出力にゼロ出力電圧を発生する。 $L - R$ サラウンド情報が優勢であることが検出された場合、差動増幅器 1 0 9 の出力に負移行電圧が生成される。この負移行電圧は反転増幅器 1 1 0 によって反転されるので、時定数発生器 1 1 2 B からは正出力が生成され、左操向制御回路 4 0 および右操向制御回路 6 0 内の操向制御 VCA を制御する BV 出力が生成される。

【 0 0 2 2 】

信号 B_V はスレシホールド（閾値）検出回路 1 1 9 にも供給される。スレシホールド検出回路 1 1 9 は、電圧制御増幅器 1 1 8 A および 1 1 8 B の制御ポートにこの信号を供給する。ハードなサラウンド・パン条件(hard surround-panned condition)の下では、VCA 1 1 8 A および 1 1 8 B は、それぞれ、その入力増幅器 8 5 および 9 3 の出力の利得を、1 0 の利得まで動的に上昇させる。VCA 1 1 8 A および 1 1 8 B は、信号をサラウンド位置にパンニングするときのみ利得を発生し、その他の場合は、全ての他の条件の下で、利得 1 の出力を発生する。スレシホールド検出回路 1 1 9 は信号 B_V のレベルを監視し、VCA 1 1 8 A および 1 1 8 B がアクティブであるとき、およびどのくらい増幅器 8 5 および 9 3 の出力を増大させるべきかを判定する。強いサラウンド信号 $L - R$ が検出された場合、信号 B_V は 2 ボルトを越える。 B_V が 2 ボルトを越えると、スレシホールド検出回路 1 1 9

10

20

30

40

50

は、正電圧を V_{CA118A} および V_{118B} の制御ポートに印加するので、これによって、それらの入力増幅器 85 および 93 それぞれからの利得出力を増大させる。 B_V が 2 ボルトのとき、 V_{CA118A} および V_{118B} の利得係数は非常に低い。しかしながら、 B_V の信号レベルが上昇するにつれ、より強い $L - R$ 情報が入力において検出されて 3 ボルトに近付き、 V_{CA118A} および V_{118B} の利得は比例して増大する。信号 B_V が 3 ボルトに達すると、 V_{CA118A} および V_{118B} の利得は、最大利得係数の 10 に達する。

【0023】

高帯域および低帯域レベル検出器 83L, 83R, 91L および 91R は、入力バランスして、10 dB 当たり 1 ボルトの応答を発生する。説明を容易にするために、図 8 に示す V_{CA139} , 140, 141 および 142 は全て、1 ボルト / 10 dB 応答を発生するように構成することも可能である。したがって、 L 情報の利得が 1 で $-R$ 情報が -3 dB のハード・サラウンド $L - R$ 信号が入力において検出された場合、左の方が 3 dB 優勢であることが検出され、高帯域および低帯域増幅器 85 および 93 の出力は各々 -0.3 ボルトとなる。この入力に対してハード・サラウンド・パンが行われるので、信号 B_V は 3 ボルトに達し、この -0.3 dB は V_{CA118A} および V_{118B} によって 10 倍に増幅され、これによって 3 ボルトの L_{RHV} および L_{RLV} が生成される。これらの 3 ボルト信号は、次に、図 8 に示す V_{CA139} および 141 にそれぞれ印加され、それぞれの左後方出力に対して 30 dB だけ操向制御を行う。

【0024】

図 3 を参照すると、典型的な従来技術のエンコーディング方式のブロック図が開示されており、ここでは、4 つの離散信号、即ち、左、右、中央およびサラウンドが、2 チャンネル・ステレオ信号にエンコードされる。左入力信号 L は加算増幅器 31 に供給され、一方右入力信号 R は別の加算増幅器 32 に供給される。中央チャンネル入力 C は加算増幅器 31 および 32 に等しく -3 dB で供給される。第 1 の増幅器 31 の出力は、全域通過ネットワーク (all-pass network) 33 に供給され、このネットワーク 33 は、線形の位相対周波数応答を発生する。全域通過ネットワーク 33 の出力は、次に第 3 の加算増幅器 36 に供給される。第 2 の増幅器 32 の出力は、第 1 の全域通過ネットワーク 33 と同様の別の全域通過ネットワーク 35 に供給され、ネットワーク 35 も線形の位相対周波数応答を発生する。第 2 の全域通過ネットワーク 35 の出力は、次いで第 4 の加算増幅器 37 に供給される。サラウンド入力信号 S は、直接第 3 の全域通過ネットワーク 34 に供給され、ネットワーク 34 は 90° の位相シフトおよび線形の位相対周波数応答を発生する。第 3 の全域通過ネットワーク 34 の出力は、第 3 および第 4 の加算増幅器 36 および 37 に等しく -3 dB で供給される。また、第 3 の全域通過ネットワーク 34 の出力は、第 4 の加算増幅器 37 の反転入力に供給され、あらゆる R_T 信号の相殺を防止することも注記すべきであろう。第 3 および第 4 の増幅器 36 および 37 は、左および右エンコード出力 L_T および R_T を発生する。

【0025】

図 4 は、位相対周波数のグラフであり、音響スペクトル全域における、第 1 および第 3 の全域通過ネットワーク 33 および 34 の出力間の関係を示すものである。いずれの所与の周波数においても、第 3 の全域通過ネットワーク 34 の出力は常に第 1 の全域通過ネットワーク 33 の出力とは、 90° 位相がずれていることが分かる。

【0026】

図 5 は、5 つの離散信号を受け、それらを 2 チャンネル・ステレオ信号にエンコードするシステムを開示するものである。左入力信号 L は加算増幅器 150 に供給され、一方右入力信号 R は第 2 の加算増幅器 151 に供給される。中央チャンネル入力 C は、加算増幅器 150 および 151 に等しく -3 dB で供給される。第 1 の増幅器 150 の出力は、全域通過ネットワーク 152 に供給され、ネットワーク 152 は線形の位相対周波数応答を発生する。次に、全域通過ネットワーク 152 の出力は、第 3 の加算増幅器 160 に供給される。第 2 の加算増幅器 151 の出力は、第 1 の全域通過ネットワーク 152 と同様の第 2 の

10

20

30

40

50

全域通過ネットワーク 155 に供給され、このネットワーク 155 も線形の位相対周波数応答を発生する。次に、第 2 の全域通過ネットワーク 155 の出力は、第 4 の加算増幅器 161 に供給される。左サラウンド入力信号 S_L は直接第 3 の全域通過ネットワーク 153 に供給され、ネットワーク 153 は 90° の位相シフトおよび線形の位相対周波数応答を発生する。第 3 の全域通過ネットワーク 153 の出力は、 -3 dB で第 3 の加算増幅器 160 に供給されると共に、VCA 157 に供給され、VCA 157 は第 4 の増幅器 161 にこれを供給する。右サラウンド入力信号 S_R は直接第 4 の全域通過ネットワーク 154 に供給され、ネットワーク 154 は、 90° の位相シフトと線形の位相対周波数応答を発生する。第 4 の全域通過ネットワーク 154 の出力は、 -3 dB で第 4 の加算増幅器 161 に供給されると共に、別の VCA 156 に供給され、VCA 156 はこれを第 3 の増幅器 160 に供給する。左サラウンド入力信号 S_L は、レベル検出回路 162 にも供給される。同様に、右サラウンド入力 S_R も別のレベル検出器 163 に供給される。検出器 162 および 163 の出力は、第 5 の増幅器 164 において加算される。第 5 の増幅器 164 の出力は、別の第 1 の VCA 157 の制御ポートに印加される前に、ダイオード 159 に供給される。また、第 5 の増幅器 164 の出力は、別のダイオード 158 に供給され第 2 の VCA 156 の制御ポートに印加される前に、第 6 の増幅器 165 によって反転される。静止状態において、VCA 156 および 157 は各々 -3 dB の出力を発生する。第 3 および第 4 の増幅器 160 および 161 は、左および右エンコード出力 L_T および R_T を発生する。

【0027】

かかる構成において、強い左サラウンド信号 S_L が第 1 の検出器 162 によって検出され、第 5 の増幅器 164 によって反転されるとする。第 5 の増幅器 164 からの負移行出力は第 1 の VCA 157 に印加され、第 1 の VCA 157 はその出力を更に 3 dB 減衰させる。また、第 5 の増幅器 164 からの負移行出力は、第 6 の増幅器 165 によって反転される。逆バイアスされた第 2 のダイオード 158 のために、第 2 の VCA 156 の制御ポートに印加される電圧はない。したがって、第 2 の VCA 156 の出力は -3 dB に留まり、左サラウンド信号 S_L は、右サラウンド信号 S_R よりも 3 dB 高くエンコードされる。逆に、強い右サラウンド信号 S_R が第 2 の検出器 163 によって検出されると、第 5 の増幅器 164 から正移行出力が生成される。この正移行出力は第 6 の増幅器 165 によって反転され、第 2 のダイオード 158 を介して、第 2 の VCA 156 の制御ポートに供給され、第 2 の VCA 156 の出力を更に 3 dB 減衰させる。逆バイアスされている第 1 のダイオード 159 のために、正移行電圧は第 1 の VCA 157 の制御ポートには印加されない。したがって、第 1 の VCA 157 の出力は -3 dB のままであり、右サラウンド信号 S_R は、左サラウンド信号 S_L よりも 3 dB 高くエンコードされる。

【0028】

この技法は、L が - R よりも僅かにホットな(hotter) L - R 信号のエンコード処理を可能にするものであり、意図的に左後方に特定して指向性制御を行い、他の全チャネルの指向性を低下させることができる。同様に、- R 信号を 1 の利得でエンコードし、L 信号を -3 dB でエンコードすることによって、独立した右サラウンド信号も実現することができる。このように、あらゆるエンコード信号を左前方、右前方、中央、左後方または右後方チャネルのみに供給可能な、5 - 2 - 5 マトリクス・システムを得ることができる。

【0029】

次に図 6 L を参照する。L および R 入力信号は左指向性制御回路 40 に印加される。入力信号 L は増幅器 42 によって反転され、加算ネットワーク 46 に供給される。R 入力信号は、加算ネットワーク 46 に供給される前に、VCA 43 を通過する。VCA は従来技術において一般的に知られかつ用いられているものであり、当業者は、本発明において示す電圧制御増幅器全てに適正な機能を与える電圧制御増幅器を、いかにして実施するかについては理解しているであろう。VCA 43 は、その制御ポートに印加される信号 F_V によって制御される。VCA 43 の出力は、 18 dB / オクターブ反転低域通過フィルタ 45 の入力に供給される。当業者は、かかるフィルタ・ネットワークをどのように設計し実施

するかについては理解しているであろう。また、フィルタ 45 の出力は、加算ネットワーク 46 に供給される。フィルタ 45 の出力は VCA 43 の出力と加算され、フィルタ 45 の折点周波数より低い低域情報全てが差し引かれる。実際には、この折点周波数は典型的に 200 Hz である。増幅器 42、VCA 43、および低域通過フィルタ 45 の出力が加算ネットワーク 46 において加算されると、加算ネットワーク 46 の出力は、左および右入力間の差を含むことになる。しかしながら、低域通過フィルタ 45 の折点周波数より低いロー・パス情報は影響を受けないので、出力に現われることになる。このプロセスは、左出力 L_O 信号からの中央チャネル情報の除去を可能にするものである。VCA 43 の制御ポートに印加される信号 F_V が正に移行すると、VCA 43 の出力が減衰し、中央信号 $L + R$ の相殺が少なくなる。したがって、静止状態において、VCA 43 の制御ポートに印加される信号 F_V は正となり、減衰は生じないことがわかる。中央チャネル情報 $L + R$ が指向性制御電圧発生器 80 によって検出されると、信号 F_V は負に移行し、最終的には 0 ボルトに達し、その結果、左出力 L_O から中央チャネル信号が完全に除去されることになる。

【0030】

次に、加算増幅器 46 の出力が第 2 の VCA 50 に供給され、VCA 50 は左出力信号 L_O を発生する。第 2 の VCA 50 は、図 2 で得られた信号 B_V によって制御される。入力において検出された $L - R$ 情報は正移行電圧を生成し、その結果、第 2 の VCA 50 において減衰が生じる。これによって、強いサラウンド情報 $L - R$ が左前方出力信号 L_O において減衰され、エンコード処理過程の間に印加された激しいサラウンド信号が左前方から完全に除去され、各後方サラウンド・チャネルにおいてのみ現われるようにすることが可能となる。

【0031】

図 6 R は、右指向性制御回路 60 を開示する。右指向性制御回路 60 は、入力信号 L および R が逆になることを除いて、左指向性制御回路 40 と同様に動作し、右出力信号 R_O を発生する。

【0032】

次に図 7 を参照する。左 + 右信号 ($L + R$) が中央指向性制御回路 120 に入力される。この入力信号は VCA 122 を介して供給され、中央指向性制御回路 120 の中央チャネル出力 C_O を発生する。VCA 122 は指向性制御電圧発生器 80 からの L / R_V 信号によって制御される。広帯域左または右パンニングが正移行 L / R_V 信号を VCA 122 の制御ポートに生成するので、左または右広帯域パンニングによって、VCA 122 が中央出力 C_O を減衰することが明白になる。

【0033】

次に図 8 を参照する。サラウンド指向性制御回路 130 は、 $L - R$ 信号をその入力で受け、それを VCA 132 の入力に印加する。VCA 132 は、指向性制御電圧発生器 80 からの L / R_V 信号によって制御される。本システムは、極端に激しい (ハードな) 左または激しい右広帯域パンニングのみが減衰するように構成されているので、典型的なステレオ状態の下では、最大左 / 右方向情報は存在し続ける。VCA 132 の出力は高域通過フィルタ 137 に印加され、2 つの駆動指向性制御 VCA 139 および 140 に出力される高帯域出力を生成する。また、VCA 132 の出力は、低域通過フィルタ 138 に印加され、2 つの更に他の駆動指向性制御 VCA 141 および 142 に出力される低帯域出力を生成する。フィルタ 137 および 138 については、本発明者の先に引用した '713 特許に、高域通過フィルタ 31 および低域通過フィルタ 32 として、明確に開示されかつ記載されている。第 1 の指向性制御 VCA 139 からの高帯域出力は、加算増幅器 147 において、第 3 の指向性制御 VCA 141 からの低帯域出力と加算される。これら 2 つの信号を加算することにより、左後方チャネルに印加される左後方出力信号 L_{RO} を発生する。同様に、第 2 の指向性制御 VCA 140 からの高帯域出力は、第 4 の指向性制御 VCA 142 からの低帯域出力と加算され、右後方チャネルに供給される右後方出力信号 R_{RO} を発生する。指向性制御 VCA 139, 140, 141 および 142 の制御ポートにそれぞれ

10

20

30

40

50

れ印加される指向性制御電圧 L_{RHV} , R_{RHV} , L_{RLV} および R_{RLV} は、左および右後方またはサラウンド指向性を制御する。マルチバンド指向性制御の基本的動作は、本発明者の米国特許番号第 5 , 3 1 9 , 7 1 3 号に記載されている。

【 0 0 3 4 】

以上の説明から、本発明によれば、先に記載した目的、狙いおよび利点を完全に満足する 5 - 2 - 5 マトリクス・システムが提供されたことは明白である。本発明はその特定実施例に関連して説明してきたが、多くの代替物、変更物および改造物は、これまでの説明に基づいて、当業者には明白であることは明らかである。したがって、特許請求の範囲の精神に該当する代替物、変更物および改造物は、本発明に含まれることを意図するものである。

10

【図面の簡単な説明】

【図 1】本発明の好適実施例のブロック図。

【図 2】図 1 の指向性制御電圧発生器の一部ブロックノ一部構成図。

【図 3】従来技術のエンコード処理方法のブロック図。

【図 4】図 3 の全域通過ネットワークの出力の位相対周波数グラフ。

【図 5】本発明のために実施したエンコード処理方法のブロック図。

【図 6】図 6 L は図 2 の左指向性制御回路の一部ブロックノ一部構成図、図 6 R は図 2 の右指向性制御回路の一部ブロックノ一部構成図。

【図 7】図 2 の中央指向性制御回路の一部ブロックノ一部構成図。

【図 8】図 2 のサラウンド指向性制御回路の一部ブロックノ一部構成図。

20

【符号の説明】

9 L , 9 R 入力ノード

1 0 L , 1 0 R 増幅器

2 0 加算増幅器

3 0 差動増幅器

3 1 , 3 2 , 3 6 , 3 7 加算増幅器

3 3 , 3 4 , 3 5 全域通過ネットワーク

4 0 左操向制御回路

4 2 増幅器

4 3 V C A

30

4 5 1 8 d B / オクターブ反転低域通過フィルタ

4 6 加算増幅器

8 0 操向制御電圧発生器

8 2 L , 8 2 R 高域通過フィルタ

8 3 L , 8 3 R レベル検出器

8 4 L , 8 4 R バッファ増幅器

8 5 差動増幅器

8 6 反転増幅器

8 7 L , 8 7 R R ダイオード

8 8 A 抵抗

40

8 8 B コンデンサ

8 8 C 増幅器

8 8 L , 8 8 R 時定数発生器

9 0 L , 9 0 R 低域通過フィルタ

9 1 L , 9 1 R 検出器

9 2 L , 9 2 R 演算増幅器

9 3 差動増幅器

9 4 反転増幅器

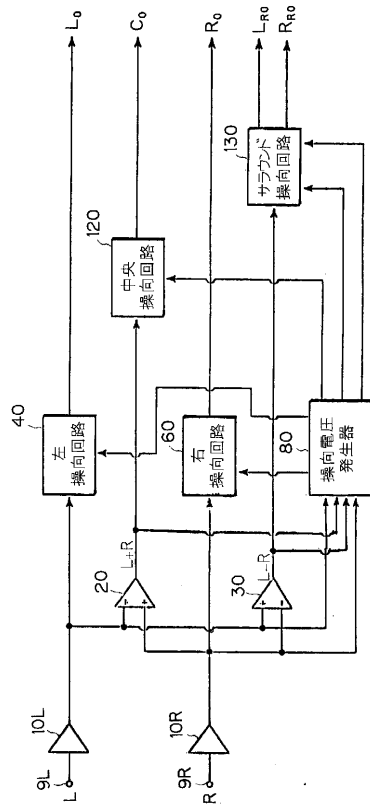
9 5 L , 9 5 R ダイオード

9 6 L , 9 6 R 時定数発生器

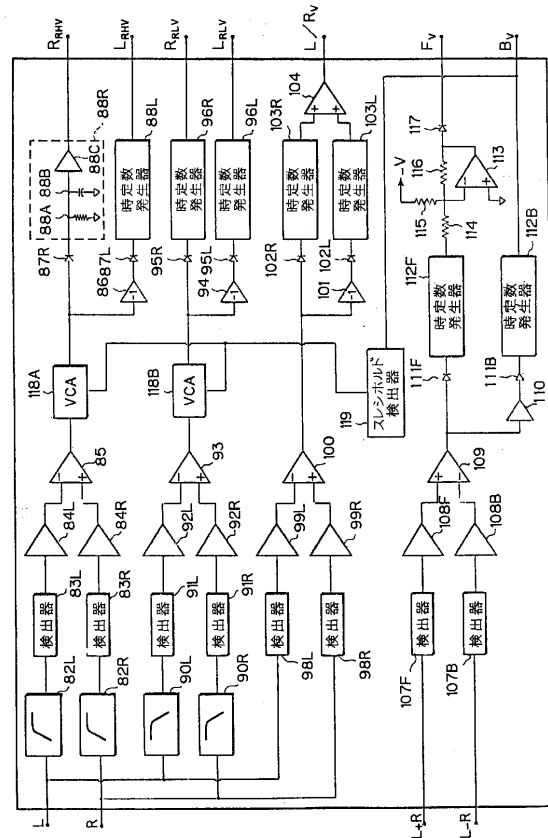
50

9 8 L , 9 8 R	検出器	
9 9 L , 9 9 R	演算増幅器	
1 0 0	差動増幅器	
1 0 1	反転増幅器	
1 0 2 L , 1 0 2 R	ダイオード	
1 0 3 L , 1 0 3 R	時定数発生器	
1 0 4	加算増幅器	
1 0 7 B , 1 0 7 F	検出器	
1 0 8 B , 1 0 8 F	増幅器	
1 0 9	差動増幅器	10
1 1 0	反転増幅器	
1 1 2 B , 1 1 2 F	時定数発生器	
1 1 3	演算増幅器	
1 1 5	抵抗	
1 1 7	ダイオード	
1 1 8 A , 1 1 8 B	V C A	
1 1 9	スレシホルド検出回路	
1 2 0	中央操向制御回路	
1 2 2 , 1 3 2	V C A	
1 3 0	サラウンド操向制御回路	20
1 3 7	高域通過フィルタ	
1 3 8	低域通過フィルタ	
1 3 9 , 1 4 0 , 1 4 1 , 1 4 2	駆動操向制御 V C A	
1 4 7	加算増幅器	
1 5 0 , 1 5 1 , 1 6 0 , 1 6 1 , 1 6 4 , 1 6 5	加算増幅器	
1 5 2 , 1 5 3 , 1 5 4 , 1 5 5	全域通過ネットワーク	
1 5 6 , 1 5 7	V C A	
1 5 8 , 1 5 9	ダイオード	
1 6 2 , 1 6 3	レベル検出回路	

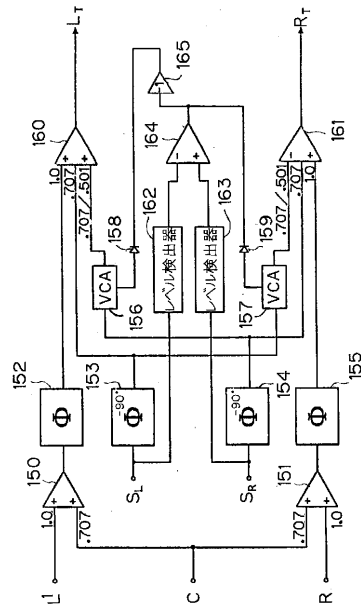
【図 1】



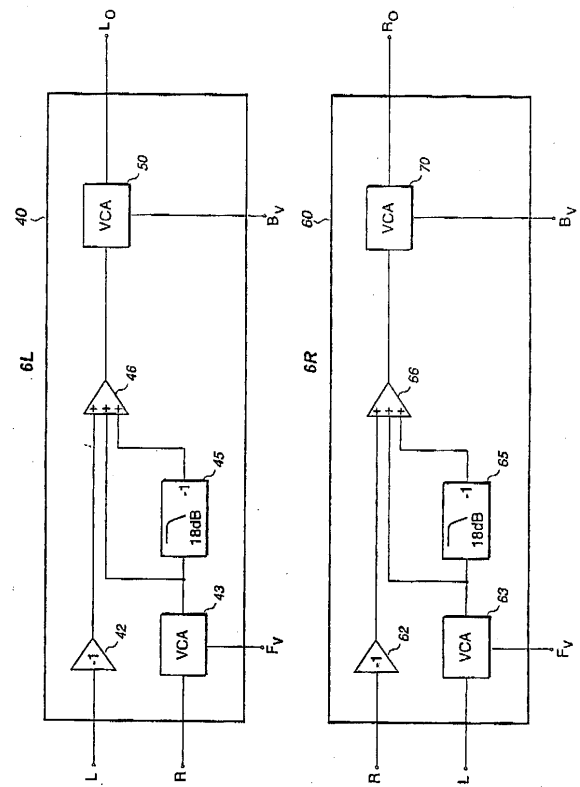
【図 2】



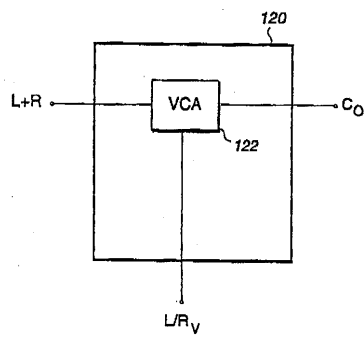
【図 5】



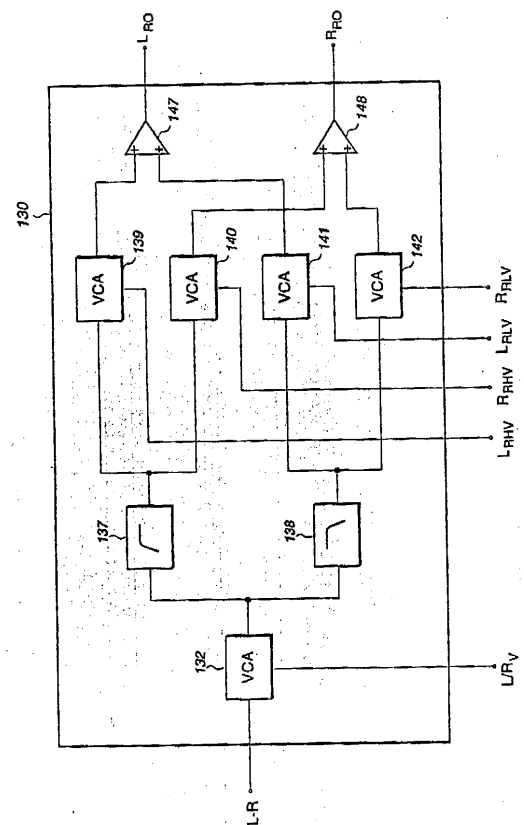
【図 6】



【図 7】



【図 8】



フロントページの続き

(74)代理人 100076691

弁理士 増井 忠式

(74)代理人 100075236

弁理士 栗田 忠彦

(74)代理人 100075270

弁理士 小林 泰

(74)代理人 100087424

弁理士 大塚 就彦

(72)発明者 ジェームズ・ケー・ウォーラー, ジュニア

アメリカ合衆国ミシガン州48348, クラークストン, アレン・ロード 9901

合議体

審判長 藤内 光武

審判官 小池 正彦

審判官 志摩 兆一郎

(56)参考文献 特開平6-319199(JP, A)

特開平7-307997(JP, A)

特開平6-153299(JP, A)

特開平7-7800(JP, A)