

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成17年4月28日(2005.4.28)

【公開番号】特開2003-68994(P2003-68994A)

【公開日】平成15年3月7日(2003.3.7)

【出願番号】特願2002-179456(P2002-179456)

【国際特許分類第7版】

H 01 L 27/105

H 01 L 27/10

H 01 L 43/08

【F I】

H 01 L 27/10 4 4 7

H 01 L 27/10 4 5 1

H 01 L 43/08 Z

【手続補正書】

【提出日】平成16年6月22日(2004.6.22)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

メモリセルの抵抗性交点アレイからなるデータ記憶デバイスであって、各メモリセルが、メモリエレメントと、前記メモリエレメント上に導電性硬質マスク材料とを含む、データ記憶デバイス。

【請求項2】

前記マスク材料がダイヤモンドライクカーボンからなる、請求項1に記載のデータ記憶デバイス。

【請求項3】

前記マスク材料が、前記メモリエレメントの設計抵抗の約10%~50%の抵抗を有する、請求項1に記載のデータ記憶デバイス。

【請求項4】

各メモリエレメントがスピニ依存トンネル接合を含む、請求項1に記載のデータ記憶デバイス。

【請求項5】

前記アレイのための複数のワード線およびビット線と、及び
選択されたメモリセルに対する読み出し操作中に前記選択されたメモリセルの抵抗状態をセンシングするための回路とをさらに含み、その回路が、選択されたビット線に第1の電位を印加し、選択されたワード線に第2の電位を印加し、選択されないワード線および選択されないビット線のサブセットに第3の電位を印加し、その第3の電位が前記第1の電位に等しい、請求項1に記載のデータ記憶デバイス。

【請求項6】

前記マスク材料上にメタライゼーションをさらに含む、請求項1に記載のデータ記憶デバイス。

【請求項7】

データ記憶デバイスのメモリセルであって、
メモリエレメントと、及び

前記メモリエレメントの表面上のダイヤモンドライクカーボンの薄膜とを含む、メモリセル。

【請求項 8】

前記メモリエレメントがスピニン依存トンネル接合を含む、請求項 7 に記載のメモリセル。

【請求項 9】

前記薄膜が、前記メモリエレメントの設計抵抗の約 10 % ~ 50 % の抵抗を有する、請求項 7 に記載のメモリセル。

【請求項 10】

磁気ランダムアクセスメモリデバイスを製作する方法であつて、
メモリエレメント層のスタックを形成すること、
前記スタック上に導電性硬質マスク材料を堆積すること、
前記マスクを用いて前記スタックをメモリエレメントへとパターニングすること、及び
前記メモリエレメント上に前記マスクを残すことを含む、磁気ランダムアクセスメモリデバイスを製作する方法。

【請求項 11】

前記硬質マスクがダイヤモンドライクカーボンからなる、請求項 10 に記載の磁気ランダムアクセスメモリデバイスを製作する方法。

【請求項 12】

前記マスク材料の抵抗が、堆積条件によって設定される、請求項 10 に記載の磁気ランダムアクセスメモリデバイスを製作する方法。

【請求項 13】

前記抵抗が窒素のドーピングに依存する、請求項 12 に記載の磁気ランダムアクセスメモリデバイスを製作する方法。

【請求項 14】

前記マスク材料の抵抗が、前記メモリエレメントの設計抵抗の約 10 % ~ 50 % の間である、請求項 10 に記載の磁気ランダムアクセスメモリデバイスを製作する方法。

【請求項 15】

パターニング後に前記マスク材料上にメタライゼーションを形成することをさらに含む、請求項 10 に記載の磁気ランダムアクセスメモリデバイスを製作する方法。

【請求項 16】

前記スタックが、磁気メモリ層を堆積することにより形成される、請求項 10 に記載の磁気ランダムアクセスメモリデバイスを製作する方法。

【請求項 17】

データ記憶デバイスのメモリセルを製作する方法であつて、
メモリエレメント層のスタックを形成すること、
前記スタック上にダイヤモンドライクカーボンのマスクを堆積すること、
前記マスクを用いて前記スタックにおいてメモリエレメントをパターンニングすること、及び
前記マスク上にメタライゼーションを形成することを含む、データ記憶デバイスのメモリセルを製作する方法。

【請求項 18】

前記マスクの抵抗が、堆積条件によって設定される、請求項 17 に記載のデータ記憶デバイスのメモリセルを製作する方法。

【請求項 19】

前記抵抗が窒素のドーピングに依存する、請求項 18 に記載のデータ記憶デバイスのメモリセルを製作する方法。

【請求項 20】

前記マスクの抵抗が、前記メモリエレメントの設計抵抗の約 10 % ~ 50 % の間である、請求項 17 に記載のデータ記憶デバイスのメモリセルを製作する方法。