

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-247751

(P2004-247751A)

(43) 公開日 平成16年9月2日(2004.9.2)

(51) Int.Cl.⁷

H01L 29/78

H01L 29/786

F I

H01L 29/78

655E

テーマコード (参考)

5F11O

H01L 29/78

653A

H01L 29/78

654Z

H01L 29/78

655A

H01L 29/78

655G

審査請求 有 請求項の数 3 O L (全 48 頁) 最終頁に続く

(21) 出願番号 特願2004-116886 (P2004-116886)
(22) 出願日 平成16年4月12日 (2004.4.12)
(62) 分割の表示 特願平11-225146の分割
原出願日 平成4年8月7日 (1992.8.7)
(31) 優先権主張番号 特願平3-199343
(32) 優先日 平成3年8月8日 (1991.8.8)
(33) 優先権主張国 日本国 (JP)
(31) 優先権主張番号 特願平3-354303
(32) 優先日 平成3年12月20日 (1991.12.20)
(33) 優先権主張国 日本国 (JP)

(71) 出願人 000003078
株式会社東芝
東京都港区芝浦一丁目1番1号
(74) 代理人 100058479
弁理士 鈴江 武彦
(74) 代理人 100091351
弁理士 河野 哲
(74) 代理人 100088683
弁理士 中村 誠
(74) 代理人 100108855
弁理士 蔵田 昌俊
(74) 代理人 100084618
弁理士 村松 貞男
(74) 代理人 100092196
弁理士 橋本 良郎

最終頁に続く

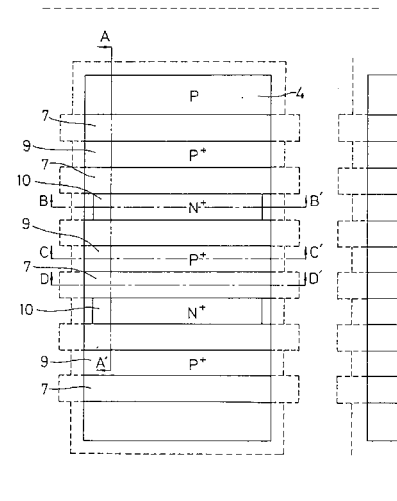
(54) 【発明の名称】 半導体素子

(57) 【要約】

【課題】 大きな電流遮断能力を得ると共に、寄生サイリスタのラッチアップを防止しながらサイリスタ並の低いオン抵抗を実現した埋込み絶縁ゲート構造の電力用半導体素子を提供することを目的とする。

【解決手段】 p型エミッタ層3、n型ベース層1、p型ベース層4を持つp型ベース層4側に複数のストライプ状の溝5が形成され、この溝5に絶縁ゲート電極7が埋込み形成される。p型ベース層4内には、溝5の側面に接してn型ターンオフ用チャネル層8が形成され、その表面にp型ドレイン層9が形成される。p型ベース層4には、サイリスタがラッチアップしないように浅く拡散形成されたn型ソース層10が設けられ、カソード電極11はp型ドレイン層9とn型ソース層10に同時にコンタクトして形成される。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

第 2 導電型エミッタ層と、
前記第 2 導電型エミッタ層に接して形成された第 1 導電型ベース層と、
前記第 1 導電型ベース層内に形成された複数の溝にゲート絶縁膜を介して埋込み形成されたゲート電極と、
前記第 1 導電型ベース層表面部に前記溝の側面に接して形成された第 1 導電型のターンオフ用チャンネル層と、
前記溝の側面に接して前記ターンオフ用チャンネル層表面に形成された第 2 導電型ドレイン層と、
前記第 1 導電型ベース層の表面部に前記ターンオフ用チャンネル層を越えない深さに拡散形成された第 1 導電型ソース層と、
前記第 2 導電型ドレイン層および第 1 導電型ソース層に同時にコンタクトして形成された第 1 の主電極と、
前記第 2 導電型エミッタ層に形成された第 2 の主電極と、
を備えたことを特徴とする電力用半導体素子。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、埋込み絶縁ゲート構造を有する電力用の半導体素子に関する。

20

【背景技術】

【0002】

GTO等の各種サイリスタは、良く知られているようにオン状態でラッチアップするために低いオン抵抗（したがって小さいオン電圧）が実現できる反面、最大遮断電流密度は小さい。特に絶縁ゲート構造を利用してターンオフを行う絶縁ゲート付きサイリスタでは、通常のGTOサイリスタに比べて電流遮断能力が低くなる。これと逆にIGBT等は、サイリスタ構造を内蔵するがこれがラッチアップしない条件で使用するよう設計されるため、最大遮断電流密度は比較的大きいが、ラッチアップしないためにオン抵抗が高い。

【発明の開示】

【発明が解決しようとする課題】

30

【0003】

以上のように従来の電力用半導体素子は、低いオン抵抗を得るためにはpnpnサイリスタをラッチアップさせることが必要であり、サイリスタをラッチアップさせると電流を遮断しにくくなる、という問題があった。

【0004】

本発明は、ラッチアップさせることなく十分に低いオン抵抗を実現することができ、またラッチアップさせないために大きな最大遮断電流密度を持たせることを可能とした埋込み絶縁ゲート型の電力用半導体素子を提供することを目的とする。

【課題を解決するための手段】

【0005】

40

本発明に係る電力用半導体素子は、第 1 導電型エミッタ領域と、この第 1 導電型エミッタ領域からの第 1 導電型キャリアの注入が実質的にチャンネルを介して行われ、オン状態で導電変調を起こす高抵抗ベース領域と、この高抵抗ベース領域に第 2 導電型キャリアを注入する第 2 導電型エミッタ領域と、前記高抵抗ベース領域中の第 2 導電型キャリアを排出する第 2 導電型ドレイン領域とを備え、オン状態での前記高抵抗ベース領域内のキャリア濃度が、この高抵抗ベース領域の中心部での濃度より前記第 1 導電型エミッタ領域側で高濃度となる部分を有することを特徴とする。

【0006】

また本発明に係る電力用半導体素子は、高抵抗ベース層と、この高抵抗ベース層表面に所定の間隔をもって埋め込まれた絶縁ゲートと、この絶縁ゲートで挟まれた領域内に形成

50

された第1導電型エミッタ層と、前記絶縁ゲートにより誘起され、前記第1導電型エミッタ層から高抵抗ベース層に第1導電型キャリアを注入するチャネル領域と、前記高抵抗ベース層に第2導電型キャリアを注入する第2導電型エミッタ層と、前記絶縁ゲートにより挟まれた領域に形成され前記高抵抗ベース層から第2導電型キャリアを排出する第2導電型ドレイン層とを備え、前記第2導電型ドレイン層間の距離を $2C$ 、前記絶縁ゲートで挟まれた領域の幅を $2W$ 、前記第2導電型ドレインと高抵抗ベース層の界面から絶縁ゲート先端までの距離を D としたとき、

$$X = \{ (C - W) + D \} / W$$

なる式で表されるパラメータ X が、 $X \geq 5$ を満足することを特徴とする。

【0007】

10

[作用]

本発明によれば、注入効率を低く最適設計したエミッタ層と、微細寸法をもって配列形成される埋込み絶縁ゲート部の溝の深さと幅と間隔を最適設計することによって、寄生サイリスタ構造をラッチアップさせることなく、サイリスタ並みの低いオン抵抗が得られる。その理由は、後に詳細に説明するが、本発明の構造では、埋込みゲート電極部とこれに隣接する第2導電型ドレイン層および第1導電型エミッタ層を含めて広義のエミッタ領域と定義した時に、このエミッタ領域内での第2導電型キャリアの抵抗 R_p と、溝側面に形成されるターンオンチャネルの第1導電型キャリアに対する抵抗 R_n の比 R_p / R_n を4以上とすることによって、十分に大きなエミッタ注入効率を得られることになるからである。

20

【0008】

パラメータ X は、第1導電型エミッタ層側の第2導電型キャリアのバイパスまたはドレイン層が互いにどれだけ離れているかを表す量であり、第1導電型エミッタ層側の高抵抗ベース層短絡抵抗が隣り合う埋込みゲート部を跨ぐ距離 $2D + 2(C - W)$ に比例し、エミッタ幅 $2W$ に反比例する事から導入されたものである。このパラメータ X は、小さければ小さい程、第1導電型エミッタ層側の第2導電型キャリアの排出抵抗が小さいことを意味する。そして $X \geq 5$ を満たすように各部の寸法を最適化することによって、サイリスタ動作することなく十分低いオン電圧を得ることができる。

【0009】

本発明の素子での埋込みゲートを含む広義のエミッタ注入効率 γ は次のように求まる。まず溝間に流れる電流を、オンMOSチャネルを流れる電子電流 I_{ch} [A]とそれ以外の電流密度 J_T [A/cm²]に分けて考える。ただし電流密度は、素子断面からの単位奥行1cmで考える。単位セルに流れる電流密度は J [A/cm²]であり、溝間隔 $2W$ [cm]、単位セルサイズ $2C$ [cm]とし、溝内の仮想的な注入効率を γ_T とすると、

30

$$\gamma = (I_{ch} + \gamma_T \times J_T \times W \times 1) / (I_{ch} + J_T \times W \times 1) \quad \cdots (1)$$

ここで、

$$C \cdot J = J_T \times W \times 1 + I_{ch} \quad \cdots (2)$$

$$I_{ch} = \Delta \psi / R_{ch} \quad \cdots (3)$$

R_{ch} はオンMOSチャネルの抵抗である。 $\Delta \psi$ はオンMOSチャネルの両端のポテンシャル差（深さ D の両端のポテンシャル差）であり、溝内の電流連続の式

40

$$\begin{aligned} J_p &= (1 - \gamma_T) J_T \\ &= -k T \mu_p (dn/dx) - q \mu_p \cdot n (d\psi/dx) \quad \cdots (4) \end{aligned}$$

$$\begin{aligned} J_n &= \gamma_T J_T \\ &= k T \mu_n (dn/dx) - q \mu_n \cdot n (d\psi/dx) \quad \cdots (5) \end{aligned}$$

から求まり、

$$\begin{aligned} \Delta \psi &= (k T / q) \times \\ &\quad \{ \mu_n (1 - \gamma_T) + \mu_p \gamma_T \} / \{ \mu_n (1 - \gamma_T) - \mu_p \gamma_T \} \\ &\quad \times [\log(n) - \log \{ n - (dn/dx) D \}] \quad \cdots (6) \end{aligned}$$

$$dn/dx = - (J_T / 2 k T) \{ (1 - \gamma_T) / \mu_p - \gamma_T / \mu_n \} \quad \cdots (7)$$

となる。これら (2)~(7) 式から、(1) 式の注入効率を求めることができる。そし

50

て、W、D、Cを最適化することにより、カソード側のエミッタ（またはソース）層の注入効率を上げなくても、広義のエミッタ領域の注入効率を上げることができる。この結果、オン時に高抵抗ベース層中に蓄積されるキャリアを増大させることができ、本来サイリスタに比べてオン状態のキャリアの蓄積の小さな（伝導変調の小さい）バイポーラトランジスタやIGBTに本発明の上述した“キャリア注入コンセプト”を適用することによって、これらの素子のオン電圧をサイリスタ並みに低くすることができる。

【発明の効果】

【0010】

以上述べたように本発明によれば、埋込み絶縁ゲートを持つ微細セル構造で大きい電流遮断能力を実現し、しかも埋込み絶縁ゲート部の幅と間隔の設計によって寄生サイリスタをラッチアップさせることなくサイリスタ並のオン抵抗を実現した絶縁ゲート型電力用半導体素子を得ることができる。

【発明を実施するための最良の形態】

【0011】

以下、図面を参照しながら本発明の実施例を説明する。

【0012】

図1は、本発明の第1の実施例に係る埋込み絶縁ゲート型電力用半導体素子のレイアウトであり、図2、図3、図4および図5はそれぞれ、図1のA-A'、B-B'、C-C'およびD-D'断面図である。

【0013】

この絶縁ゲート型半導体素子は、高抵抗のn型ベース層1の一方の面にn型バッファ層2を介してp型エミッタ層3が形成されている。n型ベース層1の他方の面にはp型ベース層4が拡散形成されている。

【0014】

p型ベース層1には、ストライプ状をなす複数本の溝5が微小間隔をもって形成されている。これらの溝5の内部には、ゲート酸化膜6を介してゲート電極7が埋込み形成されている。各溝5の間のストライプ状領域には、一本おきにn型ターンオフチャネル層8が形成され、このターンオフチャネル層8の表面にはp型ドレイン層9が形成されている。これにより、n型ターンオフチャネル層8の側面が埋込みゲート電極7により制御される縦型のpチャネルMOSFETが構成されている。残りのストライプ状領域には、表面部にn型ソース層10が拡散形成されている。ここで、n型ソース層10、p型ベース層4、n型ベース層1およびp型エミッタ層3により構成される寄生サイリスタ構造はラッチアップしないように、n型ソース層10は浅く拡散形成されている。

【0015】

従ってカソード側レイアウトは、埋込みゲート電極7-p型ドレイン層9-埋込みゲート電極7-n型ソース層10という配列が繰り返されたパターンとなっている。

【0016】

第1の主電極であるカソード電極11は、n型ソース層10、p型ドレイン層9に同時にコンタクトして配設されている。p型エミッタ層3には第2の主電極であるアノード電極12が形成されている。

【0017】

具体的な素子寸法は、例えば次の通りである。n型ベース層1となる高抵抗はn型ウェハの厚みを450 μm とし、これに両側からn型バッファ層2を15 μm 、p型ベース層4を2 μm の深さで形成する。p型ベース層4に形成する溝5は、幅、間隔共に1 μm 、深さ5 μm とする。ゲート酸化膜6は0.1 μm 以下の熱酸化膜またはONO膜（酸化膜／窒化膜／酸化膜）とする。n型ターンオフチャネル層8は、表面にp型ドレイン層9が形成されて実質0.5 μm のチャンネル長となる。n型ソース層10は1 μm 以下、p型エミッタ層3は、約4 μm の深さに拡散形成する。

【0018】

このように構成された絶縁ゲート型半導体素子の動作は、次の通りである。ゲート電極

7にカソードに対して正の電圧を与えると、p型ベース層4周辺部のターンオンチャンネルが導通してn型ソース層10から電子がn型ベース層1に注入され、IGBT動作によってターンオンする。ゲート電極7に負の電圧を与えると、埋込みゲート部のn型ターンオフチャンネル層8の溝側面部が反転して、pチャンネルMOSトランジスタ動作によってp型ベース層4のキャリアがp型ドレイン層9を介してカソード電極11に吸い出され、ターンオフする。

【0019】

この実施例の場合、素子がオン状態でも、n型ソース層10-p型ベース層4-n型ベース層1-p型エミッタ層3により構成される寄生サイリスタはラッチアップしないように設計されており、オンチャンネルが閉じれば、n型ソース層10からの電子注入は止まる。
10

【0020】

この実施例によれば、単位セルサイズ $4\mu\text{m}$ （すなわち、埋込みゲート $1\mu\text{m}$ -p型ドレイン層 $1\mu\text{m}$ -埋込みゲート部 $1\mu\text{m}$ -n型ソース層 $1\mu\text{m}$ ）という微細寸法として、埋込みゲート部の深さと密度を十分な大きさに設計することにより、サイリスタ動作させないにもかかわらず、十分に小さいオン抵抗が得られる。素子のオン状態でターンオフチャンネルが閉じていることも、小さいオン抵抗が得られる理由になっている。またオン状態で寄生サイリスタがラッチアップせず、オフ時にはターンオフチャンネルが開いて正孔のバイパスがなされるため、一旦ラッチアップさせた後にターンオフするGTOサイリスタ等に比べて、最大電流遮断能力は大きい。
20

【0021】

図6は、本発明の第2の実施例の埋込み絶縁ゲート型電力用半導体素子のレイアウトであり、図7、図8および図9はそれぞれ図6のA-A'、B-B'およびC-C'断面図である。先の実施例と対応する部分には先の実施例と同一符号を付して詳細な説明は省略する。

【0022】

この実施例では、周期的に配列形成される溝5がp型ベース層4を深く突き抜ける状態に形成されている。たとえば、p型ベース層が $3\mu\text{m}$ として、溝5は $6\mu\text{m}$ 程度とする。溝5にゲート酸化膜6を介してゲート電極7が埋込み形成される事は先の実施例と同じである。
30

【0023】

またこの実施例では、溝5の間隔が先の実施例より広く、たとえば $2\mu\text{m}$ としている。そして各溝5間のストライプ領域のすべてにn型ターンオフチャンネル層8とp型ドレイン層9が溝5に接して形成され、溝5から離れた位置にn型ソース層10が形成されている。ここで、n型ソース層10が、これとp型ベース層4、n型ベース層1およびp型エミッタ層3との間で構成される寄生サイリスタがラッチアップしないように形成されることは、先の実施例と同様である。ただしn型ソース層10とn型ターンオフチャンネル層8とは連続している。

【0024】

この実施例では、n型ターンオフチャンネル層8の下にあるp型ベース層4の溝5の側面部がターンオンチャンネルとなっている。すなわち溝5に埋込み形成されたゲート電極7は、ターンオン用とターンオフ用を兼用しており、ターンオフ用pチャンネルMOSFETとターンオン用nチャンネルMOSFETが縦積みされた状態に形成されている。
40

【0025】

この実施例の素子は、ゲート電極7に正電圧を印加して、p型ベース層4の溝5側面にn型チャンネルを形成することにより、ターンオンする。このときn型ソース層10からn型ターンオフチャンネル層8を介し、反転n型チャンネルを介してn型ベース層1に電子が注入される。ゲート電極7に負電圧または零電圧を与えて、先の実施例と同様にターンオフする。

【0026】

この実施例によっても、先の実施例と同様の効果が得られる。

【0027】

図10は、本発明の第3の実施例の埋込み絶縁ゲート型電力半導体素子のレイアウトであり、図11、図12および図13はそれぞれ図10のA-A'、B-B'およびC-C'断面図である。この実施例は、第2の実施例の構成を基本として、埋込みゲート電極部の幅とこれに挟まれる領域の幅の比をより大きくしたものである。

【0028】

具体的な素子寸法は、n型ベース層1となる高抵抗はn型ウェハの厚みを450 μm とし、これに両側からn型バッファ層2を15 μm 、p型ベース層4を2 μm の深さで形成する。p型ベース層4に形成する溝5は、幅5 μm 、間隔1 μm 、深さ5 μm とする。ゲート酸化膜6は0.1 μm 以下の熱酸化膜又はONO膜とする。n型ターンオフチャネル層8は、表面にp型ドレイン層9が形成されて実質0.5 μm のチャネル長となる。n型ソース層10は1 μm 以下、p型エミッタ層3は、約4 μm の深さに拡散形成する。

【0029】

この実施例の素子も第2の実施例と同様の動作となる。この実施例では、素子内で埋込みゲート電極部の占める面積を、これに挟まれる領域の面積より十分大きくしている。この結果、埋込みゲート電極部を含む広義のエミッタ領域内での正孔に対する抵抗が大きくなり、その結果としてこの広義のエミッタ領域の電子注入効率が上がる。つまり、n型ソース層10領域の面積に比べて埋込みゲート電極領域の面積が大きいにも拘らず、電子電流に対する抵抗と正孔電流に対する抵抗の差によって等価的に大きな電子注入効率が得られ、低いオン抵抗が実現される。そしてn型ソース層10そのものの実際の電子注入効率は低いため、ターンオフ能力はIGBT並みに高いものとなる。

【0030】

図14は、第3の実施例を変形した実施例のレイアウトであり、図15、図16および図17はそれぞれ、図14のA-A'、B-B'およびC-C'断面図である。この実施例では、先の実施例と異なり、溝5がp型ベース層4内に止まっている。

【0031】

この実施例でも、各部の素子寸法を最適設計することによって、先の実施例と同様に、低いオン抵抗と高い電流遮断能力の両立を図ることができる。

【0032】

図18は、第2の実施例の素子を基本として、アノード側にも同様の埋込みゲート構造を適用した実施例の単位セル部の断面構造を示している。すなわちn型ベース層のカソード側の面に第2の実施例で説明したように、埋込みゲート電極7が形成され、その埋込み溝4に挟まれてp型ベース層、n型ソース層が形成され、溝4の側面にはn型ターンオフチャネル層およびp型ドレイン層が形成されている。このカソード側と対照的に、アノード側にも溝20が形成されてここにゲート電極21が埋込み形成され、溝20の間には、カソード側とは各部の導電型が逆になった拡散層が形成されている。

【0033】

図18には、具体的な素子寸法が示されている。またカソード側のA-A'部分およびB-B'部分の不純物濃度分布を示すと、それぞれ図19(a)(b)のようになっている。

【0034】

この実施例の素子では、ターンオン時、アノード側の埋込みゲート電極21にもアノード電極に対して負の電圧が印加される。ターンオフ時はアノード側の埋込みゲート電極21にはアノード電極に対して零または正の電圧が印加される。この実施例の素子によっても、先の実施例と同様の効果が得られる。

【0035】

ここで、本発明の埋込み絶縁ゲート型素子が大電流領域でもサイリスタ動作しないpn-pn構造を採用しながら、サイリスタ並みの低いオン抵抗が得られる理由について、シミュレーションデータを参照しながら詳細に説明する。

【0036】

10

20

30

40

50

図20は、計算に使用したモデルの1/2セルの断面図であり、図21はその新型エミッタ構造の原理説明図である。図20の基本はIGBTであるので、通常のサイリスタにおけるn型エミッタは存在しない。カソード側の電子注入はMOSチャネルにより行われて、このMOSFETを構成するn型ドレイン層がn型エミッタとして寄生サイリスタがラッチアップしないように、正孔電流のバイパス抵抗を十分小さく設計する。しかし正孔電流のバイパス抵抗を小さくすることは、図20の構造をサイリスタ（またはダイオード）と比較した場合のn型エミッタの注入効率を低下させることと等価であり、素子のオン電圧の上昇という結果を招く。

【0037】

この事をわかりやすく示したのが図21である。MOSのソース層と埋込みゲートを微細寸法で配列した本発明の素子では、MOSのソース層と埋込みゲート部を含めた領域全体をエミッタ領域として考えて、その注入効率を考える方が分かり易い。即ち、図中の破線で囲んだ領域を広義のエミッタ領域と定義すると、この広義のエミッタ領域の注入効率 γ は、正孔電流抵抗 R_p と電子電流抵抗 R_n によって次のように表すことができる。

【0038】

$$\begin{aligned} \gamma &= J_n / (J_n + J_p) \\ &= (R_p / R_n) / \{1 + (R_p / R_n)\} \quad \dots (8) \end{aligned}$$

但し、広義のエミッタ領域端での横方向の電位分布はないものと仮定している。ここで、 $R_p / R_n = 3$ とすると、 $\gamma = 0.75$ であり、 $R_p / R_n = 4$ とすると、 $\gamma = 0.8$ である。

【0039】

通常のサイリスタまたはダイオードのエミッタ注入効率が0.7以上であることを考えると、図20の埋込み絶縁ゲート構造のIGBTでも、広義のエミッタの注入効率を0.8以上にすれば、すなわち $R_p / R_n > 4$ とすれば、サイリスタ並みのオン電圧が得られることを意味している。

【0040】

現在の平面ゲート構造のIGBTでは、 R_p / R_n がほぼ3程度であり、 $R_p / R_n > 4$ にするとラッチアップ耐量が低下する。その理由は幾つかあるが、例えば、平面ゲート構造のIGBTではその構造上、横方向の電子電流抵抗と正孔電流抵抗の差をつけにくいことがある。オン状態での横方向抵抗が低く（ 100 A/cm^2 の電流密度通電時で、約 $3 \times 10^{16} / \text{cm}^3$ のキャリアがあり、p型ベース層による正孔横方向抵抗が減少している）、この横方向の抵抗で正孔電流抵抗を稼ごうとしても、単位面積当りのMOSオンチャネル数の減少を招き、逆に電子電流抵抗を増大させる結果となり、したがって広義のエミッタの注入効率が低下してしまう。ESTなどの場合、正孔電流抵抗を稼ぐためにセルサイズを大きくするが、この方法は単位面積当りのオンチャネル数を減らすことになり、正孔電流抵抗が十分増える前に電子電流抵抗が増加してしまうので、結局広義のエミッタ領域の注入効率が上がらず、素子のオン抵抗を小さくすることが難しい。また単純に正孔電流の短絡率を下げて正孔電流抵抗を上げようとする、ラッチアップ耐量が下がってしまう。

【0041】

そこで、単位面積当りのMOSチャネル数を増やしながら、正孔電流の短絡抵抗を下げずに、正孔電流抵抗を電子電流抵抗の4倍以上とする構造が必要になる。本発明者等の検討結果によれば、埋込みゲート構造の幅と深さ、間隔等を最適化することによって、このような条件が実現できることが明らかになった。

【0042】

以下に具体的なシュレーションデータを示す。先ず、計算に使用した図20のIGBT構造は、順阻止耐圧4500Vのものであって、その素子パラメータは次の通りである。不純物濃度 $1 \times 10^{13} / \text{cm}^3$ 、厚さ450 μm のn型高抵抗シリコン基板を用いて、アノード側には、深さ15 μm 、表面濃度 $1 \times 10^{16} / \text{cm}^3$ のn型パッファ層と、深さ4 μm 、表面濃度 $1 \times 10^{19} / \text{cm}^3$ のp型エミッタ層を形成している。カソード側には、深さ2

μm 、表面濃度 $1 \times 10^{17} / \text{cm}^3$ の p 型ベース層と、深さ $0.2 \mu\text{m}$ 、表面濃度 $1 \times 10^{19} / \text{cm}^3$ の p 型ソース層を形成している。カソード側の埋込みゲート部のゲート電極は厚さ $0.05 \mu\text{m}$ のシリコン酸化膜または ONO 膜等により分離されている。

【0043】

図 20 に示すように、埋込みゲート部の深さは D (p 型ベース層から n 型ベース層内に突き出た部分) であり、セルサイズは $2C$ 、エミッタ幅は $2W$ であり、したがって埋込みゲート部の幅とエミッタ幅の比率は、 $W / (C - W)$ である。これらの寸法 C 、 W 、 D と、正孔ライフタイム τ_p をパラメータとして、素子のオン電圧に与える埋込みゲート電極構造の効果を調べた。その結果が、図 22 ~ 図 27 である。

【0044】

図 22 は、セルサイズが $2C = 6 \mu\text{m}$ 、エミッタ幅が $2W = 1 \mu\text{m}$ 、したがって埋込みゲート部の幅が $2(C - W) = 5 \mu\text{m}$ 、正孔ライフタイムが $\tau_p = \tau_n = 2.0 \mu\text{sec}$ のモデルで、埋込みゲート部の深さ D を変化させた時のアノード・カソード間電圧 2.6V での素子電流密度を求めた結果である。ゲート印加電圧は $+15 \text{V}$ (すべてのオン電圧の計算で共通) である。

【0045】

図 23 は、エミッタ幅 $2W = 1 \mu\text{m}$ 、埋込みゲート部の深さ $D = 5 \mu\text{m}$ 、正孔ライフタイム $\tau_p = 30 \mu\text{sec}$ のモデルで、埋込みゲート部の幅 $C - W$ を変化させた時の、アノード・カソード間電圧 2.6V での素子電流密度を求めた結果である。

【0046】

図 23 に示すように、埋込みゲート部の幅が $1 \mu\text{m}$ から $5 \mu\text{m}$ 程度までは埋込みゲート部の幅が増加するにしたがって素子電流は急激に増加するが、 $10 \mu\text{m}$ 程度で電流は頭打ちとなり、 $15 \mu\text{m}$ になると素子電流は逆に減り始める。この現象は、次のように説明できる。埋込みゲート部の幅がエミッタ幅に比べて広くなると、エミッタ直下の埋込み溝側面近くの正孔電流密度が高くなり、その結果埋込み溝下部側面で電位が上昇する。この結果 MOS チャネルが飽和していない状態では電子電流に対する正孔電流の比率が増加し、結果として広義のエミッタ領域の注入効率が高くなって、素子電流密度が増加する。しかし、埋込みゲート部の幅が更に広くなると、MOS チャネルが飽和すると共に、単位面積当りの MOS チャネル数が減少することによって、電子電流の MOS チャネル抵抗が大きくなり、素子に流れる電子電流が制限されて、エミッタ注入効率が低下し、素子電流が減少することになる。

【0047】

また、p 型ベース層と n 型エミッタ層のコンタクトをカソード短絡と考えると、埋込みゲート部の幅が広がるとこのカソード短絡の横方向抵抗を増やすのと同じ効果 (注入効率に関しては、広義のエミッタ領域内のカソード短絡率を減らしたと等価) があり、この結果注入効率が増加してオン電圧が下がる。しかし、埋込みゲート部の幅が広くなり過ぎると、単位面積当りのオンチャンネル数が減少する結果、電子電流抵抗が増加するので、注入効率が低下してオン電圧が上がる。

【0048】

図 24 は、エミッタ幅 $2W = 1 \mu\text{m}$ 、埋込みゲート部の深さ $D = 5 \mu\text{m}$ 、正孔ライフタイム $\tau_p = 2.0 \mu\text{sec}$ のモデルで、埋込みゲート部の幅 $C - W$ を変化させた時のアノード・カソード間電圧 2.6V での素子電流密度を求めた結果である。埋込みゲート部の幅が $1 \mu\text{m}$ から $5 \mu\text{m}$ 程度までは急激に電流が増えるが、 $10 \mu\text{m}$ から $15 \mu\text{m}$ で頭打ちとなる。 $\tau_p = 30 \mu\text{sec}$ の場合に比べて、電流が飽和する埋込みゲート部幅が広いのは、素子に流れる電流の絶対値が小さい ($1 / 10$ 程度) からである。

【0049】

図 25 は、エミッタ幅 $2W = 1 \mu\text{m}$ 、埋込みゲート部の深さ $D = 5 \mu\text{m}$ 、正孔ライフタイム $\tau_p = 2 \mu\text{sec}$ のモデルで、埋込みゲート部の幅 $2(C - W)$ が $1 \mu\text{m}$ の場合 (A) と $15 \mu\text{m}$ の場合 (B) の、アノード・カソード間順方向電圧を変化させた時の電流特性をプロットしたものである。

10

20

30

40

50

【0050】

図に示すように、アノード・カソード間電圧が13Vの点で電流がクロスしている。13V以下では、埋込みゲート部の幅15 μm のモデルの方が電流値が大きく、特に2V以下では1桁電流値が大きい。13V以上では電流値の大きさが逆転する。

【0051】

図26は、図20のIGBT素子モデルを、先の第2の実施例の素子構造に変更した図30の素子モデルについて、エミッタ幅 $2W=3\mu\text{m}$ 、埋込みゲート部の幅 $2(C-W)=13\mu\text{m}$ 、埋込みゲート部の深さ $D=12.5\mu\text{m}$ 、p型ベース層深さ $2.5\mu\text{m}$ 、n型ソース層の深さ $1\mu\text{m}$ 、p型ドレイン層の深さ $0.5\mu\text{m}$ 、正孔ライフタイム $\tau_p=1.85\mu\text{sec}$ としたときの電流-電圧特性である。アノード・カソード間電圧が2.6Vの時に素子電流が $100\text{A}/\text{cm}^2$ となるように、 τ_p が設定されている。 10

【0052】

図27は同様に、図30のモデルでの電流密度 $I_{ak}=5223[\text{A}/\text{cm}^2]$ 、 $V_{ak}=25\text{V}$ からの抵抗負荷でのターンオフ波形である。ゲート電圧上昇率 $dV_G/dt=-30[\text{V}/\mu\text{sec}]$ で、+15Vから-15Vまでゲート電圧を変化させてある。

【0053】

ちなみに、 $100\text{A}/\text{cm}^2$ の時のエミッタ領域直下のキャリア濃度を $1\times 10^{16}/\text{cm}^3$ と仮定すると、エミッタ幅 $W=1.5\mu\text{m}$ 、埋込みゲート部の深さ $D=12.5\mu\text{m}$ での正孔電流抵抗は、

$$R_p = 0.5 \times 12.5 \times 10^{-4} \div 1.5 \times 10^{-4} = 4.2 \Omega \quad \cdots (9)$$

であり、電子電流抵抗を $R_n=1\Omega$ とすると、注入効率は $\gamma=0.81$ である。 20

【0054】

以上のデータから明らかなように、埋込み絶縁ゲート部を含む広義のエミッタ領域の形状寸法を最適化することによって、サイリスタ動作をさせることなく、サイリスタと同程度の低いオン抵抗を実現できることが分かる。

【0055】

従来の方法ではエミッタ層は単一の高濃度不純物拡散層からなり、このエミッタ拡散層から高抵抗ベース層にキャリアを注入していた。本発明は、従来の単一の高濃度不純物拡散層の代わりに高抵抗ベースへのキャリア注入と排出にMOSチャネルとキャリア排出の流れをコントロールする構造（即ち、キャリア排出抵抗又は拡散電流を局所的に変化させる）を使うことによって従来の高濃度不純物拡散層を使わなくとも高い注入効率を得る構造に関するものである。 30

【0056】

本発明において、カソード側のpベース短絡抵抗は、隣り合う埋込みゲート部を跨ぐ距離 $2D+2(C-W)$ に比例し、エミッタ幅 $2W$ に反比例する傾向がある。そこで、次のパラメータ X を導入する。

【0057】

$$\begin{aligned} X &= \{2D+2(C-W)\} / 2W \\ &= \{D+(C-W)\} / W \end{aligned} \quad \cdots (10)$$

このパラメータ X は、カソード側の正孔バイパスまたはドレイン層が互いにどれだけ離れているかを表す量で、小さければ小さいほどカソード側の正孔の排出抵抗（短絡抵抗）が小さいことを意味する。 40

【0058】

図28は、このパラメータ X を横軸にとって、素子のライフタイム τ_p と前述の D 、 C 、 W を変化させた時の素子に流れる電流密度を表したものである。白丸は、 $\tau_p=30\mu\text{sec}$ 、 $W=0.5\mu\text{m}$ 、 $D=5\mu\text{m}$ で C を変化させた時のもの、黒丸は $\tau_p=2\mu\text{sec}$ 、 $W=0.5\mu\text{m}$ 、 $C=1\mu\text{m}$ で D を変化させた時のもの、二重丸は $\tau_p=2\mu\text{sec}$ 、 $W=1.5\mu\text{m}$ 、 $C=8\mu\text{m}$ 、 $D=15\mu\text{m}$ の時のもの、×印は $\tau_p=2\mu\text{sec}$ 、 $W=0.4\mu\text{m}$ 、 $C=1\mu\text{m}$ で D を変化させたものである。

【0059】

順方向耐圧 4 5 0 0 V の素子で $1 0 0 \text{ A} / \text{cm}^2$ の電流容量を確保するためには例えば、 $W = 0.5 \mu\text{m}$ 、 $D = 2 \mu\text{m}$ 、 $C = 1 \mu\text{m}$ として、

$$X \geq 5$$

とすることが必要である。さらに図 2 2 ～ 図 2 8 のデータより、 $W = 0.5 \mu\text{m}$ 、 $D = 5 \mu\text{m}$ 、 $C = 1 \mu\text{m}$ のとき、 $X = 11$ であり、 $W = 1.5 \mu\text{m}$ 、 $D = 13.5 \mu\text{m}$ 、 $C = 8 \mu\text{m}$ のとき、 $X \sim 13$ である。すなわち、 $X > 8$ 或いは $X > 10$ 、さらに好ましくは、 $X > 13$ とすることによって、著しく特性が向上することがわかる。

【0060】

なおこの場合のオン状態でのキャリア濃度分布を対応する断面と共に示したのが、図 2 9 である。右側のグラフ中、実線は本発明、破線は従来例である。I G B T 構造の場合と比べて、 n^- 型ベース層のカソード側にキャリア濃度分布のピークを持つことに本発明の特徴が見られる。オン状態での n^- 型ベース層のキャリア濃度は、 $10^{11} \sim 10^{18} / \text{cm}^3$ 、より好ましくは $1 \times 10^{15} \sim 1 \times 10^{18} / \text{cm}^3$ 程度となるように設計される。

10

【0061】

また、寸法 W 、 D 、 C のうち W が小さければ小さいほど、 X は大きくなり、実際の素子特性は向上する。しかし、 D は大きくなると正孔抵抗が増すだけでなく、オンチャネルを通して高抵抗ベースに注入されるキャリアの抵抗も増大する。例えば、 $D = 500 \mu\text{m}$ になると、注入キャリアの抵抗による電圧降下と排出正孔の抵抗による電圧降下が等しくなり、素子のトータルのオン電圧が高くなる。

【0062】

また、 C を大きくすると、 W の範囲の電流密度が上り、広義のエミッタ注入効率は上るが、 C を大きくすることは単位面積当りのオンチャネル数を減らすことになり、 C を余り大きくすると実質的なオンチャネル抵抗が増大してしまう。図 2 8 にも見られるように、 $X > 30 \mu\text{m}$ 以上でその傾向が現れるから、 C は $500 \mu\text{m}$ 以下に設計するのが好ましい。

20

【0063】

図 3 1 は、本発明の他の実施例の埋込み絶縁ゲート型電力半導体素子のレイアウトであり、図 3 2 および図 3 3 はそれぞれ図 3 1 の $A-A'$ および $B-B'$ 断面図である。

【0064】

この実施例では、溝 5 が n 型ベース層 1 に達する深さをもって p 型ベース層 4 を矩形に取り囲むように形成され、さらにその中に複数本のストライプ状の溝 5 が周辺の溝 5 と連続して形成されている。溝 5 内にはゲート酸化膜 6 を介して埋込みゲート電極 7 が形成されている。

30

【0065】

溝 5 の間のストライプ状領域の p 型ベース層 4 内には、 n 型ターンオフチャネル層 8 が形成されている。そしてこの n 型ターンオフチャネル層 8 に、溝 5 の長手方向に沿って交互に、 p 型ドレイン層 9 と n 型ソース層 10 が分散配置されて形成されている。 p 型ドレイン層 9 は n 型ターンオフチャネル層 8 の表面部に形成され、 n 型ソース層 10 と n 型ターンオフチャネル層 8 は実際には同じ拡散層である。

【0066】

この実施例の素子は、 n 型エミッタ層 10 の下にある p 型ベース層 4 の溝 5 の側面部がターンオンチャネルとなっている。また p 型ドレイン層 9 下の n 型ターンオフチャネル層 8 の溝 5 側面部がターンオフチャネルとなる。したがって先の実施例と同様に、溝 5 に埋込み形成されたゲート電極 7 がターンオン用とターンオフ用を兼ねている。

40

【0067】

この実施例の素子は、埋込みゲート電極 7 に正電圧を印加して、 p 型ベース層 4 の溝側面に n 型チャネルを形成することにより、ターンオンする。埋込みゲート電極 7 に負電圧を印加すると、 n 型ターンオフチャネル層 8 の溝側面部に p 型チャネルが形成されて、先の各実施例と同様にしてターンオフする。

【0068】

50

この実施例によっても、先の各実施例と同様の効果が得られる。またこの実施例の素子は、先の実施例と同様に埋込みゲート部で耐圧を担うため、p型ベース層4の不純物濃度を低いものとする事ができる。たとえば、p型ベース層4のピーク不純物濃度を $1 \times 10^{16} / \text{cm}^3$ 程度とすることができ、これに伴ってn型ターンオフチャネル層8のピーク不純物濃度を $1 \times 10^{17} / \text{cm}^3$ 程度とすることができ、その結果、n型ターンオフチャネル層8の溝側面にp型チャネルを形成するに必要なしきい値はたとえば5V程度の小さいものとする事ができ、小さいゲート電圧でオフ制御ができる。

【0069】

第34図は、本発明の別の実施例の埋込み絶縁ゲート型半導体素子のレイアウトであり、図35および図36はそれぞれ、図34のA-A'およびB-B'断面図である。

10

【0070】

この実施例の素子は、図31～図33の実施例の素子のp型ベース層4を省略したもので、所謂静電誘導サイリスタとなっている。n型ベース層1の不純物濃度と、溝5の幅（図35の断面に示される溝5に挟まれたn型ベース層1の幅）を適当な値に設定すれば、溝5に挟まれたn型ベース層1の部分全体の電位を埋込みゲート電極7により制御する事ができる。

【0071】

ゲート電極7に正の電圧を印加して、溝5に挟まれたn型ベース層1の電位を上げると、n型ソース層10から電子が注入されて、素子はターンオンする。ゲート電極7に負の電圧を印加すると、n型ターンオフチャネル層8の溝側面にp型チャネルが形成されて、n型ベース層1のキャリアがp型ドレイン層9を介してカソード電極13に排出されるようになり、素子はターンオフする。

20

【0072】

図37は、さらに別の実施例の埋込み絶縁ゲート型半導体素子のレイアウトであり、図38および図39はそれぞれ図37のA-A'およびB-B'断面図である。

【0073】

この実施例は、図31～図33の実施例の素子を僅かに変形したものである。複数本のストライプ状の溝5は、互いに独立しており、これらの周囲は深いp型ベース層4'により囲まれている。埋込みゲート部の間のp型ベース層4に形成されるn型ターンオフチャネル層8、p型ドレイン層9、n型ソース層10の分布や深さ等は先の実施例と同様である。

30

【0074】

図40は、さらに別の実施例の埋込み絶縁ゲート型半導体素子のレイアウトであり、図41および図42はそれぞれ図40のA-A'およびB-B'断面図である。

【0075】

この実施例は、図34～図35の実施例の素子を、図37～図39の実施例と同様に変形したものである。

【0076】

これらの実施例によっても、先の各実施例と同様の効果が得られる。

【0077】

図42～図44は、図31～図33の実施例を変形して、p型ベース層4を埋込みゲート部より深くした実施例である。

40

【0078】

図46～図48は、さらに図43～図45の実施例を変形して、n型ターンオフチャネル層8を省略した実施例である。

【0079】

図49～図51はさらに、図46～図48の構造においてp型ベース層を省略した実施例である。

【0080】

これらの実施例によっても、前述したように各部の形状寸法、特に埋込みゲート部の幅

50

と間隔を最適設計して、広義のエミッタ領域の注入効率を十分に大きくして低いオン抵抗を実現することができる。

【0081】

図52～図55は、図11～図14の実施例と同様の構造をIGBTに適用した実施例である。溝5の側面に接してn型ソース層10が形成され、カソード電極1はこのn型ソース層10とこれらの間に露出するp型ベース層4に同時にコンタクトする。

【0082】

図56～図58は、同様に図37～図39の構造をIGBTに適用した実施例である。

【0083】

図59は、図53の変形例である。エミッタ幅2Wに対して埋込みゲート部の幅2(C-W)が余り広いと、溝加工の信頼性が低下する。この様な場合に本来一つでよい溝を複数個に分けて形成することにより、歩留まり向上が図られる。幅2(C-W)の中に露出するn型ベース層部分にはp型ベースやn型ソースは形成されない。

【0084】

図60～図62は、本発明を横型のIGBTに適用した実施例の単位セル部のレイアウトとそのA-A'、B-B'断面図である。第1のシリコン基板20と第2のシリコン基板22を間に酸化膜21を挟んで直接接着して得られたウェハの第2のシリコン基板22側を素子領域として、これを所定厚みに加工してn型ベース層1とする。このn型ベース層1に底部酸化膜21に達する深さの溝5が形成されここにゲート電極71が埋込み形成される。埋込みゲートの間にp型ベース層4およびn型ソース層10が形成され、これらの上にはゲート酸化膜6を介して埋込みゲート電極7と連続する表面ゲート電極72が形成される。埋込みゲート部から所定処理離れた位置にp型エミッタ層3が形成されている。p型エミッタ層3と埋込みゲート部の間には、p⁻型リサフ層23が形成されている。

【0085】

図63～図65は、上の実施例を変形してアノード側に埋込みゲートを設けた横型のIGBTの実施例のレイアウトとそのA-A'およびB-B'断面図である。素子形成側の第2の基板22をp⁻型ベース層24として、上の実施例と同様に溝5が形成され、これに埋込みゲート電極71が形成される。溝の間にn型ベース層1'、その中にp型ドレイン層3'が形成され、これらの上に上の実施例と同様に表面ゲート電極72が形成される。そしてドレイン領域から所定距離離れてn型ソース層10'が形成される。

【0086】

図66～図68は、図1～図5の実施例と同様の素子を横型素子として実現した実施例のレイアウトとそのA-A'およびB-B'断面図である。先の実施例と対応する部分には先の実施例と同一符号を付して詳細な説明は省略する。

【0087】

図69～図71は、上の実施例の各部の導電型を逆にした実施例の素子のレイアウトとそのA-A'およびB-B'断面図である。

【0088】

図31の実施例において、n型ソース層の幅d_{N+}とp型ドレイン層の幅d_{P+}が略等しい状態で示されているが、d_{N+}>d_{P+}とすればオン特性が改善され、d_{N+}<d_{P+}とすればオフ特性が改善される。したがってこれらの幅の関係を最適設計することにより、所望の特性が得られる。このことは、図34、図37、図40、図43、図46、図49、図56の素子においても同様である。

【0089】

可制御最大電流を増すためには、d_{N+}をキャリア拡散長程度かそれ以下に形成することが望ましく、オン電圧を下げたいときには最小の可制御最大電流を保証できる範囲でこれを大きく形成することが望ましい。

【0090】

以上のように本発明によれば、深い埋込み絶縁ゲート構造と、この埋込み絶縁ゲートに

挟まれた幅の狭い正孔電流通路を広い間隔で形成した構造、および注入効率を小さく抑えたカソードエミッタ構造の組合わせによって、電圧駆動型の素子であってラッチアップさせることなくGTOサイリスタ並の特性を実現することができる。

【0091】

横型素子の実施例をさらにいくつか説明する。

【0092】

図72～図74は、図66～図68の実施例の素子を変形した実施例である。この実施例では、p型ドレイン層9が埋込みゲート72により挟まれた領域のみならず、埋込みゲート72のカソード側端部側壁にまで延在させて設けられている。

【0093】

図75～図77は、図72～図74の構造を変形した実施例で、n型エミッタ層8を素子底部に達しない深さに拡散形成している。

【0094】

図78～80の実施例は、第2の基板22として、底部に p^+ 型層25を持つ p^- 型基板を用いて、その表面に n^- 型ベース層1を形成した他、図76～図77の実施例と同様である。

【0095】

図81～図83は、図78～図80の実施例を変形したもので、埋込みゲート電極71の幅に比べて表面ゲート電極72の幅を大きく選び、埋込みゲート電極71により挟まれた領域から所定距離離れたカソード側に、表面ゲート電極72で制御されるターンオンチャンネル領域およびターンオフチャンネル領域を形成した実施例である。

【0096】

図84以下は縦型素子の他の実施例の1/2セル断面構造を示している。

【0097】

図84は、長い電子注入チャンネルが形成される領域（幅Wで示す）の間の領域（幅Lで示す）には、図59のような埋込みゲートを設けないようにした実施例である。

【0098】

図85は、図84の素子において電子注入チャンネルが形成されない領域にも埋込み絶縁ゲート構造を形成した実施例である。ゲート電極7は溝5を完全には埋め込まず複数の溝5に沿って連続的に形成されている。そしてゲート電極7が形成された素子表面に溝5を埋めて表面を平坦化するようにCVD酸化膜31が形成されている。

【0099】

図86は、図84の素子の電子注入チャンネルが形成されない溝間にp型層32を形成した実施例である。このp型層32を設けることによって、チャンネルが形成されない領域でのカソード電極11とn型ベース層1間の耐圧を十分なものとすることができる。

【0100】

図87は、図86の素子構造において、ゲート電極7を多結晶シリコン膜により溝5を完全には埋めないように形成して、チャンネルが形成されない領域でこれに重ねてAl, Ti, Mo等の低抵抗金属ゲート33を形成したものである。低抵抗金属ゲート33上はポリイミド等の有機絶縁膜34で覆っている。

【0101】

図88は更に、チャンネルが形成されない領域全体に溝5を形成して、この溝5に沿って多結晶シリコン・ゲート電極7を形成すると共に、溝5の底部に低抵抗金属ゲート33を埋込み形成した実施例である。

【0102】

以上に説明した各実施例において、埋込みゲートで挟まれたチャンネル領域に、正孔電流バイパス抵抗を大きくするために、イオン注入等による低キャリアライフタイム層、或いはn型ベース層より高濃度のn型層等を設けることも有効である。

【0103】

例えば図89は、図86の素子において、p型ベース層4下にn型ベース層1より高濃

10

20

30

40

50

度の n 型層35を設けた実施例である。また図90は、 p 型ベース層4の下に低キャリアライフタイム層36を形成した実施例である。

【0104】

図91は、図87の構造を変形した実施例で、 p 型層32の上部にフローティングの n^+ 型エミッタ層36を形成したものである。電子注入部は p 型ドレインがなく、IGBT構造となっており、ゲート電極7に正電圧を印加した時に溝5の側壁に沿って n 型ソース層10から n^+ 型エミッタ層36の間にチャンネルが形成されて、 n^+ 型エミッタ層36がカソード電極11に繋がる。

【0105】

図92は、同様に図86の素子に対して、図91と同様の変形を施した実施例である。 10

【0106】

図93は、図85の実施例の素子において、電子注入チャンネル領域の外側の溝間に、 p 型ベース層4と同時に形成される p 型層32を設けた実施例である。更に図94は、図93の p 型層32を p 型ベース層4とは別にこれより深く形成して、その上部にフローティングの n 型エミッタ層36を形成した実施例である。

【0107】

図95は、図91の p 型層32および n^+ 型エミッタ層36をより深く形成して、埋込みゲート27により制御されるターンオン・チャンネルを短くした実施例である。

【0108】

前述した各実施例は、“独特にアレンジされたトレンチゲート電極構造による正孔バイパス抵抗を増加させ、以て電子注入効率を改善し半導体デバイスのオン抵抗を低下させる”という概念に基づいている。ここで注目すべき重要な事実は、本発明によれば、低下されたオン抵抗の達成は、本来、“正孔バイパス抵抗の増加”にこだわらなくてもよいという点である。なぜなら、キャリア注入の強化は、“正孔バイパス抵抗の増加”という思想を包含している“正孔の拡散電流と電子電流の比率を大きくする”という原理に基づいているからである。 20

【0109】

図96は本発明の更なる実施例に係るIEGT (injection-Enhanced Gate Bipolar Transistor) のレイアウトであり、図97、図98、図99および図100はそれぞれ、図96のA-A'、B-B'、C-C'およびD-D'断面図である。このトランジスタ構造において、図6～図9の実施例と同様な部分には同様な参照符号が付されている。 30

【0110】

n 型ソース層は n^+ 型半導体層10により構成される。これらのソース領域10は、 p 型ドレイン層4の表面部において、図96に示すようにトレンチゲート電極7に直角に伸びている。これらのソース領域10のトレンチゲート電極7と関連する断面は図97に示す。隣合う二個のトレンチゲート電極7の各対の間に位置する n^+ 型層10は、表面絶縁層202によって第一の主電極層11から電氣的に絶縁されている。

【0111】

図98に示されているように、隣接するトレンチゲート電極7間では、 n^+ 型層10は p 型ドレインとして機能する p^+ 型層9と交互配列されている。図99に示されている各トレンチゲート電極7の断面図は、図9のそれと同一である。 p^+ 型ドレイン領域9のトレンチゲート電極7に直角な方向での断面図は、図100に示されている。ここにおいて、図97の場合と同様なマナーで、隣合う二個のトレンチゲート電極7の各対の間に位置する p 型ドレイン層9は、上記表面絶縁層202によって第一の主電極層11から電氣的に絶縁されている。このトランジスタ構造の具体的寸法は、図1～図5のデバイスでのそれと同様でよい。 40

【0112】

本実施例におけるIEGTの動作は次の通りである。ゲート電極7にカソード電極11に対して正極性の電圧が印加されると、 p 型ベース層4の周辺部に位置するターンオンチャンネルが導通する。電子は、 n 型ソース層10から n 型ベース層1に注入され、 n 型ベー 50

ス層 1 に導電変調を起こす。これにより I E G T は I G B T 動作によってターンオンする。

【0113】

ゲート電極 7 にカソード電極 11 に対して負極性の電圧が印加されると、上記ターンオンチャネル領域からの電子の注入は止まる。トレンチゲート部のトレンチ 5 に面している側面部分（溝側側面部）に、反転層が形成される。公知の p チャネル MOS トランジスタ動作によって、p 型ベース層 4 内のキャリアが p 型ドレイン層 9 を介して、カソード電極 11 に排出される。半導体デバイスはターンオフする。この実施例の場合、このデバイスがターンオン状態でも、n 型ソース層 10、p 型ベース層 4、n 型ベース層 1 及び p 型エミッタ層 3 によって構成される寄生サイリスタは、ラッチアップしないように前述の説明のように特にアレンジされている。オンチャネルが閉じれば、n 型ソース層 10 からの電子注入は直ちに停止する。

10

【0114】

I E B T によれば、ある一対のトレンチゲート 7 と、該一対のトレンチゲート電極の間に位置し且つ電極 11 から絶縁されている P^+ 型ドレイン層 9 と、この絶縁された P^+ 型ドレイン層と対応するトレンチゲート電極 7 を挟んで隣合い且つ電極 11 とコンタクトしている他の P^+ 型ドレイン層 9 とによって、“単位セル”が規定される。

【0115】

電極 11 とコンタクトする p^+ ドレイン層との間に、比較的幅の狭いトレンチ溝に囲まれ、電極 11 と絶縁された領域を形成することで、幅の広いトレンチ溝（ $2C - 2W$ ）を形成するという技術的な困難を回避し、幅の広いトレンチ溝と同等の効果を上げることが可能である。

20

【0116】

複数のトレンチゲート電極 7 の深さと間隔、数を適切にアレンジすることにより（具体例は既に提示した）、デバイスをサイリスタ動作させないようにしつつ十分に低いオン抵抗を得ることができる。I E G T の主電極 11 の p 型ドレイン層 9 への“間引かれた”コンタクトは、正孔のバイパス電流の減少、即ち減少されたオン抵抗の実現に貢献している。また、この実施例では、オン状態で寄生サイリスタがラッチアップせず、ターンオフの際にはターンオフチャネルが開いて正孔の流れのバイパス路が形成される。従って、一旦ラッチアップされた後にターンオフするように構成された現行の G T O サイリスタ比べて、最大遮断電流能力は強化されている。

30

【0117】

ここで、正孔拡散電流の全電流に対する比率をアレンジすることにより大きな電子注入効率が得られる点について、説明を加える。

【0118】

広義のエミッタ領域（一例を図 21 中に破線で囲んだ部分に示している）の不純物濃度が比較的低い場合、例えば広義のエミッタ領域の中で n ~ p の伝導変調を生じる部分がある場合など、正孔の拡散電流 I_p 、特に縦方向（素子のアノードーカソード方向に平行に流れる拡散電流）と電子電流 I_n （ $= I - I_p$ 、 I ：全電流）の比を大きくするような構造を広義のエミッタ領域中に設けることで、広義のエミッタ領域の注入効率を増加し、素子のオン抵抗を減少させることができる。

40

【0119】

広義のエミッタ領域に流れる正孔電流 J_p （ A/cm^2 ）、n-ベースの広義のエミッタ側キャリア濃度 n （ cm^{-3} ）（図 29 中の n ）とする。

【0120】

広義のエミッタ領域に流れる正孔電流が縦方向（A-K 方向）のキャリアの拡散電流のみとすると、

$$J_p = 2 \cdot \mu_p \cdot k \cdot T \cdot W \cdot n / (C \cdot D) \quad \dots (12)$$

と表わすことができる。ここで、 μ_p はホール易動度、 k はボルツマン係数、 T は温度である。

50

【0121】

広義のエミッタ領域の正孔の注入効率 γ_p は

$$\gamma_p = J_p / J = J_p / (J_n + J_p) \\ = 2 \mu_p \cdot k \cdot T \cdot W \cdot n / (C \cdot D \cdot J) \quad \cdots (13)$$

$Y = W / (C \cdot D)$ とすると、

$$\gamma_p = 2 (\mu_p \cdot k \cdot T \cdot n / J) \cdot Y$$

γ_p の値は、 $\mu_p = 500$ 、 $k \cdot T = 4.14 \times 10^{-21}$ 、 $J = 100 \text{ A/cm}^2$ とすると

$$\gamma_p = 2 \times (500 \times 4.14 \times 10^{-21} / 100) \times 1 \times 10^{16} \times Y \\ = 4.14 \times 10^{-4} \cdot Y \quad \cdots (16)$$

γ_p は注入効率が十分低い時には

$$\gamma_p = J_p / (J_n + J_p) = \mu_p / (\mu_n + \mu_p) = 0.3 \quad \cdots (17)$$

程度であろう。つまり、広義のエミッタ領域の注入効率が大きいとは、

$$\gamma_p < 0.3 \quad \cdots (18)$$

ということであり、この条件を満たす Y は、

$$4.14 \times 10^{-4} \cdot Y < 0.3 \\ Y < 0.3 / 4.14 \times 10^{-4} \\ Y < 7.25 \times 10^2 \quad (\text{cm}^{-1}) \quad \cdots (19)$$

比較的オン電圧の高い場合で $n = 7 \times 10^{15}$ の時は、

$$Y < 1.0 \times 10^3 \quad (\text{cm}^{-1}) \quad \cdots (20)$$

である。

【0122】

つまり、パラメータ Y を上記の範囲に設計することによって、カソード電極にコンタクトしている不純物拡散層の注入効率が低くても、広義のエミッタ領域の注入効率を増加できる。即ち、高抵抗ベース層のオン状態におけるキャリアの蓄積を増加させることができ、素子のオン抵抗を減少させることが可能である。

【0123】

このように素子をアレンジした場合、注入効率の低いカソード拡散層は高い電流制御能力、高速のスイッチングを保証し、かつ本発明の効果である広義のエミッタ領域の注入効率の増加により、低い素子オン抵抗をも同時に実現することができる。

【0124】

広義のエミッタ領域が図20のようなトレンチ構造の場合、 Y の値は前述のように図20の D 、 C 、 W によって決まる。

【0125】

また、広義のエミッタ領域内に、不純物濃度の高いところ（抵抗で J_p が流れる）と、不純物濃度の低いところが共存する場合、広義のエミッタ領域の注入効率は、前述のパラメータ X と Y の両方を考慮する必要がある。

【0126】

図100の断面構造は、図101に示すように変形される。ここで、 n^+ 型ソース層10は、トレンチゲート電極7が埋め込まれた各トレンチ5の両側端面に接合するように延びている。

【0127】

図102～図106に示された IEGT は、基本的に、図96～図100のデバイスと図6～図9のデバイスとの組み合わせである。言い換えれば、この IEGT は、各 p^+ 型ドレイン層9は“梯子型平面形状”を持っている点で、図96～図100とは特徴的に異なっている。特に、図7で説明された n 型ソース層10が、 p^+ 型ベース層4の表面部に形成されている。 n 型ソース層10中において、各トレンチ5の両上方サイド端部に接合するように p 型ドレイン層9はアレンジされている。 p 型ドレイン層9は、 n 型ソース層10より浅い。 p 型ドレイン層9の底部と p 型ドレイン層4とによりサンドウィッチされた n 型ソース層10の部分は、図7で説明された n 型ターンオフチャネル層10として機

10

20

30

40

50

能する。2つの隣接するトレンチゲート電極7間のn型ソース層10の中央部分は図2のn型ソース層10に相当している。基板表面上を見ると、2つの隣接するトレンチゲート電極7間において、p型ドレイン層9は、n型ソース層10を平面的に囲み、これにより梯子型の平面形状を呈する。

【0128】

図104に示されているように、n型ソース層10は p^+ 型ドレイン層9より深く、従って、ここに示された断面構造に付いて見れば、n型ソース層10は p^+ 型ドレイン層9を囲っている。図105に示された各トレンチゲート電極7の断面構造は、図99のそれと同一である。図106に示されているように、 p^+ 型ドレイン層9は、表面絶縁層202によって“間引きされて”電極11にコンタクトされている。

10

【0129】

本実施例のIGBTによれば、n型ターンオフチャネル層の直下に位置するp型ベース層4のトレンチ接合側面部がターンオンチャネルとして機能する。従って、複数のトレンチゲート電極7の双方が、ターンオン駆動電極及びターンオフ駆動電極とを兼用していると言える。即ち、ターンオフ用pチャネルMOSFETと、ターンオン用nチャネルMOSFETとがデバイス内部で縦積みされた構造である。トレンチゲート電極7に正極性電圧が印加されると、p型ベース層4の各トレンチ接合側面部にn型チャネルが形成され、以てデバイスをターンオンさせる。このとき、各n型ソース層10からn型ターンオフチャネル及び反転層形成により現われるn型チャネルを介してn型ベース層1に電子が注入される。ターンオフ動作は、トレンチゲート電極7に負極性電圧を与えることにより、図96～図100の実施例200と同様なマナーで行われる。本実施例のIGBTによっても、図96～図100の実施例と同様な効果が得られる。

20

【0130】

最後に、図60～図83に開示された横型IGBTの2つの変形例を、図107～図202に提示する。図107～図109の横型IGBT及び図110～図112のIGBTの先の例との特徴的違いは、セル構造パラメータ“C”及び“W”の異なりが基板の厚さ方向に沿って設定された点にある。

【0131】

図108および図109に示されているように、中間絶縁層21上の n^- 型上方基板の表面に、全体的に均一の矩形断面形状をもつトレンチ222が形成されている。導電層224はトレンチ222内に絶縁的に埋め込まれている。導電層224の厚さはトレンチ222の深さより大きく、従って、導電層224の上半分は上方基板の表面からはみ出ている。導電層224は、トレンチゲート電極として機能する。上方基板の厚さはCである。情報基板のトレンチ部の厚さ、即ちトレンチ222の底部と中間絶縁層21とにサンドウィッチされた活性層の厚さは、図108に示されているように、Wである。このトレンチゲート電極224の底部に接する部分に、電子注入用またはターンオフ用のチャネル領域が形成される。

30

【0132】

このような横型IGBTでは、ターンオフ制御電極がMOSコントロールサイリスタ(MCT)構造となっている。図31～図33の実施例でのように、p型ドレイン層幅 D_p 及びn型ソース層幅 D_n を、もし $D_p < D_n$ とすればオン特性が強化され、 $D_p > D_n$ とすればターンオフ特性が強化される。これらの層の幅関係を最適にアレンジすれば、望まれるIGBTオン／オフ特性が容易に実現できる。このIGBTの可能制御最大電流を増すためには、幅 D_n をキャリア拡散長程度もしくはそれ以下に形成することが望ましい。オン電圧を下げるには、可能制御最大電流の最小要求レベルを保証できる範囲で幅 D_n を大きくすることが望ましい。

40

【0133】

このIGBTによれば、トレンチゲート電極構造224と中間絶縁膜21とによって挟まれた幅狭な(W)正孔電流通路を広げられた間隔で形成された構造、及び注入効率が低く抑制されたカソードエミッタ構造の組み合わせによって、抑制されたラッチアップを達成しつつ現行のGTOサイリスタ並にオン電圧が低められた電圧駆動型パワースイッチデバ

50

イスを実現することができる。

【0134】

図110～図112の横型IGBTは、n型ホールバイパス抵抗層226が追加されている点を除いて図107～図109のそれと似ている。ホールバイパス抵抗層226は、トレンチゲート電極224の底部に形成されており、図112に示されているように、 n^+ 型層10と接している。ホールバイパス抵抗層226の不純物濃度が（例えば $10^{16} \sim 10^{21} \text{ cm}^{-3}$ 程度に）高ければ、IGBTのオン特性は改善される。もしホールバイパス抵抗層226の不純物濃度が（例えば $10^{13} \sim 10^{18} \text{ cm}^{-3}$ 程度に）低ければ、IGBTのオフ特性を高く維持しつつオン特性の中程度の改善が期待できる。

【0135】

その他本発明は、その趣旨を逸脱しない範囲で種々変形して実施することができる。

【図面の簡単な説明】

【0136】

【図1】本発明の実施例の絶縁ゲート型半導体素子のレイアウト図。

【図2】図1のA-A'断面図。

【図3】図1のB-B'断面図。

【図4】図1のC-C'断面図。

【図5】図1のD-D'断面図。

【図6】他の実施例の絶縁ゲート型半導体素子のレイアウト図。

【図7】図6のA-A'断面図。

【図8】図6のB-B'断面図。

【図9】図6のC-C'断面図。

【図10】他の実施例の絶縁ゲート型半導体素子のレイアウト図。

【図11】図10のA-A'断面図。

【図12】図10のB-B'断面図。

【図13】図10のC-C'断面図。

【図14】他の実施例の絶縁ゲート型半導体素子のレイアウト図。

【図15】図14のA-A'断面図。

【図16】図14のB-B'断面図。

【図17】図14のC-C'断面図。

【図18】他の実施例の絶縁ゲート型半導体素子の単位セル構造を示す断面図。

【図19】図18の素子のA-A'およびB-B'一の不純物濃度分布を示す図。

【図20】シミュレーションモデルの埋込み絶縁ゲート型IBGTの断面図。

【図21】図20のモデルの動作原理を説明するための図、

【図22】同モデルの埋込みゲート部の深さと電流密度の関係を示す図。

【図23】同モデルの埋込みゲート部の幅と電流密度の関係を示す図。

【図24】同モデルの他の条件での埋込みゲート部の幅と電流密度の関係を示す図。

【図25】同モデルの電流－電圧特性を示す図。

【図26】同モデルの他の条件での電流－電圧特性を示す図。

【図27】同モデルの電流、電圧変化特性を示す図。

【図28】パラメータX（D，W，C）およびキャリアライフタイム τ_p と素子の電流密度の関係を示す図。

【図29】素子のオン状態でのキャリア濃度分布を示す図。

【図30】同モデルを図6の実施例の素子に適用した構造を示す図。

【図31】他の実施例の絶縁ゲート型半導体素子のレイアウト図。

【図32】図31のA-A'断面図。

【図33】図31のB-B'断面図。

【図34】他の実施例の絶縁ゲート型半導体素子のレイアウト図。

【図35】図34のA-A'断面図。

【図36】図34のB-B'断面図。

10

20

30

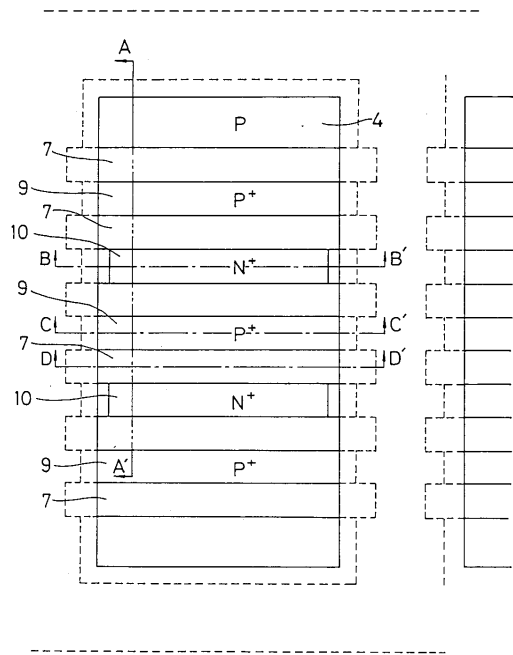
40

50

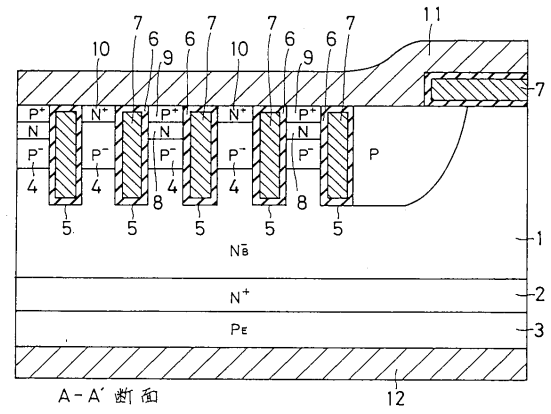
- 【図 3 7】他の実施例の絶縁ゲート型半導体素子のレイアウト図。
- 【図 3 8】図 3 7 の A - A ' 断面図。
- 【図 3 9】図 3 7 の B - B ' 断面図。
- 【図 4 0】他の実施例の絶縁ゲート型半導体素子のレイアウト図。
- 【図 4 1】図 4 0 の A - A ' 断面図。
- 【図 4 2】図 4 0 の B - B ' 断面図。
- 【図 4 3】他の実施例の絶縁ゲート型半導体素子のレイアウト図。
- 【図 4 4】図 4 3 の A - A ' 断面図。
- 【図 4 5】図 4 3 の B - B ' 断面図。
- 【図 4 6】他の実施例の絶縁ゲート型半導体素子のレイアウト図。 10
- 【図 4 7】図 4 6 の A - A ' 断面図。
- 【図 4 8】図 4 6 の B - B ' 断面図。
- 【図 4 9】他の実施例の絶縁ゲート型半導体素子のレイアウト図。
- 【図 5 0】図 4 9 の A - A ' 断面図。
- 【図 5 1】図 4 9 の B - B ' 断面図。
- 【図 5 2】他の実施例の絶縁ゲート型半導体素子のレイアウト図。
- 【図 5 3】図 5 2 の A - A ' 断面図。
- 【図 5 4】図 5 2 の B - B ' 断面図。
- 【図 5 5】図 5 2 の C - C ' 断面図。
- 【図 5 6】他の実施例の絶縁ゲート型半導体素子のレイアウト図。 20
- 【図 5 7】図 5 6 の A - A ' 断面図。
- 【図 5 8】図 5 6 の B - B ' 断面図。
- 【図 5 9】図 5 3 の変形例を示す図。
- 【図 6 0】他の実施例の絶縁ゲート型半導体素子のレイアウト図。
- 【図 6 1】図 6 0 の A - A ' 断面図。
- 【図 6 2】図 6 0 の B - B ' 断面図。
- 【図 6 3】他の実施例の絶縁ゲート型半導体素子のレイアウト図。
- 【図 6 4】図 6 3 の A - A ' 断面図。
- 【図 6 5】図 6 3 の B - B ' 断面図。
- 【図 6 6】他の実施例の絶縁ゲート型半導体素子のレイアウト図。 30
- 【図 6 7】図 6 6 の A - A ' 断面図。
- 【図 6 8】図 6 6 の B - B ' 断面図。
- 【図 6 9】他の実施例の絶縁ゲート型半導体素子のレイアウト図。
- 【図 7 0】図 6 9 の A - A ' 断面図。
- 【図 7 1】図 6 9 の B - B ' 断面図。
- 【図 7 2】他の実施例の絶縁ゲート型半導体素子のレイアウト図。
- 【図 7 3】図 7 2 の A - A ' 断面図。
- 【図 7 4】図 7 2 の B - B ' 断面図。
- 【図 7 5】他の実施例の絶縁ゲート型半導体素子のレイアウト図。
- 【図 7 6】図 7 5 の A - A ' 断面図。 40
- 【図 7 7】図 7 5 の B - B ' 断面図。
- 【図 7 8】他の実施例の絶縁ゲート型半導体素子のレイアウト図。
- 【図 7 9】図 7 8 の A - A ' 断面図。
- 【図 8 0】図 7 8 の B - B ' 断面図。
- 【図 8 1】他の実施例の絶縁ゲート型半導体素子のレイアウト図。
- 【図 8 2】図 8 1 の A - A ' 断面図。
- 【図 8 3】図 8 1 の B - B ' 断面図。
- 【図 8 4】他の実施例の 1 / 2 セル断面構造を示す図。
- 【図 8 5】他の実施例の 1 / 2 セル断面構造を示す図。
- 【図 8 6】他の実施例の 1 / 2 セル断面構造を示す図。 50

- 【図 8 7】他の実施例の 1 / 2 セル断面構造を示す図。
- 【図 8 8】他の実施例の 1 / 2 セル断面構造を示す図。
- 【図 8 9】他の実施例の 1 / 2 セル断面構造を示す図。
- 【図 9 0】他の実施例の 1 / 2 セル断面構造を示す図。
- 【図 9 1】他の実施例の 1 / 2 セル断面構造を示す図。
- 【図 9 2】他の実施例の 1 / 2 セル断面構造を示す図。
- 【図 9 3】他の実施例の 1 / 2 セル断面構造を示す図。
- 【図 9 4】他の実施例の 1 / 2 セル断面構造を示す図。
- 【図 9 5】他の実施例の 1 / 2 セル断面構造を示す図。
- 【図 9 6】他の実施例の I E G T のレイアウト図。 10
- 【図 9 7】図 9 6 の A - A ' 断面図。
- 【図 9 8】図 9 6 の B - B ' 断面図。
- 【図 9 9】図 9 6 の C - C ' 断面図。
- 【図 1 0 0】図 9 6 の D - D ' 断面図。
- 【図 1 0 1】図 1 0 0 の変形例を示す断面図。
- 【図 1 0 2】他の実施例の I E G T のレイアウト図。
- 【図 1 0 3】図 1 0 2 の A - A ' 断面図。
- 【図 1 0 4】図 1 0 2 の B - B ' 断面図。
- 【図 1 0 5】図 1 0 2 の C - C ' 断面図。
- 【図 1 0 6】図 1 0 2 の D - D ' 断面図。 20
- 【図 1 0 7】図 6 0 ~ 図 8 3 の横型 I G B T の変形例を示す図。
- 【図 1 0 8】図 6 0 ~ 図 8 3 の横型 I G B T の変形例を示す図。
- 【図 1 0 9】図 6 0 ~ 図 8 3 の横型 I G B T の変形例を示す図。
- 【図 1 1 0】図 6 0 ~ 図 8 3 の横型 I G B T の変形例を示す図。
- 【図 1 1 1】図 6 0 ~ 図 8 3 の横型 I G B T の変形例を示す図。
- 【図 1 1 2】図 6 0 ~ 図 8 3 の横型 I G B T の変形例を示す図。
- 【符号の説明】
- 【0 1 3 7】
- 1 … n 型ベース層、
 - 2 … n 型バッファ層、 30
 - 3 … p 型エミッタ層、
 - 4 … p 型ベース層、
 - 5 … 溝、
 - 6 … ゲート酸化膜、
 - 7 … ゲート電極、
 - 8 … n 型ターンオフチャネル層、
 - 9 … p 型ドレイン層、
 - 1 0 … n 型ソース層、
 - 1 1 … カソード電極、
 - 1 2 … アノード電極。 40

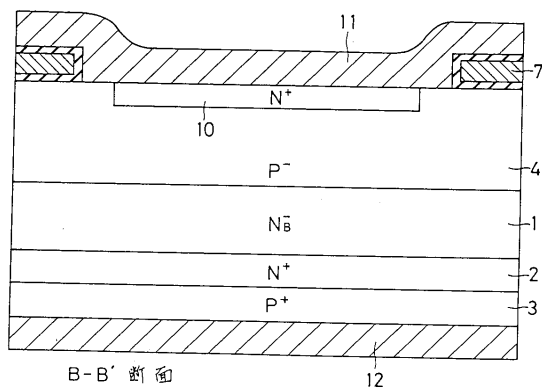
【図 1】



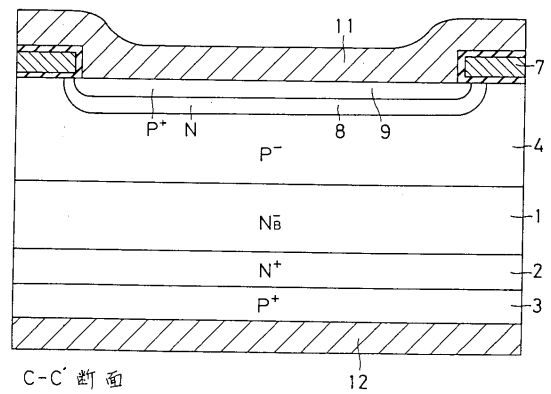
【図 2】



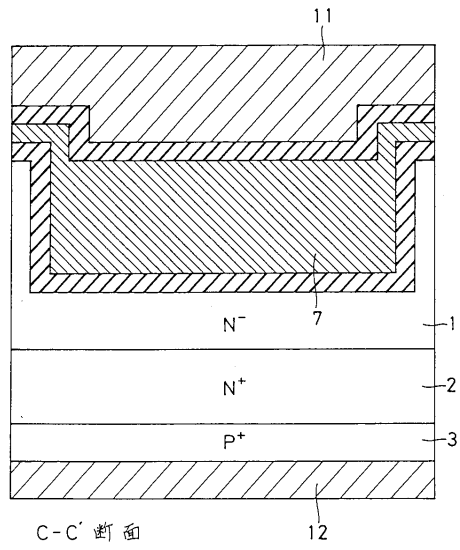
【図 3】



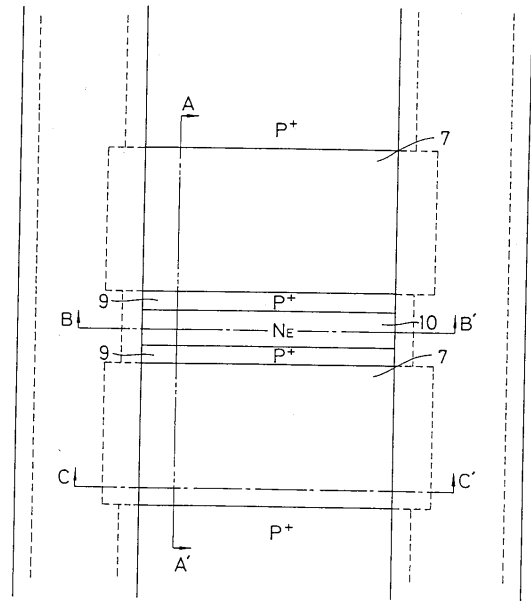
【図 4】



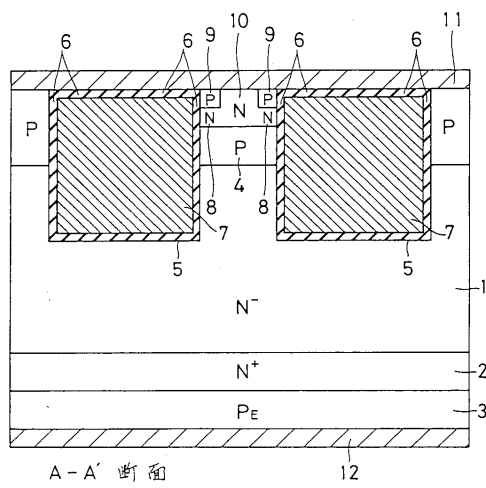
【図 9】



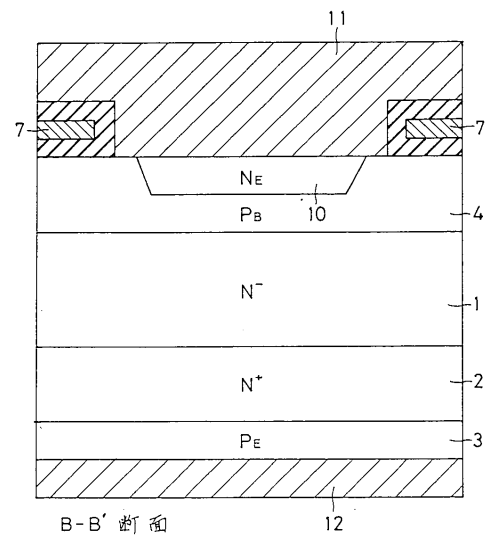
【図 10】



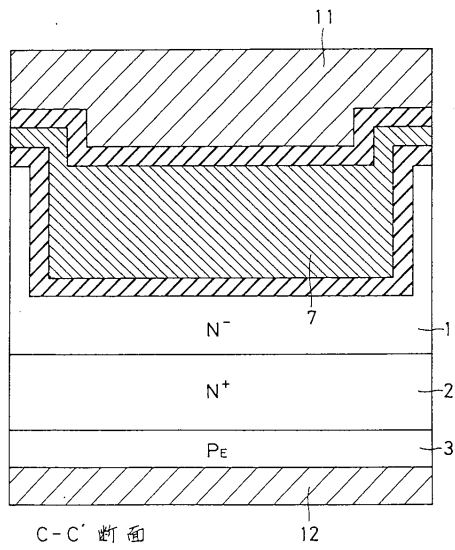
【図 11】



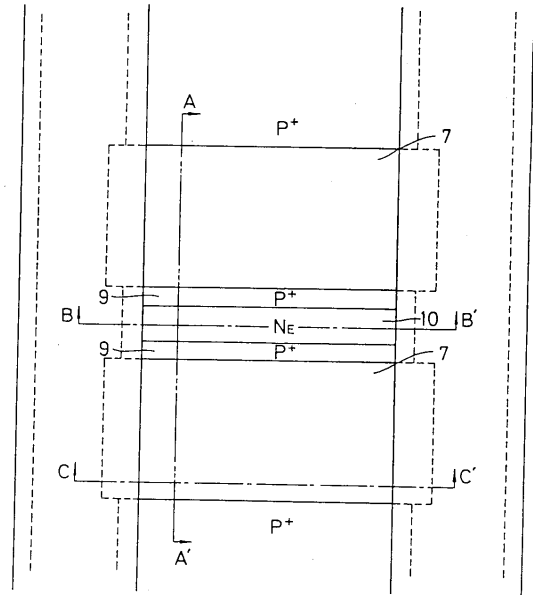
【図 12】



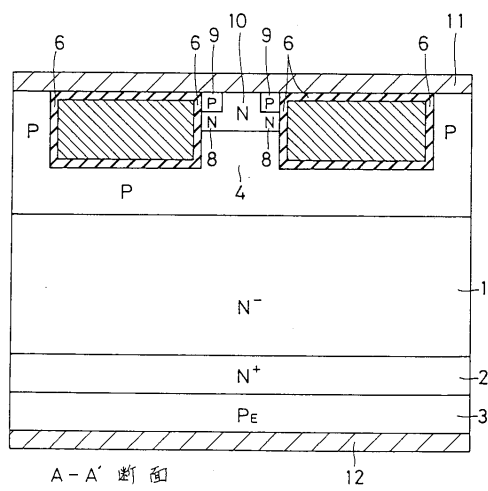
【図 13】



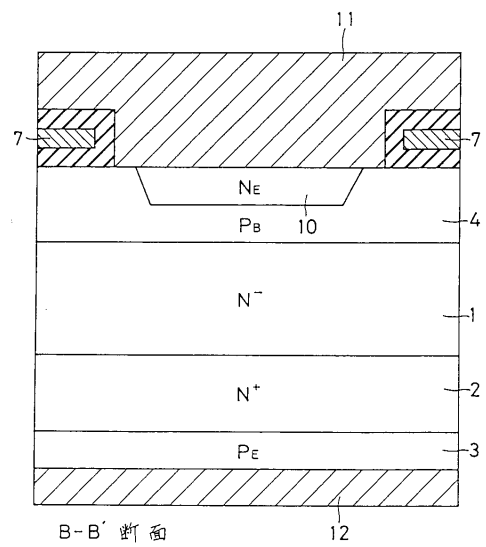
【図 14】



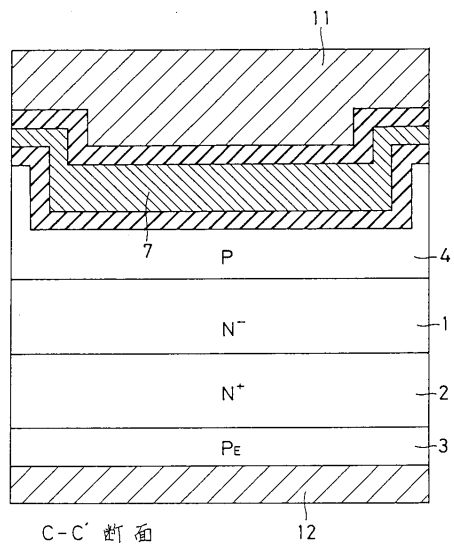
【図 15】



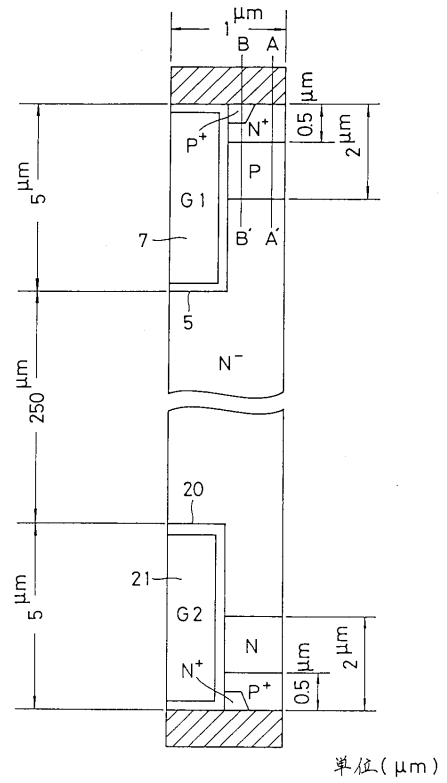
【図 16】



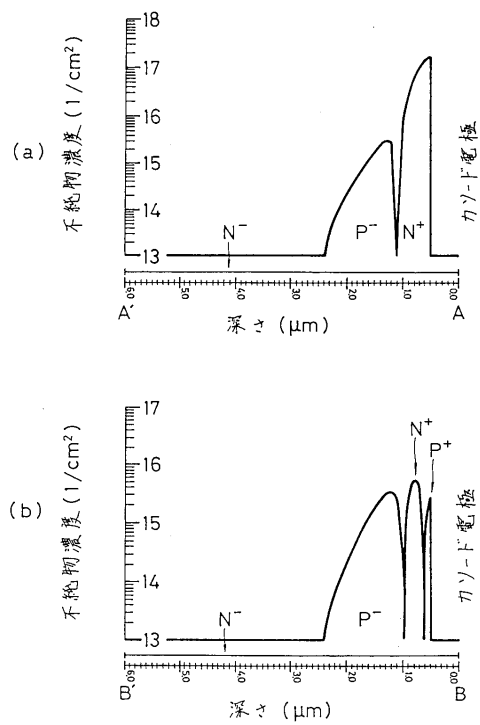
【図 17】



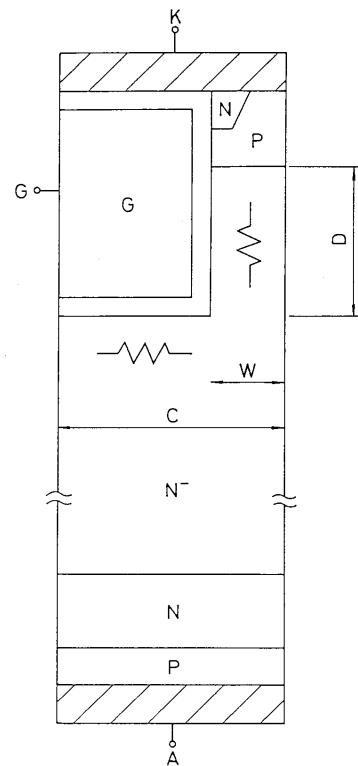
【図 18】



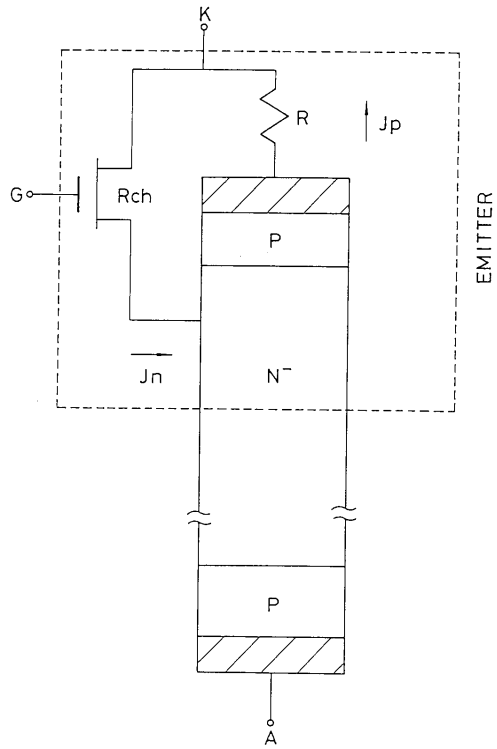
【図 19】



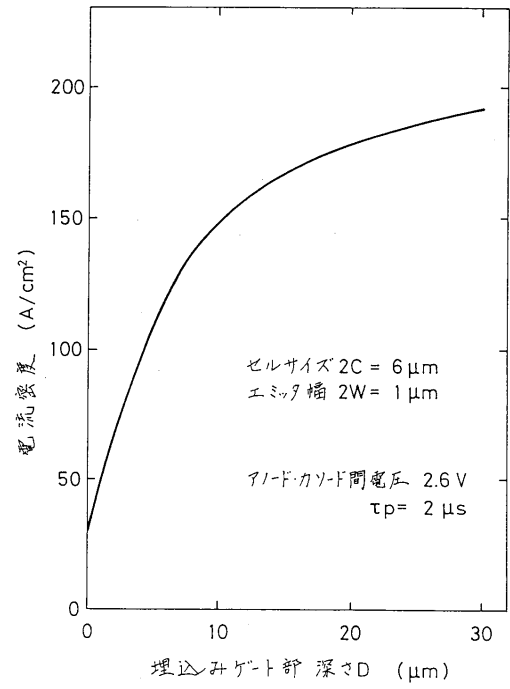
【図 20】



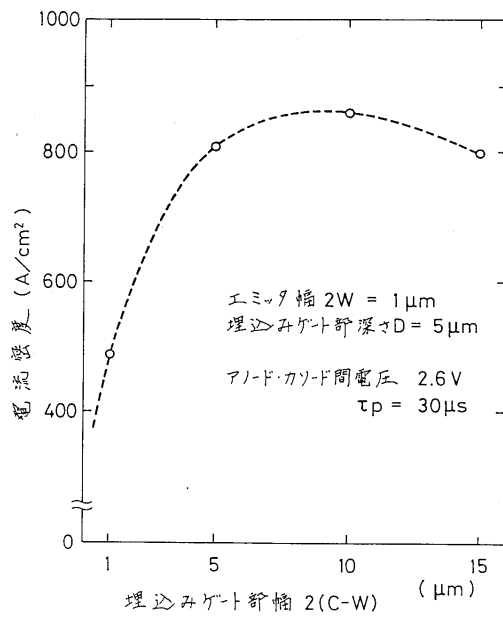
【図 2 1】



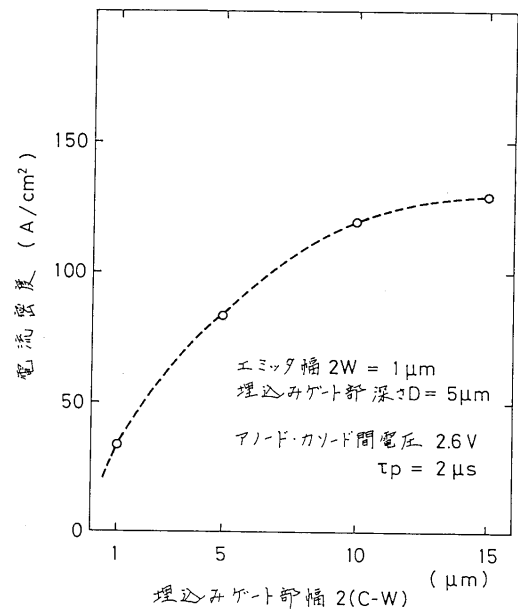
【図 2 2】



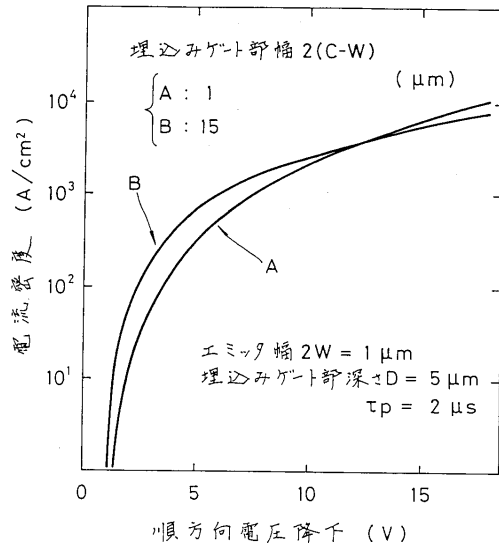
【図 2 3】



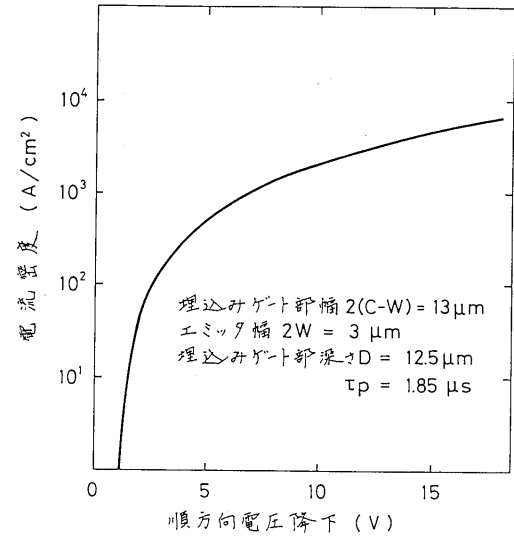
【図 2 4】



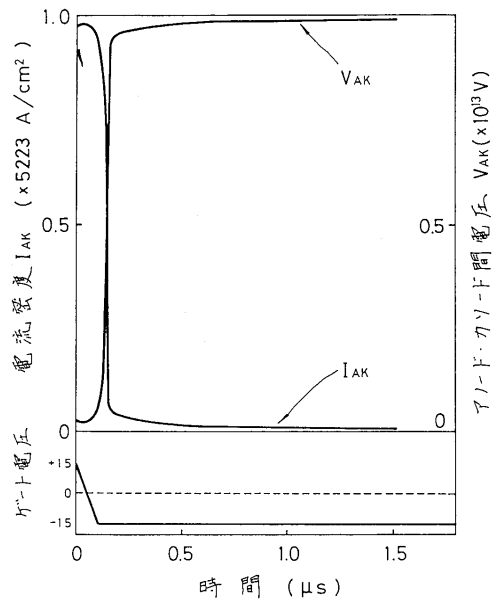
【図 25】



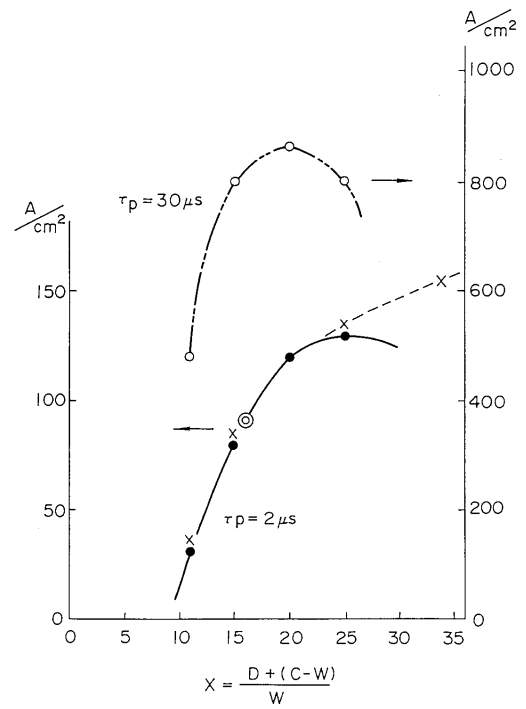
【図 26】



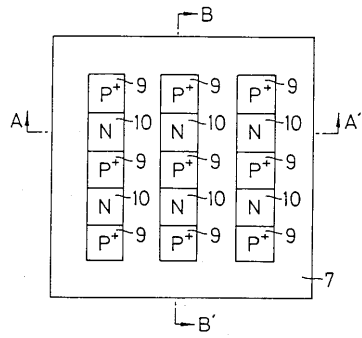
【図 27】



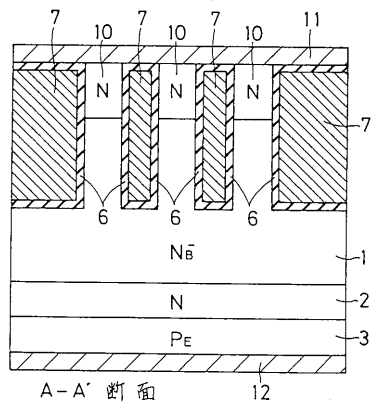
【図 28】



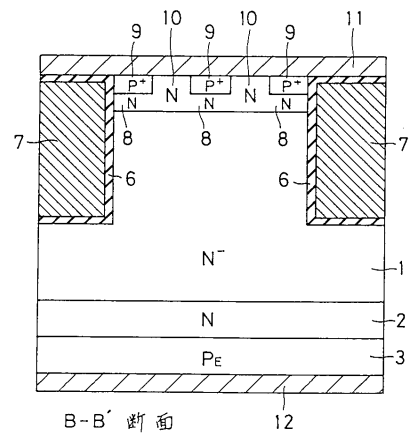
【図 3 4】



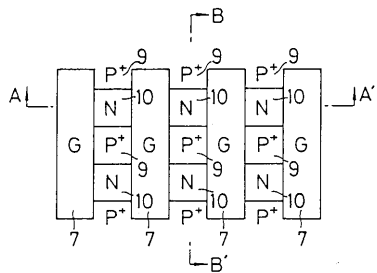
【図 3 5】



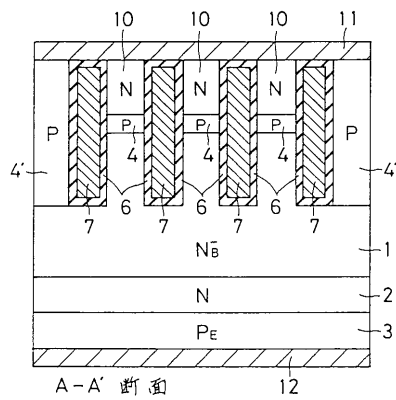
【図 3 6】



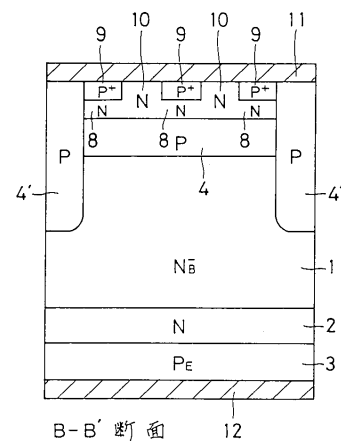
【図 3 7】



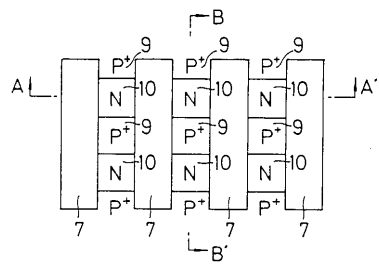
【図 3 8】



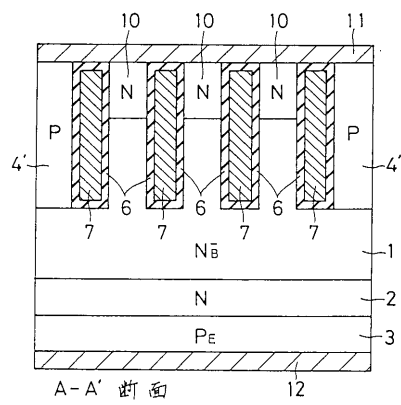
【図 3 9】



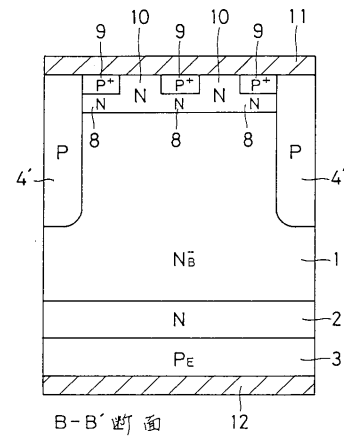
【図 4 0】



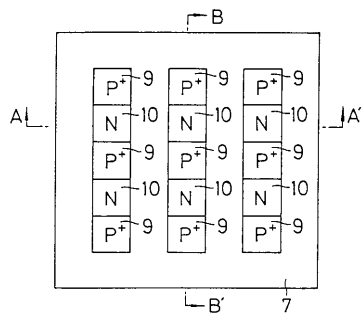
【図 4 1】



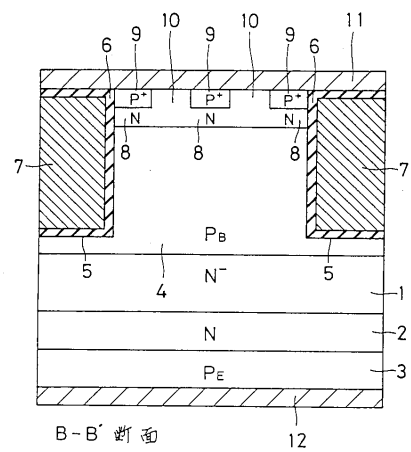
【図 4 2】



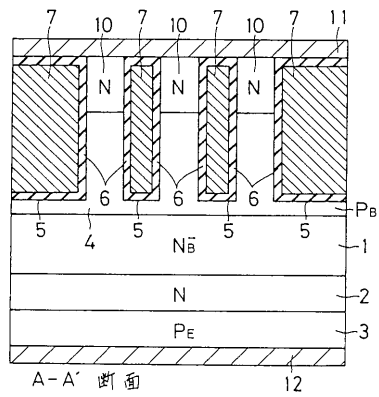
【図 4 3】



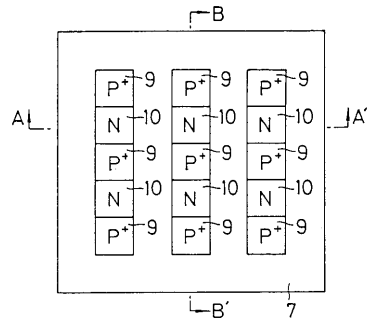
【図 4 5】



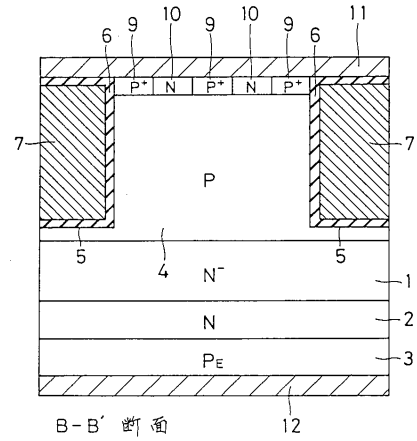
【図 4 4】



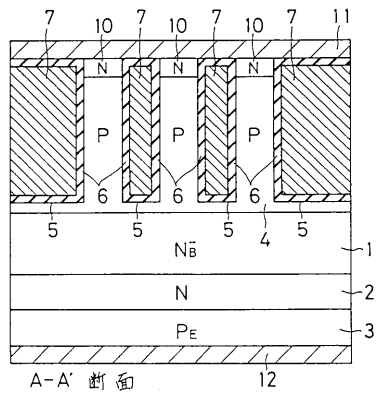
【図 4 6】



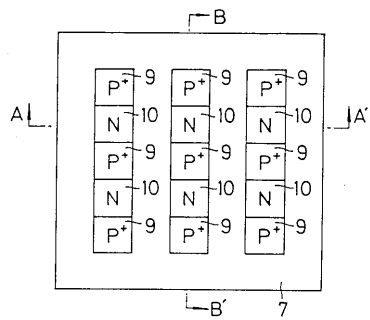
【図 4 8】



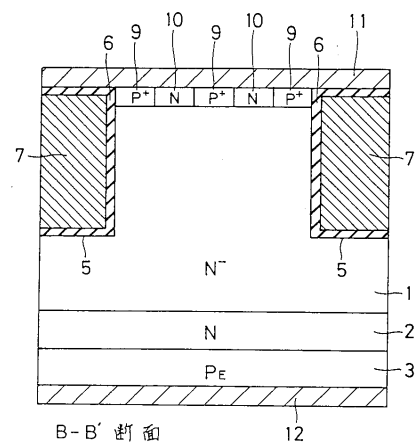
【図 4 7】



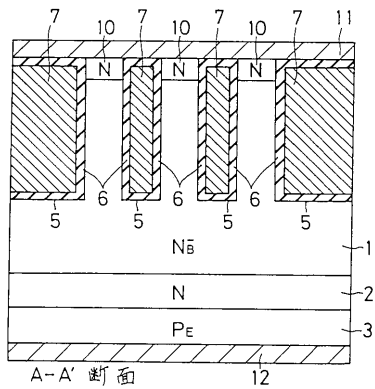
【図 4 9】



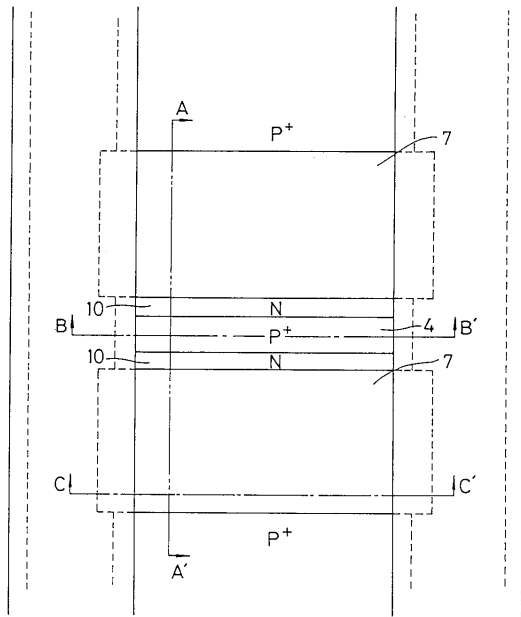
【図 5 1】



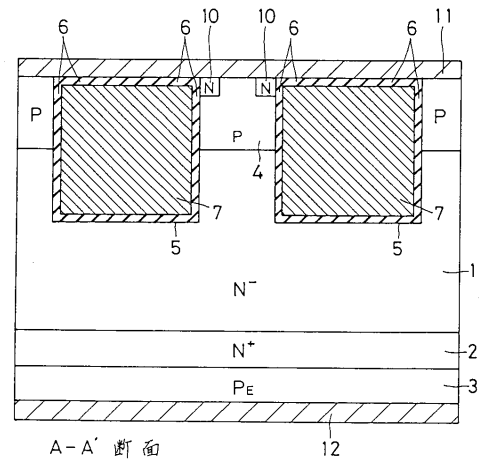
【図 5 0】



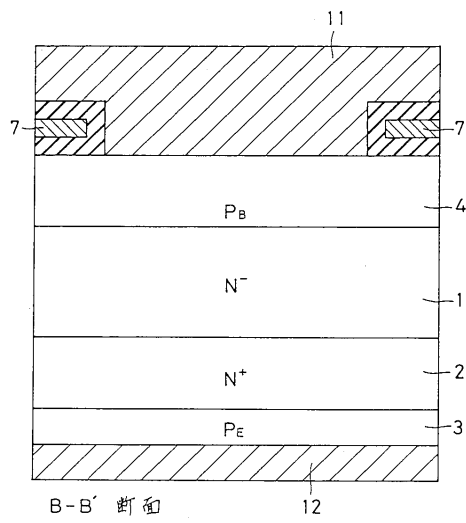
【図 5 2】



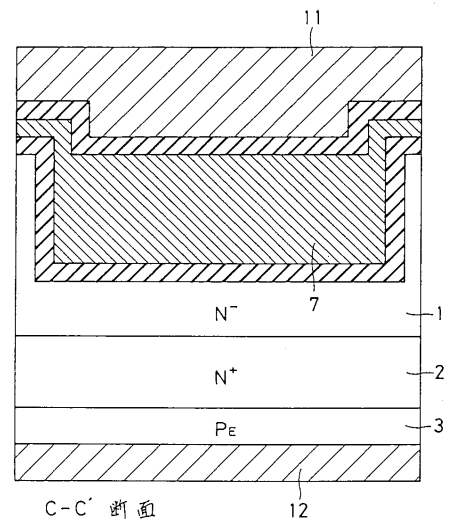
【図 5 3】



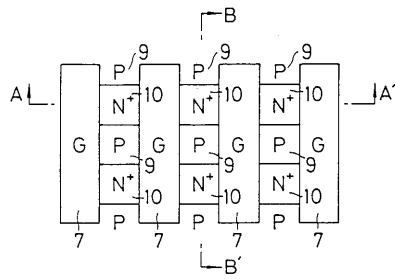
【図 5 4】



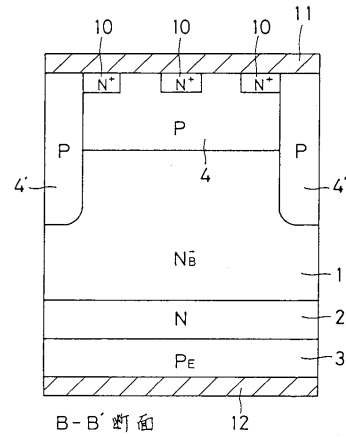
【図 5 5】



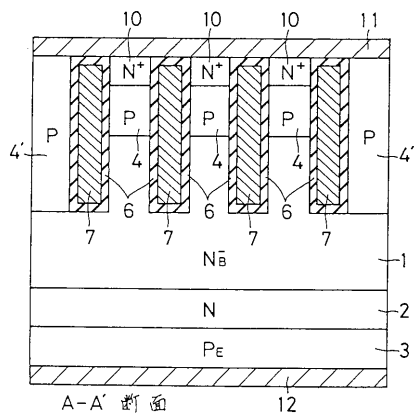
【図 56】



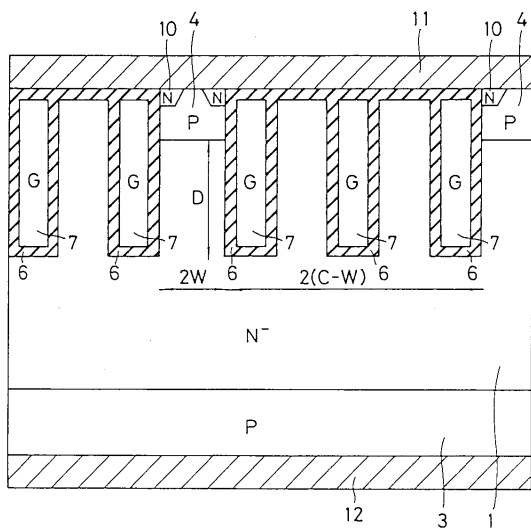
【図 58】



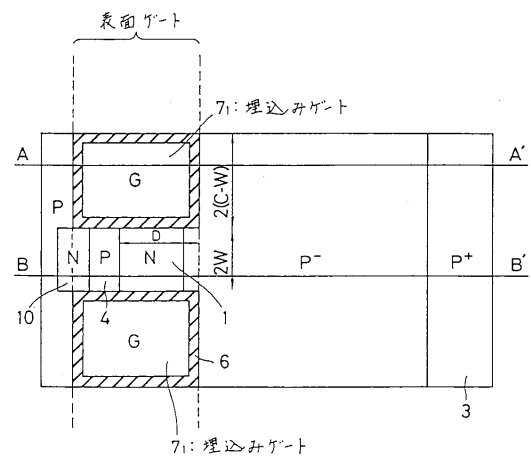
【図 57】



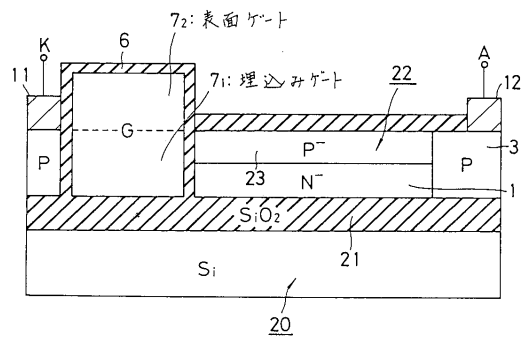
【図 59】



【図 60】

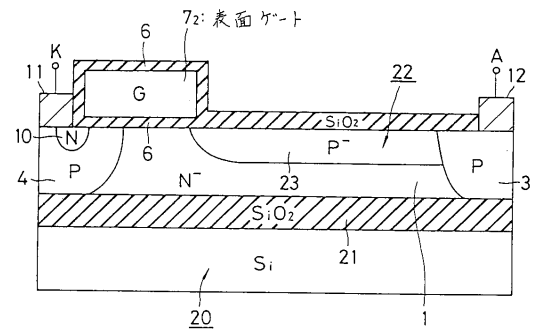


【图 6 1】



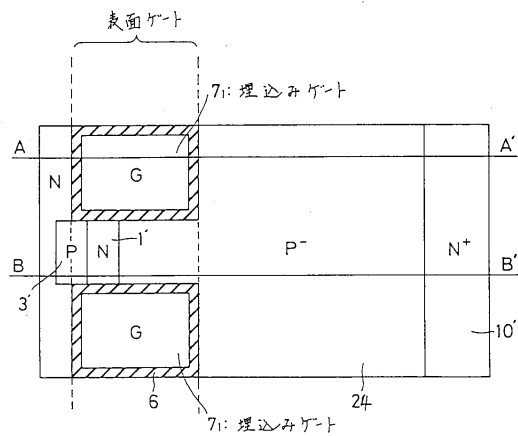
A-A' 断面

【図 6 2】



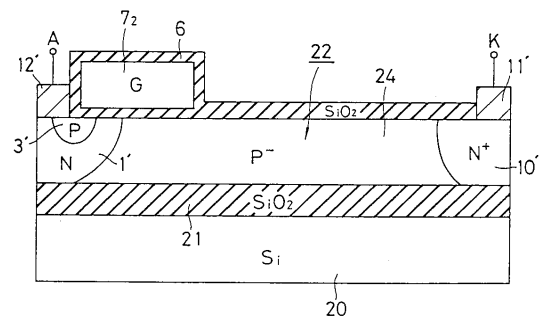
B-B' 断面

【图 6 3】



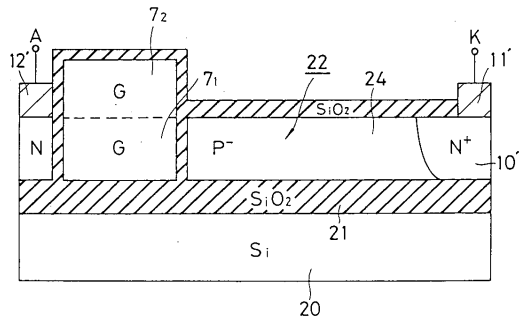
B-B' 断面

【 図 6 4 】



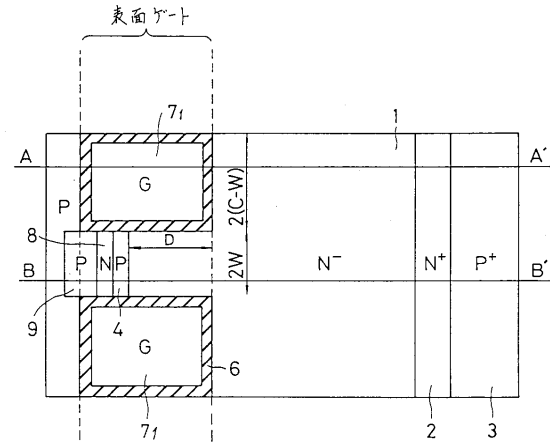
B-B' 断面

【図 6 5】

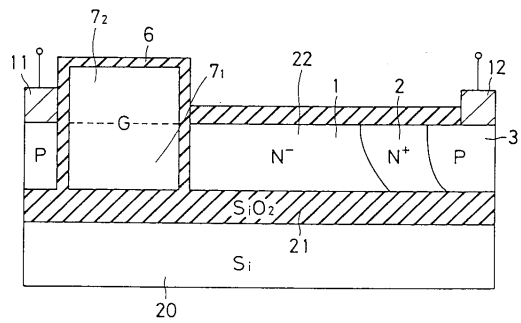


A-A' 断面

【図 6 6】

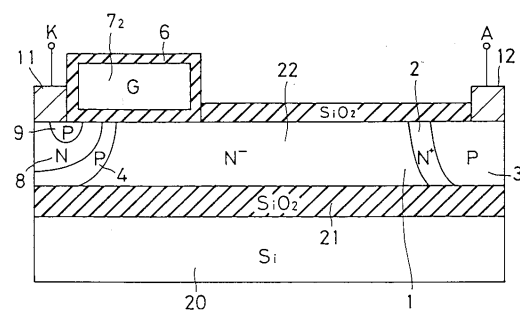


【図 6 7】



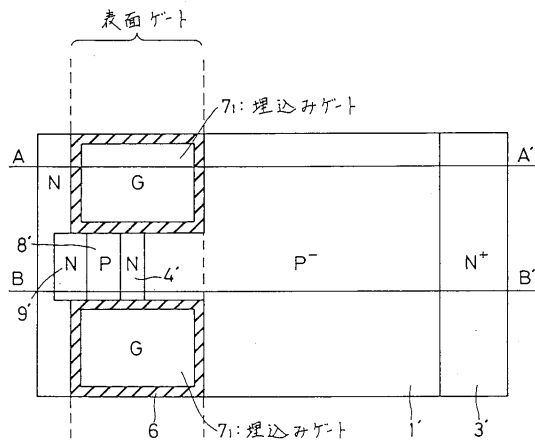
A-A' 断面

【図 6 8】

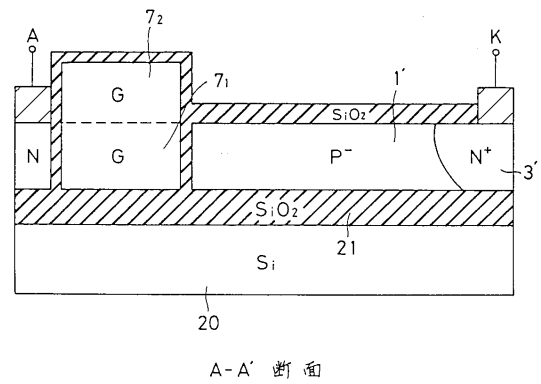


B-B' 断面

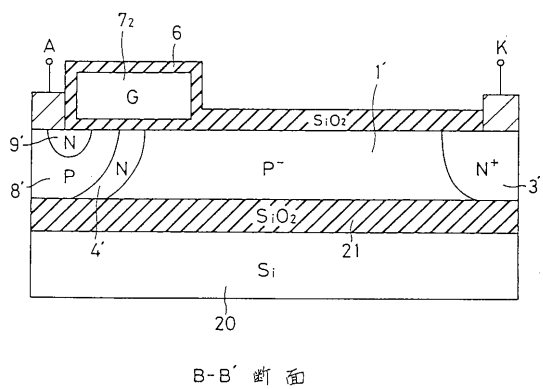
【図 69】



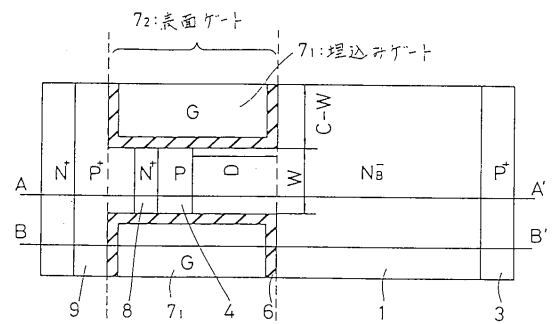
【図 70】



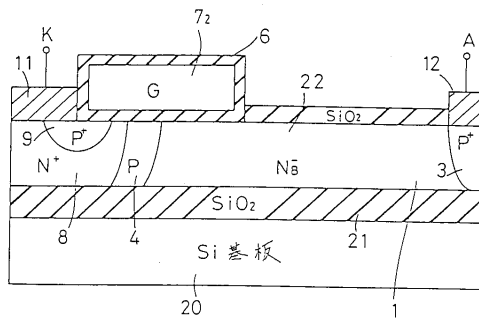
【図 71】



【図 72】

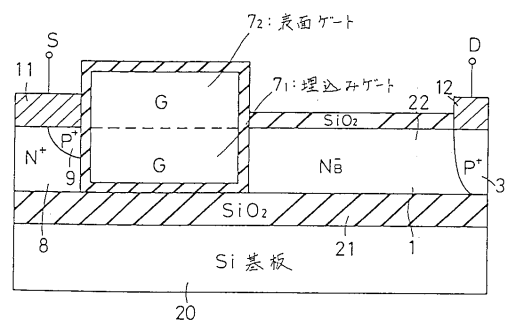


【图 7 3】



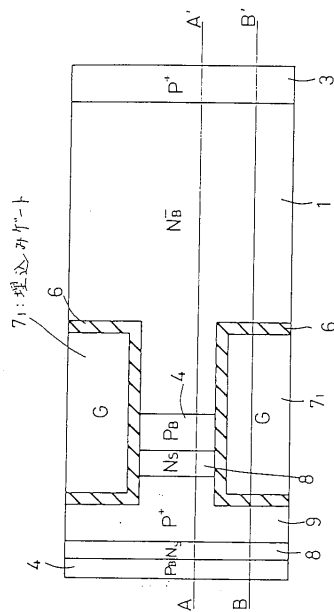
A-A' 断面

【 図 7 4 】



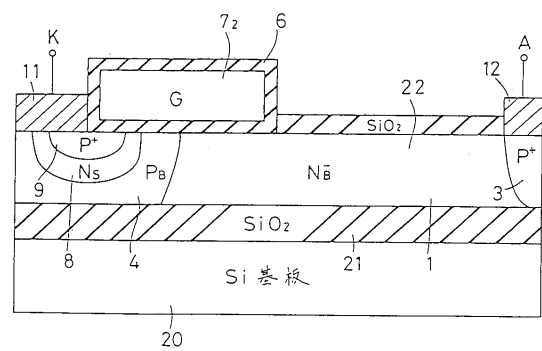
B-B' 断面

【图 7 5】



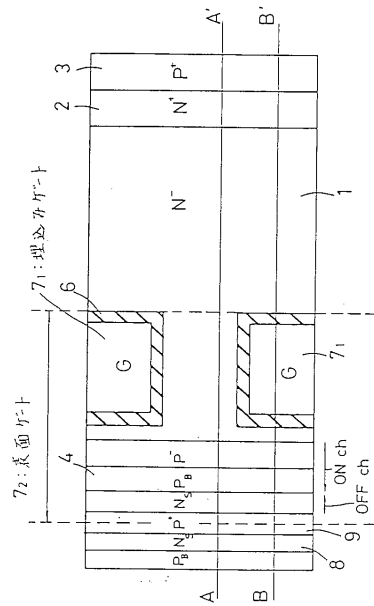
A-A' 剖面

【 図 7 6 】

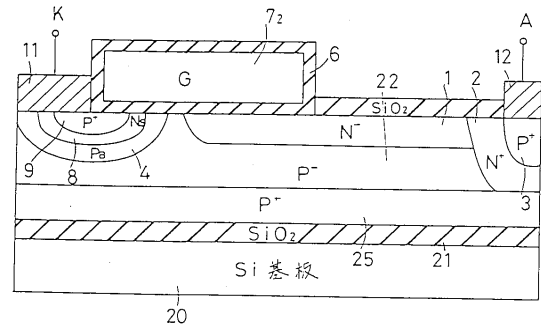


A-A' 剖面

【図 8 1】

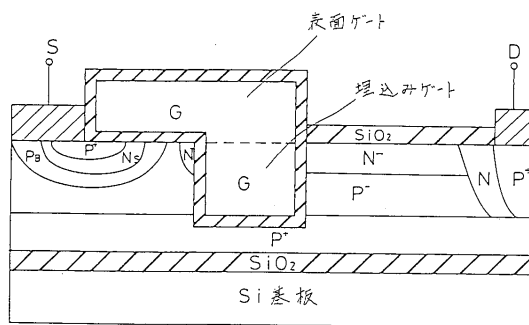


【図 8 2】



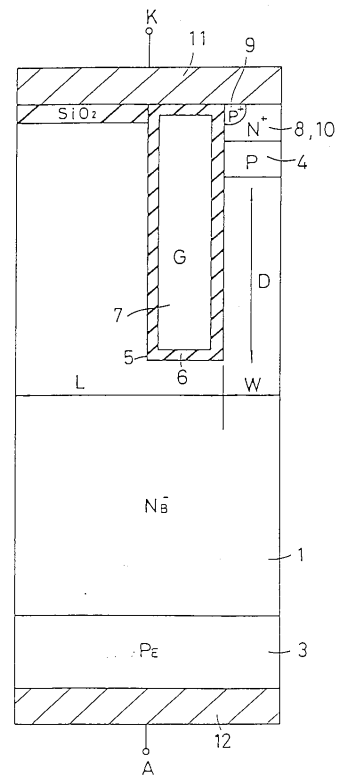
A-A' 断面

【図 8 3】

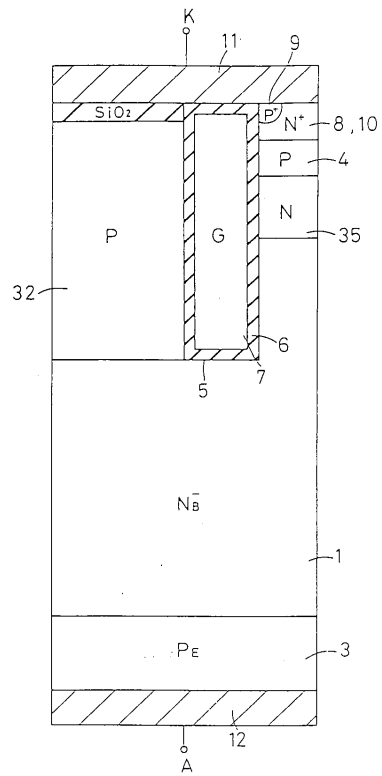


B-B' 断面

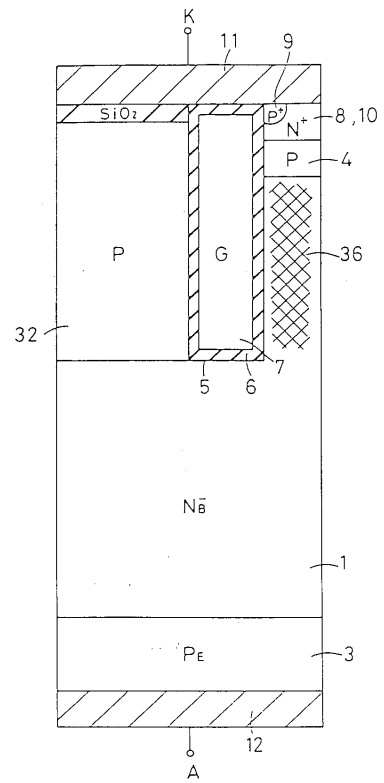
【図 8 4】



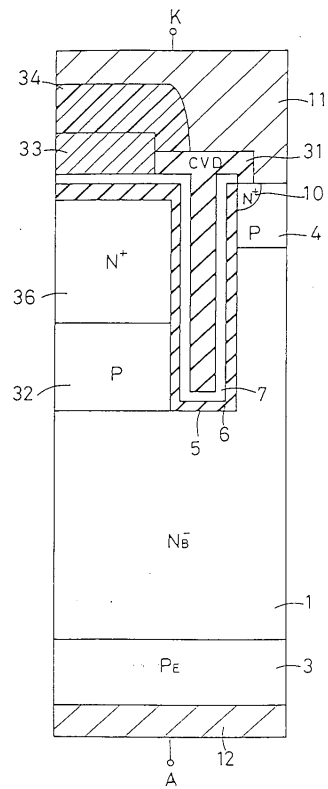
【図 89】



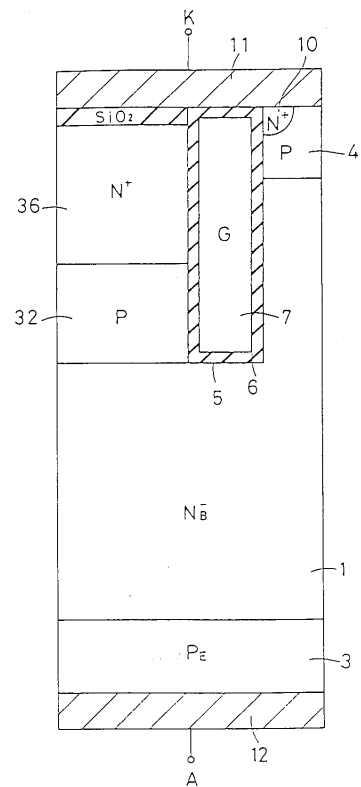
【図 90】



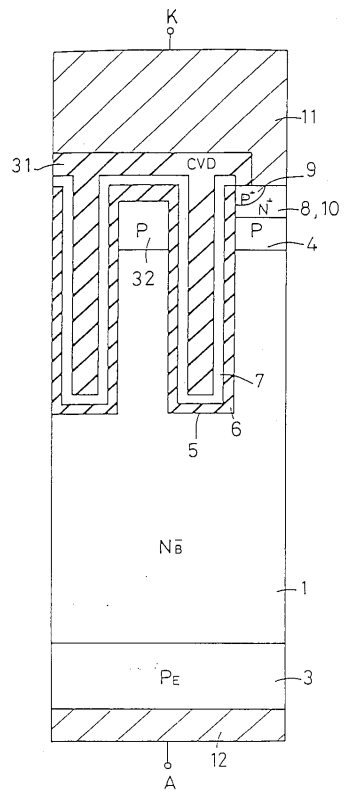
【図 91】



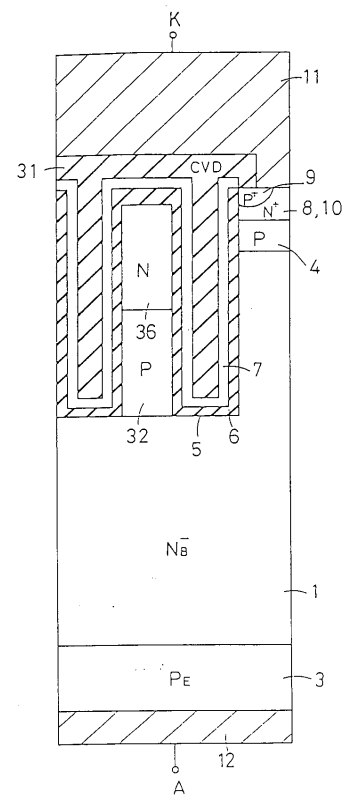
【図 92】



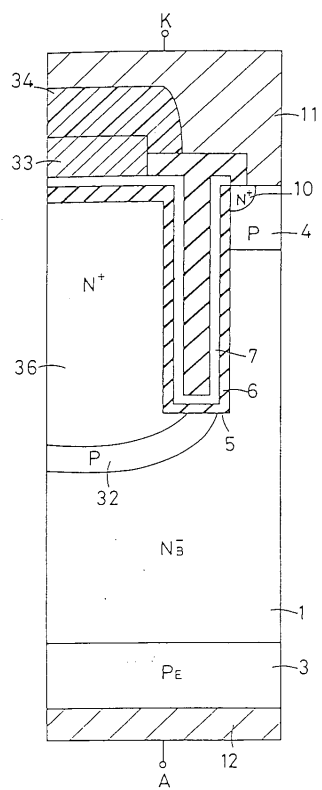
【図 9 3】



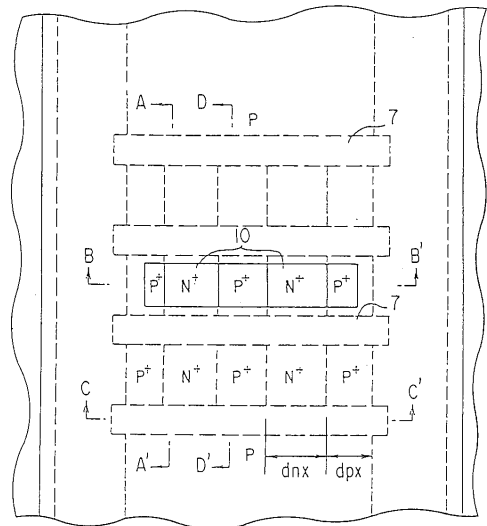
【図 9 4】



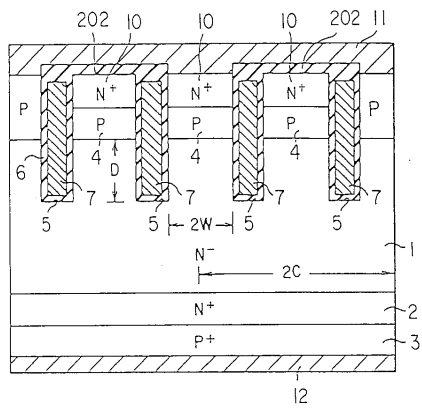
【図 9 5】



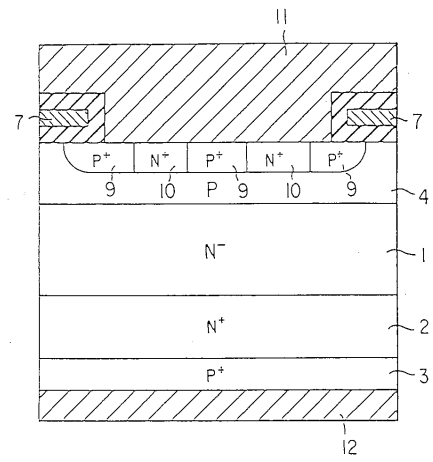
【図 9 6】



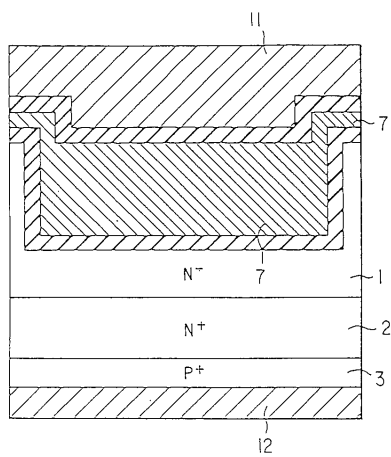
【図 97】



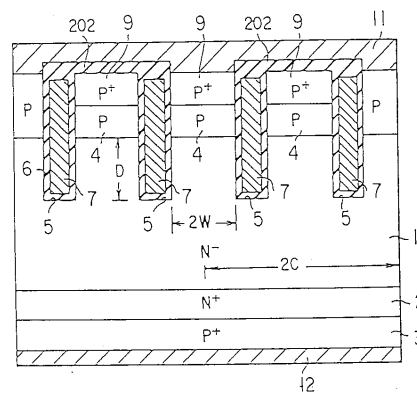
【図 98】



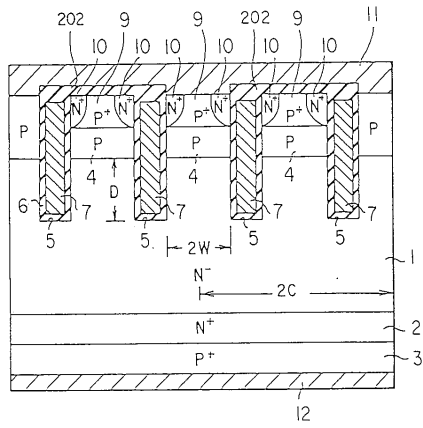
【図 99】



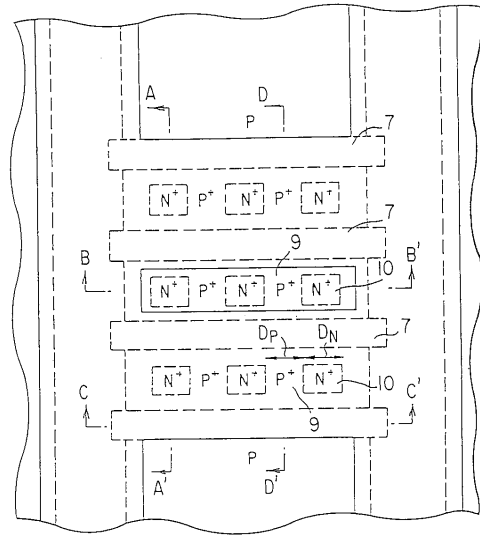
【図 100】



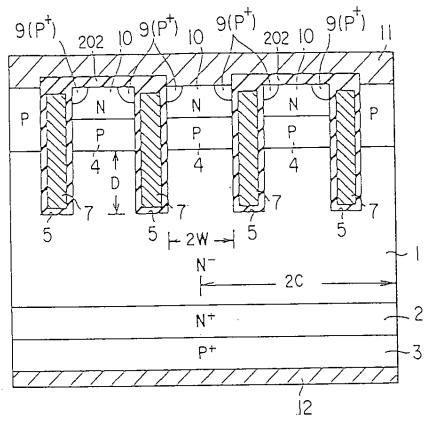
【図 101】



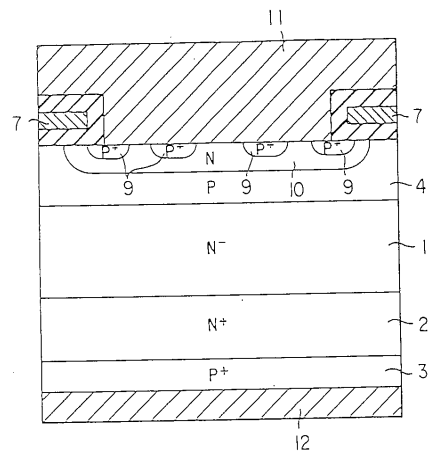
【図 102】



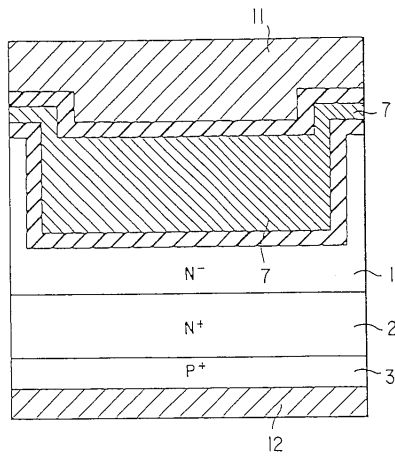
【図 103】



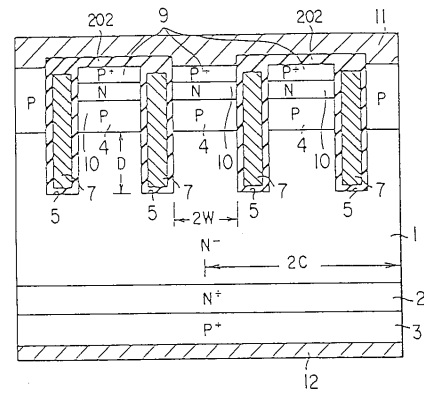
【図 104】



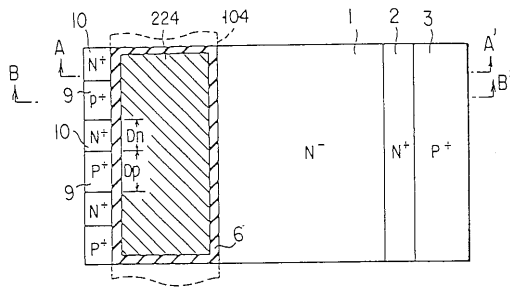
【図 105】



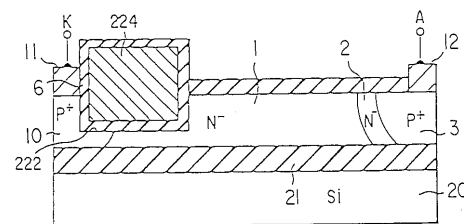
【図 106】



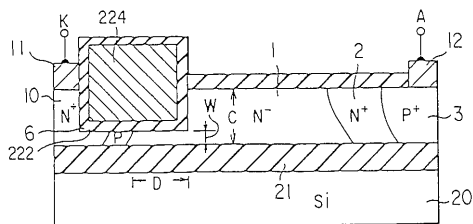
【図 107】



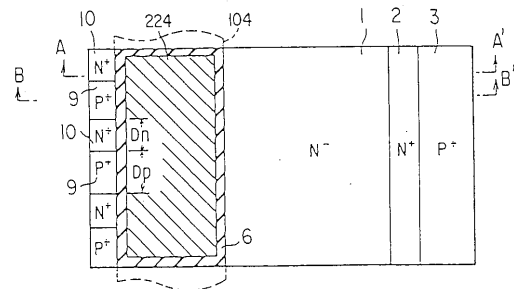
【図 109】



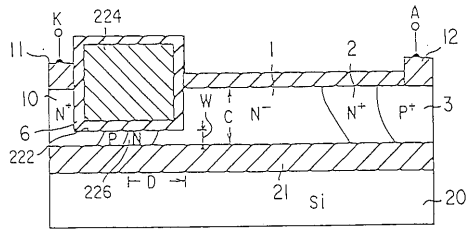
【図 108】



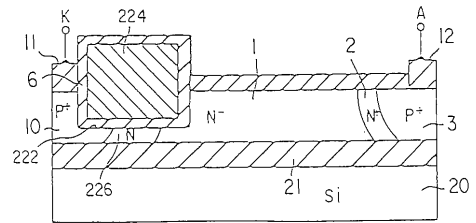
【図 110】



【図 1 1 1】



【図 1 1 2】



【手続補正書】

【提出日】平成16年5月12日(2004.5.12)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

第 1 の第 1 導電型ベース層と、

第 1 の第 1 導電型ベース層の一端側に所定の間隔で形成された第 1 の溝内のそれぞれに第 1 の絶縁膜を介して埋めこまれた第 1 の埋め込みゲートと、

隣接する第 1 の溝間の前記第 1 の第 1 導電型ベース層の一部に形成された前記第 1 の溝に接する第 2 導電型ベース層と、

前記第 2 導電型ベース層の前記第 1 の第 1 導電型ベース層と逆側に隣接し、前記第 1 の溝の側面に接して形成された第 1 導電型ターンオフ用チャネル層と、

前記第 1 導電型ターンオフ用チャネル層の前記第 2 導電型ベース層と逆側に隣接し、前記第 1 の溝の側面に接して形成された第 2 導電型ドレイン層と、

前記第 2 導電型ベース層の前記第 1 の第 1 導電型ベース層と逆側に隣接し、前記第 1 の溝の側面に接することなく形成された第 1 導電型ソース層と、

前記第 2 導電型ドレイン層および第 1 導電型ソース層にコンタクトして形成された第 1 の主電極と、

前記第 1 の第 1 導電型ベース層の他端側に前記第 1 の溝に対して対称に形成された第 2 の溝内のそれぞれに第 2 の絶縁膜を介して埋めこまれた第 2 の埋め込みゲートと、

隣接する第 2 の溝間の前記第 1 の第 1 導電型ベース層の一部に形成された前記第 2 の溝

に接する第 2 の第 1 導電型ベース層と、

前記第 2 の第 1 導電型ベース層の前記第 1 の第 1 導電型ベース層と逆側に隣接し、前記第 2 の溝の側面に接して形成された第 2 導電型ターンオフ用チャネル層と、

前記第 2 導電型ターンオフ用チャネル層の前記第 2 の第 1 導電型ベース層と逆側に隣接し、前記第 2 の溝の側面に接して形成された第 1 導電型ドレイン層と、

前記第 2 の第 1 導電型ベース層の前記第 1 の第 1 導電型ベース層と逆側に隣接し、前記第 2 の溝の側面に接することなく形成された第 2 導電型ソース層と、

前記第 1 導電型ドレイン層および第 2 導電型ソース層にコンタクトして形成された第 2 の主電極とを具備してなることを特徴とする半導体素子。

【請求項 2】

第 1 の第 1 導電型ベース層と、

第 1 の第 1 導電型ベース層の一端側に所定の間隔で形成された第 1 の溝内のそれぞれに第 1 の絶縁膜を介して埋めこまれた第 1 の埋め込みゲートと、

隣接する第 1 の溝間の前記第 1 の第 1 導電型ベース層の一部に形成された前記第 1 の溝に接する第 2 導電型ベース層と、

前記第 2 導電型ベース層の前記第 1 の溝の側面に接して形成された第 1 導電型ソース層と、

前記第 2 導電型ベース層および第 1 導電型ソース層にコンタクトして形成された第 1 の主電極と、

前記第 1 の第 1 導電型ベース層の他端側に前記第 1 の溝に対して対称に形成された第 2 の溝内のそれぞれに第 2 の絶縁膜を介して埋めこまれた第 2 の埋め込みゲートと、

隣接する第 2 の溝間の前記第 1 の第 1 導電型ベース層の一部に形成された前記第 2 の溝に接する第 2 の第 1 導電型ベース層と、

前記第 2 の第 1 導電型ベース層の前記第 2 の溝の側面に接して形成された第 2 導電型ソース層と、

前記第 1 導電型ベース層および第 2 導電型ソース層にコンタクトして形成された第 2 の主電極とを具備してなることを特徴とする半導体素子。

【請求項 3】

隣接し、第 1 の主電極に接する第 2 導電型ベース層間の距離を $2C$ 、隣接する第 1 の溝で挟まれた領域の幅を $2W$ 、前記第 2 導電型ベース層と前記第 1 導電型ベース層の界面から前記第 1 の溝の前記第 2 の主電極側の先端までの距離を D とした時、

$$X = \{ (C - W) + D \} / W$$

なる式で定義されるパラメータ X が $X \geq 5$ を満足することを特徴とする請求項 1 または 2 に記載の半導体素子。

フロントページの続き

(51)Int.Cl.⁷

F I

テーマコード (参考)

H O 1 L 29/78 6 1 6 V

H O 1 L 29/78 6 2 2

(72)発明者 北川 光彦

神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝総合研究所内

(72)発明者 大村 一郎

神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝総合研究所内

F ターム (参考) 5F110 AA07 BB12 CC02 DD05 DD13 EE22 EE24 GG02 GG12 GG22

HM02 HM04 HM12 QQ17