



(21)申請案號：106102660

(22)申請日：中華民國 106 (2017) 年 01 月 24 日

(51)Int. Cl.：

*H01L21/02 (2006.01)**H01L21/306 (2006.01)**H01L29/06 (2006.01)**H01L29/66 (2006.01)**H01L29/78 (2006.01)*

(30)優先權：2016/01/27 美國

62/287,537

2016/08/02 美國

15/226,746

(71)申請人：台灣積體電路製造股份有限公司 (中華民國) TAIWAN SEMICONDUCTOR  
MANUFACTURING CO., LTD. (TW)

新竹市新竹科學工業園區力行六路 8 號

(72)發明人：林國楹 LIN, KUO YIN (TW)；蔡騰群 TSAI, TENG CHUN (TW)；林柏裕 LIN, PO  
YU (TW)

(74)代理人：李世章；秦建譜

申請實體審查：有 申請專利範圍項數：10 項 圖式數：4 共 55 頁

(54)名稱

半導體裝置及製造方法

SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD

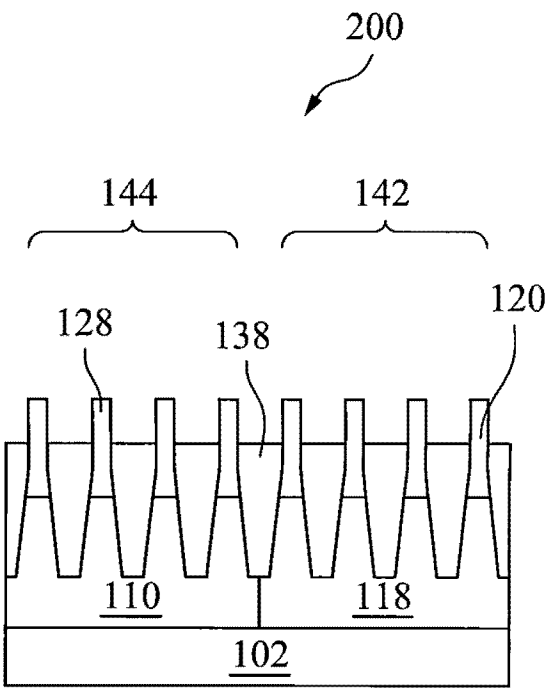
(57)摘要

本揭露內容之方法包含提供一半導體基板，其具有第一和第二區域，分別地摻雜第一和第二摻雜物。第一和第二摻雜物為相反的类型。此方法更進一步地包含磊晶成長第一半導體層，其摻雜第三摻雜物。第一和第三摻雜物為相反的类型。此方法更進一步地包含在第一半導體層上沉積介電硬罩(HM)層；將介電硬罩層上圖案化，以在第一區域上形成開口；朝半導體基板延伸此開口；在此開口中磊晶成長第二半導體層。第二半導體層摻雜第四摻雜物。第一和第四摻雜物為相同型態。此方法更進一步地包含移除介電硬罩層；以及執行第一化學機械平坦化製程，以將第一和第二半導體二者皆平坦化。

A method includes providing a semiconductor substrate having first and second regions that are doped with first and second dopants respectively. The first and second dopants are of opposite types. The method further includes epitaxially growing a first semiconductor layer that is doped with a third dopant. The first and third dopants are of opposite types. The method further includes depositing a dielectric hard mask (HM) layer over the first semiconductor layer; patterning the dielectric HM layer to have an opening over the first region; extending the opening towards the semiconductor substrate; and epitaxially growing a second semiconductor layer in the opening. The second semiconductor layer is doped with a fourth dopant. The first and fourth dopants are of a same type. The method further includes removing the dielectric HM layer; and performing a first CMP process to planarize both the first and second semiconductor layers.

指定代表圖：

- 符號簡單說明：
- 102 . . . 基板
  - 110 . . . 第一區域
  - 118 . . . 第二區域
  - 120 . . . 半導體層
  - 128 . . . 半導體層
  - 138 . . . 隔離層
  - 142 . . . 鰭狀物
  - 144 . . . 鰭狀物
  - 200 . . . 裝置



第 4R 圖

【中文發明名稱】半導體裝置及製造方法

【英文發明名稱】SEMICONDUCTOR DEVICE AND  
MANUFACTURING METHOD

## 【中文】

本揭露內容之方法包含提供一半導體基板，其具有第一和第二區域，分別地摻雜第一和第二摻雜物。第一和第二摻雜物為相反的类型。此方法更進一步地包含磊晶成長第一半導體層，其摻雜第三摻雜物。第一和第三摻雜物為相反的类型。此方法更進一步地包含在第一半導體層上沉積介電硬罩(HM)層；將介電硬罩層上圖案化，以在第一區域上形成開口；朝半導體基板延伸此開口；在此開口中磊晶成長第二半導體層。第二半導體層摻雜第四摻雜物。第一和第四摻雜物為相同型態。此方法更進一步地包含移除介電硬罩層；以及執行第一化學機械平坦化製程，以將第一和第二半導體二者皆平坦化。

## 【英文】

A method includes providing a semiconductor substrate having first and second regions that are doped with first and second dopants respectively. The first and second dopants are of opposite types. The method further includes epitaxially growing a first semiconductor layer that is doped with a third

dopant. The first and third dopants are of opposite types. The method further includes depositing a dielectric hard mask (HM) layer over the first semiconductor layer; patterning the dielectric HM layer to have an opening over the first region; extending the opening towards the semiconductor substrate; and epitaxially growing a second semiconductor layer in the opening. The second semiconductor layer is doped with a fourth dopant. The first and fourth dopants are of a same type. The method further includes removing the dielectric HM layer; and performing a first CMP process to planarize both the first and second semiconductor layers.

【指定代表圖】 4R

【代表圖之符號簡單說明】

102 基板

110 第一區域

118 第二區域

120 半導體層

128 半導體層

138 隔離層

142 鰭狀物

144 鰭狀物

200 裝置

【特徵化學式】 無

## 【發明說明書】

【中文發明名稱】半導體裝置及製造方法

【英文發明名稱】SEMICONDUCTOR DEVICE AND  
MANUFACTURING METHOD

### 【技術領域】

【0001】 本揭露內容係關於鰭式場效電晶體之製造方法和結構。

### 【先前技術】

【0002】 半導體積體電路(IC)產業歷經了指數級的成長。IC材料和設計上的技術進展已造就出一代又一代的IC，且電路一代比一代更小且更複雜。元件尺寸微縮之製程，由於其提高生產效率和降低了相關的成本而提供了優勢。如此之尺寸上的微縮，也提高了IC加工和製造上的複雜度，而這些尺寸上的進展要能實現，需要IC製程上也有類似的進展。

【0003】 舉例而言，多閘極裝置經努力，藉由增加閘極通道的耦合、減少開路狀態電流、減少短通道效應(SCE)，以改善閘極控制。多閘極裝置中的一種型式為鰭式場效電晶體(FinFETs)－為具有鰭狀半導體通道(鰭狀物)且閘極在鰭狀物的兩側或三側之電晶體。

【0004】 形成鰭狀物的典型方法，包括鰭狀物置換法和應變鬆弛緩衝(SRB)法。兩種方式都有缺點。典型的鰭狀

物置換法，其形成介電質溝槽在基板上，且半導體鰭狀物以磊晶生長於基板上和介電質溝槽中。在半導體鰭狀物與周圍介電材料之間的交界面通常存在著缺陷。典型的應變鬆弛緩衝(SRB)法方式，其在完整的晶圓上形成厚的磊晶生長膜層(如：大於1微米)，並且蝕刻磊晶的膜層以形成半導體鰭狀物。藉由減少介於磊晶膜層的上部和基板之間的晶格錯配，以提供良好的磊晶層。然而，厚的磊晶膜在整個基板上，除了增加材料的成本，也會導致嚴重的剖面圖形缺陷。

**【0005】** 因此，對於形成鰭狀物來說，新且改良的方式是令人期待的。

#### **【發明內容】**

**【0006】** 在一實施態樣，本揭露內容針對的是形成半導體裝置之方法。這方法包括提供半導體基板，其中半導體基板具有第一區域，和鄰接於第一區域的第二區域，第一區域和第二區域分別地摻雜第一和第二摻雜物，且第一和第二摻雜物為相反型態。這方法，更進一步地包含在基板上，磊晶成長第一半導體層，其摻雜第三摻雜物，且第三摻雜物和第一摻雜物為相反型態。這方個更進一步地包含在第一半導體層上沉積介電硬罩(HM)層；形成圖案在介電硬罩層，以形成位在第一區域上的開口；並且朝基板延伸開口。這方法更進一步地包含，在開口中磊晶成長第二半導體層，其摻雜第四摻雜物，且第一和第四摻雜物為相同型態；而且第二半導

體層的表面，高於第二區域正上方之第一半導體層的表面，低於高於第二區域正上方之介電硬罩層的表面。這方法更進一步地包含移除介電硬罩層；以及執行第一化學機械平坦化製程以將第一和第二半導體層二者皆平坦化。

**【0007】** 在另一個實施態樣中，本揭露內容為針對形成半導體裝置的方法。這方法包含形成半導體基板，其中半導體基板包含第一區域，以及鄰接於第一區域的第二區域；第一和第二區域分別地摻雜第一和第二摻雜物，且第一和第二摻雜物為相反型態。這方法更進一步地包含在基板上沉積介電硬罩(HM)層；在介電硬罩層上形成圖案，以形成暴露第二區域的第一開口；並且經由第一開口，在第二區域形成凹陷。這方法更進一步地包含在基板上且在第一開口中，磊晶成長第一半導體層，其中第一半導體層摻雜第三摻雜物，第一和第三摻雜物為相反型態，而且其中，第一半導體層的上表面，高於位在第一區域正上方之介電硬罩層的上表面。這方法更進一步地，包含對第一半導體層執行第一化學機械平坦化製程，其中第一化學機械平坦化製程停止於第一硬罩層上。這方法更進一步地包含，在第一區域之上且在第一半導體層之上，沉積第二介電硬罩層；在第二介電硬罩層形成圖案，以在第一區域上形成第二開口；且朝半導體基板延伸第二開口，因而部分地移除第一區域。這方法更進一步地包含，在第二開口中，磊晶成長第二半導體層，其中將第四摻雜物摻雜入第二半導體層，且第一和第四摻雜物為同型，而且第二半導體層的表面，高於位在第一區域正上方之第二半導

體層的表面，低於位在第二區域正上方之介電硬罩層的表面。這方法更進一步地包括執行第二化學機械平坦化製程移除第二介電硬罩層，以暴露第一和第二半導體層；並且執行第三化學機械製程，以將第一和第二半導體層二者皆平坦化。

**【0008】** 在又另一個實施態樣中，本揭露內容為針對半導體裝置。半導體裝置包含具有第一區域和第二區域的半導體基板，其中第一和第二區域分別地摻雜第一和第二摻雜物。半導體裝置更進一步地包含突出於第一區域的第一鰭狀物；突出於第二區域的第二鰭狀物；以及介於相鄰第一及第二鰭狀物的隔離結構。每一個第二鰭狀物包含位在第一區域之一部分上的第一半導體層；且更進一步地包含位在第一半導體層上的第二半導體層。第一半導體層以第三摻雜物摻雜，其與第二摻雜物為同型。第二半導體層以第四摻雜物摻雜，其與第一摻雜物為同型。

#### **【圖式簡單說明】**

**【0009】** 本揭露內容的各個方面，可由以下詳細的描述及伴隨的圖式而有最佳的理解。要強調的是，按照在業界的標準做法，各個特徵並不是按比例繪製。事實上，為了討論上的清楚性，可能任意地增加或減少各個特徵的尺寸。

第1A圖及1B圖，為根據本揭露內容的各方面，半導體裝置之形成方法的流程圖。

第2A、2B、2C、2D、2E、2F、2G、2H、2I、2J、

2K、2L、2M、2N、2O、2P、2Q、2R圖，為根據實施方式和第1A及1B圖的方法，在各個製造階段中，半導體裝置之一部分的剖面圖。

第3A、3B、3C圖為根據本揭露內容的各方面，另一個形成半導體裝置之方法的流程圖。

第4A、4B、4C、4D、4E、4F、4G、4H、4I、4J、4K、4L、4M、4N、4O、4P、4Q、4R圖，為根據實施方式和第3A及3B圖的方法，在各個製造階段中，半導體裝置之一部分的剖面圖。

### 【實施方式】

**【0010】** 為了實施所申請標的種種不同特徵，以下揭露內容提供許多不同的實施方式及實施例。為了簡化本揭露內容，以下描述元件和其配置之特定的實施例。當然這些僅是實施例，目的不在於限制。例如，在描述中提及形成第一特徵高於或位在第二特徵上方，之後可能有實施方式，其中的第一特徵和第二特徵以直接接觸的方式形成，也可能有實施方式，其中有額外的特徵形成於第一和第二特徵之間，因而第一和第二特徵可能不是直接接觸。此外，本揭露內容在各個實施例中，可能重複標號和/或字母。這樣的重複，是為了簡化和清楚起見，並不表示在所討論的各個實施方式和/或配置中，彼此之間有關係存在。

**【0011】** 此外，為了簡化描述以在所繪示的圖式中，形容一個元件或特徵與另一個元件或特徵的關係，空間上相對

性的用語，如「下面」、「下」、「低於」、「上面」、「高於」等類似的用語，可能在此使用。除了在圖式中所繪示的方位以外，空間上相對性的用語目的在於，包含正在使用或操作中之裝置的不同的方位。這些設施可能有其他的方位(旋轉90度或在其他方位)，並且在此使用的空間相對描述用語可據此相應地解釋。

**【0012】** 本揭露內容大致上涉及半導體裝置製造的方法，特別是對於鰭式場效電晶體，形成半導體鰭狀物的方法。根據本揭露內容的實施方式，半導體鰭狀物包含一個或多個半導體層面。這一個或多個半導體層面為以磊晶生長而成的薄層，因此，相對於應變鬆馳緩衝(SRB)方式，減少了材料的成本。其中一些半導體層面為局部性的成長，而不是在整個晶圓上成長，預防了剖面圖形缺失。更進一步地，這一個或多個半導體層面沒有具有介面層的側壁介面，減少了介面的缺陷，而改善磊晶膜的品質。本揭露內容的實施方式可容易地整合至現有的製造流程，特別是互補式金屬氧化物半導體(CMOS)裝置的製造。一個具有通常技藝之人士可體認到，其他半導體製造的流程和裝置，可從本揭露內容中受益。

**【0013】** 第1A和1B圖，為根據本揭露內容之各方面，顯示方法10的流程，其用以形成半導體裝置100。第3A、3B及3C圖，為根據本揭露內容之各方面，顯示方法50的流程，其用以形容半導體裝置200。方法50可被視為方法10的一個實施方式，之後會詳細討論。方法10和方法50僅是

實施例，目的並不在於以本揭露內容去限制在申請專利範圍中所明確列舉的事項。可在方法10和方法50之前、之中、之後，進行額外的操作，而且所描述的一些操作可被置換、刪減；或是這些操作，在這些方法的額外的實施方式中可被重新定位。如下之方法10的描述，結合了第2A至2R圖，其顯示了半導體裝置100的一部分，在製造的各中間階段之剖面視圖。如下之方法50的描述，結合了第4A至4R圖，其顯示了半導體裝置200的一部分，在製造的各中間階段之剖面視圖。

【0014】 之後將顯示，半導體裝置100和200，在很多方面是類似的。半導體裝置100和200二者皆可被納入至一積體電路，例如：微處理器，記憶裝置，和/或其他積體電路，其可包括被動元件，例如電阻、電容、感應器，和主動元件，例如p-型場效電晶體(PFET)、n-型場效電晶體(NFET)、金屬氧化物半導體場效電晶體(MOSFET)、互補式金屬氧化物半導體(CMOS)電晶體、雙極性電晶體、高電壓電晶體、高頻率電晶體、多閘極場效電晶體，其包含鰭式場效電晶體，和這些裝置的組合。

【0015】 參看第1A圖，在操作12，方法10提供(或被提供)裝置100的前趨物，前趨物包含基板102，其具有第一區域110和第二區域118(第2F圖)。第一區域110和第二區域118以相反類型的摻雜物摻雜。在實施方式中，基板102可能是半導體基板，例如矽基板。基板102可能包括其他半導體，例如鍺；複合半導體例如：半導體如碳化矽、砷化鎵、

磷化鎵、磷化銦、砷化銦，和/或銻化銦；合金半導體，例如磷砷化鎵、砷化銦鋁、砷化鋁鎵、砷化銦鎵、磷化銦鎵、和/或砷磷化鎵銦，或這些化合物的組合。進一步地，基板102可選擇性地包含磊晶層，其被施以應力以增強性能，包括絕緣層覆矽結構，和/或其他合適的增益結構。

**【0016】** 在一實施方式中，第一區域110和第二區域118，為鄰接並且可能互相重疊。例如，在基板102中，第一區域110和第二區域118可設置成p-n接面。在另一實施方式中，第一區域110和第二區域118沒有鄰接。第一區域110以第一型摻雜物摻雜，第二區域以第二型摻雜物摻雜。在一實施方式中，第一型摻雜物是p-型摻雜物，例如硼、銦、另一種適宜的p型摻雜物、或其組合；而第二型摻雜物是n-型摻雜物，例如磷、砷、另一個合適的n-型摻雜物、或其組合。在另一個實施方式中，第一型摻雜物是n-型摻雜物，而第二型摻雜物是p-型摻雜物。

**【0017】** 在第2F圖中所顯示的裝置100可能以許多種製程形成。第2A至2E圖繪示了一個實施例的製程。參看第2A圖，沉積介電層104於基板102上，此時基板102尚未摻雜第一和第二摻雜物。經由光刻製程，阻擋(或光阻)圖案106形成在介電層104上。在一實施方式中，介電層104為底部抗反射塗覆(BARC)層，且能以化學氣相沉積(CVD)、電漿增強化學氣相沉積(PECVD)、物理氣相沉積(PVD)、或其他合適的技術。在一實施例中，光刻製程可包括旋轉塗佈阻擋層於介電層104之上，將阻擋層曝光形成圖案，執行曝光

後的烘烤製程，而將阻擋層形成阻擋圖案106。阻擋圖案106提供一個或多個開口107，其暴露介電層104。

【0018】 參看第2B圖，蝕刻介電層104，經由開口107以暴露基板中的第一區域110。蝕刻介電層104可用乾蝕刻製程、濕蝕刻製程、或其他合適的蝕刻技術。例如，執行乾蝕刻的製程可用含氧的氣體、含氟的氣體(如：四氟化碳( $\text{CF}_4$ )、六氟化硫( $\text{SF}_6$ )、二氟甲烷( $\text{CH}_2\text{F}_2$ )、三氟甲烷( $\text{CHF}_3$ )、和/或六氟乙烷( $\text{C}_2\text{F}_6$ ))、含氯的氣體(如：氯氣( $\text{Cl}_2$ )、三氯甲烷( $\text{CHCl}_3$ )、四氯化碳( $\text{CCl}_4$ )、和/或三氯化硼( $\text{BCl}_3$ ))、含溴的氣體(如：溴化氫( $\text{HBr}$ )和/或三溴甲烷( $\text{CHBr}_3$ ))、含碘的氣體、或其他合適的氣體和/或電漿、和或這些物質的組合。例如，濕蝕刻的製程可包括蝕刻進行於稀釋的氫氟酸( $\text{DHF}$ )、氫氧化鉀( $\text{KOH}$ )溶液、氨、含氫氟酸( $\text{HF}$ )的溶劑、硝酸( $\text{HNO}_3$ )、和/或乙酸( $\text{CH}_3\text{COOH}$ )；或其他合適的濕蝕刻劑。

【0019】 仍參看第2B圖，在第一區域110暴露於開口107中之後，方法10執行離子佈植製程108，將第一型摻雜物摻雜至第一區域110。

【0020】 參看第2C圖，移除阻擋圖案106和介電層104，例如分別可由光阻剝離製程和蝕刻製程來做移除。方法10可選擇性地執行退火製程以活化在第一區域110中的第一摻雜物。

【0021】 參看第2D圖，另一個介電層112沉積在基板102上，而且另一個阻擋圖案114形成在介電層112上。介

電層112和阻擋圖案114之材質和形成，可能分別類似於介電層104和阻擋圖案106之材質和形成。阻擋圖案114提供一個或多個開口115，其暴露介電層112。

【0022】參看第2E圖，經由開口115蝕刻介電層112，而暴露基板102中的第二區域118。隨後，方法10執行另一個離子佈植製程116，將第二摻雜物摻雜至第二區域118。參看第2F圖，移除阻擋層114和介電層112。在一實施方式中，方法10執行退火製程以活化第一區域110和第二區域118的摻雜物。

【0023】在操作14，方法10(第1A圖)沉積半導體層120(第2G圖)於基板120上。參看第2G圖，在現有實施方式中，利用磊晶生長製程，半導體層120沉積於基板102的全表面(如：整個晶圓)上。磊晶生長製程可能是原子束磊晶(MBE)製程、化學氣相沉積製程，例如金屬有機化學氣相沉積(MOCVD)製程、或低壓化學氣相沉積(LPCVD)製程、和/或其他合適的磊晶生長製程。更進一步地，半導體層120成長至厚度 $H_{120}$ ，其範圍從50奈米(nm)至200奈米，這厚度相當上薄於在典型應變鬆馳緩衝(SRB)方式中的磊晶層，其厚度通常多於1微米( $\mu m$ )。在應變鬆馳緩衝方式中，厚的磊晶層一般上常見其帶有剖面圖案缺陷，而薄的半導體層120不受此缺陷的影響。

【0024】更進一步地，半導體層120原位地或異位地(相對於磊晶生長製程)摻雜以第三摻雜物，其中第一和第三摻雜物為相反型態(如：第二和第三摻雜物為相同型態)。在一

實施方式中，第三摻雜物是n-型摻雜物，例如磷、砷、其他合適的n-型摻雜物、或是其組合；半導體層120包含矽、磷化矽、磷化碳矽、鍺、或III族 V族例如磷化銦、砷化鎵、砷化鋁、砷化銦、砷化銦鋁、砷化鎵銦。在另一實施方式中，第三摻雜物是p-型摻雜物，例如硼、銦、另一種合適的p-型摻雜物，或其組合；且半導體層120包含矽、矽鍺、鍺、或 III族 V族 半導體如銻化銦、銻化鎵、銦銻化鎵。

**【0025】** 在操作16中，方法10(第1A圖)，對半導體層(120)執行化學機械平坦化(CMP)製程122，以將半導體層120的上表面平坦化(第2H圖)。在一實施方式中，操作16是選擇性的，只執行於當半導體層120的表面粗糙度之平均值的平方根 $R_q$ 大於一閾值時，例如0.5奈米。在替換性的實施方式中，對於操作16，可用不同的閾值或是不同的閾值測量。在一實施方式中，化學機械平坦化製程122使用適合研磨半導體層120之軟性研磨墊和漿料。在更進一步的實施方式中，藉由光學測量工具整合至化學機械平坦化工具，執行化學機械平坦化且做封閉式迴路控制，因而一旦所期待的半導體層120之表面粗糙度達成時，化學機械平坦化製程會及時停止。在一替換性的實施方式中，使用計時器模式控制化學機械平坦化，以達成理想的半導體層120之表面粗糙度。

**【0026】** 在操作18，方法10(第1A圖)沉積介電硬罩(HM)層124在第一半導體層120上(第2I圖)。在本實施方式中，介電硬罩層124沉積成一個薄的硬罩層，其厚度 $H_{124}$ 範圍從5奈米至50奈米。在實施方式中，介電硬罩層124可包

含氧化矽、氮化矽、氮氧化矽、碳化矽、氮化碳矽、氮氧化碳矽、或其他合適的介電材料。介電硬罩層124之形成可使用熱氧化、化學氣相沉積、電漿增強化學氣相沉積(PECVD)、物理氣相沉積、原子層沉積(ALD)，或其他合適的技術。在本實施方式中，介電硬罩層124沉積在第一半導體層120之全表面上。

**【0027】** 在操作20，方法10(第1A圖)在介電硬罩層124形成圖案，以在第一區域110上方形成開口127(第2J和2K圖)。參看第2J圖，阻擋圖案126形成在介電硬罩層124上且提供了開口127。阻擋圖案126的圖案化製程類似於阻擋圖案106的圖案化製程(第2A圖)。參看第2K圖，經由開口127蝕刻介電硬罩層124，以暴露半導體層120。之後移除阻擋圖案126，例如藉由光阻剝離製程。蝕刻介電硬罩層124可用乾蝕製程、濕蝕刻製程、原子層蝕刻製程、或其他合適的技術。

**【0028】** 在操作22，方法10(第1A圖)朝基板102延伸了開口127。參看第2L圖，開口127的延伸是經由蝕刻下方的材料層，包括半導體層120和第一區域110。在一實施方式中，經由開口127，局部地蝕刻半導體層120。在第一區域110上之半導體層120剩下的部分可以利用以做裝置性能的精細調整，例如減少裝置漏電，和平衡介於n-型和p-型金屬氧化物(MOS)裝置間的迴路特徵。在另一個實施方式中，經由開口127，完整地移除在第一區域110之上的半導體層120的部分。在又另一個實施方式中，不僅是在第一區域110

之上的半導體層120的部分完整地移除，且經由開口127，第一區域110也部分地被移除。在實施方式中，在第一區域110上方之半導體層120的剩餘部分，具有厚度 $H_1$ ，其範圍從0奈米至大約50奈米。在一實施方式中，蝕刻半導體層120和選擇性地蝕刻第一區域110，為利用乾蝕刻製程。利用計時器模式以控制蝕刻，達到所期望的 $H_1$ 厚度，或是假如 $H_1$ 是0奈米，達到所期望的第一區域110之厚度。在蝕刻製程中，介電硬罩層124保護位在第二區域118之上的半導體層120。在本揭露內容，開口127也稱為半導體溝槽127，因為在它的底部和側壁被半導體材料所圍繞(開口127的上部是鄰接於介電硬罩層124，但這部分不明顯，將在之後討論)。

**【0029】** 在操作24，方法10(第1B圖)沉積第二半導體層128在開口127中(第2M圖)，其與半導體層120或是第一區域110形成介面(見以上操作22之討論)。參看第2M圖，半導體層128的表面 $S_{128}$ ，高於在第二區域118之上的半導體層120的表面 $S_{120}$ ，且低於第二區域118之上的介電硬罩層124的表面 $S_{124}$ 。更進一步地，一小部分的半導體128可能沉積在介電硬罩層124之上。

**【0030】** 半導體層128以第四摻雜物摻雜，其中第一和第四摻雜物為相同型態(如：都是n-型摻雜物或都是p-型摻雜物)。在一實施方式中，沉積半導體層128，使用磊晶成長製程，其可能是原子束磊晶(MBE)製程、金屬有機化學氣相沉積(MOCVD)製程、低壓化學氣相沉積(LPCVD)製

程、或其他合適的磊晶成長製程。半導體層128原位或異位地以第四摻雜物摻雜。沉積半導體層128至厚度 $H_{128}$ ，其範圍從30奈米至150奈米。要注意的是，半導體層128直接與半導體材料(半導體層120，或是第一區域110)形成介面。因此，相較於由典型的鰭狀物置換方式的磊晶層，半導體層128的介面缺陷較少。之後將會顯示，在後續的化學機械平坦化製程中，將會移除介於半導體層128和介電硬罩層124之間的小介面部分。

**【0031】** 在一實施方式中，第四摻雜物為n-型摻雜物，例如磷、砷、另一個合適的n-型摻雜物、或其組合；半導體層128包含矽、磷化矽、磷化碳矽，鍺、或III族V族半導體如磷化銦、砷化鎵、砷化鋁、砷化銦、砷化鋁銦、砷化鎵銦。在另一實施方式中，第四摻雜物為p-型摻雜物，例如硼、銦、另一個合適的 p-型摻雜物、或其組合；半導體層128包括矽、矽鍺、鍺、或 III族V族 半導體如銻化銦、銻化鎵、銻化鎵銦。

**【0032】** 在操作26，方法10(第1B圖)移除介電硬罩層124。在一實施方式中，操作26執行化學機械平坦化製程130以移除介電硬罩層124，在其中，化學機械平坦化製程130停止於半導體層120和128(第2N圖)。在本實施方式中，調整化學機械平坦化製程130，使移除介電硬罩層124快於移除半導體層120和128，如：介電硬罩層124的移除率高於半導體層120和128的移除率。例如：調整化學機械平坦化製程130，使其移除介電硬罩層124的速率為移除導

體層120和128的速率之10倍。半導體層120和128的移除速率大約相等。這是為了確保在移除介電硬罩層124時，第二半導體層128不會遭受太多膜層損失，雖然還是有一些膜層損失。

【0033】 在實施方式中，前述的化學機械平坦化製程，要調整移除之速率上的選擇性，可由選擇適當的化學機械平坦化耗材，例如化學機械平坦化研磨墊、化學機械平坦化漿料、化學機械平坦化調節劑。例如，可根據要移除的材料，選擇化學機械平坦化研磨墊(如：孔狀和/或溝狀)的結構和它的材料特性(如：硬度)。例如，典型的化學機械平坦化漿料包括磨料，pH調節劑，和一種或多種添加劑，如氧化劑、配位劑、腐蝕抑製劑、分散劑。可根據要移除的材料，調整化學機械平坦化漿料的各個不同成分。在本實施方式中，化學機械研磨製程130使用硬式化學機械平坦化研磨墊，和選擇性移除介電硬罩層124材料之化學機械平坦化漿料。在更進一步的實施方式中，化學機械平坦化製程使用馬達轉矩端點檢測模式，以檢測半導體層120是否暴露。這確保化學機械平坦化製程及時地停止在半導體層128和120的上表面。在本實施方式中，當化學機械平坦化製程130停止時，半導體層128的表面 $S_{128}$ (現在的上表面)仍然高於半導體層120的表面 $S_{120}$ 。在另一實施方式中，操作26可用蝕刻製程取代化學機械平坦化製程，移除介電硬罩層124，其中，蝕刻製程對於介電硬罩層124是選擇性的。

【0034】 在操作28，方法10(第1B圖)執行化學機械平坦

化製程132，以將半導體層120和128的上表面平坦化(第2O圖)。參看第2O圖，化學機械平坦化製程132同時研磨半導體層120和128。在本實施方式中，調整化學機械平坦化製程132，以使移除半導體層128，稍微地快於半導體層120；因為當化學機械平坦化製程開始時，上表面 $S_{128}$ 稍微高於上表面 $S_{120}$ 。例如：可調整化學機械平坦化製程132，使得移除半導體層128的速率是移除半導體層120的1至5倍。調整半導體層120和128之間化學機械平坦化方面的選擇性，可選擇適當的化學機械平坦化耗材，例如前述的化學機械平坦化研磨墊、化學機械平坦化漿料、化學機械平坦化調節劑。在各個不同的實施方式中，對於化學機械平坦化製程132，半導體層120和128中的材料是類似的，化學機械平坦化製程132可有效地同時將這兩個半導體層平坦化。在本實施方式中，化學機械平坦化製程132使用軟式的化學機械平坦化研磨墊，和調整化學機械研磨漿料以研磨半導體層120和128。在更進一步的實施方式中，使用計時器模式，以控制化學機械平坦化製程132的持續時間。當化學機械平坦化製程132停止時，半導體層128之上表面 $S_{128}$ ，和半導體層120之上表面 $S_{120}$ ，相當程度上是共平面的。要注意的是，在本實施方式中，藉由化學機械平坦化製程130和132，移除了半導體層128和介電硬罩層124之間交界的那一部分(第2M圖)。半導體層128的剩餘部分製成半導體溝槽127，因而，相較於在典型鰭狀物置換方式中的磊晶層，減少了介面缺陷。

【0035】 在操作30，方法10(第1B圖)進行至更進一步的步驟以形成最終裝置100。在本實施方式中，裝置100為鰭式場效電晶體裝置。進一步地，本實施方式中，操作30包含利用半導體層120、128，和第一區域110、第二區域118，形成鰭狀物。一個實施例的鰭狀物形成製程繪示在第2P至2R圖，且之後將簡短討論。

【0036】 參看第2P圖，在半導體層120和128之上，沉積氧化物襯墊層134和氮化矽襯墊層136，以做為毯覆層。之後，將層面136、134、128、120、118、110圖案化(經由光刻和蝕刻製程)，以在基板102上提供鰭狀物140和142。鰭狀物140和142以溝槽137分隔。沉積氧化物襯墊層134和氮化矽襯墊層136，可使用化學氣相沉積、物理氣相沉積、或其他合適的製程。蝕刻各個不同的層面可用濕蝕刻、乾蝕刻、原子層蝕刻、或其他合適的蝕刻技術。

【0037】 參看第2Q圖，在鰭狀物140和142 之上，沉積隔離層138，且填滿溝槽137。隔離層138包含介電的材料，例如氧化矽，其在電性上將鰭狀物140和142分隔。形成隔離層138可用化學氣相沉積、電漿增強化學氣相沉積(PECVD)、物理氣相沉積、流動式化學氣相沉積、熱氧化、或其他技術。執行化學機械平坦化將隔離層138平坦化，且停止於氮化矽襯墊層136。之後，藉由一個或多個選擇性蝕刻製程，移除氮化矽襯墊層136和氧化物襯墊層134，以暴露半導體層120和128。

【0038】 參照第2R圖，逆向蝕刻隔離層138，以使得半

導體層120和128的一部分位在隔離層138的上表面之上。如第2R圖所示，鰭狀物140突出於第一區域110，鰭狀物142突出於第二區域118。每一個鰭狀物142，包含了位在第二區域118之上的半導體層120的一部分。每一個鰭狀物140，包含了位在第一區域110之上的半導體層120的一部分120'，且包含了一部分的半導體層128。如前所述，在各個實施方式中，為了精細地調整裝置100的性能，120'的厚度從0奈米至50奈米。更進一步地，基板區域110和118，以及半導體層120和128，各自摻雜以第一、第二、第三、第四摻雜物。第一和第四摻雜物為相同型態，其相對於第二和第三摻雜物的型式。在一實施方式中，第一和第四摻雜物為n-型摻雜物，而第二和第三摻雜物為p-型摻雜物。在另一實施方式中，第一和第四摻雜物為p-型摻雜物，而第二和第三摻雜物為n-型摻雜物。如前述討論的，所提供的半導體鰭狀物140和142具有高品質的磊晶膜。與使用典型鰭狀物置換方式沉積而成的磊晶層相比，半導體鰭狀物140和142未遭受常見於那些磊晶層中的介面缺陷。

**【0039】** 第3A至3C圖顯示了形成半導體裝置200之方法50的流程圖。方法50為方法10的實施方式，且半導體裝置200為半導體裝置100的實施方式。為了簡化起見，省略或節略許多方法50和裝置200的細節，這些可由參看前述的方法10和裝置100得知。

**【0040】** 參看第3A圖，在操作12，如第4A圖所示，方法50提供裝置200的前趨物，其包括具有第一區域110和第

二區域118的基板102。第一區域110和第二區域118各自以第一和第二摻雜物摻雜。形成第4A圖的裝置200，可用如前所討論且繪示於第2A至2F圖的製程。

【0041】 在操作52，方法50(第3A圖)沉積介電硬罩層202在基板102上(如：在第一區域110和第二區域118之上)。參看第4B圖，在本實施方式中，沉積介電硬罩層202至厚度 $H_{202}$ ，範圍從5奈米至50奈米。在各個不同的實施方式中，介電硬罩層202可包含氧化矽、氮化矽、氮氧化矽、碳化矽、氮化碳矽、氮氧化碳矽、或其他合適的介電材料。形成介電硬罩層202可使用熱氧化、化學氣相沉積、電漿增強化學氣相沉積、物理氣相沉積、原子層沉積、或其他合適的技術。在本實施方式中，沉積介電硬罩層202在基板102的全表面上。

【0042】 在操作54，方法50(第3A圖)在介電硬罩層202上形成圖案，以提供開口205，其暴露第二區域118(第4C和4D圖)。這牽涉到一個或多個光刻或蝕刻製程。例如，光刻製程在裝置200上形成阻擋圖案204，其中，阻擋圖案204在第二區域118上方提供了開口205(第4C圖)。例如，經由開口205，蝕刻製程蝕刻介電硬罩層202，因而暴露第二區域118(第4D圖)。光刻製程和蝕刻製程與第2A至2B、2D至2E、2J至2K圖所討論的製程相似。

【0043】 在操作56，方法50(第3A圖)經由開口205在第二區域118形成凹陷。參看第4E圖，移除部分的第二區域118，導致凹陷的第二區域118。在本實施方式中，操作56

使用異向性乾蝕刻製程。在一實施方式中，用計時器控制蝕刻的深度。在蝕刻製程中，介電硬罩層202保護裝置200的其他區域，包括第一區域110。在本揭露內容中，開口205也稱作半導體溝槽205，因為在它的底部和側壁，被半導體材料所環繞(開口205的上方部分鄰接於介電硬罩層202，但這部分是不顯著的，之後將討論)。

**【0044】** 在操作14A，方法50(第3A圖)沉積半導體層120於開口205且在凹陷的第二區域118上方。在一實施方式中，形成半導體層120的製程類似於第2G圖中的半導體層120。因此，操作14A可視為操作14(第1A圖)的實施方式。操作14和14A的一個不同之處在於，操作14沉積半導體層120在裝置100的全表面上(第2G圖)，而操作14A沉積半導體層120在裝置200之所選的局部區域，例如開口205(第4F圖)。在第4F圖，沉積半導體層120至厚度 $H_{120}$ ，範圍從50奈米至200奈米，並摻雜第三摻雜物，其與第二摻雜物為同型。更進一步地，在本實施方式中，半導體層120的上表面 $S_{120}$ 高於介電硬罩層202的上表面 $S_{202}$ 。

**【0045】** 在操作58，方法50(第3A圖)執行化學機械平坦化製程206，以將半導體層120的上表面 $S_{120}$ 平坦化(第4G圖)。化學機械平坦化製程倍止在介電硬罩層202的上表面 $S_{202}$ 。因此，上表面 $S_{120}$ 和 $S_{202}$ 相當程度上是共平面的。在一實施方式中，調整化學機械平坦化製程206，使移除半導體層120，快於移除介電硬罩層202。例如，半導體層120的化學機械平坦化的移除速率至少比介電硬罩層202的化

學機械平坦化的移除速率快十倍。如前述討論的，調整化學機械平坦化移除速率的選擇性，可藉由選擇適當的化學機械平坦化耗品，例如化學機械平坦化研磨墊、化學機械平坦化漿料、化學機械平坦化調理劑。在本實施方式中，化學機械平坦化製程206使用硬式研磨墊，和選擇用以移除半導體層120材料的化學機械平坦化漿料。在更一步的實施方式中，化學機械平坦化製程206使用馬達轉矩端點檢測模式來檢測半導體層120是否相當程度上與介電硬罩層202為共平面。

**【0046】** 在操作60，方法50(第3B圖)移除第一區域之上的介電硬罩層202(第4H圖)。在一實施方式中，理想的作法是移除介電硬罩層202後，再沉積另一個介電層(如同在操作18A所討論的)，這是因為在經過化學機械平坦化製程206後，介電硬罩層可能不具有理想的一致性。移除介電硬罩層202可用濕蝕刻、乾蝕刻、原子層蝕刻、或其他適的蝕刻技術。在一實施方式中，介電硬罩層202的移除，只限於所選的區域，例如直接位於第一區域110上方的區域。因此，介電硬罩層仍然覆蓋裝置200的其他區域。在移除介電硬罩層202之後，在第一區域110和半導體層120之間有一個位差，例如半導體層120的上表面 $S_{120}$ 高於第一區域110的上表面 $S_{110}$ 。

**【0047】** 在操作18A，方法50(3B)沉積另一個介電硬罩層208在第一區域110和半導體層120上方(第4I圖)。介電硬罩層可能包含氧化矽、氮化矽、氮氧化矽、碳化矽、氮化碳

矽、氮氧化碳矽、或另一個合適的介電材料；而且可能用熱氧化沉積、化學氣相沉積、電漿增強化學氣相沉積、物理氣相沉積、原子層沉積、或其他合適的技術。由於介於第一區域110和半導體層120之間的位差，為了覆蓋這個位差，介電硬罩層208沉積的厚度會相對上大於介電硬罩層202。在一實施方式中，沉積介電硬罩層208至厚度 $H_{208}$ 範圍從20奈米至100奈米。在更進一步的實施方式中，介電硬罩層208的厚度在相當程度上是一致的。如在第4I圖所示，介電硬罩層208，沿著「z」字型方向，在第二區域118高於第一區域110。操作18A可被視為操作18的實施方式(第1A圖)。

**【0048】** 在操作20A，方法50(第3B圖)在介電硬罩層208上形成圖案，以在第一區域110正上方形成開口209(第4J和4K圖)。操作20A可被視為操作20的實施方式(第1A圖)。如在第4J圖所示，形成阻擋圖案210且其具有開口209。參看第4K圖，經由開口209，蝕刻介電硬罩層208，因此暴露第一區域110。

**【0049】** 在操作22A，方法50(第3B圖)朝基板102延伸開口209。操作22A可視為操作22的實施方式(第1A圖)。參看第4L圖，形成凹陷於第一區域110，導致凹陷的第一區域110。在各個不同的實施方式中，根據裝置效能的需求，凹陷的第一區域110之上表面 $S_{110}$ 可能相等、低於、高於第二區域118的上表面 $S_{118}$ 。在本實施方式中，這兩個表面 $S_{110}$ 和 $S_{118}$ ，相當程度上是共平面的。在一實施方式中，操作22A使用乾蝕刻製程和計時器模式以達到理想中的蝕刻深度。在

本揭露內容中，開口209也稱作半導體溝槽209，因為它的底部和側壁被半導體材料圍繞(開口209的上部分鄰接於介電硬罩層208，但是這部分不明顯，之後將討論)。

【0050】 在操作24，方法50(第3B圖)，在開口209和凹陷的第一區域110上方，沉積半導體層128(第4M圖)。更進一步地，半導體層128摻雜第四摻雜物。這個操作相當程度上與方法10的操作24(第1B圖)相等。半導體層128厚度 $H_{128}$ ，範圍從30奈米至150奈米。半導體層128的表面 $S_{128}$ 高於半導體層120的上表面 $S_{120}$ ，但是低於位在第二區域118正上方的介電硬罩層208之上表面 $S_{208}$ 。值得注意的是，半導體120和128二者皆成長於由半導體材料所圍繞的開口。因此，相對於鰭狀物置換方式的磊晶層，相當程度地減少了介於半導體層120(或128)和周圍材料之間的缺陷。

【0051】 在操作26，方法50(第3C圖)移除半導體層120之上的介電硬罩層208。在一實施方式中，操作26執行化學機械平坦化製程130，以移除介電硬罩層208。參看第4N圖，移除介電硬罩層208且暴露半導體層120和128。在另一實施方式中，操作26使用對於介電硬罩層208具選擇性之蝕刻製程，以移除介電硬罩層208。這個操作，相當程度上等同於方法10的操作26(第1B圖)。在本實施方式中，在完成此操作之後，表面 $S_{128}$ (現在為半導體層128的上表面)稍後高於上表面 $S_{120}$ 。

【0052】 在操作28，方法50(第3C圖)執行化學機械平坦化製程132以將半導體層120和128平坦化(第4O圖)。這個

操作，相當程度上是等同於方法10的操作28(第1B圖)。因此此操作的結果，上表面 $S_{128}$ 在相當程度上，變成與上表面 $S_{120}$ 為共平面。值得注意的是，在本實施方式中，半導體層120和128的一部分，曾各自與介電硬罩層202(第4F圖)和介電硬罩層208(第4M圖)形成交界面；藉由化學機械平坦化製程130和132，移除所交界的這一部分。半導體層120和128的剩餘部分，為分別地從半導體溝槽205和209成長而來；因而，與典型的鰭狀物置換方式形成的磊晶層相比，減少了介面缺陷。

**【0053】** 在操作30，方法50(第3C圖)進行至更進一步的步驟，以形成最終裝置200。在本實施方式中，裝置200為鰭式場效電晶體裝置。進一步地，本實施方式中，操作30包含了利用半導體層120、128，以及第一區域110、第二區域118，形成鰭狀物結構。對於裝置200，一個實施例性的鰭狀物形成製程，繪示於第4P、4Q、4R圖，且這個製程，相當程度上分別地等同於繪示於第2P、2Q、2R圖的鰭狀物形成製程。

**【0054】** 如在第4R圖中所示，鰭狀物144從第一區域110突出，鰭狀物142從第二區域118突出。每一個鰭狀物142，包含位於第二區域118上之半導體層120的一部分。每一個鰭狀物144，包含位於第一區域110上之半導體層128的一部分。此外，以第一、第二、第三、第四摻雜物，分別地摻雜至基板區域110、118，和半導體層120、128。第一和第四摻雜物為同型，其與第二和第三摻雜物為相反型

態。在一實施方式中，第一和第四摻雜物為n-型摻雜物，而第二和第三摻雜物為p-型摻雜物。在另一實施方式中，第一和第四摻雜物為p-型摻雜物，而第二和第三摻雜物為n-型摻雜物。

【0055】 雖然目的不在於造成限制，本揭露內容的一個或多個實施方式，提供了許多半導體裝置和形成製程方面的優點。例如，本揭露內容的實施方式提供了半導體層的磊晶成長方法、半導體層平坦化的方法、蝕刻半導體層以形成鰭狀物的方法。與典型SRB方式中的磊晶層相比，半導體層較薄，因而預防剖面圖型缺陷。更進一步地，形成半導體層於半導體溝槽內，而不是在介電質溝槽內；因而，與典型鰭狀物置換方式相比，減少了介面缺陷。本揭露內容的實施方式，可以輕易地整合至現有的半導體製造流程。

【0056】 在一實施例之觀點中，本揭露內容針對的是形成半導體裝置之方法。這方法包括提供半導體基板，其中半導體基板具有第一區域，和鄰接於第一區域的第二區域，第一區域和第二區域分別地摻雜第一和第二摻雜物，且第一和第二摻雜物為相反型態。這方法，更進一步地包含在基板上，磊晶成長第一半導體層，其摻雜第三摻雜物，且第三摻雜物和第一摻雜物為相反型態。這方個更進一步地包含在第一半導體層上沉積介電硬罩(HM)層；形成圖案在介電硬罩層，以形成位在第一區域上的開口；並且朝基板延伸開口。這方法更進一步地包含，在開口中磊晶成長第二半導體層，其摻雜第四摻雜物，且第一和第四摻雜物為相同型態；而且

第二半導體層的表面，高於第二區域正上方之第一半導體層的表面，低於高於第二區域正上方之介電硬罩層的表面。這方法更進一步地包含移除介電硬罩層；以及執行第一化學機械平坦化製程以將第一和第二半導體層二者皆平坦化。

【0057】 在另一個實施例之觀點中，本揭露內容為針對形成半導體裝置的方法。這方法包含形成半導體基板，其中半導體基板包含第一區域，以及鄰接於第一區域的第二區域；第一和第二區域分別地摻雜第一和第二摻雜物，且第一和第二摻雜物為相反型態。這方法更進一步地包含在基板上沉積介電硬罩(HM)層；在介電硬罩層上形成圖案，以形成暴露第二區域的第一開口；並且經由第一開口，在第二區域形成凹陷。這方法更進一步地包含在基板上且在第一開口中，磊晶成長第一半導體層，其中第一半導體層摻雜第三摻雜物，第一和第三摻雜物為相反型態，而且其中，第一半導體層的上表面，高於位在第一區域正上方之介電硬罩層的上表面。這方法更進一步地，包含對第一半導體層執行第一化學機械平坦化製程，其中第一化學機械平坦化製程停止於第一硬罩層上。這方法更進一步地包含，在第一區域之上且在第一半導體層之上，沉積第二介電硬罩層；在第二介電硬罩層形成圖案，以在第一區域上形成第二開口；且朝半導體基板延伸第二開口，因而部分地移除第一區域。這方法更進一步地包含，在第二開口中，磊晶成長第二半導體層，其中將第四摻雜物摻雜入第二半導體層，且第一和第四摻雜物為同型，而且第二半導體層的表面，高於位在第一區域正上方之

第二半導體層的表面，低於位在第二區域正上方之介電硬罩層的表面。這方法更進一步地包括執行第二化學機械平坦化製程移除第二介電硬罩層，以暴露第一和第二半導體層；並且執行第三化學機械製程，以將第一和第二半導體層二者皆平坦化。

**【0058】** 在又另一實施例之觀點中，本揭露內容為針對半導體裝置。半導體裝置包含具有第一區域和第二區域的半導體基板，其中第一和第二區域分別地摻雜第一和第二摻雜物。半導體裝置更進一步地包含突出於第一區域的第一鰭狀物；突出於第二區域的第二鰭狀物；以及介於相鄰第一及第二鰭狀物的隔離結構。每一個第二鰭狀物包含位在第一區域之一部分上的第一半導體層；且更進一步地包含位在第一半導體層上的第二半導體層。第一半導體層以第三摻雜物摻雜，其與第二摻雜物為同型。第二半導體層以第四摻雜物摻雜，其與第一摻雜物為同型。

**【0059】** 前述內容概述了數個實施方式的種種特徵，所以在本領域中具一般技能者可更能理解本揭露內容的觀點。那些本領域中具一般技能者應該能理解他們可快速地利用本揭露內容，作為設計或修改其他製程或結構的基礎，以實現同樣的目的和/或達成此述實施方式同樣的優點。那些本領域中具一般技能者應該也體會出如此均等的建構，並不偏離本揭露內容的精神和範圍，而且他們可不偏離本揭露內容的精神和範圍，進行各種改變、取代、替換。

【符號說明】

【0060】

10：方法

12、14、14A、16、18、18A、20、20A、22、22A、24、

26、28、30：操作

100：裝置

102：基板

104：介電層

106：阻擋圖案

107：開口

108：離子佈植製程

110：第一區域

112：介電層

114：阻擋圖案

115：開口

116：離子佈植製程

118：第二區域

120：半導體層

120'：半導體層

122：化學機械平坦化製程

124：介電硬罩層

126：阻擋圖案

127：開口

128：半導體層

130、132：化學機械平坦化製程

134：氧化物襯墊層

136：氮化矽襯墊層

137：溝槽

140、142：鰭狀物

50：方法

52、54、56、58、60：操作

200：裝置

202：介電硬罩層

204：阻擋圖案

205：開口

206：化學機械平坦化製程

208：介電硬罩層

209：開口

210：阻擋圖案

$H_1$ 、 $H_{120}$ 、 $H_{124}$ 、 $H_{128}$ 、 $H_{202}$ 、 $H_{208}$ ：厚度

$S_{110}$ 、 $S_{118}$ 、 $S_{120}$ 、 $S_{124}$ 、 $S_{128}$ 、 $S_{202}$ ：表面

## 【發明申請專利範圍】

【第 1 項】一種製造半導體裝置之方法，包含：

提供一半導體基板，其中該半導體基板具有一第一區域和一第二區域，該第一區域和該第二區域分別摻雜第一摻雜物和第二摻雜物，且該第一摻雜物和第二摻雜物為相反型態；

磊晶成長一第一半導體層，其位在該半導體基板上，且該第一半導體層摻雜一第三摻雜物，且該第一摻雜物和第三摻雜物為相反型態；

沉積一介電硬罩(HM)層在該第一半導體層上；

將該介電硬罩層圖案化，以在該第一區域上形成一開口；

朝該半導體基板延伸該開口；

磊晶成長一第二半導體層在該開口中，其中該半導體層摻雜一第四摻雜物，該第一摻雜物和第四摻雜物為相同型態，而且該第二半導體層的一表面高於直接位在該第二區域上方之該第一半導體層的一上表面，且低於直接位在該第二區域上方之該第二區域上方之該介電硬罩層的一上表面；

移除該介電硬罩層；以及

執行一第一化學機械平坦化製程，以將該第一半導體層和該第二半導體層平坦化。

【第 2 項】如請求項 1 所述之方法，其中延伸該開口時，部分地移除位於該開口內的該第一半導體層；或是完

全地移除位於該開口內的該第一半導體層；或是完全地移除位於該開口內的該第一半導體層，且部分地移除位於該開口內的該第一區域。

【第 3 項】如請求項 1 所述之方法，在磊晶成長該第一半導體層之前，更進一步地包含：

沉積另一個介電硬罩層在該半導體基板上；

將該另一個介電硬罩層圖案化，以形成另一個開口，其暴露該第二區域；以及

將該第二區域經由該另一個開口形成凹陷，其中：

該一半導體層磊晶成長於該另一個開口內。

【第 4 項】如請求項 1 所述之方法，其中藉由一第二化學機械平坦化製程，移除該介電硬罩層。

【第 5 項】如請求項 4 所述之方法，其中調整該第二化學機械平坦化製程，使移除該介電硬罩層至少為移除該第一和第二半導體層的 10 倍；或調整該第一化學機械平坦化製程，使移除該第二半導體層的速度為移除該第一半導體層的 1 至 5 倍。

【第 6 項】一種製造半導體裝置之方法，包含：

提供一半導體基板，其中該半導體基板具有一第一區域，和鄰接於該第一區域之一第二區域，該第一區域和該第二區域分別地摻雜第一摻雜物和第二摻雜物，且該第一

摻雜物和該第二摻雜物為相反型態；

沉積一第一介電硬罩層在該半導體基板上；

將該第一介電硬罩層圖案化，以形成一第一開口，暴露該第二區域；

經由該第一開口，在該第二區域形成凹陷；

磊晶成長一第一半導體層於該半導體基板上且在該第一開口內，其中該第一半導體層摻雜一第三摻雜物，該第一摻雜物和該第三摻雜物為相反的型式，且其中該第一半導體層的一上表面高於位在該第一區域上方之該介電硬罩層之一上表面；

執行一第一化學機械平坦化製程於該第一半導體層，其中該第一化學機械平坦化製程停止於該第一介電硬罩層上；

沉積一第二介電硬罩層在該第一區域之上且在該第一半導體層之上；

將第二介電硬罩層圖案化以在該第一區域上形成一第二開口；

朝該半導體基板延伸該第二開口，因此部分地移除該第一區域；

磊晶成長一第二半導體層在該第二開口內，其中該第二半導體層摻雜一第四摻雜物，該第一摻雜物和該第四摻雜物為相同型態，且該第二半導體的一表面高於位在該第二區域上之該第一半導體層的上表面，且低於位在該第二區域上之該第二介電硬罩層的上表面；

執行一第二化學機械平坦化製程以移除該第二介電硬

罩層，且暴露該第一半導體層和該第二半導體層；以及  
執行一第三化學機械平坦化製程，以將該第一半導體層和該第二半導體層平坦化。

【第 7 項】如請求項 6 所述之方法，在沉積該第二介電硬罩層前，更進一步地包含：

移除位在該第一區域上之該介電硬罩層，其中該第二介電硬罩層在該第二區域上高於在該第一區域上。

【第 8 項】如請求項 7 所述之方法，其中：

調整該第一化學機械平坦化製程，使移除該第一半導體層的速度快於移除該介電硬罩層；

調整該第二化學機械平坦化製程，使移除該第二介電硬罩層快於移除該第一和第二半導體層；以及

調整該第三化學機械平坦化製程，使移除該第二半導體層快於移除該第一半導體層。

【第 9 項】一半導體裝置，包含：

一半導體基板，其具有一第一區域和一第二區域，其中該第一區域和第二區域分別地摻雜第一摻雜物和第二摻雜物；

第一鰭狀物突出於該第一區域；

第二鰭狀物突出於該第二區域；以及

一隔離結構，介於相鄰的第一和第二鰭狀物，

其中：

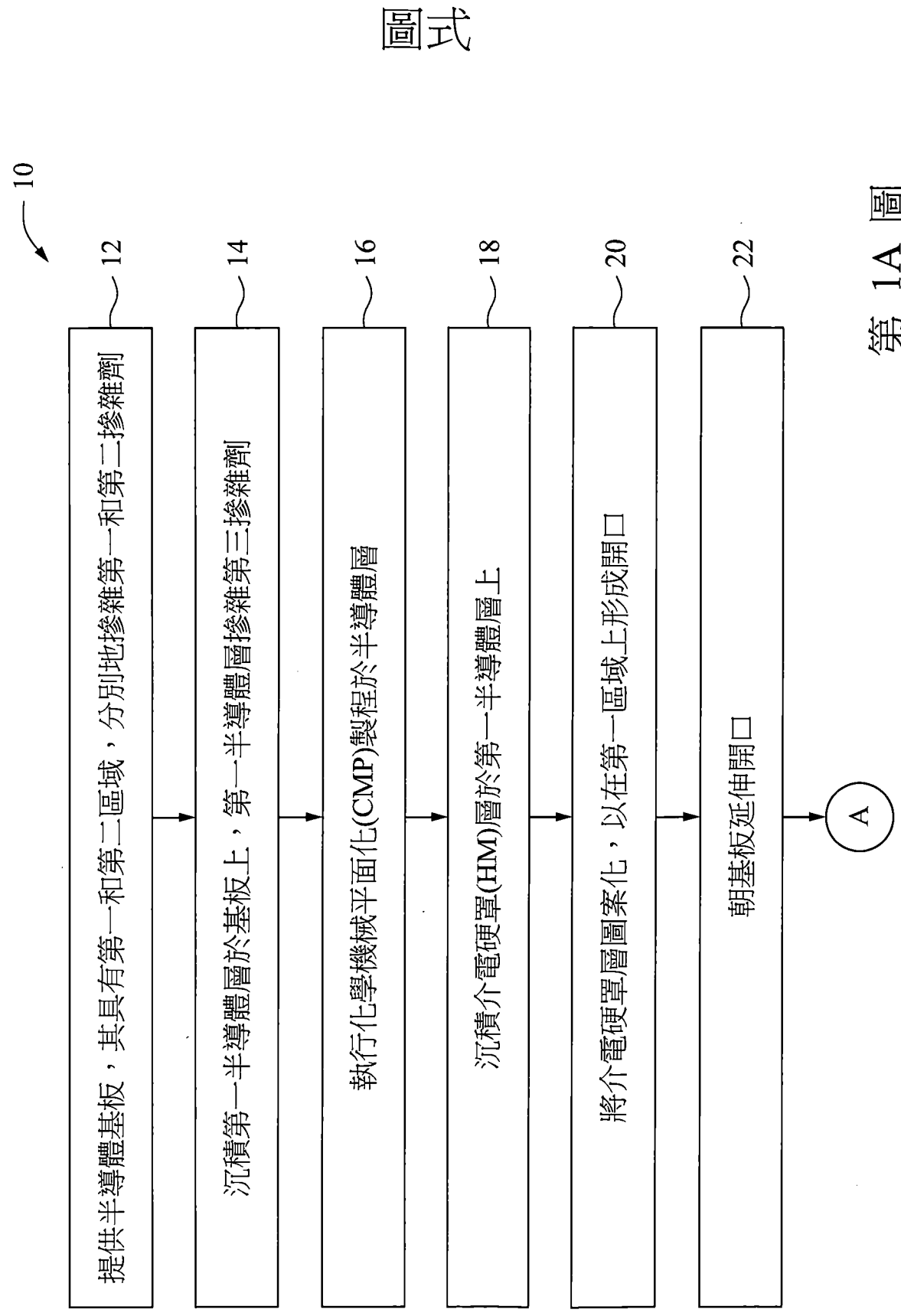
每一個該第二鰭狀物包含一第一半導體層，其位在該第二區域上；

每一個該第一鰭狀物包含一第一半導體層，其位在第一區域上，且更進一步地包含位在該第一半導體層上之一第二半導體層；

該第一半導體層以一第三摻雜物摻雜，其與該第二摻雜物為同型；以及

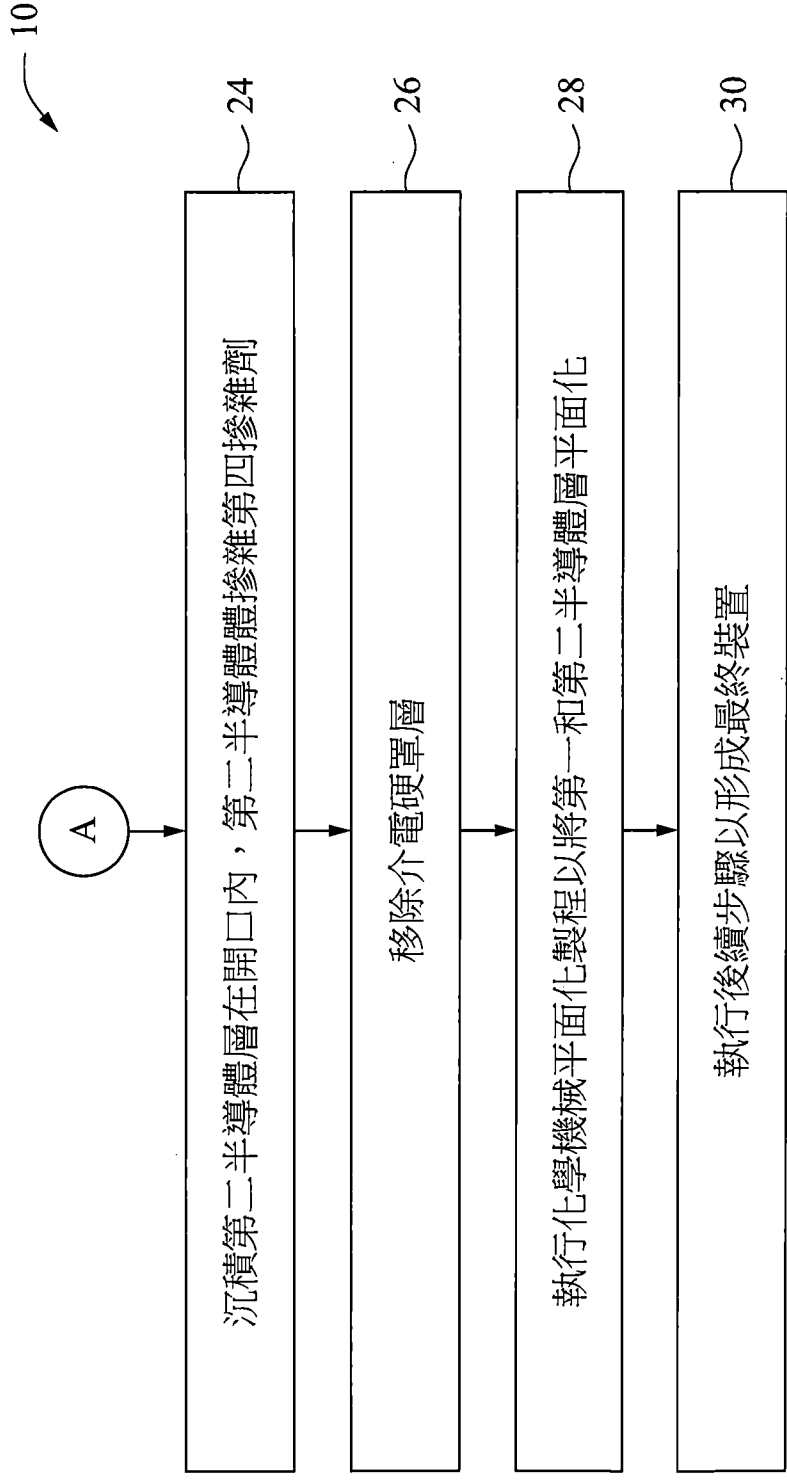
該第二半導體層以一第四摻雜物摻雜，其與該第一摻雜物為同型。

【第 10 項】如請求項 9 所述之半導體裝置，其中：  
該第一摻雜物和該第四摻雜物為 p-型摻雜物；以及  
該第二摻雜物和該第三摻雜物為 n-型摻雜物。

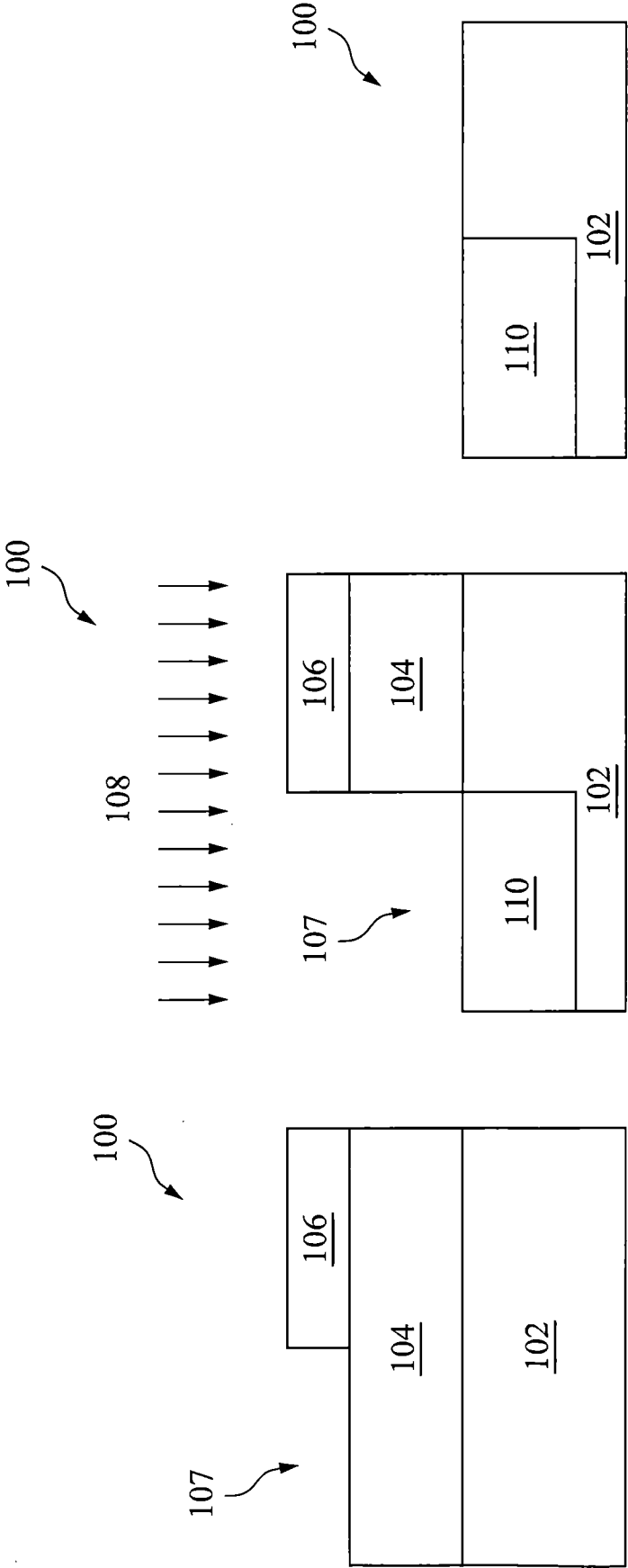
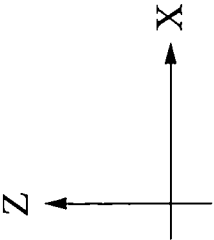


圖式

第 1A 圖



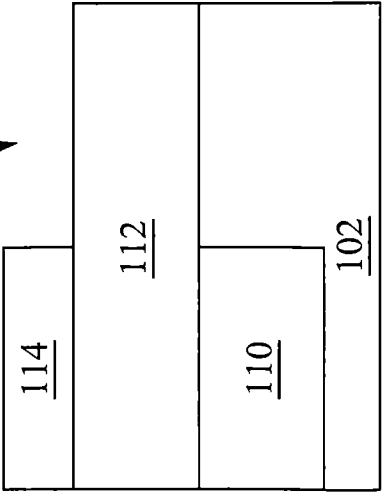
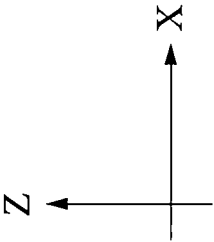
第 1B 圖



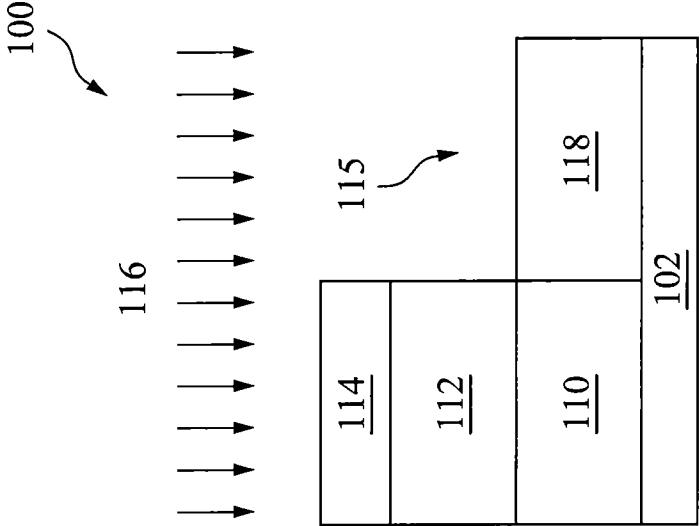
第 2A 圖

第 2B 圖

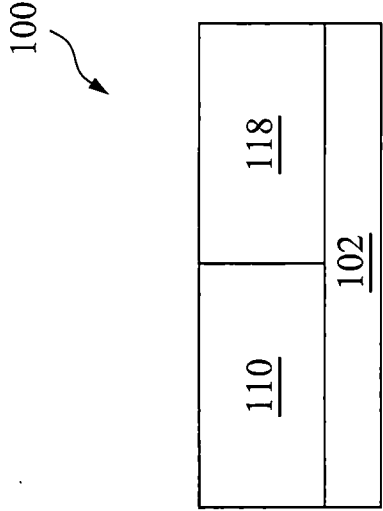
第 2C 圖



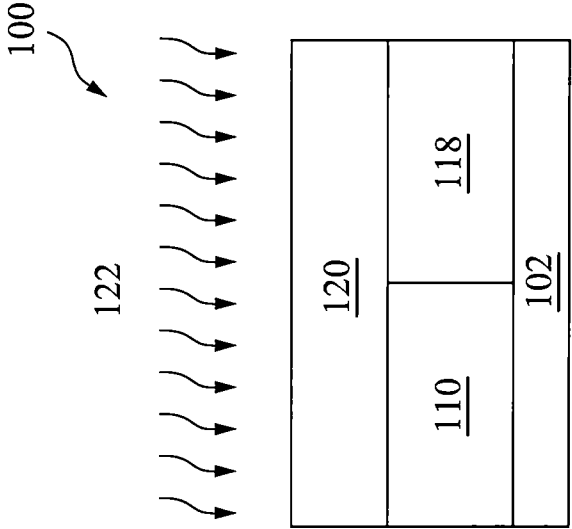
第 2D 圖



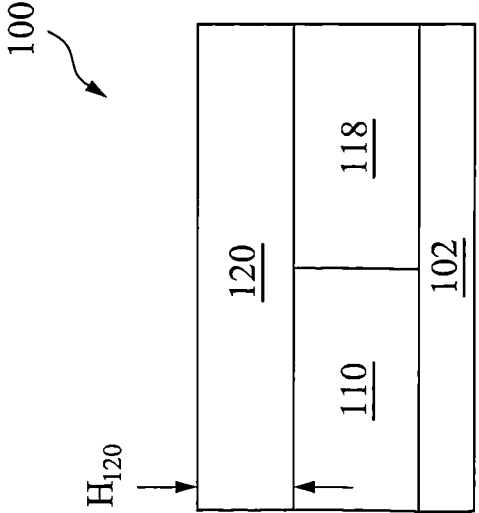
第 2E 圖



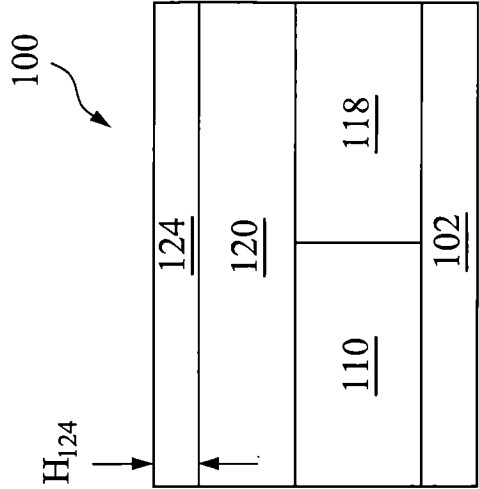
第 2F 圖



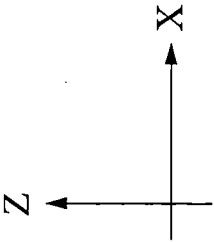
第 2H 圖

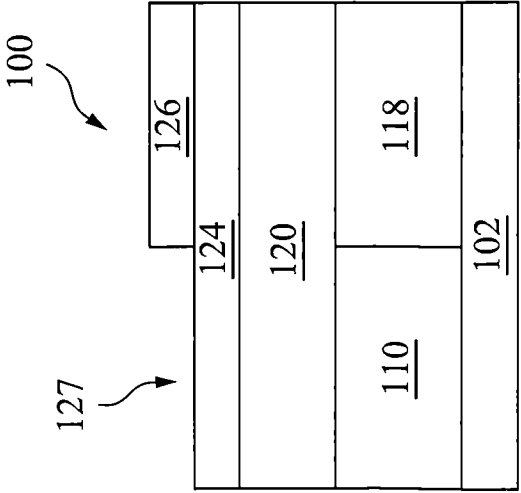


第 2G 圖

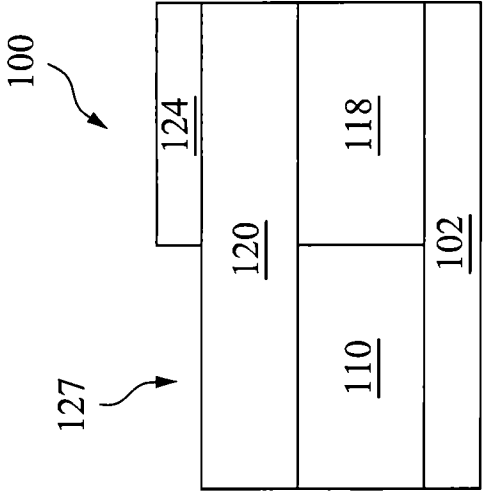


第 2I 圖

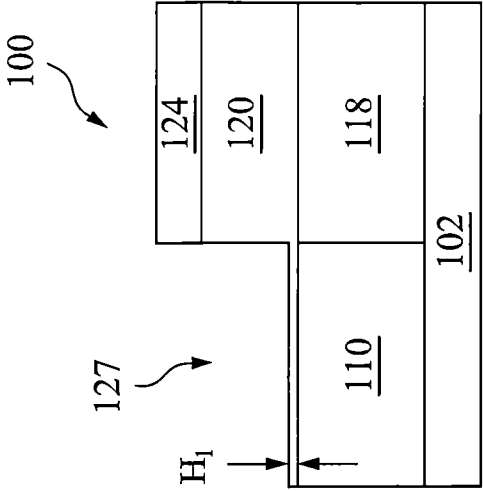




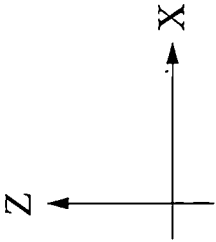
第 2J 圖

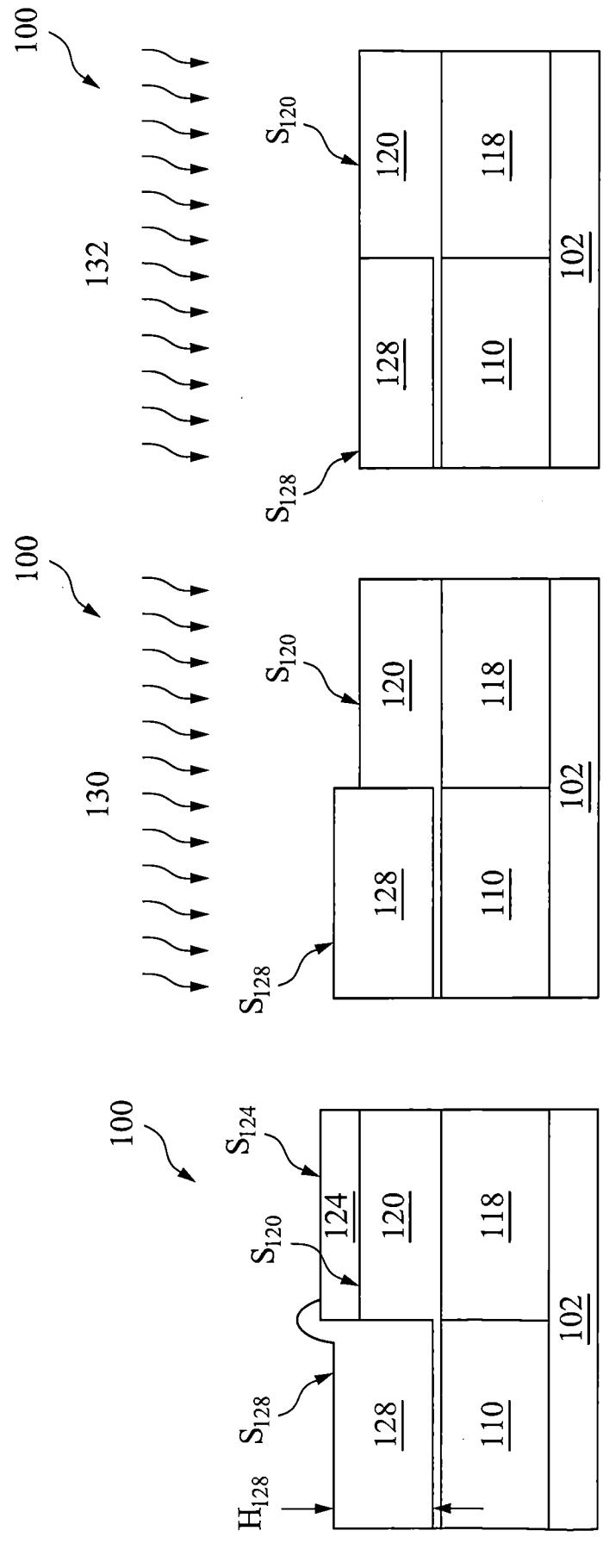


第 2K 圖



第 2L 圖

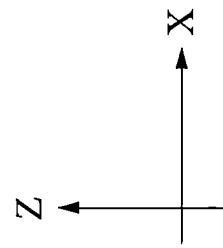


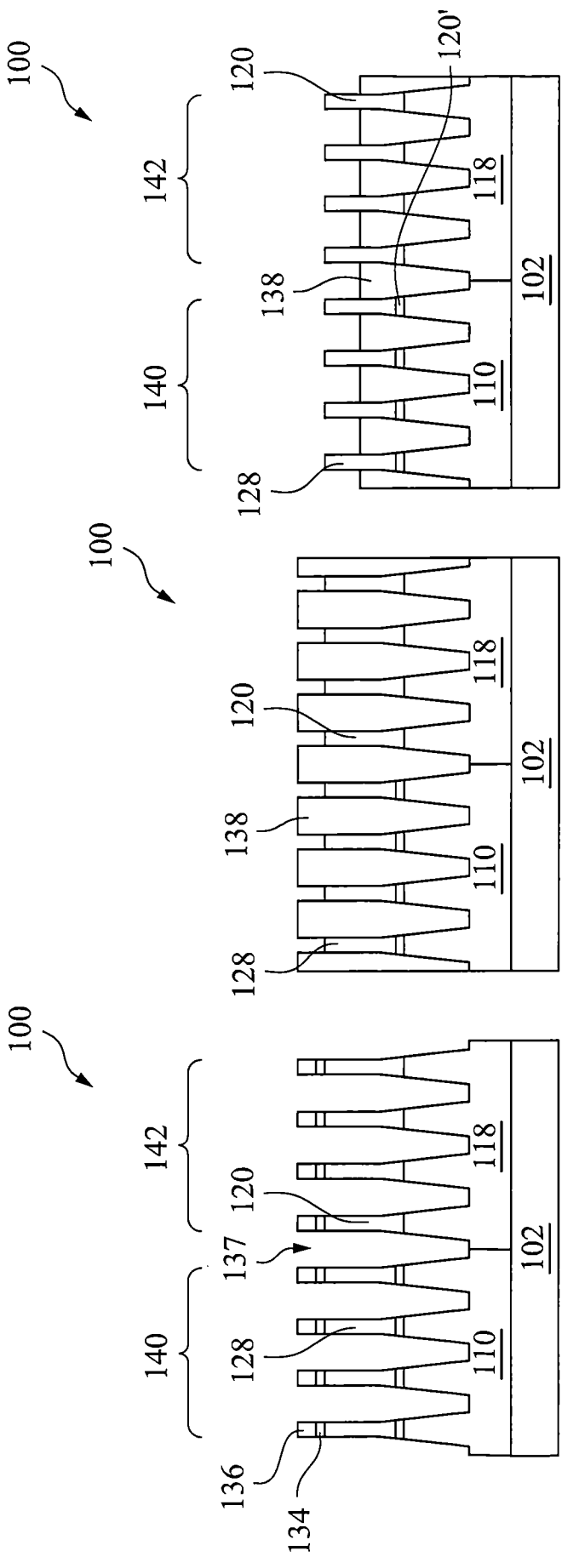


第 2M 圖

第 2N 圖

第 2O 圖

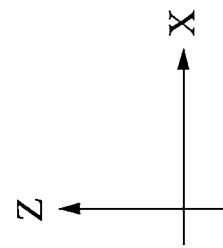


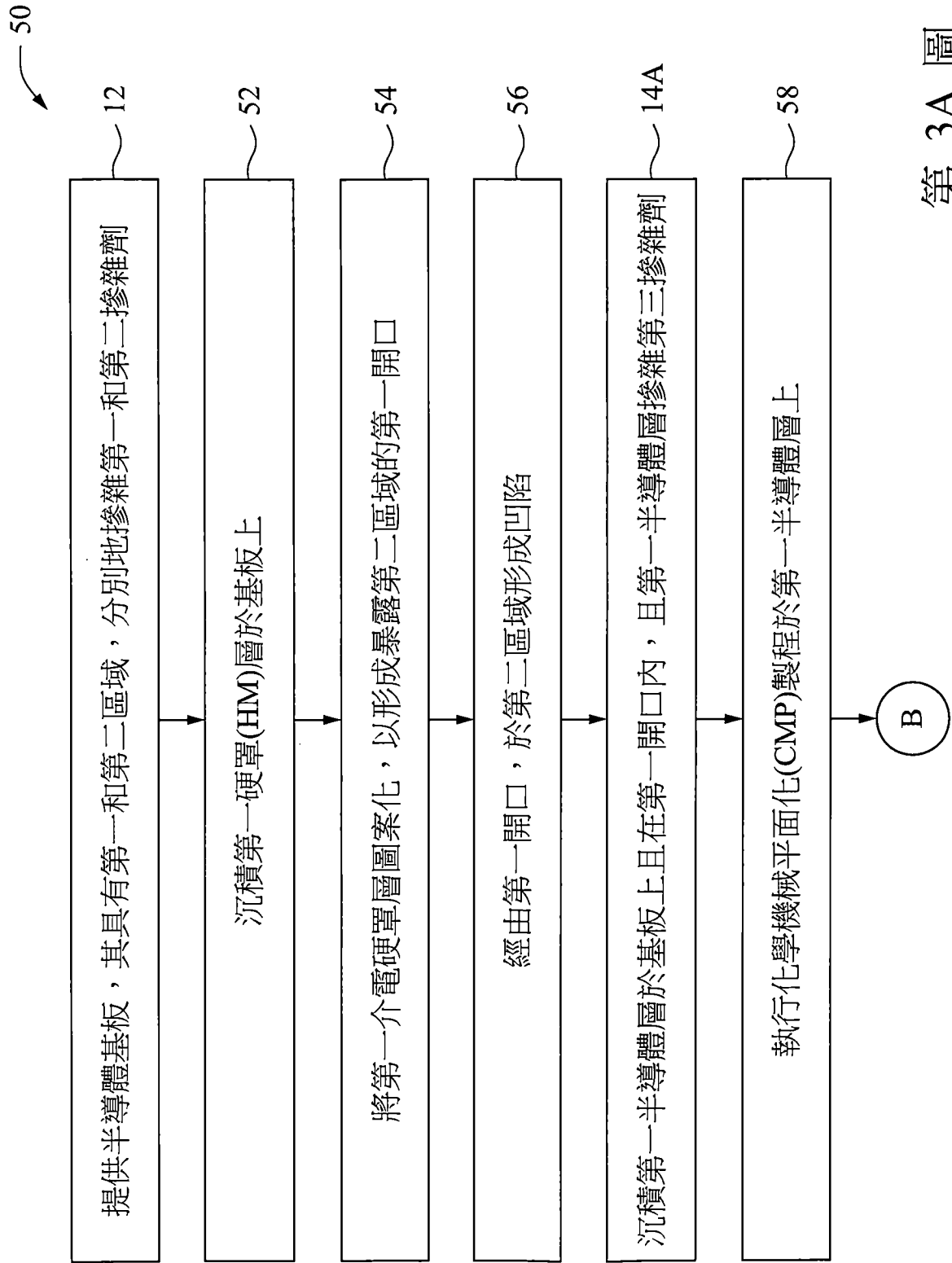


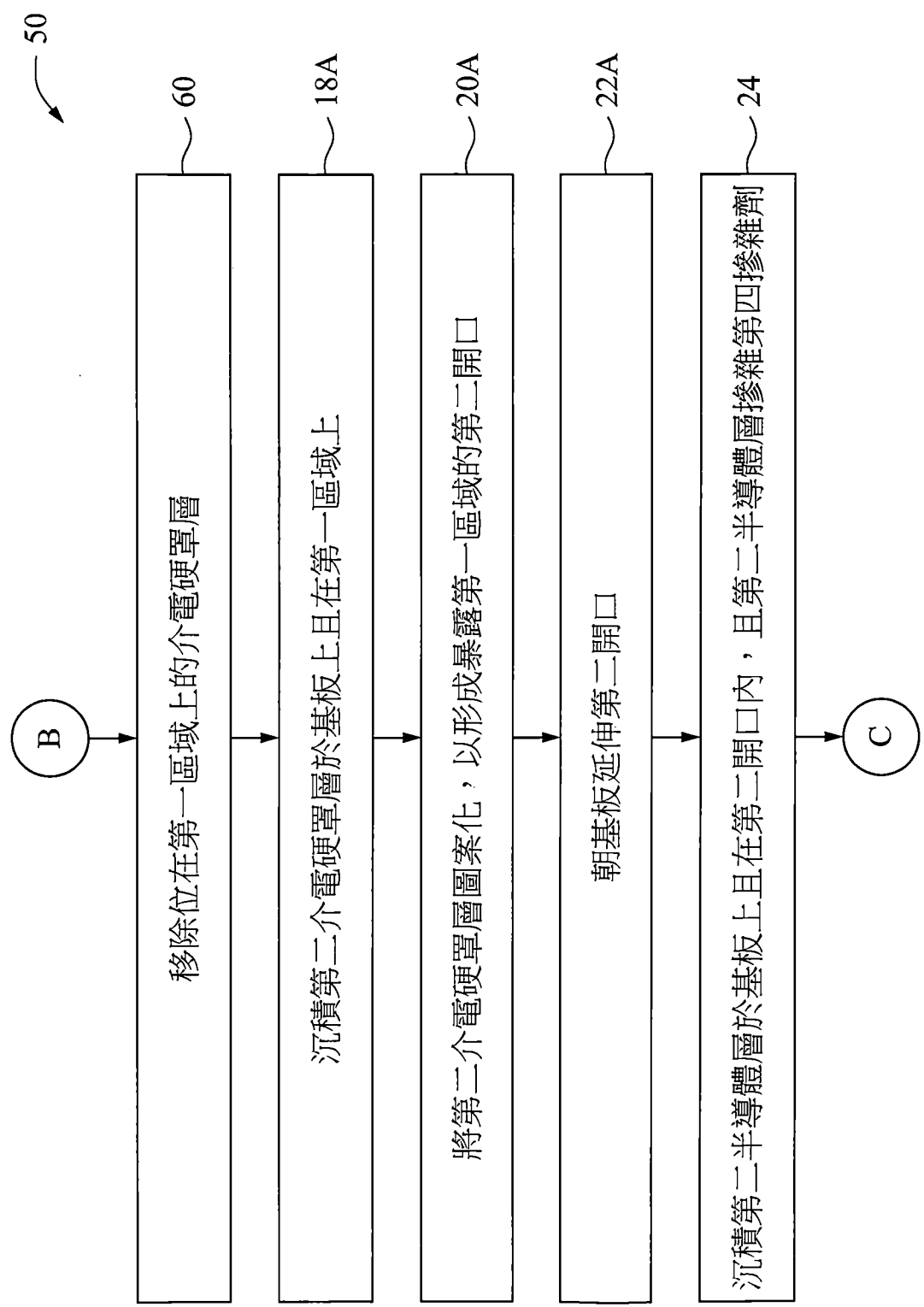
第 2R 圖

第 2Q 圖

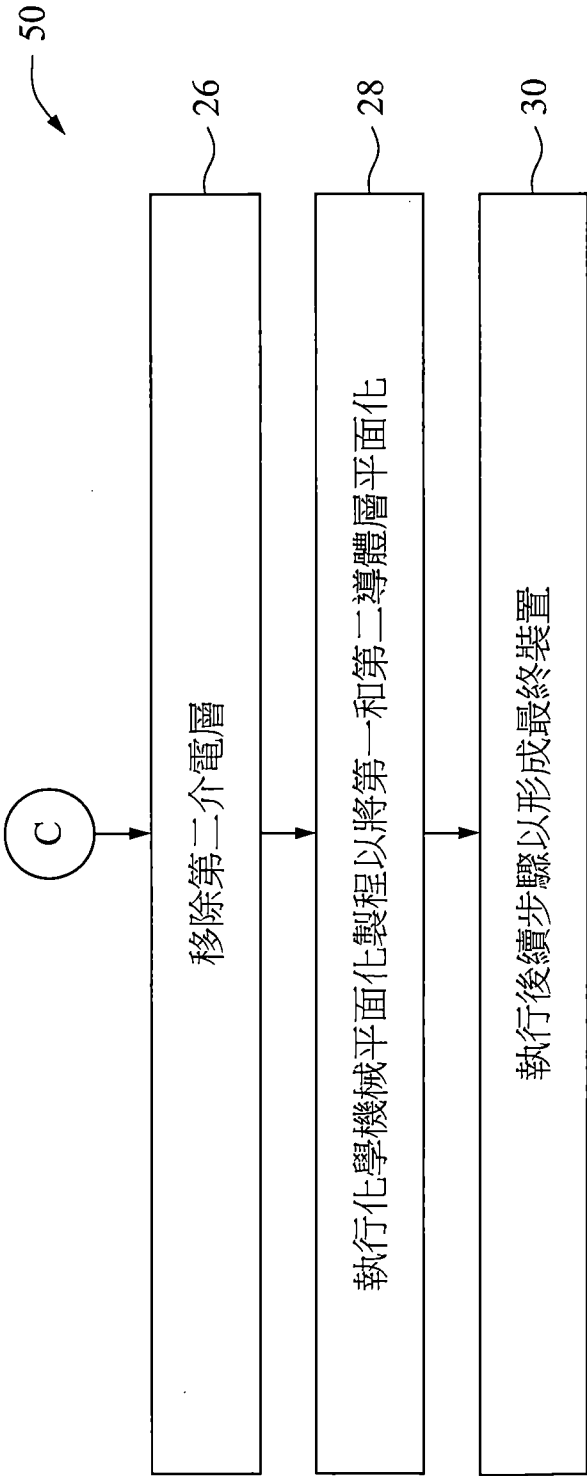
第 2P 圖







第 3B 圖



第 3C 圖

圖 4A

圖 4B

圖 4C

圖 4D

圖 4E

圖 4F

圖 4G

圖 4H

圖 4I

圖 4J

圖 4K

圖 4L

圖 4M

圖 4N

圖 4O

圖 4P

圖 4Q

圖 4R

圖 4S

圖 4T

圖 4U

圖 4V

圖 4W

圖 4X

圖 4Y

圖 4Z

圖 4AA

圖 4AB

圖 4AC

圖 4AD

圖 4AE

圖 4AF

圖 4AG

圖 4AH

圖 4AI

圖 4AJ

圖 4AK

圖 4AL

圖 4AM

圖 4AN

圖 4AO

圖 4AP

圖 4AQ

圖 4AR

圖 4AS

圖 4AT

圖 4AU

圖 4AV

圖 4AW

圖 4AX

圖 4AY

圖 4AZ

圖 4BA

圖 4BB

圖 4BC

圖 4BD

圖 4BE

圖 4BF

圖 4BG

圖 4BH

圖 4BI

圖 4BJ

圖 4BK

圖 4BL

圖 4BM

圖 4BN

圖 4BO

圖 4BP

圖 4BQ

圖 4BR

圖 4BS

圖 4BT

圖 4BU

圖 4BV

圖 4BW

圖 4BX

圖 4BY

圖 4BZ

圖 4CA

圖 4CB

圖 4CC

圖 4CD

圖 4CE

圖 4CF

圖 4CG

圖 4CH

圖 4CI

圖 4CJ

圖 4CK

圖 4CL

圖 4CM

圖 4CN

圖 4CO

圖 4CP

圖 4CQ

圖 4CR

圖 4CS

圖 4CT

圖 4CU

圖 4CV

圖 4CW

圖 4CX

圖 4CY

圖 4CZ

圖 4DA

圖 4DB

圖 4DC

圖 4DD

圖 4DE

圖 4DF

圖 4DG

圖 4DH

圖 4DI

圖 4DJ

圖 4DK

圖 4DL

圖 4DM

圖 4DN

圖 4DO

圖 4DP

圖 4DQ

圖 4DR

圖 4DS

圖 4DT

圖 4DU

圖 4DV

圖 4DW

圖 4DX

圖 4DY

圖 4DZ

圖 4EA

圖 4EB

圖 4EC

圖 4ED

圖 4EE

圖 4EF

圖 4EG

圖 4EH

圖 4EI

圖 4EJ

圖 4EK

圖 4EL

圖 4EM

圖 4EN

圖 4EO

圖 4EP

圖 4EQ

圖 4ER

圖 4ES

圖 4ET

圖 4EU

圖 4EV

圖 4EW

圖 4EX

圖 4EY

圖 4EZ

圖 4FA

圖 4FB

圖 4FC

圖 4FD

圖 4FE

圖 4FF

圖 4FG

圖 4FH

圖 4FI

圖 4FJ

圖 4FK

圖 4FL

圖 4FM

圖 4FN

圖 4FO

圖 4FP

圖 4FQ

圖 4FR

圖 4FS

圖 4FT

圖 4FU

圖 4FV

圖 4FW

圖 4FX

圖 4FY

圖 4FZ

圖 4GA

圖 4GB

圖 4GC

圖 4GD

圖 4GE

圖 4GF

圖 4GG

圖 4GH

圖 4GI

圖 4GJ

圖 4GK

圖 4GL

圖 4GM

圖 4GN

圖 4GO

圖 4GP

圖 4GQ

圖 4GR

圖 4GS

圖 4GT

圖 4GU

圖 4GV

圖 4GW

圖 4GX

圖 4GY

圖 4GZ

圖 4HA

圖 4HB

圖 4HC

圖 4HD

圖 4HE

圖 4HF

圖 4HG

圖 4HH

圖 4HI

圖 4HJ

圖 4HK

圖 4HL

圖 4HM

圖 4HN

圖 4HO

圖 4HP

圖 4HQ

圖 4HR

圖 4HS

圖 4HT

圖 4HU

圖 4HV

圖 4HW

圖 4HX

圖 4HY

圖 4HZ

圖 4IA

圖 4IB

圖 4IC

圖 4ID

圖 4IE

圖 4IF

圖 4IG

圖 4IH

圖 4II

圖 4IJ

圖 4IK

圖 4IL

圖 4IM

圖 4IN

圖 4IO

圖 4IP

圖 4IQ

圖 4IR

圖 4IS

圖 4IT

圖 4IU

圖 4IV

圖 4IW

圖 4IX

圖 4IY

圖 4IZ

圖 4JA

圖 4JB

圖 4JC

圖 4JD

圖 4JE

圖 4JF

圖 4JG

圖 4JH

圖 4JI

圖 4JJ

圖 4JK

圖 4JL

圖 4JM

圖 4JN

圖 4JO

圖 4JP

圖 4JQ

圖 4JR

圖 4JS

圖 4JT

圖 4JU

圖 4JV

圖 4JW

圖 4JX

圖 4JY

圖 4JZ

圖 4KA

圖 4KB

圖 4KC

圖 4KD

圖 4KE

圖 4KF

圖 4KG

圖 4KH

圖 4KI

圖 4KJ

圖 4KK

圖 4KL

圖 4KM

圖 4KN

圖 4KO

圖 4KP

圖 4KQ

圖 4KR

圖 4KS

圖 4KT

圖 4KU

圖 4KV

圖 4KW

圖 4KX

圖 4KY

圖 4KZ

圖 4LA

圖 4LB

圖 4LC

圖 4LD

圖 4LE

圖 4LF

圖 4LG

圖 4LH

圖 4LI

圖 4LJ

圖 4LK

圖 4LL

圖 4LM

圖 4LN

圖 4LO

圖 4LP

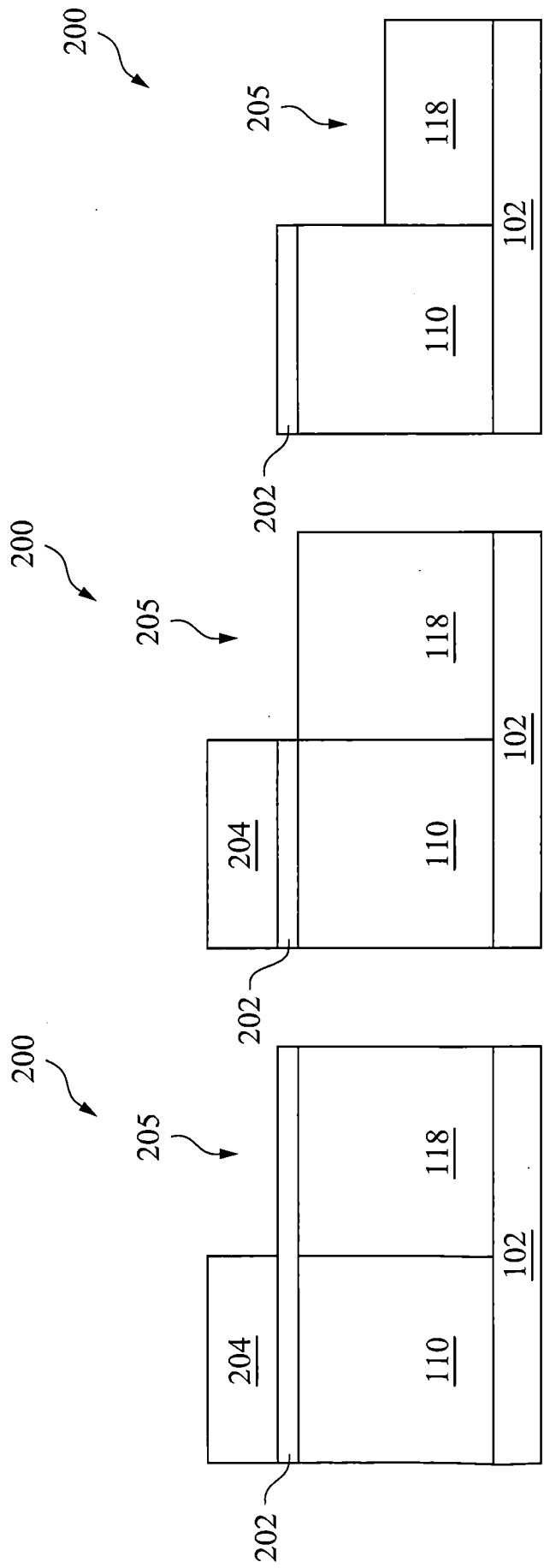
圖 4LQ

圖 4LR

圖 4LS

圖 4LT

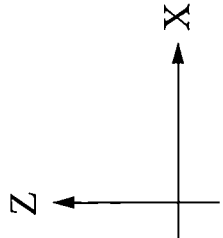
圖 4LU</

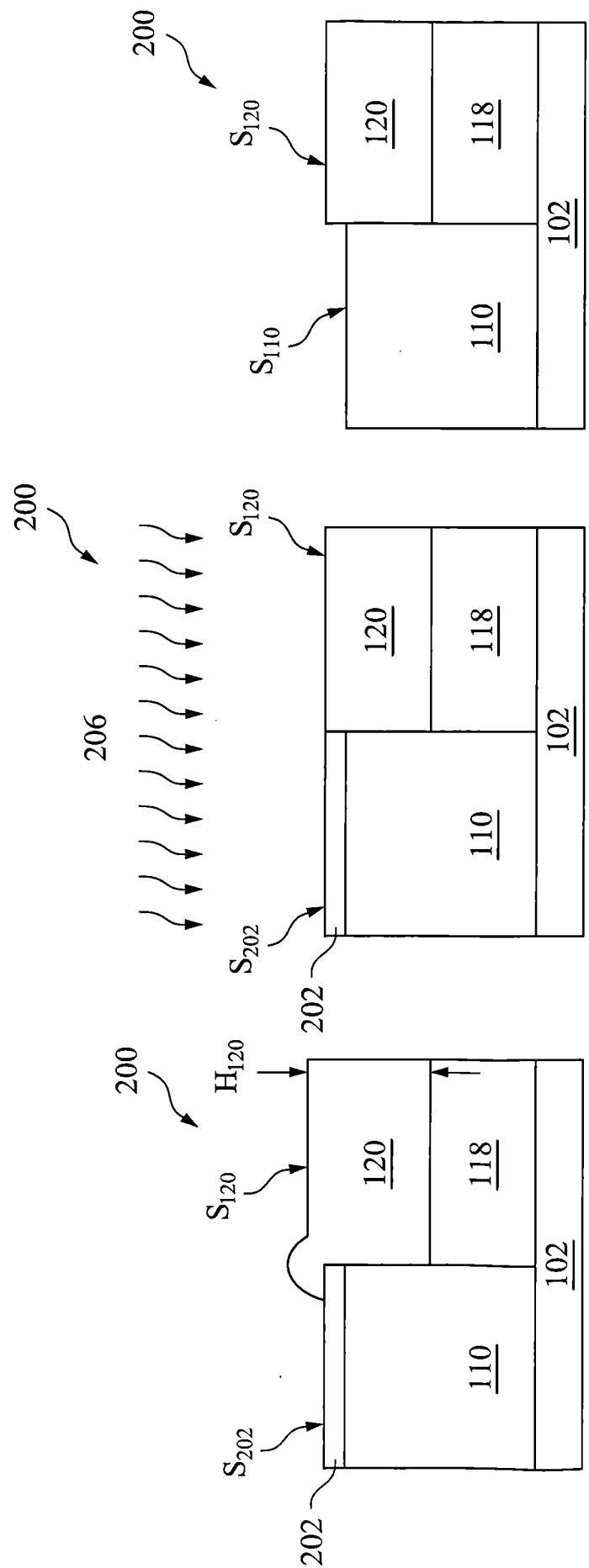


第 4E 圖

第 4D 圖

第 4C 圖

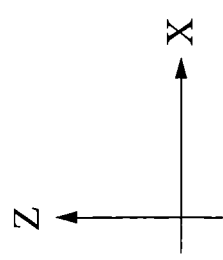




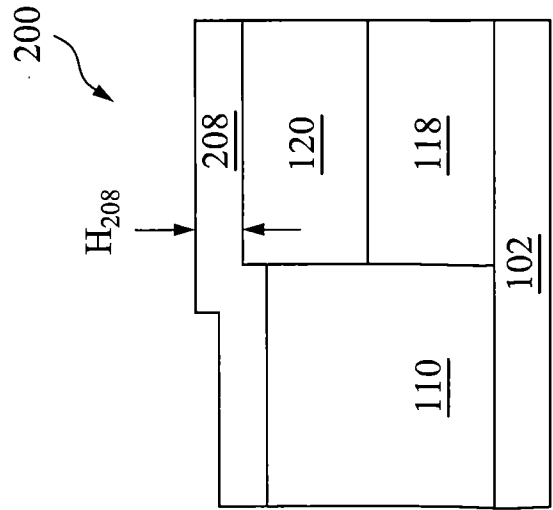
第 4F 圖

第 4G 圖

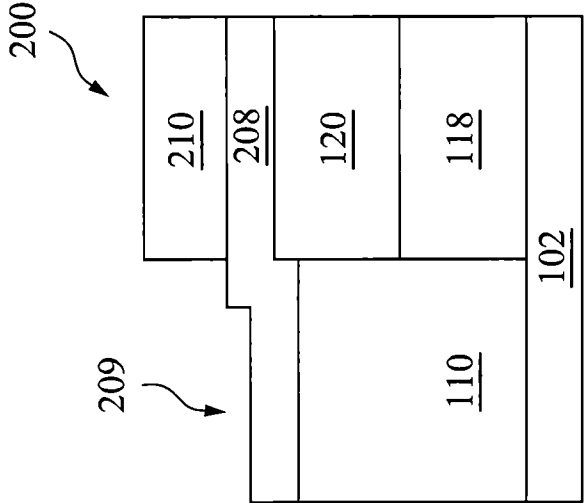
第 4H 圖



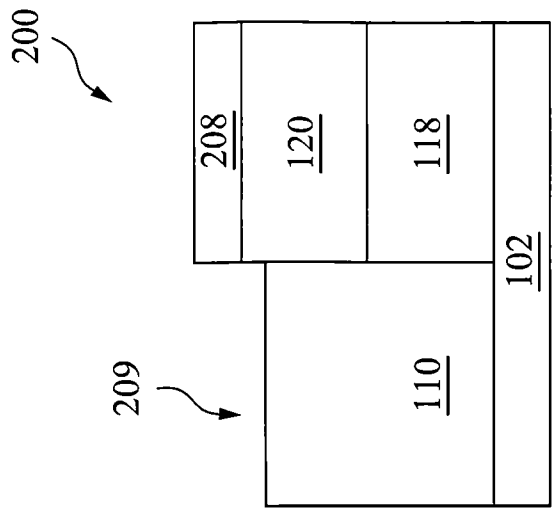
第 4I 圖 第 4J 圖 第 4K 圖



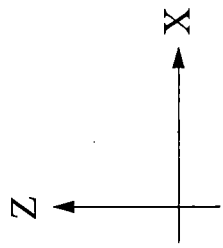
第 4I 圖



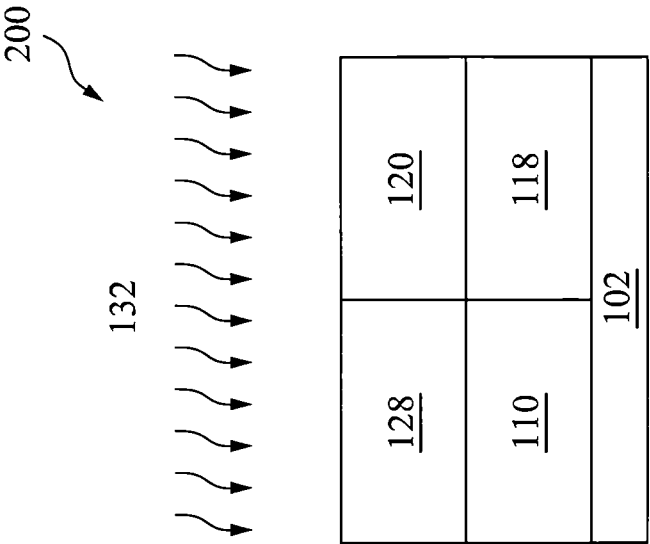
第 4J 圖



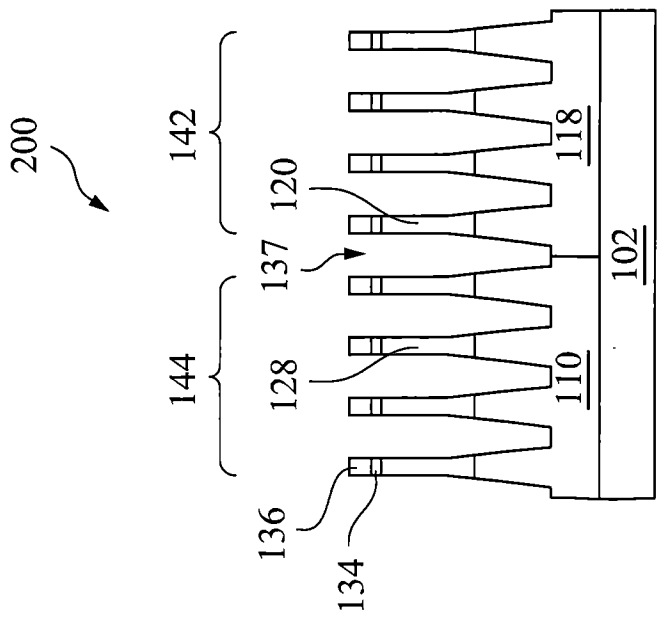
第 4K 圖



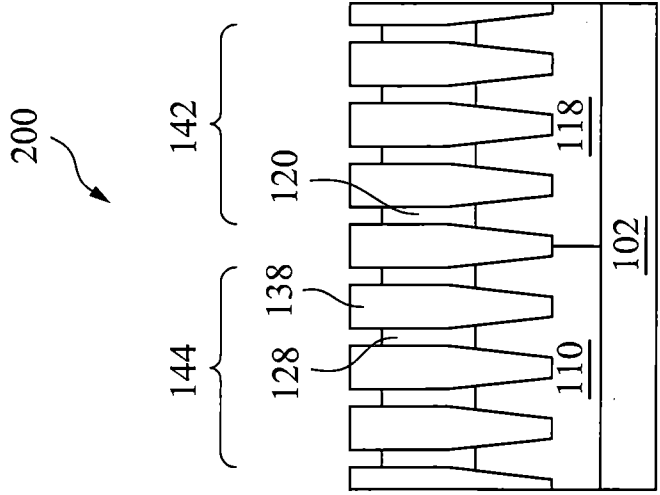




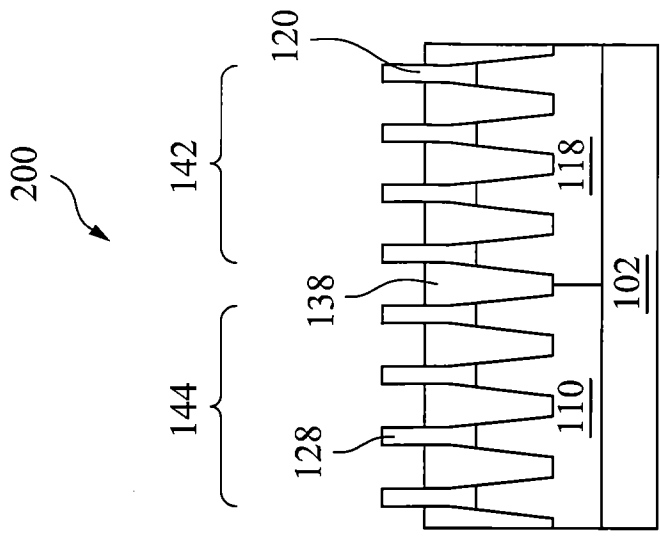
第 40 圖



第 4P 圖



第 4Q 圖



第 4R 圖

