

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2007 年 11 月 8 日 (08.11.2007)

PCT

(10) 国際公開番号
WO 2007/125895 A1

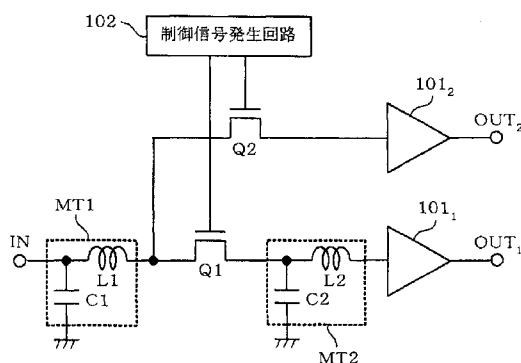
- (51) 国際特許分類:
H03F 1/42 (2006.01) H03F 3/195 (2006.01)
- (21) 国際出願番号: PCT/JP2007/058807
- (22) 国際出願日: 2007 年 4 月 24 日 (24.04.2007)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2006-123611 2006 年 4 月 27 日 (27.04.2006) JP
特願2006-252386 2006 年 9 月 19 日 (19.09.2006) JP
特願 2006-348974
2006 年 12 月 26 日 (26.12.2006) JP
- (71) 出願人 (米国を除く全ての指定国について): 日本電気株式会社 (NEC CORPORATION) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 前多 正 (MAEDA, Tadashi) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番

- 1 号 日本電気株式会社内 Tokyo (JP). 山瀬 知行 (YAMASE, Tomoyuki) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内 Tokyo (JP).
- (74) 代理人: 宮崎 昭夫, 外 (MIYAZAKI, Teruo et al.); 〒1070052 東京都港区赤坂 1 丁目 9 番 20 号 第 16 興和ビル 8 階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG,

[続葉有]

(54) Title: AMPLIFICATION CIRCUIT

(54) 発明の名称: 増幅回路



102... CONTROL SIGNAL GENERATION CIRCUIT

(57) Abstract: It is possible to realize an amplification circuit capable of suppressing the chip size even if the compatible frequency is increased and assuring a wide dynamic range even when a power voltage is lowered. The amplification circuit includes: a plurality of impedance conversion circuits (MT1, MT2) connected via first switch (Q1) having a signal cutting off function; a second switch (Q2) having the signal cutting off function and connected to the route branched from the input side of the first switch; an amplifier (101) connected to the output side of the impedance conversion circuit (MT2) of the final stage and the output side of the second switch; and a control signal generation circuit (102) controlling connection/disconnection between the first switch and the second switch. The amplification circuit is configured so that one of the routes is selected to input a signal to the amplifier.

(57) 要約:

本発明は、対応周波数が増加してもチップサイズが著しく増大することがなく、電源電圧が低下しても、広いダイナミックレンジを確保できる増幅回路を実現することを目的とし、信号遮断機能を有する第1のスイッチ(Q1)を介して接続された複数のインピーダンス変換回路(MT1, MT2)と、前記第1のスイッチの入力側から分岐された経路に接続された信号遮断機能を有する第2のスイッチ(Q2)と、最終段の前記インピーダンス変換回路(MT2)の出力側、および、前記第2のスイッチの出力側にそれぞれ接続された増幅器(101)と、前記第1のスイッチおよび前記第2のスイッチの接続/遮断を制御する制御信号発生回路(102)と、を有し、いずれか一つの経路が選択されて前記増幅器に信号が入力される構成を備える。



CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE,
IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK,
TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW,
ML, MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される
各PCTガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

明 細 書

増幅回路

技術分野

[0001] 本発明は、低電圧動作時においても、広いダイナミックレンジを有し、さらに広い周波数帯域で動作する増幅器に関する。

背景技術

[0002] 全世界で現在主流の携帯電話方式である第2世代携帯電話のGlobal System for Mobile Communications(GSM)およびDigital Cellular System(DCS)では、ユーザの利用可能地域を広範囲にするために、RF周波数は既に800/900/1800/1900MHzの4バンドが用いられている。今後、第3世代のEnhanced Data GSM Environment(EDGE)、CDMA(code division multiple access)、Wideband CDMA(WCDMA)システムへの移行の過程で、第2/3世代方式のサービスを一つの端末で利用できるデュアル端末のサービスの開始により、上述した4バンドに加え、1.7GHzおよび2GHz帯への対応も必要になっている。

[0003] また、次世代の移動通信システムとして数10～100Mbpsの伝送速度が得られる高速システムの検討も始まっている。これらの公衆移動通信システムに加え、近年は、IEEE802.11等の無線LAN、Bluetooth、GPS、地上波デジタルTVなどの複数の無線システムの携帯端末への内蔵も加速しており、近い将来、これらのアプリケーションの標準内蔵がなされるようになる状況である。しかしながら、これらの無線システムのRF周波数は、400MHzから5.8GHzと非常に広範囲にわたっており、RFチップのフロントエンド部には、これらの周波数帯に対応した回路が必要になる。

[0004] このような複数周波数帯をカバーするのに、所望周波数帯での利得を犠牲にすれば、単一の回路により対応することも可能である。しかし、一般的には複数バンドを用意してバンド切り替えを行って広帯域に対応している(例えば、非特許文献1参照)。

[0005] 非特許文献1には、複数周波数帯をカバーするものとして、各々の周波数に対応した整合回路をもつ複数の増幅器を並列に接続した構成を有し、所望の周波数帯に対応した回路のみを活性化し、その他の回路は遮断状態に維持するマルチバンド対

応チップが記載されている。

- [0006] また、複数周波数帯域を扱う他の例として、入力信号のうち受信しない信号をフィルタにより抑圧する方式も提案されている(例えば、特許文献1参照)。
- [0007] 特許文献1の例は、テレビジョン受像機に関し、地上放送およびCATVチャンネルの全てを受信する広帯域受信回路の例である。
- [0008] 図1は、特許文献1にて提案された帯域切替回路を示す回路図である。第1の周波数帯域の信号を通過させるフィルタFL1と第2の周波数帯域の信号を通過させるフィルタFL2とが直列に接続されている。フィルタFL1はコンデンサC21、C22、C23およびインダクタL21、L22からなる低域の周波数(90MHz以上)の信号を通過させるハイパスフィルタを形成している。
- [0009] フィルタFL2はコンデンサC24、C25、C26、インダクタL23から成る高域の周波数(470MHz以上)の信号を通過させるハイパスフィルタを形成している。ここで、第2のフィルタFL2に並列にスイッチ素子(PINダイオード)SW1が設けられ、このフィルタFL2が必要な場合にはこのスイッチ3をオフとし、不必要な場合にはオンとするように構成されている。
- [0010] フィルタFL2の内部にはコンデンサC25とインダクタL23による直列共振回路をオン、オフするスイッチ素子(PINダイオード)SW2が設けられている。第2のフィルタFL2が不要な場合、このスイッチ素子SW2をオフにすることによって、前記直列共振回路を切り離す構成となっている。
- [0011] この回路で、入力端子INから入力される受信信号の周波数として90～470MHz の周波数帯の信号を受信する場合、スイッチ素子SW1をオンとしスイッチ素子SW2をオフとすることにより、フィルタFL1のみを動作させてフィルタFL2を非動作状態としてこれを迂回して信号を出力端子OUTから出力させるようにすればよい。これにより、フィルタFL1にて90MHz以上の信号のみが出力端子OUTから外部に出力されることになる。
- [0012] 次に470MHzから770MHzの信号を受信する場合にはスイッチ素子SW1をオフとしてスイッチ素子SW2をオンとすることにより、フィルタFL1とフィルタFL2を同時に動作させればよい。これにより、フィルタFL1を通過した90MHz 以上の信号はフィルタ

FL2にて470MHz以上の信号となって出力端子OUTから外部に出力される。

- [0013] 一方、近年の高速システムでは、Quadrature Amplitude Modulation (QAM)などの高度変調方式とOrthogonal Frequency Modulation (OFDM)という周波数直交変調方式を用いた通信方式が検討されている。
- [0014] この方式では、信号復調に膨大なデジタル処理が必要で、ディジタルベースバンド部の低消費電力化のために、微細ゲートCMOSデバイスの採用も進められている。しかしながら、デバイス微細化に伴い、電源電圧は低下する傾向にあり、 $0.35\mu\text{m}$ では3.3Vであった電源電圧は、 $0.25\mu\text{m}$ の2.5V、 $0.18\mu\text{m}$ の1.8V、 $0.13\mu\text{m}$ の1.2V、90nmの1.0Vへと低下している。
- [0015] さらに、チップの低コスト化のために、RF部とデジタル部をワンチップ化する動きも加速しており、このためには、低電圧でも動作するRF部が必要となる。RF部の低電圧化で最大の課題の一つは、ダイナミックレンジである。ダイナミックレンジとは、扱える最大の信号レベルから、雑音のレベルを引いたものとも考えることもできる。
- [0016] 一般に、広いダイナミックレンジを確保するためには、入力信号強度に応じて増幅回路の利得を可変させる回路方式が採用されている(例えば、特許文献2参照)。
- [0017] 図2は、特許文献2にて開示された利得可変可能な増幅回路を示す回路図である。ゲインコントロール増幅回路201は、増幅トランジスタユニット202とその前段に可変減衰器203aおよび203bとを有する。
- [0018] 増幅トランジスタユニット202には、増幅用のMOSFETQ30、Q31に並列に、増幅用のMOSFETQ32、Q33が接続されている。この回路では、入力端子INa、INbに入力される差動入力信号F2a、F2bがそれぞれの可変減衰器203a、203bを介して増幅用のMOSFETQ30、Q32のゲートに入力されている。
- [0019] MOSFETQ31、Q33のゲートには、抵抗R11を介して、第1のバイアス電圧Vbias1が供給され、MOSFETQ30、Q32のゲートには、抵抗R12を介して第2のバイアス電圧Vbias2が供給される。
- [0020] MOSFETQ31およびQ33のドレインが負荷インダクタンスL31、L32を介して各々電源端子Vddに接続されている。また、MOSFETQ31、Q33のドレインからは、出力カップリングキャパシタCouta、Coutbを介して出力端子OUTa、OUTbより差動出力

信号Fouta、Foutbが出力される。

- [0021] ゲインコントロール増幅回路201の全体のゲインは、増幅トランジスタユニット202の増幅用MOSFETQ30、Q32のゲートと入力端子INa、INbとの間に設けられた可変減衰器203aおよび203bの減衰量を可変制御することで行っている。
- [0022] 可変減衰器203aおよび203bは、入力端子INa (INb)と、MOSFETQ32 (Q30)のゲートへ連なる信号伝播経路SPRとの間に、キャパシタ容量が可変制御可能な入力カップリングキャパシタCinが接続されている。
- [0023] 入力カップリングキャパシタCinは、複数のキャパシタC51～C54とnチャネル型のスイッチ用MOSFETQ51～Q54を有し、これらMOSFETに対してカップリング容量制御信号GC11～GC14により適宜導通・非導通の制御が行われることにより、キャパシタ容量が可変制御されるようになっている。
- [0024] 信号伝播経路SPRとグランド電源間には、減衰用のキャパシタC41～C44とスイッチ用MOSFETQ41～Q44とを直列接続した減衰ユニットが、複数個 (図示された例では4つ) 並列に設けられている。
- [0025] スイッチ用の各MOSFETQ41～Q44のゲートには、減衰量制御信号GC1～GC4が供給され、それぞれ導通・非導通制御される。
- [0026] 入力端子INa (INb)に供給された高周波入力信号F2a (F2b)は、入力カップリングキャパシタCinおよび信号伝播経路SPRを介して増幅用のMOSFETQ32 (Q30)のゲートに供給される。
- [0027] 仮に、減衰量制御信号GC1がHレベルに制御されてMOSFETQ41が導通状態にされると、信号伝播経路SPRを伝播する高周波信号のエネルギーの一部が減衰用キャパシタC41とMOSFETQ41とを介してグランドに吸収される。
- [0028] つまり、減衰用キャパシタC41は、高周波信号の交流成分に対してグランドGNDにショートする機能を有し、減衰用キャパシタC41の容量値に応じて、吸収されるエネルギーの量が決定される。
- [0029] 別のトランジスタを導通制御して減衰用キャパシタの数を増やすことで、吸収されるエネルギーの量が増加し、その結果、減衰量が増加制御される。
- [0030] 減衰用キャパシタC41～C44の容量値を1:2:4:8などバイナリに増加するように

設計し、更に、スイッチ用のMOSFETQ41～Q44のゲート幅もそれと同じ比率にすることで、減衰量制御信号GC1～GC4を適宜組み合わせることで、可変減衰器203a(203b)の減衰量をリニアに増加させることができる。

[0031] すなわち、MOSFETQ41～Q44が全て非導通状態で、減衰量が最も低く制御され、MOSFETQ41～Q44の導通状態を組み合わせることで、減衰量がリニアに増加するように制御される。

[0032] したがって、入力された高周波入力信号の振幅が、この減衰器203a(203b)によりリニアに可変減衰され、それが増幅トランジスタユニット202で固定のゲインで増幅される。

[0033] その結果、増幅回路全体のゲインがリニアに可変制御される。しかも、増幅トランジスタユニット202に、カスコード接続した2つのMOSFETQ30、Q31を利用してゲインを大きくしているので、ゲインの可変制御範囲を広くすることができる。

[0034] また、図2における信号切り替え回路Q51～Q54の制御信号を昇圧する方法として、特許文献3に記載されたようなチャージポンプ回路を図3に示す。この回路は、クロックを利用して、容量素子に電荷をためることにより、入力電位よりも高い電位を得ることができる回路で、この回路では、複数の昇圧段をつなげることにより、昇圧時の効率を高めることが可能である。

[0035] 図3に示すように、この昇圧回路は、 CP_1 、 CP_2 、 $\dots$ 、 CP_n のn段からなる昇圧段を有し、各昇圧段 CP_k (kは、1、2、 $\dots$ 、n)は、第1のチャージポンプ部11と第2のチャージポンプ部13とを有する。

[0036] 昇圧段 CP_k の第1のチャージポンプ部11は、n型MOSFET $nQ1_k$ とp型MOSFET $pQ1_k$ とポンピング用キャパシタ $C1_k$ とを有し、第2のチャージポンプ部13は、n型MOSFET $nQ2_k$ とp型MOSFET $pQ2_k$ とポンピング用キャパシタ $C2_k$ とを有する。

[0037] クロックCLKが電源電圧であるとき(CLK_{bar} は0V)、n型MOSFET $nQ2_k$ とp型MOSFET $pQ1_k$ とが導通して、キャパシタ $C2_k$ を節点 ND_{k-1} の電位に充電するとともに、p型MOSFET $pQ1_k$ のドレイン側の電位(キャパシタ $C1_k$ の充電電位のクロックにより昇圧された電位)が節点 ND_k へ伝達される。

[0038] クロックが反転して CLK_{bar} が電源電圧となると(CLK は0V)、n型MOSFET $nQ1_k$ と

p型MOSFET $pQ2_k$ とが導通して、キャパシタ $C1_k$ を節点 ND_{k-1} の電位に充電するとともに、p型MOSFET $pQ2_k$ のドレイン側の電位(キャパシタ $C2_k$ の充電電位のクロックにより昇圧された電位)が節点 ND_k へ伝達される。

非特許文献1:2005 IEEE International Solid State Circuit Conference, SESSION 5, pp.98-99 & 586

特許文献1:実開平5-48440号公報

特許文献2:特開2005-159803号公報

特許文献3:特開2000-69745号公報

発明の開示

発明が解決しようとする課題

[0039] 非特許文献1にて開示されたような、複数周波数帯域をカバーするのに、各々の周波数に対応する回路を並列に配置する回路方式では、対応周波数が増加するにつれて、チップサイズが著しく増大するなど、コストの観点で大きな問題がある。

[0040] 一方、単一の受信回路を用いその帯域を所望の周波数範囲に広げる方式では、消費電力と利得のトレードオフの問題があり、無線回路として適した消費電力の範囲内では、システムの信号対雑音比(Carrier-to-noise ratio:C/N)が十分確保できる利得を確保できなくなるために高度変調方式に対応できず、結果的に高いデータレートシステムへの適用ができないという問題があった。

[0041] さらに、このような高度変調システムに対応したチップでは、ベースバンドでの処理速度向上に対応するために、デバイスも微細化が進められており、それに伴いベースバンドの電源電圧は低くなっている。

[0042] 今後は、低コスト化のために、デジタル部とRF部を一体化した、いわゆるシステムオンチップ(SoC)化が加速される傾向にあり、この場合、微細デバイスでRF部も作る必要があるために、RF回路も低電圧動作時でも広いダイナミックレンジを確保することが重要になってくる。

[0043] 一般に、RF回路では、電源電圧の低下とともに、ダイナミックレンジは低下する傾向にあるので、低電圧化へ対応する際にはダイナミックレンジの確保が大きな問題となる。

- [0044] 図1に示した従来例では、所望の周波数以外を抑制するフィルタ回路を整合回路に置き換えれば、所望の複数周波数での整合は可能になるものの、ダイナミックレンジを確保するためには、増幅度を大きく変化させることのできる増幅段が必要となる。それには例えば図2に示したような、トランジスタを縦積みする構成の増幅段を用いなければならなくなり、結果的に増幅段の電源電圧を低くすることができないという問題が生じる。
- [0045] また、増幅段の前段で入力信号の振幅を変えさせればダイナミックレンジを稼ぐことは可能である。しかしながら、図2に示した従来例のように、入力信号の振幅を容量分割により変えさせる方式では、各々の容量を切り替えるスイッチ回路の寄生容量によるリークが発生するため、最大の利得が要求される微弱信号入力時の信号損失が避けられないことが問題となる。
- [0046] ところで、微細MOSを用いた場合では、ゲート電圧がしきい値電圧以下にバイアスされていても流れるリーク電流による、スタンバイ電力が深刻な問題になってきている。これを回避するために、MOSの閾値電圧を、電源電圧に比例して低減しない方策も採用されている。
- [0047] この場合、図2に示した回路におけるQ51からQ54の切り替えスイッチの制御電圧を電源電圧まで上昇させたとしても、各々のスイッチのオン抵抗が十分小さくできず、切り替え回路を導通状態に保っていても、信号電力損失が発生してしまう問題があった。これに対応するために、特許文献3で示したような、回路を用いて、制御電圧を上昇させると、今度は切り替えスイッチの耐圧以上の電圧がMOSに印加されてしまう問題があった。
- [0048] 本発明の課題は、上述した従来技術の問題点を解決することであって、その目的は、低電圧動作時においても、広いダイナミックレンジを有し、かつ、広い周波数帯域で動作する増幅器を提供することにある。
- 課題を解決するための手段
- [0049] 上述した目的を達成するため、本発明によれば、信号遮断機能を有する第1種の切り替え回路を介して接続された複数のインピーダンス変換回路と、前記第1種の切り替え回路の入力側から分岐された経路に接続された信号遮断機能を有する第2種

の切り替え回路と、最終段の前記インピーダンス変換回路の出力側、および、前記第2種の切り替え回路の出力側にそれぞれ接続された増幅器と、前記第1種の切り替え回路および前記第2種の切り替え回路の接続／遮断を制御する制御信号発生回路と、を有し、いずれか一つの経路が選択されて前記増幅器に信号が入力されることを特徴とする増幅回路、が提供される。

[0050] また、上述した目的を達成するため、本発明によれば、信号遮断機能を有する第1種の切り替え回路を介して接続された複数のインピーダンス変換回路と、前記第1種の切り替え回路の出力側と初段の前記インピーダンス変換回路が接続された入力端子とは異なる入力端子との間に接続された信号遮断機能を有する第2種の切り替え回路と、最終段の前記インピーダンス変換回路の出力側に接続された増幅器と、前記第1種の切り替え回路および前記第2種の切り替え回路の接続／遮断を制御する制御信号発生回路と、を有し、いずれか一つの経路が選択されて前記増幅器に信号が入力されることを特徴とする増幅回路、が提供される。

[0051] 好ましくは、少なくとも一つの前記第1種の切り替え回路および前記第2種の切り替え回路は、信号減衰機能を有している。また、好ましくは、信号遮断および信号減衰機能を有する切り替え回路は、複数の素子を並列に接続した構成を有し、各素子は、前記制御信号発生回路により個別に制御できる。

[0052] さらに、切り替えスイッチを構成しているMOSの基板電位を、増幅器の直流入力電位と連動してさせると共に、外部から印加したクロック信号を利用して、増幅器の直流入力電位に相当する電位分だけ制御電位を上昇させる構成を有している。

発明の効果

[0053] 本発明の、信号遮断機能を有する第1種の切り替え回路を介して複数のインピーダンス変換回路を接続し、第1種の切り替え回路の入力側から分岐された信号経路に第2種の切り替え回路を接続する構成または、信号遮断機能を有する第1種の切り替え回路を介して接続された複数のインピーダンス変換回路と、前記第1種の切り替え回路の出力側と入力端子間に接続された信号遮断機能を有する第2種の切り替え回路を接続する構成によれば、広い周波数帯域で動作する増幅回路を提供することが可能になる。

- [0054] 増幅器に直列に接続される切り替え回路に信号減衰機能を持たせることができるため、低電圧動作時においても広いダイナミックレンジを確保することができる。
- [0055] さらに、本発明の増幅回路は、信号経路に減衰用キャパシタを断・接する複数のスイッチ素子を接続するものではないため、スイッチ素子に係るリークを回避して微弱信号入力時にも良好な信号品質を維持することができる。
- [0056] さらには、切り替えスイッチを構成しているMOSの基板電位を、増幅器の直流入力電位と連動してさせると共に、外部から印加したクロック信号を利用して、増幅器の直流入力電位に相当する電位分だけ制御電位を上昇させることにより、切り替え回路を構成するMOSの導通状態でのオン抵抗を最小にすると共に、当該デバイスに耐圧以上の電圧が印加させることを防ぐことが可能となる。
- [0057] 従って、本発明によれば、将来実現が望まれているソフトウェア無線端末に適用が可能な増幅回路を提供することができる。

図面の簡単な説明

- [0058] [図1]特許文献1に記載された従来例の回路図。
[図2]特許文献2に記載された従来例の回路図。
[図3]特許文献3に記載された従来例の回路図。
[図4]本発明の第1の実施例を示す回路図。
[図5]本発明の第2の実施例を示す回路図。
[図6]本発明の増幅回路の出力整合回路の例を示した回路図。
[図7]本発明の第3の実施例を示す回路図。
[図8]本発明の第4の実施例を示す回路図。
[図9]本発明の第5の実施例を示す回路図。
[図10]本発明の第6の実施例を示す回路図。
[図11]本発明の第7の実施例を示す回路図。
[図12]本発明の第8の実施例を示す回路図。
[図13]本発明の第9の実施例を示す回路図。
[図14]本発明の第10の実施例を示す回路図。
[図15]本発明におけるスイッチ素子(MOSFET)による信号減衰効果を説明するため

の回路図。

[図16]本発明の第11の実施例を示す回路図。

[図17]本発明の第11の実施例で用いられる昇圧回路の例を示した回路図。

[図18]本発明の第12の実施例を示す回路図。

[図19]本発明の第13の実施例を示す回路図。

[図20]本発明の第14の実施例を示す回路図。

[図21]本発明の第14の実施例で用いられる昇圧回路の例を示した回路図。

[図22]本発明の第14の実施例で用いられる昇圧回路の動作波形を示した図。

[図23]本発明の第15の実施例を示す回路図。

符号の説明

[0059] 101、101₁、101₂、101₃ 増幅器

102 制御信号発生回路

103、103₁、103₂ 昇圧回路

201 ゲインコントロール増幅回路

202 増幅トランジスタユニット

203a、203b 可変減衰器

FL1、FL2 フィルタ

IN、IN₁、IN₂、INa、INb 入力端子

INc 制御信号入力端子

INv 電圧入力端子

OUT、OUT1、OUT2、OUT3、OUTa、OUTb、OUTv 出力端子

MT1、MT2、MT3 整合回路

発明を実施するための最良の形態

[0060] 以下、本発明を具体的な実施例に基づいて詳細に説明する。以下、同一のものには同一の符号を付して、重複する説明は適宜省略する。

実施例 1

[0061] 図4は、本発明の第1の実施例を示す回路図である。INは、RF信号が入力される入力端子、OUT1、OUT2は出力端子、MT1、MT2は整合回路、C1、C2はコン

デンサ、L1、L2はインダクタ、Q1、Q2はn型のMOSFET、1011は低周波数帯で動作する増幅器、1012は高周波数帯で動作する増幅器、102は、信号の経路を切り替える制御信号発生回路である。

[0062] 今、入力RF信号が高周波帯の場合を想定すると、制御信号発生回路102により、MOSFETQ1は遮断状態に、MOSFETQ2を導通状態に制御される。これにより、整合回路MT1と増幅器1012で構成される回路で、入力RF信号は増幅される。

[0063] 入力信号電力が大きくなった場合には、MOSFETQ2の制御電圧を完全な導通状態より低く設定し、MOSFETQ2のドレイン・ソース間の抵抗を高くすることにより、信号電力を減衰させる。これにより、増幅器1012の飽和を回避することができるので、広いダイナミックレンジを確保することが可能となる。

[0064] 一方、入力RF信号が低周波数帯である場合には、制御信号発生回路102により、MOSFETQ1は導通状態に、MOSFETQ2は遮断状態に制御される。これにより、整合回路MT1、MT2および増幅器1011で構成される回路で、入力RF信号は増幅される。

[0065] ここで、整合回路MT2における、所望周波数での整合に必要なインピーダンスの変換量は、その前段に接続された整合回路MT1でなされたインピーダンス変換量が不要であるので、結果的に回路のサイズを小さくすることが可能になる。

[0066] 入力信号電力が大きくなった場合には、MOSFETQ1の制御電圧を完全な導通状態より低く設定することで、MOSFETのドレイン・ソース間抵抗を高くすることにより、信号電力を減衰させる。これにより、増幅器1011の飽和を回避することができるので、広いダイナミックレンジを確保することが可能となる。

[0067] 本実施例では、信号経路に挿入された切り替えスイッチの抵抗を制御することで、入力信号の強度を調整しているので、図1に示した回路のような信号のリークパスがなく、微弱信号入力時においても、良好な特性を維持することが可能である。

実施例 2

[0068] 図5は、本発明の第2の実施例を示す回路図である。この例では、図4における増幅器1011と1012を、1つの増幅器101で構成している。増幅器101において、L11はインダクタ、Q11、Q12は、n型のMOSFETである。MOSFETQ12は、ソース電極

が接地され、ゲート電極には、高周波数帯のRF信号が入力され、ドレイン電極が出力端子OUTに接続されている。

[0069] MOSFETQ11は、ソース電極が接地され、ゲート電極には、低周波数帯のRF信号が入力され、ドレイン電極は、出力端子OUTに接続されている。これらのMOSFETQ11、Q12の負荷としてインダクタL11が電源端子Vddと各トランジスタのドレインとの間に接続されている。入力されるRF信号は、各々所望周波数帯域のみが伝播するように制御信号発生回路102が制御するので、増幅器101のMOSFETは、所望周波数帯の経路に接続された素子のみが活性状態となって、結果的に所望周波数のみを増幅する。

[0070] 図6は、本発明の増幅器における、出力整合回路の例である。図6に示す回路の端子Aは、図5における電源端子Vddに、また端子Bは、MOSFETQ11、Q12のドレイン電極に共通に接続される。本増幅器の入力部は、複数の周波数帯に各々整合することと、信号電力が大きく変化しても、増幅器を飽和させないための構成が必要であったが、出力側の整合回路は周波数の切り替えのみができればよい。

[0071] 図6では、インダクタL11は、 $L11_1$ 、 $L11_2$ の2つに分割されており、そしてスイッチ用のMOSFETQ13がインダクタ $L11_2$ と並列に接続されている。IN_cは制御信号入力端子である。入力信号が高周波数帯である場合には、制御信号入力端子IN_cによりMOSFET Q13を導通状態にして、インダクタ $L11_2$ を短絡することで、全体のインダクタンスを小さくさせる。これにより、出力整合回路は、高周波数帯で整合する。一方、入力信号が低周波数帯である場合には、MOSFET Q13を遮断状態にして、全体のインダクタンスを大きくすることで、出力整合回路を低周波数帯で整合させる。

実施例 3

[0072] 図7は、本発明の第3の実施例の回路図である。本実施例の回路は、第2の実施例の回路を並列に二つ配置したものである。図7において、IN₁、IN₂は、RF信号が入力される入力端子、MT1₁、MT2₁；MT1₂、MT2₂は整合回路、C1₁、C2₁；C1₂、C2₂はコンデンサ、L1₁、L2₁；L1₂、L2₂はインダクタ、Q1₁、Q2₁；Q1₂、Q2₂はn型のMOSFET、Q11₁、Q12₁；Q11₂、Q12₂は、インダクタL11を共通の負荷とするn型のMOSFETである。また、制御信号発生回路102は、MOSFETQ1₁、Q2₁；Q1₂、Q2₂の中のい

れかを選択的に導通させて信号の経路を切り替える。

[0073] 本発明の増幅回路において、対象とする複数の周波数帯が著しく異なっている場合などは、高周波数帯と低周波数帯を1つの信号経路だけで切り分けることが困難であり、さらには通信方式によっては、入力端子 IN_1 、 IN_2 の前段に妨害波除去のためのフィルタを接続する必要があることもある。このような場合には、本実施例の構成を採用することが効果的である。

[0074] 本実施例において、出力回路の整合をとるには、インダクタ $L1_1$ のインダクタンス値を4段階に切り替えられるようにし、入力RF信号の周波数帯に応じて切り替えるようにすればよい。

実施例 4

[0075] 図8は、本発明の第4の実施例を示す回路図である。本実施例の回路は、第1の実施例の増幅回路において低周波数帯用のRF信号経路にもう一つの整合回路を付加すると共に中間周波数帯用のRF信号経路を付加したものである。図8において、 IN は、RF信号が入力される入力端子、 $OUT_1 \sim OUT_3$ は出力端子、 $MT1 \sim MT3$ は整合回路、 $C1 \sim C3$ はコンデンサ、 $L1 \sim L3$ はインダクタ、 $Q1 \sim Q4$ はスイッチ用のn型のMOSFET、 101_1 は低周波数帯で動作する増幅器、 101_2 は高周波数帯で動作する増幅器、 101_3 は中間周波数帯で動作する増幅器、102は、RF信号の経路を切り替えるためにMOSFET $Q1 \sim Q4$ に制御信号を出力する制御信号発生回路である。

[0076] 今、入力RF信号が高周波帯の場合を想定すると、制御信号発生回路102により、MOSFET $Q1$ 、 $Q3$ 、 $Q4$ は遮断状態に、MOSFET $Q2$ は導通状態に制御される。これにより、整合回路 $MT1$ と増幅器 101_2 で構成される回路で、入力RF信号は増幅される。入力信号電力が大きくなった場合には、MOSFET $Q2$ の制御電圧を完全な導通状態より低く設定することで信号電力を減衰させる。

[0077] また、入力RF信号が中間周波数帯である場合には、制御信号発生回路102により、MOSFET $Q1$ 、 $Q4$ は導通状態に、MOSFET $Q2$ 、 $Q3$ は遮断状態に制御される。これにより、整合回路 $MT1$ 、 $MT2$ と増幅器 101_3 で構成される回路で、入力RF信号は増幅される。入力信号電力が大きくなった場合には、MOSFET $Q1$ 、 $Q4$ の制御電圧を完全な導通状態より低く設定することで信号電力を減衰させる。

[0078] あるいは、Q1、Q4のいずれか一方のMOSFET例えばQ1の制御電圧を十分高い状態に維持しつつ他方のMOSFETQ4の制御電圧を完全な導通状態より低く設定することで信号電力を減衰させる。入力RF信号が低周波数帯である場合には、制御信号発生回路102により、MOSFETQ1、Q3は導通状態に、MOSFETQ2、Q4は遮断状態に制御される。これにより、整合回路MT1～MT3と増幅器1011で構成される回路で、入力RF信号は増幅される。

[0079] 入力信号電力が大きくなった場合には、MOSFETQ1、Q3の制御電圧を完全な導通状態より低く設定することで信号電力を減衰させる。あるいは、いずれか一方のMOSFET例えばQ1の制御電圧を十分高い状態に維持しつつ他方のMOSFETQ3の制御電圧を完全な導通状態より低く設定することで信号電力を減衰させる。

[0080] 本実施例の増幅回路も、対象とする複数の周波数帯が著しく異なっていて高周波数帯と低周波数帯の2つの信号経路だけで切り分けることが困難な場合に、効果的に採用することができる。

実施例 5

[0081] 図9は、本発明の第5の実施例を示す回路図である。この例では、図8に示した第4の実施例における増幅器1011、1012、1013を、1つの増幅器101で構成している。整合回路MT3と増幅器101との間にスイッチ用のn型のMOSFETQ5が接続されている。

[0082] 本実施例においては、増幅器101は、1個のn型のMOSFETQ13と負荷であるインダクタL11とのみで構成されている。本実施例回路において、入力RF信号が高周波数帯の場合、制御信号発生回路102により、MOSFETQ1、Q3～Q5は遮断状態に、MOSFETQ2は導通状態に制御される。また、入力RF信号が中間周波数帯である場合には、制御信号発生回路102により、MOSFETQ1、Q4は導通状態に、MOSFETQ2、Q3、Q5は遮断状態に制御される。

[0083] 入力RF信号が低周波数帯である場合には、制御信号発生回路102により、MOSFETQ1、Q3、Q5は導通状態に、MOSFETQ2、Q4は遮断状態に制御される。低周波数帯において入力信号電力が大きくなった場合には、MOSFETQ1、Q3、Q5の制御電圧を完全な導通状態より低く設定することで信号電力を減衰させる。あるいは、

いずれか1つまたは2つのMOSFETの制御電圧を十分高い状態に維持しつつ他のMOSFETの制御電圧を完全な導通状態より低く設定することで信号電力を減衰させる。

- [0084] 本実施例において、出力回路の整合をとるには、インダクタL11のインダクタンス値を3段階に切り替えられるようにし、入力RF信号の周波数帯に応じて切り替えるようにすればよい。

実施例 6

- [0085] 図10は、本発明の第6の実施例を示す回路図である。IN₁、IN₂は、RF信号が入力される入力端子、OUTは出力端子、MT1、MT2は整合回路、C1、C2はコンデンサ、L1、L2はインダクタ、Q1、Q2はn型のMOSFET、101は増幅器、102は、信号の経路を切り替える制御信号発生回路である。

- [0086] 高周波帯の入力RF信号が入力端子IN₂より入力する場合、制御信号発生回路102により、MOSFETQ1は遮断状態に、MOSFETQ2を導通状態に制御される。これにより、整合回路MT2と増幅器101で構成される回路で、入力RF信号は増幅される。入力信号電力が大きくなった場合には、MOSFETQ2の制御電圧を完全な導通状態より低く設定し、MOSFETQ2のドレイン・ソース間の抵抗を高くすることにより、信号電力を減衰させる。これにより、増幅器101の飽和を回避することができるので、広いダイナミックレンジを確保することが可能となる。

- [0087] 一方、低周波数帯の入力RF信号が入力端子IN₁より入力する場合には、制御信号発生回路102により、MOSFETQ1は導通状態に、MOSFETQ2は遮断状態に制御される。これにより、整合回路MT1、MT2および増幅器101で構成される回路で、入力RF信号は増幅される。ここで、整合回路MT2における、所望周波数での整合に必要なインピーダンスの変換量は、その前段に接続された整合回路MT1でなされたインピーダンス変換量分が不要であるので、結果的に回路のサイズを小さくすることが可能になる。

- [0088] 入力信号電力が大きくなった場合には、MOSFETQ1の制御電圧を完全な導通状態より低く設定することで、MOSFETのドレイン・ソース間抵抗を高くすることにより、信号電力を減衰させる。これにより、増幅器101の飽和を回避することができるので、

広いダイナミックレンジを確保することが可能となる。尚、増幅器101は対象とする、全ての周波数帯が増幅できる能力を有している必要がある。

- [0089] 本実施例では、信号経路に挿入された切り替えスイッチの抵抗を制御することで、入力信号の強度を調整しているので、図1に示した回路のような信号のリークパスがなく、微弱信号入力時においても、良好な特性を維持することが可能である。

実施例 7

- [0090] 図11は、本発明の第7の実施例を示す回路図である。この例では、図10における増幅器101をn型のMOSFETのQ11、インダクタL11で構成している。MOSFETQ11は、ソース電極が接地され、ゲート電極には、RF信号が入力され、ドレイン電極が出力端子OUTに接続されている。

- [0091] MOSFETQ11の負荷としてインダクタL11が電源端子VddとQ11のドレインとの間に接続されている。入力されるRF信号は、各々所望周波数帯域のみが伝播するように制御信号発生回路102が制御され、増幅器101によって増幅され、出力される。

実施例 8

- [0092] 図12は、本発明の第8の実施例を示す回路図である。この例では、図11に示した第7の実施例における増幅器101と整合回路MT2の間に、スイッチ用のn型のMOSFETQ3及び整合回路MT3が接続されている。入力端子IN₃と、整合回路MT3の入力端間にスイッチ用のn型のMOSFETQ4が接続されている。増幅器101は、n型のMOSFETQ11と負荷であるインダクタL11とで構成されている。

- [0093] 本実施例回路において、入力RF信号が高周波帯の場合、制御信号発生回路102により、MOSFETQ1～Q3は遮断状態に、MOSFETQ4は導通状態に制御される。また、入力RF信号が中間周波数帯である場合には、制御信号発生回路102により、MOSFETQ2、Q3は導通状態に、MOSFETQ1、Q4は遮断状態に制御される。

- [0094] 入力RF信号が低周波数帯である場合には、制御信号発生回路102により、MOSFETQ1、Q3は導通状態に、MOSFETQ2、Q4は遮断状態に制御される。低周波数帯において入力信号電力が大きくなった場合には、MOSFETQ1、Q3の制御電圧を完全な導通状態より低く設定することで信号電力を減衰させる。あるいは、いずれか1つのMOSFETの制御電圧を十分高い状態に維持しつつ他のMOSFETの制御電圧を

完全な導通状態より低く設定することで信号電力を減衰させる。

- [0095] 本実施例において、出力回路の整合をとるには、インダクタL11のインダクタンス値を3段階に切り替えられるようにし、入力RF信号の周波数帯に応じて切り替えるようにすればよい。

実施例 9

- [0096] 図13は、本発明の第9の実施例を示す回路図である。この例では、第2の実施例の切り替えスイッチであるMOSFETQ1は、Q1a、Q1b、Q1c、Q1dの4個のMOSFETの並列接続で構成され、切り替えスイッチであるMOSFETQ2は、Q2a、Q2b、Q2c、Q2dの4個のMOSFETの並列接続で構成されている。
- [0097] 各々の周波数帯における整合は、第2の実施例と同様の動作を行うので、ここでは整合に関する詳しい説明は省略し、入力信号電力が大きくなった場合の本実施例回路の動作について説明する。高周波数帯で入力信号電力が大きい場合、制御信号発生回路102は、MOSFETQ1a、Q1b、Q1c、Q1dの全てを遮断状態にする。
- [0098] 信号強度に応じて、Q2aからQ2dのMOSFETを導通または遮断状態にする。すなわち、最も信号強度が大きい場合には、1個のMOSFETのみを導通状態とし、のこりの3個のMOSFETを遮断状態にする。これにより、スイッチの導通抵抗による損失分だけ信号振幅が減衰するので、増幅器101の飽和を回避することができる。一方、入力信号強度が比較的低い場合には、3個のMOSFETを導通状態にし、残りの1個を遮断状態にする。
- [0099] これにより、減衰量を前述の状態よりも低くすることができる。信号強度が著しく低い場合には、全てのスイッチを導通状態とすることで、増幅回路は最大利得を得る。低周波数帯で入力信号電力が大きい場合も、MOSFETQ1a、Q1b、Q1c、Q1dとMOSFETQ2a、Q2b、Q2c、Q2dとが入れ替わるだけで同様の動作が行なわれる。
- [0100] この第9の実施例では、この回路の制御信号を、導通、遮断の2種類だけでなく、導通、遮断と、その中間のレベルを設定することも可能であり、その場合は、減衰利得の組み合わせは、さらに多くすることができて、増幅器入力段での全体の利得調整が精密にできる。

実施例 10

- [0101] 図14は、本発明の第10の実施例を示す回路図である。この例では、第7の実施例の切り替えスイッチであるMOSFETQ1は、Q1a、Q1b、Q1c、Q1dの4個のMOSFETの並列接続で構成され、切り替えスイッチであるMOSFETQ2は、Q2a、Q2b、Q2c、Q2dの4個のMOSFETの並列接続で構成されている。
- [0102] 各々の周波数帯における整合は、第7の実施例と同様の動作を行うので、ここでは整合に関する詳しい説明は省略し、入力信号電力が大きくなった場合の本実施例回路の動作について説明する。高周波数帯で入力信号電力が大きい場合、制御信号発生回路102は、MOSFETQ1a、Q1b、Q1c、Q1dの全てを遮断状態にする。信号強度に応じて、Q2aからQ2dのMOSFETを導通または遮断状態にする。
- [0103] すなわち、最も信号強度が大きい場合には、1個のMOSFETのみを導通状態とし、のこりの3個のMOSFETを遮断状態にする。これにより、スイッチの導通抵抗による損失分だけ信号振幅が減衰するので、増幅器101の飽和を回避することができる。一方、入力信号強度が比較的低い場合には、3個のMOSFETを導通状態にし、残りの1個を遮断状態にする。
- [0104] これにより、減衰量を前述の状態よりも低くすることができる。信号強度が著しく低い場合には、全てのスイッチを導通状態とすることで、増幅回路は最大利得を得る。低周波数帯で入力信号電力が大きい場合も、MOSFETQ1a、Q1b、Q1c、Q1dとMOSFETQ2a、Q2b、Q2c、Q2dとが入れ替わるだけで同様の動作が行なわれる。
- [0105] この第10の実施例では、この回路の制御信号を、導通、遮断の2種類だけでなく、導通、遮断と、その中間のレベルを設定することも可能であり、その場合は、減衰利得の組み合わせは、さらに多くすることができて、増幅器入力段での全体の利得調整が精密にできる。
- [0106] 図15は、第9、第10の実施例における、スイッチ回路であるトランジスタ群での信号の減衰量を計算で示すための図である。図において、INはRF信号が入力される入力端子、MT1、MT2は整合回路、101は増幅器である。Zoutは、スイッチ回路から見た入力端子のインピーダンスで、Zinは、スイッチ回路から見た増幅器の入力インピーダンスである。ここで、R0はスイッチ用MOSFETの導通状態における単位ゲート幅換算の抵抗である。

[0107] このような、回路でのスイッチ回路での損失は、下記の式で与えられる。

[0108] [数1]

$$\begin{aligned}
 Loss &= 20 \log \left(\frac{Z_{in} + Z_{out}}{\frac{R_0}{\sum_i W} + Z_{in} + Z_{out}} \right) \\
 &= 20 \left\{ \log(Z_{in} + Z_{out}) - \log \left(\frac{R_0}{\sum_i W} + Z_{in} + Z_{out} \right) \right\} \\
 &= -20 \log \left(1 + \frac{R_0}{\sum_i W} \frac{1}{Z_{in} + Z_{out}} \right)
 \end{aligned}$$

この式からも、導通状態となるトランジスタの数を変化させることで、信号の減衰量を可変にすることができると分かる。また、制御電圧を中間の状態にする場合には、単位ゲート幅換算の抵抗 R_0 を大きくすることと等価であるので、これも信号の減衰量の調整に用いることができる。

[0109] 一方、信号の最大減衰量は、MOSFETが1個のみ導通状態になっている場合で、
[数2]

$$Loss_{max} = -20 \log \left(1 + \frac{R_0}{Z_{in} + Z_{out}} \right)$$

と表すことができ、もし、MOSFETの単位ゲート換算または、MOSFET 1個あたりの抵抗 R_0 が、 Z_{in} と Z_{out} の和と等しい場合には、調整できる減衰量の最大は6dBと分か

る。従って、本発明における増幅回路の第6の実施例では、入力ダイナミックレンジを大きくするために、並列に接続するMOSFETの1個あたりの導通状態の抵抗をMOSFETの両端に接続された回路のインピーダンスの和よりも大きくすることにより、制御可能量を6dB以上としている。

実施例 11

- [0110] 図16は、本発明の第11の実施例を示す回路図である。この例では、第2の実施例における制御信号に昇圧回路を接続して、制御信号の電位を高くし、スイッチの導通状態での抵抗を小さくしている。電源電圧が低い場合には、制御信号が電源電圧と同じ電位であっても、スイッチ用MOSFETのゲート・ソース間電位差は大きくできない。
- [0111] 一般に、MOSFETは、ゲート幅を大きくすれば、導通状態での抵抗は小さくできるが、寄生容量も増大するために、整合条件への影響だけでなく、信号の損失も大きくなる。そこで、本実施例においては、制御信号発生回路102が発生する制御信号を昇圧回路にて昇圧した後にMOSFETQ1、Q2のゲートに印加している。
- [0112] このような動作を行わせる昇圧回路の一例を図17に示す。これは、John F. Dickson, "On-chip high-voltage generation in MNOS integrated circuits using an improved voltage multiplier technique," IEEE Journal of Solid-State Circuits, vol. SC-11, No. 3, pp. 374-378, 1976に示されている整流回路を用いた昇圧回路の一例であって、IN_vは電圧入力端子、OUT_vは出力端子、CLK、CLK_{bar}は、相補のクロック信号が入力されるクロック入力端子、Dはダイオード、Cはコンデンサである。
- [0113] この回路の電圧入力端子IN_vを制御信号発生回路102の出力端子に接続し、出力端子OUT_vをMOSFETQ1、Q2のゲートに接続する。この昇圧回路によると、ダイオード1段当たり、ダイオード節点でのクロックによる振幅からダイオードの順方向電圧と出力電流に伴うコンデンサの充放電によるリップル電圧とを差し引いた電圧上昇が得られる。この昇圧回路を制御信号発生回路102と整合回路切り替え用スイッチとなるMOSFETの間に挿入することにより、遮断状態と、導通状態の電位差を大きくすることが可能である。よって、サイズの大きなMOSFETを用いなくても、導通抵抗を小さく

くすることが可能となる。

- [0114] 実施例11では、制御信号発生回路102の出力電圧を昇圧していたが、この方式に代え、昇圧された電圧によって制御信号発生回路102を駆動するようにして、結果的に制御信号発生回路102から出力される制御信号の電圧差を大きくするようにしてもよい。

実施例 12

- [0115] 図18は、本発明の第12の実施例を示す回路図である。この例では、第6の実施例における制御信号に昇圧回路を接続して、制御信号の電位を高くし、スイッチの導通状態での抵抗を小さくしている。電源電圧が低い場合には、制御信号が電源電圧と同じ電位であっても、スイッチ用MOSFETのゲート・ソース間電位差は大きくできない。

- [0116] 一般に、MOSFETは、ゲート幅を大きくすれば、導通状態での抵抗は小さくできるが、寄生容量も増大するために、整合条件への影響だけでなく、信号の損失も大きくなる。そこで、本実施例においては、制御信号発生回路102が発生する制御信号を昇圧回路で昇圧した後にMOSFETQ1、Q2のゲートに印加している。

実施例 13

- [0117] 図19は、本発明の第13の実施例を示す回路図である。この例では、第2の実施例における制御信号が入力される切り替え用スイッチであるMOSFETのドレイン・ソース電極にコンデンサを接続して、整合回路のDC電位を遮断し、新たに低いDC電位を与えるものである。図19において、C4～C7はコンデンサ、R1～R4は高い抵抗値を有する抵抗である。

- [0118] スイッチ用のMOSFETQ1とQ2は、整合回路MT1～MT2とは、DC的に分離されており、抵抗R1～R4により、そのソース・ドレイン電位は、接地電位となっている。この状態では、制御信号発生回路102から出力される高電位信号と、スイッチMOSFETのソース電極の電位差は大きくなる結果、スイッチの導通状態の抵抗を小さくすることができ、結果的に、スイッチのMOSFETのサイズを小さくできる。

実施例 14

- [0119] 図20は、本発明の第14の実施例を示す回路図である。この例では、第11の実施

例における切り替えスイッチとして用いているQ1、Q2の基板電位を増幅器の直流入力電位と連動させ、しかも切り替えスイッチの制御電位を、増幅器の直流入力電位分だけ昇圧することにより、導通状態の切り替えスイッチのオン抵抗を最小にするものである。

[0120] すなわち、Q1、Q2のゲート電位を、制御信号 IN_{c1} 、 IN_{c2} と増幅器101の直流入力電位が現れる節点n1、n2の電位が入力される昇圧回路 103_1 、 103_2 の出力によって上記のように制御する。昇圧回路 103_1 、 103_2 の詳細については後述する。この例では、図16に示した第11の実施例における増幅器 101_1 、 101_2 を、1つの増幅器101で構成している。

[0121] 増幅器101において、L11はインダクタ、Q11、Q12は、n型のMOSFETである。MOSFETQ12は、ソース電極が接地され、ゲート電極には、高周波数帯のRF信号が入力され、ドレイン電極が出力端子OUTに接続されている。MOSFETQ11は、ソース電極が接地され、ゲート電極には、低周波数帯のRF信号が入力され、ドレイン電極は、出力端子OUTに接続されている。

[0122] これらのMOSFETQ11、Q12の負荷としてインダクタL11が電源端子Vddと各トランジスタのドレインとの間に接続されている。入力されるRF信号は、制御信号INC1およびINC2により、各々所望周波数帯域のみが伝播するように制御される。ここで、Q15、Q16はp型のMOSFET、R21～R24は抵抗である。制御信号INC1が低電位であれば、Q15は導通状態となるので、増幅器のQ12の入力電位は、電源電位を抵抗R21とR22で分割した値に設定される。

[0123] この時、制御信号 IN_{c2} は、高電位に設定されており、したがって、Q16は遮断状態となり、増幅器のQ11の入力電位は接地電位となる。従って、増幅器101のMOSFETは、所望周波数帯の経路に接続された素子のみが活性状態となって、結果的に所望周波数帯の信号のみを増幅する。

[0124] さらに、この時、本実施例回路においては、昇圧回路 103_2 は、接地電位を出力し、MOSFETQ1を遮断状態にしている。この時、切り替えスイッチ(Q1)の基板は、増幅器のQ11の直流入力電位が現れる節点n2に接続されており、上述したように、制御信号 IN_{c2} が高電位の場合には、基板電位は接地電位となる。一方、昇圧回路 103_1

は、電源電圧より増幅器のQ12の直流入力電位分だけ高い電位を発生し、Q2を導通状態にする。

[0125] 従って、切り替えスイッチ(Q2)のゲート・ソース間電圧は、Vddとなるために、スイッチのオン抵抗を十分小さくできる。また、切り替えスイッチ(Q2)の基板電位は、Q12の直流入力電位の現れる節点n1から与えられているために、切り替えスイッチの各電極間には、Vddを超える電圧が印加されることはない。

[0126] 図21は、第14の実施例における昇圧回路103₁の一例を示す回路図である。昇圧回路103₂は昇圧回路103₁と同様に構成され同様に動作するので、ここでは昇圧回路103₁についてのみ説明する。Q21、Q22、Q25およびQ26はp型のMOSFET、Q17、Q18、Q23、Q24、Q27、Q28はn型MOSFET、C31、C32は容量素子、R26、R27は抵抗、INVはインバータである。制御信号INC1は、インバータINVおよびR26、R27を介してQ17、Q18のゲートに入力され、節点n1はQ23、Q27のソースに接続されている。

[0127] そしてこの昇圧回路の出力電圧は出力端子outを介して切り替えスイッチであるMOSFETQ2のゲートに供給される。この例では、Q22、Q24、Q25、Q27にクロックCLKが印加され、Q21、Q23、Q26、Q28にクロックCLKの逆相のCLKbarが印加されている。

[0128] まず、Q21～Q24およびC31で構成される単位回路の動作について説明する。クロックCLKが高電位の時には、容量素子C31は、電源Vddと接地間に接続されるために、この周期では、容量素子は電圧Vddに相当する電荷が充電される。

[0129] 次に、クロックCLKが低電位になると、容量素子C31は、電源および接地電極から切り離され、高電位となる逆相クロックCLKbarで制御されているQ23およびQ22により、出力端子outと増幅器の直流入力電位にある節点n1に接続される。この時、容量素子C31に充電された電荷は、瞬時には放電されないために、出力端子outに接続された容量電極の電位は、電源電圧より増幅器の直流入力電位分だけ上昇する。

[0130] 次の周期では、出力端子は容量素子C31から切り離され、容量素子C31は、電源と接地間に接続され、以下上記の動作を繰り返す。Q25～Q28および容量素子C32で構成される単位回路は、前記単位回路とは逆位相のクロック信号で動作させるた

めに、前記単位回路とは逆相の出力が出力され、その結果、出力端子outには、常に電源電圧Vddより、増幅器の直流入力電位分だけ高い電位が出力される。

[0131] この時、制御信号 IN_{C1} が高電位であるためにQ17およびQ18はオフしており、上記の出力電圧はそのまま出力される。一方、図20におけるQ2を遮断状態にする場合には、制御信号 IN_{C1} が低電位となり、インバータINV、R26、R27、Q17およびQ18で構成される回路により、出力電位は、接地電位に強制的に設定される。ここで、Q17、Q18を縦積み構成としているのは、この回路が電源電圧Vdd以上の高い電位を出力するために、その端子に接続される回路の耐圧を考慮してのことである。

[0132] 本実施例の昇圧回路の出力を接地する方法としては、この他にも制御クロックを止めるにより、出力端子を昇圧回路から切り離すことを併用するなどもある。これにより、Q17～Q18の回路の駆動能力を低くし、消費電力を低減することも可能である。

[0133] 図22に、前記昇圧回路の動作波形を示す。 V_{S1} 、 V_{S2} は、それぞれ容量素子C31のQ21側とQ24側の端子電位を示す。ここで、クロックの振幅を電源電位Vddの1V、節点n1の電位を V_B とした。クロック信号に応じて、容量端子の電位 V_{S1} 、 V_{S2} が図示のように変化する。また、容量素子C32のQ25側とQ28側の端子電位 V_{S3} 、 V_{S4} は、それぞれ V_{S1} 、 V_{S2} の逆相の電位となる。

[0134] 従って、出力端子outには、交互に V_{S1} 、 V_{S3} の $(1+V_B)$ の昇圧電位が現れ、常時電源電位Vddより増幅器の直流入力電位 V_B だけ高い電位が現れることになる。

実施例 15

[0135] 図23は、本発明の第15の実施例を示す回路図である。この例では、第12の実施例における切り替えスイッチとして用いているQ1、Q2の基板電位を増幅器の直流入力電位と連動させ、しかも切り替えスイッチの制御電位を、増幅器の直流入力電位分だけ昇圧することにより、導通状態の切り替えスイッチのオン抵抗を最小にするものである。

[0136] すなわち、Q1、Q2のゲート電位を、制御信号 IN_{C1} 、 IN_{C2} と増幅器101の直流入力電位が現れる節点n1、n2の電位が入力される昇圧回路103₁、103₂の出力によって上記のように制御する。昇圧回路103₁、103₂の詳細は、図21、19で説明したとおりであるので、ここでは述べない。

- [0137] 増幅器101において、L11はインダクタ、Q11は、n型のMOSFETである。MOSFET Q11は、ソース電極が接地され、ゲート電極には、高周波数帯のRF信号が入力され、ドレイン電極が出力端子OUTに接続されている。MOSFET Q11の負荷としてインダクタL11が電源端子VddとQ11のドレインとの間に接続されている。入力されるRF信号は、制御信号 IN_{C1} および IN_{C2} により、各々所望周波数帯域のみが伝播するように制御される。ここで、R21、R22は電源電圧を分圧する抵抗である。
- [0138] 制御信号 IN_{C1} が低電位であれば、本実施例回路においては、昇圧回路103₂は、接地電位を出力し、MOSFET Q1を遮断状態にしている。一方、昇圧回路103₁は、電源電圧より増幅器のQ12の直流入力電位分だけ高い電位を発生し、Q2を導通状態にする。従って、切り替えスイッチ(Q2)のゲート・ソース間電圧は、Vddとなるために、スイッチのオン抵抗を十分小さくできる。また、切り替えスイッチ(Q2)の基板電位は、Q12の直流入力電位の現れる節点n1から与えられているために、切り替えスイッチの各電極間には、Vddを超える電圧が印加されることはない。
- [0139] 以上、本発明の好ましい実施例について説明したが、本発明は、これら個々の実施例に限定されるものではなく、本発明の要旨を逸脱しない範囲内において適宜の変更が可能なものである。例えば、図7の実施例では、二つの信号経路を有する回路を2段に重ねていたが、3段以上に重ねることができる。また、図8、図9、図12の実施例では、整合回路を3段縦続接続していたが、4段以上の縦続構成とし、より多くの分岐信号経路を形成するようにしてもよい。また、上記の実施例同士を適宜組み合わせることができる。
- [0140] また、実施例では、MOS型の電界効果トランジスタを用いて説明したが、同様な特性を有する素子であれば、例えば接合型やMES型の電界効果トランジスタ、あるいはバイポーラトランジスタなど、どのような素子も本発明に適用可能である。また、スイッチ用のトランジスタと増幅用のトランジスタとを異種のトランジスタとすることも可能である。

請求の範囲

- [1] 信号遮断機能を有する第1種の切り替え回路を介して接続された複数のインピーダンス変換回路と、
前記第1種の切り替え回路の入力側から分岐された経路に接続された信号遮断機能を有する第2種の切り替え回路と、
最終段の前記インピーダンス変換回路の出力側、および、前記第2種の切り替え回路の出力側にそれぞれ接続された増幅器と、
前記第1種の切り替え回路および前記第2種の切り替え回路の接続／遮断を制御する制御信号発生回路と、を有し、
いずれか一つの経路が選択されて前記増幅器に信号が入力されることを特徴とする増幅回路。
- [2] 信号遮断機能を有する第1種の切り替え回路を介して接続された複数のインピーダンス変換回路と、
前記第1種の切り替え回路の出力側と初段の前記インピーダンス変換回路の入力側が接続された入力端子とは異なる入力端子との間に接続された信号遮断機能を有する第2種の切り替え回路と、
最終段の前記インピーダンス変換回路の出力側に接続された増幅器と、
前記第1種の切り替え回路および前記第2種の切り替え回路の接続／遮断を制御する制御信号発生回路と、を有し、
いずれか一つの経路が選択されて前記増幅器に信号が入力されることを特徴とする増幅回路。
- [3] 少なくとも一つの前記第1種の切り替え回路および前記第2種の切り替え回路は、信号減衰機能を有していることを特徴とする請求項1または2に記載の増幅回路。
- [4] 信号遮断および信号減衰機能を有する切り替え回路は、複数の素子を並列に接続した構成を有し、各素子は、前記制御信号発生回路により個別に制御できることを特徴とする請求項3に記載の増幅回路。
- [5] 信号遮断および信号減衰機能を有する切り替え回路は、複数の素子を並列に接続した構成を有し、当該素子は、遮断または導通の状態を有し、導通状態となる素子

の数で信号の減衰量を制御することを特徴とする請求項3に記載の増幅回路。

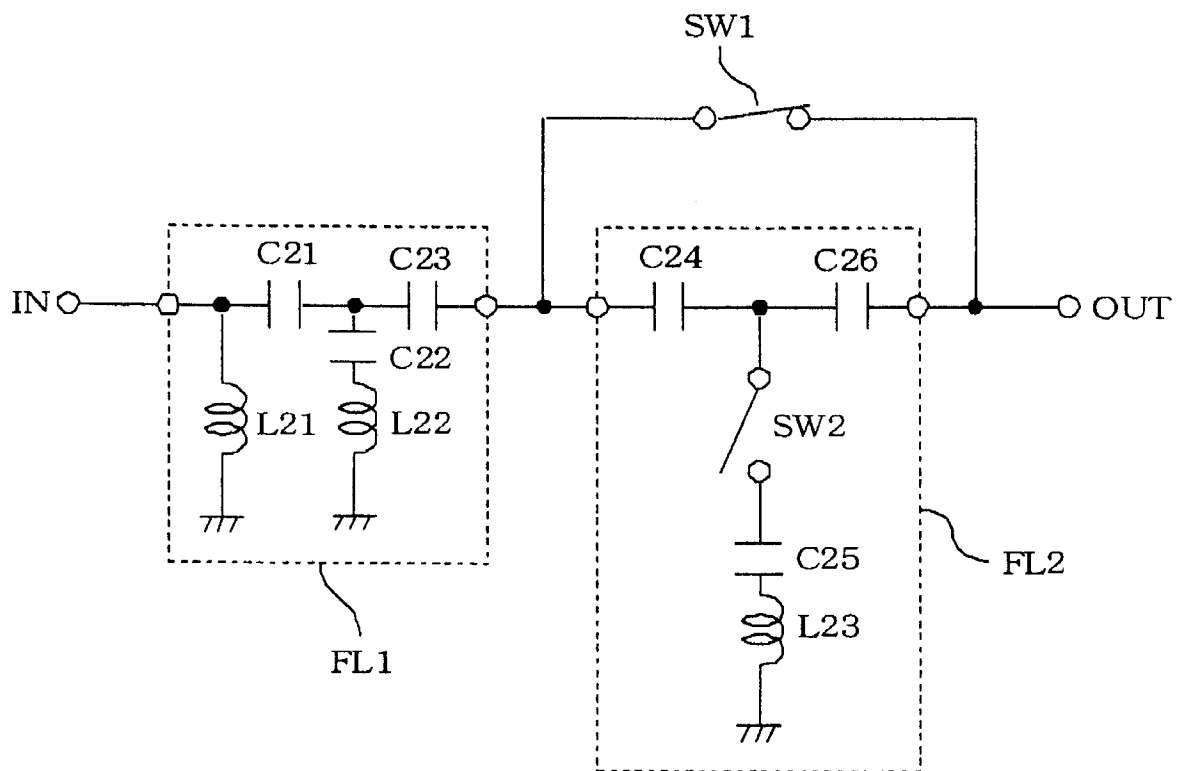
- [6] 前記複数の素子は、それぞれサイズが異なり、これにより各素子の信号減衰量はそれぞれ異なっていることを特徴とする請求項4または5に記載の増幅回路。
- [7] 信号遮断および信号減衰機能を有する切り替え回路は、一ないし複数の素子により構成され、当該素子は、遮断状態、良好導通状態、中間導通状態の3状態に前記制御信号発生回路により制御可能であることを特徴とする請求項3から5のいずれかに記載の増幅回路。
- [8] 信号遮断および信号減衰機能を有する切り替え回路は電圧制御される制御電極を有する3端子素子で構成され、かつ、前記制御信号発生回路の出力する制御信号はこれを昇圧する昇圧回路によって昇圧された後に前記3端子素子の制御電極に供給されることを特徴とする請求項3から7のいずれかに記載の増幅回路。
- [9] 前記昇圧回路の昇圧量は、前記増幅器の直流入力電位分以下であることを特徴とする請求項8に記載の増幅回路。
- [10] 信号遮断および信号減衰機能を有する切り替え回路は、電圧制御された3端子制御素子で構成され、該3端子制御素子の信号経路の入・出力側には各々容量素子が直列接続され、各容量素子と前記3端子制御素子との接続点は抵抗素子を介して接地されていることを特徴とする請求項3から8のいずれかに記載の増幅回路。
- [11] 前記複数の素子に含まれる各素子の導通状態のインピーダンスは、前記切り替え回路から入力側および出力側を見たインピーダンスの和よりも大きいことを特徴とする請求項4または5に記載の増幅回路。
- [12] 前記切り替え回路は、電界効果トランジスタにより構成されていることを特徴とする請求項1から11のいずれかに記載の増幅回路。
- [13] 電界効果トランジスタにより構成されている前記切り替え回路の、基板電位は、前記増幅器の直流入力電位と連動することを特徴とする請求項12に記載の増幅回路。
- [14] 前記昇圧回路は、容量素子と、当該容量素子の各電極に各々2個ずつ接続された切り替えスイッチとを含む単位回路2個から構成され、
容量素子の両電極に各々接続された切り替えスイッチは、当該容量素子を、電源と接地間に接続する経路と、当該昇圧回路の出力端子と前記増幅器の直流入力電位

印加点間に接続する経路とを交互に切り替えるように接続されており、

2個の前記単位回路は、外部からの相補信号により互いに相補的に動作することを特徴とする請求項8から10、12または13のいずれかに記載の増幅回路。

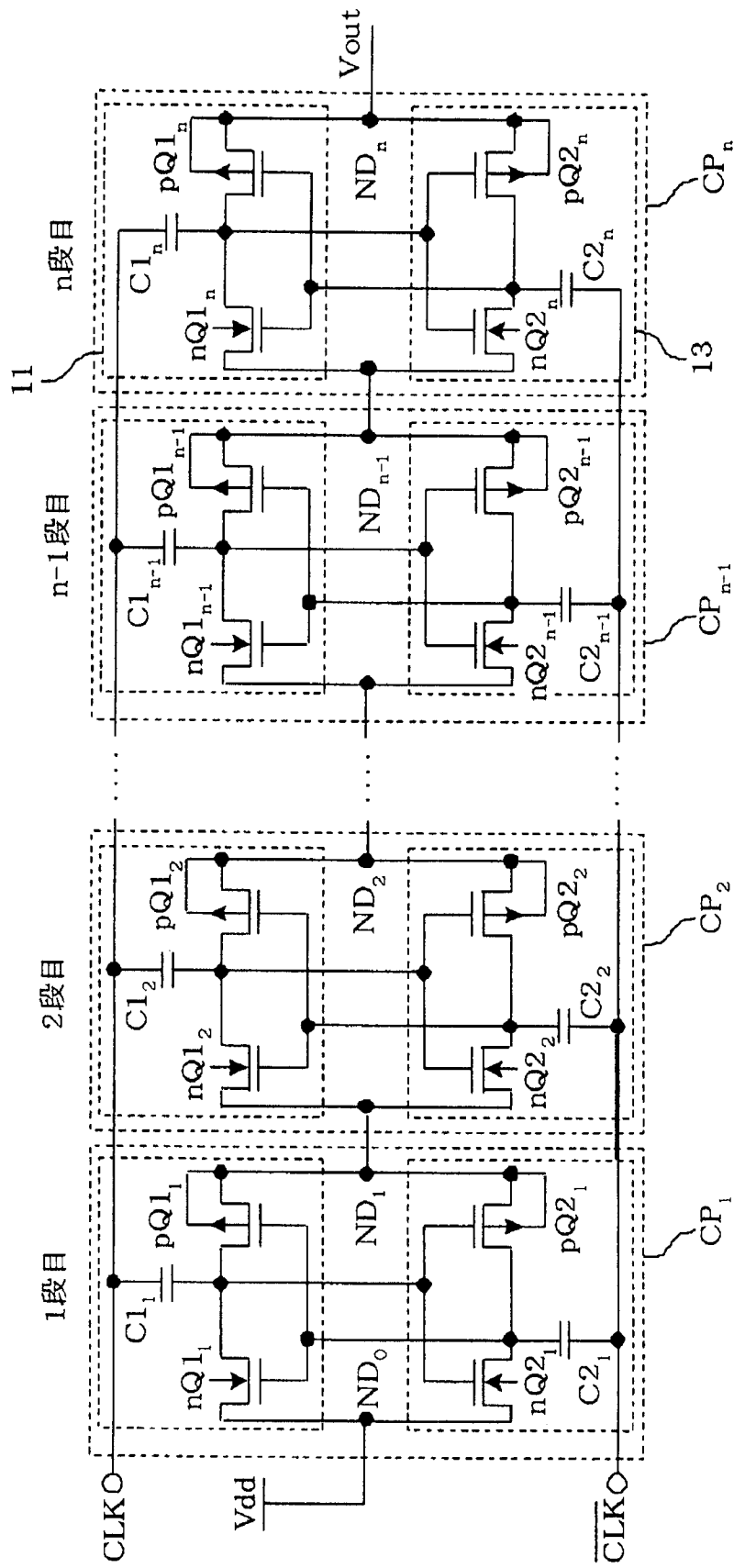
- [15] 前記切り替え回路は、バイポーラトランジスタにより構成されていることを特徴とする請求項1から7のいずれかに記載の増幅回路。
- [16] インピーダンス変換回路および第1種の切り替え回路を有する信号経路と第2種の切り替え回路を通る信号経路とを複数組有することを特徴とする請求項1から15のいずれかに記載の増幅回路。
- [17] 最終段のインピーダンス変換回路の出力側に接続される増幅器の出力端子と、第2種の切り替え回路の出力側に接続される増幅器の出力端子とが共通に接続されていることを特徴とする請求項1、または、3から16のいずれかに記載の増幅回路。
- [18] 最終段のインピーダンス変換回路の出力側に接続される増幅器、および、第2種の切り替え回路の出力側に接続される各増幅器が、それぞれ異なる増幅素子を有し、各増幅素子の負荷インピーダンスが共通の素子により構成されていることを特徴とする請求項17に記載の増幅回路。
- [19] 最終段のインピーダンス変換回路の出力側に接続される増幅器と第2種の切り替え回路の出力側に接続される増幅器とは、共通の増幅素子と共通の負荷インピーダンスにより構成されており、かつ、最終段のインピーダンス変換回路と前記増幅器との間には信号遮断機能を有する切り替え回路が介在していることを特徴とする請求項1、または、3から16のいずれかに記載の増幅回路。
- [20] 最終段のインピーダンス変換回路の出力側に接続される増幅器は、増幅素子と負荷インピーダンスにより構成されていることを特徴とする請求項2に記載の増幅回路。
- [21] 前記負荷インピーダンスがインダクタにより構成されていることを特徴とする請求項18から20のいずれかに記載の増幅回路。
- [22] 前記負荷インピーダンスが、複数のインピーダンス素子の直列接続体を有し、少なくとも一つのインピーダンス素子は短絡手段により短絡可能であって、前記負荷インピーダンスのインピーダンス値が可変であることを特徴とする請求項18から21のいずれかに記載の増幅回路。

[図1]

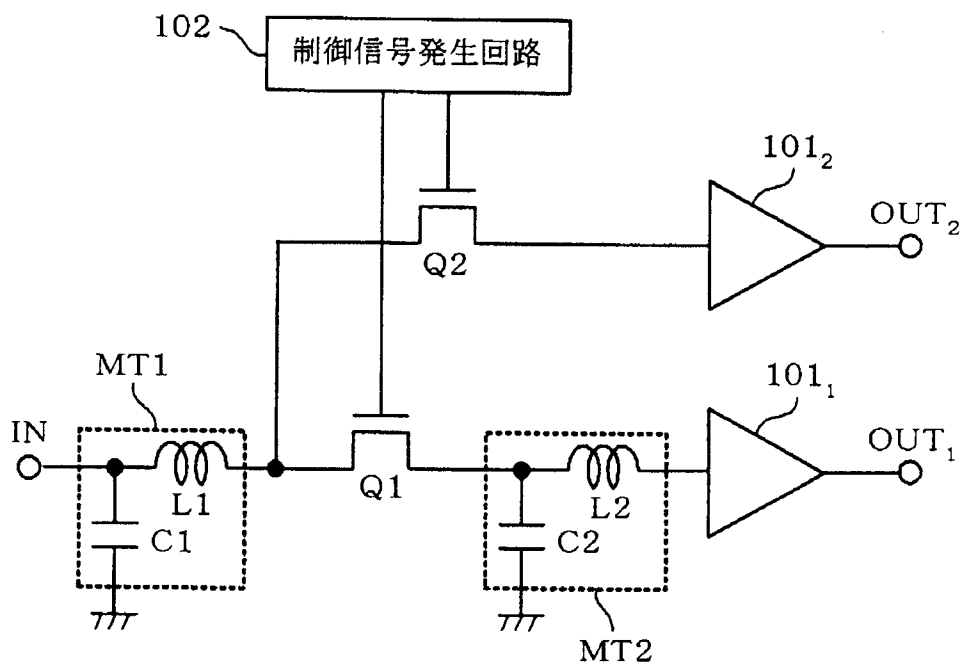


[illegible]

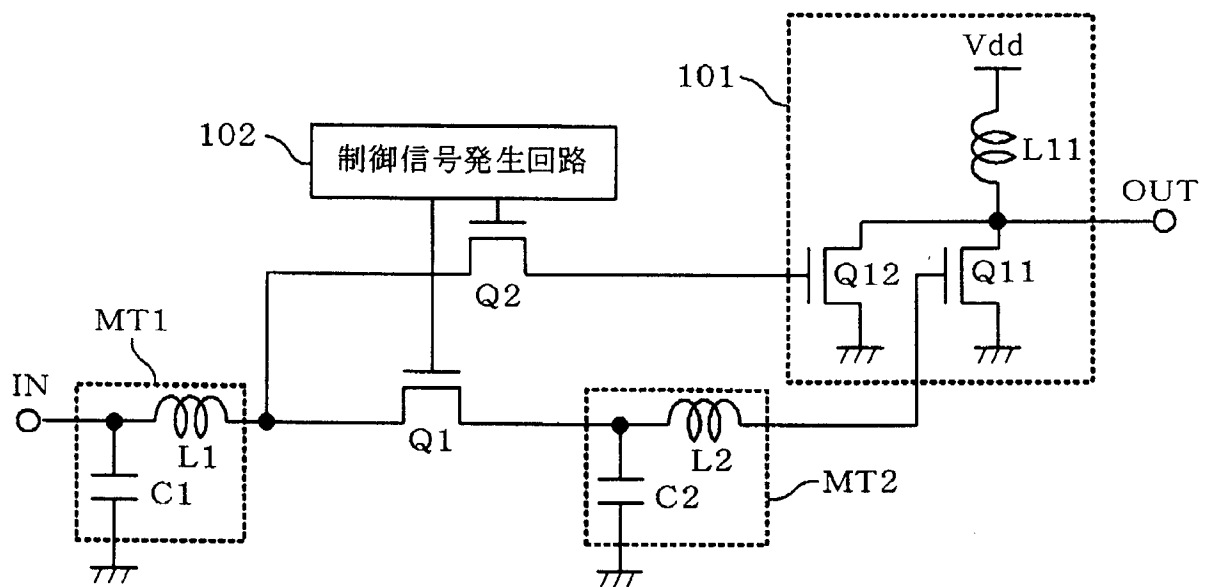
[図3]



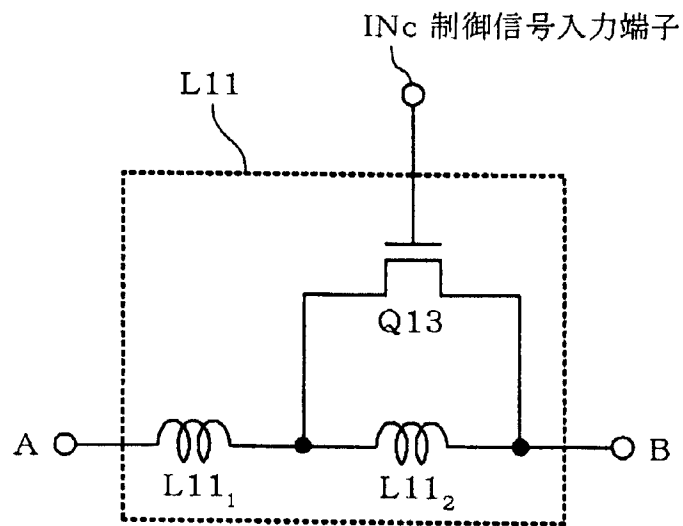
[図4]



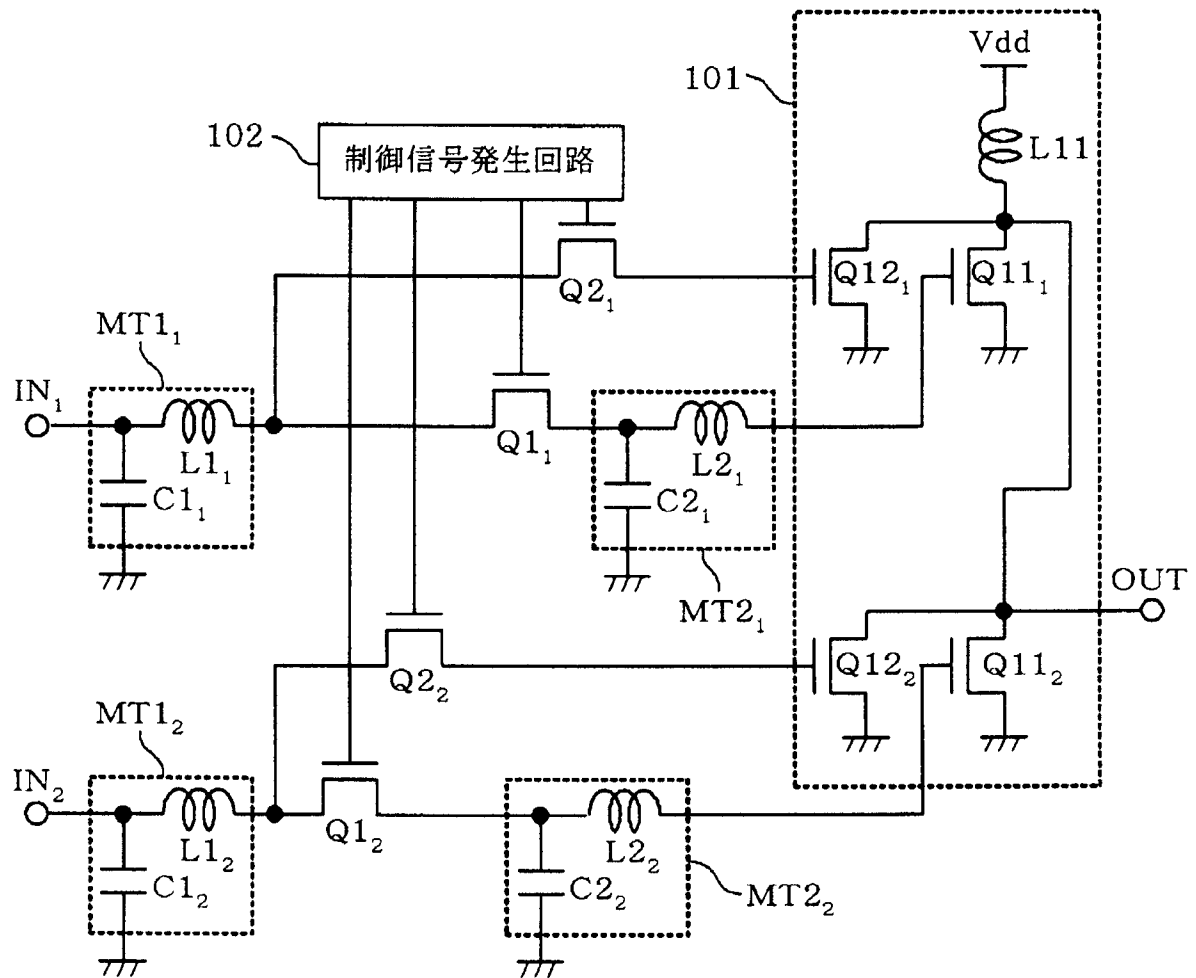
[図5]



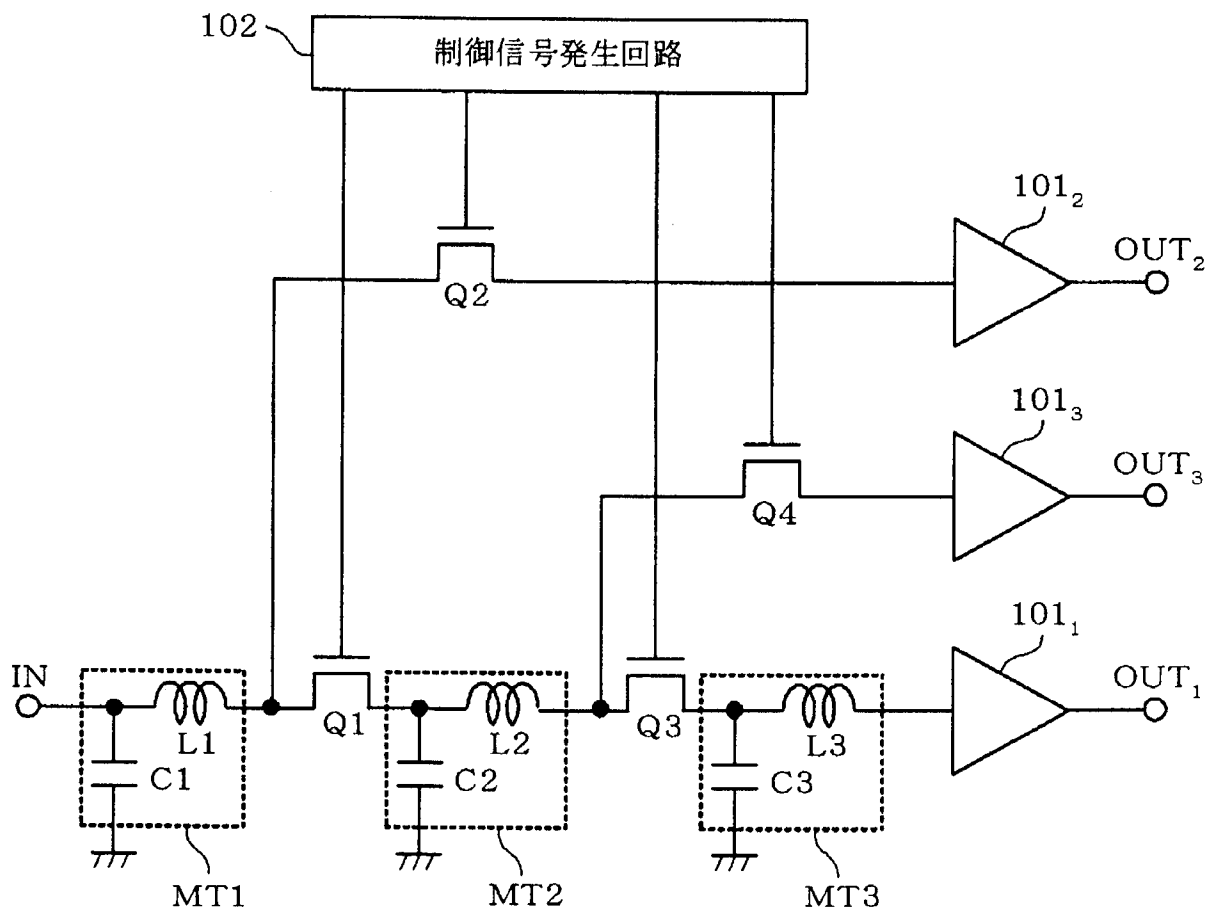
[図6]



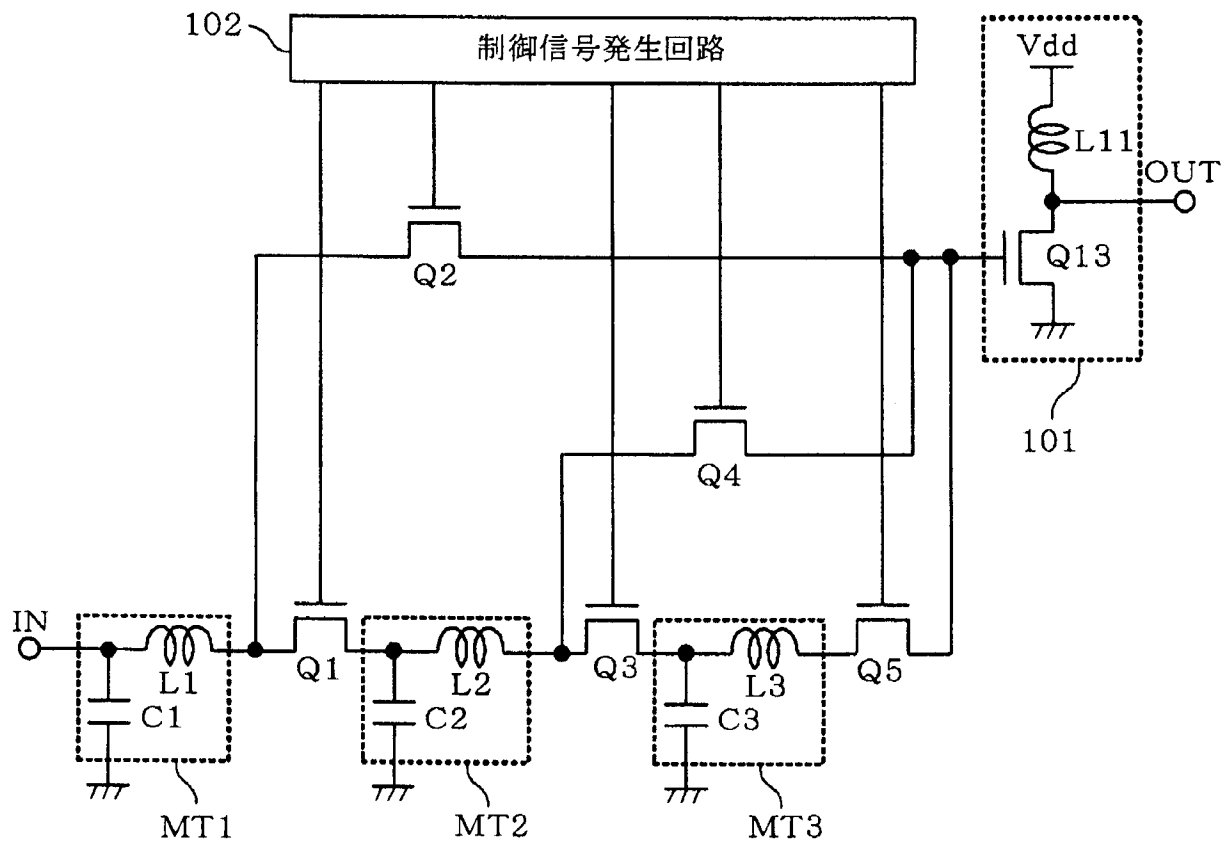
[図7]



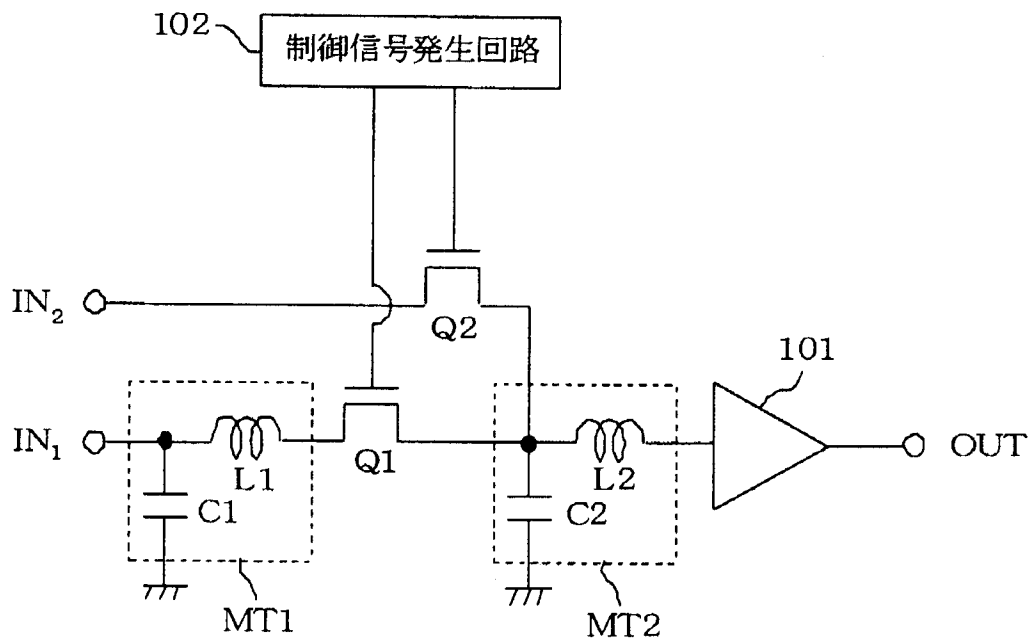
[図8]



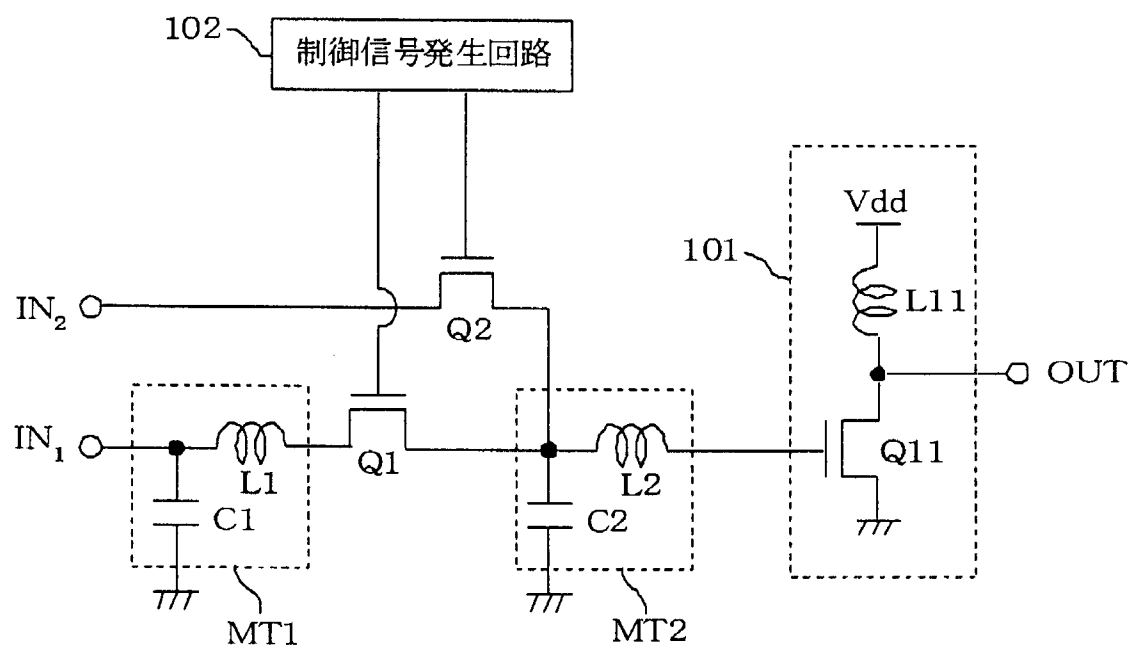
[図9]



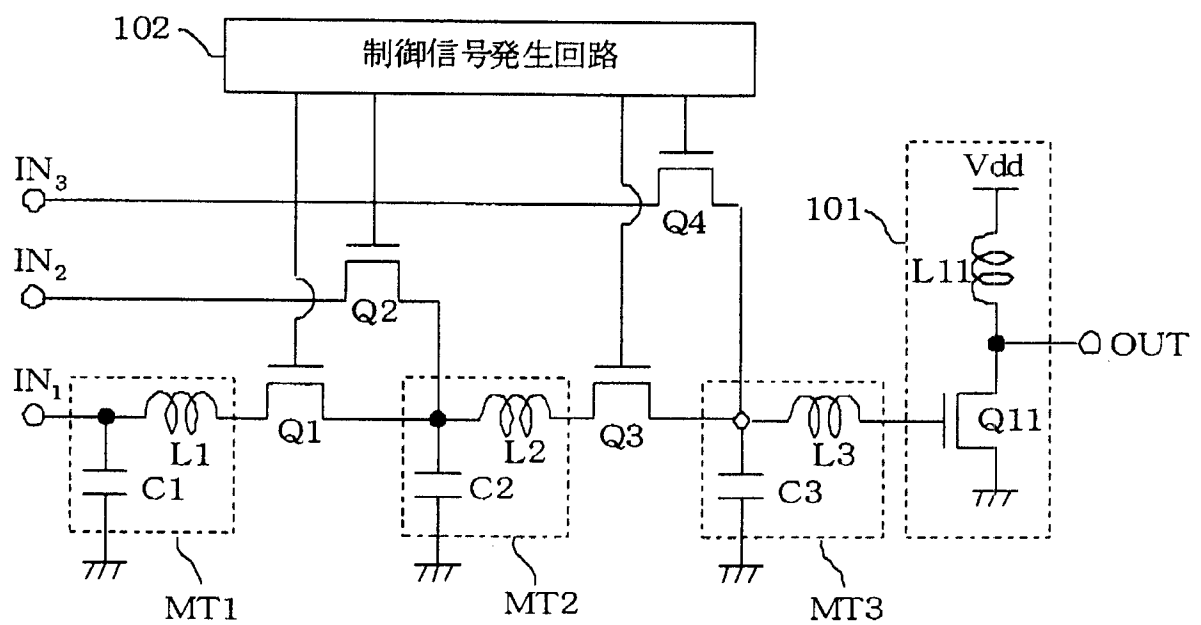
[図10]



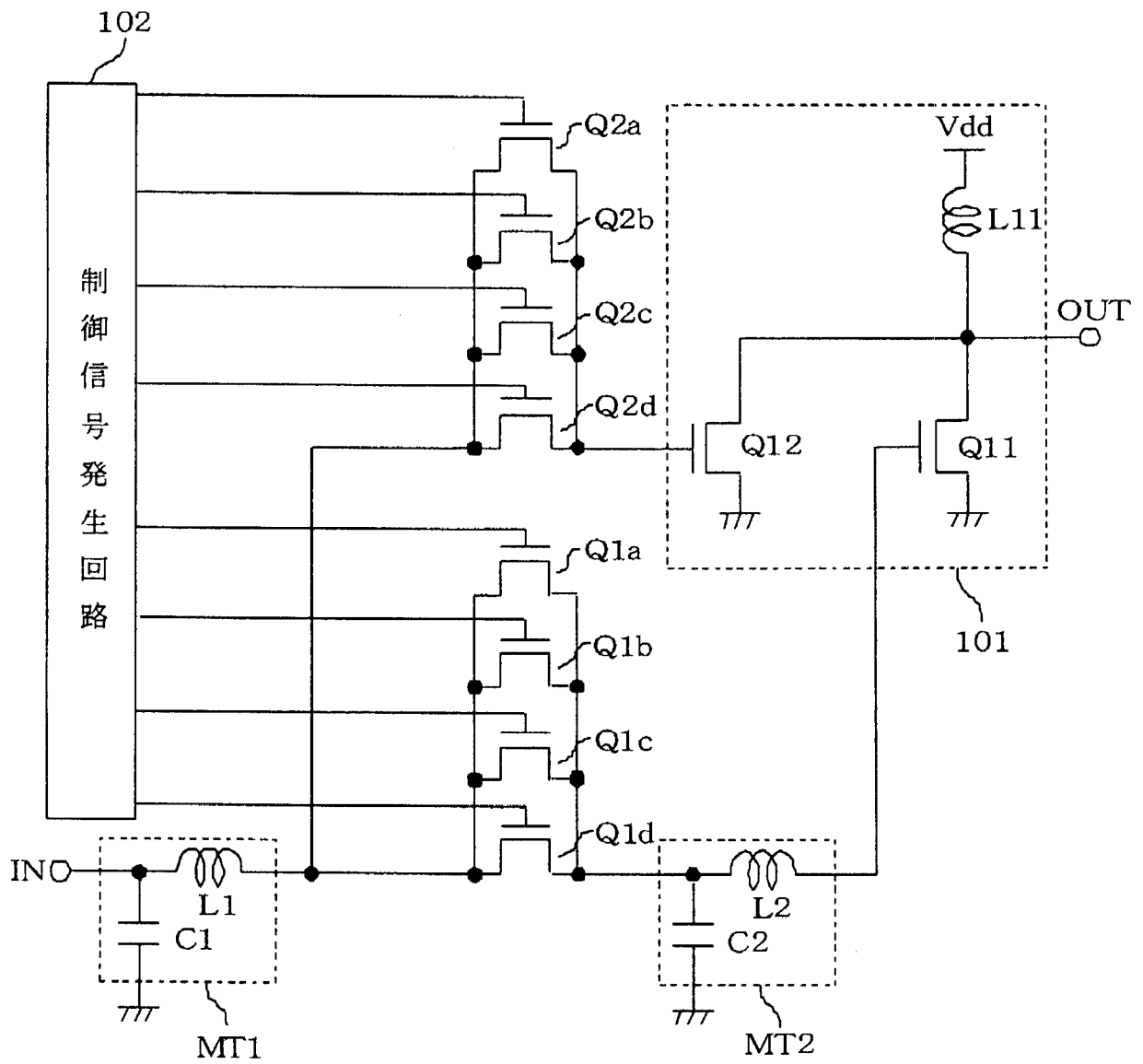
[図11]



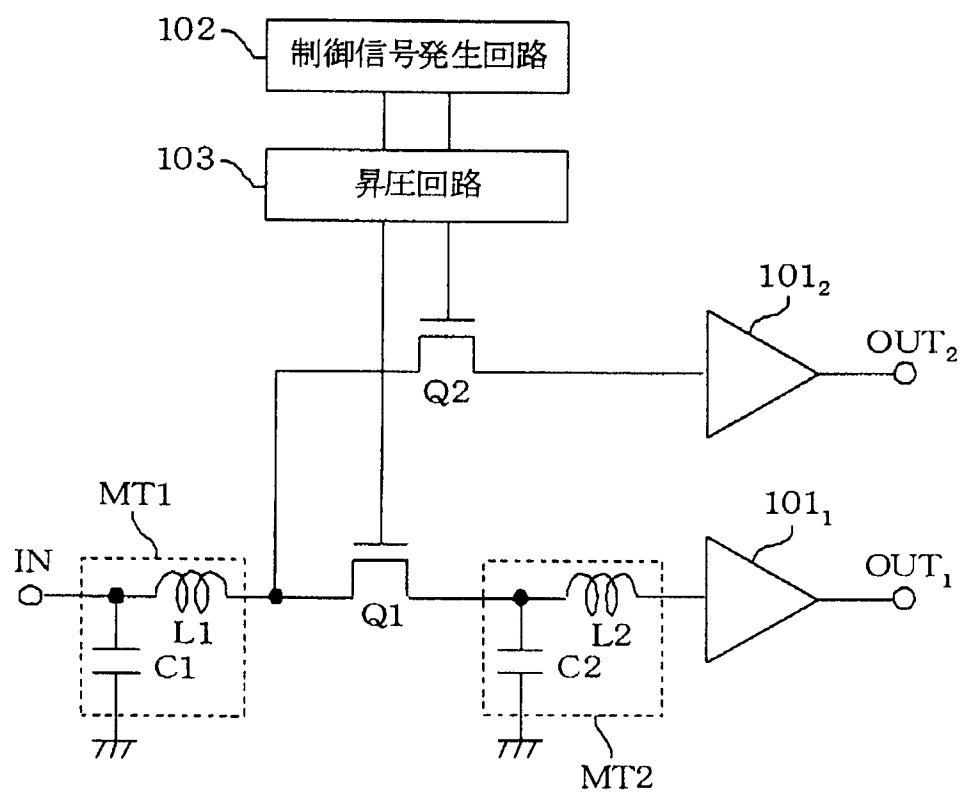
[図12]



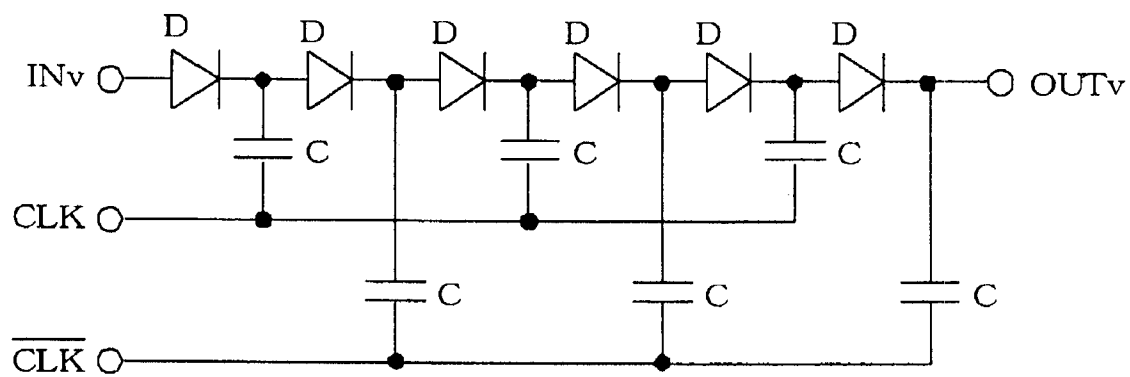
[図13]



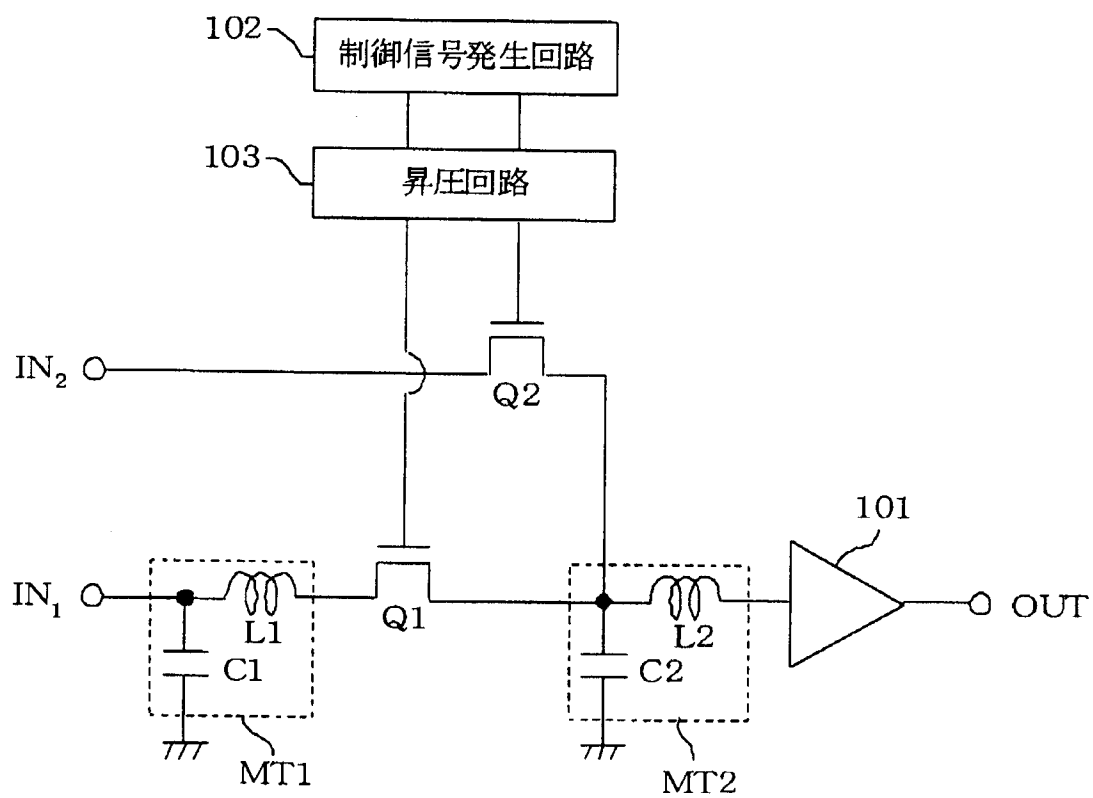
[図16]



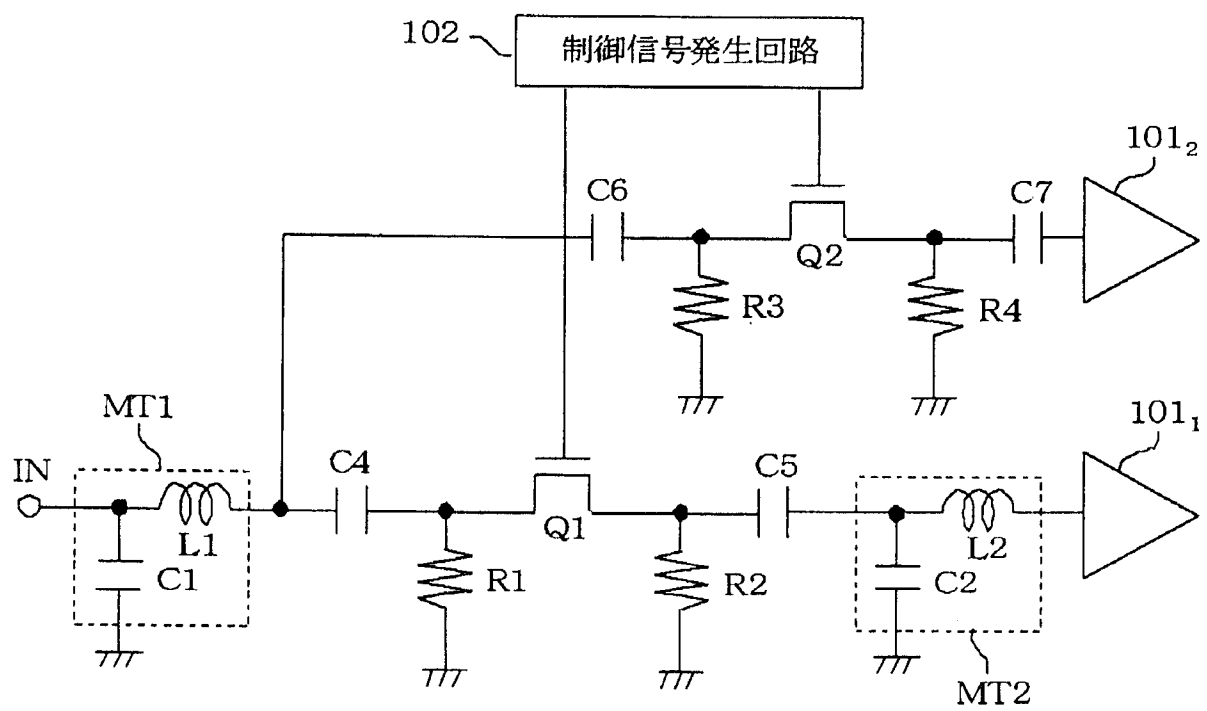
[図17]



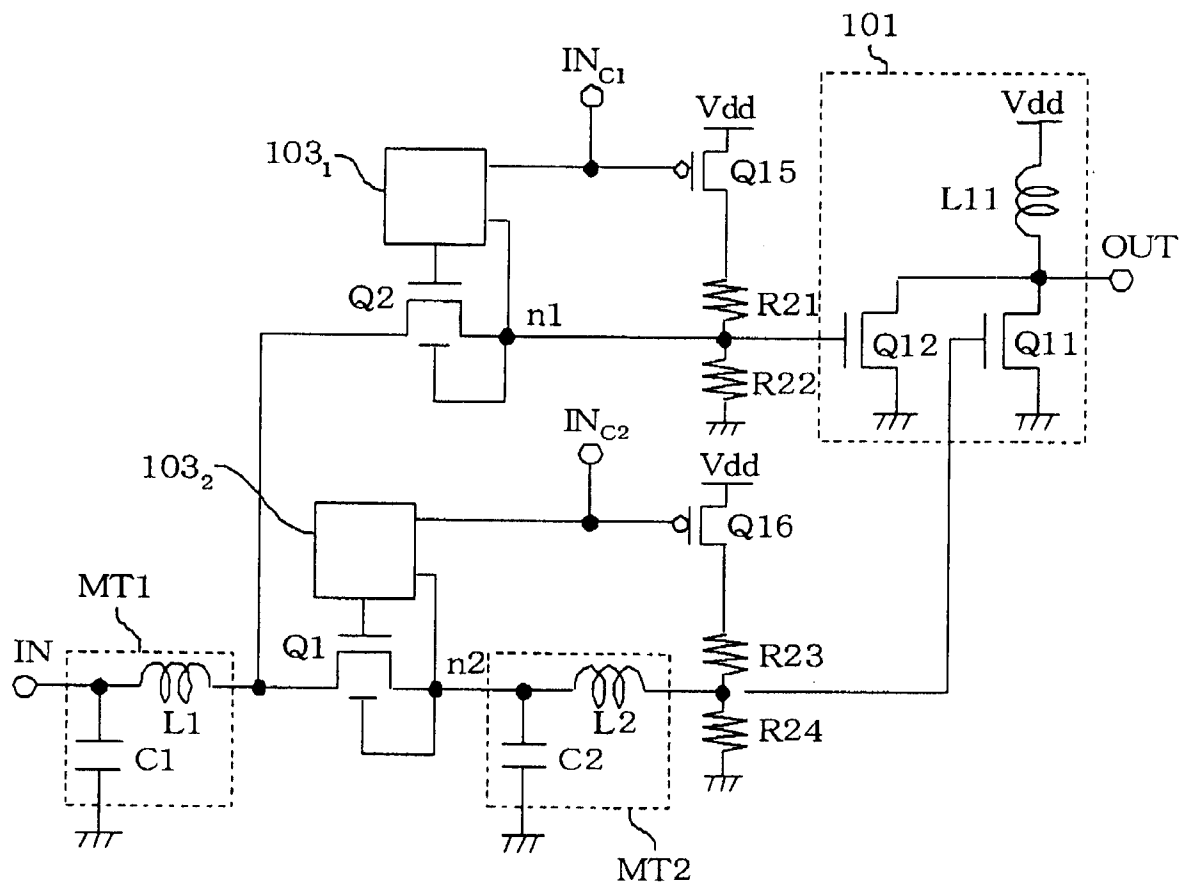
[図18]



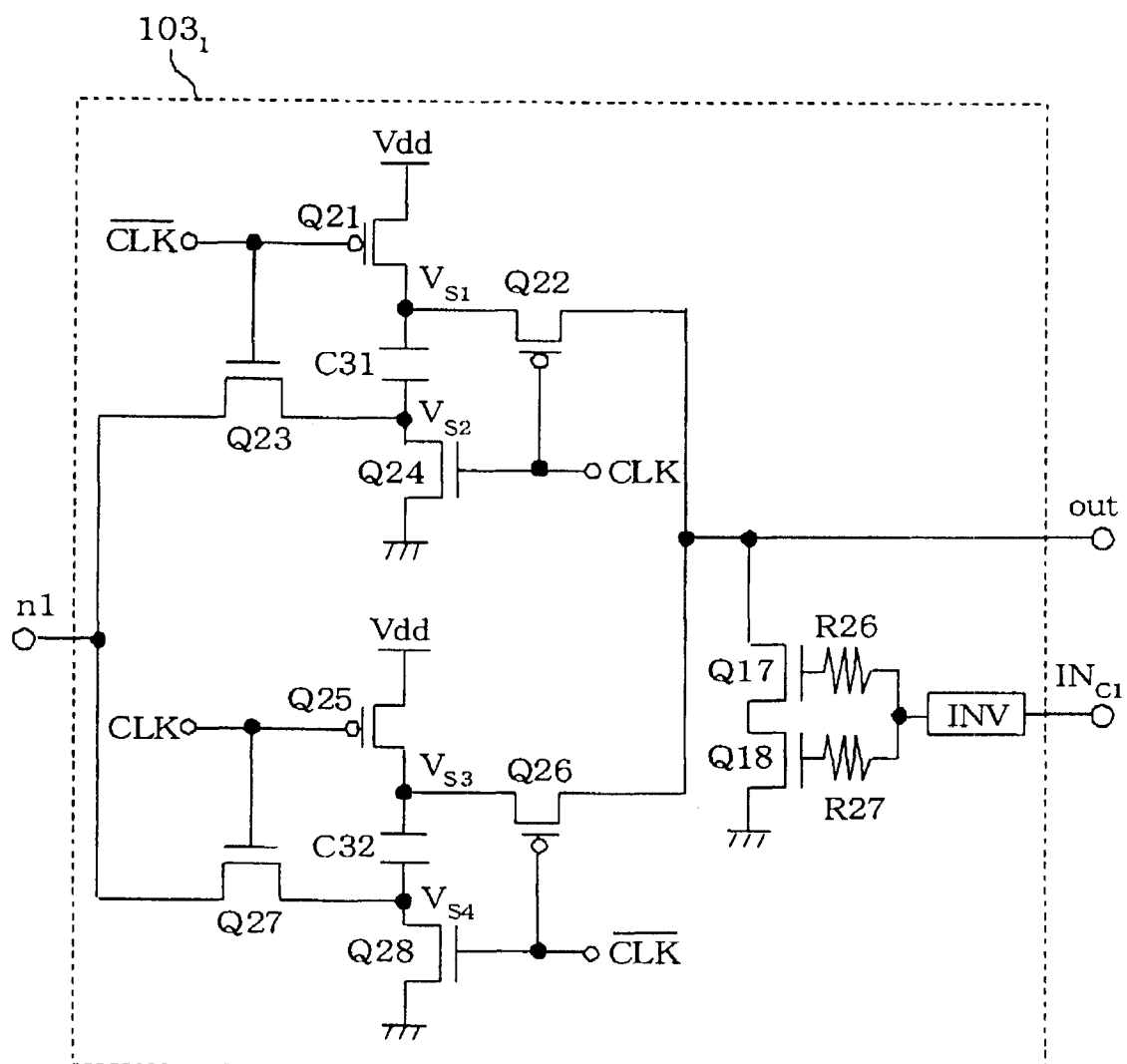
[図19]



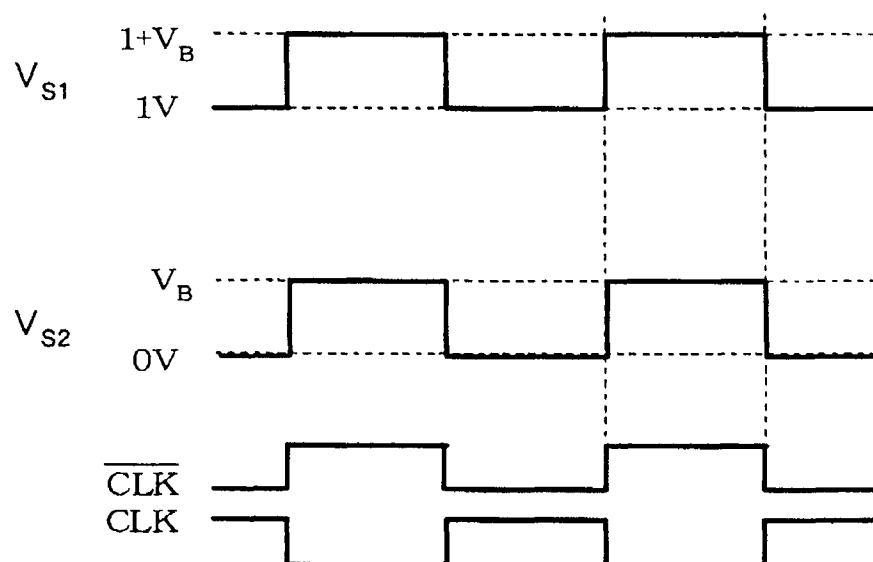
[図20]



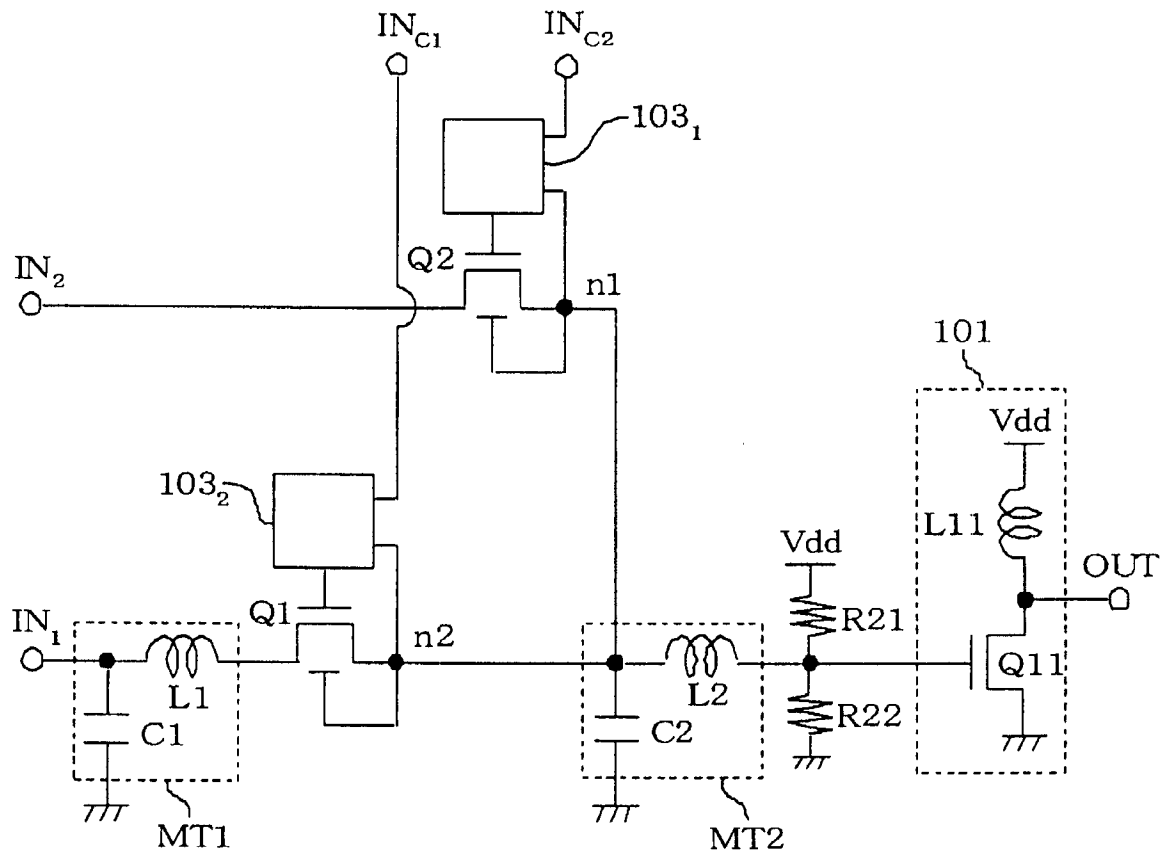
[図21]



[図22]



[図23]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/058807

A. CLASSIFICATION OF SUBJECT MATTER

H03F1/42(2006.01) i, H03F3/195(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03F1/42, H03F3/195

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2007
Kokai Jitsuyo Shinan Koho	1971-2007	Toroku Jitsuyo Shinan Koho	1994-2007

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2005/048448 A1 (NEC Corp.), 26 May, 2005 (26.05.05),	1, 2, 12, 13, 15, 16, 17
Y	Full text; all drawings (Family: none)	3-10, 14, 18-22
A		11
Y	JP 2006-87070 A (Matsushita Electric Industrial Co., Ltd.), 30 June, 2006 (30.06.06), Full text; all drawings & US 2006-0040629 A1 & CN 1738195 A	3-10, 14, 18-22
Y	JP 2002-368562 A (Matsushita Electric Industrial Co., Ltd.), 20 December, 2002 (20.12.02), Full text; all drawings (Family: none)	3-10, 14, 18-22

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
01 August, 2007 (01.08.07)

Date of mailing of the international search report
14 August, 2007 (14.08.07)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/058807

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2005-159803 A (Fujitsu Ltd.), 16 June, 2005 (16.06.05), Full text; all drawings & US 2005-0118971 A1	4-6, 8-10, 14, 18-22
Y	JP 2003-037478 A (NEC Yamagata, Ltd.), 07 February, 2003 (07.02.03), Full text; all drawings (Family: none)	8-10, 14, 18-22
Y	JP 07-079132 A (Murata Mfg. Co., Ltd.), 20 March, 1995 (20.03.95), Full text; all drawings (Family: none)	10, 11
Y	JP 04-167601 A (Motorola, Inc.), 15 June, 1992 (15.06.92), Full text; all drawings & US 5001524 A & EP 481113 B1 & DE 69029941 E	10, 11
Y	JP 2002-051538 A (Toshiba Corp.), 15 February, 2002 (15.02.02), Par. Nos. [0027] to [0039]; Figs. 7 to 10 & US 2001-0045569 A1	14, 18-22
Y	JP 2003-243954 A (Hitachi, Ltd.), 29 August, 2003 (29.08.03), Full text; all drawings & US 2003-0155973 A1	18-22

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/058807

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

The inventions of claims 1-3, 12, 15-22 relate to an amplifier.

The inventions of claims 4-7, 10, 11 relates to a variable attenuator.

The inventions of claims 8, 9, 13 relate to a switch.

The invention of claim 14 relates to a boosting circuit.

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☒ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest
the

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, payment of a protest fee..
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☐ No protest accompanied the payment of additional search fees.

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H03F1/42(2006.01)i, H03F3/195(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H03F1/42, H03F3/195

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 7 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 7 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 7 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	WO 2005/048448 A1 (日本電気株式会社) 2005.05.26, 全文、全図 (ファミリーなし)	1, 2, 12, 13, 15 , 16, 17
Y		3-10, 14, 18-22
A		11
Y	JP 2006-87070 A (松下電器産業株式会社) 2006.06.30, 全文、全図 & US 2006-0040629 A1 & CN 1738195 A	3-10, 14, 18-22

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 1 . 0 8 . 2 0 0 7

国際調査報告の発送日

1 4 . 0 8 . 2 0 0 7

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

野元 久道

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 7 6

5 W

9 1 8 4

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2002-368562 A (松下電器産業株式会社) 2002. 12. 20, 全文、全図 (ファミリーなし)	3-10, 14, 18-22
Y	JP 2005-159803 A (富士通株式会社) 2005. 06. 16, 全文、全図 & US 2005-0118971 A1	4-6, 8-10, 14, 18-22
Y	JP 2003-037478 A (山形日本電気株式会社) 2003. 02. 07, 全文、全図 (ファミリーなし)	8-10, 14, 18-22
Y	JP 07-079132 A (株式会社村田製作所) 1995. 03. 20, 全文、全図 (ファミリーなし)	10, 11
Y	JP 04-167601 A (モトローラ・インコーポレーテッド) 1992. 06. 15, 全文、全図 & US 5001524 A & EP 481113 B1 & DE 69029941 E	10, 11
Y	JP 2002-051538 A (株式会社東芝) 2002. 02. 15, 段落[0027]-[0039]、第7-10図 & US 2001-0045569 A1	14, 18-22
Y	JP 2003-243954 A (株式会社日立製作所) 2003. 08. 29, 全文、全図 & US 2003-0155973 A1	18-22

第Ⅱ欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（P C T 17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求の範囲 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、
2. ☐ 請求の範囲 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求の範囲 _____ は、従属請求の範囲であってP C T規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。
請求の範囲1－3，12，15－22は増幅器に関する発明である。
請求の範囲4－7，10，11は、可変減衰器に関する発明である。
請求の範囲8，9，13は、スイッチに関する発明である。
請求の範囲14は、昇圧回路に関する発明である。

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. ☒ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- ☐ 追加調査手数料の納付を伴う異議申立てがなかった。