

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2009-535752
(P2009-535752A)

(43) 公表日 平成21年10月1日(2009.10.1)

(51) Int.Cl.	F I	テーマコード (参考)
G 1 1 C 11/406 (2006.01)	G 1 1 C 11/34 3 6 3 L	5M024
G 1 1 C 11/403 (2006.01)	G 1 1 C 11/34 3 6 3 M	

審査請求 未請求 予備審査請求 未請求 (全 54 頁)

(21) 出願番号 特願2009-506872 (P2009-506872)
 (86) (22) 出願日 平成19年3月30日 (2007. 3. 30)
 (85) 翻訳文提出日 平成20年10月27日 (2008. 10. 27)
 (86) 国際出願番号 PCT/CA2007/000529
 (87) 国際公開番号 W02007/124558
 (87) 国際公開日 平成19年11月8日 (2007. 11. 8)
 (31) 優先権主張番号 11/412, 960
 (32) 優先日 平成18年4月28日 (2006. 4. 28)
 (33) 優先権主張国 米国 (US)

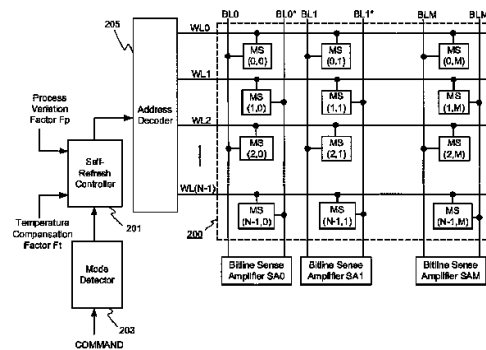
(71) 出願人 508034325
 モサイド・テクノロジーズ・インコーポレ
 ーテッド
 カナダ・オンタリオ・K 2 K ・ 2 X 1 ・ オ
 タワ・ハインズ・ロード・1 1 ・ スイート
 ・ 2 0 3
 (74) 代理人 100064908
 弁理士 志賀 正武
 (74) 代理人 100089037
 弁理士 渡邊 隆
 (74) 代理人 100108453
 弁理士 村山 靖彦
 (74) 代理人 100140534
 弁理士 木内 敬二

最終頁に続く

(54) 【発明の名称】 ダイナミックランダムアクセスメモリデバイス、および温度補償セルフリフレッシュを用いてメモ
 リセルをセルフリフレッシュする方法

(57) 【要約】

DRAMデバイスは、行×列のDRAMセルのアレイを有する。アレイの各DRAMセルが、対応する行のワード線および対応する列のビット線と結合される。セルフリフレッシュモードへのエントリ、およびそこからイグジットが、モード検出器により検出され、セルフリフレッシュモード信号がもたらされる。発振回路が、セルフリフレッシュモード信号に反応して、基本時間周期を生成する。第1の周波数分割器/時間周期乗算器が、基本時間周期を、DRAMデバイスに関するプロセス変動因子に従って変更する。第2の周波数分割器/時間周期乗算器が、変更された時間周期を、DRAMデバイスに関する温度変化因子に従ってさらに変更する。セルフリフレッシュモードでは、DRAMセル内に記憶されたデータがリフレッシュされる。DRAMデバイスは、この2つの因子に従って、可変なDRAMセル保持時間に対し信頼性の高いセルフリフレッシュを実施および達成する。



【特許請求の範囲】

【請求項1】

ダイナミックランダムアクセスメモリ(DRAM)デバイスであって、
 行×列の形で配列されたDRAMセルのアレイであって、前記アレイの各DRAMセルが、対応する行のワード線および対応する列のビット線に結合されたアレイと、
 セルフリフレッシュモードにおいて、基本時間周期に対応する前記DRAMセルのデータリフレッシュレートを制御するリフレッシュ回路であって、
 前記セルフリフレッシュモードへのエントリ、およびそこからイグジットを検出して、セルフリフレッシュモード信号をもたらすモード検出回路と、
 前記セルフリフレッシュモード信号にตอบสนองして発振信号を生成して、基本時間周期をもたらす発振回路と、
 前記基本時間周期を、前記DRAMデバイスに係するプロセス変動因子および前記DRAMデバイスに係する温度変化因子を含む、2つのリフレッシュ時間変更因子の一方にตอบสนองして変更して、変更された時間周期をもたらし、前記変更された時間周期を、他方のリフレッシュ時間変更因子にตอบสนองしてさらに変更して、セルフリフレッシュ用のさらに変更された時間周期をもたらすリフレッシュ時間変更回路と
 を備えるリフレッシュ回路と
 を備えるDRAMデバイス。

10

【請求項2】

前記リフレッシュ時間変更回路が、
 前記発振信号の前記反復周期を、前記一方のリフレッシュ時間変更因子にตอบสนองして変更して、前記変更された時間周期を有する第1の周期変更後信号をもたらす第1の変更回路と、
 前記第1の周期変更後信号の前記反復周期を、前記他方のリフレッシュ時間変更因子にตอบสนองして変更して、前記さらに変更された時間周期を有する第2の周期変更後信号をもたらす第2の変更回路と
 を備える、請求項1に記載のDRAMデバイス。

20

【請求項3】

前記第1の変更回路が、
 発振周波数を有する前記発振信号にตอบสนองして、第1組のm個の周波数信号を生成する第1の周波数生成回路であって、前記m個の周波数信号がそれぞれ、前記発振周波数に係する異なる周波数を有し、mが2以上の整数である第1の周波数生成回路と、
 前記第1組のm個の周波数信号から1つの信号を選択し、それにより、前記選択された信号が前記第1の周期変更後信号としてもたらされる、第1の選択回路と
 を備え、
 前記第2の変更回路が、
 前記第1の周期変更後信号にตอบสนองして、第2組のn個の周波数信号を生成する第2の周波数生成回路であって、前記n個の周波数信号がそれぞれ、前記発振信号に係する異なる周波数を有し、nが2以上の整数である第2の周波数生成回路と、
 前記第2組のn個の周波数信号から1つの信号を選択し、それにより、前記選択された信号が前記第2の周期変更後信号としてもたらされる、第2の選択回路と
 を備える、請求項2に記載のDRAMデバイス。

30

40

【請求項4】

前記第1の周波数生成回路が、
 前記発振周波数を第1のパラメータに従って分割して、前記第1組のm個の周波数信号を生成し、それにより前記第1の選択回路が、前記m個の分割された異なる周波数信号のうち1つの信号を選択する、第1の周波数分割回路
 を備え、
 前記第2の周波数生成回路が、
 前記第1の周期変更後信号の前記周波数を第2のパラメータに従って分割して、前記第

50

2組のn個の周波数信号を生成し、それにより前記第2の選択回路が、前記n個の分割された異なる周波数信号のうち1つの信号を選択する、第2の周波数分割回路を備える、請求項3に記載のDRAMデバイス。

【請求項5】

前記DRAMデバイスに関係するプロセス変動および前記DRAMデバイスに関係する温度変化という前記因子を提供する、因子提供回路をさらに備える、請求項4に記載のDRAMデバイス。

【請求項6】

前記因子提供回路が、

前記第1のパラメータを指定し、それにより前記第1の周波数生成回路が、前記発振信号の前記周波数を、前記指定された第1のパラメータに従って分割する、第1の因子提供器と

10

前記第2のパラメータを指定し、それにより前記第2の周波数生成回路が、前記第1の周期変更後信号の前記周波数を、前記指定された第2のパラメータに従って分割する、第2の因子提供器と

を備える、請求項5に記載のDRAMデバイス。

【請求項7】

前記第1の因子提供器が、

前記第1のパラメータを指定するためのプロセス変動符号を提供するプロセス変動提供器であって、前記プロセス変動符号が、DRAM特性を含む前記プロセス変動から得られるプロセス変動提供器

20

を備え、

前記第2の因子提供器が、

前記第2のパラメータを指定するための温度変化符号を提供する温度変化提供器であって、前記温度変化符号が、前記DRAMデバイスから感知された温度を含む温度変化から得られる温度変化提供器

を備える、請求項6に記載のDRAMデバイス。

【請求項8】

前記プロセス変動提供器が、

前記DRAM特性の複数の変動を表す前記プロセス変動符号を生成する、第1の生成器を備え、

30

前記温度変化提供器が、

感知された温度変動の複数の温度変化を表す前記温度変化符号を生成する、第2の生成器

を備える、請求項7に記載のDRAMデバイス。

【請求項9】

前記第1の生成器が、

前記複数の変動をデコードし、前記プロセス変動符号をもたらず、第1のデコーダを備え、

前記第2の生成器が、

40

前記複数の温度変化をデコードし、前記温度変化符号をもたらず、第2のデコーダを備える、請求項8に記載のDRAMデバイス。

【請求項10】

前記第1の選択回路が、

前記第1組の周波数信号の前記m通りの分割後周波数のうち1つを選択して、前記選択された信号を前記第1の周期変更後信号としてもたらず、第1の信号選択回路を備え、

前記第2の選択回路が、

前記第2組のn個の分割された周波数信号を多重化し、前記第2組の周波数信号の前記n通りの分割後周波数のうち1つを選択して、前記選択された信号を前記第2の周期変更後信

50

号としてもたらず、第2の信号選択回路を備える、請求項9に記載のDRAMデバイス。

【請求項11】

前記発振回路が作動される電圧を検出し、前記検出された電圧にตอบสนองして、前記発振回路に対するバイアス電圧を生成する電圧生成回路であって、安定した発振動作を実施するために、前記発振回路が前記バイアス電圧でバイアスされる電圧生成回路をさらに備える、請求項9に記載のDRAMデバイス。

【請求項12】

前記プロセス変動にตอบสนองして、前記電圧生成回路にตอบสนอง信号を供給し、したがって前記発振回路にตอบสนอง電圧がもたらされ、それにより前記発振回路が、前記ตอบสนอง電圧に従ってその発振周波数を変更する、プロセス変動応答回路をさらに備える、請求項11に記載のDRAMデバイス。

10

【請求項13】

前記プロセス変動提供器が、
 2^i を表し、 i が正または負の整数の前記指定された第1のパラメータである変動符号を提供する符号提供器であって、前記第1の周波数分割回路が前記発振周波数を 2^i で割る、符号提供器を備え、

前記温度変化提供器が、

2^j を表し、 j が前記指定された第2のパラメータであり、 j が正または負の整数である温度変化符号を提供する別の符号提供器であって、前記第2の周波数分割回路が前記第1の周期変更後信号の前記周波数を 2^j で割る、別の符号提供器を備える、請求項7に記載のDRAMデバイス。

20

【請求項14】

前記プロセス変動符号および前記温度変化符号にตอบสนองし、前記プロセス変動符号および前記温度変化符号が所定の特定の符号である場合に設定信号をもたらず、所定時間設定回路であって、前記設定信号が所定のリフレッシュ時間を設定する所定時間設定回路をさらに備える、請求項9に記載のDRAMデバイス。

【請求項15】

前記第1のデコーダが、
 前記複数の変動をデコードして、3ビットのプロセス変動符号をもたらずデコード回路を備え、

30

前記第2のデコーダが、

前記複数の温度変化をデコードして、2ビットの温度変化符号をもたらず別のデコード回路を備える、請求項9に記載のDRAMデバイス。

【請求項16】

前記第1のリフレッシュ時間変更因子提供器が、

前記第1のパラメータを指定するための温度変化符号を提供する温度変化提供器であって、前記温度変化符号が、前記DRAMデバイスから感知された温度を含む温度変化から得られる温度変化提供器を備え、

40

前記第2のリフレッシュ時間変更因子提供器が、

前記第2のパラメータを指定するためのプロセス変動符号を提供するプロセス変動提供器であって、前記プロセス変動符号が、DRAM特性を含む前記プロセス変動から得られるプロセス変動提供器を備える、請求項6に記載のDRAMデバイス。

【請求項17】

前記温度変化提供器が、

50

感知された温度変動の複数の温度変化を表す前記温度変化符号を生成する、第1の生成器を備え、

前記プロセス変動提供器が、

前記DRAM特性の複数の変動を表す前記プロセス変動符号を生成する、第2の生成器を備える、請求項16に記載のDRAMデバイス。

【請求項18】

前記第1の生成器が、

前記複数の温度変化をデコードし、前記温度変化符号をもたらず、第1のデコード回路を備え、

前記第2の生成器が、

前記複数の変動をデコードし、前記プロセス変動符号をもたらず、第2のデコード回路を備える、請求項17に記載のDRAMデバイス。

【請求項19】

前記第1の周波数生成回路が、

前記発振周波数を第1のパラメータに従って逡倍して、前記第1組のm個の周波数信号を生成し、それにより前記第1の選択回路が、前記m個の逡倍された異なる周波数信号のうち1つの信号を選択する、第1の周波数逡倍回路を備え、

前記第2の周波数生成回路が、

前記第1の周期変更後信号の前記周波数を第2のパラメータに従って逡倍して、前記第2組のn個の周波数信号を生成し、それにより前記第2の選択回路が、前記n個の逡倍された異なる周波数信号のうち1つの信号を選択する、第2の周波数逡倍回路を備える、請求項3に記載のDRAMデバイス。

【請求項20】

行×列の形で配列されたDRAMセルのアレイであって、前記アレイの各DRAMセルが、対応する行のワード線および対応する列のビット線に結合されたアレイを有する、セルフリフレッシュモードで動作可能なダイナミックランダムアクセスメモリ(DRAM)デバイスをセルフリフレッシュする方法であって、

前記セルフリフレッシュモードでイネーブルにされる、セルフリフレッシュモード信号をもたらずステップと、

前記セルフリフレッシュモード信号に応答して発振信号を生成して、基本時間周期をもたらずステップと、

前記基本時間周期を、前記DRAMデバイスに関するプロセス変動因子および前記DRAMデバイスに関する温度変化因子を含む、2つのリフレッシュ時間変更因子の一方に応答して変更して、変更された時間周期をもたらずステップと、

前記変更された時間周期を、他方のリフレッシュ時間変更因子に応答してさらに変更して、セルフリフレッシュ用のさらに変更された時間周期をもたらずステップとを含む方法。

【請求項21】

変更する前記ステップが、

前記発振信号の前記反復周期を、前記一方のリフレッシュ時間変更因子に従って変更して、前記変更された時間周期を有する第1の周期変更後信号をもたらずステップを含む、請求項20に記載の方法。

【請求項22】

さらに変更する前記ステップが、

前記第1の周期変更後信号の前記反復周期を、前記他方のリフレッシュ時間変更因子に従って変更して、前記さらに変更された時間周期を有する第2の周期変更後信号をもたら

10

20

30

40

50

すステップ

を含む、請求項21に記載の方法。

【請求項23】

前記発振信号の前記反復周期を変更する前記ステップが、
発振周波数を第1のパラメータに従って分割して、m通りの分割後周波数を有する第1組のm個の周波数信号を生成するステップ
を含む、請求項22に記載の方法。

【請求項24】

前記第1組のm個の周波数信号のうち1つを選択して、前記選択された信号を前記第1の周期変更後信号としてもたらずステップ
をさらに含む、請求項23に記載の方法。

10

【請求項25】

前記第1の周期変更後信号の前記反復周期を変更する前記ステップが、
前記第1の周期変更後信号の前記周波数を第2のパラメータに従って分割して、n通りの分割後周波数を有する第2組のn個の周波数信号を生成するステップ
を含む、請求項24に記載の方法。

【請求項26】

前記第2組のn個の周波数信号のうち1つを選択して、前記選択された信号を前記第2の周期変更後信号としてもたらずステップ
をさらに含む、請求項25に記載の方法。

20

【請求項27】

DRAM特性から得られるプロセス変動符号をもたらずステップと、
前記DRAMデバイスから感知された温度から得られる温度変化符号をもたらずステップと
をさらに含む、請求項25に記載の方法。

【請求項28】

前記発振信号の前記反復周期を変更する前記ステップが、
発振周波数を第1のパラメータに従って逡倍して、m通りの逡倍後周波数を有する第1組のm個の周波数信号を生成するステップ
を含む、請求項22に記載の方法。

【請求項29】

前記第1の周期変更後信号の前記反復周期を変更する前記ステップが、
前記第1の周期変更後信号の前記周波数を、第2のパラメータに従って逡倍して、n通りの逡倍後周波数を有する第2組のn個の周波数信号を生成するステップ
を含む、請求項24に記載の方法。

30

【請求項30】

行×列の形で配列されたDRAMセルのアレイであって、前記アレイの各DRAMセルが、対応する行のワード線および対応する列のビット線に結合されたアレイを有する、セルフリフレッシュモードおよび非セルフリフレッシュモードで選択的に動作可能なダイナミックランダムアクセスメモリ(DRAM)デバイスで使用する、セルフリフレッシュコントローラであって、

40

前記セルフリフレッシュモードへのエントリ、およびそこからのイグジットを検出して、セルフリフレッシュモード信号をもたらずモード検出回路と、

前記セルフリフレッシュモード信号に应答して発振信号を生成して、基本時間周期をもたらず発振回路と、

前記基本時間周期を、前記DRAMデバイスに関するプロセス変動、および前記DRAMデバイスに関する温度変化という2つのリフレッシュ時間変更因子の一方に应答して変更して、変更された時間周期をもたらし、前記変更された時間周期を、他方のリフレッシュ時間変更因子に应答してさらに変更して、セルフリフレッシュ用のさらに変更された時間周期をもたらずリフレッシュ時間変更回路と

を備える、セルフリフレッシュコントローラ。

50

【発明の詳細な説明】

【技術分野】

【0001】

本発明は一般に、半導体集積回路に関し、詳細には、セルフリフレッシュ機能付きのダイナミックランダムアクセスメモリデバイス、ダイナミックランダムアクセスメモリのデータ記憶セルをセルフリフレッシュする方法、およびダイナミックランダムアクセスメモリデバイスで使用するセルフリフレッシュコントローラに関する。

【背景技術】

【0002】

ダイナミックランダムアクセスメモリ(DRAM)集積回路デバイスでは、DRAMセルアレイは一般に行および列の形で配列され、したがって特定のDRAMセルが、アレイ内のその行および列を指定することによりアドレスされる。ワード線が、1行のセルを1組のビット線センスアンプに接続し、ビット線センスアンプが、セル内のデータを検出する。読出し動作では、データを出力するために、次いでセンスアンプ内のデータのサブセットが選択、または「行選択」される。DRAMセルは、一般に蓄積コンデンサ上の蓄積電荷の形をとる記憶されたデータが比較的短い時間の後に消失するという意味において、「ダイナミック」である。したがって、情報を保持するためには、DRAMセルの内容を定期的リフレッシュしなければならない。蓄積コンデンサの充電または放電状態を、個々のメモリセルに繰り返し与え直さなければならない。リフレッシュ動作間に許容可能な最大時間は、DRAMセルアレイを構成するコンデンサの電荷蓄積能力によって決まる。DRAM製造者は一般に、DRAMセル内のデータ保持を保証するリフレッシュ時間を規定している。

10

20

【0003】

リフレッシュ動作は、読出し動作に似ているが、ビット線センスアンプからデータが出力されない。センスアンプによりセル内のデータが感知された後に、再記憶動作が続き、その結果、データがセルに再度書き込まれる。したがって、データが「リフレッシュ」される。リフレッシュ動作は、ワード線を行アドレスに従ってイネーブルにし、センスアンプをイネーブルにすることによって実施される。さらに、リフレッシュ動作は、外部リフレッシュアドレスを受領せずにセンスアンプを作動させることによって実施することもできる。その場合、DRAMチップ内に組み込まれたリフレッシュアドレスカウンタが、外部開始アドレスを受領した後に行アドレスを生成する。

30

【0004】

一般に、リフレッシュ動作は、「自動リフレッシュ」および「セルフリフレッシュ」として分類することができる。自動リフレッシュ動作は、チップの動作中に、リフレッシュコマンドが定期的生成および受領されると行われる。自動リフレッシュ中、チップへの他のコマンドの受領は中断され、リフレッシュが実施される。次いでチップは、他のコマンドを受領し、そのコマンドに対して働くことが可能になる。セルフリフレッシュ動作は、スリープまたは待機モード時にDRAM内でリフレッシュ動作を、そのメモリセルに書き込まれたデータを保持するために実施するものである。当業者なら分かることであるが、スリープモードは一般に、動作が実行されない、または実行されないであろう、デバイスの低消費電力動作モードである。

40

【0005】

セルフリフレッシュ動作を実施するには、チップがいわゆる「スリープ」モードで動作しているときのデータ損失を防止するために、セルデータの定期的な内部読出し、およびそのデータの再書き込みが確立される。内部タイマが、セルフリフレッシュの頻度を制御する。セルフリフレッシュ制御回路は、内部発振器、周波数分割器、およびリフレッシュカウント要求ブロックから構成される。温度監視および可変リフレッシュレート制御回路を含めることができる。セルフリフレッシュ機能を有する既知のDRAM集積回路では、要求された場合に、デバイスが自動的にセルフリフレッシュモードに切り換えられて、セルフリフレッシュを実施する。

【0006】

50

高速動作および高密度の集積回路を得るために、90nm、65nm、および45nmなどのディープサブミクロンCMOSプロセスが導入され、それを使用して、多くの半導体ICデバイスが実装されている。それらのディープサブミクロンプロセスでは、MOSトランジスタが縮小され(すなわち、最小トランジスタ寸法が縮小され)、そのしきい値電圧(V_{th})が低下されている。しかし、しきい値電圧の低下により、大幅なサブスレッショルドリーク(すなわち、トランジスタゲート電圧がしきい値電圧未満の場合に存在するリーク電流)が生じ、したがって、そのような低下されたしきい値電圧に基づく半導体ICは、通常動作ならびに省電力モードの動作において、より多くの電力を消費する恐れがある。DRAMセルは、蓄積コンデンサをビット線に結合するための最小にサイズ設定されたアクセストランジスタを含むので、蓄積電荷が、そのアクセストランジスタを通じて蓄積コンデンサから急速にリークし得る。したがって、より頻繁な「セルフリフレッシュ」動作が必要である。

10

【0007】

図1Aは、従来型のDRAM内に見られるセルフリフレッシュコントローラを示し、図1Bは、図1Aに示すDRAMデバイスの信号に関する相対タイミングシーケンスを示す。図1Aおよび1Bを参照すると、「スリープ」モードとしても知られる「セルフリフレッシュ」モードを、コマンド信号111によってアクティブにすることができる。セルフリフレッシュエントリコマンド「SELF-REF ENTRY」を有するコマンド信号111にตอบสนองして、セルフリフレッシュモード検出器113が、セルフリフレッシュモード信号115をアクティブ「ハイ」(すなわち「ハイ」論理レベル電圧 V_{dd})になるようにイネーブルにする。「ハイ」セルフリフレッシュモード信号115にตอบสนองして、内部発振器117が始動されて、所定のパルス周期 T_{osc} およびパルス幅 T_{wosc} を有するセルフリフレッシュ発振信号119の生成が開始する。発振信号119は、セルフリフレッシュ要求生成器121によって他の信号と組み合わせられ、セルフリフレッシュ要求生成器121は、セルフリフレッシュ要求発振信号123を生成する。要求信号123は、内部行アドレスカウンタ125を、適切な内部行アドレスを有するアドレス信号127を生成するようにイネーブルにする。行アドレスデコーダ129が、内部行アドレスをデコードして、デコードされたアドレス信号131をもたらす、その結果、選択されたワード線がアクティブにされる。セルフリフレッシュモード検出器113が、コマンド信号111上でセルフリフレッシュイグジットコマンド「SELF-REF EXIT」を受領すると、セルフリフレッシュモード信号115が「ロー」(すなわち「ロー」論理レベル電圧 V_{ss})になり、内部発振器117がディスエーブルにされ、その結果、発振信号119の生成が中止される。それ以降、セルフリフレッシュ要求信号123はもはや、DRAMメモリセルをリフレッシュするためにもたらされない。

20

30

【0008】

従来型のDRAM内にあるセルフリフレッシュコントローラは、補償コントローラ141を含み、補償コントローラ141は、補償信号143を受領する。補償コントローラ141は、温度によって変わる広範なDRAMセル保持時間をカバーするように発振パルス周期 T_{osc} を調整するために、制御信号145を内部発振器117に供給する。一般には、温度が高いほど、高頻度のリフレッシュが必要になり、温度が低いほど、リフレッシュがそれほど頻繁に必要でなくなる。補償信号143がデバイス温度に対する変化の情報を含む場合、内部発振器117が、パルス周期 T_{osc} を調整または変更する。デバイス温度にตอบสนองして、(パルス周期 T_{osc} に直接関係する)セルフリフレッシュ反復レートが可変に制御される(「温度補償セルフリフレッシュ(TCSR)」)。したがって、セルフリフレッシュ反復レートは、電流リークがデバイスの温度次第であるため、デバイス温度が標準未満に低下すると、より長くなるように変更し、デバイス温度が標準より上に上昇すると、より短くなるように変更することができる。

40

【0009】

多様なタイプのメモリセルをDRAMセルとして使用することができる。例えば、金属-絶縁体-金属(MIM)セルが現在、メモリデバイスにおいて、特にロジックベース組込みメモリに関して使用されている。例えば、90nmプロセスの場合、トレンチセルベースのDRAMデバイスは、20fFという比較的大きなキャパシタンスを有する。一方、MIMコンデンサセルは

50

、6fFのキャパシタンスを有する。スタックトセルまたはトレンチセルとは異なり、MIMセルでは、小さなキャパシタンス、およびロジックベースのプロセスに固有の高リークのため、十分に長いリフレッシュ特性が確実にならない。したがって、MIMセルのリフレッシュ特性を強化するための努力がなされてきた。ロジック実装では、リフレッシュ特性および電流リークの不確実性により、DRAMチップ内の関連する論理ブロックを増加させることが困難である。現在、DRAMデバイスは、より長いバッテリー寿命が必要なモバイル製品において広く使用されている。モバイル製品では、バッテリー寿命を延長するために、TCSR機能が現在、補足的な特徴の1つとして急増しつつある。TCSR機能は、モバイル製品などの装置が受ける温度に基づいて、リフレッシュ時間周期を制御する。セルプロセスに由来する特性および環境温度は、リフレッシュ時間周期の変更をダイナミックに要求し得る、2つの別々の因子である。

10

【0010】

MIMセルのように、小さなキャパシタンスに制限されるメモリセルは、短時間にデータ極性を容易に損失し得る。したがって、関連する回路は、起こり得るあらゆるリフレッシュ時間特性をカバーするために、リフレッシュ時間周期を変更または調整する柔軟性を有すべきである。TCSR機能が特徴の1つとして採用される場合、この問題に対する解決策により、論理回路の総数およびその複雑さが増大する可能性がある。リフレッシュ時間は、温度に伴い指数的に悪化することがよく知られている。したがって、リフレッシュ時間周期を変更し得る2つの因子、すなわち温度、ならびに回避できないプロセス変動および欠陥に関連のある問題によって生じる固有のリフレッシュ特性がある。

20

【0011】

この問題は、(i)S. Takase等、「A 1.6-GByte/s DRAM with flexible mapping redundancy technique and additional refresh scheme」、IEEE Journal of Solid-State Circuits、vol. 34、1600~1606頁、1999年11月、IEEE Journal of Solid-State Circuits、(ii)Y. Idei等、「Dual-period self-refresh scheme for low-power DRAM's with on-chip PROM mode register」、IEEE Journal of Solid-State Circuits、vol. 33、253~259頁、1998年2月、および(iii)T. Tsuruda等、「High-speed/high-bandwidth design methodologies for on-chip DRAM core multimedia system LSI's」、IEEE Journal of Solid-State Circuits、vol. 32、477~482頁、1997年3月で扱われ、論じられている。それらは、セルリフレッシュ時間をどのように生成するか、またリークレベルおよび温度に応じたセルリフレッシュ時間の特性について示している。しかしそれらは、モバイル製品における主要な特徴であるTCSR問題について、また2つのリフレッシュ時間変更因子をどのように組み合わせるかについて、少しも述べていない。従来、TCSRおよびリフレッシュ時間特性は、別々の独立した解決策がそれぞれに伴う、別々の問題として見なされてきた。

30

【非特許文献1】S. Takase等、「A 1.6-GByte/s DRAM with flexible mapping redundancy technique and additional refresh scheme」、IEEE Journal of Solid-State Circuits、vol. 34、1600~1606頁、1999年11月、IEEE Journal of Solid-State Circuits

【非特許文献2】Y. Idei等、「Dual-period self-refresh scheme for low-power DRAM's with on-chip PROM mode register」、IEEE Journal of Solid-State Circuits、vol. 33、253~259頁、1998年2月

40

【非特許文献3】T. Tsuruda等、「High-speed/high-bandwidth design methodologies for on-chip DRAM core multimedia system LSI's」、IEEE Journal of Solid-State Circuits、vol. 32、477~482頁、1997年3月

【発明の開示】

【発明が解決しようとする課題】

【0012】

したがって、個別のロジック解決策によって生じる大きな面積ペナルティを伴わない、この2つの別々の問題に対する併合ロジック手法を提供することが望ましい。多様なリフレッシュ時間特性を備えたDRAMセルおよびTCSR機能を有するメモリデバイスを提供することが望ましい。

50

【課題を解決するための手段】

【0013】

改良されたダイナミックランダムアクセスメモリ(DRAM)デバイス、温度補償セルフリフレッシュ機能を用いてメモリセルをセルフリフレッシュする方法、およびダイナミックDRAMデバイス用のセルフリフレッシュコントローラを提供することが、本発明の一目的である。

【0014】

本発明の一態様によれば、行×列の形で配列されたDRAMセルのアレイ、およびセルフリフレッシュモードにおいてDRAMセルのデータリフレッシュレートを制御するリフレッシュ回路を含む、ダイナミックランダムアクセスメモリ(DRAM)デバイスが提供される。アレイの各DRAMセルは、対応する行のワード線および対応する列のビット線に結合される。

10

【0015】

リフレッシュ回路は、セルフリフレッシュモードへのエントリ、およびそこからイグジットを検出して、セルフリフレッシュモード信号をもたらす、モード検出回路を含む。また、リフレッシュ回路は、セルフリフレッシュモード信号に 응답して発振信号を生成して、基本時間周期をもたらす発振回路も含む。さらに、リフレッシュ回路は、基本時間周期を、DRAMデバイスに関するプロセス変動、およびDRAMデバイスに関する温度変化という2つのリフレッシュ時間変更因子の一方に 응답して変更して、変更された時間周期をもたらす、リフレッシュ時間変更回路も含む。リフレッシュ時間変更回路は、変更された時間周期を、他方のリフレッシュ時間変更因子に 응답してさらに変更して、セルフリフレッシュ用のさらに変更された時間周期をもたらす。

20

【0016】

例えば、リフレッシュ時間変更回路は、第1および第2の変更回路を含む。第1の変更回路は、発振信号の反復周期を、一方のリフレッシュ時間変更因子に 응답して変更し、変更された時間周期を有する第1の周期変更後信号をもたらす。第2の変更回路は、第1の周期変更後信号の反復周期を、他方のリフレッシュ時間変更因子に 응답して変更し、さらに変更された時間周期を有する第2の周期変更後信号をもたらす。したがって、基本時間周期が、第1および第2の変更回路によって変更されて、アレイのDRAMセルをセルフリフレッシュするためのさらに変更された時間周期がもたらされる。

【0017】

有利には、第1の変更回路は、発振周波数を有する発振信号に 응답して第1組のm個の周波数信号を生成する、第1の周波数生成回路を含む。m個の周波数信号はそれぞれ、発振周波数に関する異なる周波数を有し、ただしmは2以上の整数である。また、第1組のm個の周波数信号から1つの信号を選択し、それにより、選択された信号が第1の周期変更後信号としてもたらされる、第1の選択回路も含まれる。

30

【0018】

第2の変更回路は、第1の周期変更後信号に 응답して第2組のn個の周波数信号を生成する、第2の周波数生成回路を含む。n個の周波数信号はそれぞれ、発振信号に関する異なる周波数を有し、ただしnは2以上の整数である。また、第2組のn個の周波数信号から1つの信号を選択し、それにより、選択された信号が第2の周期変更後信号としてもたらされる、第2の選択回路も含まれる。

40

【0019】

例えば、第1の周波数生成回路は、発振周波数を第1のパラメータに従って分割し、第1組のm個の周波数信号を生成する、第1の周波数分割回路を含む。第1の選択回路が、m個の分割された異なる周波数信号のうち1つの信号を選択する。第2の周波数生成回路は、第1の周期変更後信号の周波数を第2のパラメータに従って分割して、第2組のn個の周波数信号を生成する、第2の周波数分割回路を含む。第2の選択回路が、n個の分割された異なる周波数信号のうち1つの信号を選択する。

【0020】

有利には、DRAMデバイスは、DRAMデバイスに関するプロセス変動およびDRAMデバイス

50

に關係する温度変化という因子を提供する、因子提供回路を有する。例えば、因子提供回路は、第1および第2のパラメータを指定するための、第1および第2の因子提供器を含む。第1の周波数生成回路が、発振信号の周波数を、指定された第1のパラメータに従って分割する。第2の周波数生成回路が、第1の周期変更後信号の周波数を、指定された第2のパラメータに従って分割する。

【0021】

有利には、第1の因子提供器は、第1のパラメータを指定するためのプロセス変動符号を提供する、プロセス変動提供器を含む。プロセス変動符号は、DRAM特性を含むプロセス変動から得られる。第2の因子提供器は、第2のパラメータを指定するための温度変化符号を提供する、温度変化提供器を含む。温度変化符号は、DRAMデバイスから感知された温度変化から得られる。プロセス変動提供器は、DRAM特性の複数の変動を表すプロセス変動符号を生成する、第1の生成器を含む。温度変化提供器は、感知された温度変動の複数の温度変化を表す温度変化符号を生成する、第2の生成器を含む。

10

【0022】

例えば、第1の生成器は、複数の変動をデコードしてプロセス変動符号をもたらす、第1のデコーダを含む。第2の生成器は、複数の温度変化をデコードして温度変化符号をもたらす、第2のデコーダを含む。第1の選択回路は、第1組の周波数信号のm通りの分割後周波数のうち1つを選択して、選択された信号を第1の周期変更後信号としてもたらず、第1の信号選択回路を含む。第2の選択回路は、第2組の周波数信号のn通りの分割後周波数のうち1つを選択して、選択された信号を第2の周期変更後信号としてもたらず、第2の信号選択回路を含む。

20

【0023】

例えば、プロセス変動提供器は符号提供器を含み、符号提供器は、 2^i を表し、 i が正または負の整数の指定された第1のパラメータである変動符号を提供する。第1の周波数分割回路が、発振周波数を 2^i で割る。温度変化提供器は別の符号提供器を含み、別の符号提供器は、 2^j を表し、 j が正または負の整数の指定された第2のパラメータである温度変化符号を提供する。第2の周波数分割回路が、第1の周期変更後信号の周波数を 2^j で割る。

【0024】

あるいは、第1の周波数分割回路と第2の周波数分割回路を交換することもできる。したがって、基本時間周期がまず、温度変化に従って周波数分割器により分割され、その後、周波数分割された信号が、プロセス変動に従ってさらに分割される。

30

【0025】

周波数生成回路は、逡倍された周波数および分割された反復周期を有する出力信号をもたらす、周波数逡倍器を含んでもよい。この回路によって、基本時間周期が分割され、したがって、分割されたリフレッシュ周期がもたらされる。

【0026】

別の態様では、行×列の形で配列されたDRAMセルのアレイであって、アレイの各DRAMセルが、対応する行のワード線および対応する列のビット線に結合されたアレイを有するダイナミックランダムアクセスメモリ(DRAM)デバイスを、セルフリフレッシュする方法が提供される。このDRAMデバイスは、セルフリフレッシュモードおよび非セルフリフレッシュモードで動作可能である。この方法によって、セルフリフレッシュモード信号がもたらされる。この信号は、セルフリフレッシュモードおよび非セルフリフレッシュモードでそれぞれ、イネーブルおよびディスエーブルにされる。

40

【0027】

セルフリフレッシュモード信号に回答して発振信号が生成されて、基本時間周期がもたらされる。基本時間周期は、DRAMデバイスに關係するプロセス変動、およびDRAMデバイスに關係する温度変化という2つのリフレッシュ時間変更因子の一方に回答して変更される。変更された時間周期がもたらされる。変更された時間周期は、他方のリフレッシュ時間変更因子に回答してさらに変更されて、セルフリフレッシュ用のさらに変更された時間周期がもたらされる。

50

【0028】

有利には、発振信号の反復周期が、一方のリフレッシュ時間変更因子に従って変更される。変更された時間周期を有する第1の周期変更後信号がもたらされる。第1の周期変更後信号の反復周期が、他方のリフレッシュ時間変更因子に従ってさらに変更される。さらに変更された時間周期を有する第2の周期変更後信号がもたらされる。

【0029】

例えば、発振周波数が第1のパラメータに従って分割されて、m通りの分割後周波数を有する、第1組のm個の周波数信号が生成される。m通りの分割後周波数を有する第1の周波数信号のうち1つが選択されて、選択された信号が、第1の周期変更後信号としてもたらされる。

10

【0030】

有利には、第1の周期変更後信号の周波数が第2のパラメータに従って分割されて、n通りの分割後周波数を有する第2組のn個の周波数信号が生成される。第2の周波数信号のうち1つが選択されて、選択された信号が、第2の周期変更後信号としてもたらされる。

【0031】

別の態様では、行×列の形で配列されたDRAMセルのアレイであって、アレイの各DRAMセルが、対応する行のワード線および対応する列のビット線に結合されたアレイを有する、セルフリフレッシュモードおよび非セルフリフレッシュモードで選択的に作動されるダイナミックランダムアクセスメモリ(DRAM)デバイスで使用する、セルフリフレッシュコントローラが提供される。セルフリフレッシュコントローラは、セルフリフレッシュモードへのエントリ、およびそこからのイグジットを検出して、セルフリフレッシュモード信号をもち、モード検出回路と、セルフリフレッシュモード信号に応答して発振信号を生成して、基本時間周期をもち発振回路と、基本時間周期を、DRAMデバイスに関係するプロセス変動、およびDRAMデバイスに関係する温度変化という2つのリフレッシュ時間変更因子の一方に応答して変更して、変更された時間周期をもち、変更された時間周期を、他方のリフレッシュ時間変更因子に応答してさらに変更して、セルフリフレッシュ用のさらに変更された時間周期をもち、リフレッシュ時間変更回路を含む。

20

【0032】

リフレッシュ時間周期の変更に関する2つの因子、すなわち温度、ならびに回避できないプロセス変動および欠陥に関連のある問題によって生じる固有のリフレッシュ特性がある。本発明の諸実施形態によれば、DRAMデバイス、ならびに温度および固有のリフレッシュ特性という2つのリフレッシュ時間変更因子の組合せに対する広範なリフレッシュ時間制御を用いて、メモリセルをセルフリフレッシュする方法が提供される。

30

【0033】

本発明の他の態様および特徴は、本発明の特定の実施形態に関する以下の説明を、添付の図と併せて精査すればすぐに、当業者に明らかとなるであろう。

【0034】

ここで、本発明の諸実施形態を、単に例として、添付の図を参照して説明する。

【発明を実施するための最良の形態】

【0035】

本発明のサンプル実施形態に関する以下の詳細な説明では、本明細書の一部をなし、本発明を実施することができる特定のサンプル実施形態を例として示す、添付の図面を参照されたい。それらの実施形態は、当業者が本発明を実施することが可能になるのに十分なほど詳細に説明される。他の実施形態を利用することができ、本発明の範囲から逸脱することなく、論理的変更、電気的変更、および他の変更を行うことができることを理解されたい。したがって、以下の詳細な説明は、限定的な意味に解釈すべきではなく、本発明の範囲は、添付の特許請求の範囲によって定義される。

40

【0036】

全体として、本発明は、ダイナミックランダムアクセスメモリ(DRAM)デバイス内に含まれるアレイ内のメモリセルのセルフリフレッシュを実現する。DRAMデバイスは、個別部品

50

でも、より大きなシステムに組み込まれてもよい。

【0037】

前述のように、図1Aに示す従来技術のDRAMデバイスは、セルフリフレッシュ周期中にセルフリフレッシュ動作を実施する。広範なセルフリフレッシュタイムオプションにより、周波数分割器を用いてセルフリフレッシュパルス周期を選択できる場合、セルフリフレッシュパルス周期は、プロセス変動によって指示される範囲内で調整される。従来手法では、プロセス変動の調整は、好ましいセルフリフレッシュ値が使用されるように、許容できる時間周期変動内で適切なリフレッシュ時間を達成することである。

【0038】

本発明による一実施形態は、例えば122ns~7808nsまでのセルフリフレッシュパルス周期を、プロセス変動に従って調整機能を実施する周波数分割器を用いて選択するための、広範なセルフリフレッシュ時間オプションを提供する。したがって、本実施形態は、セルの特性変動を含む、リフレッシュ時間カバレッジの範囲を効果的に拡張する。リフレッシュ時間というセル特性に基づき、セルフリフレッシュ時間値を、温度補償セルフリフレッシュ(TCSR)機能と協同して変更することができる。一実施形態では、セルフリフレッシュ時間を、最初にプロセス変動にまず応答し、さらに感知された温度に応答して、調整することができる。別の実施形態では、セルフリフレッシュ時間値を、まず感知された温度に応答し、さらにプロセス変動に応答して、調整することができる。

【0039】

次に、本発明による諸実施形態を、DRAMデバイス、特にアレイ内のDRAMセルをセルフリフレッシュするリフレッシュコントローラの文脈において説明する。

【0040】

図2Aは、本発明の一実施形態によるDRAMデバイスを示す。図2Bは、図2Aに示すセルフリフレッシュコントローラを示す。図2Aおよび2Bを参照すると、DRAMセルのアレイ200は、複数のワード線WL0~WL(N-1)、ならびに複数のビット線BL0およびBL0*~BLMおよびBLM*を有する。N行×(M+1)列のアレイ200は、データビットを記憶し、リフレッシュされる、複数のDRAMセルMS(すなわちMS(0,0)~MS(N-1,M))を含む。例えば、Nは4096であり、アレイ200は、ワード線WL0~WL4095を有する。各DRAMセルは、アクセストランジスタおよび電荷蓄積コンデンサ(図示せず)を含む。複数のビット線センスアンプSA0~SAMが、アレイ200と結合される。ビット線は、折返しビット線(相補型ビット線の対)として構成され、BL0、BL0*~BLM、BLM*の各相補型ビット線対が、対応するビット線センスアンプに接続される。ビット線センスアンプSA0~SAMは、1対のそれぞれに対応する列アドレスタランジスタ(図示せず)を通じて、データバス(図示せず)に接続される。列アドレスタランジスタの各対は、アレイ200へのデータアクセスが必要なときに、それぞれに対応する列アドレス信号によってアクティブにされる。説明において、「*」は、反転論理または反対論理を意味する。

【0041】

DRAMセルのアレイ200では、リフレッシュ行アドレス信号が、例えば(N+1)ビット信号で表される。アドレスは、アドレスデコーダ205によってデコードされ、デコードされたアドレスにより、行アドレス指定が制御される。各メモリセルは、関連するワード線、および相補型ビット線対の1本のビット線と結合される。それぞれに対応する相補型ビット線対に接続されたビット線センスアンプを通じて、データを読み出すことができる。読出し動作では、ワード線がアクティブにされ、ビット電荷が、関連するビット線と共有される。列アドレスに従って、ビット線上の全論理レベルがデータバスに印加される。

【0042】

アレイ200のセルは、セルフリフレッシュ動作モードにおいてリフレッシュされる。アレイ200のDRAMセルのリフレッシュ動作は、セルフリフレッシュコントローラ201、およびCOMMAND信号に応答して、セルフリフレッシュモードへのエントリ、およびそこからのイグジットを検出するモード検出器203によって実施される。検出されたセルフリフレッシュエントリおよびイグジットに基づいて、セルフリフレッシュエントリとイグジットの間

10

20

30

40

50

の時間周期が決まる。行アドレスに应答して、セルフリフレッシュ動作が実施されて、アレイ200内のDRAMセルがリフレッシュされる。

【0043】

セルフリフレッシュコントローラ201には、(プロセス変動因子 F_p で表される)プロセス変動、および(温度補償因子 F_t で表される)温度変化が与えられ、セルフリフレッシュモード中にDRAMセル内に記憶されたデータのセルフリフレッシュを制御するための時間を変更する。プロセス変動は、例えば、製造プロセスに伴って変動し得るDRAMデバイスの特性を表す。温度変化は、例えば、DRAMデバイス自体から感知され、動作条件に伴って変動し得る。

【0044】

検出されたセルフリフレッシュエントリおよびイグジットに应答して、セルフリフレッシュコントローラ201の基本時間生成器206が、反復周期または基本時間周期 T_{osc} を含み、かつ発振周波数 $F_{osc}(=1/T_{osc})$ を有する発振信号を生成する。基本時間周期 T_{osc} は、プロセス変動ベース乗算因子 K_p に従って、(周波数分割器および時間周期乗算器を含む)第1の時間変更器207により乗算される。第1の時間変更器207は、プロセス変動因子 F_p に従って、乗算された時間周期 $T_{osc1}(K_p \times T_{osc})$ を含み、かつ分割された周波数 $F_{osc1}(=F_{osc}/K_p=1/T_{osc1})$ を有する周波数分割後発振信号をもたらす。乗算された時間周期 T_{osc1} は、温度補償ベース乗算因子 K_t に従って、(周波数分割器および時間周期乗算器を含む)第2の時間変更器209によりさらに乗算される。第2の時間変更器209は、さらに乗算された時間周期 $T_{osc2}(=K_t \times T_{osc1})$ を含み、かつさらに分割された周波数 $F_{osc2}(=F_{osc1}/K_t=1/T_{osc2})$ を有する、さらに周波数分割された発振信号をもたらす。さらに周波数分割された発振信号が、アドレスデコーダ205に、セルフリフレッシュ用に供給される。したがって、DRAMデバイスでは、初めに生成された基本時間周期 T_{osc} が、まず第1の時間変更器207によって分割され、次いで、第2の時間変更器209によってさらに分割される。したがって、第1の調整機能が、プロセス変動因子 F_p に従って実施され、調整された時間周期に基づく更なる調整機能が、温度補償因子 F_t に従って実施される。したがって、より広範な調整が、2ステップ時間変更によって達成される。

【0045】

図3Aおよび3Bは、本発明の一実施形態によるDRAMデバイスを示す。図4は、図3Aおよび3Bに示すDRAMデバイスの信号に関するタイミングシーケンスを示す。図5は、図3Aおよび3Bに示す第1および第2のリフレッシュ時間変更器を示す。第1および第2のリフレッシュ時間変更器はそれぞれ、周波数分割器およびマルチプレクサからなる。第1および第2のリフレッシュ時間変更器のマルチプレクサ論理は、NANDゲートおよびトランスマッションゲートによって実施される。

【0046】

図3~5を参照すると、「スリープ」モードとしても知られる「セルフリフレッシュ」モードを、メモリコントローラ(図示せず)によりもたらされるコマンド信号211によってアクティブにすることができる。セルフリフレッシュエントリコマンド「SELF-REF ENTRY」を有するコマンド信号211に应答して、セルフリフレッシュモード検出器213が、セルフリフレッシュモード信号215を、アクティブ「ハイ」(すなわち「ハイ」論理レベル電圧 V_{dd})になるように、(時刻 T_1 において)イネーブルにする。「ハイ」セルフリフレッシュモード信号215に应答して、基本時間周期生成器217が始動されて、基本発振信号 F_{bo} (例えば8.2MHz)、および基本時間周期 T_{bp} (例えば122ns)を有する基本発振信号219の生成が開始する。

【0047】

基本発振信号219は、第1のリフレッシュ時間変更器221に供給される。第1のリフレッシュ時間変更器221は、分割された周波数 F_{do1} および乗算された周期 T_{mp1} を有する第1の周波数分割後信号223を、第2のリフレッシュ時間変更器225に供給する。第2のリフレッシュ時間変更器225は、さらに分割された周波数 F_{do2} およびさらに乗算された周期 T_{mp2} を有する、さらに周波数分割され、多重化された信号を、セルフリフレッシュ要求信号227としてもたらす。セルフリフレッシュ要求信号227に应答して、内部行アドレスカウンタ229が、

適切な内部行アドレスを有するアドレス信号231を生成する。行アドレスデコーダ233が、内部行アドレスをデコードして、デコードされたアドレス信号235をもたらす。その結果、DRAMセルアレイ237の選択されたワード線がアクティブにされる。DRAMセルアレイ237は、図2Aに示すアレイ200と類似の構造を有する。

【0048】

セルフリフレッシュモード検出器213が、コマンド信号211上でセルフリフレッシュイグジットコマンド「SELF-REF EXIT」を受領すると、セルフリフレッシュモード信号215が「ロー」(すなわち「ロー」論理レベル電圧 V_{ss})になり、基本時間周期生成器217がディスエーブルにされ、その結果、(時刻 T_2 において)基本発振信号219の生成が中止される。したがって、セルフリフレッシュモード信号215がディスエーブルにされる。それ以降、次のセルフリフレッシュコマンドがもたらされるまで、セルフリフレッシュ要求信号227はもはや、DRAMメモリセルのセルフリフレッシュを実施するために供給されない。動作モードは、時刻 T_1 の前かつ時刻 T_2 の後では「通常モード」と呼ばれ、時刻 T_1 と時刻 T_2 の間では「セルフリフレッシュモード」と呼ばれる。高論理レベル電圧 V_{dd} および低論理レベル電圧 V_{ss} は、電源電圧線およびグランドレベル電圧線を通じて供給される。

10

【0049】

電圧検出器212は、電力検出機能を実施し、それにより、検出された電力信号214に含まれる電力安定信号 $Spwo$ および電力低下信号 $Spdn$ がもたらされる。DRAMデバイスに供給される電源電圧 V_{dd} が、所望の動作電圧レベルで安定している間、電力安定信号 $Spwo$ がもたらされて、通常発振動作が実施される。電圧 V_{dd} が大きく減少すると、電力低下信号 $Spdn$ がもたらされて、通常発振動作が中止される。電力安定信号 $Spwo$ および電力低下信号 $Spdn$ は、バイアス電圧生成器247に供給される。

20

【0050】

プロセス変動特性提供器210が、プロセス変動値信号241、周期値信号251、およびリフレッシュ周期値信号261をもたらす。リフレッシュ周期値信号261は、プロセス変動関連値を含み、プロセス変動関連値は、リフレッシュ時間特性「 r_{fc0} 」、「 r_{fc1} 」および「 r_{fc2} 」(すなわち3ビット)である。プロセス変動値信号241は、プロセス変動関連値「 r_{fc3} 」(すなわち1ビット)を含む。周期値信号251は、プロセス変動関連値「 r_{fc4} 」(すなわち1ビット)を含む。プロセス変動関連値を提供することは、既知の技法である。

【0051】

30

リフレッシュ周期値信号261は、プロセス変動因子 F_{pv} に従ってもたらされる。リフレッシュ周期セクタ263が、因子 F_{pv} を、プロセス変動因子信号265としてのプロセス変動ベースパラメータ P_i にデコードする。第1のリフレッシュ時間変更器221の発振信号周波数分割器285が、 m 通りの分割後周波数を有する1組の周波数分割後信号(周波数分割後発振信号286)を生成し、ただし m は2以上の整数、例えば7である。

【0052】

プロセス変動値信号241は、プロセス変動モニタ243に供給され、プロセス変動モニタ243は、プロセス変動監視後信号245を、バイアス電圧生成器247に供給する。プロセス変動モニタ243は、プロセス変動値信号241内に含まれるプロセス変動(プロセス変動関連値「 r_{fc3} 」)を監視し、プロセス変動監視後信号245を生成する。プロセス変動監視後信号245および電力安定信号 $Spwo$ および電力低下信号 $Spdn$ に反応して、バイアス電圧生成器247が、 p チャネルゲート電圧 V_{gp} および n チャネルゲート電圧 V_{gn} を含むバイアス電圧信号249を生成し、 V_{gp} および V_{gn} が、基本時間周期生成器217に供給される。

40

【0053】

周期値信号251(プロセス変動関連値「 r_{fc4} 」)は、基本時間周期コントローラ253に供給され、基本時間周期コントローラ253は、周期制御信号255を基本時間周期生成器217に供給する。プロセス変動関連値「 r_{fc4} 」は、DRAMデバイスのセルのキャパシタンス値に係る。例えばセルは、比較的大きなリークを有するMIMセルである。したがって、周期制御信号255は、コンデンサ基準電圧 V_{cap} を含む。周期値信号251内に含まれるキャパシタンス変動に反応して、基本時間周期コントローラ253が、コンデンサ基準電圧 V_{cap} を生成し

50

、それが基本時間周期生成器217に供給される。

【0054】

リフレッシュ時間特性「rfc0」、「rfc1」および「rfc2」というプロセス変動関連値を含む、3ビットからなるリフレッシュ周期値信号261は、リフレッシュ周期セクタ263に供給され、リフレッシュ周期セクタ263は、プロセス変動因子信号265を、第1のリフレッシュ時間変更器221に供給する。プロセス変動因子信号265は、周波数分割および時間周期乗算用のプロセス変動ベースパラメータ P_i を含む。プロセス変動因子信号265は、プロセス変動-周波数分割信号266dv、およびプロセス変動-多重化信号267mxを含む。プロセス変動-周波数分割信号266dvは、発振信号周波数分割器285に供給され、プロセス変動-多重化信号267mxは、選択コントローラ287に供給される。プロセス変動因子信号265に
10 応答して、第1のリフレッシュ時間変更器221が基本時間周期 T_{bp} を変更して、第1の周波数分割後信号223を第2のリフレッシュ時間変更器225に供給する。プロセス変動因子信号265の一部に対応する多重化信号283も、選択コントローラ287から第2のリフレッシュ時間変更器225に供給される。

【0055】

温度補償セルフリフレッシュ(TCSR)を達成するために、DRAMデバイス内の、好ましくは既知の回路素子を使用して組み込まれた温度センサ271が、そこから感知された温度または温度変化に対応する温度信号273をもたらす。温度信号273に
20 応答して、TCSRリクエスト275が、TCSR信号277をTCSRデコーダ279に供給し、TCSRデコーダ279は、温度補償因子信号281を、第2のリフレッシュ時間変更器225に供給する。温度補償因子信号281は、周波数分割および時間周期乗算用の温度補償ベースパラメータ P_j を含む。温度補償因子信号281は、温度補償-周波数分割信号282dv、および温度補償-多重化信号284mxを含む。温度補償-周波数分割信号282dv、温度補償-多重化信号284mx、および多重化信号283に
25 応答して、第2のリフレッシュ時間変更器225が、第1の周波数分割後信号223の周波数を変更して、さらに分割された周波数を有するセルフリフレッシュ要求信号227をもたらす。セルフリフレッシュ要求信号227は、基本時間周期 T_{bp} の、さらに分割された周波数または乗算された時間周期を含む。

【0056】

温度補償因子信号281およびプロセス変動因子信号265は、デフォルトコントローラ276に供給され、デフォルトコントローラ276は、デフォルト信号278を第2のリフレッシュ時間
30 変更器225に供給することができる。デフォルト信号は、0.5msの最小リフレッシュ時間を表す。第2のリフレッシュ時間変更器225が、(最小リフレッシュ時間である)デフォルト動作に従ってセルフリフレッシュ要求信号227をもたらす。したがって、内部行アドレスカウンタ229が、リフレッシュ時間 T_{rf} のデフォルト設定値を設定する。

【0057】

TCSRリクエスト275が、温度補償因子 F_{tc} に従ってTCSR信号277をもたらす。TCSRデコーダ279が、因子 F_{tc} を、温度補償因子信号281としての温度補償ベースパラメータ P_j にデコードし、それにより、第2のリフレッシュ時間変更器225の発振信号周波数分割器291が、 n
40 通りの分割後周波数を有する1組の周波数分割後信号(周波数分割後発振信号292)を生成する。ただし、 n は2以上の整数、例えば4である。

【0058】

第1のリフレッシュ時間変更器221および第2のリフレッシュ時間変更器225の更なる詳細については、図5に示してあり、次に以下のとおりに論じる。

【0059】

図5を参照すると、図3Aに示す第1のリフレッシュ時間変更器221は、発振信号周波数分割器285、選択コントローラ287、および発振信号マルチプレクサ289を含む。発振信号周波数分割器285は、基本時間周期生成器217から基本発振信号219を受領し、プロセス変動-周波数分割信号266dvに
50 応答して、周波数分割後発振信号286を選択コントローラ287に供給する。プロセス変動-周波数分割信号266dvおよびプロセス変動-多重化信号267mxは、プロセス変動ベースパラメータ P_i を含む。基本発振信号の基本発振周波数 F_{bo} が、プロセス

変動ベースパラメータ P_i に従って分割され、基本時間周期 T_{bp} がそれに応じて乗算される。例えば、プロセス変動ベース乗算因子 K_{pv} が 2^{P_i} であり、周波数 F_{bo} が 2^{P_i} で割られる。プロセス変動ベースパラメータ P_i は、プロセス変動-周波数分割信号266dvおよびプロセス変動-多重化信号267mxによって指定される。

【0060】

周波数分割後発振信号286は、プロセス変動-多重化信号267mxを受領する選択コントローラ287に供給される。選択コントローラ287は、プロセス変動-多重化信号267mxにตอบสนองして、周波数分割後発振信号288を発振信号マルチプレクサ289に供給する。発振信号マルチプレクサ289は、乗算された周期 $T_{mp1}(=K_{pv} \times T_{bp})$ および分割された周波数 $F_{do1}(=F_{bo}/K_{pv})$ を有する、第1の周波数分割後信号223をもたらす。

10

【0061】

DRAMデバイスの一実施形態例では、PV0～PV6と呼ばれる所与の7通りのプロセス変動ケースがあり得る。表1は、プロセス変動ベースパラメータ P_i と、各ケースに使用することができるプロセス変動ベース乗算因子 K_{pv} との関係を示す。

【0062】

【表1】

表1

プロセス変動ベース パラメータ P_i	プロセス変動ベース 乗算因子 K_{pv}	乗算された時間周期 $T_{mp1}=K_{pv} \times T_{bp}$	分割された周波数 $F_{do1}=F_{bo}/K_{pv}$
0	1	T_{bo}	F_{bo}
1	2	$2T_{bo}$	$F_{bo}/2$
2	4	$4T_{bo}$	$F_{bo}/4$
3	8	$8T_{bo}$	$F_{bo}/8$
4	16	$16T_{bo}$	$F_{bo}/16$
5	32	$32T_{bo}$	$F_{bo}/32$
6	64	$64T_{bo}$	$F_{bo}/64$

20

【0063】

したがって、7通りのプロセス変動PV0～PV6から得られたプロセス変動ベースパラメータ P_i に従って、プロセス変動ベース乗算因子 K_{pv} 、したがって乗算された時間周期 T_{mp1} が変わる。

30

【0064】

第2のリフレッシュ時間変更器225は、発振信号周波数分割器291、選択コントローラ293、および発振信号マルチプレクサ295を含む。発振信号周波数分割器291は、第1のリフレッシュ時間変更器221の発振信号マルチプレクサ289から、第1の周波数分割後信号223を受領する。発振信号周波数分割器291は、温度補償-周波数分割信号282dvにตอบสนองして、周波数分割後発振信号292を選択コントローラ293に供給する。選択コントローラ293は、温度補償-多重化信号284mxにตอบสนองして、周波数分割後発振信号294のマルチプレクサ値を発振信号マルチプレクサ295に供給する。温度補償因子信号281に含まれる温度補償-周波数分割信号282dvおよび温度補償-多重化信号284mxが、温度補償ベースパラメータ P_j を作り上げる。周波数分割後発振信号294および多重化信号283にตอบสนองして、発振信号マルチプレクサ295が、さらに乗算された周期 $T_{mp2}(=K_{tc} \times T_{mp1})$ およびさらに分割された周波数 $F_{do2}(=F_{do1}/K_{tc})$ を有する、セルフリフレッシュ要求信号227をもたらす。

40

【0065】

この実施形態例DRAMデバイスでは、TS0～TS3と呼ばれる所与の4通りの温度変化ケースがあり得る。例えば、温度補償ベース乗算因子 K_{tc} が 2^{P_j} であり、周波数 F_{do1} が 2^{P_j} で割られる。温度補償ベースパラメータ P_j は、温度補償-周波数分割信号282dvおよび温度補償-多重化信号284mxによって表される。表2は、温度補償ベースパラメータ P_j と、各ケースに使用することができる温度補償ベース乗算因子 K_{tc} との関係を示す。

50

【 0 0 6 6 】

【 表 2 】

表2

温度補償ベース パラメータPj	温度補償ベース 乗算因子Ktc	乗算された時間周期 Tmp2=Ktc×Tmp1	分割された周波数 Fdo2=Fdo1/Ktc
-1	0.5	0.5Tmp1	2Fdo1
0	1	Tmp1	Fdo1
1	2	2Tmp1	Fdo1/2
2	4	4Tmp1	Fdo1/4

10

【 0 0 6 7 】

したがって、4通りの温度変化TS0～TS3から得られた温度補償ベースパラメータPjに従って、温度補償ベース乗算因子Ktcが変わり、したがって乗算された時間周期Tmp2が変わる。

【 0 0 6 8 】

図4を参照すると、セルフリフレッシュモードでは、生成された基本発振信号219が、基本時間周期Tbp(周波数Fbo=1/Tbp)およびパルス幅Twbpの一連のパルスを有する。このDRAMデバイス例では、リフレッシュサイクル(RC)が4096サイクルに設定され、7通りのプロセス変動PV0～PV6の補償がプログラムされる。リフレッシュ時間周期Tpが、7通りの変動PV0～PV6のそれぞれ1つに対して与えられる。表3は、7通りのプロセス変動、およびセルリフレッシュ特性に関連した、ターゲットリフレッシュ時間としてのリフレッシュ時間Trfを示す。リフレッシュ時間Trfは、以下のように4通りの温度変化(TS0～TS3)に伴って変化する。

20

【 0 0 6 9 】

【 表 3 】

表3

プロセス変動 PV	温度T(°C)			
	T>85 (TS3)	85□T>70 (TS2)	70□T>45 (TS1)	45□T>15 (TS0)
PV0	Trf=0.5ms ^{#1}	Trf=0.5ms	Trf=1ms	Trf=2ms
PV1	Trf=0.5ms	Trf=1ms	Trf=2ms	Trf=4ms
PV2	Trf=1ms	Trf=2ms	Trf=4ms	Trf=8ms
PV3	Trf=2ms	Trf=4ms	Trf=8ms	Trf=16ms
PV4	Trf=4ms	Trf=8ms	Trf=16ms	Trf=32ms
PV5	Trf=8ms	Trf=16ms	Trf=32ms	Trf=64ms
PV6	Trf=16ms	Trf=32ms	Trf=64ms	Trf=128ms

30

【 0 0 7 0 】

表3では、#1は、リフレッシュ時間Trfがプロセス変動および温度変化の値に関わらず「0.5ms」に設定される、「デフォルト」動作を意味する。したがって、7通りのプロセス変動PV0～PV6、および4通りの温度変化が、リフレッシュ時間Trfを変更または調整する因子である。表4は、このDRAMデバイス例でのリフレッシュ時間Trfの可能なケースを示す。基本時間周期Tbpは、122nsであることに留意されよう。

40

【 0 0 7 1 】

【表 4】

表4

プロセス変動 ベース 乗算因子Kpv	温度補償 ベース 乗算因子Ktc	リフレッシュ 時間周期 $T_p = T_{bp} \times K_{pv} \times K_{tc}$	リフレッシュ サイクルRC (サイクル)	リフレッシュ 時間 $T_{rf} = RC \times T_p$
(Pi=0)1	(Pj=2)4	488ns	4096	2ms
(Pi=1)2	(Pj=2)4	976ns	4096	4ms
(Pi=2)4	(Pj=2)4	1952ns	4096	8ms
(Pi=3)8	(Pj=2)4	3904ns	4096	16ms
(Pi=4)16	(Pj=2)4	7808ns	4096	32ms
(Pi=5)32	(Pj=2)4	15616ns	4096	64ms
(Pi=6)64	(Pj=2)4	31232ns	4096	128ms
(Pi=0)1	(Pj=1)2	244ns	4096	1ms
(Pi=1)2	(Pj=1)2	488ns	4096	2ms
(Pi=2)4	(Pj=1)2	976ns	4096	4ms
(Pi=3)8	(Pj=1)2	1952ns	4096	8ms
(Pi=4)16	(Pj=1)2	3904ns	4096	16ms
(Pi=5)32	(Pj=1)2	7808ns	4096	32ms
(Pi=6)64	(Pj=1)2	15616ns	4096	64ms
(Pi=0)1	(Pj=1)1	122ns	4096	0.5ms
(Pi=1)2	(Pj=1)1	244ns	4096	1ms
(Pi=2)4	(Pj=1)1	488ns	4096	2ms
(Pi=3)8	(Pj=1)1	976ns	4096	4ms
(Pi=4)16	(Pj=1)1	1952ns	4096	8ms
(Pi=5)32	(Pj=1)1	3904ns	4096	16ms
(Pi=6)64	(Pj=1)1	7808ns	4096	32ms
(Pi=0)1	(Pj= -1)0.5	122ns ^{#1}	4096	0.5ms ^{#1}
(Pi=1)2	(Pj= -1)0.5	122ns	4096	0.5ms
(Pi=2)4	(Pj= -1)0.5	244ns	4096	1ms
(Pi=3)8	(Pj= -1)0.5	488ns	4096	2ms
(Pi=4)16	(Pj= -1)0.5	976ns	4096	4ms
(Pi=5)32	(Pj= -1)0.5	1952ns	4096	8ms
(Pi=6)64	(Pj= -1)0.5	3904ns	4096	16ms

10

20

30

【 0 0 7 2 】

表4では、#1は、(最小リフレッシュ時間である)「デフォルト」動作を意味し、リフレッシュ時間周期 T_p は、「122ns」に設定され、したがってリフレッシュ時間 T_{rf} は、0.5msに設定される。

【 0 0 7 3 】

表4に示すように、リフレッシュ時間周期 T_p は、7通りの変動PV0～PV6、および温度変化TS0～TS3のそれぞれ1つに従って与えられる。所与のプロセス変動PVでは、異なるリフレッシュ時間 T_{rf} が生成される。ハイライトしたケース(プロセス変動PV0～PV6、および温度変化TS1)について、後に例として説明する。

40

【 0 0 7 4 】

図6Aは、図3Aおよび3Bに示す基本時間周期生成器217を示す。基本時間周期生成器217は、電圧検出器212から電力安定信号Spwoおよび電力低下信号Spdnを含む検出された電力信号214、パイアス電圧生成器247からpチャネルゲート電圧Vgpおよびnチャネルゲート電圧Vgn、および図3Aおよび3Bに示す基本時間周期コントローラ253からコンデンサ基準電圧Vcapを受領する。

50

【 0 0 7 5 】

図6B～6Dは、基本時間周期生成器217の詳細な回路を示す。基本時間周期生成器217は、PMOSおよびNMOSトランジスタを含むバイアス制御インバータ、電圧V_{dd}と電圧V_{ss}の間の直列接続されたPMOSおよびNMOSトランジスタ、ならびに論理回路によって形成される。図6Aおよび6Bを参照すると、基本時間周期生成器217は、セルフリフレッシュ用の基本時間周期発振信号を生成するための内部発振器を含む。内部発振器は、バイアス電圧生成器247によりもたらされるpチャンネルゲート電圧V_{gp}およびnチャンネルゲート電圧V_{gn}で動作する。セルフリフレッシュモード信号215内の「セルフリフレッシュ」コマンドに応答して、基本時間周期生成器217が、電力安定信号Spwoおよび電力低下信号Spdnによりアクティブにされる。

10

【 0 0 7 6 】

基本時間周期生成器217は、DRAMデバイスのセルをセルフリフレッシュするための、基本発振周波数F_{bo}および基本時間周期T_{bp}を有する基本発振信号219を生成する。基本時間周期T_{bp}は、コンデンサ基準電圧V_{cap}で可変に制御される。pチャンネルゲート電圧V_{gp}およびnチャンネルゲート電圧V_{gn}がそれぞれ、基本時間周期生成器217に含まれるPMOSおよびNMOSトランジスタのゲートに供給される。pチャンネルゲート電圧V_{gp}は、PMOSトランジスタをオンにするように少なくともそのしきい値電圧分だけV_{dd}よりも低い。nチャンネルゲート電圧V_{gn}は、NMOSトランジスタをオンにするように少なくともそのしきい値電圧分だけ電圧V_{ss}よりも高い。

【 0 0 7 7 】

電力安定信号Spwoは、インバータ311に供給され、その反転出力信号が、電力低下信号Spdnを受領する別の入力を有するNORゲート313のある入力に供給される。NORゲート313からの論理出力信号が、インバータ315、2つのNANDゲート317および319、ならびにPMOSトランジスタ321および323のゲートに供給される。インバータ315からの反転出力信号が、NMOSトランジスタ331、333および335のゲートに供給される。内部発振信号341が、電圧V_{dd}と電圧V_{ss}の端子相互間に直列接続されたPMOSトランジスタ343およびNMOSトランジスタ345の、結合されたドレインから得られる。例えば、V_{dd}およびV_{ss}は供給電圧である。内部発振信号341は、NANDゲート317に供給され、その出力信号がNANDゲート319に供給される。NANDゲート319の論理出力信号が、インバータ347により反転され、その反転信号が、基本時間周期生成器217によりもたらされる基本発振信号219(「osc」)となる。NANDゲート319およびインバータ347は、AND論理回路を形成する。

20

【 0 0 7 8 】

NANDゲート317からの論理出力信号は、PMOSトランジスタ361およびNMOSトランジスタ363ならびに追加のPMOSトランジスタ365およびNMOSトランジスタ367を備える、バイアス制御インバータ351の入力端子にも供給される。バイアス制御インバータ351の出力端子が、もう1つのバイアス制御インバータ353の入力端子、およびNMOSトランジスタ335のドレインに接続される。バイアス制御インバータ353の出力端子が、PMOSトランジスタ321のドレインに接続される。バイアス制御インバータ351および353は、同じ回路構造を有する。

【 0 0 7 9 】

2つのPMOSトランジスタ371および373、ならびにダイオード接続したNMOSトランジスタ375が、電圧V_{dd}と電圧V_{ss}の端子相互間で直列接続される。PMOSトランジスタ377のソースが、PMOSトランジスタ371および373の結合されたドレインおよびソースに接続される。PMOSトランジスタ377のドレインが、NMOSトランジスタ379のドレインに接続され、NMOSトランジスタ379のゲートが、NMOSトランジスタ375のゲートに接続される。PMOSトランジスタ381および383、ならびにNMOSトランジスタ385が、電圧V_{dd}と電圧V_{ss}の端子相互間で直列に接続される。同様に、PMOSトランジスタ387および389、ならびにNMOSトランジスタ391が、電圧V_{dd}と電圧V_{ss}の端子相互間で直列に接続される。さらに、PMOSトランジスタ393、ならびにNMOSトランジスタ395および397が、電圧V_{dd}と電圧V_{ss}の端子相互間で直列に接続される。

40

【 0 0 8 0 】

50

pチャネルゲート電圧Vgpが、PMOSトランジスタのゲートに供給され、nチャネルゲート電圧Vgnが、NMOSトランジスタのゲートに供給される。コンデンサ基準電圧Vcapが、PMOSトランジスタ377のゲートのドレインに供給され、それは、バイアス制御インバータ353の出力に接続される。基本時間周期生成器217は発振し、電圧Vgp、VgnおよびVcapを用いて、その発振周波数を変更する。

【0081】

電源電圧Vddが所望の動作電圧レベルで安定している間、電力安定信号Spwoが「ハイ」であり、電力低下信号Spdnが「ロー」である。NORゲート313からの論理出力が「ハイ」であり、したがって、内部発振信号341が、NANDゲート317および319、ならびにインバータ347によって反転される。インバータ347の反転出力信号が、基本発振信号219としてもたらされる。電源電圧Vddが不安定であり、所望の動作電圧レベルに達しない間、電力安定信号Spwoが「ロー」である。NORゲート313からの出力が「ロー」であり、したがってPMOSトランジスタ321および323がオンにされる。PMOSトランジスタ377のゲートが「ハイ」になり、発振動作が行われぬ。電源電圧Vddが大きく減少する場合、電力低下信号Spdnが「ハイ」になる。NORゲート313からの論理出力が「ロー」になり、したがって発振動作も行われぬ。

【0082】

図7Aは、図3Aおよび3Bに示すDRAMデバイスのリフレッシュ周期セクタ263を示す。図7Aを参照すると、リフレッシュ周期セクタ263は、リフレッシュ時間特性「rfc0」、「rfc1」および「rfc2」を含むリフレッシュ周期値信号261を受領し、プロセス変動ベースパラメータPiを含むプロセス変動因子信号265をもたらし、プロセス変動因子信号265は、プロセス変動-周波数分割信号266dvの8つのリフレッシュ時間ビット信号「ref_time<7>」～「ref_time<0>」、およびプロセス変動-多重化信号267mxの8つのリフレッシュ多重化ビット信号「ref_mux<7>」～「ref_mux<0>」を含む。

【0083】

図7Bは、リフレッシュ時間特性をデコードするための入力AND論理ブロック410、ならびにデコードされたリフレッシュ時間特性からリフレッシュ時間ビットおよびリフレッシュ多重化ビットをもたらしするための出力OR論理ブロック440を含む、リフレッシュ周期セクタ263の詳細な回路を示す。

【0084】

図7Aおよび7Bを参照すると、リフレッシュ周期セクタ263は、リフレッシュ時間特性「rfc0」、「rfc1」および「rfc2」というプロセス変動関連値を含む、リフレッシュ周期値信号261を受領する。リフレッシュ時間特性「rfc0」、「rfc1」および「rfc2」は、8つのNANDゲート411～418、3つのインバータ421～423、および8つのインバータ431～438を含む、入力AND論理ブロック410に供給される。1つのNANDゲート(例えばNANDゲート411)と、その出力に接続された1つのインバータ(例えばインバータ431)が、AND論理回路を形成する。入力AND論理ブロック410の論理出力が、8つのNORゲート441～448および8つのインバータ451～458を含む、出力OR論理ブロック440に供給される。1つのNORゲート(例えばNORゲート441)と、その出力に接続された1つのインバータ(例えばインバータ451)が、OR論理回路を形成する。

【0085】

NANDゲート411は、3つのリフレッシュ時間特性「rfc2」、「rfc1」および「rfc0」を受領し、そのNAND論理出力信号が、インバータ431により反転される。インバータ431の反転出力信号が、NORゲート441の一方の入力に供給され、その他方の入力が電圧レベルVssにプルダウンされる。NANDゲート412が、リフレッシュ時間特性「rfc2」および「rfc1」、ならびにリフレッシュ時間特性「rfc0」の反転論理信号「rfc0*」を受領し、そのNAND論理出力信号が、インバータ432により反転される。インバータ432の反転出力信号が、NORゲート442の一方の入力に供給される。NANDゲート413が、リフレッシュ時間特性「rfc2」および「rfc0」、ならびにリフレッシュ時間特性「rfc1」の反転論理信号「rfc1*」を受領し、そのNAND論理出力信号が、インバータ433により反転される。インバータ433の反転

10

20

30

40

50

出力信号が、NORゲート443の一方の入力に供給される。NANDゲート414が、リフレッシュ時間特性「rfc1」および「rfc0」、ならびにリフレッシュ時間特性「rfc2」の反転論理信号「rfc2*」を受領し、そのNAND論理出力信号が、インバータ434により反転される。インバータ434の反転出力信号が、NORゲート444の一方の入力に供給される。NANDゲート415が、リフレッシュ時間特性「rfc2」、ならびに反転論理信号「rfc1*」および「rfc0*」を受領し、そのNAND論理出力信号が、インバータ435により反転される。インバータ435の反転出力信号が、NORゲート445の一方の入力に供給される。NANDゲート416が、リフレッシュ時間特性「rfc1」、ならびに反転論理信号「rfc2*」および「rfc0*」を受領し、そのNAND論理出力信号が、インバータ436により反転される。インバータ436の反転出力信号が、NORゲート446の一方の入力に供給される。NANDゲート417が、リフレッシュ時間特性「rfc0」、ならびに反転論理信号「rfc2*」および「rfc1*」を受領し、そのNAND論理出力信号が、インバータ437により反転される。インバータ437の反転出力信号が、NORゲート447の一方の入力に供給される。NANDゲート418が、反転論理信号「rfc2*」、「rfc1*」および「rfc0*」を受領し、そのNAND論理出力信号が、インバータ438により反転される。インバータ438の反転出力信号が、NORゲート448の一方の入力に供給される。インバータ451～457の出力信号がそれぞれ、NORゲート442～448の他方の入力に供給される。

10

【0086】

インバータ431、432、433、434、435、436、437、および438からの出力論理信号はそれぞれ、リフレッシュ多重化信号「ref_mux<7>」、「ref_mux<6>」、「ref_mux<5>」、「ref_mux<4>」、「ref_mux<3>」、「ref_mux<2>」、「ref_mux<1>」、および「ref_mux<0>」であり、それらの信号は、プロセス変動-多重化信号267mxの部分と見なすことができる。インバータ451、452、453、454、455、456、457、および458からの出力論理信号はそれぞれ、リフレッシュ時間信号「ref_time<7>」、「ref_time<6>」、「ref_time<5>」、「ref_time<4>」、「ref_time<3>」、「ref_time<2>」、「ref_time<1>」、および「ref_time<0>」であり、それらの信号は、プロセス変動-周波数分割信号266dvの部分と見なすことができる。プロセス変動-周波数分割信号266dv、およびプロセス変動-多重化信号267mxは、プロセス変動因子信号265内に含まれる。

20

【0087】

リフレッシュ周期セクタ263の論理は、以下のとおりである。

B7(「ref_mux<7>」を意味する)=rfc2×rfc1×rfc0

30

A7(「ref_time<7>」を意味する)=B7

B6(「ref_mux<6>」を意味する)=rfc2×rfc1×rfc0*

A6(「ref_time<6>」を意味する)=B6+A7

B5(「ref_mux<5>」を意味する)=rfc2×rfc1*×rfc0

A5(「ref_time<5>」を意味する)=B5+A6

B4(「ref_mux<4>」を意味する)=rfc2*×rfc1×rfc0

A4(「ref_time<4>」を意味する)=B4+A5

B3(「ref_mux<3>」を意味する)=rfc2×rfc1*×rfc0*

A3(「ref_time<3>」を意味する)=B3+A4

B2(「ref_mux<2>」を意味する)=rfc2*×rfc1×rfc0*

40

A2(「ref_time<2>」を意味する)=B2+A3

B1(「ref_mux<1>」を意味する)=rfc2*×rfc1*×rfc0

A1(「ref_time<1>」を意味する)=B1+A2

B0(「ref_mux<0>」を意味する)=rfc2*×rfc1*×rfc0*

A0(「ref_time<0>」を意味する)=B0+A1

【0088】

表5は、リフレッシュ時間特性「rfc0」、「rfc1」および「rfc2」、ならびにリフレッシュ周期セクタ263のデコード論理出力の真理値表である。リフレッシュ時間特性「rfc0」、「rfc1」および「rfc2」に従って、多重化出力「ref_mux」および「ref_time」が表5に示すようにもたらされる。

50

【 0 0 8 9 】

【 表 5 】

表5

リフレッシュ 時間特性			デコード出力 A7~A0(「ref_time<7>」 ~ 「ref_time<0>」) B7~B0(「ref_mux<7>」 ~ 「ref_mux<0>」)															
rfc 2	rfc 1	rfc 0	A 7	B 7	A 6	B 6	A 5	B 5	A 4	B 4	A 3	B 3	A 2	B 2	A 1	B 1	A 0	B 0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	0
0	1	0	0	0	0	0	0	0	0	0	0	0	1	1	1	0	1	0
1	0	0	0	0	0	0	0	0	0	0	1	1	1	0	1	0	1	0
0	1	1	0	0	0	0	0	0	1	1	1	0	1	0	1	0	1	0
1	0	1	0	0	0	0	1	1	1	0	1	0	1	0	1	0	1	0
1	1	0	0	0	1	1	1	0	1	0	1	0	1	0	1	0	1	0
1	1	1	1	1	1	0	1	0	1	0	1	0	1	0	1	0	1	0

10

【 0 0 9 0 】

図8Aは、図5に示す発振信号周波数分割器285を示す。図8Aを参照すると、発振信号周波数分割器285は、基本時間周期生成器217から基本発振信号219、およびプロセス変動因子信号265からプロセス変動-周波数分割信号266dvを受領する。発振信号周波数分割器285は、周波数分割後発振信号486oscを含む周波数分割後発振信号286をもたらす。本実施形態では、プロセス変動-周波数分割信号266dvの1つのビット信号「ref_time<7>」が、発振信号周波数分割器285に供給されない。

20

【 0 0 9 1 】

図8Bは、発振信号周波数分割器285の詳細な回路を示す。図8Aおよび8Bを参照すると、基本発振信号219が、インバータ511により反転され、その反転出力信号が、トライステートインバータ回路521および523の非反転入力、トライステートインバータ回路517および519の反転入力、ならびにインバータ527に供給される。インバータ527からの反転信号が、トライステートインバータ回路521および523の反転入力、ならびにトライステートインバータ回路517および519の非反転入力に供給される。トライステートインバータ回路517および521の信号出力が互いに結合され、結合された出力が、NANDゲート513の一方の入力に接続される。同様に、トライステート論理回路519および523の信号出力が互いに結合され、結合された出力が、NANDゲート515の一方の入力に接続される。

30

【 0 0 9 2 】

前述の回路素子は、1つの対応するプロセス変動-周波数分割信号(266dv)から単一の周波数分割後発振信号(486osc)を生成する場合について示してあることに留意されよう。したがって、7つの重複する回路がある。したがって、入力信号ref_time<0:6>は、個々の信号ref_time<0> ~ ref_time<6>のグループを意味し、出力信号osc<0:6>は、個々の信号osc<0> ~ osc<6>のグループを意味する。

40

【 0 0 9 3 】

図7Aおよび7Bに示すリフレッシュ周期セレクタ263からの信号グループref_time<0:6>として示すプロセス変動-周波数分割信号266dvが、NANDゲート513および515の他方の入力に供給される。NANDゲート513の出力信号が、2つのトライステート論理回路517および519の信号入力に供給される。NANDゲート515の出力信号が、トライステート論理回路523およびインバータ525の信号入力に供給される。トライステート論理回路521、517、519および523は、図9に示すものと同じ構造を有する。インバータ525の反転出力信号が、トライステート論理回路521の信号入力に供給される。NANDゲート515の出力信号が、インバータ529により反転されて、信号グループosc<0:6>として示す周波数分割後発振信号486oscを含む

50

、周波数分割後発振信号286をもたらす。

【 0 0 9 4 】

図9を参照すると、トライステート論理回路は、信号入力INおよび信号出力OUT、ならびに反転入力INPおよび非反転入力INNを有する。トライステート論理回路は、直列接続されたPMOSトランジスタ851およびNMOSトランジスタ853、ならびに追加のPMOSトランジスタ855およびNMOSトランジスタ857を含む。PMOSトランジスタ855は、PMOSトランジスタ851のソースと電源電圧Vddの電力線との間に挿入される。NMOSトランジスタ857は、NMOSトランジスタ853のソースとグラウンドレベル電圧Vssの電力線との間に挿入される。PMOSトランジスタ851とNMOSトランジスタ853の各ゲートが互いに結合され、結合されたゲートが、信号入力INに接続される。PMOSトランジスタ851とNMOSトランジスタ853の各ソースが互いに結合され、結合されたソースが、信号出力OUTに接続される。PMOSトランジスタ855のゲートおよびNMOSトランジスタ857のゲートがそれぞれ、反転入力INPおよび非反転入力INNに接続される。

10

【 0 0 9 5 】

図8Aおよび8Bを再度参照すると、プロセス変動-周波数分割信号266dvの7ビット「ref_time<0>」～「ref_time<6>」に従って、基本発振信号219の周波数Fboが、周波数分割後発振信号486oscの1組のm個のビット信号「osc<0>」～「osc<6>」に分割され、ただしmは2以上の整数、例えば7である。周波数分割および時間周期乗算用の7つのビット信号「ref_time<0>」～「ref_time<6>」の論理状態は、上記の表5のA0～A6を参照されたい。

【 0 0 9 6 】

周波数分割後発振信号486oscの7つのビット信号「osc<0>」～「osc<6>」は、表6に示すように、異なる周波数F286を有する。表6では、プロセス変動ベース乗算因子Kpvが、 $Kpv=2^{Pi}$ により与えられ、ただしPiは、0、1、2、3、4、5および6である。

20

【 0 0 9 7 】

【表6】

表6

ビット信号<osc>	周波数F286=Fbo/Kpv
osc<0>	Fbo/1
osc<1>	Fbo/2
osc<2>	Fbo/4
osc<3>	Fbo/8
osc<4>	Fbo/16
osc<5>	Fbo/32
osc<6>	Fbo/64

30

【 0 0 9 8 】

図10Aは、図5に示す選択コントローラ287を示す。図10Aを参照すると、選択コントローラ287は、リフレッシュ周期セクタ263からプロセス変動-多重化信号267mx、および発振信号周波数分割器285から周波数分割後発振信号486oscを受領する。ただし、プロセス変動-多重化信号267mxの1ビット「ref_mux<7>」は、選択コントローラ287に供給されない。選択コントローラ287は、プロセス変動-多重化信号267mxおよび周波数分割後発振信号486oscに应答して、7ビットプロセス変動-多重化信号487mx、7ビット反転プロセス変動-多重化信号488mx*、および7ビット周波数分割後発振信号489oscを含む、周波数分割後発振信号288をもたらす。

40

【 0 0 9 9 】

図10Bは、選択コントローラ287の詳細な回路を示す。図10Aおよび10Bを参照すると、選択コントローラ287は、7つのインバータ542、544、546、548、550、552および554を含む、インバータ論理ブロック540を含む。インバータ542、544、546、548、550、552および554は、プロセス変動-多重化信号267mxの7つのビット信号「ref_mux<0>」、「ref_mux<1>

50

「ref_mux<2>」、「ref_mux<3>」、「ref_mux<4>」、「ref_mux<5>」、および「ref_mux<6>」を反転させて、反転プロセス変動-多重化信号488mx*の部分である7ビット反転信号「ref_mux_b<0>」、「ref_mux_b<1>」、「ref_mux_b<2>」、「ref_mux_b<3>」、「ref_mux_b<4>」、「ref_mux_b<5>」、および「ref_mux_b<6>」をもたらす。プロセス変動-多重化信号267mxのビット信号「ref_mux<0>」～「ref_mux<6>」は、7ビットプロセス変動-多重化信号487mxの7つのビット信号「ref_mux<0>」～「ref_mux<6>」が機能するように、反転されずにインバータ論理ブロック540を通過する。プロセス変動-多重化信号267mxの7つのビット信号「ref_mux<0>」、「ref_mux<1>」、「ref_mux<2>」、「ref_mux<3>」、「ref_mux<4>」、「ref_mux<5>」、および「ref_mux<6>」は、7つのインバータ542～554により反転される。7ビット「ref_mux<0>」～「ref_mux<6>」の論理状態は、表5のB0～B6を参照されたい。同様に、周波数分割後発振信号486oscの7つのビット信号「osc<0>」、「osc<1>」、「osc<2>」、「osc<3>」、「osc<4>」、「osc<5>」、および「osc<6>」が、反転されずに周波数分割後発振信号489oscとしてもたらされる。

10

【0100】

図11Aは、図5に示す発振信号マルチプレクサ289を示す。図11Aを参照すると、発振信号マルチプレクサ289は、図10Bに示すインバータ論理ブロック540から、プロセス変動-多重化信号487mx、相補プロセス変動-多重化信号488mx*、および周波数分割後発振信号489oscを受領する。発振信号マルチプレクサ289は、第1の周波数分割後信号223をもたらす。

【0101】

図11Bは、発振信号マルチプレクサ289の詳細な回路を示す。図11Aおよび11Bを参照すると、発振信号マルチプレクサ289は、Vdd電圧がそのソースに供給された7つのPMOSトランジスタ561、565、568、572、575、579、および582を含む。7つのビット信号「ref_mux<0>」、「ref_mux<1>」、「ref_mux<2>」、「ref_mux<3>」、「ref_mux<4>」、「ref_mux<5>」、および「ref_mux<6>」がそれぞれ、選択コントローラ287(図10Aおよび10Bを参照されたい)からPMOSトランジスタ561、565、568、572、575、579、および582のゲート、ならびに7つのトランスミッションゲート562、566、569、573、576、580、および583のnチャンネルゲートに供給される。反転ビット「ref_mux_b<0>」、「ref_mux_b<1>」、「ref_mux_b<2>」、「ref_mux_b<3>」、「ref_mux_b<4>」、「ref_mux_b<5>」、および「ref_mux_b<6>」がそれぞれ、トランスミッションゲート562、566、569、573、576、580、および583のpチャンネルゲートに供給される。周波数分割後発振信号489oscのビット信号「osc<0>」、「osc<1>」、「osc<2>」、「osc<3>」、「osc<4>」、「osc<5>」、および「osc<6>」がそれぞれ、トランスミッションゲート562、566、569、573、576、580、および583の信号入力に供給される。

20

30

【0102】

トランスミッションゲート562の信号出力が、PMOSトランジスタ561のドレイン、およびNANDゲート563の一方の入力に接続される。トランスミッションゲート566の信号出力が、PMOSトランジスタ565のドレイン、およびNANDゲート563の他方の入力に接続される。トランスミッションゲート569の信号出力が、PMOSトランジスタ568のドレイン、およびNANDゲート570の一方の入力に接続される。トランスミッションゲート573の信号出力が、PMOSトランジスタ572のドレイン、およびNANDゲート570の他方の入力に接続される。トランスミッションゲート576の信号出力が、PMOSトランジスタ575のドレイン、およびNANDゲート577の一方の入力に接続される。トランスミッションゲート580の信号出力が、PMOSトランジスタ579のドレイン、およびNANDゲート577の他方の入力に接続される。トランスミッションゲート583の信号出力が、PMOSトランジスタ582のドレイン、およびインバータ584に接続される。

40

【0103】

NANDゲート563および570の出力が、NORゲート586に接続され、その出力がNANDゲート589の入力に接続される。NANDゲート577およびインバータ584の各出力が、NORゲート587に接続され、その出力がNANDゲート589のもう1つの入力に接続される。NANDゲート589の出力が、インバータ590により反転されて、第1の周波数分割後信号223がもたらされる。NAN

50

Dゲート589およびインバータ590は、AND論理回路を形成する。

【 0 1 0 4 】

信号ビット「ref_mux<0>」が「ハイ」(すなわち信号ビット「ref_mux_b<0>」が「ロー」)のとき、入力発振ビット信号「osc<0>」が、トランスミッションゲート562の出力を通過して、NANDゲート563に供給される。信号「ref_mux<0>」が「ロー」のとき、入力発振ビット信号「osc<0>」は、トランスミッションゲート562を通過しない。他のトランスミッションゲートは、同じように動作する。信号ビット「ref_mux<1>」が「ハイ」のとき、発振ビット信号「osc<1>」が、トランスミッションゲート566を通じてNANDゲート563に供給される。同様に、信号「ref_mux<2>」が「ハイ」のとき、発振ビット信号「osc<2>」が、トランスミッションゲート569を通じてNANDゲート570に供給される。信号「ref_mux<3>」が「ハイ」のとき、発振ビット信号「osc<3>」が、トランスミッションゲート573を通じてNANDゲート570に供給される。信号「ref_mux<4>」が「ハイ」のとき、発振ビット信号「osc<4>」が、トランスミッションゲート576を通じてNANDゲート577に供給される。信号「ref_mux<5>」が「ハイ」のとき、発振ビット信号「osc<5>」が、トランスミッションゲート580を通じてNANDゲート577に供給される。信号「ref_mux<6>」が「ハイ」のとき、発振ビット信号「osc<6>」が、トランスミッションゲート583を通じて伝達され、伝達された信号が、インバータ584により反転される。インバータ584からの反転出力信号が、NORゲート587に供給される。

10

【 0 1 0 5 】

NANDゲート563および570からの出力信号が、NORゲート586に供給され、その出力信号が、NANDゲート589の一方の入力に供給される。NANDゲート577およびインバータ584からの各出力信号が、NORゲート587に供給され、その出力信号が、NANDゲート589の他方の入力に供給される。NANDゲート589の出力信号が、インバータ590により反転されて、第1の周波数分割後信号223になる。

20

【 0 1 0 6 】

プロセス変動-多重化信号487mxのビット信号「ref_mux<6>」～「ref_mux<0>」の論理状態は、表5に「B6」～「B0」として示されている。反転プロセス変動-多重化信号488mx*の「ref_mux_b<6>」～「ref_mux_b<0>」は、ビット信号「ref_mux<6>」～「ref_mux<0>」の反転状態となる。ビット信号「ref_mux<6>」～「ref_mux<0>」および「ref_mux_b<6>」～「ref_mux_b<0>」に従って、7つのビット信号「osc<0>」～「osc<6>」のうち1つが選択され、選択された信号が、第1の周波数分割後信号223としてもたらされる。第1の周波数分割後信号223は、分割された周波数Fdo1および乗算された周期Tmp1を有する。

30

【 0 1 0 7 】

図12Aは、図3Aおよび3BのDRAMデバイスのTCSRデコーダ279を示す。図12Bは、TCSRデコーダ279の詳細な回路を示す。図12Aを参照すると、TCSRデコーダ279は、TCSRリクエスト275からTCSR信号277を受領し、4ビット温度補償-周波数分割信号282dvおよび4ビット温度補償-多重化信号284mxを含む、温度補償因子信号281をもたらす。

【 0 1 0 8 】

図12Bは、TCSRデコーダ279の詳細な回路を示す。図12Aおよび12Bを参照すると、TCSR信号277の2ビットの入力論理信号「TC1」および「TC0」が、4つのNANDゲート611、612、613および614、2つの信号反転インバータ617および619、ならびに4つのインバータ621、622、623および624を含む、入力AND論理ブロック610に供給される。入力論理信号「TC1」および「TC0」は、温度センサ271(図3Aおよび3Bを参照されたい)によって感知された温度変化から得られる。この場合、入力論理信号「TC1」および「TC0」は、測定された温度を表す。1つのNANDゲート(例えばNANDゲート611)と、その出力に接続された1つのインバータ(例えばインバータ621)が、AND論理回路を形成する。入力AND論理ブロック610の論理出力が、4つのNORゲート631、632、633および634、ならびに4つのインバータ636、637、638および639を含む、出力OR論理ブロック630に供給される。1つのNORゲート(例えばNORゲート631)と、その出力に接続された1つのインバータ(例えばインバータ636)が、OR論理回路を形成する。

40

50

【 0 1 0 9 】

NANDゲート611が、入力論理信号「TC1」および「TC0」を受領し、そのNAND論理出力信号が、インバータ621により反転される。インバータ621の反転出力信号が、NORゲート631の一方の入力に供給され、その他方の入力が、Vss電圧レベルに接続される。NANDゲート612が、入力論理信号「TC1」、および入力論理信号「TC0」の反転論理信号「TC0*」を受領し、そのNAND論理出力信号が、インバータ622により反転される。インバータ622の反転出力信号が、NORゲート632の一方の入力に供給される。NANDゲート613が、入力論理信号「TC1」の反転論理信号「TC1*」、および入力論理信号「TC0」を受領し、そのNAND論理出力信号が、インバータ623により反転される。インバータ623の反転出力信号が、NORゲート633の一方の入力に供給される。NANDゲート614が、反転論理信号「TC1*」および「TC0*」を受領し、そのNAND論理出力信号が、インバータ624により反転される。インバータ624の反転出力信号が、NORゲート634の一方の入力に供給される。

10

【 0 1 1 0 】

NORゲート631の論理出力信号が、インバータ636により反転され、その反転出力信号が、NORゲート632の他方の入力に供給される。NORゲート632の論理出力信号が、インバータ637により反転され、その反転出力信号が、NORゲート633の他方の入力に供給される。NORゲート633の論理出力信号が、インバータ638により反転され、その反転出力信号が、NORゲート634の他方の入力に供給される。NORゲート634の論理出力信号が、インバータ639により反転される。

20

【 0 1 1 1 】

インバータ621、622、623および624からの出力論理信号がそれぞれ、TCSR多重化信号「tcsr_mux<3>」、「tcsr_mux<2>」、「tcsr_mux<1>」、および「tcsr_mux<0>」である。インバータ636、637、638および639からの出力論理信号がそれぞれ、TCSR時間信号「tcsr_time<3>」、「tcsr_time<2>」、「tcsr_time<1>」、および「tcsr_time<0>」である。

【 0 1 1 2 】

TCSRデコーダ279の論理は以下のとおりである。

D3(「tcsr_mux<3>」を意味する)=TC1×TC0

C3(「tcsr_time<3>」を意味する)=D3

D2(「tcsr_mux<2>」を意味する)=TC1×TC0*

C2(「tcsr_time<2>」を意味する)=D2+C3

D1(「tcsr_mux<1>」を意味する)=TC1*×TC0

C1(「tcsr_time<1>」を意味する)=D1+C2

D0(「tcsr_mux<0>」を意味する)=TC1*×TC0*

C0(「tcsr_time<0>」を意味する)=D0+C1

30

【 0 1 1 3 】

図12Bに示す回路の論理は、表7に示す真理値表によって与えられる。

【 0 1 1 4 】

【表7】

表7

温度変化		デコード出力 C3~C0(「tcsr_time<3>」~「tcsr_time<0>」) D3~D0(「tcsr_mux<3>」~「tcsr_mux<0>」)							
TC1	TC0	C3	D3	C2	D2	C1	D1	C0	D0
0	0	0	0	0	0	0	0	1	1
0	1	0	0	0	0	1	1	1	0
1	0	0	0	1	1	1	0	1	0
1	1	1	1	1	0	1	0	1	0

40

【 0 1 1 5 】

表7に示すように、「TC0」および「TC1」の2ビット信号で表される温度変化は、4つの

50

例として与えられる。2ビット「TC0」および「TC1」は、TCSRデコーダ279によりデコードされ、4ビット「tcsr_time<0>」～「tcsr_time<3>」を有する温度補償-周波数分割信号282dv、および4ビット「tcsr_mux<0>」～「tcsr_mux<3>」を有する温度補償-多重化信号284mxがもたらされる。「tcsr_time<0>」～「tcsr_time<3>」の論理状態は、表7の「C0」～「C3」を参照されたい。また、「tcsr_mux<0>」～「tcsr_mux<3>」の論理状態は、表7の「D0」～「D3」を参照されたい。

【0116】

図13Aは、図5に示す発振信号周波数分割器291を示す。図13Aを参照すると、発振信号周波数分割器291は、第1のリフレッシュ時間変更器221から第1の周波数分割後信号223、ならびに図12Aおよび12Bに示すTCSRデコーダ279から温度補償-周波数分割信号282dvを受領して、4つの周波数分割後発振信号492oscを含む、周波数分割後発振信号292をもたらす。

10

【0117】

図13Bは、発振信号周波数分割器291の詳細な回路を示す。図13Aおよび13Bを参照すると、第1の周波数分割後信号223が、インバータ651により反転され、その反転信号が、トライステートインバータ回路661および663の非反転入力、ならびにトライステートインバータ回路657および659の反転入力に供給される。トライステートインバータ回路667が、トライステート論理回路661および663の反転入力、ならびにトライステートインバータ回路657および659の非反転入力に供給される出力を有する。トライステートインバータ回路657および661の出力が互いに結合され、結合された出力が、NANDゲート653の入力に接続される。同様に、トライステートインバータ回路659および663の出力が互いに結合され、結合された出力が、NANDゲート655の入力に接続される。制御インバータ論理回路は、図9に示すものと同じである。

20

【0118】

温度補償-周波数分割信号282dvが、NANDゲート653および655の入力に供給される。NANDゲート653の出力が、2つのトライステートインバータ回路657および659の入力に供給される。NANDゲート655の出力が、トライステートインバータ回路663およびインバータ665の各入力に供給される。インバータ665の反転出力信号が、トライステートインバータ回路661の入力に供給される。NANDゲート655の出力が、インバータ669により反転されて、4つの周波数分割後発振信号492oscを含む周波数分割後発振信号292がもたらされる。

【0119】

前述の回路素子は、1つの対応する温度補償-周波数分割信号282dvから単一の周波数分割後発振信号(492osc)を生成する場合について示してあることに留意されよう。したがって、4つの重複する回路がある。したがって、入力信号tcsr_mux<0:3>は、個々の信号tcsr_mux<0>～tcsr_mux<3>のグループを意味し、出力信号osc<0:3>は、個々の信号osc<0>～osc<3>のグループを意味する。

30

【0120】

周波数分割後発振信号492oscの4つのビット信号「osc<0>」～「osc<3>」は、表8に示すように、異なる周波数F492を有する。表8では、温度補償ベース乗算因子Ktcが、 $Ktc=2^{Pj}$ により与えられ、ただしPjは、-1、0、1および2である。

【0121】

40

【表8】

表8

ビット信号<osc>	周波数 $F_{492}=F_{d01}/K_{tc}$
osc<0>	$F_{d01}/0.5$
osc<1>	$F_{d01}/1$
osc<2>	$F_{d01}/2$
osc<3>	$F_{d01}/4$

【0122】

図14Aは、図5に示す選択コントローラ293を示す。図14Aを参照すると、選択コントローラ

50

ラ293は、図13Aおよび13Bに示す発振信号周波数分割器291から周波数分割後発振信号492osc、ならびに図12Aおよび12Bに示すTCSRデコーダ279から温度補償-多重化信号284mxを受領する。選択コントローラ293は、4ビット温度補償-多重化信号493mx、4ビット反転温度補償-多重化信号494mx*、および4ビット周波数分割後発振信号495oscをもたらし。

【 0 1 2 3 】

図14Bは、選択コントローラ293の詳細な回路を示す。図14Aおよび14Bを参照すると、選択コントローラ293は、4つのインバータ712、714、716および718を含む、インバータ論理ブロック710を含む。インバータ712、714、716および718はそれぞれ、温度補償-多重化信号284mxのビット信号「tcsr_mux<0>」、「tcsr_mux<1>」、「tcsr_mux<2>」、および「tcsr_mux<3>」を反転させて、反転温度補償-多重化信号494mx*の反転信号「tcsr_mux_b<0>」、「tcsr_mux_b<1>」、「tcsr_mux_b<2>」、および「tcsr_mux_b<3>」をもたらし。また、温度補償-多重化信号493mxの4つのビット信号「tcsr_mux<0>」、「tcsr_mux<1>」、「tcsr_mux<2>」、および「tcsr_mux<3>」、ならびに周波数分割後発振信号495oscの4つの発振ビット信号「osc<0>」、「osc<1>」、「osc<2>」、および「osc<3>」ももたらされる。

10

【 0 1 2 4 】

図15Aは、図5に示す発振信号マルチプレクサ295を示す。図15Aを参照すると、発振信号マルチプレクサ295は、図14Bに示すインバータ論理ブロック710から、温度補償-多重化信号493mx、反転温度補償-多重化信号494mx*、周波数分割後発振信号495osc、ならびに図10Bに示すインバータ論理ブロック540から、プロセス変動-多重化信号487mx0および反転プロセス変動-多重化信号488mx0*を含む多重化信号283を受領する。発振信号マルチプレクサ295は、セルフリフレッシュ要求信号227をもたらし。

20

【 0 1 2 5 】

図15Bは、発振信号マルチプレクサ295の詳細な回路を示す。図15Aおよび15Bを参照すると、発振信号マルチプレクサ295は、多重化出力論理ブロック730および多重化入力論理ブロック750を含む。多重化出力論理ブロック730は、Vdd電圧がそのソースに供給された4つのPMOSトランジスタ741、747、757および769を含む。図14Bに示すインバータ論理ブロック710からの4つのビット信号「tcsr_mux<0>」、「tcsr_mux<1>」、「tcsr_mux<2>」、および「tcsr_mux<3>」がそれぞれ、PMOSトランジスタ741、747、757および769のゲート、ならびに4つのトランスミッションゲート743、755、765および777のnチャネルゲートに供給される。反転信号「tcsr_mux_b<0>」、「tcsr_mux_b<1>」、「tcsr_mux_b<2>」、および「tcsr_mux_b<3>」がそれぞれ、トランスミッションゲート743、755、765および777のpチャネルゲートに供給される。発振ビット信号「osc<0>」が、トランスミッションゲート743の信号入力に供給され、その信号出力が、PMOSトランジスタ741のドレインに接続される。また、トランスミッションゲート755、765および777も含まれており、それらの信号出力がそれぞれ、PMOSトランジスタ747、PMOSトランジスタ757、およびPMOSトランジスタ769の各ドレインに接続される。

30

【 0 1 2 6 】

多重化入力論理ブロック750は、論理回路を含む。ビット信号「osc<0>」および「ref_mux<0>」が、NANDゲート749に供給される。ビット信号「osc<1>」および「ref_mux_b<0>」が、NANDゲート751に供給される。ビット信号「osc<1>」および「ref_mux<0>」が、NANDゲート759に供給される。ビット信号「osc<2>」および「ref_mux_b<0>」が、NANDゲート761に供給される。ビット信号「osc<2>」および「ref_mux<0>」が、NANDゲート771に供給される。ビット信号「osc<3>」および「ref_mux_b<0>」が、NANDゲート773に供給される。NANDゲート749およびNANDゲート751の各出力信号が、NANDゲート753に供給され、NANDゲート753はその論理出力信号を、トランスミッションゲート755の信号入力に供給する。NANDゲート759およびNANDゲート761の各出力信号が、NANDゲート763に供給され、NANDゲート763はその論理出力信号を、トランスミッションゲート765の信号入力に供給する。NANDゲート771およびNANDゲート773の各出力信号が、NANDゲート775に供給され、NANDゲート775はその論理出力信号を、トランスミッションゲート777の信号入力に供給する。

40

50

【 0 1 2 7 】

多重化出力論理ブロック730では、PMOSトランジスタ741および747のドレインが、NANDゲート745に接続される。PMOSトランジスタ757および769のドレインが、NANDゲート767に接続される。NANDゲート745および767の出力が、NORゲート779に接続され、NORゲート779が、セルフリフレッシュ要求信号227をもたらす。

【 0 1 2 8 】

温度補償-多重化信号493mxの4つのビット信号「tcsr_mux<0>」～「tcsr_mux<3>」の論理状態は、表7の「D0」～「D3」を参照されたい。反転温度補償-多重化信号494mx*の4つのビット信号「tcsr_mux_b<0>」～「tcsr_mux_b<3>」の論理状態は、「D0」～「D3」の反転論理である。プロセス変動-多重化信号487mx0の1ビット「ref_mux<0>」の論理状態は、表5の「B0」を参照されたい。反転プロセス変動-多重化信号488mx0*の1ビット「ref_mux_b<0>」の論理状態は、「B0」の反転論理である。

10

【 0 1 2 9 】

ビット信号「tcsr_mux<0>」が「ハイ」(すなわちビット信号「tcsr_mux_b<0>」が「ロー」)のとき、発振ビット信号「osc<0>」が、トランスミッションゲート743を通過して、NANDゲート745に供給される。同様に、ビット信号「tcsr_mux<1>」が「ハイ」のとき、NANDゲート753からの論理出力信号が、トランスミッションゲート755を通じてNANDゲート745に供給される。ビット信号「tcsr_mux<2>」が「ハイ」のとき、NANDゲート763からの論理出力信号が、トランスミッションゲート765を通じてNANDゲート767に供給される。ビット信号「tcsr_mux<3>」が「ハイ」のとき、NANDゲート775からの論理出力信号が、トランスミッションゲート777を通じてNANDゲート767に供給される。

20

【 0 1 3 0 】

ビット信号「ref_mux<0>」が「ハイ」のとき、NANDゲート749が、「osc<0>」の反転ビット信号、すなわち「osc<0>*」をもたらし、反転ビット信号「osc<0>*」が、NANDゲート753によりさらに反転される。したがって、ビット信号「osc<0>」がトランスミッションゲート755の信号入力に供給される。ビット信号「ref_mux<0>」が「ロー」のとき、NANDゲート751が、「osc<1>」の反転ビット信号、すなわち「osc<1>*」をもたらし、反転ビット信号「osc<1>*」が、NANDゲート753によりさらに反転される。したがって、ビット信号「osc<1>」がトランスミッションゲート755の信号入力に供給される。

【 0 1 3 1 】

同様に、ビット信号「ref_mux<0>」が「ハイ」のとき、NANDゲート759が、「osc<1>」の反転ビット信号、すなわち「osc<1>*」をもたらし、反転ビット信号「osc<1>*」が、NANDゲート763によりさらに反転される。したがって、ビット信号「osc<1>」がトランスミッションゲート765の信号入力に供給される。信号「ref_mux<0>」が「ロー」のとき、NANDゲート761が、「osc<2>」の反転信号、すなわち「osc<2>*」をもたらし、反転ビット信号「osc<2>*」が、NANDゲート763によりさらに反転される。したがって、ビット信号「osc<2>」がトランスミッションゲート765の信号入力に供給される。

30

【 0 1 3 2 】

さらに、ビット信号「ref_mux<0>」が「ハイ」のとき、NANDゲート771が、「osc<2>」の反転ビット信号、すなわち「osc<2>*」をもたらし、反転ビット信号「osc<2>*」が、NANDゲート775によりさらに反転される。したがって、ビット信号「osc<2>」が、トランスミッションゲート777の信号入力に供給される。ビット信号「ref_mux<0>」が「ロー」のとき、NANDゲート773が、「osc<3>」の反転信号、すなわち「osc<3>*」をもたらし、反転ビット信号「osc<3>*」が、NANDゲート775によりさらに反転される。したがって、ビット信号「osc<3>」がトランスミッションゲート777の信号入力に供給される。NANDゲート745および767からの出力信号が、NORゲート779に供給される。NANDゲート767からの出力信号、およびトランスミッションゲート777からの出力信号が、NORゲート779に供給される。NANDゲート745および767の出力信号が、NORゲート779に供給されて、セルフリフレッシュ要求信号227がもたらされる。

40

【 0 1 3 3 】

50

したがって、温度補償-多重化信号493mxの4つのビット信号「tcsr_mux<0>」～「tcsr_mux<3>」、反転温度補償-多重化信号494mx*の4つのビット信号「tcsr_mux_b<0>」～「tcsr_mux_b<3>」、プロセス変動-多重化信号487mx0の1つのビット信号「ref_mux<0>」、および反転プロセス変動-多重化信号488mx0*の1つのビット信号「ref_mux_b<0>」の論理状態に従って、4つのビット信号「osc<0>」～「osc<3>」を有する周波数分割後発振信号495oscから1つのビット信号が選択される。したがって、セルフリフレッシュ要求信号227は、さらに分割された周波数Fdo2およびさらに乗算された周期Tmp2を有する。

【0134】

上述のように、この実施形態DRAMデバイスでは、(基本時間周期Tbpに直接関係する)リフレッシュ時間Trfが、提供されるプロセス特性値およびTCSR値によって可変に制御される。したがって、セルフリフレッシュ周期は、デバイス温度に対する電流リークに応じて、DRAMデバイスの温度が標準未満に低下すると、より長くなるように変更し、デバイス温度が標準より上に上昇すると、より短くなるように変更することができる。

10

【0135】

0.5msリフレッシュ時間の場合、リフレッシュ動作があまりにも頻繁に行われなければならないため、スリープモードをサポートすることができない。そのような場合、内部のアクティブな電源(図示せず)を使用して、リフレッシュ動作を可能にすることができる。内部低電源を用いた真のスリープモード動作は、好ましくは、リフレッシュ時間が1msのときに実施される。

【0136】

本発明の実施形態によるDRAMデバイスでは、ターゲットリフレッシュ時間をDRAMデバイスのセルリフレッシュ特性に応じて変更することが容易である。図3Aおよび3Bに示すDRAMデバイスでは、基本時間周期生成器217が基本時間周期を生成する。使用すべきリフレッシュ時間は、いくつかの周波数分割器と、「rfc0」、「rfc1」および「rfc2」というプロセス変動設定値、ならびに「TC1」および「TC0」という温度設定値によって決まる。プロセス変動値は、プロセス特性に基づいて設定され、「TC1」および「TC0」は、システムがリフレッシュ時間周期をより正確に制御するものである場合、組み込みの温度センサによって感知された温度で自動的に変更することができる。

20

【0137】

プロセス変動パスにおける全てのリフレッシュ時間選択肢が、0.5msのケースはTCSRデフォルト設定のため除き、85 の場合のリフレッシュ時間を確実なものにするより1段低い値を有することが有利である。次いで、セルフリフレッシュ時間の出力信号が、1段高い値を有してTCSRパスから取り出される。例えば、2msのリフレッシュ時間が選択される場合、1ms時間をプロセス変動パスから得ることができ、TCSRパスが2msリフレッシュ時間を生成する。

30

【0138】

表9は、7ケースのプロセス変動の、セルリフレッシュ特性に応じたターゲットリフレッシュ時間Trfを示す。

【0139】

【表 9】

表9

プロセス変動 PV	リフレッシュ時間周期 Tp	リフレッシュ時間 Trf
PV0	122ns	0.5ms
PV1	244ns	1ms
PV2	488ns	2ms
PV3	976ns	4ms
PV4	1952ns	8ms
PV5	3904ns	16ms
PV6	7808ns	32ms

10

【0140】

表10は、上記のターゲットリフレッシュ時間Trfを得るための、プロセス変動ベース乗算因子Kpvおよび温度補償ベース乗算因子Ktcを示す。

【0141】

【表 10】

表10

プロセス変動 PV	プロセス変動ベース 乗算因子Kpv	温度補償ベース 乗算因子Ktc	リフレッシュ時間周期 Tp=Tbp×PV _i ×Tj
PV0	1	1	122ns
PV1	2	1	244ns
PV2	4	1	488ns
PV3	8	1	976ns
PV4	16	1	1952ns
PV5	32	1	3904ns
PV6	64	1	7808ns

20

【0142】

セルリフレッシュ特性に応じた上述のターゲットリフレッシュ時間Trfを得るためには、プロセス変動および温度変化が、表11に示すように設定されなければならない。

30

【0143】

【表 11】

表11

プロセス変動PV	リフレッシュ特性			温度変化	
	rfc2	rfc1	rfc0	TC1	TC0
PV0	0	0	0	0	1
PV1	0	0	1	0	1
PV2	0	1	0	0	1
PV3	1	0	0	0	1
PV4	0	1	1	0	1
PV5	1	0	1	0	1
PV6	1	1	0	0	1
不使用	1	1	1	0	1

40

【0144】

例えば、ターゲットリフレッシュ時間Trfがプロセス変動PV4に従って8msであり、温度変化が85 ~ 70 である場合、符号はそれぞれ0、1、1および0、1でなければならない。したがって、表5を参照すると、これらの信号「ref_time」の論理状態は、表12に示すよ

50

うになる。

【 0 1 4 5 】

【 表 1 2 】

表12

信号「ref_time」	符号化された論理状態
ref_time<6>	0
ref_time<5>	0
ref_time<4>	1
ref_time<3>	1
ref_time<2>	1
ref_time<1>	1
ref_time<0>	1

10

【 0 1 4 6 】

したがって、信号「ref_time」のこの論理状態では、発振ビット信号「osc<4>」～「osc<0>」が周波数分割後発振信号286(周波数分割後発振信号486osc)(図8Aおよび8Bを参照されたい)としてもたらされる。

【 0 1 4 7 】

さらに、多重化ビット信号「ref_mux」の論理状態を表13に示す。

【 0 1 4 8 】

【 表 1 3 】

表13

信号「ref_mux」	符号化された論理状態
ref_mux<6>	0
ref_mux<5>	0
ref_mux<4>	1
ref_mux<3>	0
ref_mux<2>	0
ref_mux<1>	0
ref_mux<0>	0

20

30

【 0 1 4 9 】

したがって、図11Aおよび11Bを参照すると、「ref_mux<4>」が「1」論理状態の場合、トランSMissionゲート576だけが、入力信号(周波数分割後発振信号486oscの1つのビット信号「osc<4>」)を通過させる。PMOSトランジスタ575がオフであり、トランSMissionゲート576からの通過後の出力信号(ビット信号「osc<4>」)が、NANDゲート577により反転される。さらに、NANDゲート577からの論理出力信号が、NORゲート587、NANDゲート589、およびインバータ590により反転される。したがって、第1の周波数分割後信号223(すなわち、インバータ590からの反転出力信号)は、周波数分割後発振信号486oscのビット信号「osc<4>」と同じ信号になる。ビット信号「osc<4>」の周波数は、Fbo/16であり、反復周期T_{mp1}は16×T_{bp}である。

40

【 0 1 5 0 】

さらに、温度補償パスにおいて、周波数分割器側の論理状態を表14に示す。

【 0 1 5 1 】

【表 1 4】

表14

信号「tcsr_time」	符号化された論理状態
tcsr_time<3>	0
tcsr_time<2>	0
tcsr_time<1>	1
tcsr_time<0>	1

【 0 1 5 2 】

10

したがって、図13Aおよび13Bを参照すると、周波数分割後発振信号492oscの2つのビット信号「osc<1>」および「osc<0>」が、発振信号周波数分割器291により周波数分割後発振信号292としてもたらされる。

【 0 1 5 3 】

多重化論理信号「tcsr_mux」を表15に示す。

【 0 1 5 4 】

【表 1 5】

表15

信号「tcsr_mux」	符号化された論理状態
tcsr_mux<3>	0
tcsr_mux<2>	0
tcsr_mux<1>	1
tcsr_mux<0>	0

20

【 0 1 5 5 】

図15Aおよび15Bを参照すると、ビット信号「ref_mux_b<0>」が「ハイ」であり、ビット信号「osc<1>」が、NANDゲート751により反転され、その出力論理信号が、NANDゲート753によりさらに反転されて、トランスマッションゲート755を通過する。トランスマッションゲート755からの通過後の出力信号が、NANDゲート745およびNORゲート779によりさらに反転され、セルフリフレッシュ要求信号227としてもたらされる。したがって、セルフリフレッシュ要求信号227は、ビット信号「osc<1>」と同じ信号になる。

30

【 0 1 5 6 】

ビット信号「osc<1>」の周波数は、第1の周波数分割後信号223と同じ周波数であり、反復周期Tmp2は、Tmp1と同じである。したがって、第1のリフレッシュ時間変更器221および第2のリフレッシュ時間変更器225は、周波数を16で割り、周期時間を16倍する。さらに乗算された周期Tmp2は、 $16 \times Tbp$ である。

【 0 1 5 7 】

図16は、図3Aおよび3Bに示すDRAMデバイス内に見られるコントローラによって実施される、リフレッシュ時間設定動作を示す。

40

【 0 1 5 8 】

図3Aおよび3Bおよび16を参照すると、セルフリフレッシュモードにおいて、セルフリフレッシュモード検出器213によりセルフリフレッシュモード信号215がもたらされた後、リフレッシュ時間設定動作が開始する。最初に、プロセス変動が既に設定されているかどうかについて判定される(ステップ811)。プロセス変動が設定または定められていない場合(ステップ811においてNO)、プロセス変動特性提供器210が、プロセス変動を含むリフレッシュ周期値信号261をリフレッシュ周期セクタ263に供給し(ステップ812)、第1のリフレッシュ時間変更器221が、提供されたプロセス変動に基づいてステップ813で時間変更動作を実施する。TCSRリクエスト275が、温度センサ271からの温度信号273に应答してTCSR信号277をもたらす。ステップ813の後またはプロセス変動が既に設定されてから(ステップ8

50

11においてYES)、温度が変化したかどうかについてさらに判定される(ステップ814)。温度変化が感知されていない場合(ステップ814においてNO)、リフレッシュ時間設定動作が終了する。温度変化が感知された場合(ステップ814においてYES)、第2のリフレッシュ時間変更器225が、変化した温度に基づいて時間変更動作を実施する(ステップ815)。次いで、変更された時間に従って、リフレッシュ時間Trfが決定され(ステップ816)、リフレッシュ時間設定動作が完了する。

【0159】

また、ステップ814では、プロセス変動および変化した温度に基づいて、デフォルトコントローラ276が(最小リフレッシュ時間である)「デフォルト」動作状況を検出し、温度信号が第2のリフレッシュ時間変更器225に供給されて、リフレッシュ時間Trfが0.5msに設定される。

10

【0160】

図17Aおよび17Bは、本発明の別の実施形態によるDRAMデバイスを示す。図17Aおよび17Bと図3Aおよび3Bの実施形態DRAMデバイスの相違は、第1のリフレッシュ時間変更器と第2のリフレッシュ時間変更器が変更されていることである。図17Aおよび17Bでは、第1および第2のリフレッシュ時間変更器がそれぞれ、第2および第1のリフレッシュ時間変更器225および221に対応する。

【0161】

図17Aおよび17Bを参照すると、セルフリフレッシュモードへのエントリ、およびそこからのイグジットを有するコマンド信号911に応答して、セルフリフレッシュモード検出器913が、セルフリフレッシュモード信号915をイネーブルにする。「セルフリフレッシュ」モードでは、基本時間周期生成器917が、基本発振信号Fboおよび基本時間周期Tbpを有する基本発振信号919を生成し、それが第1のリフレッシュ時間変更器921に供給される。第1のリフレッシュ時間変更器921は、第1の周波数分割後信号923をもたらし、第2のリフレッシュ時間変更器925は、さらに周波数分割され、多重化された信号を、セルフリフレッシュ要求信号927としてもたらし、セルフリフレッシュ要求信号927に回答して、内部行アドレスカウンタ929が、適切な内部行アドレスを有するアドレス信号931を生成する。行アドレスデコーダ933が、内部行アドレスをデコードして、デコードされたアドレス信号935をもたらし、その結果、DRAMセルアレイ937の選択されたワード線がアクティブにされる。

20

【0162】

DRAMデバイスに組み込みの温度センサ971が、温度ベース設定用の温度補償セルフリフレッシュ(TCSR)値を含む温度信号973を、TCSRリクエスタ975に供給する。TCSRリクエスタ975は、TCSR信号977をTCSRデコーダ979に供給し、TCSRデコーダ979は、温度補償因子信号981を第1のリフレッシュ時間変更器921に供給する。第1のリフレッシュ時間変更器921が、基本時間周期生成器917により生成された基本時間周期Tbpを変化させ、第1の周波数分割後信号923が、第2のリフレッシュ時間変更器925に供給される。

30

【0163】

プロセス変動特性提供器910が、プロセス変動値信号941をプロセス変動モニタ943に、周期値信号951を基本時間周期コントローラ953に、またリフレッシュ周期値信号961を、リフレッシュ周期セクタ963に供給する。リフレッシュ周期値信号961は、プロセス変動関連値を含み、プロセス変動関連値は、プロセス変動因子Fpvによるリフレッシュ時間特性「rfc0」、「rfc1」および「rfc2」である。リフレッシュ周期セクタ963が、因子Fpvをデコードして、プロセス変動因子信号965を第2のリフレッシュ時間変更器925に供給する。因子Fpvに従って、第2のリフレッシュ時間変更器925が、周波数分割後信号を生成する。

40

【0164】

デフォルトコントローラ976が、温度補償因子信号981およびプロセス変動因子信号965を受領し、デフォルト動作状況(すなわち、例えば0.5msの最小リフレッシュ時間)を検出して、デフォルト信号978を第2のリフレッシュ時間変更器925に供給する。

【0165】

50

表16は、温度およびプロセス変動が異なる場合の、セルリフレッシュ特性に応じたターゲットリフレッシュ時間 T_{rf} を示す。

【 0 1 6 6 】

【 表 1 6 】

表16

温度変化 $T(^{\circ}\text{C})$	プロセス変動						
	PV0	PV1	PV2	PV3	PV4	PV5	PV6
$T > 85$ (TS3)	0.5ms	0.5ms	1ms	2ms	4ms	8ms	16ms
$85 > T > 70$ (TS2)	0.5ms	1ms	2ms	4ms	8ms	16ms	32ms
$70 > T > 45$ (TS1)	1ms	2ms	4ms	8ms	16ms	32ms	64ms
$45 > T > 15$ (TS0)	2ms	4ms	8ms	16ms	32ms	64ms	128ms

10

【 0 1 6 7 】

表16に示すように、7通りの変動PV0～PV6、および4通りの温度変化が、リフレッシュ時間 T_{rf} を変更または調整する因子である。この場合、基本時間周期 T_{bp} は122nsである。

【 0 1 6 8 】

20

表17では、7通りの変動PV0～PV6、および4通りの温度変化が、リフレッシュ時間 T_{rf} を変更または調整するリフレッシュ時間変更因子である。この場合、基本時間周期 T_{bp} は122nsである。

【 0 1 6 9 】

【表 17】

表17

温度補償 ベース 乗算因子Ktc	プロセス変動 ベース 乗算因子Kpv	リフレッシュ 時間周期 $T_p = T_{bp} \times K_{pv} \times K_{tc}$	リフレッシュ サイクルRC (サイクル)	リフレッシュ 時間 $T_{rf} = RC \times T_p$
(Pj=2)4	(Pi=0)1	488ns	4096	2ms
(Pj=2)4	(Pi=1)2	976ns	4096	4ms
(Pj=2)4	(Pi=2)4	1952ns	4096	8ms
(Pj=2)4	(Pi=3)8	3904ns	4096	16ms
(Pj=2)4	(Pi=4)16	7808ns	4096	32ms
(Pj=2)4	(Pi=5)32	15616ns	4096	64ms
(Pj=2)4	(Pi=6)64	31232ns	4096	128ms
(Pj=1)2	(Pi=0)1	244ns	4096	1ms
(Pj=1)2	(Pi=1)2	488ns	4096	2ms
(Pj=1)2	(Pi=2)4	976ns	4096	4ms
(Pj=1)2	(Pi=3)8	1952ns	4096	8ms
(Pj=1)2	(Pi=4)16	3904ns	4096	16ms
(Pj=1)2	(Pi=5)32	7808ns	4096	32ms
(Pj=1)2	(Pi=6)64	15616ns	4096	64ms
(Pj=0)1	(Pi=0)1	122ns	4096	0.5ms
(Pj=0)1	(Pi=1)2	244ns	4096	1ms
(Pj=0)1	(Pi=2)4	488ns	4096	2ms
(Pj=0)1	(Pi=3)8	976ns	4096	4ms
(Pj=0)1	(Pi=4)16	1952ns	4096	8ms
(Pj=0)1	(Pi=5)32	3904ns	4096	16ms
(Pj=0)1	(Pi=6)64	7808ns	4096	32ms
(Pj= -1)0.5	(Pi=0)1	122ns ^{#2}	4096	0.5ms ^{#2}
(Pj= -1)0.5	(Pi=1)2	122ns	4096	0.5ms
(Pj= -1)0.5	(Pi=2)4	244ns	4096	1ms
(Pj= -1)0.5	(Pi=3)8	488ns	4096	2ms
(Pj= -1)0.5	(Pi=4)16	976ns	4096	4ms
(Pj= -1)0.5	(Pi=5)32	1952ns	4096	8ms
(Pj= -1)0.5	(Pi=6)64	3904ns	4096	16ms

10

20

30

【0170】

表17では、#2は「デフォルト」を意味し、リフレッシュ時間周期 T_p が自動的に「122ns」に設定され、したがってリフレッシュ時間 T_{rf} が0.5msに設定される。

【0171】

図18は、図17に示すDRAMデバイス内に見られるコントローラによって実施される、リフレッシュ時間設定動作を示す。

40

【0172】

図17Aおよび17Bおよび18を参照すると、セルフリフレッシュモードにおいて、セルフリフレッシュモード検出器913によりセルフリフレッシュモード信号915がもたらされた後、リフレッシュ時間設定動作が開始する。TCSRリクエスト975が、温度センサ971からの温度信号973に応答してTCSR信号977をもたらし、温度変化が感知されたかどうかについて判定される(ステップ821)。温度が変化した場合(ステップ821においてYES)、第1のリフレッシュ時間変更器921が、変化した温度に基づいて時間変更動作を実施する(ステップ822)。ステップ822の後、または温度変化が感知されない場合(ステップ821においてNO)、プロセス変動が既に設定または定められているかどうかについて、さらに判定される(ステップ823

50

)。プロセス変動が既に設定されている場合(ステップ823においてYES)、リフレッシュ時間設定動作が完了する。プロセス変動が設定されていない場合(ステップ823においてNO)、プロセス変動特性提供器910が、プロセス変動に関するリフレッシュ周期値信号961をリフレッシュ周期セレクタ963に供給する(ステップ824)。第2のリフレッシュ時間変更器925が、ステップ824でもたらされたプロセス変動に基づいて時間変更動作を実施する(ステップ825)。次いで、変更された時間に基づいて、リフレッシュ時間 T_{rf} が決定される(ステップ826)。リフレッシュ時間設定動作が完了する。

【0173】

ステップ822において、感知された温度 T が 85°C を上回り、かつ設定されるプロセス変動が限定的にPV0である場合、デフォルトコントローラ976が、(最小リフレッシュ時間 0.5ms である)「デフォルト」動作状況を判定し、その結果、温度信号が第2のリフレッシュ時間変更器925に供給されて、リフレッシュ時間 T_{rf} が 0.5ms に設定される。

10

【0174】

各実施形態では、リフレッシュ時間を、セル特性変動により小さな、また大きなリークを有するDRAMセルのリフレッシュをカバーするように拡張することができる。MIMコンデンサを含むさまざまな構造を有するDRAMデバイスは、スタックトDRAMコンデンサまたはトレンチDRAMコンデンサに比べてその小さなキャパシタンスのため、広範なリフレッシュ時間特性を必要とする。したがって、特に低電力適用分野の場合、製品段階においてMIMコンデンサベースセルのリフレッシュ特性の全範囲に対応する必要がある。 $122\text{ns} \sim 7808\text{ns}$ までのセルフリフレッシュパルス周期を、周波数分割器を用いて選択するための、広範な

20

【0175】

上述のように、広範なリフレッシュ時間を、TCSR機能と協同してカバーすることができる。低電力設計において、多様なセルリフレッシュ特性を、歩留まりを損なわずにカバーすることができる。(温度と関係する)TCSRと協同して、セルリフレッシュ特性に関するリフレッシュ時間を、製品試験段階において選択することが可能である。これは、プロセス

30

【0176】

本発明の実施形態は、DRAMデバイス、ならびに温度補償セルフリフレッシュおよび広範なリフレッシュ時間制御を用いてメモリセルをセルフリフレッシュする方法を提供する。リフレッシュ時間周期の変更に関する2つの因子は、温度、および回避できないプロセス変動によって生じる固有のリフレッシュ特性である。

【0177】

上述の実施形態は、さらにさまざまな変形形態を有することができる。上述の実施形態では、信号がアクティブ「ハイ」論理信号である。しかし、信号は、設計の好みに従って、アクティブ「ロー」信号でもよい。信号の論理「ハイ」および「ロー」状態はそれぞれ、低供給電圧 V_{ss} および高供給電圧 V_{dd} で表すことができる。

40

【0178】

DRAMセルの行およびワード線の数 N は、DRAMデバイスに応じて変わってよい。リフレッシュサイクル RC は、例えば 1024 、 2048 、 8192 など、異なってよい。また、リフレッシュ時間周期 T_p も異なってよい。

【0179】

各実施形態では、第1および第2のリフレッシュ時間変更器がそれぞれ、発振信号の周波数を分割(かつ反復周期を乗算)し、1組の分割された周波数信号をもたらす。周波数分割因子 2^{P1} および 2^{P2} は、他の値または関数パラメータに変更することができる。

50

【0180】

これらの時間変更器を周波数逓倍器と置き換えて、入力周波数をプロセス変動および温度変化から得られるパラメータで逓倍し、それにより、より高い周波数を有する1組の信号を生成することができる。周波数逓倍された信号のうち関連するものを、リフレッシュ時間を変更するために使用することができる。また、第1および第2のリフレッシュ時間変更器は、プロセス変動および温度変化から得られるリフレッシュ時間変更因子に従って、リフレッシュ時間を変更するための所望の周波数(または周期)信号を生成する、周波数シンセサイザでもよい。

【0181】

プロセス変動特性提供器210は、8ステップ(すなわち3ビット値)のプロセス変動関連値を提供する。より正確な制御が必要な場合、プロセス変動のステップ数を使用することができる。リフレッシュ周期値信号261がより多数のビットを有する場合、リフレッシュ周期セクタ263がそれに応じて変更される。また、3つ以上のビットを有するTCSR信号277が実装される場合、TCSRデコーダ279が、そのようなビット信号と合うように修正される。したがって、第1および第2のリフレッシュ時間変更器は、分割される発振信号の周波数をより正確な分解能で分割することができる。

【0182】

プロセス変動リフレッシュ時間変更因子 F_{pv} から得られるパラメータ P_i を、より多数のビットで表すことができ、 m 通りの分割後周波数を有する1組の周波数分割後信号(周波数分割後発振信号286)を変更することができる。同様に、温度補償リフレッシュ時間変更因子 F_{tc} から得られるパラメータ P_j を、より多数のビットで表すことができ、 n 通りの分割後周波数を有する1組の周波数分割後信号(周波数分割後発振信号292)を変更することができる。

【0183】

上述の実施形態では、デバイスの素子および回路が、話を簡単にするために、図中に示すように互いに接続される。DRAMデバイスおよび半導体ICに対する本発明の実際の適用例では、回路、素子、デバイスなどを、互いに直接的に接続することができる。同様に、回路、素子、デバイスなどを、DRAMデバイスおよび半導体ICの動作に必要な他の回路、素子、デバイスなどを通じて、互いに間接的に接続することもできる。したがって、DRAMデバイスおよび半導体ICの実際の構成では、回路、素子、デバイスなどが、互いに結合(直接的または間接的に接続)される。

【0184】

本発明の上述の実施形態は、単に例示を意図したものである。本明細書に添付の特許請求の範囲によってのみ定義される本発明の範囲から逸脱することなく、当業者の手で、特定の実施形態に対して、改変、修正、および変形を実施することができる。

【図面の簡単な説明】

【0185】

【図1A】従来型のダイナミックランダムアクセスメモリ(DRAM)デバイスに見られる、温度補償セルフリフレッシュ(TCSR)機能を用いたセルフリフレッシュ動作を示すブロック図である。

【図1B】図1Aに示すセルフリフレッシュ動作における信号に関する相対タイミングシーケンスを示す図である。

【図2A】本発明の一実施形態による、セルフリフレッシュ機能を備えたDRAMデバイスを示すブロック図である。

【図2B】図2Aに示すセルフリフレッシュコントローラを示すブロック図である。

【図3A】本発明の一実施形態によるDRAMデバイスを示すブロック図である。

【図3B】本発明の一実施形態によるDRAMデバイスを示すブロック図である。

【図4】図3Aおよび3Bに示すDRAMデバイスの信号に関するタイミングシーケンスである。

【図5】図3Aおよび3Bに示すDRAMデバイスの、第1のリフレッシュ時間変更器および第2の

10

20

30

40

50

リフレッシュ時間変更器を示すブロック図である。

【図6A】図3Aおよび3Bに示すDRAMデバイスの、基本時間周期生成器を示すブロック図である。

【図6B】図6Aに示す基本時間周期生成器の詳細な回路を示す回路図である。

【図6C】図6Aに示す基本時間周期生成器の詳細な回路を示す回路図である。

【図6D】図6Aに示す基本時間周期生成器の詳細な回路を示す回路図である。

【図7A】図3Aおよび3Bに示すDRAMデバイスの、リフレッシュ周期セクタを示すブロック図である。

【図7B】図7Aに示すリフレッシュ周期セクタの詳細な回路を示す回路図である。

【図8A】図5に示す発振信号周波数分割器を示すブロック図である。

10

【図8B】図8Aに示す発振信号周波数分割器の詳細な回路を示す回路図である。

【図9】図8Bに示す制御されたインバータ論理回路を示す回路図である。

【図10A】図5に示す選択コントローラを示すブロック図である。

【図10B】図10Aに示す選択コントローラの詳細な回路を示す回路図である。

【図11A】図5に示す発振信号マルチプレクサを示すブロック図である。

【図11B】図11Aに示す発振信号マルチプレクサの詳細な回路を示す回路図である。

【図12A】図3Aおよび3BのDRAMデバイスの、温度補償セルフリフレッシュ(TCSR)デコーダを示すブロック図である。

【図12B】図12Aに示すTCSRデコーダの詳細な回路を示す回路図である。

【図13A】図5に示す発振信号周波数分割器を示すブロック図である。

20

【図13B】図13Aに示す発振信号周波数分割器の詳細な回路を示す回路図である。

【図14A】図5に示す選択コントローラを示すブロック図である。

【図14B】図14Aに示す選択コントローラの詳細な回路を示す回路図である。

【図15A】図5に示す発振信号マルチプレクサを示すブロック図である。

【図15B】図15Aに示す発振信号マルチプレクサの詳細な回路を示す回路図である。

【図16】図3Aおよび3Bに示すDRAMデバイスのリフレッシュ時間動作を示す流れ図である。

【図17A】本発明の別の実施形態によるDRAMデバイスを示すブロック図である。

【図17B】本発明の別の実施形態によるDRAMデバイスを示すブロック図である。

【図18】図17Aおよび17Bに示すDRAMデバイスのリフレッシュ時間動作を示す流れ図である。

30

【符号の説明】

【0186】

- 200 DRAMセルのレイ
- 201 セルフリフレッシュコントローラ
- 203 モード検出器
- 205 アドレスデコーダ
- 206 基本時間生成器
- 207 第1の時間変更器
- 209 第2の時間変更器
- 210 プロセス変動特性提供器
- 211 コマンド信号
- 212 電圧検出器
- 213 セルフリフレッシュモード検出器
- 214 電力信号
- 215 セルフリフレッシュモード信号
- 217 基本時間周期生成器
- 219 基本発振信号
- 221 第1のリフレッシュ時間変更器
- 223 第1の周波数分割後信号

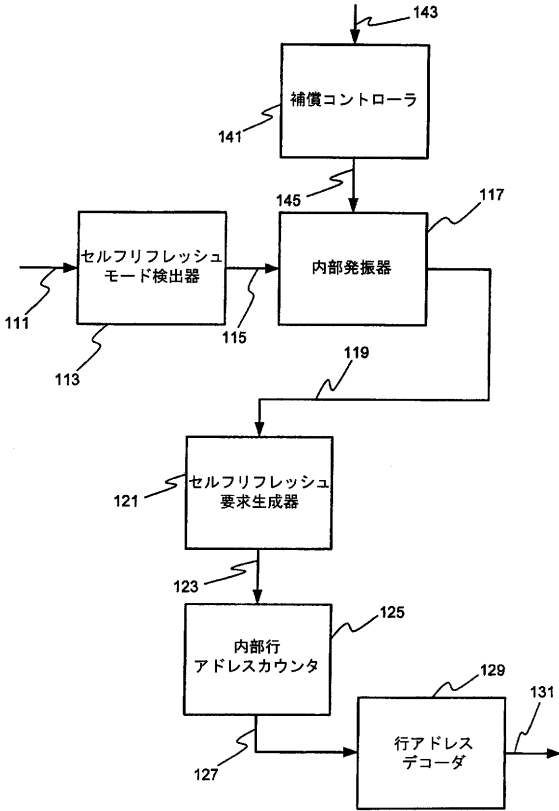
40

50

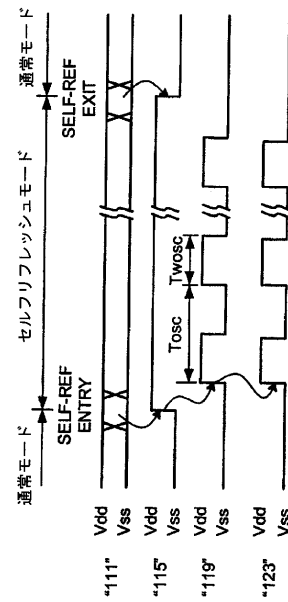
225	第2のリフレッシュ時間変更器	
227	セルフリフレッシュ要求信号	
229	内部行アドレスカウンタ	
231	アドレス信号	
233	行アドレスデコーダ	
235	デコードされたアドレス信号	
237	DRAMセルアレイ	
241	プロセス変動値信号	
243	プロセス変動モニタ	
245	プロセス変動監視後信号	10
247	バイアス電圧生成器	
249	バイアス電圧信号	
251	周期値信号	
253	基本時間周期コントローラ	
255	周期制御信号	
261	リフレッシュ周期値信号	
263	リフレッシュ周期セクタ	
265	プロセス変動因子信号	
266dv	プロセス変動-周波数分割信号	
267mx	プロセス変動-多重化信号	20
271	温度センサ	
273	温度信号	
275	TCSRリクエスト	
276	デフォルトコントローラ	
277	TCSR信号	
278	デフォルト信号	
279	TCSRデコーダ	
281	温度補償因子信号	
282dv	温度補償-周波数分割信号	
283	多重化信号	30
284mx	温度補償-多重化信号	
285	発振信号周波数分割器	
286	周波数分割後発振信号	
287	選択コントローラ	
288	周波数分割後発振信号	
289	発振信号マルチプレクサ	
291	発振信号周波数分割器	
292	周波数分割後発振信号	
293	選択コントローラ	
294	周波数分割後発振信号	40
295	発振信号マルチプレクサ	
486osc	周波数分割後発振信号	
487mx	7ビットプロセス変動-多重化信号	
487mx0	プロセス変動-多重化信号	
488mx0*	反転プロセス変動-多重化信号	
488mx*	7ビット反転プロセス変動-多重化信号、相補プロセス変動-多重化信号	
489osc	7ビット周波数分割後発振信号	
492osc	周波数分割後発振信号	
493mx	4ビット温度補償-多重化信号	
494mx*	4ビット反転温度補償-多重化信号	50

495osc	4ビット周波数分割後発振信号	
910	リフレッシュ時間特性提供器	
911	コマンド信号	
913	セルフリフレッシュモード検出器	
915	セルフリフレッシュモード信号	
917	基本時間周期生成器	
919	基本発振信号	
921	第1のリフレッシュ時間変更器	
923	第1の周波数分割後信号	
925	第2のリフレッシュ時間変更器	10
927	セルフリフレッシュ要求信号	
929	内部行アドレスカウンタ	
931	アドレス信号	
933	行アドレスデコーダ	
935	デコードされたアドレス信号	
937	DRAMセルアレイ	
941	プロセス変動値信号	
943	プロセス変動モニタ	
951	周期値信号	
953	基本時間周期コントローラ	20
961	リフレッシュ周期値信号	
963	リフレッシュ周期セクタ	
965	プロセス変動因子信号	
971	温度センサ	
973	温度信号	
975	TCSRリクエスタ	
976	デフォルトコントローラ	
977	TCSR信号	
978	デフォルト信号	
979	TCSRデコーダ	30
981	温度補償因子信号	
Fbo	基本発振信号、基本発振周波数	
Fdo1	分割された周波数	
Fdo2	さらに分割された周波数	
Kpv	プロセス変動ベース乗算因子	
Ktc	温度補償ベース乗算因子	
Pi	プロセス変動ベースパラメータ	
Pj	温度補償ベースパラメータ	
RC	リフレッシュサイクル	
Spdn	電力低下信号	40
Spwo	電力安定信号	
Tbp	基本時間周期	
Tmp1	乗算された時間周期、乗算された周期、反復周期	
Tmp2	乗算された時間周期、さらに乗算された周期、反復周期、	
Tp	リフレッシュ時間周期	
Trf	リフレッシュ時間、ターゲットリフレッシュ時間	
Twbp	パルス幅	
Vcap	コンデンサ基準電圧	
Vgn	nチャンネルゲート電圧	
Vgp	pチャンネルゲート電圧	50

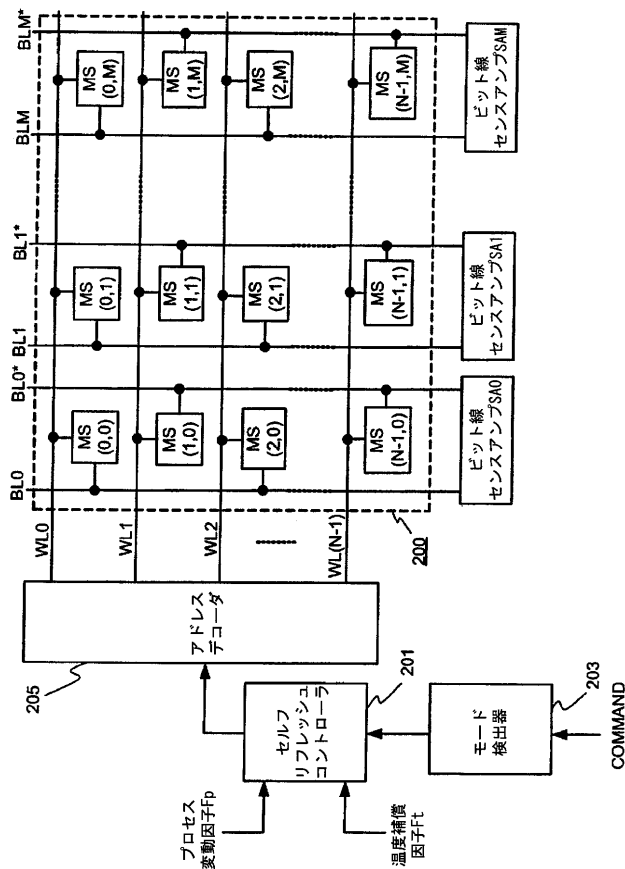
【図1A】



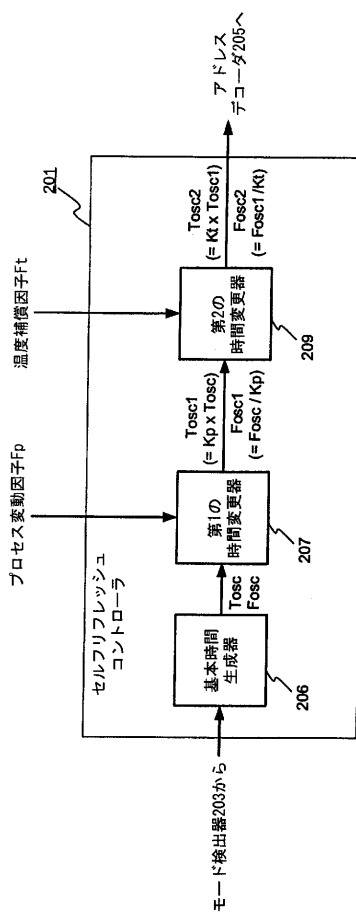
【図1B】



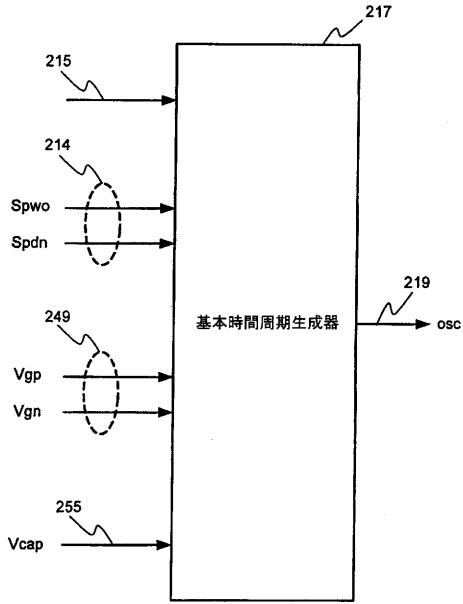
【図2A】



【図2B】



【 図 6 A 】



【 図 6 B 】

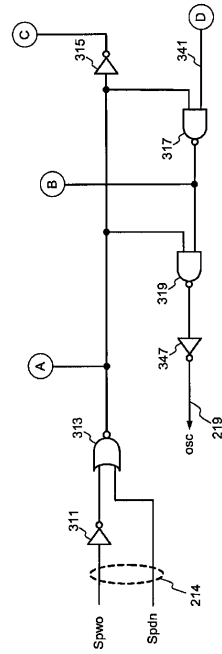


FIG. 6B

【 図 6 C 】

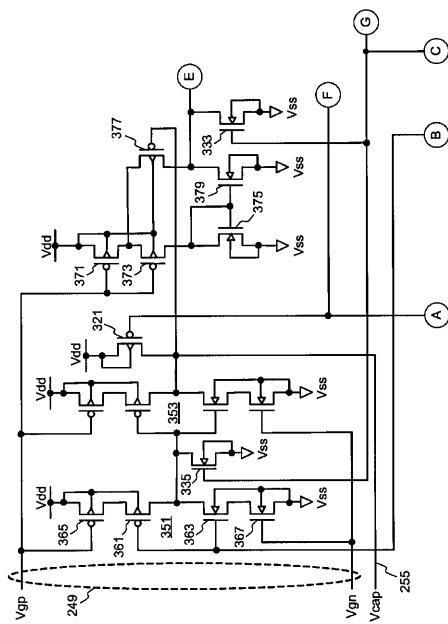


FIG. 6C

【 図 6 D 】

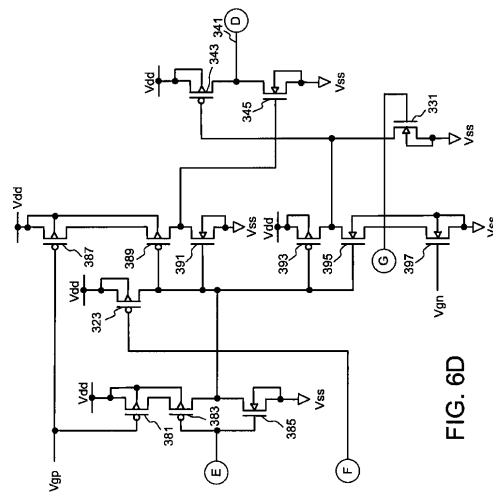
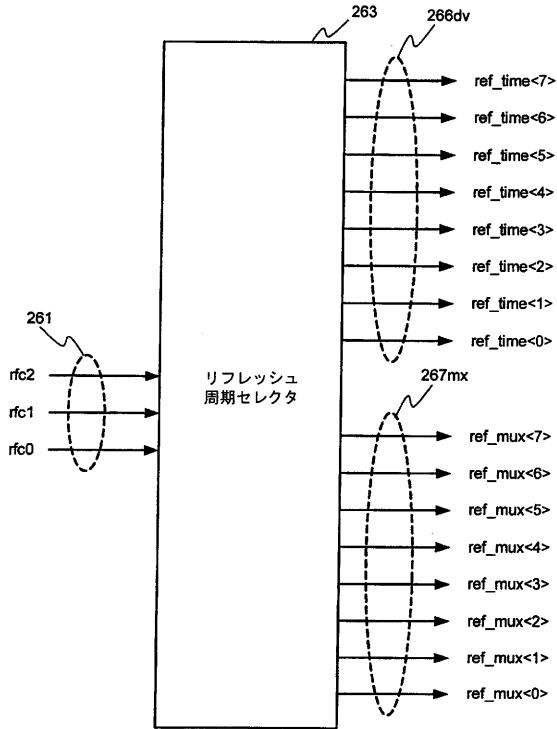


FIG. 6D

【 図 7 A 】



【 図 7 B 】

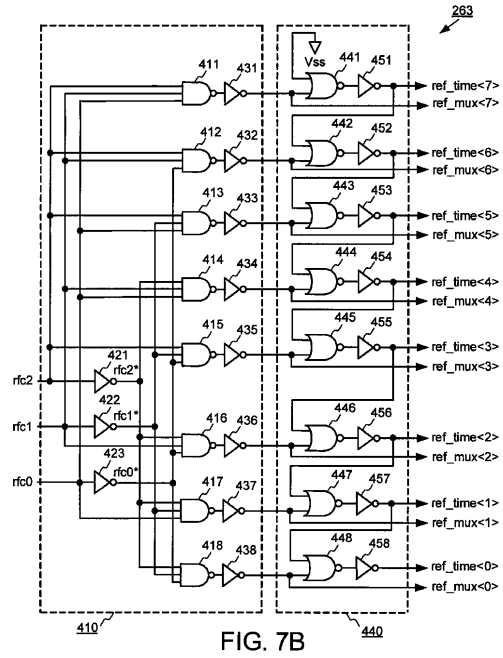
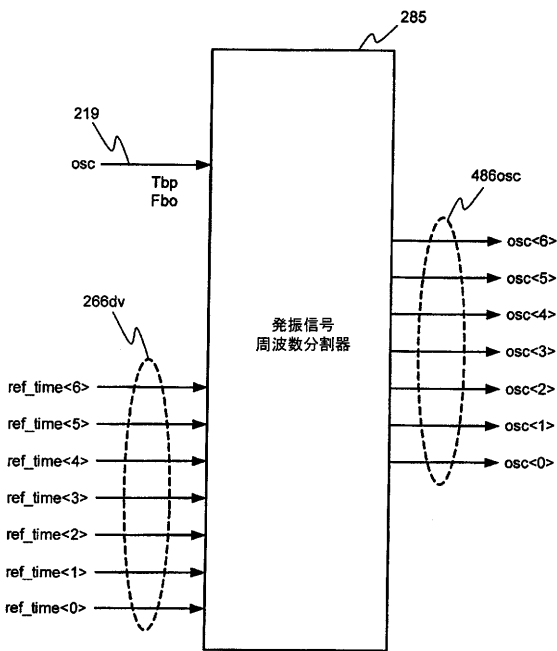
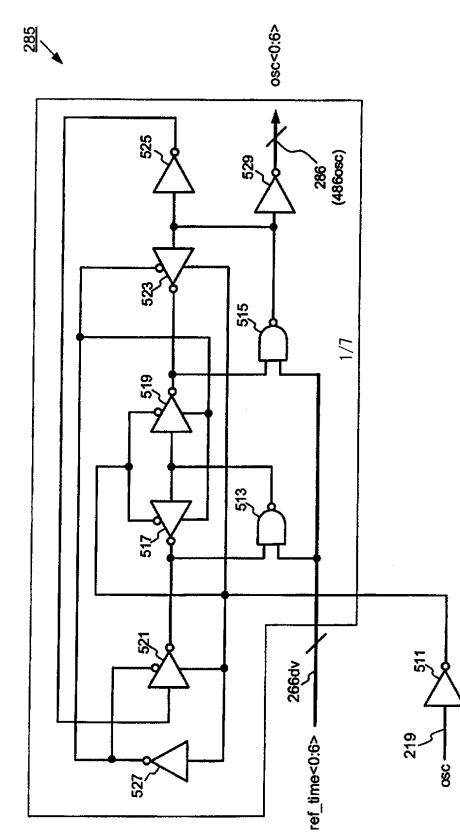


FIG. 7B

【 図 8 A 】



【 図 8 B 】



【 図 9 】

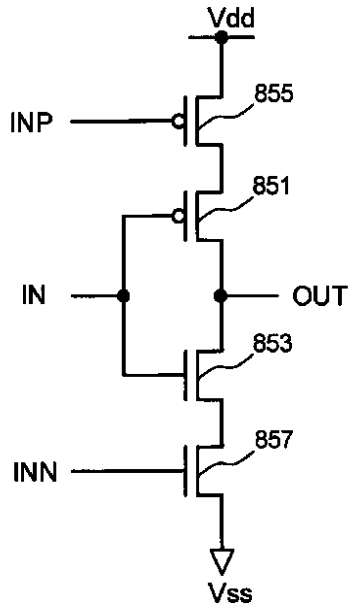
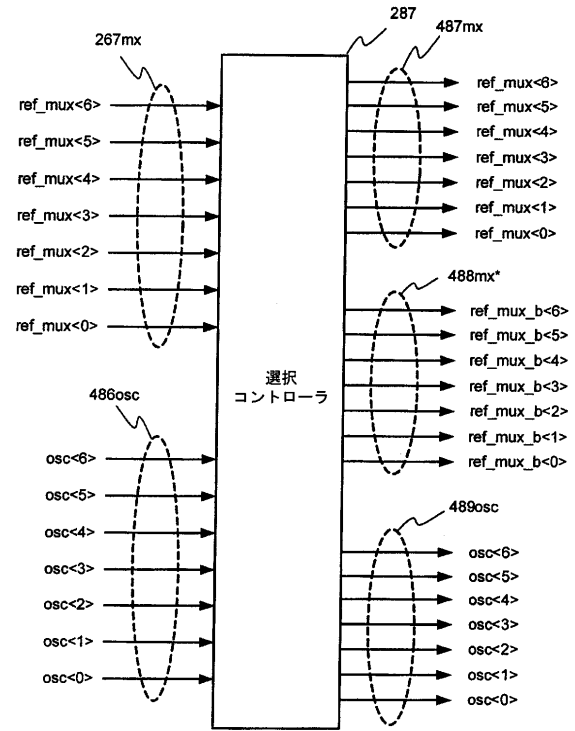


FIG. 9

【 図 10 A 】



【 図 10 B 】

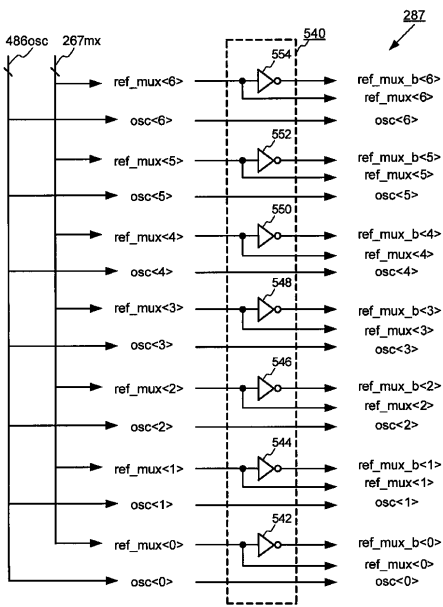
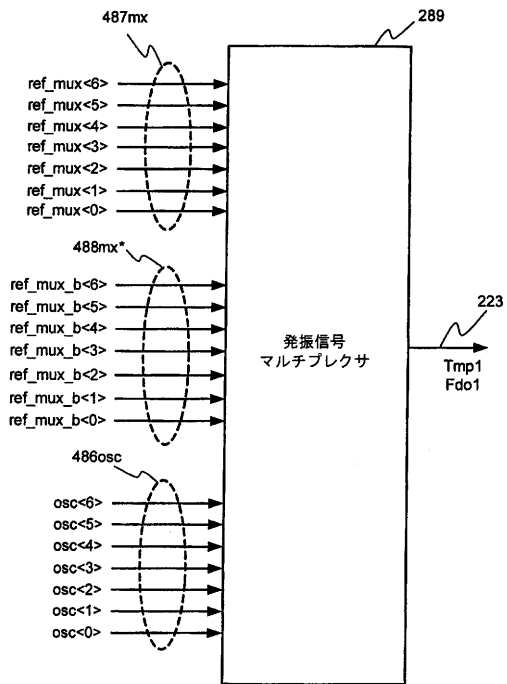


FIG. 10B

【 図 11 A 】



【図 1 1 B】

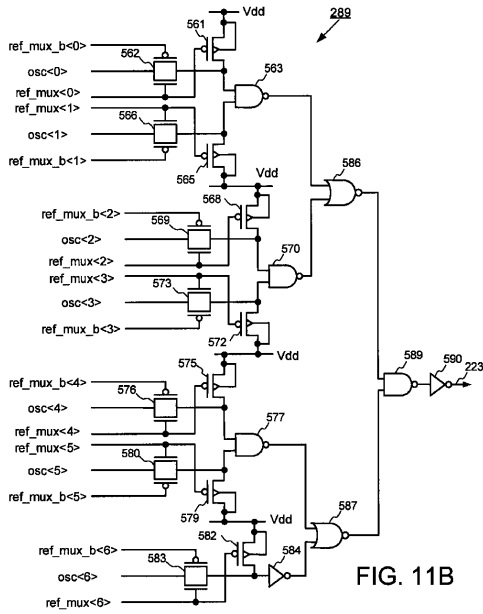
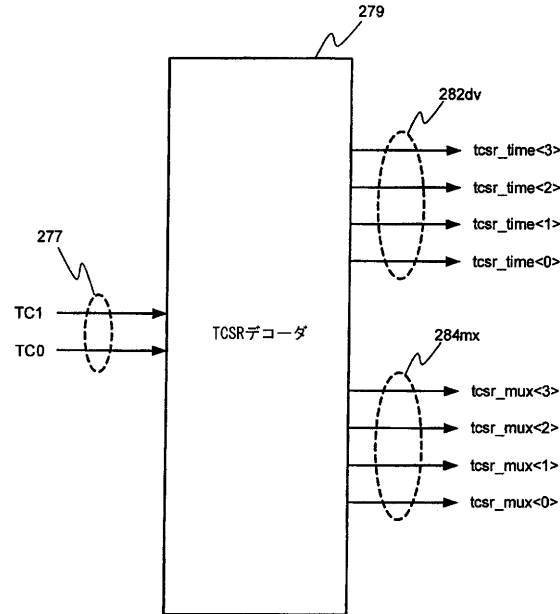


FIG. 11B

【図 1 2 A】



【図 1 2 B】

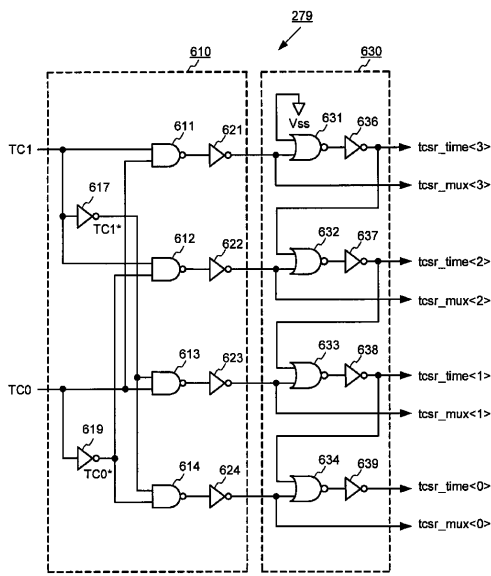
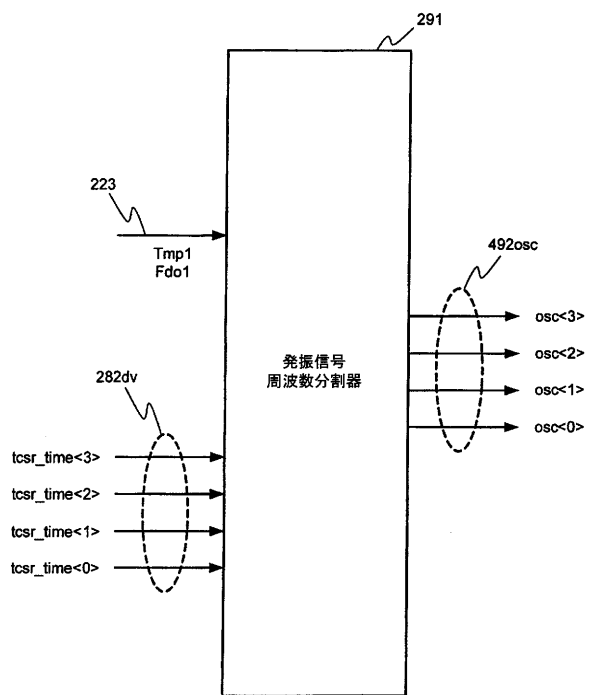
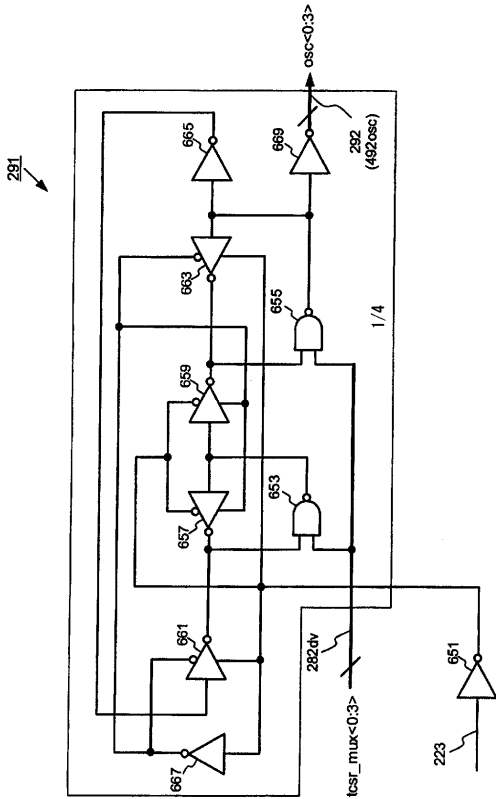


FIG. 12B

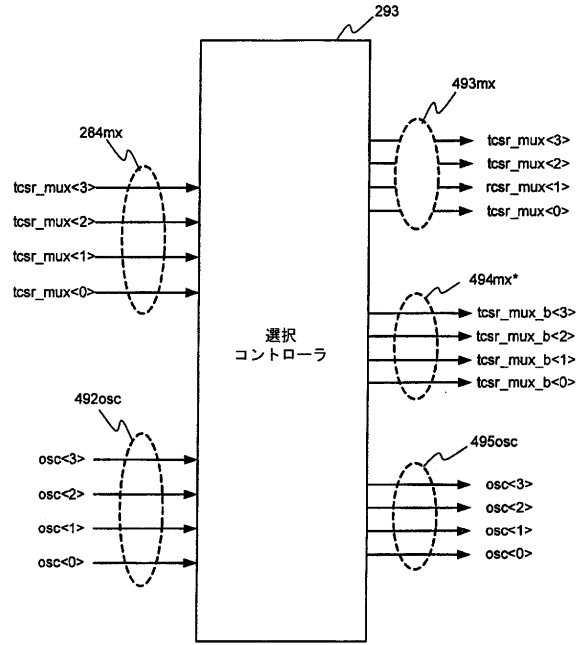
【図 1 3 A】



【 図 1 3 B 】



【 図 1 4 A 】



【 図 1 4 B 】

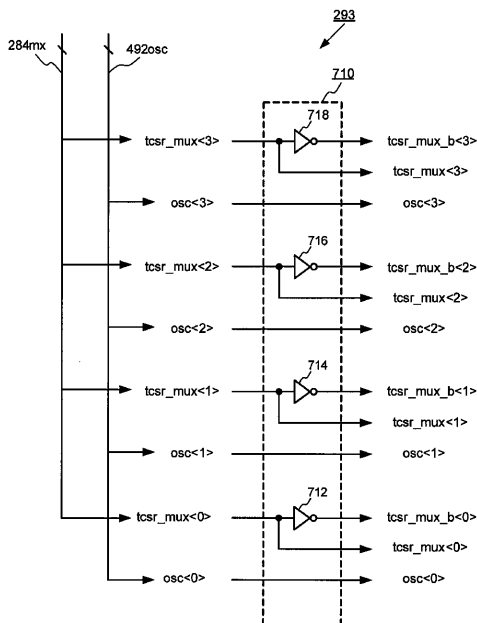
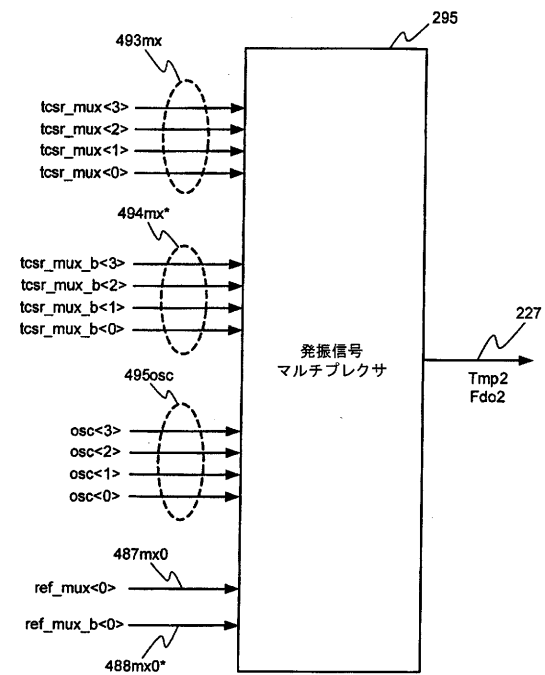


FIG. 14B

【 図 1 5 A 】



【図15B】

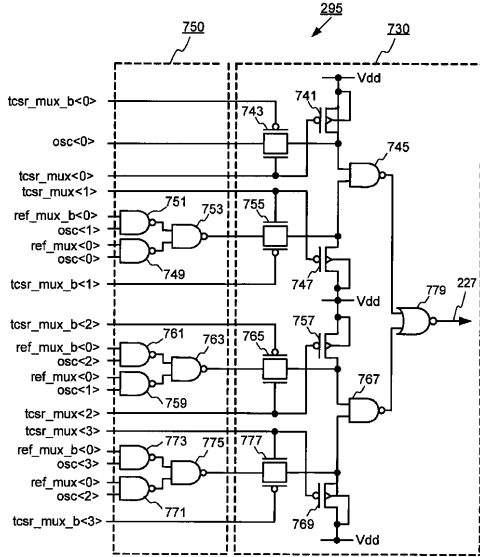
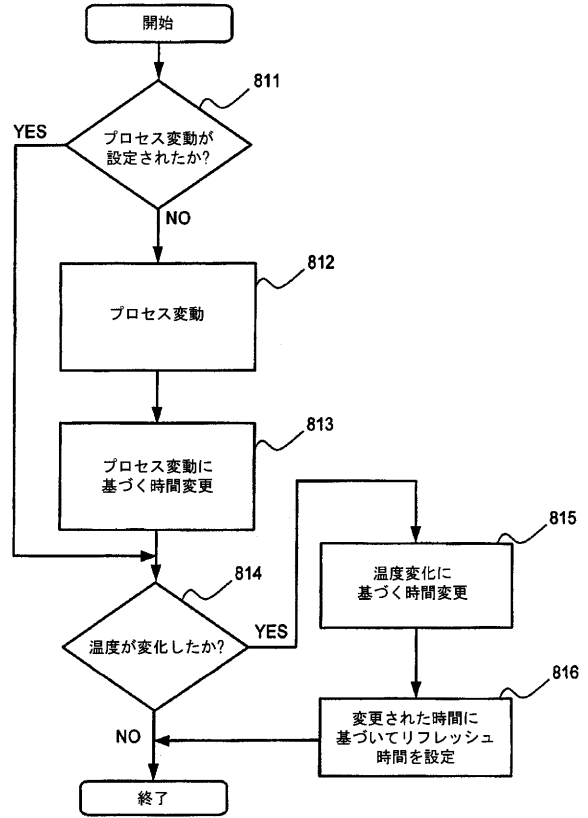
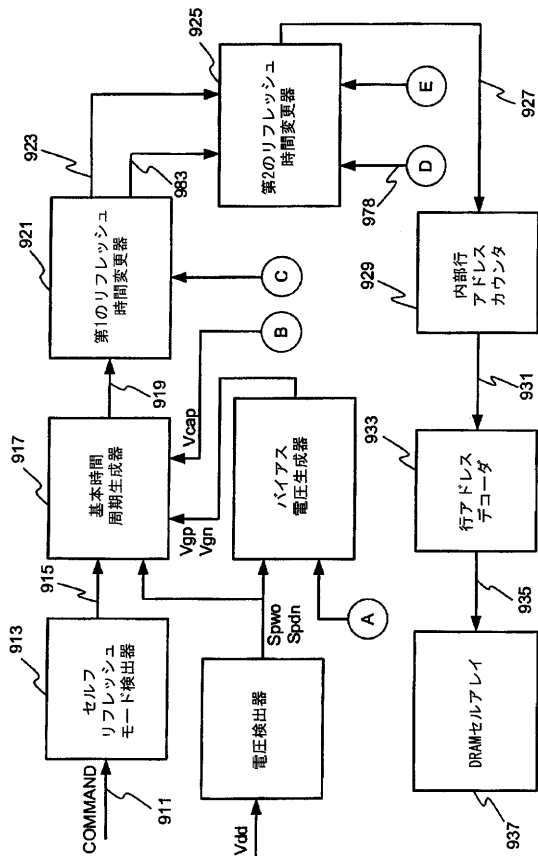


FIG. 15B

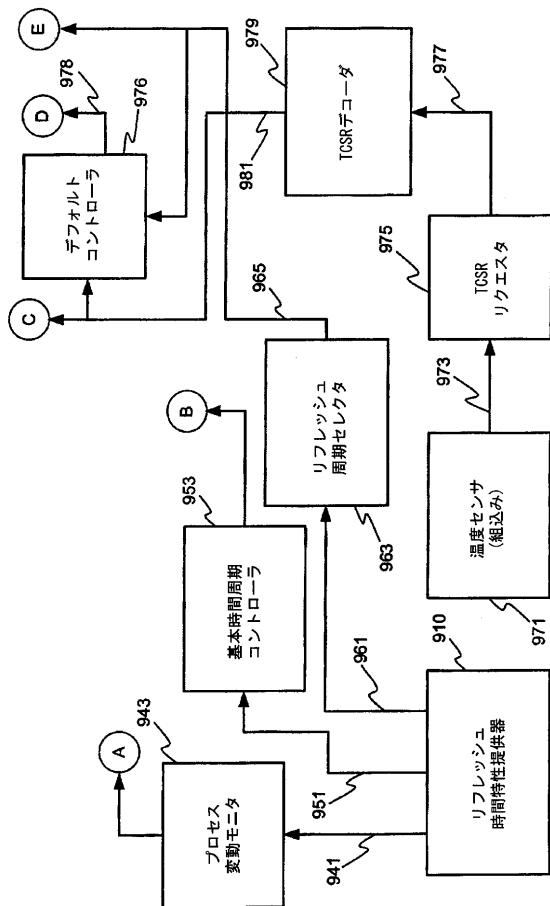
【図16】



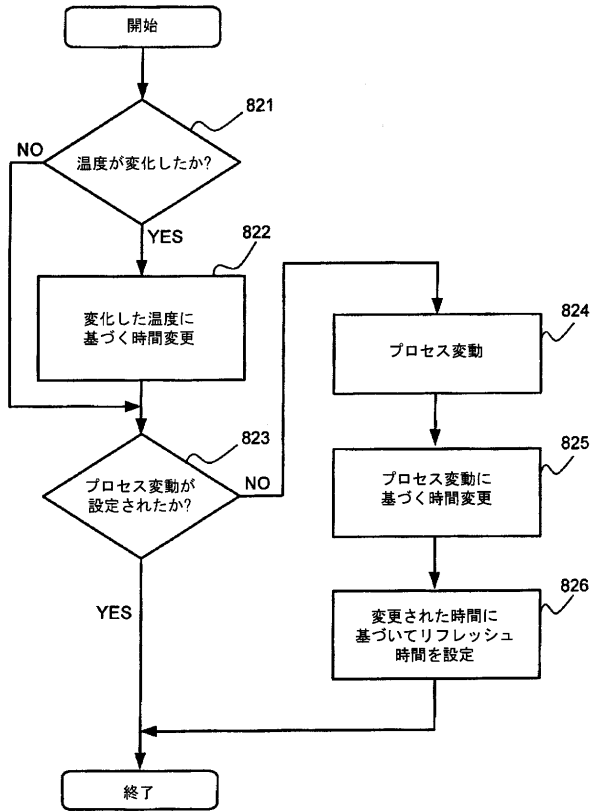
【図17A】



【図17B】



【図 18】



【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/CA2007/000529
A. CLASSIFICATION OF SUBJECT MATTER IPC: <i>G11C 11/406</i> (2006.01) , <i>G11C 11/403</i> (2006.01) According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) IPC: G11C		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic database(s) consulted during the international search (name of database(s) and, where practicable, search terms used) US WEST, Delphion, and Espacenet. Search terms used: DRAM, self-refresh, temperature, process, variations		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 6,862,239 B1, 1 March 2005, Huang et al. *see entire document	1-30
A	US 6,483,764 B2, 19 November 2002, Chen Hsu et al. *see entire document	1-30
A	US 7,027,343 B2, 11 April 2006, Sinha et al. *see entire document	1-30
P, A	US 7,177,220 B2, 13 February 2007, Chou et al. *see entire document	1-30
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 21 June 2007 (21-06-2007)		Date of mailing of the international search report 18 July 2007 (18-07-2007)
Name and mailing address of the ISA/CA Canadian Intellectual Property Office Place du Portage I, C114 - 1st Floor, Box PCT 50 Victoria Street Gatineau, Quebec K1A 0C9 Facsimile No.: 001-819-953-2476		Authorized officer Kazem Ziaie 819- 934-2667

INTERNATIONAL SEARCH REPORT
Information on patent family membersInternational application No.
PCT/CA2007/000529

Patent Document Cited in Search Report	Publication Date	Patent Family Member(s)	Publication Date
US6862239	01-03-2005	TW232454B B	11-05-2005
US6483764	19-11-2002	JP2002319282 A KR20030009052 A TW548649B B WC02058072 A2	31-10-2002 29-01-2003 21-08-2003 25-07-2002
US7027343	11-04-2006	US2006083094 A1	20-04-2006
US7177220	13-02-2007	TW265519B B	01-11-2006

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

(72)発明者 ホン・ビョン・ペオン

カナダ・K 2 M・2 E 1・オンタリオ・カナタ・リバーグリーン・クレセント・1 6

Fターム(参考) 5M024 AA04 AA92 BB22 BB37 BB39 EE05 EE09 EE24 EE26 EE27

GG05 PP01 PP02 PP03 PP07