(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2009 年2 月5 日 (05.02.2009)

PCT

(10) 国際公開番号
WO 2009/016824 A1

(51) 国際特許分類:
G11C 13/00 (2006.01)

(21) 国際出願番号: PCT/JP2008/002020

(22) 国際出願日: 2008 年7 月29 日 (29.07.2008)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2007-200620 2007 年8 月1 日 (01.08.2007) JP

(71) 出願人 (米国を除く全ての指定国について): パナソニック株式会社 (PANASONIC CORPORATION) [JP/JP]; 5718501 大阪府門真市大字門真１００６番地 Osaka (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 河合賢 (KAWAI, Ken). 島川一彦 (SHIMAKAWA, Kazuhiko).

(74) 代理人: 特許業務法人 有古特許事務所 (PATENT CORPORATE BODY ARCO PATENT OFFICE); 〒6500031 兵庫県神戸市中央区東町１２３番地の１ 貿易ビル３階 Hyogo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

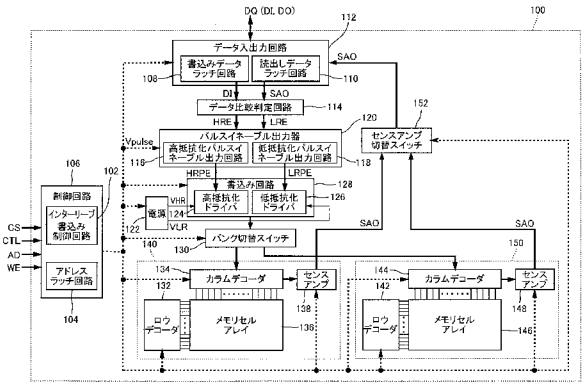
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG,

[続葉有]

(54) **Title:** NONVOLATILE STORAGE DEVICE

(54) 発明の名称: 不揮発性記憶装置

[図1]



112 DATA INPUT/OUTPUT CIRCUIT
108 WRITE DATA LATCH CIRCUIT
110 READ OUT DATA LATCH CIRCUIT
114 DATA COMPARING/JUDGING CIRCUIT
120 PULSE ENABLE OUTPUT DEVICE
116 RESISTANCE INCREASING PULSE ENABLE OUTPUT CIRCUIT
118 RESISTANCE REDUCING PULSE ENABLE OUTPUT CIRCUIT
152 SENSE AMPLIFIER CHANGEOVER SWITCH
128 WRITE CIRCUIT
124 RESISTANCE INCREASING DRIVER
126 RESISTANCE REDUCING DRIVER
122 POWER SUPPLY
130 BANK CHANGEOVER SWITCH
106 CONTROL CIRCUIT
102 INTERLEAVE WRITE CONTROL CIRCUIT
104 ADDRESS LATCH CIRCUIT
134 COLUMN DECODER
138 SENSE AMPLIFIER
132 ROW DECODER
136 MEMORY CELL ARRAY
142 ROW DECODER
144 COLUMN DECODER
146 MEMORY CELL ARRAY
148 SENSE AMPLIFIER

(57) **Abstract:** A nonvolatile storage device is provided with a plurality of memory cell arrays (136, 146) having a plurality of nonvolatile storage elements which have a characteristic of changing a resistance value when an electrical pulse is applied. The nonvolatile storage device is also provided with control sections (102, 104, 108, 110, 114, 128, 130, 152) for writing data in a certain memory cell array, and at the same time, for reading out data from other memory cell array, at the time of writing data in the memory cell arrays.

(57) 要約: 電気的パルスが印加されることにより抵抗値が変化する特性を有する不揮発性記憶素子を複数有する複数のメモリセルアレイ１３６、１４６と、前記複数のメモリセルアレイに対してデータを書き込む際にあるメモリセルアレイに対して書込みを行うと同時に別のメモリセルアレイに対して読出しを行うための制御部（１０２、１０４、１０８、１１０、１１４、１２８、１３０、１５２）とを備える。

WO 2009/016824 A1

CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— **国際調査報告書**

明　細　書

不揮発性記憶装置

技術分野

[0001] 本発明は、不揮発性記憶装置に関する。より詳しくは、電気的信号の印加によって抵抗状態が変化する不揮発性記憶素子を用いた不揮発性記憶装置に関する。

背景技術

[0002] 非特許文献１は、従来の不揮発性記憶装置として、抵抗変化型記憶装置を開示する。この抵抗変化型記憶装置では、TiO_2/ＴｉＮを抵抗変化素子として利用するメモリセルを低抵抗状態（約２００Ω、“１”データ）へ変化させるために負パルス（電圧：－２．０Ｖ、パルス幅：２０ｎｓ）が印加され、高抵抗状態（約８０ｋΩ、“０”データ）へ変化させるために正パルス（電圧：２．２Ｖ、パルス幅３０ｎｓ）が印加される。

[0003] 図１６は、非特許文献１の抵抗変化型記憶装置において、正パルスおよび負パルスを交互に印加した場合の抵抗状態の変化を示す図である。このように正パルスおよび負パルスを交互に印加すると、該抵抗変化素子はほぼ安定的に高抵抗状態ＨＲと低抵抗状態ＬＲとの間を遷移する。

[0004] 特許文献１は、１個のパルスで抵抗状態が変化することを前提として、ＲＡＭタイプの動作を実現する従来の抵抗変化型記憶装置を開示する。この抵抗変化型記憶装置では、データ書込み時に、高抵抗化パルスを印加するサイクルと低抵抗化パルスを印加するサイクルの２種類のサイクルを実行する。すなわち、高抵抗化したいセルには高抵抗化パルスを１回印加し、低抵抗化したいセルには次の期間に低抵抗化パルスを１回印加することにより、所望のデータが書き込まれる。

[0005] 図１７は、非特許文献２に開示されているＴＭＯ（Transition Metal Oxide）を用いた抵抗変化型素子の電流－電圧特性を示す図である。図１７の電流－電圧特性が示すように、ＴＭＯを用いた抵抗変化型記憶素子は、極性の

異なる電圧を用いても極性が等しい電圧を用いても、高抵抗状態と低抵抗状態間との間を交互に遷移させることが可能である。以下、２種類の正電圧を用いて抵抗変化型記憶素子の抵抗状態を切り替える場合を説明する。高抵抗状態を低抵抗状態へ変化させる“Ｓｅｔ”においては、電流増大による素子破壊を防ぐために、所定の第１の正電流値で電流制限（Set Current Compliance）を掛けながら低抵抗化電圧が印加される結果、素子が高抵抗状態から低抵抗状態へ遷移する。低抵抗状態を高抵抗状態へ変化させる“Ｒｅｓｅｔ”においては、高抵抗化電圧を印加することにより、第１の正電流より大きな第２の正電流が素子に流れ、素子が低抵抗状態から高抵抗状態へ遷移する。

[0006] 特許文献２に開示されている不揮発性記憶装置は、このような問題を解決すべく、データを書き込む前にメモリセルを低抵抗状態へ遷移させる（消去）。データが消去された後、各メモリセルの抵抗状態を確認しながら高抵抗化パルスを印加し、所定の高抵抗状態に到達するまで、抵抗状態の読出しと高抵抗化パルスの印加を繰り返す。データ書込み時に、一度データを消去した後、抵抗状態を確認しながら高抵抗化パルスを印加することにより、高抵抗状態のセルに対して高抵抗化パルスを印加することが無くなる。その結果、より高く（深く）書き込まれてしまうことが無くなり、高抵抗状態から低抵抗状態への書込みの不具合が無くなる。

[0007] 相変化型記憶装置では、アモルファス高抵抗状態に高抵抗化パルスが印加されると微小電流が流れてしまう。徐熱による結晶化が起こる結果、抵抗値が減少し、データが破壊してしまう。特許文献３に開示されている相変化型記憶装置では、このような過剰な電流によって生じる書込み動作の不具合を解決すべく、あるアドレスへの書込みデータと該アドレスから事前に読み出したデータとを比較し、両者が一致していない場合にのみ書込みパルスが印加される。

非特許文献1：「High-Speed Resistive Switching of TiO2/TiN Nano-Crystalline Thin Film」 Japanese Journal of Applied Physics Vol.45,No.11,2006,pp.L310-L312

非特許文献2：「Highly Scalable Non-volatile Resistive Memory using Simple Binary Oxide Driven by Asymmetric Unipolar Voltage Pulses」 0-7803-8684-1/04/$20.00 (c)2004 IEEE

特許文献1：米国特許第７０９５６４４号明細書

特許文献2：特開２００４－１８５７５６号公報

特許文献3：特開２００５－１０８３９５号公報

発明の開示

発明が解決しようとする課題

[0008] 特許文献１の抵抗変化型記憶装置では、既に高抵抗化状態にあるセルに対しても高抵抗化パルスが印加され、また、既に低抵抗化状態にあるセルに対しても低抵抗化パルスが印加されることになる。不必要な刺激がセルに加えられる結果、セルの抵抗状態が不可逆的に変化してしまうおそれがあった。

[0009] 非特許文献２の不揮発性記憶装置では、既に低抵抗状態にある素子に、低抵抗化電圧（＞高抵抗化電圧）が繰り返し印加されると、第１の正電流値より大きな電流が流れてしまう。例えば、電流制限の上限値がばらつくと、意図しない高電流が素子に流れてしまう場合がある。もし、その電流が第２の正電流値を超えれば、素子が低抵抗状態から高抵抗状態へ遷移してしまう。すなわち、過電流によるデータ破壊が発生してしまう場合があった。

[0010] 特許文献２の不揮発性記憶装置では、フラッシュメモリのように、データを一括消去した後で、素子の状態を確認しながら書込みが行われるために、読出し速度に比べて書込み速度が遅くなる。高速書込みが必要なシステムにおいては新たにバッファメモリが必要となって、回路面積が増大してしまうという問題があった。

[0011] 特許文献３の相変化型記憶装置でも、データが事前に読み出されるために、書込み速度が遅くなるという問題があった。

[0012] 以上に述べたように、従来の構成では、メモリ動作の信頼性が必ずしも高くなく、信頼性を改善しようとすれば書込み速度が遅くなるという問題を有していた。本発明はかかる課題を解決するためになされたもので、不揮発性

記憶装置において、書込み動作の速度を低下させずにメモリ動作の信頼性を向上させることを目的とする。

課題を解決するための手段

[0013] 本発明者らは、不揮発性記憶装置においてメモリ動作の信頼性を向上させるべく、鋭意検討を行った。その結果、以下のような知見が得られた。

[0014] 図１８は、低抵抗化パルスを連続的に印加した後に高抵抗化パルスを印加した場合の抵抗変化型記憶素子の応答性を示す図である。抵抗変化材料は鉄酸化物である。抵抗変化型記憶素子を低抵抗状態ＬＲ（“１”データ）へ変化させるために負パルス（電圧：－４．５Ｖ、パルス幅：１００ｎｓ）が印加され、高抵抗状態ＨＲ（“０”データ）へ変化させるために正パルス（電圧：５．０Ｖ、パルス幅：１００ｎｓ）が印加される。この時、同一極性のパルス（図１８では負パルス）が連続して印加されると、より深く（ここではより低抵抗へと）抵抗状態が変化してしまう。その結果、引き続いてもう一方の抵抗状態へ変化（例えばＬＲからＨＲへ）させようとしても、１個のパルス（例えば１個の正パルス）を印加しただけでは抵抗値を所望の値へ変化させることができないということが分かった。かかる現象は、不揮発性記憶素子の中でも、相変化型記憶素子や抵抗変化型記憶素子（ＲｅＲＡＭ）において問題となりやすいことが分かった。

[0015] 図１９は、抵抗変化材料に鉄酸化物を用いた抵抗変化型記憶素子において、データ書込み時に偶発的に起こる書込み不良を説明する図である。図１９の例では、メモリセルを低抵抗状態へ変化させるために負パルス（電圧：－４．５Ｖ、パルス幅：１００ｎｓ）が印加され、高抵抗状態へ変化させるために正パルス（電圧：５．０Ｖ、パルス幅：１００ｎｓ）が印加される。図１９に示すように、通常は、電気的パルスを印加する毎に抵抗状態が変化する。しかしながら、５回目のパルス印加では、負パルスが印加されているにも関わらず抵抗状態が変化しておらず、書込み不良が発生している。このような現象は、不揮発性記憶素子の中でも特に抵抗変化型記憶素子において問題となりやすいことが分かった。

上記課題を解決すべく、本発明の不揮発性記憶装置は、電気的パルスが印加されることにより抵抗値が変化する特性を有する不揮発性記憶素子を複数有する複数のメモリセルアレイと、前記複数のメモリセルアレイに対してデータを書き込む際にあるメモリセルアレイに対して書込みを行うと同時に別のメモリセルアレイに対して読出しを行うための制御部とを備え、前記制御部は、外部から入力されるアドレスデータを一時的に保持するためのアドレスラッチと、外部から入力されるアドレスデータに対応する不揮発性記憶素子から読み出された読出しデータを一時的に保持するための読出しデータラッチと、外部から入力される書込みデータを一時的に保持するための書込みデータラッチと、前記書込みデータラッチに保持されている書込みデータと前記読出しデータラッチに保持されている読出しデータとを比較するための比較判定部と、前記比較判定部が出力する判定結果に基づいて前記メモリセルアレイへ電気的パルスを入力するための書込み部と、前記書込み部を所定のメモリセルアレイへ接続するための書込み切替スイッチと、前記読出しデータラッチを所定のメモリセルアレイへ接続するための読出し切替スイッチと、前記書込み切替スイッチと前記読出し切替スイッチとを制御して前記読出しデータラッチおよび前記書込み部のそれぞれを所定のタイミングで所定のメモリセルアレイへと接続するためのインターリーブ書込み制御回路とを備える。

かかる構成では、あるメモリセルアレイに対してデータを書き込むと同時に他のメモリセルアレイに記憶されているデータを読み出すため、見かけ上の読出し時間を削減できる。よって、不揮発性記憶装置において、書込み動作の速度を低下させずにメモリ動作の信頼性を向上させることが可能となる。

[0016] またかかる構成では、アドレスデータと、書込みデータと、読出しデータとが一時的に保持され、保持されたデータに基づいて事前に読み出された読出しデータと外部から入力された書込みデータとが比較され、比較結果に基づいて電気的パルスの印加が行われる。事前の読出しは、他の不揮発性記憶

素子への書込みと並行して行うことが可能である。書込み動作の速度を低下させずに不必要な電気的パルスの印加が抑制され、メモリ動作の信頼性を向上させることが可能となる。

[0017] 上記不揮発性記憶装置において、前記不揮発性記憶素子は抵抗変化型記憶素子であってもよい。

[0018] かかる構成では、不揮発性記憶素子で特に問題となりやすい、応答性の低下（同じ電気的パルスを印加した後で、別の電気的パルスを印加した時に、抵抗状態が変化しにくくなる現象）や書込み不良（所定の電気的パルスが印加されても抵抗状態が変化しない現象）を抑制できる。

[0019] 上記不揮発性記憶装置において、前記不揮発性記憶素子は相変化型記憶素子であってもよい。

[0020] かかる構成では、相変化型記憶素子で問題となる応答性の低下を抑制できる。

[0021] 上記不揮発性記憶装置において、前記インターリーブ書込み制御回路は、連続するアドレスにデータを書き込む場合において、あるアドレスに対応する不揮発性記憶素子にデータを書き込む前に、外部から入力されたアドレスデータを前記アドレスラッチに保持し、外部から入力された書込データを前記書込データラッチに保持し、前記読出しデータラッチが前記アドレスデータに対応する不揮発性記憶素子を含むメモリセルアレイに接続されるように前記読出し切替スイッチを制御してその不揮発性記憶素子が記憶しているデータを読み出して前記読出しデータラッチに保持し、その後に、前記読出しデータラッチに記憶されているデータと前記書込みデータラッチに記憶されているデータとを前記比較判定部により比較して両者が異なる場合にのみ前記書込みデータラッチに記憶されているデータがその不揮発性記憶素子へ書き込まれるべく、前記書込み部がそのメモリセルアレイに接続されるように前記書込み切替スイッチを制御し、前記書込み部に電気的パルスを出力させるように構成されていてもよい。

[0022] かかる構成では、データを書き込む前に書込み対象となる不揮発性記憶素

子が記憶しているデータが事前に読み出され、読出しデータと書込みデータとの比較結果に基づいて電気的パルスの印加が行われる。事前の読出しは、他の不揮発性記憶素子への書込みと並行して行うことが可能である。書込み動作の速度を低下させずに不必要な電気的パルスの印加が抑制され、メモリ動作の信頼性を向上させることが可能となる。

[0023] 上記不揮発性記憶装置において、前記メモリセルアレイの個数は２であり、連続する２個のアドレスに対応する不揮発性記憶素子が互いに異なるメモリセルアレイに含まれるように各アドレスがそれぞれのメモリセルアレイに割り振られており、前記インターリーブ書込み制御回路は、連続するアドレスにデータを書き込む場合において、個々のアドレスについて書込みまたは読出しが行われる時間単位を期間とするとき、最初の期間を除いた各期間に、その期間において外部から入力されたアドレスデータを前記アドレスラッチに保持し、その期間において外部から入力された書込データを前記書込データラッチに保持し、その期間において外部から入力されたアドレスデータに対応する不揮発性記憶素子を含むメモリセルアレイに前記読出しデータラッチが接続されるように前記読出し切替スイッチを制御してその期間において外部から入力されたアドレスデータに対応する不揮発性記憶素子が記憶しているデータを読み出して読出しデータとして前記読出しデータラッチに保持し、直前の期間において外部から入力されたアドレスデータに対応する不揮発性記憶素子を含むメモリセルアレイに前記書込み部が接続されるように前記書込み切替スイッチを制御して直前の期間において外部から入力されたアドレスデータに対応する不揮発性記憶素子から読み出された読出しデータと直前の期間において外部から入力された書込みデータとをそれぞれ前記読出しデータラッチおよび前記書込みデータラッチから前記比較判定部へ入力し、前記比較判定部が出力する判定結果に基づき、両者が異なる場合にのみ、直前の期間において入力された書込みデータが直前の期間において外部から入力されたアドレスデータに対応する不揮発性記憶素子へ書き込まれるべく前記書込み部に電気的パルスを出力させるように構成されていてもよい。

[0024] かかる構成では、メモリセルアレイが２個の場合に、同一の期間において、一方について事前の読出しが行われ、他方について事前の読出し結果に基づいて書込みが行われる。書込み動作の速度を低下させずに不必要な電気的パルスの印加が抑制され、メモリ動作の信頼性を向上させることが可能となる。

[0025] 上記不揮発性記憶装置において、前記メモリセルアレイの個数は４であり、連続する４個のアドレスに対応する不揮発性記憶素子がいずれも互いに異なるメモリセルアレイに含まれるように各アドレスがそれぞれのメモリセルアレイに割り振られており、前記書込み部は第１の書込み回路と第２の書込み回路とを備え、前記インターリーブ書込み制御回路は、連続するアドレスにデータを書き込む場合において、個々のアドレスについて書込みまたは読出しが行われる時間単位を期間とするとき、最初の３個の期間を除いた各期間に、その期間において外部から入力されたアドレスデータを前記アドレスラッチに保持し、その期間において外部から入力された書込データを前記書込データラッチに保持し、その期間において外部から入力されたアドレスデータに対応する不揮発性記憶素子を含むメモリセルアレイに前記読出しデータラッチが接続されるように前記読出し切替スイッチを制御してその期間において外部から入力されたアドレスデータに対応する不揮発性記憶素子が記憶しているデータを読み出して読出しデータとして前記読出しデータラッチに保持し、直前の期間において外部から入力されたアドレスデータに対応する不揮発性記憶素子を含むメモリセルアレイに前記第１の書込み回路が接続されるように前記書込み切替スイッチを制御して、直前の期間において外部から入力されたアドレスデータに対応する不揮発性記憶素子から直前の期間において読み出された読出しデータと直前の期間において外部から入力された書込みデータとをそれぞれ前記読出しデータラッチおよび前記書込みデータラッチから前記比較判定部へ入力し、前記比較判定部が出力する判定結果に基づき、両者が異なる場合にのみ、直前の期間において入力された書込みデータが直前の期間において外部から入力されたアドレスデータに対応する

不揮発性記憶素子へ書き込まれるべく前記第１の書込み回路に電気的パルスを出力させ、２個前の期間において外部から入力されたアドレスデータに対応する不揮発性記憶素子を含むメモリセルアレイに前記読出しデータラッチが接続されるように前記読出し切替スイッチを制御して２個前の期間において外部から入力されたアドレスデータに対応する不揮発性記憶素子が記憶しているデータを読み出して読出しデータとして前記読出しデータラッチに保持し、３個前の期間において外部から入力されたアドレスデータに対応する不揮発性記憶素子を含むメモリセルアレイに前記第２の書込み回路が接続されるように前記書込み切替スイッチを制御して、３個前の期間において外部から入力されたアドレスデータに対応する不揮発性記憶素子から直前の期間において読み出された読出しデータと３個前の期間において外部から入力された書込みデータとをそれぞれ前記読出しデータラッチおよび前記書込みデータラッチから前記比較判定部へ入力し、前記比較判定部が出力する判定結果に基づき、両者が異なる場合にのみ、３個前の期間において入力された書込みデータが３個前の期間において外部から入力されたアドレスデータに対応する不揮発性記憶素子へ書き込まれるべく前記第２の書込み回路に電気的パルスを出力させるように構成されていてもよい。

[0026] かかる構成では、メモリセルアレイが４個の場合に、同一の期間において、一つ目のメモリセルアレイについて事前の読出しが行われ、２つ目のメモリセルアレイについて事前の読出し結果に基づいて書込みが行われ、３つ目のメモリセルアレイについて確認用の読出しが行われ、４つ目のメモリセルアレイについて確認用の読出し結果に基づいて書込みが行われる。不必要な電気的パルスの印加が抑制されるとともに、１回目の書込み後に書込み対象の不揮発性記憶素子が所望の抵抗状態に変化しているかが確認され、確認結果に基づいて必要に応じて再度電気的パルスの印加が行われる。よって、書込み動作の速度を低下させずにメモリ動作の信頼性を向上させることが可能となる。

[0027] 上記不揮発性記憶装置において、前記不揮発性記憶素子は、所定の態様の

エネルギーの累積投入量に応じてその抵抗値が変化し、前記書込み部は前記所定の態様のエネルギーを投入することによって前記不揮発性記憶素子の抵抗値を変化させるように構成されていてもよい。

[0028] かかる構成では、エネルギー累積投入量に基づいて不揮発性記憶素子の抵抗状態を制御できる。

[0029] 上記不揮発性記憶装置において、前記所定の態様のエネルギーの累積投入量が電気的パルスの累積印加量であり、前記書込み部は前記不揮発性記憶素子に電気的パルスを印加することによって前記不揮発性記憶素子の抵抗値を変化させるように構成されていてもよい。

[0030] かかる構成では、電気的パルスの累積印加量に基づいて不揮発性記憶素子の抵抗状態を制御できる。

また、本発明の不揮発性記憶装置へのデータ書込み方法は、電気的パルスが印加されることにより抵抗値が変化する特性を有する不揮発性記憶素子を複数有する複数のメモリセルアレイと、前記複数のメモリセルアレイに対してデータを書き込む際にあるメモリセルアレイに対して書込みを行うと同時に別のメモリセルアレイに対して読出しを行うための制御部とを備え、前記制御部は、外部から入力されるアドレスデータを一時的に保持するためのアドレスラッチと、外部から入力されるアドレスデータに対応する不揮発性記憶素子から読み出された読出しデータを一時的に保持するための読出しデータラッチと、外部から入力される書込みデータを一時的に保持するための書込みデータラッチと、前記書込みデータラッチに保持されている書込みデータと前記読出しデータラッチに保持されている読出しデータとを比較するための比較判定部と、前記比較判定部が出力する判定結果に基づいて前記メモリセルアレイへ電気的パルスを入力するための書込み部と、前記書込み部を所定のメモリセルアレイへ接続するための書込み切替スイッチと、前記読出しデータラッチを所定のメモリセルアレイへ接続するための読出し切替スイッチと、前記書込み切替スイッチと前記読出し切替スイッチとを制御して前記読出しデータラッチおよび前記書込み部のそれぞれを所定のタイミングで

所定のメモリセルアレイへと接続するためのインターリーブ書込み制御回路とを備える、不揮発性記憶装置へのデータ書込み方法であって、前記複数のメモリセルアレイに対してデータを書き込む際にあるメモリセルアレイに対して書込みを行うと同時に別のメモリセルアレイに対して読出しを行うものであり、前記インターリーブ書込み制御回路が、連続するアドレスにデータを書き込む場合において、あるアドレスに対応する不揮発性記憶素子にデータを書き込む前に、外部から入力されたアドレスデータを前記アドレスラッチに保持し、外部から入力された書込データを前記書込データラッチに保持し、前記読出しデータラッチが前記アドレスデータに対応する不揮発性記憶素子を含むメモリセルアレイに接続されるように前記読出し切替スイッチを制御してその不揮発性記憶素子が記憶しているデータを読み出して前記読出しデータラッチに保持し、その後に、前記読出しデータラッチに記憶されているデータと前記書込みデータラッチに記憶されているデータとを前記比較判定部により比較して両者が異なる場合にのみ前記書込みデータラッチに記憶されているデータがその不揮発性記憶素子へ書き込まれるべく、前記書込み部がそのメモリセルアレイに接続されるように前記書込み切替スイッチを制御し、前記書込み部に電気的パルスを出力させる。

かかる構成では、あるメモリセルアレイに対してデータを書き込むと同時に他のメモリセルアレイに記憶されているデータを読み出すため、見かけ上の読出し時間を削減できる。よって、不揮発性記憶装置において、書込み動作の速度を低下させずにメモリ動作の信頼性を向上させることが可能となる。

[0031] 上記不揮発性記憶装置へのデータ書込み方法において、連続する２個のアドレスに対応する不揮発性記憶素子が互いに異なるメモリセルアレイに含まれるように各アドレスがそれぞれのメモリセルアレイに割り振られている不揮発性記憶装置へのデータ書込み方法であって、連続するアドレスへデータを書き込む場合において、個々のアドレスについて書込みまたは読出しが行われる時間単位を期間とするとき、最初の期間を除いた各期間に、その期間

において外部から入力されたアドレスデータとその期間において外部から入力された書込みデータとを保持し、その期間において外部から入力されたアドレスデータに対応する不揮発性記憶素子が記憶しているデータを読み出して読出しデータとして保持し、直前の期間において外部から入力されて保持された書込みデータと直前の期間において読み出されて保持された読出しデータとを比較して両者が異なる場合にのみ直前の期間において外部から入力されて保持された書込みデータが直前の期間において外部から入力されて保持されたアドレスデータに対応する不揮発性記憶素子へ書き込まれるべく電気的パルスを印加してもよい。

[0032] かかる構成では、メモリセルアレイが２個の場合に、同一の期間において、一方について事前の読出しが行われ、他方について事前の読出し結果に基づいて書込みが行われる。書込み動作の速度を低下させずに不必要な電気的パルスの印加が抑制され、メモリ動作の信頼性を向上させることが可能となる。

[0033] 上記不揮発性記憶装置へのデータ書込み方法において、前記メモリセルアレイの個数は４以上であり、連続する４個のアドレスに対応する不揮発性記憶素子が互いに異なるメモリセルアレイに含まれるように各アドレスがそれぞれのメモリセルアレイに割り振られている不揮発性記憶装置へのデータ書込み方法であって、連続するアドレスへデータを書き込む場合において、個々のアドレスについて書込みまたは読出しが行われる時間単位を期間とするとき、最初の３個の期間を除いた各期間に、その期間において外部から入力されたアドレスデータとその期間において外部から入力された書込みデータとを保持し、その期間において外部から入力されたアドレスデータに対応する不揮発性記憶素子が記憶しているデータを読み出して読出しデータとして保持し、直前の期間において外部から入力されて保持された書込みデータと直前の期間において読み出されて保持された読出しデータとを比較して両者が異なる場合にのみ直前の期間において外部から入力されて保持された書込みデータが直前の期間において外部から入力されて保持されたアドレスデー

タに対応する不揮発性記憶素子へ書き込まれるべく電気的パルスを印加し、２個前の期間において外部から入力されたアドレスデータに対応する不揮発性記憶素子が記憶しているデータを読み出して読出しデータとして保持し、３個前の期間において外部から入力されて保持された書込データと３個前の期間において外部から入力されたアドレスデータに対応する不揮発性記憶素子から直前の期間において読み出されて保持された読出しデータとを比較して両者が異なる場合にのみ３個前の期間において外部から入力されて保持された書込みデータが３個前の期間において外部から入力されて保持されたアドレスデータに対応する不揮発性記憶素子へ書き込まれるべく電気的パルスを印加してもよい。

[0034] かかる構成では、メモリセルアレイが４個の場合に、同一の期間において、一つ目のメモリセルアレイについて事前の読出しが行われ、２つ目のメモリセルアレイについて事前の読出し結果に基づいて書込みが行われ、３つ目のメモリセルアレイについて確認用の読出しが行われ、４つ目のメモリセルアレイについて確認用の読出し結果に基づいて書込みが行われる。不必要な電気的パルスの印加が抑制されるとともに、１回目の書込み後に書込み対象の不揮発性記憶素子が所望の抵抗状態に変化しているかが確認され、確認結果に基づいて必要に応じて再度電気的パルスの印加が行われる。よって、書込み動作の速度を低下させずにメモリ動作の信頼性を向上させることが可能となる。

上記不揮発性記憶装置へのデータ書込み方法において、電気的パルスが印加されることにより抵抗値が変化する特性を有する不揮発性記憶素子を複数有する複数のメモリセルアレイを備え、前記複数のメモリセルアレイに対してデータを書き込む際にあるメモリセルアレイに対して書込みを行うと同時に別のメモリセルアレイに対して読出しを行う、不揮発性記憶装置へのデータ書込み方法であって、前記各メモリセルアレイに対する書込みは、第１の期間において外部から入力されたアドレスデータと前記第１の期間において外部から入力された書込みデータとを保持し、前記第１の期間において外部

から入力されたアドレスデータに対応する不揮発性記憶素子が記憶しているデータを読み出して読出しデータとして保持し、前記書込みデータと前記読出しデータとを比較して両者が異なる場合にのみ、次の第２の期間に、前記書込みデータが直前の第１の期間において外部から入力されて保持されたアドレスデータに対応する不揮発性記憶素子へ書き込まれるべく電気的パルスを印加し、次の第３の期間に、電気パルスが印加された前記不揮発性記憶素子のデータを読み出して読出しデータとして保持し、前記書込みデータとを比較して両者が異なる場合にのみ、その次の第４の期間に前記書込みデータが前記不揮発性記憶素子へ書き込まれるべく電気的パルスを印加し、以降、電気的パルスが印加された前記不揮発性記憶素子の読出しデータと前記書込みデータが一致するまで、読出し判定動作と書込み動作を繰返すことを特徴としてもよい。

本発明の上記目的、他の目的、特徴、及び利点は、添付図面参照の下、以下の好適な実施態様の詳細な説明から明らかにされる。

発明の効果

[0035] 本発明は、上記のような構成を有し、不揮発性記憶装置において、書込み動作の速度を低下させずにメモリ動作の信頼性を向上させることができるという効果を奏する。

図面の簡単な説明

[0036] [図1]図１は、本発明の第１実施形態による不揮発性記憶装置の概略構成の一例を示すブロック図である。

[図2]図２は、第１実施形態におけるデータ比較判定回路の構成例を示す回路図である。

[図3]図３は、ＤＩとＳＡＯとＨＲＥとＬＲＥとの関係を示す表である。

[図4]図４は、第１実施形態におけるパルスイネーブル出力器の構成例を示す回路図である。

[図5]図５は、第１実施形態における書込み回路の構成例を示す回路図である。

[図6]図６は、第１実施形態におけるメモリセルアレイの構成例を示す配線図である。

[図7]図７は、不揮発性記憶装置１００においてメモリセルにデータを書き込む動作を示すフローチャートである。

[図8]図８は、本発明の第１実施形態における各期間毎の信号等の一例を示す表である。

[図9]図９は、本発明の第１実施形態の不揮発性記憶装置によって実行されるインターリーブ書込みのタイミングチャートの一例である。

[図10]図１０は、比較例の相変化型記憶装置の構成を示すブロック図である。

[図11]図１１は、１Ｔ１Ｒ型の相変化型メモリセル単位構成を示す回路図である。

[図12]図１２は、比較例の相変化型記憶装置における書込み動作を示すタイミングチャートである。

[図13]図１３は、本発明の第２実施形態の不揮発性記憶装置の概略構成を示すブロック図である。

[図14]図１４は、本発明の第２実施形態における各期間毎の信号等の一例を示す表である。

[図15]図１５は、本発明の第１実施形態の不揮発性記憶装置によって実行されるインターリーブ書込みのタイミングチャートの一例である。

[図16]図１６は、非特許文献１の抵抗変化型記憶装置において、正パルスおよび負パルスを交互に印加した場合の抵抗状態の変化を示す図である。

[図17]図１７は、非特許文献２に開示されているＴＭＯ（Transition Metal Oxide）を用いた抵抗変化型素子の電流－電圧特性を示す図である。

[図18]図１８は、低抵抗化パルスを連続的に印加した後に高抵抗化パルスを印加した場合の抵抗変化型記憶素子の応答性を示す図である。

[図19]図１９は、抵抗変化材料に鉄酸化物を用いた抵抗変化型記憶素子において、データ書込み時に偶発的に起こる書込み不良を説明する図である。

符号の説明

[0037] １　制御回路

２　データ入出力回路

３　データ比較判定回路

４　書込み回路

５　カラムデコーダ

６　ロウデコーダ

７　相変化型メモリセルアレイ

８　センスアンプ

１０　相変化型記憶装置

１００　不揮発性記憶装置

１０２　インターリーブ書込み制御回路

１０４　アドレスラッチ回路

１０６　制御回路

１０８　書込みデータラッチ回路

１１０　読出しデータラッチ回路

１１２　データ入出力回路

１１４　データ比較判定回路

１１６　高抵抗化パルスイネーブル出力回路

１１８　低抵抗化パルスイネーブル出力回路

１２０　パルスイネーブル出力器

１２２　電源

１２４　高抵抗化ドライバ

１２６　低抵抗化ドライバ

１２８　書込み回路

１３０　バンク切替スイッチ

１３２　ロウデコーダ

１３４　カラムデコーダ

１３６　メモリセルアレイ

１３８　センスアンプ

１４０　第１バンク

１４２　ロウデコーダ

１４４　カラムデコーダ

１４６　メモリセルアレイ

１４８　センスアンプ

１５０　第２バンク

１５２　センスアンプ切替スイッチ

１５４　インバータ

１５６　インバータ

１５８　ＮＡＮＤ回路

１６０　ＮＡＮＤ回路

１６２　インバータ

１６４　インバータ

１６６　ＮＡＮＤ回路

１６８　ＮＡＮＤ回路

１７０　インバータ

１７２　インバータ

１７４　レベルシフト回路

１７６　レベルシフト回路

１７８　トライステート高電圧バッファ

１８０　トライステート高電圧バッファ

２００　不揮発性記憶装置

２０２　インターリーブ書込み制御回路

２０４　アドレスラッチ回路

２０６　制御回路

２０８　書込みデータラッチ回路

２１０　読出しデータラッチ回路

２１２　データ入出力回路

２１４　第１データ比較判定回路

２１５　第２データ比較判定回路

２１６　高抵抗化パルスイネーブル出力回路

２１７　高抵抗化パルスイネーブル出力回路

２１８　低抵抗化パルスイネーブル出力回路

２１９　低抵抗化パルスイネーブル出力回路

２２０　第１パルスイネーブル出力器

２２１　第２パルスイネーブル出力器

２２４　高抵抗化ドライバ

２２５　高抵抗化ドライバ

２２６　低抵抗化ドライバ

２２７　低抵抗化ドライバ

２２８　第１書込み回路

２２９　第２書込み回路

２３０　バンク切替スイッチ

２４０　第１バンク

２５０　第２バンク

２５２　センスアンプ切替スイッチ

２６０　第３バンク

２７０　第４バンク

ＷＬ１、ＷＬ２、・・・　ワード線

ＳＬ１、ＳＬ２、・・・　ソース線

ＢＬ１、ＢＬ２、・・・　ビット線

Ｒ１１、Ｒ１２、・・・　不揮発性記憶素子

Ｔ１１、Ｔ１２、・・・　選択トランジスタ

ＭＣ１１、ＭＣ１２、・・・　メモリセル

発明を実施するための最良の形態

[0038] 以下、本発明の好ましい実施の形態を、図面を参照しながら説明する。

（第１実施形態）

［装置構成］

図１は、本発明の第１実施形態による不揮発性記憶装置の概略構成の一例を示すブロック図である。以下、図１を参照しつつ、本実施形態の不揮発性記憶装置１００について説明する。

[0039] 不揮発性記憶装置１００は、インターリーブ書込み制御回路１０２とアドレスラッチ回路１０４とを備えた制御回路１０６と、書込みデータラッチ回路１０８と読出しデータラッチ回路１１０とを備えたデータ入出力回路１１２と、データ比較判定回路１１４（比較判定部）と、高抵抗化パルスイネーブル出力回路１１６と低抵抗化パルスイネーブル出力回路１１８とを備えたパルスイネーブル出力器１２０（パルスイネーブル出力部）と、電源１２２と、高抵抗化ドライバ１２４と低抵抗化ドライバ１２６とを備えた書込み回路１２８（書込み部）と、バンク切替スイッチ１３０（書込み切替スイッチ）と、ロウデコーダ１３２とカラムデコーダ１３４とメモリセルアレイ１３６とセンスアンプ１３８とを備えた第１バンク１４０（第１のメモリセルアレイ）と、ロウデコーダ１４２とカラムデコーダ１４４とメモリセルアレイ１４６とセンスアンプ１４８とを備えた第２バンク１５０（第２のメモリセルアレイ）と、センスアンプ切替スイッチ１５２（読出し切替スイッチ）とを備えている。

[0040] 不揮発性記憶装置１００の制御部には、制御回路１０６と、データ入出力回路１１２と、データ比較判定回路１１４と、パルスイネーブル出力器１２０と、書込み回路１２８と、バンク切替スイッチ１３０と、センスアンプ切替スイッチ１５２とが含まれる。

[0041] 制御回路１０６は、外部からチップセレクト信号ＣＳ、制御信号ＣＴＬ、アドレス信号ＡＤ、ライトイネーブル信号ＷＥを受け取る。インターリーブ書込み制御回路１０２はインターリーブ書込みの制御を行う。インターリー

ブ書込みの詳細については後述する。アドレスラッチ回路１０４は、アドレス信号に含まれるアドレスデータを保持（一時的に保持）する。アドレスラッチ回路１０４は、第１バンク用のアドレスラッチＡＬ１と第２バンク用のアドレスラッチＡＬ２とを備えている。

[0042] データ入出力回路１１２は、データ入出力端子ＤＱを介して、外部から書込みデータ（以下、ＤＩ）を受け取ると共に、外部へ読出しデータ（以下、ＤＯ）を出力する。書込みデータラッチ回路１０８は書込みデータＤＩを保持（一時的に保持）する。読出しデータラッチ回路１１０は、センスアンプ１３８、１４８からセンスアンプ切替スイッチ１５２を介してデータ入出力回路１１２へ入力されたセンスアンプ出力信号（以下、ＳＡＯ）を保持（一時的に保持）する。データ入出力回路１１２は、ＤＩおよびＳＡＯをデータ比較判定回路１１４へ出力する。書込みデータラッチ回路１０８は、第１バンク用の書込みデータラッチＤＬ１と第２バンク用の書込みデータラッチＤＬ２とを備えている。読出しデータラッチ回路１１０は、第１バンク用の読出しデータラッチＲＬ１と第２バンク用の読出しデータラッチＲＬ２とを備えている。

[0043] データ比較判定回路１１４は、データ入出力回路１１２からＤＩおよびＳＡＯを受け取り、ＤＩとＳＡＯの値をそれぞれ比較して、高抵抗化イネーブル信号（以下、ＨＲＥ）および低抵抗化イネーブル信号（以下、ＬＲＥ）を択一的にパルスイネーブル出力器１２０へ出力する。

[0044] 図２は、第１実施形態におけるデータ比較判定回路の構成例を示す回路図である。図２に示すように、データ比較判定回路１１４は、インバータ１５４、１５６、１６２、１６４と、ＮＡＮＤ回路１５８、１６０とを備えている。ＤＩは、直接ＮＡＮＤ回路１６０に入力されるとともに、インバータ１５４を介してＮＡＮＤ回路１５８へ入力される。ＳＡＯは、直接ＮＡＮＤ回路１５８に入力されるとともに、インバータ１５６を介してＮＡＮＤ回路１６０へ入力される。ＮＡＮＤ回路１５８は、インバータ回路１６２を介して、ＨＲＥを出力する。ＮＡＮＤ回路１６０は、インバータ回路１６４を介し

て、ＬＲＥを出力する。かかる構成によりＤＩおよびＳＡＯの値に応じて、ＨＲＥおよびＬＲＥの値が調整される。

[0045] 図３は、ＤＩとＳＡＯとＨＲＥとＬＲＥとの関係を示す表である。図３に示すように、ＤＩとＳＡＯとが等しい場合には、ＨＲＥおよびＬＲＥはいずれもＬとなる。ＳＡＯがＨでＤＩがＬの場合には、ＨＲＥのみがＨとなる。ＤＩがＨでＳＡＯがＬの場合には、ＬＲＥのみがＨとなる。

[0046] なお、Ｈは高電圧を示し、Ｌは低電圧を示す。本実施形態において、Ｈは電源電圧（以下、ＶＣＣ）、Ｌは接地電圧（以下、ＧＮＤ）とする（以下同様）。ただし、ＨおよびＬの電圧値は他の値であってもよい。信号のＨはデータ“１”に、Ｌはデータ“０”に対応する。データ“１”は不揮発性記憶素子（後述）の低抵抗状態（ＬＲ）に対応し、データ“０”は不揮発性記憶素子の高抵抗状態（ＨＲ）に対応する。

[0047] パルスイネーブル出力器１２０は、データ比較判定回路１１４からＨＲＥおよびＬＲＥを受け取り、制御回路１０６からタイミングパルス信号（以下、Ｖｐｕｌｓｅ）を受け取り、ＶｐｕｌｓｅがＨとなっている期間だけ、高抵抗化パルスイネーブル信号（以下、ＨＲＰＥ）または低抵抗化パルスイネーブル信号（以下、ＬＲＰＥ）をＨとする。

[0048] 図４は、第１実施形態におけるパルスイネーブル出力器の構成例を示す回路図である。図４に示すように、パルスイネーブル出力器１２０は、高抵抗化パルスイネーブル出力回路１１６と低抵抗化パルスイネーブル出力回路１１８とを備えている。高抵抗化パルスイネーブル出力回路１１６は、ＮＡＮＤ回路１６６とインバータ１７０とを備えている。低抵抗化パルスイネーブル出力回路１１８は、ＮＡＮＤ回路１６８とインバータ１７２とを備えている。ＨＲＥはＮＡＮＤ回路１６６に入力される。ＬＲＥはＮＡＮＤ回路１６８に入力される。ＮＡＮＤ回路１６６、１６８には、さらに、制御回路１０６からＶｐｕｌｓｅが入力される。ＮＡＮＤ回路１６６はインバータ１７０を介してＨＲＰＥを出力する。ＮＡＮＤ回路１６８はインバータ１７２を介してＬＲＰＥを出力する。かかる構成により、ＨＲＥがＨの場合には、Ｖｐ

ｕｌｓｅがＨの期間だけ、ＨＲＰＥもＨ（電圧はＶＣＣ）となる。ＬＲＥがＨの場合には、Ｖｐｕｌｓｅが Ｈの期間だけ、ＬＲＰＥもＨ（電圧はＶＣＣ）となる。その他の期間は、ＨＲＰＥもＬＲＰＥもＬ（電圧はＧＮＤ）となる。

[0049] 電源１２２は、ＶＨＲおよびＶＬＲのいずれか一方を書込み回路１２８へ出力する。

[0050] 書込み回路１２８は、パルスイネーブル出力器１２０からＨＲＰＥおよびＬＲＰＥを受け取り、電源１２２から入力される電圧を利用して、所定のタイミングで電気的パルスを出力する。

[0051] 図５は、第１実施形態における書込み回路の構成例を示す回路図である。図５に示すように、書込み回路１２８は、高抵抗化ドライバ１２４と低抵抗化ドライバ１２６とを備えている。

[0052] 高抵抗化ドライバ１２４は、レベルシフト回路１７４とトライステート高電圧バッファ１７８とを備えている。レベルシフト回路１７４は、高抵抗化パルスイネーブル出力回路１１６と、電源１２２が備えるＶＨＲの電圧源とに接続されている。高抵抗化パルスイネーブル出力回路１１６が出力するＨＲＰＥがＨ（電圧がＶＣＣ）のとき、レベルシフト回路１７４は電源１２２から印加されるＶＨＲを出力する。ＨＲＰＥがＬ（電圧がＧＮＤ）のとき、レベルシフト回路１７４はＧＮＤをそのまま出力する。トライステート高電圧バッファ１７８は、レベルシフト回路１７４の出力に接続されると共に、電源１２２が備えるＶＨＲの電圧源と、ＧＮＤの電圧源とに接続されている。トライステート高電圧バッファ１７８には、制御回路１０６からイネーブル信号も入力されている（図示せず）。トライステート高電圧バッファ１７８は、イネーブル信号がＬのときにはハイインピーダンス状態となるが、イネーブル信号がＨのときにはインピーダンスが低くなり（活性化し）、レベルシフト回路１７４から入力される電圧（ＶＨＲまたはＧＮＤ）を出力して、電流源となる。

[0053] 低抵抗化ドライバ１２６は、レベルシフト回路１７６とトライステート高

電圧バッファ１８０とを備えている。レベルシフト回路１７６は、低抵抗化パルスイネーブル出力回路１１８と、電源１２２が備えるＶＬＲの電圧源とに接続されている。低抵抗化パルスイネーブル出力回路１１８が出力するＬＲＰＥがＨ（電圧がＶＣＣ）のとき、レベルシフト回路１７６は電源１２２から印加されるＶＬＲを出力する。ＬＲＰＥがＬ（電圧がＧＮＤ）のとき、レベルシフト回路１７６はＧＮＤをそのまま出力する。トライステート高電圧バッファ１８０は、レベルシフト回路１７６の出力に接続されると共に、電源１２２が備えるＶＬＲの電圧源と、ＧＮＤの電圧源とに接続されている。トライステート高電圧バッファ１８０には、制御回路１０６からイネーブル信号も入力されている（図示せず）。トライステート高電圧バッファ１８０は、イネーブル信号がＬのときにはハイインピーダンス状態となるが、イネーブル信号がＨのときにはインピーダンスが低くなり（活性化し）、レベルシフト回路１７６から入力される電圧（ＶＬＲまたはＧＮＤ）を出力して、電流源となる。

[0054] すなわち、電気的パルスを出力すべき側のトライステート高電圧バッファは、制御回路１０６から入力されるパルスイネーブル信号がＬの間はハイインピーダンス（不活性状態）となってＧＮＤを出力し、パルスイネーブル信号がＨの間はローインピーダンス状態（活性状態）となって電圧がＶＬＲまたはＶＨＲである電気的パルスを出力する。電気的パルスを出力しない側のトライステート高電圧バッファは、制御回路１０６から入力されるパルスイネーブル信号はＬのままで保たれ、ハイインピーダンス（不活性状態）となる。

[0055] バンク切替スイッチ１３０は、制御回路１０６の制御に基づいて、所定のタイミングで、第１バンク１４０および第２バンク１５０のいずれか一方に、書込み回路１２８を接続する。

[0056] ロウデコーダ１３２、１４２は、それぞれメモリセルアレイ１３６、１４６のワード線に接続されている。ロウデコーダ１３２、１４２は、制御回路１０６の制御に基づいて、所定のタイミングでワード線を選択すると共に、

選択されたワード線に活性化電圧を印加する。

[0057] カラムデコーダ１３４、１４４は、それぞれメモリセルアレイ１３６、１４６のビット線およびソース線に接続されている。カラムデコーダ１３４、１４４は、制御回路１０６の制御に基づいてビット線の一本またはソース線の一本を選択する。選択されたビット線またはソース線はバンク切替スイッチ１３０に接続される。選択されなかったソース線およびビット線は接地される。不揮発性記憶素子が高抵抗化される（書込みデータが“０”である）場合にはビット線が選択され、不揮発性記憶素子が低抵抗化される（書込みデータが“１”である）場合にはソース線が選択される。本実施形態では、制御回路１０６が、書込みデータラッチ回路１０８の保持しているデータを参照して、カラムデコーダ１３４、１４４を制御する。これにより、書込みデータに応じたビット線およびソース線の選択が行なわれる。なお、書込みデータラッチ回路１０８の保持しているデータが直接カラムデコーダ１３４、１４４へと送られてもよい。この場合、カラムデコーダ１３４、１４４が、受け取ったデータに基づいてビット線とソース線のいずれか一方を選択する。

[0058] 図６は、第１実施形態におけるメモリセルアレイの構成例を示す配線図である。図６に示すように、メモリセルアレイ１３６、１４６は、それぞれ基板（図示せず）の上に、基板に平行な第１の平面内において互いに平行に形成された複数のワード線ＷＬ１、ＷＬ２、・・・と、第１の平面より上方で第１の平面と平行な第２の平面内において互いに平行にかつワード線ＷＬ１、ＷＬ２、・・・と立体交差するように形成された複数のソース線ＳＬ１、ＳＬ２、・・・と、第２の平面より上方で第２の平面と平行な第３の平面内において互いに平行にかつソース線ＳＬ１、ＳＬ２、・・・と平行にかつワード線ＷＬ１、ＷＬ２、・・・と立体交差するように形成された複数のビット線ＢＬ１、ＢＬ２、・・・とを備えている。なお、ワード線、ソース線、ビット線の上下関係は限定されない。

[0059] 複数のワード線ＷＬ１、ＷＬ２、・・・と、複数のビット線ＢＬ１、ＢＬ

２、・・・との立体交差点のそれぞれに対応して、不揮発性記憶素子Ｒ１１、Ｒ１２、・・・と選択トランジスタＴ１１、Ｔ１２、・・・を含むメモリセルＭＣ１１、ＭＣ１２、・・・が設けられている。

[0060] 本実施形態において、不揮発性記憶素子Ｒ１１、Ｒ１２、・・・は抵抗変化型記憶素子（ＲｅＲＡＭ素子）とするが、相変化型記憶素子（ＰＲＡＭ素子）でもよい。ロウデコーダ１３２、１４２によって選択されたワード線と、カラムデコーダ１３４、１４４によって選択されたビット線（またはソース線）とに接続された不揮発性記憶素子を以下、選択された不揮発性記憶素子と呼ぶ。抵抗変化型記憶素子は、所定の電圧とパルス幅を持つ電気的パルスが印加されることにより抵抗状態が変化する。相変化型記憶素子は、所定の電流とパルス幅を持つ電気的パルスが印加されることにより抵抗状態が変化する。すなわち、電気的パルスの印加により抵抗状態が変化する点で両者は共通する。

[0061] 不揮発性記憶素子は、所定の態様のエネルギーの累積投入量に応じてその抵抗値が変化することが好ましい。かかる場合には、書込み回路は所定の態様のエネルギーを投入することによって不揮発性記憶素子の抵抗値を変化させるように構成されている。所定の態様のエネルギーの累積投入量は電気的パルスの累積印加量であってもよい。抵抗変化型記憶素子は、バイポーラ型でもノンポーラ（ユニポーラ）型でもよい。

[0062] 不揮発性記憶素子Ｒ１１、Ｒ１２、・・・はＰｔなどの電極材料からなる上部電極と下部電極の間に抵抗変化材料を存在させて構成される。基板側の電極を下部電極とする。本実施形態では上部電極がソース線に、下部電極がビット線に接続されている。抵抗変化材料は、好ましくはタンタル酸化物であって、タンタル酸化物をＴａＯｘと表した場合に０＜ｘ＜２．５を満足するものである。タンタル酸化物は、抵抗変化材料として極めて優れた特性（動作の安定性や長期のデータ保持特性など）を有する。ただし、抵抗変化層の材料として、鉄酸化物やＴｉＯ$_2$／ＴｉＮなどの他の材料が用いられてもよい。なお本実施形態において、不揮発性記憶素子Ｒ１１、Ｒ１２、・・・の

具体的な構成は周知のものを適用できるので、詳細な説明は省略する。

[0063] 不揮発性記憶素子Ｒ１１、Ｒ１２、・・・は、上部電極（ソース線）にＧＮＤを印加し下部電極（ビット線）にＶＨＲ（例えば２．７Ｖ）を印加する（これにより不揮発性記憶素子には＋２．７Ｖが印加される）ことで高抵抗状態（例えば２ｋΩ）となり、下部電極（ビット線）にＧＮＤを印加し上部電極（ソース線）にＶＬＲ（例えば２．１Ｖ）を印加する（これにより不揮発性記憶素子にはー２．１Ｖが印加される）ことで低抵抗状態（例えば２００Ω）となる。なお、上部電極を基準とする下部電極の電圧を、不揮発性記憶素子に印加される電圧とする。パルス幅は適宜調整されうる。以下、あるメモリセルに含まれる不揮発性記憶素子が高抵抗状態にあるとき、該メモリセルは高抵抗状態にあると表現することとし、あるメモリセルに含まれる不揮発性記憶素子が低抵抗状態にあるとき、該メモリセルは低抵抗状態にあると表現することとする。不揮発性記憶素子（メモリセル）の抵抗状態と対応付けられることによりデータが不揮発性記憶素子（メモリセル）に記憶される。“０”が高抵抗状態に、“１”が低抵抗状態に対応する。また、不揮発性記憶素子（メモリセル）へ電気的パルスが印加されることにより、不揮発性記憶素子（メモリセル）へデータが記憶される。以下、低抵抗状態にある不揮発性記憶素子を高抵抗状態へと変化させるために不揮発性記憶素子に印加される電気的パルスを高抵抗化パルスと呼び、高抵抗状態にある不揮発性記憶素子を低抵抗状態へと変化させるために不揮発性記憶素子に印加される電気的パルスを低抵抗化パルスと呼ぶ。本実施形態では、電圧がＶＨＲの電気的パルスが高抵抗化パルスとなり、電圧がーＶＬＲの電気的パルスが低抵抗化パルスとなる。

[0064] センスアンプ１３８、１４８は、電圧をカラムデコーダを介してビット線から各メモリセルを経由してソース線へつながる経路へ印加する。読出し動作時には、ソース線は接地されており、センスアンプ→カラムデコーダ→ビット線→ソース線と電流が流れる。センスアンプ１３８、１４８は、ビット線ＢＬ１、ＢＬ２、・・・を流れる電流に基づいて、選択された不揮発性記

憶素子の抵抗状態（高抵抗状態／低抵抗状態）を検出して結果を出力する。

[0065] センスアンプ切替スイッチ１５２は、制御回路１０６の制御に基づいて、所定のタイミングで、センスアンプ１３８、１４８のいずれか一方をデータ入出力回路１１２へ接続する。

[0066] なお、以上の説明では書込みおよび読出しが１ビットずつ行われる場合について記載したが、複数ビットずつ行われてもよい。複数ビットずつ書込みが行われる場合には、比較判定回路１１４、パルスイネーブル出力器１２０、書込み回路１２８は、それぞれビットの数だけ図２、４、５の構成を備える。かかる場合には、１個のアドレスに複数個の不揮発性記憶素子が対応し、１個のアドレスに対して複数ビットの書込みデータが外部から入力される。

[0067] 上述の説明では、書込み回路のドライバから出力された電気的パルスは、バンク切替スイッチ１３０およびカラムデコーダ１３４、１４４を介して、選択されたビット線またはソース線へと入力されるが、必ずしもそのような構成でなくてもよい。例えば、ＶＬＲとＶＨＲの極性を異ならせた場合には、カラムデコーダはビット線の中からいずれかを選択し、ソース線は常に接地されている構成としてもよい。この場合、書込み回路１２８から出力される電気的パルス（正または負の電圧を持つ電気的パルス）は、選択されたビット線を介して不揮発性記憶素子の下部電極へと印加される。ソース線はカラムデコーダと接続されていなくてもよい。

[0068] 高抵抗化パルスおよび低抵抗化パルスの電圧が逆極性で絶対値が等しい場合には、高抵抗化ドライバと低抵抗化ドライバとを共通にしてもよい。ドライバの出力電圧がプラス（例えば＋５．０Ｖ）であれば、出力された電気的パルスをビット線へ入力し、ソース線にＧＮＤを印加すれば、選択された不揮発性記憶素子へは正の電気的パルス（＋５．０Ｖ）が印加される。出力された電気的パルスをソース線へ入力し、ビット線にＧＮＤを印加すれば、選択された不揮発性記憶素子へは負の電気的パルス（－５．０Ｖ）が印加されることになる。

[0069] 高抵抗化パルスおよび低抵抗化パルスの電圧が同極性である場合には、ＶＬＲとＶＨＲを同極性とし、カラムデコーダはビット線の一本を選択する構成であってもよい。この場合、ソース線は常に接地されている構成としてもよい。ソース線はカラムデコーダと接続されていなくてもよい。

[0070] ［動作］

以下、不揮発性記憶装置１００の動作について説明する。図７は、不揮発性記憶装置１００においてメモリセルにデータを書き込む動作を示すフローチャートである。実際にはインターリーブ書込みが行われ、複数のメモリセルへの書込みが並行して行われるが、図では簡単のため、単一のメモリセルに対する書込みの動作の概略のみを示している。

[0071] 書込み動作が開始されると、まず書込み対象となるメモリセルからデータが読み出され、書込みデータとの比較が行われる（ステップＳ１００）。

[0072] データが一致しているか否かの判定が行われ（ステップＳ１０１）、データが一致していれば電気的パルスの印加は行われず（ステップＳ１０２）、書込み動作が終了する。電気的パルスが印加されない場合を以下、ＮＯＰ（Ｎｏ　Ｏｐｅｒａｔｉｏｎ）とする。

[0073] ステップＳ１０１においてデータが一致していないと判定された場合には、書込データが“１”であるか“０”であるかの判定が行われる（ステップＳ１０３）。書込みデータが“０”である場合には高抵抗化パルスの印加が行われ（ステップＳ１０４）、書込み動作が終了する。書込みデータが“１”である場合には低抵抗化パルスの印加が行われ（ステップＳ１０５）、書込み動作が終了する。

[0074] 上述のように、本実施形態では、電気的パルスの印加をする前に書込みデータと読出しデータとの比較が行われ、両者が異なる場合にのみ電気的パルスの印加が行われる。かかる動作は、事前の読出しを行う書込みを高速に行うのに好適である。事前の読出しを行う書込みでは通常、事前の読出しにある程度の時間が必要となるため、全体として書込み速度が低下するという問題がある。

[0075] 本実施形態のインターリーブ書込みでは、あるメモリセルアレイに対して書込みが行われるのと同時に別のメモリセルアレイに対して読出しが行われる。すなわち、あるメモリセルアレイについて事前の読出しが行われている最中に別のメモリセルアレイについて書込みが行われる。かかる制御により、事前の読出しに必要な待ち時間を見かけ上ゼロにできる。よって、事前の読出しを行いつつ全体として書込み速度を向上できる。

[0076] 次に、本実施形態におけるインターリーブ制御による書込み動作の詳細について説明する。図８は、本発明の第１実施形態における各期間毎の信号等の一例を示す表である。以下、期間とは制御回路１０６が発生する個々の内部クロック（内部パルス）に対応する期間である。期間は、制御回路が発生する内部クロックに対応して区切られる。期間はいずれも同一の時間幅を持ち、同一の期間において同一のメモリセルに対しては書込みまたは読出しのいずれか一方のみが行われるものとする。図８では、各期間について、外部から入力されるＤＩ、ＡＤ、ＳＡＯの値、データ入出力回路１１２の書込みデータラッチ回路１０８（第１バンク用の書込みデータラッチＤＬ１と第２バンク用の書込みデータラッチＤＬ２）および読出しデータラッチ回路１１０（第１バンク用の読出しデータラッチＲＬ１と第２バンク用の読出しデータラッチＲＬ２）が記憶する値、制御回路１０６のアドレスラッチ回路１０４（第１バンク用のアドレスラッチＡＬ１、第２バンク用のアドレスラッチＡＬ２）が記憶する値、第１バンク１４０の書込み動作および読出し動作が行われるアドレスおよび第２バンク１５０の書込み動作および読出し動作が行われるアドレスを示している。表中、変数名の左側に矢印“→”が記されている場合には、当該期間において、そのラッチにそのデータを記憶させるという動作が行われることを示し、変数名の右側に矢印“→”が記されている場合には、当該期間において、そのラッチからそのデータが出力されることを示し、矢印がついていない場合には、当該期間において、そのラッチは単にデータを保持することを意味する（第２実施形態について同様）。

[0077] 本実施形態において、アドレスデータの最下位ビットが“０”であれば第

１バンク１４０に、“１”であれば第２バンク１５０に、各アドレスが割り振られている。すなわち、連続する２個のアドレスに対応する不揮発性記憶素子が互いに異なるメモリセルアレイに含まれるように、各アドレスがそれぞれのメモリセルアレイの不揮発性記憶素子に割り振られている。なお、一つのアドレスに対応する不揮発性記憶素子は必ずしも一つではない。単一のアドレスに対して複数のビット（例えば１バイト）が割り振られてもよい（第２実施形態について同様）。以下、入力されるアドレスが連続するものとして説明する。各動作は制御回路１０６（インターリーブ書込み制御回路１０２）の制御に基づいて行われる。データの書込みでは、チップセレクトＣＳがＨである時に、ライトイネーブルＷＥがＨとなり、アドレスデータおよび書込みデータが入力されることにより開始される。

[0078] 第１の期間では、主として、該期間において入力されたアドレスに対応するメモリセルのデータが読み出される。第１の期間においてＡＤとして入力された値をＡ１、ＤＩとして入力された値をＤ１とする。Ａ１の最下位ビットが“０”であると仮定すると、Ａ１に対応するバンクは第１バンク１４０となる。Ａ１は第１バンク用のアドレスラッチＡＬ１に記憶され、Ｄ１は第１バンク用の書込みデータラッチＤＬ１に記憶される。センスアンプ切替スイッチ１５２が切り替えられて、第１バンク１４０とデータ入出力回路１１２とが接続される。具体的には、第１バンク用の読出しデータラッチＲＬ１と第１バンク１４０のセンスアンプ１３８とが接続される。第１バンク１４０では、ロウデコーダ１３２およびカラムデコーダ１３４によりＡ１に対応するメモリセル（第１バンクのメモリセル）が活性化されている。該メモリセルへ読出し電圧が印加され、抵抗状態が読み出される。読み出されたＳＡＯの値（第１バンクの読出しデータ）をＲ１とすると、Ｒ１は第１バンク用の読出しデータラッチＲＬ１に記憶される。

[0079] 第２の期間では、主として、該期間において入力されたアドレスに対応するメモリセルからのデータの読出しと、１個前の期間（第１の期間）において入力されたアドレスに対応するメモリセルへのデータの書込みが行われる

。第２の期間においてＡＤとして入力された値をＡ２、ＤＩとして入力された値をＤ２とする。入力されるアドレスは連続するので、Ａ２に対応するバンクは第２バンク１５０となる。Ａ２は第２バンク用のアドレスラッチＡＬ２に記憶され、Ｄ２は第２バンク用の書込みデータラッチＤＬ２に記憶される。センスアンプ切替スイッチ１５２が切り替えられて、第２バンク１５０とデータ入出力回路１１２とが接続される。具体的には、第２バンク用の読出しデータラッチＲＬ２と第２バンク１５０のセンスアンプ１４８とが接続される。バンク切替スイッチ１３０が切り替えられて、書込み回路１２８が第１バンク１４０に接続される。バンクと書込み回路とが接続される場合、バンクが備えるカラムデコーダと書込回路の出力線とが接続される（以下同様）。アドレスがＡ２であるメモリセル（第２バンクのメモリセル）の抵抗状態が読み出される。読み出されたＳＡＯの値（第２バンクの読出しデータ）をＲ２とすると、Ｒ２は第２バンク用の読出しデータラッチＲＬ２に記憶される。第１バンク用の書込みデータラッチＤＬ１に記憶されているＤ１および第１バンク用の読出しデータラッチＲＬ１に記憶されているＲ１がデータ比較判定回路１１４へ入力される（図ではＤ１およびＤ２をＤＩと表し、Ｒ１およびＲ２をＳＡＯと表している）。データ比較判定回路１１４はＤ１とＲ１とを比較した結果に基づいて、ＨＲＥまたはＬＲＥを所定の値に調整してパルスイネーブル出力器１２０へ出力する（図３参照）。パルスイネーブル出力器１２０は、受け取ったＨＲＥまたはＬＲＥおよび制御回路１０６から受け取ったＶｐｕｌｓｅに基づいて、ＨＲＰＥまたはＬＲＰＥを所定のタイミングでＨとして、書込み回路１２８へ出力する。書込み回路１２８は、ＨＲＰＥがＨとなった場合には電圧がＶＨＲの電気的パルスを出力し、ＬＲＰＥがＨとなった場合には電圧がＶＬＲの電気的パルスを出力する。書込み回路１２８から出力された電気的パルスは、バンク切替スイッチ１３０を介して第１バンク１４０に入力される。第１バンク用の書込みデータラッチＤＬ１に記憶されているＤ１は制御回路１０６にも送られており、制御回路１０６は受け取ったＤ１に基づいてカラムデコーダ１３４を制御する。第１

バンク１４０では、ロウデコーダ１３２およびカラムデコーダ１３４により第１バンク用のアドレスラッチＡＬ１に記憶されているＡ１に対応するメモリセルが活性化されており、該メモリセルに含まれる不揮発性記憶素子に電気的パルスが印加され、データが書き込まれる。Ｄ１が“０”でＲ１が“１”の場合には、カラムデコーダ１３４により該メモリセルに対応するビット線が選択されて高抵抗化パルスが該メモリセルへと印加され、Ｄ１が“１”でＲ１が“０”の場合には、カラムデコーダ１３４により該メモリセルに対応するソース線が選択されて低抵抗化パルスが該メモリセルへと印加される（ＰＵＬＳＥ）。Ｄ１とＲ１とが等しい場合には、ＨＲＰＥおよびＬＲＰＥのいずれもＬのままであり、電気的パルスは出力されない（ＮＯＰ）。

[0080] 第３の期間では、主として、該期間において入力されたアドレスに対応するメモリセルからのデータの読出しと、１個前の期間（第２の期間）において入力されたアドレスに対応するメモリセルへのデータの書込みが行われる。第３の期間においてＡＤとして入力された値をＡ３、ＤＩとして入力された値をＤ３とする。入力されるアドレスは連続するので、Ａ３に対応するバンクは第１バンク１４０となる。Ａ３は第１バンク用のアドレスラッチＡＬ１に記憶され、Ｄ３は第１バンク用の書込みデータラッチＤＬ１に記憶される。これに伴い、第１バンク用のアドレスラッチＡＬ１および第１バンク用の書込みデータラッチＤＬ１に記憶されていた値は更新される。センスアンプ切替スイッチ１５２が切り替えられて、第１バンク１４０とデータ入出力回路１１２とが接続される。具体的には、第１バンク用の読出しデータラッチＲＬ１と第１バンク１４０のセンスアンプ１３８とが接続される。バンク切替スイッチ１３０が切り替えられて、書込み回路１２８が第２バンク１５０に接続される。アドレスがＡ３であるメモリセル（第１バンクのメモリセル）の抵抗状態が読み出される。読み出されたＳＡＯの値（第１バンクの読出しデータ）をＲ３とすると、Ｒ３は第１バンク用の読出しデータラッチＲＬ１に記憶される。これにともない、第１バンク用の読出しデータラッチＲＬ１に記憶されていた値は更新される。第２バンク用の書込みデータラッチ

ＤＬ２に記憶されているＤ２および第２バンク用の読出しデータラッチＲＬ２に記憶されているＲ２がデータ比較判定回路１１４へ入力され、パルスイネーブル出力器１２０と書込み回路１２８とが連動し、所定の条件を満たす場合には電気的パルスが第２バンク１５０へ出力される（図３参照）。第２バンク用の書込みデータラッチＤＬ２に記憶されているＤ２は制御回路１０６にも送られており、制御回路１０６は受け取ったＤ２に基づいてカラムデコーダ１４４を制御する。第２バンク１５０では、ロウデコーダ１４２およびカラムデコーダ１４４により第２バンク用のアドレスラッチＡＬ２に記憶されているＡ２に対応するメモリセルが活性化され、該メモリセルに含まれる不揮発性記憶素子に電気的パルスが印加され、データが書き込まれる。Ｄ２が“０”でＲ２が“１”の場合には、カラムデコーダ１４４により該メモリセルに対応するビット線が選択されて高抵抗化パルスが該メモリセルへと印加され、Ｄ２が“１”でＲ２が“０”の場合には、カラムデコーダ１３４により該メモリセルに対応するソース線が選択されて低抵抗化パルスが該メモリセルへと印加される（ＰＵＬＳＥ）。Ｄ２とＲ２とが等しい場合には、ＨＲＰＥおよびＬＲＰＥのいずれもＬのままであり、電気的パルスは出力されない（ＮＯＰ）。

[0081] 第４の期間以降の動作は第２の期間あるいは第３の期間と同様であるので説明を省略する（図８参照）。

[0082] 図９は、本発明の第１実施形態の不揮発性記憶装置によって実行されるインターリーブ書込みのタイミングチャートの一例である。図中、ＮＯＰはその期間にそのアドレスへ電気的パルスが印加されないことを示し、ＰＵＬＳＥはその期間にそのアドレスへ電気的パルスが印加されることを示す（第２実施形態につき同様）。

[0083] 図に示すように、第１の期間においてアドレスＡＤとしてＡ１が入力され、書込みデータとしてＤ１が入力されると共に、Ａ１に対応する第１バンクのメモリセルに書き込まれているデータが読み出される（ＲｅａｄＡ１）。

[0084] 第２の期間においては、アドレスＡＤとしてＡ２が入力され、書込みデー

タとしてＤ２が入力されると共に、Ａ１に対応する第１バンクのメモリセルにデータが書き込まれ（ＷｒｉｔｅＡ１）、Ａ２に対応する第２バンクのメモリセルに書き込まれているデータが読み出される（ＲｅａｄＡ２）。第２の期間でＡ１に対応するメモリセルへの書込みサイクル（１回のＲｅａｄおよび１回のＷｒｉｔｅ）が完了する。

[0085] 第３の期間以降は、上述と同様にして、各バンクにつき交互に書込みと読出しとが行われる。以上のような動作をインターリーブ書込みと呼ぶ。図９に示すように、実際の書込み動作は、読出しデータと書込みデータとが一致しなければ電気的パルスが印加され（ＰＵＬＳＥ）、一致すれば電気的パルスが印加されない（ＮＯＰ）。

[0086] なお、データの読出し（外部へのデータ出力）の方法については、周知の方法が適用可能であるので説明を省略する。

[0087] ［効果］

以上のように、本実施形態では、連続するアドレスにデータを書き込む場合、連続する期間において、第１バンクと第２バンクについて交互に書込みと読出しが並行して行われる。すなわち、第１バンクについて書込みが行われている間は第２バンクについて読出しが行われ、第１バンクについて読出しが行われている間は第２バンクについて書込みが行われる。書込みにおいては、直前の期間で読み出されたデータと、書込みデータとの比較が行われ、両者が異なる場合にのみ電気的パルスがメモリセルへ印加される。両者が一致する場合には電気的パルスがメモリセルへ印加されない。すでに高抵抗状態にあるメモリセルに対して高抵抗化パルスが印加されることがなく、すでに低抵抗状態にあるメモリセルに対して低抵抗化パルスが印加されることがない。かかる制御により、データの書込み速度を落とすことなしに、事前の読出しを行う書込みを行うことができる。よって、不必要な電気的パルスの印加による応答性の低下（図１８参照）が防止され、メモリ動作の信頼性が向上される。

[0088] 本実施形態の構成は、１セルあたりの書込み時間が短い場合に特に有効で

ある。書込み時間が短い場合には、読出しに必要な時間が書込みに必要な時間と比較して無視できなくなる。かかる構成において本実施形態の構成を適用すると、事前の読出しを行なうことで信頼性が向上する一方で、動作速度は落とさずに済む。すなわち本実施形態の構成は、抵抗変化型記憶素子や相変化型記憶素子など、書込み速度が速い不揮発性記憶素子を用いた場合に特に有効である。

[0089] ［変形例］

本実施形態の不揮発性記憶装置は、必ずしも２値メモリである必要はなく、多値メモリであってもよい。多値メモリであっても、事前の読出しを行うことで、不必要な電気的パルスの印加がされなくなり、メモリ動作の信頼性が向上される。

[0090] 不揮発性記憶素子として相変化型記憶素子を用いる場合にも、書込み回路により、電気的パルス（加熱用のパルス電流）が印加される。かかる構成でも、不必要な加熱による応答性の低下が防止され、メモリ動作の信頼性が向上される。

[0091] ［比較例］

図１０は、比較例の相変化型記憶装置の構成を示すブロック図である。図１０に示すように、比較例の相変化型記憶装置１０は、制御回路１と、データ入出力回路２と、データ比較判定回路３と、書込み回路４と、カラムデコーダ５と、ロウデコーダ６と、相変化型メモリセルアレイ７と、センスアンプ８とを備えて構成されている。相変化型メモリセルアレイ７は、１トランジスタ１抵抗変化素子（１Ｔ１Ｒ）型セルがアレイ状に配置されている。

[0092] 図１１は、１Ｔ１Ｒ型の相変化型メモリセル単位構成を示す回路図である。図１１に閉めすように、本変形例において、メモリセルはワード線ＷＬとビット線ＢＬの交点に対応して設けられ、ワード線ＷＬがゲートに接続され、一方端がビット線ＢＬに接続される選択トランジスタＡＴと、選択トランジスタＡＴの他方端と接地ノードとの間に直列に接続されるヒータ素子ＨＥおよびカルコゲナイドガラス（ＧｅＳｂＴｅ）等の相変化型記憶素子ＰＥと

を含む構成となっている。このメモリセルでは、相変化型記憶素子ＰＥの抵抗値と対応づけられてデータが記憶され、結晶化状態の低抵抗状態は、データ“１”に、アモルファス状態の高抵抗状態は、データ“０”に割付けられる。書込み回路４は、高抵抗化電流パルス印加回路と低抵抗化電流パルス印加回路とから構成され、書込み時に、制御回路１から出力される制御信号Ｓ１に応じて、カラムデコーダ５を介して、所定のセルに所定の電流パルス（高抵抗化電流パルスか低抵抗化電流パルスかＯＶ）を印加する。

[0093] データ比較判定回路３は、書込み時に、書込みアドレスに既に書込まれているセンスアンプ８により読み出したデータと、所定アドレスに書込みたいデータとを一致比較判定し、一致していない場合にのみ所定の書込み電流パルスを所定セルに印加するように書込み回路４を制御する。

[0094] メモリセルのワード線ＷＬは、ロウデコーダ６により選択される。制御回路１は、入力されたチップセレクトＣＳ、アドレスＡＤ、制御信号、ライトイネーブルＷＥに応じて、制御信号Ｓ１を出力し、ロウデコーダ６、カラムデコーダ５、センスアンプ８、書込み回路４等の各回路ブロックを制御し、所望のセルの読出し及び書込み動作を行う。

[0095] データ読出し時には、カラムデコーダ５により選択されたビット線データは、センスアンプ８により検知増幅され、データ入出力回路２を介して、データ入出力端子ＤＱに取り出される。また、データ書込み時には、先ず、書込みアドレスに既に書き込まれているデータを、センスアンプ８を介して読出し、データ比較判定回路３により、読み出したデータと、データ入出力回路２を介して転送された所定アドレスへの書込みデータとを一致比較判定し、一致していない場合にのみ所定の書込みパルスを、カラムデコーダ５を介して所定セルに印加するように書込み回路４を制御する。具体的には、データ入出力端子ＤＱから入力されるデータは、データ入出力回路２にラッチされ、データ比較判定回路３により制御される書込み回路４を介して、カラムデコーダ５により選択されたビット線ＢＬに転送される。

[0096] 以上のように構成された比較例の相変化型記憶装置について、以下その動

作を説明する。

[0097] まず、データ読み出し動作について説明する。図１０及び図１１に示すように、チップセレクトＣＳにより活性化され、アドレスＡＤにより選択された任意のメモリセルに対して、ワード線ＷＬが活性化され、選択トランジスタＡＴが導通状態となる。この時、ビット線にクランプ電圧が印加され、メモリセルに電流が流れ、カラムデコーダ５により接続されたセンスアンプ８により電流検知増幅され、データ入出力回路２を介して、データ入出力端子ＤＱから、メモリセルのデータが読み出される。

[0098] 次に、データの書込み動作では、先ず、アドレスＡＤに既に書き込まれているデータを、センスアンプ８を介して読出し、データ比較判定回路３により、読み出したデータと、データ入出力回路２を介して転送されたアドレスＡＤへの書込みデータとを一致比較判定し、一致していない場合にのみ所定の書込みパルスを、カラムデコーダ５を介して所定セルに印加するように書込み回路４を制御することにより、データを書き込む。即ち、書込みデータが“０”の場合、書込みアドレスＡＤに既に書き込まれているデータが、“０”であれば電流パルス印加が行われず（ＮＯＰ：ノーオペレーション）、読み出したデータが“１”であれば高抵抗化電流パルスが印加される。書込みデータが“１”の場合、書込みアドレスＡＤに既に書き込まれているデータが、“１”であれば電流パルス印加が行われず（ＮＯＰ：ノーオペレーション）、読み出したデータが“０”であれば低抵抗化電流パルスが印加される。

[0099] 具体的には、チップセレクトＣＳ、書込みアドレスＡＤ及びデータ入出力端子ＤＱから入力されたデータに応じて選択されたメモリセルのワード線ＷＬには、ワード線電圧として選択電圧が印加され、非選択ワード線ＷＬには、０Ｖが印加される。このとき、選択セルの繋がるビット線ＢＬには、ライトイネーブルＷＥ及び書き込むべきデータに応じて、高抵抗化電流パルス（０．７５ｍＡ、パルス幅：８５ｎｓ）、又は低抵抗化電流パルス（０．３ｍＡ、パルス幅：８５ｎｓ）、又は０Ｖが印加される。高抵抗化電流パルスが

印加されたセルは、ヒータ素子ＨＥにより多結晶カルコゲナイドの相変化素子ＰＥの加熱が一定温度以上となり、その後急冷されてアモルファス状態となり、抵抗値が高く（８５ｋΩ）なる。低抵抗化電流パルスが印加されたセルは、ヒータ素子ＨＥによる加熱が再結晶化温度を超えてある程度の時間行われると、アモルファス状態から多結晶状態に変化し、抵抗値が低く（２ｋΩ）なる。０Ｖが印加されたセルは、アモルファス状態である場合も多結晶状態である場合も、状態は変化しない。すなわち、既に書き込まれているデータはオーバーライトされず、保持される（ＮＯＰ：ノーオペレーション）。

[0100] 図１２は、比較例の相変化型記憶装置における書込み動作を示すタイミングチャートである。図１２に示すように、それぞれの書込みサイクルを単位として、ライトイネーブルＷＥ、書込みアドレスＡＤ及びデータ入力が行われる。１個の書込みサイクルにおいて、内部クロックが２発生成され、１個目の内部クロックに同期して、書込みアドレスＡＤに対応する相変化型記憶素子に既に書き込まれているデータを読出し（ＲｅａｄＡＸ（Ｘ＝０、１、２、・・・）、同時に、データ比較判定回路３により、読み出したデータと、所定アドレスＡＤへの書込みデータとが一致しているかが判定される。次の内部クロックに同期して、読出しデータと書込みデータとが一致していない場合には、所定の書込みパルス（高抵抗化電流パルス又は低抵抗化電流パルス）が所定セルに印加され、データが書き込まれる（Ｗｒｉｔｅ　ＤＸ（Ｘ＝０、１、２、・・・））。読出しデータと書込みデータとが一致している場合には、電流パルス印加が行われず（ＮＯＰ）、オーバーライトが行われない。本比較例では、オーバーライトによる書込み動作の不具合を解決するために、１書込みサイクルにおいて、読出し動作と書込み動作が順次行われる。図１１に示すように、比較例では１個の書込みサイクルが長くなってしまう。なお、本比較例は不揮発性記憶素子を相変化型記憶素子として説明したが、抵抗変化型記憶素子を用いた場合でも同様である。

[0101] （第２実施形態）

第１実施形態の不揮発性記憶素子１００は事前の読出しを行う書込みを行うものであるが、第２実施形態の不揮発性記憶装置２００は事前の読出しを行う書込みに加えて、いわゆる「ベリファイ書込み」を行うものである。ベリファイ書込みとは、ある記憶素子にデータの書込みを行った後、その記憶素子が保持しているデータを確認のために読み出し、読出しデータと書込みデータと比較して、両者が異なる場合には再度書込みを行うことを言う。

[0102] 図１３は、本発明の第２実施形態の不揮発性記憶装置の概略構成を示すブロック図である。以下、図１３を参照しつつ、本実施形態の不揮発性記憶装置２００について説明する。不揮発性記憶装置２００は、インターリーブ書込み制御回路２０２とアドレスラッチ回路２０４とを備えた制御回路２０６と、書込みデータラッチ回路２０８と読出しデータラッチ回路２１０とを備えたデータ入出力回路２１２と、第１データ比較判定回路２１４と、第２データ比較判定回路２１５と、高抵抗化パルスイネーブル出力回路２１６と低抵抗化パルスイネーブル出力回路２１８とを備えた第１パルスイネーブル出力器２２０と、高抵抗化パルスイネーブル出力回路２１７と低抵抗化パルスイネーブル出力回路２１９とを備えた第２パルスイネーブル出力器２２１と、電源１２２と、高抵抗化ドライバ２２４と低抵抗化ドライバ２２６とを備えた第１書込み回路２２８と、高抵抗化ドライバ２２５と低抵抗化ドライバ２２７とを備えた第２書込み回路２２９と、バンク切替スイッチ２３０（書込み切替スイッチ）と、第１バンク２４０（第１のメモリセルアレイ）と、第２バンク２５０（第２のメモリセルアレイ）と、第３バンク２６０（第３のメモリセルアレイ）と、第４バンク２７０（第４のメモリセルアレイ）と、センスアンプ切替スイッチ２５２（読出し切替スイッチ）とを備えている。本実施形態では、比較判定部には第１データ比較判定回路２１４と第２データ比較判定回路２１５とが含まれ、パルスイネーブル出力部には第１パルスイネーブル出力器２２０と第２パルスイネーブル出力器２２１とが含まれ、書込み部には第１書込み回路２２８と第２書込み回路２２９とが含まれる。

不揮発性記憶装置２００の制御部には、制御回路２０６と、データ入出力回路２１２と、第１データ比較判定回路２１４と、第２データ比較判定回路２１５と、第１パルスイネーブル出力器２２０と、第２パルスイネーブル出力器２２１と、第１書込み回路２２８と、第２書込み回路２２９と、バンク切替スイッチ２３０と、センスアンプ切替スイッチ２５２とが含まれる。

アドレスラッチ回路２０４は、アドレス信号に含まれるアドレスデータを保持（一時的に保持）する。アドレスラッチ回路２０４は、第１バンク用のアドレスラッチＡＬ１と第２バンク用のアドレスラッチＡＬ２と第３バンク用のアドレスラッチＡＬ３と第４バンク用のアドレスラッチＡＬ４とを備えている。書込みデータラッチ回路２０８は、第１バンク用の書込みデータラッチＤＬ１と第２バンク用の書込みデータラッチＤＬ２と第３バンク用の書込みデータラッチＤＬ３と第４バンク用の書込みデータラッチＤＬ４とを備えている。読出しデータラッチ回路２１０は、第１バンク用の読出しデータラッチＲＬ１と第２バンク用の読出しデータラッチＲＬ２と第３バンク用の読出しデータラッチＲＬ３と第４バンク用の読出しデータラッチＲＬ４とを備えている。インターリーブ書込み制御回路２０２、制御回路２０６、データ入出力回路２１２の構成は、ラッチの構成および後述する動作に関連する部分以外については第１実施形態と同様であるので、詳細な説明を省略する。

[0103] 第１データ比較判定回路２１４（１回目の書込み用のデータ比較判定回路）および第２データ比較判定回路２１５（２回目の書込み用のデータ比較判定回路）の構成は、いずれもデータ比較判定回路１１４と同様であるので、詳細な説明を省略する。第１パルスイネーブル出力器２２０（１回目の書込み用のパルスイネーブル出力回路）および第２パルスイネーブル出力器２２１（２回目の書込み用のパルスイネーブル出力回路）の構成は、いずれもパルスイネーブル出力器１２０と同様であるので、詳細な説明を省略する。第１書込み回路２２８（１回目の書込み用の書込み回路）および第２書込み回路２２９（２回目の書込み用の書込み回路）の構成は、それぞれ書込み回路

１２８と同様であるので、詳細な説明を省略する。

[0104] バンク切替スイッチ２３０は、制御回路２０６の制御に基づいて、所定のタイミングで、第１書込み回路２２８および第２書込み回路２２９のそれぞれを、いずれかのバンクへ接続する。バンク切替スイッチ２３０は、書込み回路とバンクとをそれぞれ独立に接続できるように構成されている。例えば、第１書込み回路２２８が第１バンク２４０に書込み、同時に第２書込み回路２２９が第３バンク２６０に書き込む場合には、第１バンク２４０に第１書込み回路２２８が接続され、第３バンク２６０に第２書込み回路２２９が接続される。

[0105] センスアンプ切替スイッチ２５２は、制御回路２０６の制御に基づいて、所定のタイミングで、データ入出力回路２１２を各バンクへ接続する。センスアンプ切替スイッチ２５２は、バンクとデータ入出力回路２１２の読出しデータラッチに含まれる個々のラッチとをそれぞれ独立に接続できるように構成されている。例えば、第２バンク２５０と第４バンク２７０とからデータが同時に読み出される場合には、第２バンク２５０に第２バンク用の読出しデータラッチＲＬ２が接続され、第４バンク２７０に第４バンク用の読出しデータラッチＲＬ４が接続される。

[0106] 第１バンク２４０、第２バンク２５０、第３バンク２６０、第４バンク２７０の構成は、いずれも第１実施形態の第１バンク１４０、第２バンク１５０と同様であるので説明を省略する。

[0107] ［動作］

以下、不揮発性記憶装置２００の動作について説明する。本実施形態では、事前の読出しを行う書込み（図７参照）が行われた後で、確認用の読出しを行う書込みが行われる。

[0108] 本実施形態のインターリーブ書込みでは、あるメモリセルアレイに対して書込みが行われるのと同時に別のメモリセルアレイに対して読出しが行われる点で第１実施形態と同様であるが、同時に２個のメモリセルアレイに対して書込みが行われ、同時に２個のメモリセルアレイに対して読出しが行われ

る点で第１実施形態と異なっている。書込みが行われた後で、その不揮発性記憶素子に記憶されているデータが意図したように変化しているかが確認され、書込みに誤りがあれば、再度書込みが行われる。４個のメモリセルアレイに対し、２回の読出しと２回の書込みとが１期間ずつずらして平行して行われる。かかる制御により、１回目の読出し（事前の読出し）と１回目の書込みと２回目の読出し（確認用の読出し）に必要な待ち時間を見かけ上ゼロにできる。よって、事前の読出しと確認用の読出しを行いつつ全体として書込み速度を向上できる。

[0109] 次に、本実施形態におけるインターリーブ制御による書込み動作の詳細について説明する。図１４は、本発明の第２実施形態における各期間毎の信号等の一例を示す表である。図１４では、各期間について、外部から入力されるＤＩ、ＡＤ、事前の読出しによるＳＡＯの値（事前読出し値：ＳＡＯＲ）、確認用の読出しによるＳＡＯの値（確認用読出し値：ＳＡＯＶ）、データ入出力回路２１２の書込みデータラッチ回路２０８（第１バンク用の書込みデータラッチＤＬ１、第２バンク用の書込みデータラッチＤＬ２、第３バンク用の書込みデータラッチＤＬ３、第４バンク用の書込みデータラッチＤＬ４）および読出しデータラッチ回路２１０（第１バンク用の読出しデータラッチＲＬ１、第２バンク用の読出しデータラッチＲＬ２、第３バンク用の読出しデータラッチＲＬ３、第４バンク用の読出しデータラッチＲＬ４）が記憶する値、制御回路２０６のアドレスラッチ回路２０４（第１バンク用のアドレスラッチＡＬ１、第２バンク用のアドレスラッチＡＬ２、第３バンク用のアドレスラッチＡＬ３、第４バンク用のアドレスラッチＡＬ４）が記憶する値、第１バンク２４０の書込み動作および読出し動作を行うアドレス、第２バンク２５０の書込み動作および読出し動作を行うアドレス、第３バンク２６０の書込み動作および読出し動作を行うアドレス、第４バンク２７０の書込み動作および読出し動作を行うアドレスを示している。本実施形態において、アドレスデータの最下位の２ビットが“００”であれば第１バンク２４０に、“０１”であれば第２バンク２５０に、“１０”であれば第３バン

ク２６０、“１１”であれば第４バンク２７０に、各アドレスが割り振られている。すなわち、連続する４個のアドレスに対応する不揮発性記憶素子が互いに異なるメモリセルアレイに含まれるように、各アドレスがそれぞれのメモリセルアレイの不揮発性記憶素子に割り振られている。以下、入力されるアドレスが連続するものとして説明する。各動作は、制御回路２０６（インターリーブ書込み制御回路２０２）の制御に基づいて行われる。データの書込みでは、チップセレクトＣＳがＨである時に、ライトイネーブルＷＥがＨとなり、アドレスデータおよび書込みデータが入力されることにより開始される。

[0110] 第１の期間では、主として、該期間において入力されたアドレスに対応するメモリセルのデータが読み出される。動作は第１実施形態と同様であるので、詳細な説明は省略する。

[0111] 第２の期間では、主として、該期間において入力されたアドレスに対応するメモリセルからのデータの読出しと、第１の期間において入力されたアドレスに対応するメモリセルへのデータの書込みが行われる。書込みデータと読出しデータが、書込みデータラッチ回路２０８および読出しデータラッチ回路２１０から第１データ比較判定回路２１４へ入力され、判定結果が第１パルスイネーブル出力器２２０へ送られ、第１書込み回路２２８が駆動されて、データの書込が行われる。具体的な動作は第１実施形態と同様であるので、詳細な説明は省略する。

[0112] 第３の期間では、主として、該期間において入力されたアドレスに対応するメモリセルからのデータの読出しと、１個前の期間（第２の期間）において入力されたアドレスに対応するメモリセルへのデータの書込みと、２個前の期間（第３の期間）において入力されたアドレスに対応するメモリセルからのデータの読出しとが行われる。第３の期間においてＡＤとして入力された値をＡ３、ＤＩとして入力された値をＤ３とする。入力されるアドレスは連続するので、Ａ３に対応するバンクは第３バンク２６０となる。Ａ３は第３バンク用のアドレスラッチＡＬ３に記憶され、Ｄ３は第３バンク用の書込

みデータラッチＤＬ３に記憶される。センスアンプ切替スイッチ２５２が切り替えられて、第１バンク２４０および第３バンク２６０とデータ入出力回路２１２とが接続される。具体的には、第１バンク用の読出しデータラッチＲＬ１と第１バンク２４０のセンスアンプとが接続され、第３バンク用の読出しデータラッチＲＬ３と第３バンク２６０のセンスアンプとが接続される。バンク切替スイッチ２３０が切り替えられて、第１書込み回路２２８と第２バンク２５０とが接続される。アドレスがＡ３であるメモリセル（第３バンクのメモリセル）の抵抗状態が読み出される。読み出されたＳＡＯＲの値（第３バンクの読出しデータ）をＲ３とすると、Ｒ３は第３バンク用の読出しデータラッチＲＬ３に記憶される。第２バンク用の書込みデータラッチＤＬ２に記憶されているＤ２および第２バンク用の読出しデータラッチＲＬ２に記憶されているＲ２が第１データ比較判定回路２１４へ入力され、第１パルスイネーブル出力器２２０と第１書込み回路２２８とが連動し、所定の条件を満たす場合には、電気的パルスが第２バンク２５０へ出力される（図３参照）。第２バンク用の書込みデータラッチＤＬ２に記憶されているＤ２は制御回路２０６にも送られており、制御回路２０６は受け取ったＤ２に基づいて第２バンクのカラムデコーダを制御する。第２バンク２５０では、ロウデコーダおよびカラムデコーダにより第２バンク用のアドレスラッチＡＬ２に記憶されているＡ２に対応するメモリセルが活性化され、該メモリセルに含まれる不揮発性記憶素子に電気的パルスが印加され、データが書き込まれる。Ｄ２が“０”でＲ２が“１”の場合には、カラムデコーダにより該メモリセルに対応するビット線が選択されて高抵抗化パルスが該メモリセルへと印加され、Ｄ２が“１”でＲ２が“０”の場合には、カラムデコーダにより該メモリセルに対応するソース線が選択されて低抵抗化パルスが該メモリセルへと印加される（ＰＵＬＳＥ）。Ｄ２とＲ２とが等しい場合には、ＨＲＰＥおよびＬＲＰＥのいずれもＬのままであり、電気的パルスは出力されない（ＮＯＰ）。アドレスがＡ１であるメモリセル（第１バンクのメモリセル）の抵抗状態が読み出される。読み出されたＳＡＯＶの値（第１バンクの読出

しデータ）をＶ１とすると、Ｖ１は第１バンク用の読出しデータラッチＲＬ１に記憶される。これに伴い、第１バンク用の読出しデータラッチＲＬ１に記憶されていた値は更新される。

[0113] 第４の期間では、主として、該期間において入力されたアドレスに対応するメモリセルからのデータの読出しと、１個前の期間（第３の期間）において入力されたアドレスに対応するメモリセルへのデータの書込みと、２個前の期間（第２の期間）において入力されたアドレスに対応するメモリセルからのデータの読出しと、３個前の期間（第１の期間）において入力されたアドレスに対応するメモリセルへのデータの書込みとが行われる。第４の期間においてＡＤとして入力された値をＡ４、ＤＩとして入力された値をＤ４とする。入力されるアドレスは連続するので、Ａ４に対応するバンクは第４バンク２７０となる。Ａ４は第４バンク用のアドレスラッチＡＬ４に記憶され、Ｄ４は第４バンク用の書込みデータラッチＤＬ４に記憶される。センスアンプ切替スイッチ２５２が切り替えられて、第２バンク２５０および第４バンク２７０とデータ入出力回路２１２とが接続される。具体的には、第２バンク用の読出しデータラッチＲＬ２と第２バンク２５０のセンスアンプとが接続され、第４バンク用の読出しデータラッチＲＬ４と第４バンク２７０のセンスアンプとが接続される。バンク切替スイッチ２３０が切り替えられて、第１書込み回路２２８と第３バンク２６０とが接続され、第２書込み回路２２９と第１バンク２４０とが接続される。アドレスがＡ４であるメモリセル（第４バンクのメモリセル）の抵抗状態が読み出される。読み出されたＳＡＯＲの値（第４バンクの読出しデータ）をＲ４とすると、Ｒ４は第４バンク用の読出しデータラッチＲＬ４に記憶される。第３バンク用の書込みデータラッチＤＬ３に記憶されているＤ３および第３バンク用の読出しデータラッチＲＬ３に記憶されているＲ３が第１データ比較判定回路２１４へ入力され、第１パルスイネーブル出力器２２０と第１書込み回路２２８とが連動し、所定の条件を満たす場合には電気的パルスが第３バンク２６０へ出力される（図３参照）。第３バンク用の書込みデータラッチＤＬ３に記憶されてい

るＤ３は制御回路２０６にも送られており、制御回路２０６は受け取ったＤ３に基づいて第３バンクのカラムデコーダを制御する。第３バンク２６０では、ロウデコーダおよびカラムデコーダにより第３バンク用のアドレスラッチＡＬ３に記憶されているＡ３に対応するメモリセルが活性化され、該メモリセルに含まれる不揮発性記憶素子に電気的パルスが印加され、データが書き込まれる。Ｄ３が“０”でＲ３が“１”の場合には、カラムデコーダにより該メモリセルに対応するビット線が選択されて高抵抗化パルスが該メモリセルへと印加され、Ｄ３が“１”でＲ３が“０”の場合には、カラムデコーダにより該メモリセルに対応するソース線が選択されて低抵抗化パルスが該メモリセルへと印加される（ＰＵＬＳＥ）。Ｄ３とＲ３とが等しい場合には、ＨＲＰＥおよびＬＲＰＥのいずれもＬのままであり、電気的パルスは出力されない（ＮＯＰ）。アドレスがＡ２であるメモリセル（第２バンクのメモリセル）の抵抗状態が読み出される。読み出されたＳＡＯＶの値（第２バンクの読出しデータ）をＶ２とすると、Ｖ２は第２バンク用の読出しデータラッチＲＬ２に記憶される。これに伴い、第２バンク用の読出しデータラッチＲＬ２に記憶されていた値は更新される。第１バンク用の書込みデータラッチＤＬ１に記憶されているＤ１および第１バンク用の読出しデータラッチＲＬ１に記憶されているＶ１が第２データ比較判定回路２１５へ入力され、第２パルスイネーブル出力器２２１と第２書込み回路２２９とが連動し、所定の条件を満たす場合には電気的パルスが第１バンク２４０へ出力される（図３参照）。第１バンク用の書込みデータラッチＤＬ１に記憶されているＤ１は制御回路２０６にも送られており、制御回路２０６は受け取ったＤ１に基づいて第１バンクのカラムデコーダを制御する。第１バンク２４０では、ロウデコーダおよびカラムデコーダにより第１バンク用のアドレスラッチＡＬ１に記憶されているＡ１に対応するメモリセルが活性化され、該メモリセルに含まれる不揮発性記憶素子に電気的パルスが印加され、データが書き込まれる。Ｄ１が“０”でＲ１が“１”の場合には、カラムデコーダにより該メモリセルに対応するビット線が選択されて高抵抗化パルスが該メモリセルへ

と印加され、Ｄ１が“１”でＲ１が“０”の場合には、カラムデコーダにより該メモリセルに対応するソース線が選択されて低抵抗化パルスが該メモリセルへと印加される（ＰＵＬＳＥ）。Ｄ１とＶ１とが等しい場合には、ＨＲＰＥおよびＬＲＰＥのいずれもＬのままであり、電気的パルスは出力されない（ＮＯＰ）。

[0114] 第５の期間では、主として、該期間において入力されたアドレスに対応するメモリセルからのデータの読出しと、１個前の期間（第４の期間）において入力されたアドレスに対応するメモリセルへのデータの書込みと、２個前の期間（第３の期間）において入力されたアドレスに対応するメモリセルからのデータの読出しと、３個前の期間（第２の期間）において入力されたアドレスに対応するメモリセルへのデータの書込みとが行われる。第５の期間においてＡＤとして入力された値をＡ５、ＤＩとして入力された値をＤ５とする。入力されるアドレスは連続するので、Ａ５に対応するバンクは第１バンク２４０となる。Ａ５は第１バンク用のアドレスラッチＡＬ１に記憶され、Ｄ５は第１バンク用の書込みデータラッチＤＬ１に記憶される。これに伴い、第１バンク用のアドレスラッチＡＬ１および第１バンク用の書込みデータラッチＤＬ１に記憶されていた値は更新される。センスアンプ切替スイッチ２５２が切り替えられて、第１バンク２４０および第３バンク２６０とデータ入出力回路２１２とが接続される。具体的には、第１バンク用の読出しデータラッチＲＬ１と第１バンク２４０のセンスアンプとが接続され、第３バンク用の読出しデータラッチＲＬ３と第３バンク２６０のセンスアンプとが接続される。バンク切替スイッチ２３０が切り替えられて、第１書込み回路２２８と第４バンク２７０とが接続され、第２書込み回路２２９と第２バンク２５０とが接続される。アドレスがＡ５であるメモリセル（第１バンクのメモリセル）の抵抗状態が読み出される。読み出されたＳＡＯＲの値（第１バンクの読出しデータ）をＲ５とすると、Ｒ５は第１バンク用の読出しデータラッチＲＬ１に記憶される。これに伴い、第１バンク用の読出しデータラッチＲＬ１に記憶されていた値は更新される。第４バンク用の書込みデー

タラッチＤＬ４に記憶されているＤ４および第４バンク用の読出しデータラッチＲＬ４に記憶されているＲ４が第１データ比較判定回路２１４へ入力され、第１パルスイネーブル出力器２２０と第１書込み回路２２８とが連動し、所定の条件を満たす場合には電気的パルスが第４バンク２７０へ出力される（図３参照）。第４バンク用の書込みデータラッチＤＬ４に記憶されているＤ４は制御回路２０６にも送られており、制御回路２０６は受け取ったＤ４に基づいて第４バンクのカラムデコーダを制御する。第４バンク２７０では、ロウデコーダおよびカラムデコーダにより第４バンク用のアドレスラッチＡＬ４に記憶されているＡ４に対応するメモリセルが活性化され、該メモリセルに含まれる不揮発性記憶素子に電気的パルスが印加され、データが書き込まれる。Ｄ４が“０”でＲ４が“１”の場合には、カラムデコーダにより該メモリセルに対応するビット線が選択されて高抵抗化パルスが該メモリセルへと印加され、Ｄ４が“１”でＲ４が“０”の場合には、カラムデコーダにより該メモリセルに対応するソース線が選択されて低抵抗化パルスが該メモリセルへと印加される（ＰＵＬＳＥ）。Ｄ４とＲ４とが等しい場合には、ＨＲＰＥおよびＬＲＰＥのいずれもＬのままであり、電気的パルスは出力されない（ＮＯＰ）。アドレスがＡ３であるメモリセル（第３バンクのメモリセル）の抵抗状態が読み出される。読み出されたＳＡＯＶの値（第３バンクの読出しデータ）をＶ３とすると、Ｖ３は第３バンク用の読出しデータラッチＲＬ３に記憶される。これに伴い、第３バンク用の読出しデータラッチＲＬ３に記憶されていた値は更新される。第２バンク用の書込みデータラッチＤＬ２に記憶されているＤ２および第２バンク用の読出しデータラッチＲＬ２に記憶されているＶ２が第２データ比較判定回路２１５へ入力され、第２パルスイネーブル出力器２２１と第２書込み回路２２９とが連動し、所定の条件を満たす場合には電気的パルスが第２バンク２５０へ出力される（図３参照）。第２バンク用の書込みデータラッチＤＬ２に記憶されているＤ２は制御回路２０６にも送られており、制御回路２０６は受け取ったＤ２に基づいて第２バンクのカラムデコーダを制御する。第２バンク２５０では、ロ

ウデコーダおよびカラムデコーダにより第２バンク用のアドレスラッチＡＬ２に記憶されているＡ２に対応するメモリセルが活性化され、該メモリセルに含まれる不揮発性記憶素子に電気的パルスが印加され、データが書き込まれる。Ｄ２が“０”でＲ２が“１”の場合には、カラムデコーダにより該メモリセルに対応するビット線が選択されて高抵抗化パルスが該メモリセルへと印加され、Ｄ２が“１”でＲ２が“０”の場合には、カラムデコーダにより該メモリセルに対応するソース線が選択されて低抵抗化パルスが該メモリセルへと印加される（ＰＵＬＳＥ）。Ｄ２とＶ２とが等しい場合には、ＨＲＰＥおよびＬＲＰＥのいずれもＬのままであり、電気的パルスは出力されない（ＮＯＰ）。

[0115] 第６の期間以降の動作は、対応するバンクや添字を置換するだけで、その内容は第５の期間と同様であるので説明を省略する（図１４参照）。

[0116] 図１５は、本発明の第１実施形態の不揮発性記憶装置によって実行されるインターリーブ書込みのタイミングチャートの一例である。

[0117] 図に示すように、第１の期間においてアドレスＡＤとしてＡ１が入力され、書込みデータとしてＤ１が入力されると共に、Ａ１に対応する第１バンクのメモリセルに書き込まれているデータが読み出される（ＲｅａｄＡ１）。

[0118] 第２の期間においては、アドレスＡＤとしてＡ２が入力され、書込みデータとしてＤ２が入力されると共に、Ａ１に対応する第１バンクのメモリセルにデータが書き込まれ（ＷｒｉｔｅＡ１）、Ａ２に対応する第２バンクのメモリセルに書き込まれているデータが読み出される（ＲｅａｄＡ２）。図１５では、Ｒ１とＤ１とが異なっていた場合が示されており、Ａ１に対応する不揮発性記憶素子に対して電気的パルスの印加が行われている。

[0119] 第３の期間においては、アドレスＡＤとしてＡ３が入力され、書込みデータとしてＤ３が入力されると共に、Ａ１に対応する第１バンクのメモリセルに書き込まれているデータが読み出され（ＲｅａｄＡ１）、Ａ２に対応する第２バンクのメモリセルにデータが書き込まれ（ＷｒｉｔｅＡ２）、Ａ３に対応する第３バンクのメモリセルに書き込まれているデータが読み出される

（ＲｅａｄＡ３）。図１５では、Ｒ２とＤ２とが異なっていた場合が示されており、両データが異なるために、Ａ２に対応する不揮発性記憶素子に対して電気的パルスの印加が行われている。

[0120] 第４の期間においては、アドレスＡＤとしてＡ４が入力され、書込みデータとしてＤ４が入力されると共に、Ａ１に対応する第１バンクのメモリセルにデータが書き込まれ（ＷｒｉｔｅＡ１）、Ａ２に対応する第２バンクのメモリセルに書き込まれているデータが読み出され（ＲｅａｄＡ２）、Ａ３に対応する第３バンクのメモリセルにデータが書き込まれ（ＷｒｉｔｅＡ３）、Ａ４に対応する第４バンクのメモリセル」に書き込まれているデータが読み出される（ＲｅａｄＡ４）。第４の期間でＡ１に対応するメモリセルへの書込みサイクル（２回のＲｅａｄおよび２回のＷｒｉｔｅ）が完了する。図１５では、Ｖ１とＤ１とが異なっており、かつＲ３とＤ３とが異なっていた場合が示されており、Ａ１およびＡ３に対応する不揮発性記憶素子に対しても電気的パルスの印加が行われている。

[0121] 第５の期間以降は、上述と同様にして、各バンクにつき順次にかつ交互に書込みと読出しとが行われる。以上のような動作もインターリーブ書込みと呼ぶ。図１５に示すように、実際の書込み動作は、直前の期間における読出しデータとその書込みサイクルにおける書込みデータとが一致しなければ電気的パルスが印加され（ＰＵＬＳＥ）、一致すれば電気的パルスが印加されない（ＮＯＰ）。例えば図１５において、第５の期間として、Ｖ２とＤ２とが等しく、かつＲ４とＤ４とが等しい場合が示されており、Ａ２およびＡ４に対応する不揮発性記憶素子に対して電気的パルスの印加が行われていない。

[0122] 以上のように、本実施形態では、連続するアドレスにデータを書き込む場合、連続する期間において、第１バンク乃至第４バンクについて順次にかつ交互に書込みと読出しが並行して行われる。すなわち、第１バンクと第３バンクについて書込みが行われている間は第２バンクと第４バンクについて読出しが行われ、第１バンクと第３バンクについて読出しが行われている間は

第２バンクと第４バンクについて書込みが行われる。書込みにおいては、直前の期間で読み出されたデータと、書込みデータとの比較が行われ、両者が異なる場合にのみ電気的パルスがメモリセルへ印加される。両者が一致する場合には電気的パルスがメモリセルへ印加されない。すでに高抵抗状態にあるメモリセルに対して高抵抗化パルスが印加されることがなく、すでに低抵抗状態にあるメモリセルに対して低抵抗化パルスが印加されることがない。

[0123] さらに、電気的パルスを印加した後で再度抵抗状態が読み出される。書込みが正常に行われたかが確認され、誤りがあれば再度電気的パルスの印加が行われる。すなわち、再度読み出されたデータと、書込みデータとの比較が行われ、両者が異なる場合にのみ電気的パルスがメモリセルへ印加される。これにより、メモリセルの抵抗状態（読み出されたデータ）が書込みデータを正確に反映していない場合にのみ、再度電気的パルスがメモリセルへ印加される。メモリセルの抵抗状態（読み出されたデータ）が書き込みデータを正確に反映している場合には、電気的パルスがメモリセルへ印加されない。

[0124] かかる制御により、データの書込み速度を落とすことなしに、事前の読出しと確認用の読出しを行う書込みを行うことができる。確認用の読出しは、不必要な電気的パルスが印加された場合でなくとも発生する書込み不良（図１９参照）による問題の抑制に有効である。よって、不必要な電気的パルスの印加による応答性の低下（図１８参照）を防止しつつデータを確実に書き込むことができ、メモリ動作の信頼性がさらに向上される。

[0125] 本実施形態においても第１実施形態と同様の効果が得られ、同様の変形例が可能であることは言うまでもない。

[0126] 本実施形態の構成は、不必要な電気的パルスが印加された場合でなくとも発生する書込み不良（図１９参照）の抑制に有効である。かかる現象は抵抗変化型記憶素子においてより問題となりやすい。よって、本実施形態の構成は、特に抵抗変化型記憶装置に有効である。

なお、本実施形態では確認用の読出しは１回だけ行われたが、２回以上行われてもよい。かかる構成では、さらに確実に所望のデータを書込むことが

できる。例えば確認用の読出しが２回行われる場合には、メモリセルアレイを６個として、順次ずらしてデータの読出しと書込みが行われればよい。確認用の読出しがＮ回行われる場合には、メモリセルアレイを２（Ｎ＋１）個として、順次ずらしてデータの読出しと書込みが行われればよい。

上記説明から、当業者にとっては、本発明の多くの改良や他の実施形態が明らかである。従って、上記説明は、例示としてのみ解釈されるべきであり、本発明を実行する最良の態様を当業者に教示する目的で提供されたものである。本発明の精神を逸脱することなく、その構造及び／又は機能の詳細を実質的に変更できる。

産業上の利用可能性

[0127] 本発明の不揮発性記憶装置は、書込み速度を低下させずに書込み動作の信頼性を向上させる不揮発性記憶装置として有用である。

請求の範囲

[1] 電気的パルスが印加されることにより抵抗値が変化する特性を有する不揮発性記憶素子を複数有する複数のメモリセルアレイと、

前記複数のメモリセルアレイに対してデータを書き込む際にあるメモリセルアレイに対して書込みを行うと同時に別のメモリセルアレイに対して読出しを行うための制御部とを備え、

前記制御部は、

外部から入力されるアドレスデータを一時的に保持するためのアドレスラッチと、

外部から入力されるアドレスデータに対応する不揮発性記憶素子から読み出された読出しデータを一時的に保持するための読出しデータラッチと、

外部から入力される書込みデータを一時的に保持するための書込みデータラッチと、

前記書込みデータラッチに保持されている書込みデータと前記読出しデータラッチに保持されている読出しデータとを比較するための比較判定部と、

前記比較判定部が出力する判定結果に基づいて前記メモリセルアレイへ電気的パルスを入力するための書込み部と、

前記書込み部を所定のメモリセルアレイへ接続するための書込み切替スイッチと、

前記読出しデータラッチを所定のメモリセルアレイへ接続するための読出し切替スイッチと、

前記書込み切替スイッチと前記読出し切替スイッチとを制御して前記読出しデータラッチおよび前記書込み部のそれぞれを所定のタイミングで所定のメモリセルアレイへと接続するためのインターリーブ書込み制御回路とを備える、不揮発性記憶装置。

[2] 前記不揮発性記憶素子は抵抗変化型記憶素子である、請求項１に記載の不揮発性記憶装置。

[3] 前記不揮発性記憶素子は相変化型記憶素子である、請求項１に記載の不揮

発性記憶装置。

[4] 前記インターリーブ書込み制御回路は、連続するアドレスにデータを書き込む場合において、あるアドレスに対応する不揮発性記憶素子にデータを書き込む前に、外部から入力されたアドレスデータを前記アドレスラッチに保持し、外部から入力された書込データを前記書込データラッチに保持し、前記読出しデータラッチが前記アドレスデータに対応する不揮発性記憶素子を含むメモリセルアレイに接続されるように前記読出し切替スイッチを制御してその不揮発性記憶素子が記憶しているデータを読み出して前記読出しデータラッチに保持し、その後に、前記読出しデータラッチに記憶されているデータと前記書込みデータラッチに記憶されているデータとを前記比較判定部により比較して両者が異なる場合にのみ前記書込みデータラッチに記憶されているデータがその不揮発性記憶素子へ書き込まれるべく、前記書込み部がそのメモリセルアレイに接続されるように前記書込み切替スイッチを制御し、前記書込み部に電気的パルスを出力させるように構成されている、請求項１に記載の不揮発性記憶装置。

[5] 前記メモリセルアレイの個数は２であり、

連続する２個のアドレスに対応する不揮発性記憶素子が互いに異なるメモリセルアレイに含まれるように各アドレスがそれぞれのメモリセルアレイに割り振られており、

前記インターリーブ書込み制御回路は、

連続するアドレスにデータを書き込む場合において、

個々のアドレスについて書込みまたは読出しが行われる時間単位を期間とするとき、

最初の期間を除いた各期間に、

その期間において外部から入力されたアドレスデータを前記アドレスラッチに保持し、その期間において外部から入力された書込データを前記書込データラッチに保持し、その期間において外部から入力されたアドレスデータに対応する不揮発性記憶素子を含むメモリセルアレイに前記読出しデータラ

ッチが接続されるように前記読出し切替スイッチを制御してその期間において外部から入力されたアドレスデータに対応する不揮発性記憶素子が記憶しているデータを読み出して読出しデータとして前記読出しデータラッチに保持し、

直前の期間において外部から入力されたアドレスデータに対応する不揮発性記憶素子を含むメモリセルアレイに前記書込み部が接続されるように前記書込み切替スイッチを制御して直前の期間において外部から入力されたアドレスデータに対応する不揮発性記憶素子から読み出された読出しデータと直前の期間において外部から入力された書込みデータとをそれぞれ前記読出しデータラッチおよび前記書込みデータラッチから前記比較判定部へ入力し、前記比較判定部が出力する判定結果に基づき、両者が異なる場合にのみ、直前の期間において入力された書込みデータが直前の期間において外部から入力されたアドレスデータに対応する不揮発性記憶素子へ書き込まれるべく前記書込み部に電気的パルスを出力させるように構成されている、請求項１に記載の不揮発性記憶装置。

[6] 前記メモリセルアレイの個数は４であり、

連続する４個のアドレスに対応する不揮発性記憶素子がいずれも互いに異なるメモリセルアレイに含まれるように各アドレスがそれぞれのメモリセルアレイに割り振られており、

前記書込み部は第１の書込み回路と第２の書込み回路とを備え、

前記インターリーブ書込み制御回路は、

連続するアドレスにデータを書き込む場合において、

個々のアドレスについて書込みまたは読出しが行われる時間単位を期間とするとき、

最初の３個の期間を除いた各期間に、

その期間において外部から入力されたアドレスデータを前記アドレスラッチに保持し、その期間において外部から入力された書込データを前記書込データラッチに保持し、その期間において外部から入力されたアドレスデータ

に対応する不揮発性記憶素子を含むメモリセルアレイに前記読出しデータラッチが接続されるように前記読出し切替スイッチを制御してその期間において外部から入力されたアドレスデータに対応する不揮発性記憶素子が記憶しているデータを読み出して読出しデータとして前記読出しデータラッチに保持し、

直前の期間において外部から入力されたアドレスデータに対応する不揮発性記憶素子を含むメモリセルアレイに前記第１の書込み回路が接続されるように前記書込み切替スイッチを制御して、直前の期間において外部から入力されたアドレスデータに対応する不揮発性記憶素子から直前の期間において読み出された読出しデータと直前の期間において外部から入力された書込みデータとをそれぞれ前記読出しデータラッチおよび前記書込みデータラッチから前記比較判定部へ入力し、前記比較判定部が出力する判定結果に基づき、両者が異なる場合にのみ、直前の期間において入力された書込みデータが直前の期間において外部から入力されたアドレスデータに対応する不揮発性記憶素子へ書き込まれるべく前記第１の書込み回路に電気的パルスを出力させ、

２個前の期間において外部から入力されたアドレスデータに対応する不揮発性記憶素子を含むメモリセルアレイに前記読出しデータラッチが接続されるように前記読出し切替スイッチを制御して２個前の期間において外部から入力されたアドレスデータに対応する不揮発性記憶素子が記憶しているデータを読み出して読出しデータとして前記読出しデータラッチに保持し、

３個前の期間において外部から入力されたアドレスデータに対応する不揮発性記憶素子を含むメモリセルアレイに前記第２の書込み回路が接続されるように前記書込み切替スイッチを制御して、３個前の期間において外部から入力されたアドレスデータに対応する不揮発性記憶素子から直前の期間において読み出された読出しデータと３個前の期間において外部から入力された書込みデータとをそれぞれ前記読出しデータラッチおよび前記書込みデータラッチから前記比較判定部へ入力し、前記比較判定部が出力する判定結果に

基づき、両者が異なる場合にのみ、３個前の期間において入力された書込みデータが３個前の期間において外部から入力されたアドレスデータに対応する不揮発性記憶素子へ書き込まれるべく前記第２の書込み回路に電気的パルスを出力させるように構成されている、請求項１に記載の不揮発性記憶装置。

[7] 前記不揮発性記憶素子は、所定の態様のエネルギーの累積投入量に応じてその抵抗値が変化し、前記書込み部は前記所定の態様のエネルギーを投入することによって前記不揮発性記憶素子の抵抗値を変化させるように構成されている、請求項１に記載の不揮発性記憶装置。

[8] 前記所定の態様のエネルギーの累積投入量が電気的パルスの累積印加量であり、前記書込み部は前記不揮発性記憶素子に電気的パルスを印加することによって前記不揮発性記憶素子の抵抗値を変化させるように構成されている請求項７に記載の不揮発性記憶装置。

[9] 電気的パルスが印加されることにより抵抗値が変化する特性を有する不揮発性記憶素子を複数有する複数のメモリセルアレイと、

前記複数のメモリセルアレイに対してデータを書き込む際にあるメモリセルアレイに対して書込みを行うと同時に別のメモリセルアレイに対して読出しを行うための制御部とを備え、

前記制御部は、

外部から入力されるアドレスデータを一時的に保持するためのアドレスラッチと、

外部から入力されるアドレスデータに対応する不揮発性記憶素子から読み出された読出しデータを一時的に保持するための読出しデータラッチと、

外部から入力される書込みデータを一時的に保持するための書込みデータラッチと、

前記書込みデータラッチに保持されている書込みデータと前記読出しデータラッチに保持されている読出しデータとを比較するための比較判定部と、

前記比較判定部が出力する判定結果に基づいて前記メモリセルアレイへ電

気的パルスを入力するための書込み部と、

前記書込み部を所定のメモリセルアレイへ接続するための書込み切替スイッチと、

前記読出しデータラッチを所定のメモリセルアレイへ接続するための読出し切替スイッチと、

前記書込み切替スイッチと前記読出し切替スイッチとを制御して前記読出しデータラッチおよび前記書込み部のそれぞれを所定のタイミングで所定のメモリセルアレイへと接続するためのインターリーブ書込み制御回路とを備える、

不揮発性記憶装置へのデータ書込み方法であって、

前記複数のメモリセルアレイに対してデータを書き込む際にあるメモリセルアレイに対して書込みを行うと同時に別のメモリセルアレイに対して読出しを行うものであり、

前記インターリーブ書込み制御回路が、連続するアドレスにデータを書き込む場合において、あるアドレスに対応する不揮発性記憶素子にデータを書き込む前に、外部から入力されたアドレスデータを前記アドレスラッチに保持し、外部から入力された書込データを前記書込データラッチに保持し、前記読出しデータラッチが前記アドレスデータに対応する不揮発性記憶素子を含むメモリセルアレイに接続されるように前記読出し切替スイッチを制御してその不揮発性記憶素子が記憶しているデータを読み出して前記読出しデータラッチに保持し、その後に、前記読出しデータラッチに記憶されているデータと前記書込みデータラッチに記憶されているデータとを前記比較判定部により比較して両者が異なる場合にのみ前記書込みデータラッチに記憶されているデータがその不揮発性記憶素子へ書き込まれるべく、前記書込み部がそのメモリセルアレイに接続されるように前記書込み切替スイッチを制御し、前記書込み部に電気的パルスを出力させる、

不揮発性記憶装置へのデータ書込み方法。

[10] 連続する２個のアドレスに対応する不揮発性記憶素子が互いに異なるメモ

リセルアレイに含まれるように各アドレスがそれぞれのメモリセルアレイに割り振られている不揮発性記憶装置へのデータ書込み方法であって、

連続するアドレスへデータを書き込む場合において、

個々のアドレスについて書込みまたは読出しが行われる時間単位を期間とするとき、

最初の期間を除いた各期間に、

その期間において外部から入力されたアドレスデータとその期間において外部から入力された書込みデータとを保持し、その期間において外部から入力されたアドレスデータに対応する不揮発性記憶素子が記憶しているデータを読み出して読出しデータとして保持し、

直前の期間において外部から入力されて保持された書込みデータと直前の期間において読み出されて保持された読出しデータとを比較して両者が異なる場合にのみ直前の期間において外部から入力されて保持された書込みデータが直前の期間において外部から入力されて保持されたアドレスデータに対応する不揮発性記憶素子へ書き込まれるべく電気的パルスを印加する、請求項９に記載の不揮発性記憶装置へのデータ書込み方法。

[11] 前記メモリセルアレイの個数は４以上であり、

連続する４個のアドレスに対応する不揮発性記憶素子が互いに異なるメモリセルアレイに含まれるように各アドレスがそれぞれのメモリセルアレイに割り振られている不揮発性記憶装置へのデータ書込み方法であって、

連続するアドレスへデータを書き込む場合において、

個々のアドレスについて書込みまたは読出しが行われる時間単位を期間とするとき、

最初の３個の期間を除いた各期間に、

その期間において外部から入力されたアドレスデータとその期間において外部から入力された書込みデータとを保持し、その期間において外部から入力されたアドレスデータに対応する不揮発性記憶素子が記憶しているデータを読み出して読出しデータとして保持し、

直前の期間において外部から入力されて保持された書込みデータと直前の期間において読み出されて保持された読出しデータとを比較して両者が異なる場合にのみ直前の期間において外部から入力されて保持された書込みデータが直前の期間において外部から入力されて保持されたアドレスデータに対応する不揮発性記憶素子へ書き込まれるべく電気的パルスを印加し、

２個前の期間において外部から入力されたアドレスデータに対応する不揮発性記憶素子が記憶しているデータを読み出して読出しデータとして保持し、

３個前の期間において外部から入力されて保持された書込データと３個前の期間において外部から入力されたアドレスデータに対応する不揮発性記憶素子から直前の期間において読み出されて保持された読出しデータとを比較して両者が異なる場合にのみ３個前の期間において外部から入力されて保持された書込みデータが３個前の期間において外部から入力されて保持されたアドレスデータに対応する不揮発性記憶素子へ書き込まれるべく電気的パルスを印加する、請求項９に記載の不揮発性記憶装置へのデータ書込み方法。

[12] 電気的パルスが印加されることにより抵抗値が変化する特性を有する不揮発性記憶素子を複数有する複数のメモリセルアレイを備え、前記複数のメモリセルアレイに対してデータを書き込む際にあるメモリセルアレイに対して書込みを行うと同時に別のメモリセルアレイに対して読出しを行う、不揮発性記憶装置へのデータ書込み方法であって、

前記各メモリセルアレイに対する書込みは、第１の期間において外部から入力されたアドレスデータと前記第１の期間において外部から入力された書込みデータとを保持し、

前記第１の期間において外部から入力されたアドレスデータに対応する不揮発性記憶素子が記憶しているデータを読み出して読出しデータとして保持し、

前記書込みデータと前記読出しデータとを比較して両者が異なる場合にのみ、次の第２の期間に、前記書込みデータが直前の第１の期間において外部か

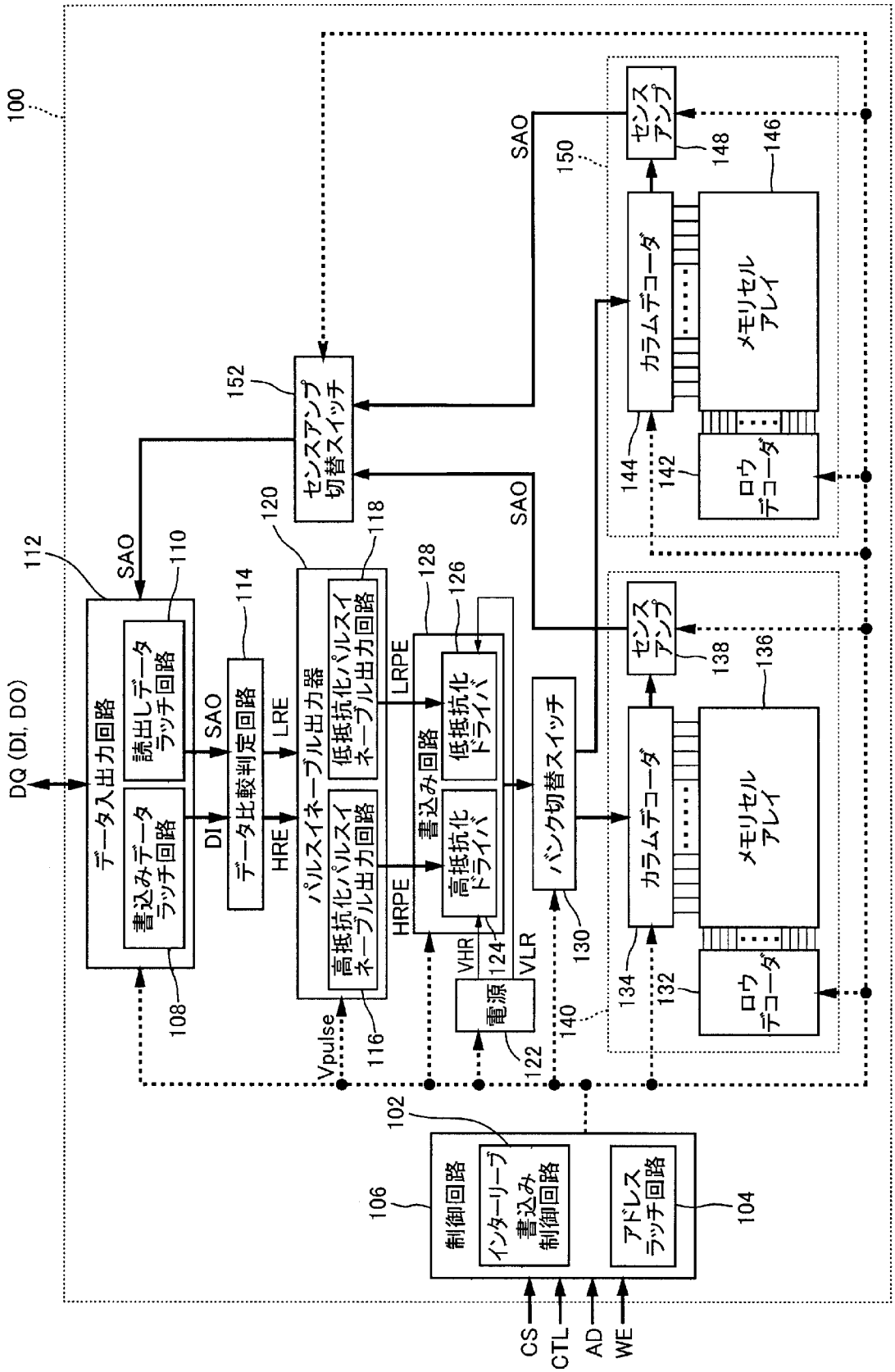
ら入力されて保持されたアドレスデータに対応する不揮発性記憶素子へ書き込まれるべく電気的パルスを印加し、

次の第３の期間に、電気パルスが印加された前記不揮発性記憶素子のデータを読み出して読出しデータとして保持し、

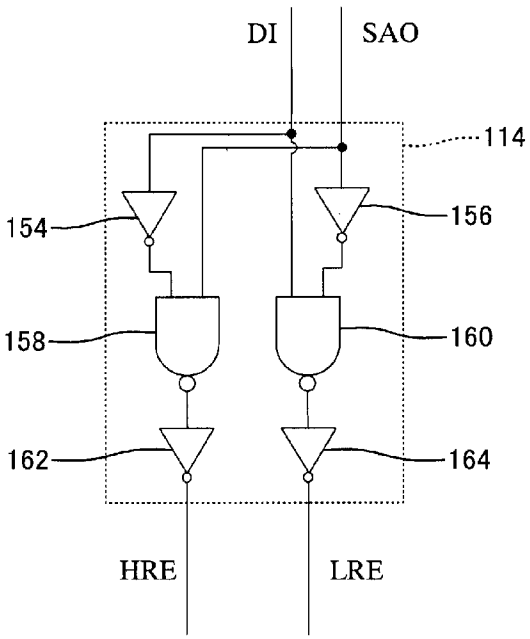
前記書込みデータとを比較して両者が異なる場合にのみ、その次の第４の期間に前記書込みデータが前記不揮発性記憶素子へ書き込まれるべく電気的パルスを印加し、

以降、電気的パルスが印加された前記不揮発性記憶素子の読出しデータと前記書込みデータが一致するまで、読出し判定動作と書込み動作を繰返すことを特徴とする、請求項９に記載の不揮発性記憶装置へのデータ書込み方法。

[図1]


100
DQ (DI, DO)
データ入出力回路
書込みデータラッチ回路
読出しデータラッチ回路
108
110
112
SAO
DI
データ比較判定回路
114
HRE
LRE
パルスイネーブル出力器
高抵抗化パルスイネーブル出力回路
低抵抗化パルスイネーブル出力回路
116
118
120
HRPE
LRPE
書込み回路
高抵抗化ドライバ
低抵抗化ドライバ
126
128
VHR
VLR
124
電源
122
Vpulse
センスアンプ切替スイッチ
152
バンク切替スイッチ
130
140
センスアンプ
148
150
カラムデコーダ
144
ロウデコーダ
142
メモリセルアレイ
146
センスアンプ
138
カラムデコーダ
134
ロウデコーダ
132
メモリセルアレイ
136
制御回路
インターリーブ書込み制御回路
106
102
アドレスラッチ回路
104
CS
CTL
AD
WE

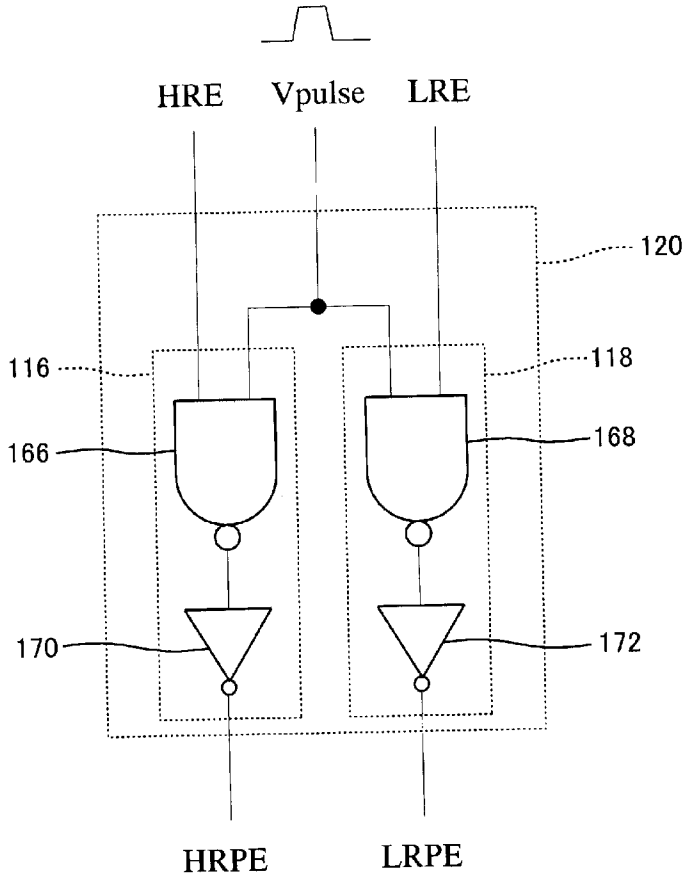
[図2]



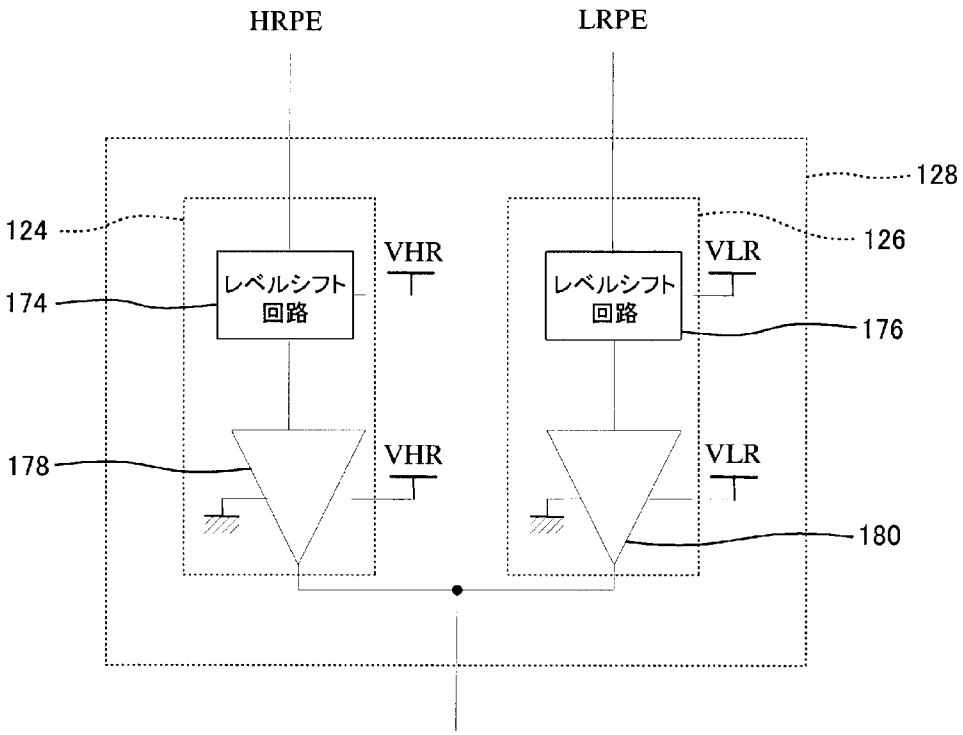
[図3]

DI	SAO	HRE	LRE
L	L	L	L
L	H	H	L
H	L	L	H
H	H	L	L

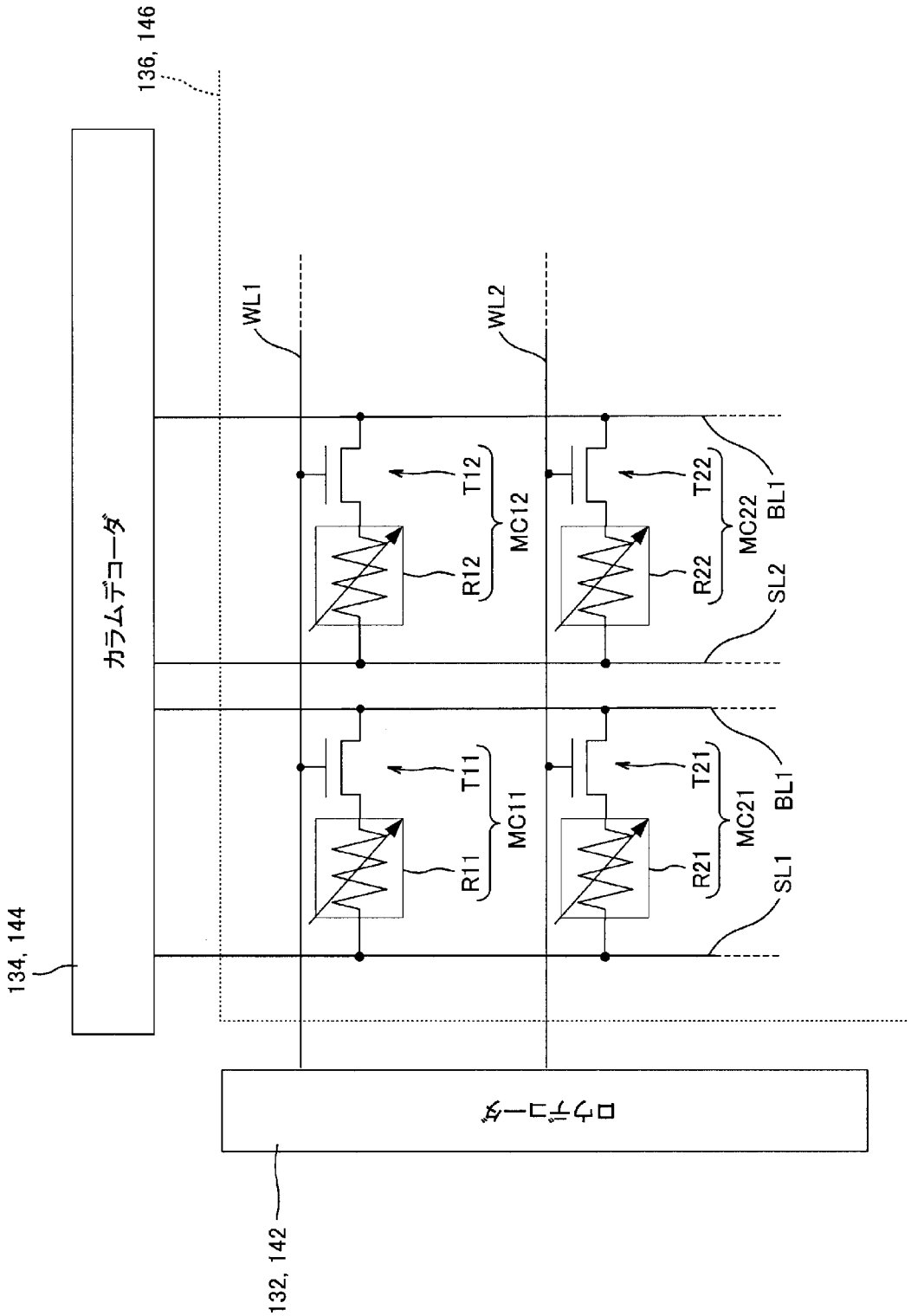
[図4]



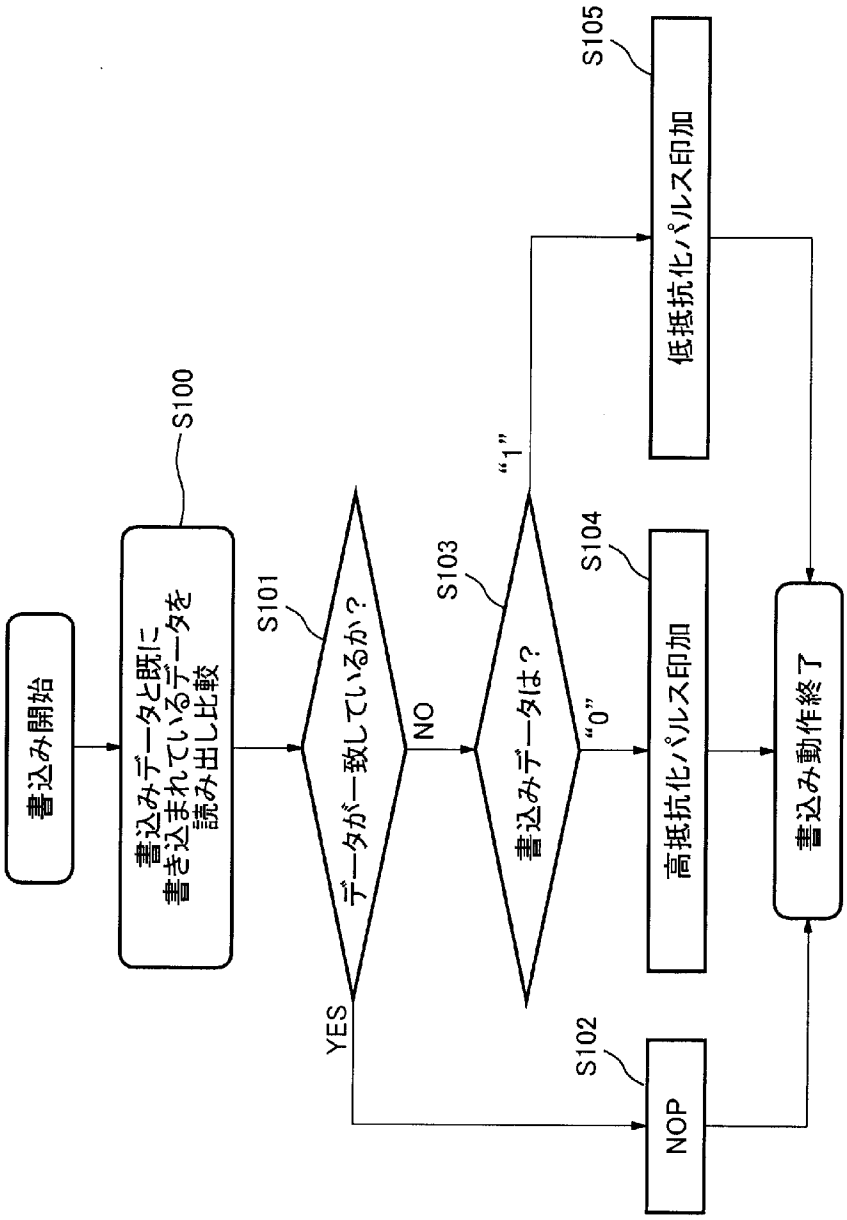
[図5]


HRPE
LRPE
128
124
126
VHR
VLR
レベルシフト回路
レベルシフト回路
174
176
178
VHR
VLR
180

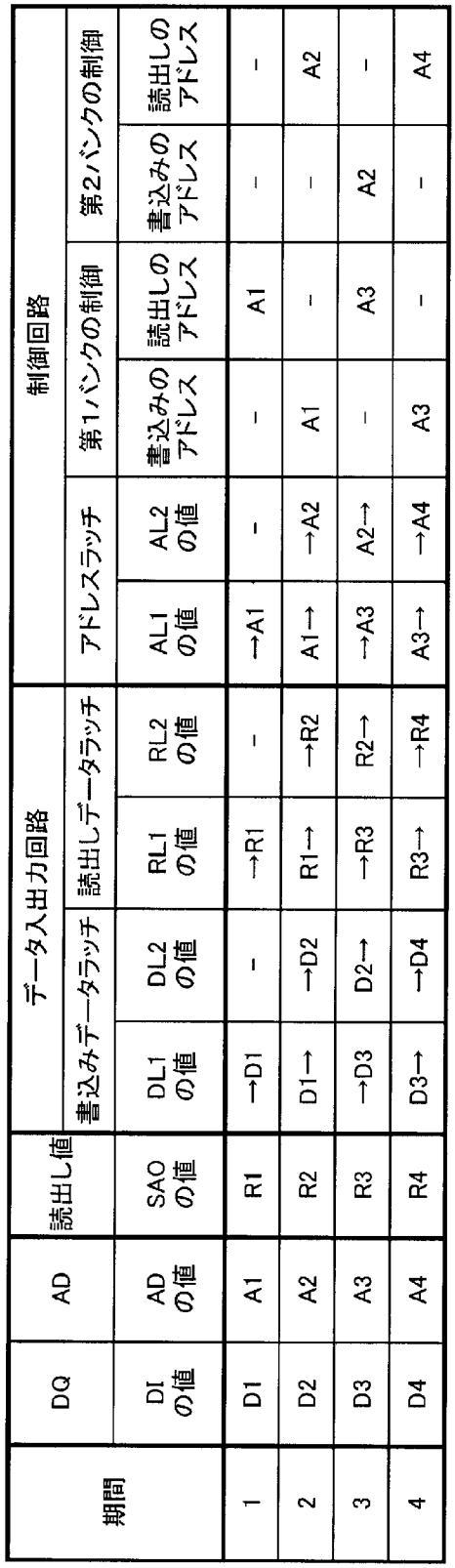
[図6]


136, 146
WL1
WL2
カラムデコーダ
T12
MC12
R12
T22
MC22
BL1
SL2
T11
MC11
R11
T21
MC21
BL1
SL1
134, 144
ロウデコーダ
132, 142

[図7]

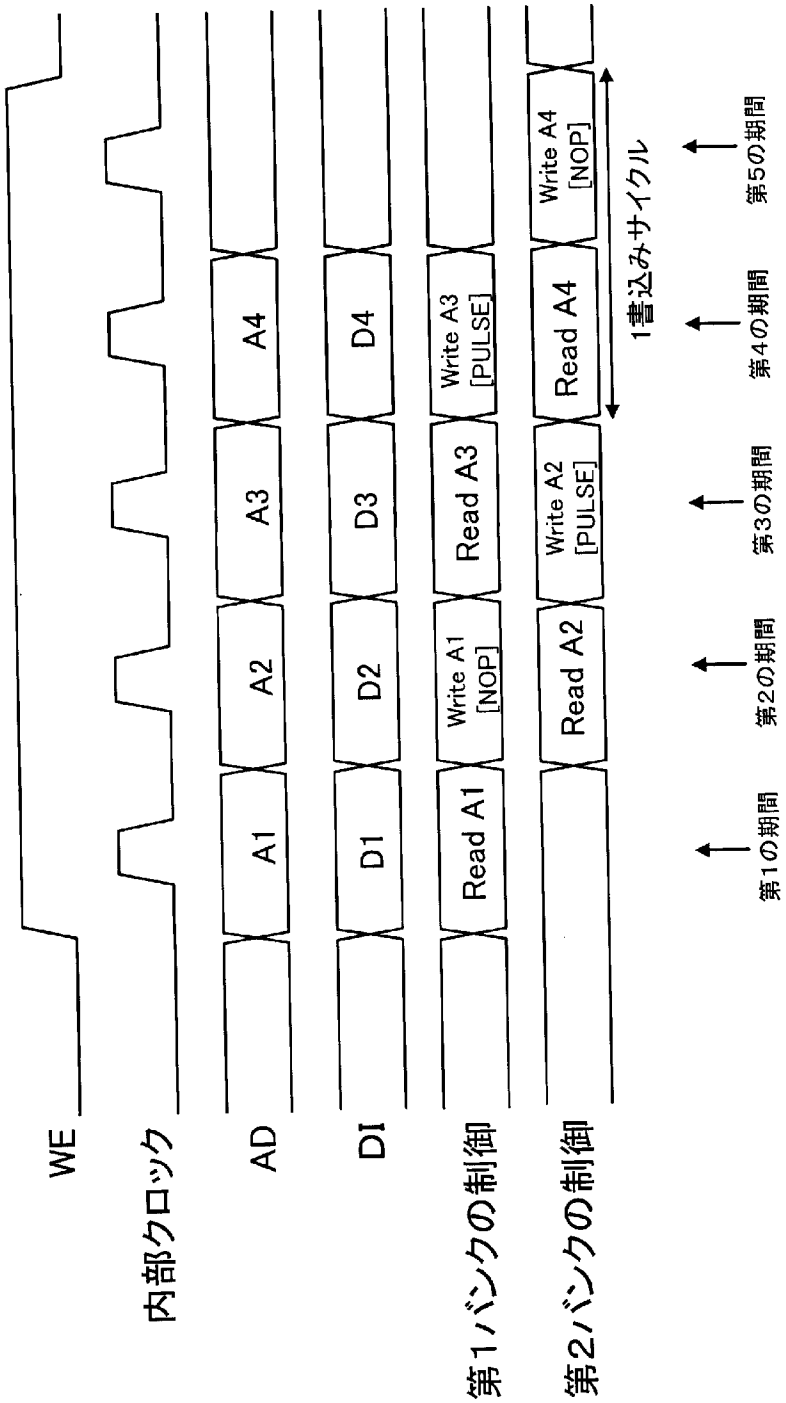

書込み開始
S100
書込みデータと既に
書き込まれているデータを
読み出し比較
S101
データが一致しているか？
YES
NO
S102
NOP
S103
書込みデータは？
“1”
“0”
S104
高抵抗化パルス印加
S105
低抵抗化パルス印加
書込み動作終了

[図8]

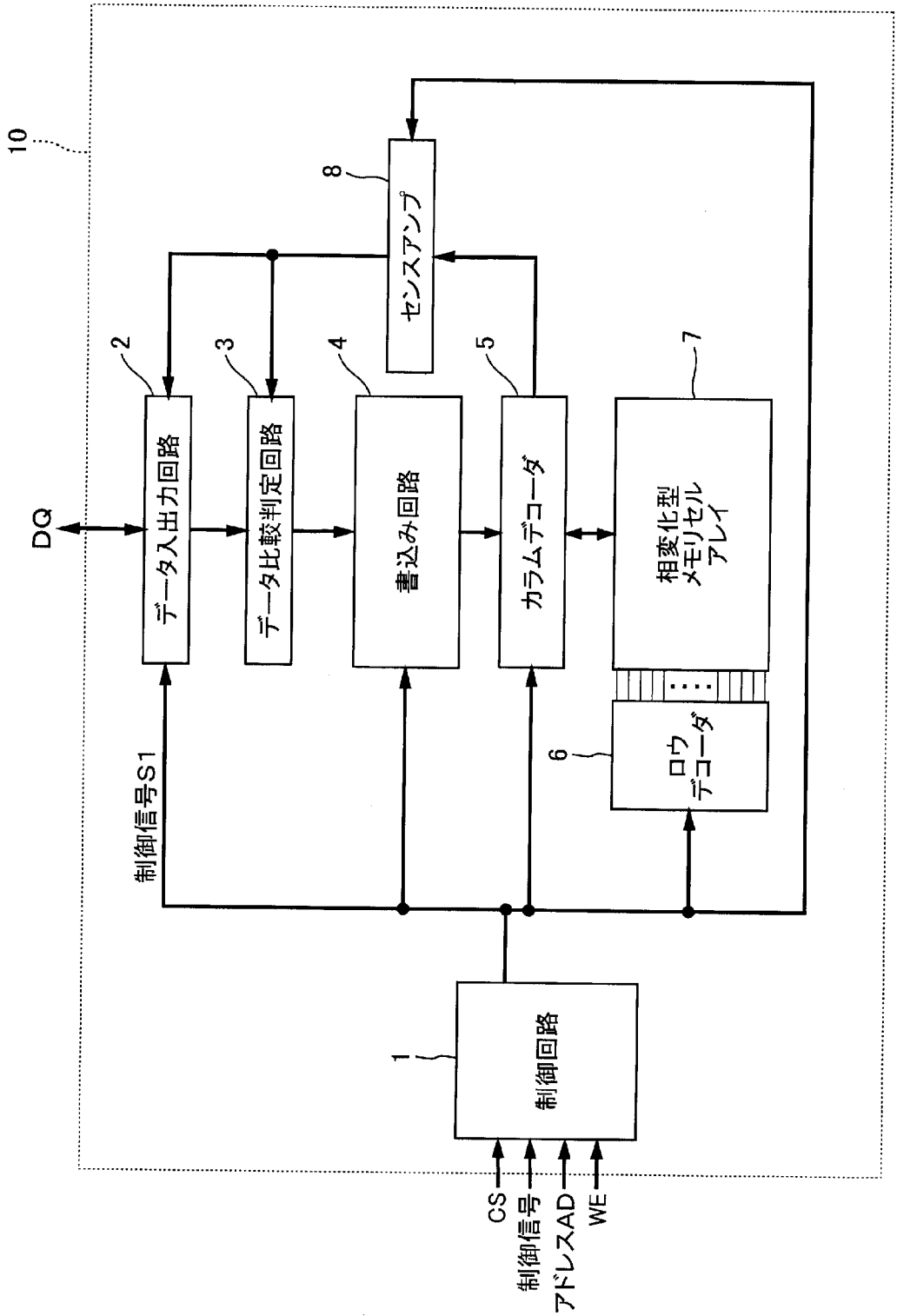


期間	DQ	AD	読出し値	データ入出力回路				制御回路					
				書込みデータラッチ		読出しデータラッチ		アドレスラッチ		第1バンクの制御		第2バンクの制御	
	DIの値	ADの値	SAOの値	DL1の値	DL2の値	RL1の値	RL2の値	AL1の値	AL2の値	書込みのアドレス	読出しのアドレス	書込みのアドレス	読出しのアドレス
1	D1	A1	R1	→D1	-	→R1	-	→A1	-	-	A1	-	-
2	D2	A2	R2	D1→	→D2	R1→	→R2	A1→	→A2	A1	-	-	A2
3	D3	A3	R3	→D3	D2→	→R3	R2→	→A3	A2→	-	A3	A2	-
4	D4	A4	R4	D3→	→D4	R3→	→R4	A3→	→A4	A3	-	-	A4

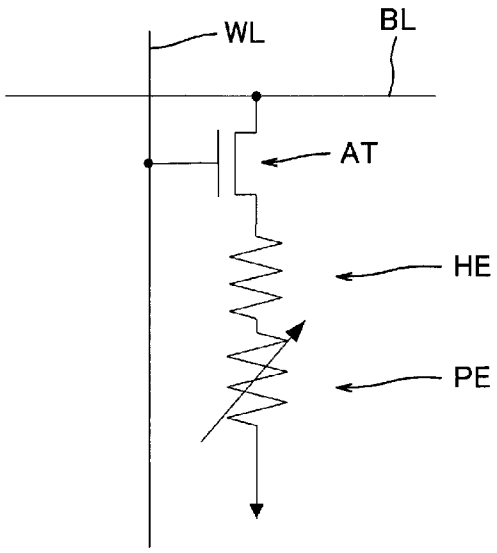
[図9]


WE
内部クロック
AD
DI
第1バンクの制御
第2バンクの制御
A1
A2
A3
A4
D1
D2
D3
D4
Read A1
Write A1 [NOP]
Read A3
Write A3 [PULSE]
Write A2 [PULSE]
Read A2
Read A4
Write A4 [NOP]
1書込みサイクル
第1の期間
第2の期間
第3の期間
第4の期間
第5の期間

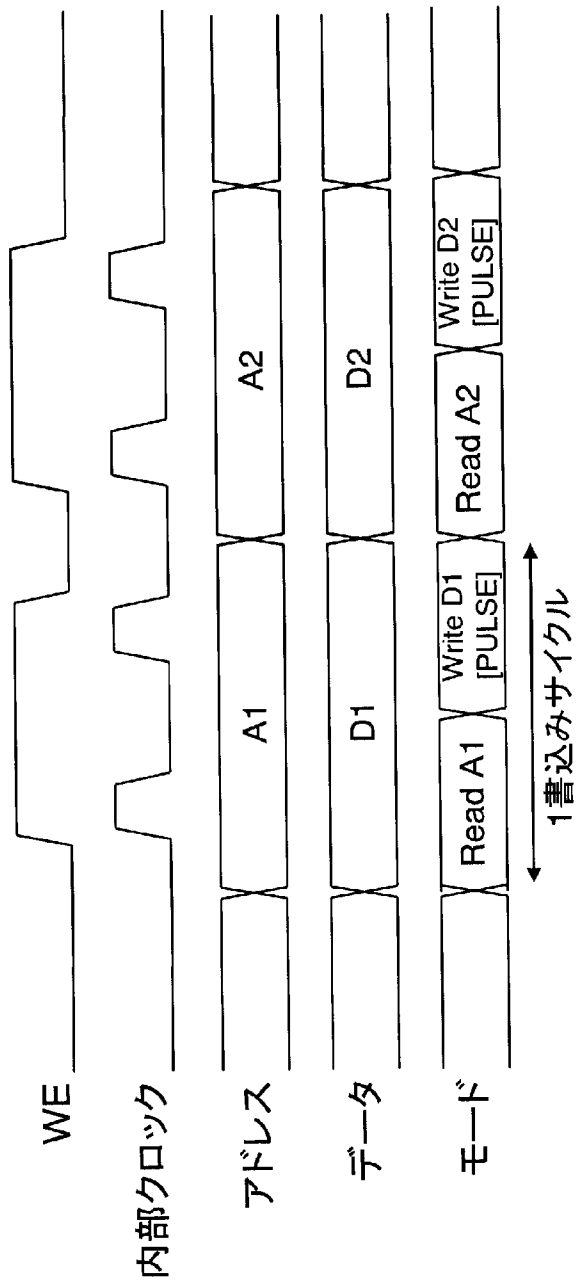
[図10]


10
8
センスアンプ
2
3
4
5
7
DQ
データ入出力回路
データ比較判定回路
書込み回路
カラムデコーダ
相変化型
メモリセル
アレイ
制御信号S1
6
ロウ
デコーダ
1
制御回路
CS
制御信号
アドレスAD
WE

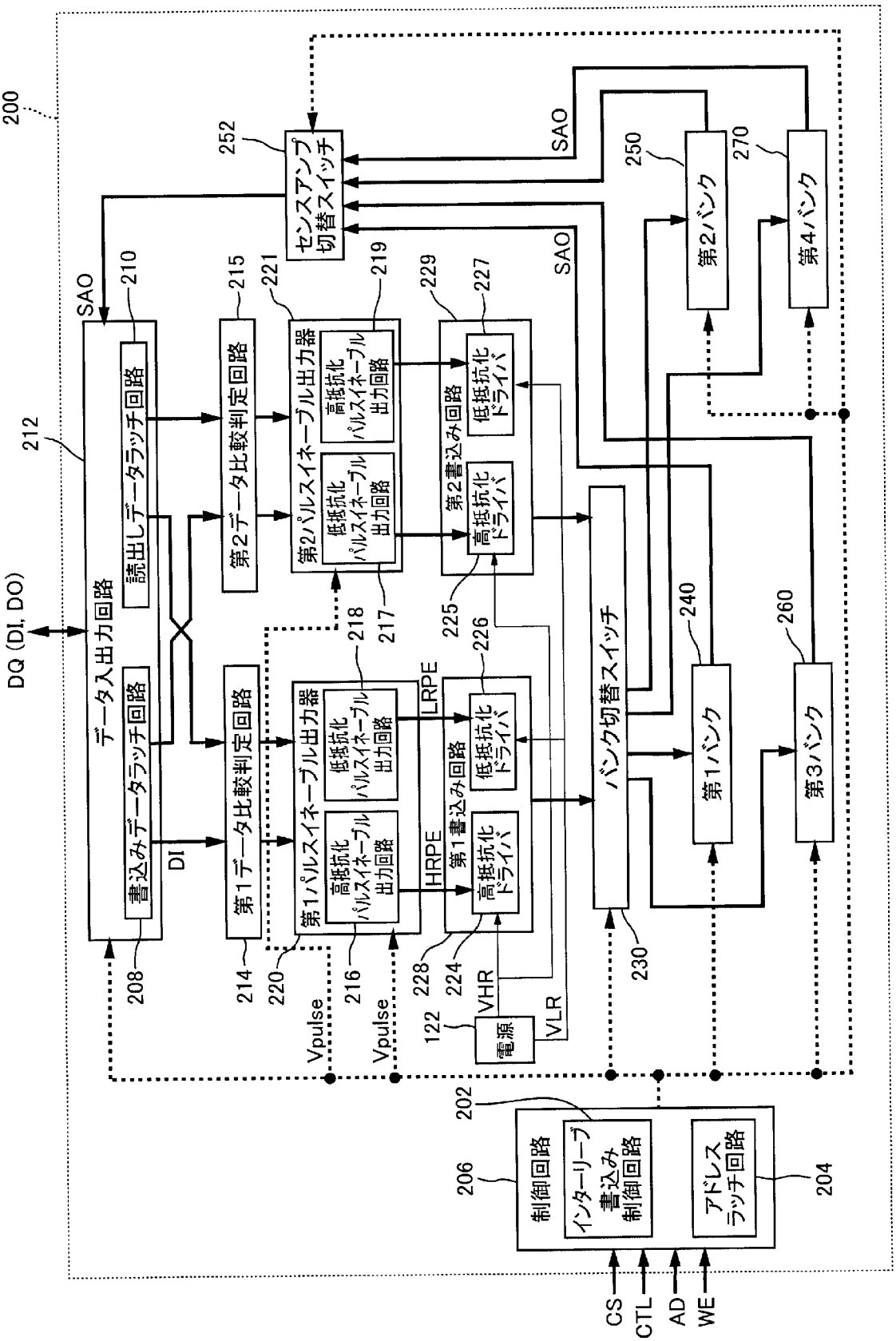
[図11]



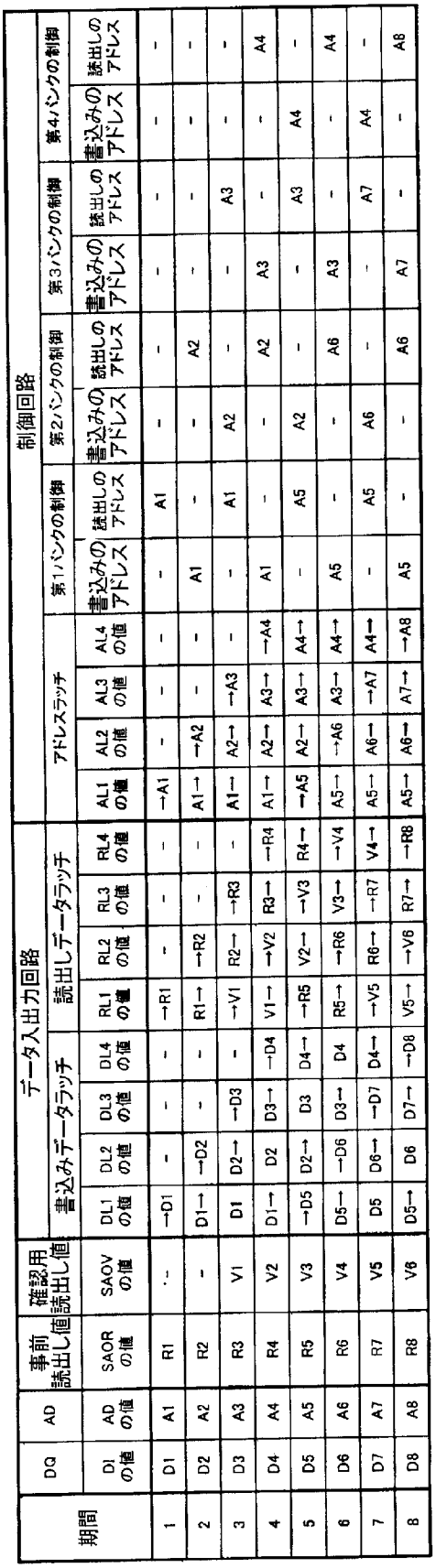
[図12]


WE
内部クロック
アドレス
データ
モード
A1
A2
D1
D2
Read A1
Write D1 [PULSE]
Read A2
Write D2 [PULSE]
1書込みサイクル

[図13]

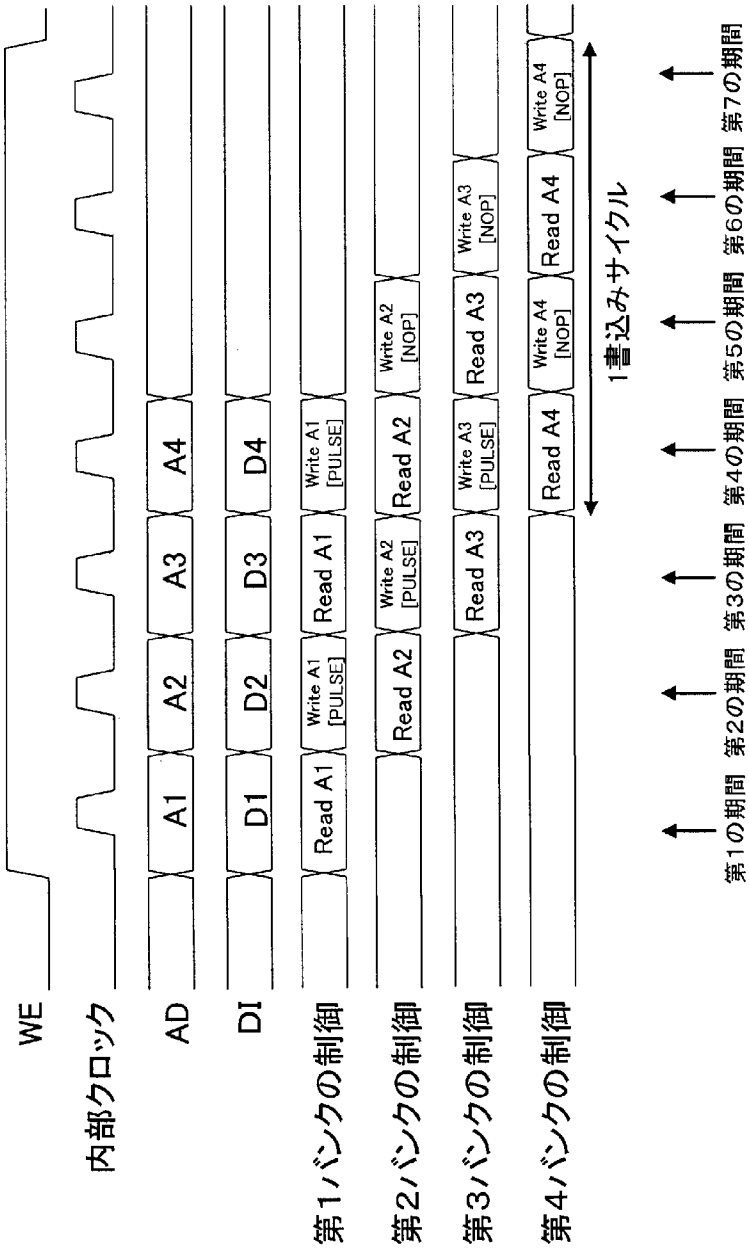

200
252
センスアンプ切替スイッチ
SAO
250
第2バンク
270
第4バンク
212
データ入出力回路
210
読出しデータラッチ回路
書込みデータラッチ回路
215
第2データ比較判定回路
221
第2パルスイネーブル出力器
219
高抵抗化パルスイネーブル出力回路
低抵抗化パルスイネーブル出力回路
229
第2書込み回路
227
低抵抗化ドライバ
高抵抗化ドライバ
DQ (DI, DO)
DI
第1データ比較判定回路
第1パルスイネーブル出力器
218
217
225
226
LRPE
HRPE
第1書込み回路
240
260
バンク切替スイッチ
第1バンク
第3バンク
208
214
220
216
228
224
230
Vpulse
Vpulse
122
VHR
VLR
電源
202
206
制御回路
インターリーブ書込み制御回路
アドレスラッチ回路
204
CS
CTL
AD
WE

[図14]

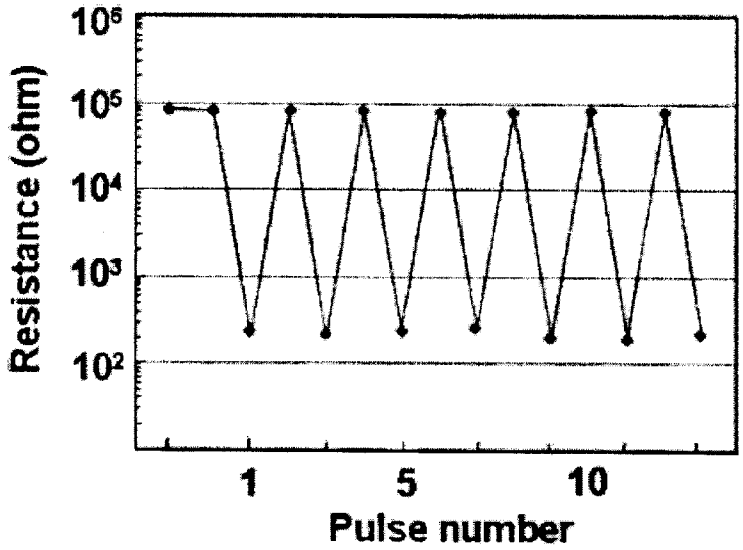


期間	DQ	AD	事前読出し値	確認用読出し値	データ入出力回路								制御回路											
					書込みデータラッチ				読出しデータラッチ				アドレスラッチ				第1バンクの制御		第2バンクの制御		第3バンクの制御		第4バンクの制御	
	DIの値	ADの値	SAORの値	SAOVの値	DL1の値	DL2の値	DL3の値	DL4の値	RL1の値	RL2の値	RL3の値	RL4の値	AL1の値	AL2の値	AL3の値	AL4の値	書込みのアドレス	読出しのアドレス	書込みのアドレス	読出しのアドレス	書込みのアドレス	読出しのアドレス	書込みのアドレス	読出しのアドレス
1	D1	A1	R1	-	→D1	-	-	-	→R1	-	-	-	→A1	-	-	-	-	A1	-	-	-	-	-	-
2	D2	A2	R2	-	D1→	→D2	-	-	R1→	→R2	-	-	A1→	→A2	-	-	A1	-	-	A2	-	-	-	-
3	D3	A3	R3	V1	D1	D2→	→D3	-	→V1	R2→	→R3	-	A1→	A2→	→A3	-	-	A1	A2	-	-	A3	-	-
4	D4	A4	R4	V2	D1→	D2	D3→	→D4	V1→	→V2	R3→	→R4	A1→	A2→	A3→	→A4	A1	-	-	A2	A3	-	-	A4
5	D5	A5	R5	V3	→D5	D2→	D3	D4→	→R5	V2→	→V3	R4→	→A5	A2→	A3→	A4→	-	A5	A2	-	-	A3	A4	-
6	D6	A6	R6	V4	D5→	→D6	D3→	D4	R5→	→R6	V3→	→V4	A5→	→A6	A3→	A4→	A5	-	-	A6	A3	-	-	A4
7	D7	A7	R7	V5	D5	D6→	→D7	D4→	→V5	R6→	→R7	V4→	A5→	A6→	→A7	A4→	-	A5	A6	-	-	A7	A4	-
8	D8	A8	R8	V6	D5→	D6	D7→	→D8	V5→	→V6	R7→	→R8	A5→	A6→	A7→	→A8	A5	-	-	A6	A7	-	-	A8

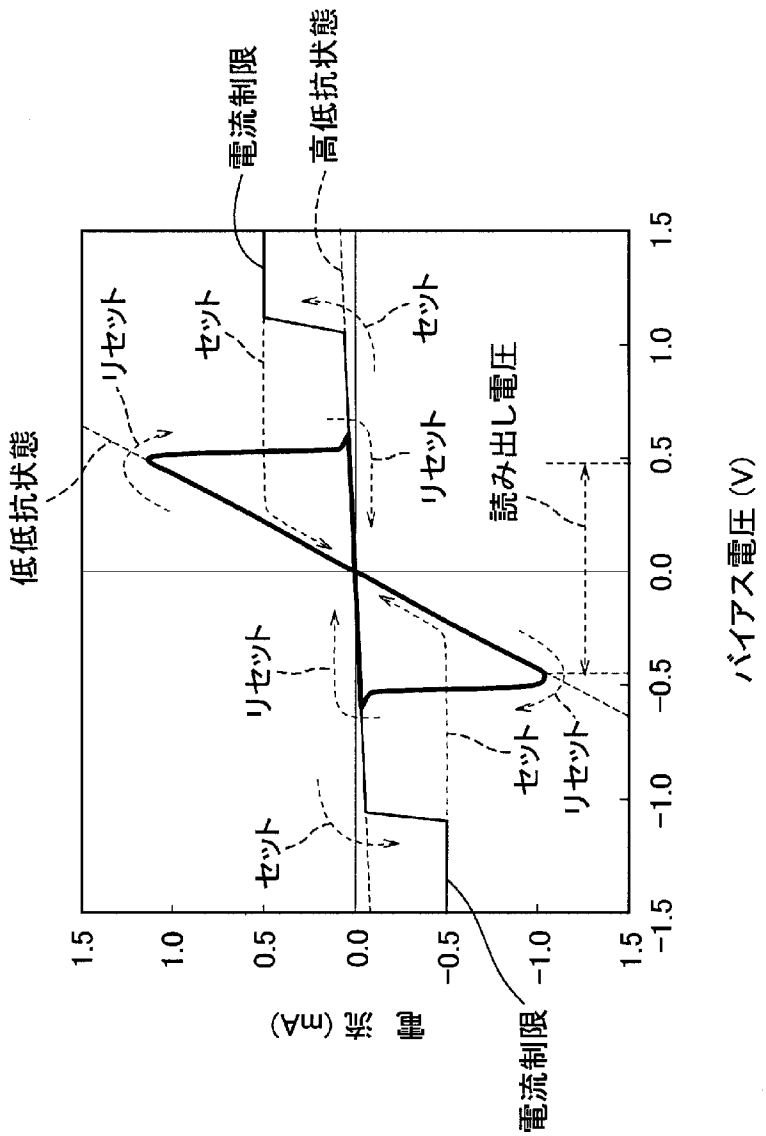
[図15]


WE
内部クロック
AD
A1
A2
A3
A4
DI
D1
D2
D3
D4
第1バンクの制御
Read A1
Write A1 [PULSE]
Read A1
Write A1 [PULSE]
第2バンクの制御
Read A2
Write A2 [PULSE]
Read A2
Write A2 [NOP]
第3バンクの制御
Read A3
Write A3 [PULSE]
Read A3
Write A3 [NOP]
第4バンクの制御
Read A4
Write A4 [NOP]
Read A4
Write A4 [NOP]
1書込みサイクル
第1の期間
第2の期間
第3の期間
第4の期間
第5の期間
第6の期間
第7の期間

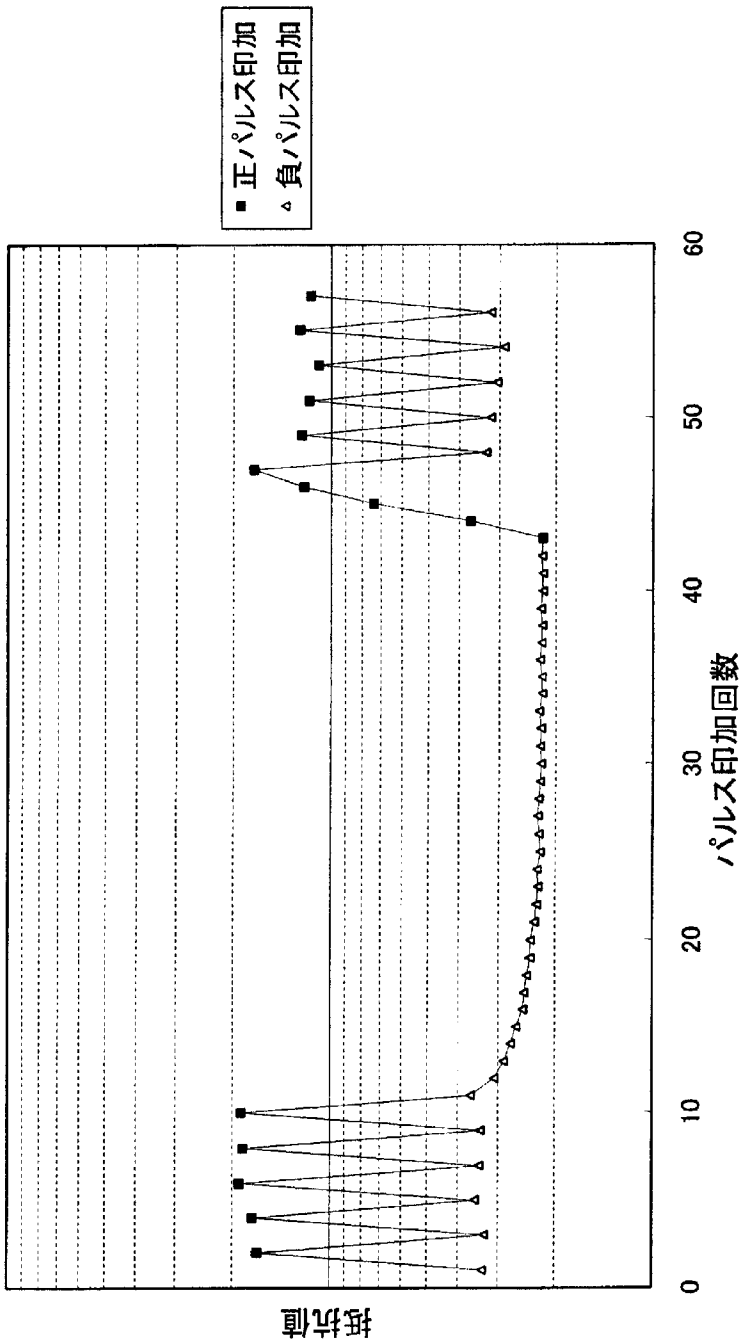
[図16]



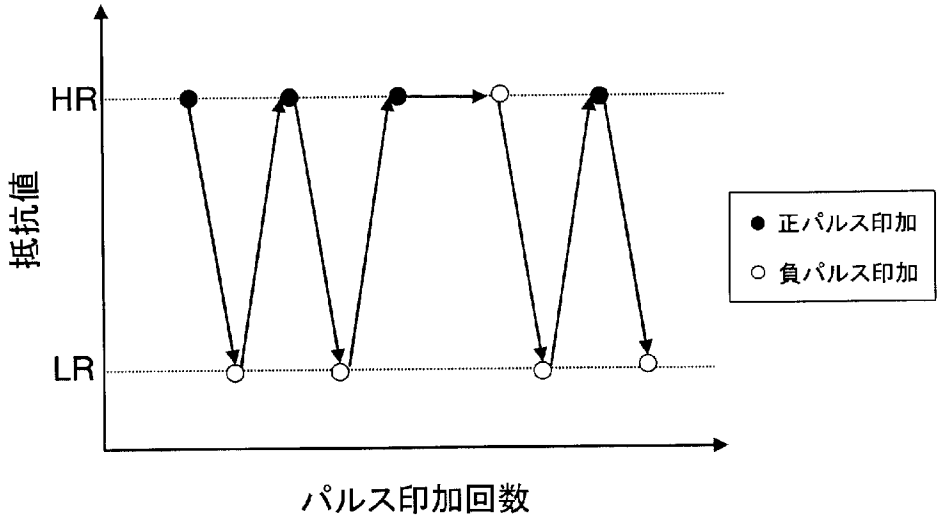
[図17]


電流制限
高低抗状態
低低抗状態
リセット
セット
セット
リセット
読み出し電圧
リセット
セット
セット
リセット
電流制限
電 流 (mA)
バイアス電圧 (V)
1.5
1.0
0.5
0.0
−0.5
−1.0
−1.5

[図18]



[図19]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2008/002020

A. CLASSIFICATION OF SUBJECT MATTER
G11C13/00(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G11C13/00, G11C11/15, G11C16/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2008
Kokai Jitsuyo Shinan Koho 1971-2008 Toroku Jitsuyo Shinan Koho 1994-2008

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2006-185577 A (Toshiba Corp.), 13 July, 2006 (13.07.06), Par. No. [0189]; Fig. 71 & US 2006/0158919 A1 & EP 1662510 A2 & CN 1783498 A	1-12
A	JP 2004-86986 A (Hitachi, Ltd.), 18 March, 2004 (18.03.04), Par. No. [0038]; Fig. 20 & US 2004/0042292 A1	1-12
A	JP 2006-155700 A (Renesas Technology Corp.), 15 June, 2006 (15.06.06), Fig. 4 & US 2006/0126380 A1	1-12

☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
22 October, 2008 (22.10.08)	04 November, 2008 (04.11.08)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２００８／００２０２０

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　G11C13/00(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　G11C13/00　G11C11/15 G11C16/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２００８年
日本国実用新案登録公報	１９９６－２００８年
日本国登録実用新案公報	１９９４－２００８年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
Ａ	JP 2006-185577 A（株式会社東芝）2006.07.13，段落【０１８９】，図７１ & US 2006/0158919 A1 & EP 1662510 A2 & CN 1783498 A	１－１２
Ａ	JP 2004-86986 A（株式会社日立製作所）2004.03.18，段落【００３８】，図２０ & US 2004/0042292 A1	１－１２
Ａ	JP 2006-155700 A（株式会社ルネサステクノロジ）2006.06.15，図４ & US 2006/0126380 A1	１－１２

☐　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー

「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの

「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「Ｏ」口頭による開示、使用、展示等に言及する文献

「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「＆」同一パテントファミリー文献

国際調査を完了した日 ２２．１０．２００８	国際調査報告の発送日 ０４．１１．２００８
国際調査機関の名称及びあて先 日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	特許庁審査官（権限のある職員）　５Ｎ　９０５７ 須原　宏光 電話番号　０３－３５８１－１１０１　内線　３５８６