(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2010-114873
(P2010-114873A)
(43)公開日　平成22年5月20日(2010.5.20)

(51)Int.Cl.			F I			テーマコード（参考）
H03L	7/081	(2006.01)	H03L	7/08	J	5J001
H03K	5/05	(2006.01)	H03K	5/05		5J039
H03K	5/26	(2006.01)	H03K	5/26	P	5J106
			H03K	5/26	G	

審査請求 未請求　請求項の数 22　ＯＬ　（全 26 頁）

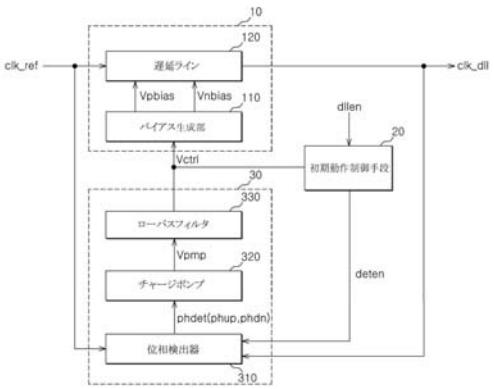
(21)出願番号　特願2009-45830(P2009-45830)
(22)出願日　平成21年2月27日(2009.2.27)
(31)優先権主張番号　10-2008-0110974
(32)優先日　平成20年11月10日(2008.11.10)
(33)優先権主張国　韓国(KR)

(71)出願人　591024111
株式会社ハイニックスセミコンダクター
ＨＹＮＩＸ　ＳＥＭＩＣＯＮＤＵＣＴＯＲ　ＩＮＣ．
大韓民国京畿道利川市夫鉢邑牙美里山１３６－１
Ｓａｎ　１３６－１，Ａｍｉ－Ｒｉ，Ｂｕｂａｌ－Ｅｕｐ，Ｉｃｈｏｎ－Ｓｈｉ，Ｋｙｏｕｎｇｋｉ－Ｄｏ，Ｋｏｒｅａ
(74)代理人　100117514
弁理士　佐々木　敦朗
(72)発明者　金　▲寛▼　東
大韓民国京畿道利川市夫鉢邑牙美里山１３６－１

最終頁に続く

(54)【発明の名称】ＤＬＬ回路及びその制御方法

(57)【要約】
【課題】本発明は、短いロッキングタイムを有する多相ＤＬＬ回路及びその制御方法を提供する。
【解決手段】本発明のＤＬＬ回路は、 基準クロックを遅延させてＤＬＬクロックを生成するが、制御電圧のレベルに応じて遅延量を調整する遅延手段；制御電圧の初期レベルを制御し、検出イネーブル信号を生成する初期動作制御手段；及び、検出イネーブル信号に応じて前記基準クロック及びＤＬＬクロックの位相を比較して、制御電圧を生成する遅延制御手段を含むことを特徴とする。
【選択図】図１



【特許請求の範囲】
【請求項１】
基準クロックを遅延させてＤＬＬクロックを生成するが、制御電圧のレベルに応じて遅延量を調整する遅延手段と、
前記制御電圧の初期レベルを制御し、検出イネーブル信号を生成する初期動作制御手段と、
前記検出イネーブル信号に応じて前記基準クロック及び前記ＤＬＬクロックの位相を比較して、前記制御電圧を生成する遅延制御手段と
を含むことを特徴とするＤＬＬ回路。
【請求項２】
前記遅延手段は、
前記制御電圧のレベルに応じてプルアップバイアス電圧及びプルダウンバイアス電圧を生成するバイアス生成部と、
前記プルアップバイアス電圧及び前記プルダウンバイアス電圧に応じて前記基準クロックを遅延させて、前記ＤＬＬクロックを出力する遅延ラインと
を含むことを特徴とする請求項１に記載のＤＬＬ回路。
【請求項３】
前記初期動作制御手段は、ＤＬＬイネーブル信号がイネーブルされると、前記制御電圧のレベルを下降させ、前記制御電圧のレベルが既設定の基準レベルまで下降したことが感知されると、前記検出イネーブル信号をイネーブルさせることを特徴とする請求項１に記載のＤＬＬ回路。
【請求項４】
前記遅延制御手段は、
前記検出イネーブル信号がイネーブルされると、前記基準クロック及び前記ＤＬＬクロックの位相を比較して、位相検出信号を生成する位相検出器と、
前記位相検出信号に応じて電圧ポンピング動作を行い、ポンピング電圧を生成するチャージポンプと、
前記ポンピング電圧を濾過して、前記制御電圧を生成するローパスフィルタと
を含むことを特徴とする請求項１に記載のＤＬＬ回路。
【請求項５】
前記位相検出信号は、位相アップ信号及び位相ダウン信号を含み、
前記位相検出器は、最初動作時、前記位相アップ信号を先にイネーブルさせることを特徴とする請求項４に記載のＤＬＬ回路。
【請求項６】
前記位相検出器は、
前記基準クロック及び前記ＤＬＬクロックの活性化タイミングを制御して、制御基準クロック及び制御ＤＬＬクロックを生成するタイミング制御部と、
前記制御基準クロック及び前記制御ＤＬＬクロックの位相を判別して、前記位相アップ信号を生成するアップ信号生成部と、
前記制御基準クロック及び前記制御ＤＬＬクロックの位相を判別して、前記位相ダウン信号を生成するダウン信号生成部と
を含むことを特徴とする請求項５に記載のＤＬＬ回路。
【請求項７】
前記チャージポンプは、前記位相アップ信号がイネーブルされると、前記ポンピング電圧のレベルを上昇させ、前記位相ダウン信号がイネーブルされると、前記ポンピング電圧のレベルを下降させることを特徴とする請求項５に記載のＤＬＬ回路。
【請求項８】
初期動作時、制御電圧のレベルを基準レベルまで下降させた後、検出イネーブル信号をイネーブルさせる初期動作制御手段と、
前記検出イネーブル信号に応じて基準クロック及びＤＬＬクロックの位相を比較して、

位相検出信号を生成する位相検出器と、
前記位相検出信号に応じて電圧ポンピング動作を行い、ポンピング電圧を生成するチャージポンプと、
前記ポンピング電圧を濾過して、前記制御電圧を生成するローパスフィルタとを
含むことを特徴とするＤＬＬ回路。
【請求項９】
前記初期動作制御手段は、
ＤＬＬイネーブル信号及びリセット信号に応じて、初期電圧制御信号を生成する初期電圧制御部と、
外部供給電源の供給及び前記初期電圧制御信号の制御に応じて、前記制御電圧のレベルを調整する制御電圧調整部と、
前記外部供給電源の供給及び前記初期電圧制御信号の制御に応じて、基準電圧を生成する基準電圧生成部と、
前記初期電圧制御信号に応じて前記基準電圧のレベルと前記制御電圧のレベルとを比較して、前記リセット信号を生成する電圧比較部と、
前記ＤＬＬイネーブル信号及び前記リセット信号に応じて、前記検出イネーブル信号を生成する検出イネーブル制御部と
を含むことを特徴とする請求項３又は請求項８に記載のＤＬＬ回路。
【請求項１０】
前記初期電圧制御部は、前記ＤＬＬイネーブル信号がイネーブルされると、前記初期電圧制御信号をイネーブルさせ、前記リセット信号がイネーブルされると、前記初期電圧制御信号をディセーブルさせることを特徴とする請求項９に記載のＤＬＬ回路。
【請求項１１】
前記制御電圧調整部は、前記初期電圧制御信号がイネーブルされる前には、前記制御電圧が前記外部供給電源のレベルを有するように制御し、前記初期電圧制御信号がイネーブルされると、前記制御電圧のレベルを下降させていて、前記初期電圧制御信号がディセーブルされると、前記制御電圧のレベル下降を中止することを特徴とする請求項９に記載のＤＬＬ回路。
【請求項１２】
前記基準電圧生成部は、前記初期電圧制御信号のイネーブル時、前記外部供給電源を内部に具備された抵抗の抵抗比によって電圧分配して、前記基準電圧を生成するように構成され、前記基準電圧のレベルが前記基準レベルであることを特徴とする請求項９に記載のＤＬＬ回路。
【請求項１３】
前記電圧比較部は、前記初期電圧制御信号がイネーブルされると、前記制御電圧のレベル及び前記基準電圧のレベルを比較した結果により、前記リセット信号をイネーブル又はディセーブルさせ、前記初期電圧制御信号がディセーブルされると、前記リセット信号をディセーブルさせることを特徴とする請求項９に記載のＤＬＬ回路。
【請求項１４】
前記検出イネーブル制御部は、前記ＤＬＬイネーブル信号がイネーブルされると、前記検出イネーブル信号をディセーブルさせ、前記リセット信号がイネーブルされると、前記検出イネーブル信号をイネーブルさせ、以後、前記リセット信号の状態が変化しても、前記検出イネーブル信号のイネーブル状態を維持させることを特徴とする請求項９に記載のＤＬＬ回路。
【請求項１５】
前記位相検出信号は、位相アップ信号及び位相ダウン信号を含み、
前記位相検出器は、最初動作時、前記位相アップ信号を先にイネーブルさせることを特徴とする請求項８に記載のＤＬＬ回路。
【請求項１６】
前記位相検出器は、

前記基準クロック及び前記ＤＬＬクロックの活性化タイミングを制御して、制御基準クロック及び制御ＤＬＬクロックを生成するタイミング制御部と、
前記制御基準クロック及び前記制御ＤＬＬクロックの位相を判別して、前記位相アップ信号を生成するアップ信号生成部と、
前記制御基準クロック及び前記制御ＤＬＬクロックの位相を判別して、前記位相ダウン信号を生成するダウン信号生成部と
を含むことを特徴とする請求項１５に記載のＤＬＬ回路。
【請求項１７】
前記チャージポンプは、前記位相アップ信号がイネーブルされると、前記ポンピング電圧のレベルを上昇させ、前記位相ダウン信号がイネーブルされると、前記ポンピング電圧のレベルを下降させることを特徴とする請求項８に記載のＤＬＬ回路。
【請求項１８】
前記制御電圧のレベルに応じてプルアップバイアス電圧及びプルダウンバイアス電圧を生成するバイアス生成部と、
前記プルアップバイアス電圧及び前記プルダウンバイアス電圧に応じて前記基準クロックを遅延させ、前記ＤＬＬクロックを出力する遅延ラインと
を含むことを特徴とする請求項８に記載のＤＬＬ回路。
【請求項１９】
制御電圧のレベルを基準レベルの以下に調節し、検出イネーブル信号をイネーブルさせる段階と、
前記検出イネーブル信号に応じて位相アップ信号をイネーブルさせる段階と、
前記位相アップ信号に応じて前記制御電圧のレベルを上昇させる段階と、
前記制御電圧に応じて基準クロックを遅延させて、ＤＬＬクロックを生成する段階と
を含むことを特徴とするＤＬＬ回路の制御方法。
【請求項２０】
前記制御電圧のレベルを調節する段階は、
ＤＬＬイネーブル信号がイネーブルされると、初期電圧制御信号をイネーブルさせる段階と、
前記初期電圧制御信号に応じて前記制御電圧のレベルを下降させ、基準電圧を生成する段階と、
前記制御電圧のレベルが前記基準電圧のレベルの以下に下降したことが感知されると、リセット信号をイネーブルさせる段階と、
前記リセット信号に応じて前記検出イネーブル信号をイネーブルさせる段階と、
前記初期電圧制御信号をディセーブルさせ、前記リセット信号をディセーブルさせる段階と
を含むことを特徴とする請求項１９に記載のＤＬＬ回路の制御方法。
【請求項２１】
前記制御電圧のレベルを上昇させる段階は、
前記位相アップ信号に応じて電圧ポンピング動作を行い、ポンピング電圧を生成するが、前記ポンピング電圧のレベルを上昇させる段階と、
前記ポンピング電圧を濾過して、前記制御電圧を生成する段階と
を含むことを特徴とする請求項１９に記載のＤＬＬ回路の制御方法。
【請求項２２】
前記ＤＬＬクロックを生成する段階は、
前記制御電圧のレベルに応じてプルアップバイアス電圧及びプルダウンバイアス電圧を生成する段階と、
前記プルアップバイアス電圧及び前記プルダウンバイアス電圧に応じて前記基準クロックを遅延させて前記ＤＬＬクロックを生成するが、前記制御電圧に応じて前記ＤＬＬクロックの周波数を調整する段階と
を含むことを特徴とする請求項１９に記載のＤＬＬ回路の制御方法。

【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、半導体集積回路に関し、特に、半導体集積回路の内部で用いられるＤＬＬ(Delay Locked Loop)回路及びその制御方法に関する。
【背景技術】
【０００２】
一般に、半導体集積回路は、内部クロックを用いて出力データを同期させる技術を活用することで、その動作速度を向上させる。このために、半導体集積回路はＤＬＬ回路のようなクロック生成回路を備える。最近、半導体集積回路の高速動作が要求されることにより、内部クロックの位相を複数個に分割して多相(Multi-Phase)の内部クロックを生成して、それぞれの位相にデータを同期させる技術が具現されている。これにより、ＤＬＬ回路は、多相ＤＬＬ回路として具現される（例えば、特許文献１）。このとき、ＤＬＬクロックは、一定の位相差を有する複数個のクロックの集合として具現される。
【０００３】
通常、多相ＤＬＬ回路は、アナログタイプとして具現され、電圧ポンピング動作により得られた制御電圧を遅延ラインに供給して、ＤＬＬクロックの位相を制御する方式に従う。このようなＤＬＬ回路は、短いロッキングタイム(Locking Time)が要求される。一方、多相ＤＬＬ回路では、ロッキングタイムが長くなると、ＤＬＬクロックの一週期を複数個に均等分割した位相差を有しなければならないＤＬＬクロック内の複数個のクロックが、二周期を均等分割した位相差を有することになるハーモニックロック(Harmonic Lock)やサブハーモニックロック(Sub-Harmonic Lock)を発生させる恐れがある。これを防止するためには、制御電圧のレベルが初期動作時に適切なレベルとして具現されるべきである。しかしながら、従来の多相ＤＬＬ回路では、初期動作時、制御電圧のレベルを制御すべき技術的構成が具備されない。これにより、安定な多相ＤＬＬクロックの具現が困難であった。
【先行技術文献】
【特許文献】
【０００４】
【特許文献１】特開平６－３２６５７５号公報
【発明の概要】
【発明が解決しようとする課題】
【０００５】
本発明は、前記問題点を解決するために案出されたもので、その目的は、短いロッキングタイムを有する多相ＤＬＬ回路及びその制御方法を提供することにある。
【０００６】
また、本発明の目的は、多相のクロックを生成する際、ハーモニックロックやサブハーモニックロックの発生を減少させるＤＬＬ回路及びその制御方法を提供することにある。
【課題を解決するための手段】
【０００７】
前記課題を解決するために、本発明の一実施例によるＤＬＬ回路は、基準クロックを遅延させてＤＬＬクロックを生成するが、制御電圧のレベルに応じて遅延量を調整する遅延手段；前記制御電圧の初期レベルを制御し、検出イネーブル信号を生成する初期動作制御手段；及び、前記検出イネーブル信号に応じて前記基準クロック及び前記ＤＬＬクロックの位相を比較して、前記制御電圧を生成する遅延制御手段を含む 。
【０００８】
また、本発明の他の実施例によるＤＬＬ回路は、初期動作時、制御電圧のレベルを基準レベルまで下降させた後、検出イネーブル信号をイネーブルさせる初期動作制御手段；前記検出イネーブル信号に応じて基準クロック及びＤＬＬクロックの位相を比較して、位相検出信号を生成する位相検出器；前記位相検出信号に応じて電圧ポンピング動作を行い、

ポンピング電圧を生成するチャージポンプ；及び、前記ポンピング電圧を濾過して、前記制御電圧を生成するローパスフィルタを含む。

【０００９】

そして、本発明のまた他の実施例によるＤＬＬ回路の制御方法は、制御電圧のレベルを基準レベルの以下に調節し、検出イネーブル信号をイネーブルさせる段階；前記検出イネーブル信号に応じて位相アップ信号をイネーブルさせる段階；前記位相アップ信号に応じて前記制御電圧のレベルを上昇させる段階；及び、前記制御電圧に応じて基準クロックを遅延させてＤＬＬクロックを生成する段階を含む。

【発明の効果】

【００１０】

本発明のＤＬＬ回路及びその制御方法は、初期動作時の制御電圧がロッキング完了時のレベルに近似しているレベルを有するように調整し、以後、クロックに対する遅延固定動作を開始することで、短いロッキングタイムを図ることができる。

【００１１】

また、本発明のＤＬＬ回路及びその制御方法は、遅延固定動作時に制御電圧のレベルが誤差範囲を超えないように、初期動作時に制御電圧のレベルを既設定のレベルに調整することで、多相生成時の誤動作を減少させることができる。

【図面の簡単な説明】

【００１２】

【図１】本発明の一実施例によるＤＬＬ回路の構成を示すブロック図である。

【図２】図１に示すＤＬＬ回路の動作を説明するためのグラフである。

【図３】図１に示すバイアス生成部の詳細構成図である。

【図４】図１に示す遅延ラインの詳細構成図である。

【図５】図１に示す初期動作制御手段の詳細構成図である。

【図６】図５に示す初期電圧制御部の詳細構成図である。

【図７】図５に示す制御電圧調整部及び基準電圧生成部の詳細構成図である。

【図８】図５に示す電圧比較部及び検出イネーブル制御部の詳細構成図である。

【図９】図１に示す位相検出器の詳細構成図である。

【発明を実施するための形態】

【００１３】

以下、添付図面に基づき、本発明の好適な実施例を詳細に説明する。

図１は、本発明の実施例によるＤＬＬ回路の構成を示すブロック図である。

【００１４】

同図に示すように、本発明の一実施例によるＤＬＬ回路は、遅延手段１０、初期動作制御手段２０及び遅延制御手段３０を含む。

【００１５】

遅延手段１０は、制御電圧(Ｖｃｒｔｌ)のレベルに応じて、基準クロック(ｃｌｋ＿ｒｅｆ)を遅延させてＤＬＬクロック(ｃｌｋ＿ｄｌｌ)を生成する。遅延手段１０は、バイアス生成部１１０及び遅延ライン１２０を含む。

【００１６】

バイアス生成部１１０は、制御電圧(Ｖｃｒｔｌ)のレベルに応じて、プルアップバイアス電圧(Ｖｐｂｉａｓ）及びプルダウンバイアス電圧(Ｖｎｂｉａｓ)を生成する。遅延ライン１２０は、プルアップバイアス電圧(Ｖｐｂｉａｓ)及びプルダウンバイアス電圧(Ｖｎｂｉａｓ)に応じて、基準クロック(ｃｌｋ＿ｒｅｆ)を遅延させてＤＬＬクロック(ｃｌｋ＿ｄｌｌ)を出力する。

【００１７】

遅延手段１０は、基準クロック(ｃｌｋ＿ｒｅｆ)を遅延させてＤＬＬクロック(ｃｌｋ＿ｄｌｌ)を生成するが、制御電圧(Ｖｃｒｔｌ)のレベルに応じて遅延量を調整し得る。ここでは、遅延手段１０が、制御電圧(Ｖｃｒｔｌ)のレベルが上昇すればＤＬＬクロック(ｃｌｋ＿ｄｌｌ)の位相を後に動かし、制御電圧(Ｖｃｒｔｌ)のレベルが下降すればＤＬ

Ｌクロック(ｃｌｋ＿ｄｌｌ)の位相を前に動かす。遅延手段１０は、多相クロックを生成する構成を有し、ここでのＤＬＬクロック(ｃｌｋ＿ｄｌｌ)は、所定の位相差を有する複数個のクロックのうち、基準となる何れか一つのクロックを示すものである。

【００１８】

初期動作制御手段２０は、ＤＬＬイネーブル信号(ｄｌｌｅｎ)がイネーブルされると、制御電圧(Ｖｃｒｔｌ)の初期レベルを制御して検出イネーブル信号(ｄｅｔｅｎ)を生成する。初期動作制御手段２０は、ＤＬＬ回路の動作が開始されてＤＬＬイネーブル信号(ｄｌｌｅｎ)がイネーブルされると、まず制御電圧(Ｖｃｒｔｌ)のレベルを下降させる。以後、制御電圧(Ｖｃｒｔｌ)のレベルが既設定の基準レベルまで下降したことが感知されると、検出イネーブル信号(ｄｅｔｅｎ)をイネーブルさせる。ＤＬＬイネーブル信号(ｄｌｌｅｎ)は、パッドを介して外部から入力され得る。

【００１９】

遅延制御手段３０は、検出イネーブル信号(ｄｅｔｅｎ)がイネーブルされると、基準クロック(ｃｌｋ＿ｒｅｆ)及びＤＬＬクロック(ｃｌｋ＿ｄｌｌ)の位相を比較して、制御電圧(Ｖｃｒｔｌ)を生成する。遅延制御手段３０は、位相検出器３１０、チャージポンプ３２０及びローパスフィルタ３３０を含む。

【００２０】

位相検出器３１０は、検出イネーブル信号(ｄｅｔｅｎ)がイネーブルされると、基準クロック(ｃｌｋ＿ｒｅｆ)及びＤＬＬクロック(ｃｌｋ＿ｄｌｌ)の位相を比較して、位相検出信号(ｐｈｄｅｔ)を生成する。チャージポンプ３２０は、位相検出信号(ｐｈｄｅｔ)に応じて電圧ポンピング動作を行い、ポンピング電圧(Ｖｐｍｐ)を生成する。ローパスフィルタ３３０は、ポンピング電圧(Ｖｐｍｐ)を濾過して制御電圧(Ｖｃｒｔｌ)を生成する。

【００２１】

位相検出器３１０から生成される位相検出信号(ｐｈｄｅｔ)は、位相アップ信号(ｐｈｕｐ)及び位相ダウン信号(ｐｈｄｎ)を含む。位相アップ信号(ｐｈｕｐ)及び位相ダウン信号(ｐｈｄｎ)は、それぞれパルス信号の形態として具現され、基準クロック(ｃｌｋ＿ｒｅｆ)及びＤＬＬクロック(ｃｌｋ＿ｄｌｌ)のうち、どのクロックの位相が先立つかにより２つの信号の一つだけイネーブルされる。チャージポンプ３２０は、位相アップ信号(ｐｈｕｐ)がイネーブルされると、ポンピング電圧(Ｖｐｍｐ)のレベルを上昇させ、位相ダウン信号(ｐｈｄｎ)がイネーブルされると、ポンピング電圧(Ｖｐｍｐ)のレベルを下降させる。

【００２２】

すなわち、ＤＬＬ回路の動作が開始されると、初期動作制御手段２０は、制御電圧(Ｖｃｒｔｌ)のレベルを既設定の基準レベルの以下に調節し、検出イネーブル信号(ｄｅｔｅｎ)をイネーブルさせる。位相検出器３１０は、検出イネーブル信号(ｄｅｔｅｎ)がイネーブルされることにより動作を開始する。本実施例では、最初動作時には位相アップ信号(ｐｈｕｐ)を先にイネーブルさせるように構成した。チャージポンプ３２０は、位相アップ信号(ｐｈｕｐ)がイネーブルされることによりポンピング電圧(Ｖｐｍｐ)のレベルを上昇させ、これにより制御電圧(Ｖｃｒｔｌ)のレベルが上昇する。よって、ＤＬＬクロック(ｃｌｋ＿ｄｌｌ)の位相は順次後に動かすことになる。

【００２３】

以後にも、検出イネーブル信号(ｄｅｔｅｎ)はイネーブル状態を維持する。よって、位相検出器３１０は、持続的に基準クロック(ｃｌｋ＿ｒｅｆ)及びＤＬＬクロック(ｃｌｋ＿ｄｌｌ)の位相を比較及び検出して、位相アップ信号(ｐｈｕｐ)又は位相ダウン信号(ｐｈｄｎ)をイネーブルさせ、これにより制御電圧(Ｖｃｒｔｌ)のレベルが上昇又は下降する。以後、制御電圧(Ｖｃｒｔｌ)のレベルが既設定のレベルに到達すれば、ＤＬＬクロック(ｃｌｋ＿ｄｌｌ)は、基準クロック(ｃｌｋ＿ｒｅｆ)と正確に一周期の位相差を有することになり、ＤＬＬ回路の遅延固定動作が完了する。

【００２４】

このように、本発明の一実施例によるＤＬＬ回路において、初期動作時の制御電圧(Ｖ

ｃｒｔｌ)のレベルは、ロッキング完了時のレベルに近似するように設定される。よって、ＤＬＬ回路のロッキングタイムを短くすることが可能であり、ロッキング時点までの制御電圧(Ｖｃｒｔｌ)のレベルの変動量が大きくないため、誤差範囲を越える可能性を減少させることで、より安定的に多相クロックを生成することも可能である。

【００２５】

図２は、図１に示すＤＬＬ回路の動作を説明するためのグラフである。

同図に示すグラフにおいて、横軸は制御電圧(Ｖｃｒｔｌ)のレベルを示し、縦軸は遅延ライン１２０がＤＬＬクロック(ｃｌｋ＿ｄｌｌ)を生成するために基準クロック(ｃｌｋ＿ｒｅｆ)に付与する総遅延量を示す。よって、グラフ上に実線で表示された曲線は、制御電圧(Ｖｃｒｔｌ)のレベル変化による総遅延量の変化を示す。

【００２６】

曲線上には、第１のロッキング地点及び第２のロッキング地点が表示されている。第１のロッキング地点は、正確なロッキングが発生する地点を示すもので、制御電圧(Ｖｃｒｔｌ)及び総遅延量がこの地点に到達すれば、ＤＬＬクロック(ｃｌｋ＿ｄｌｌ)は既設定の位相差で均等分割される。例えば、ＤＬＬクロック(ｃｌｋ＿ｄｌｌ)が８個の位相を有するクロックの集合であれば、それぞれのクロックが４５°の位相差を有することになる。

【００２７】

反面、第２のロッキング地点は、ロッキングエラーが発生する地点を示すもので、制御電圧(Ｖｃｒｔｌ)及び総遅延量がこの地点に到達すれば、ＤＬＬクロック(ｃｌｋ＿ｄｌｌ)は既設定の位相差の２倍で均等分割される。すなわち、ＤＬＬクロック(ｃｌｋ＿ｄｌｌ)が８個の位相を有するクロックの集合であれば、それぞれのクロックが９０°の位相差を有することになる。

【００２８】

また、曲線上には第１の領域及び第２の領域が表示されている。第１の領域及び第２の領域は、制御電圧(Ｖｃｒｔｌ)の初期レベルを設定するためのもので、全部第１のロッキング地点の近所に位置する。制御電圧(Ｖｃｒｔｌ)の初期レベルを第１の領域内に設定する場合、ＤＬＬ回路は、初期動作時、制御電圧(Ｖｃｒｔｌ)のレベルを下げる動作を遂行しなければならない。しかしながら、実線で表示された曲線は、ＤＬＬ回路が具備される半導体集積回路のＰＶＴ(Process、Voltage、Temperature)変化により、点線で表示された曲線に変化することもある。このように、実線で表示された曲線が点線で表示された曲線に変化した状態では、点線の矢印のように第１のロッキング地点及び第１の領域が変化する。このような状態において、ＤＬＬ回路が初期動作時から制御電圧(Ｖｃｒｔｌ)を下げる動作を遂行すれば、制御電圧(Ｖｃｒｔｌ)は斜線表示された動作不能領域まで下降することになる。

【００２９】

したがって、本発明のＤＬＬ回路は、第２の領域に制御電圧(Ｖｃｒｔｌ)の初期レベルを設定し、以後徐々に制御電圧(Ｖｃｒｔｌ)のレベルを上昇させる動作を遂行することで、前述した誤動作の発生を防止する。位相検出器３１０が初期に位相アップ信号(ｐｈｕｐ)を先に出力し、これによりチャージポンプ３２０がポンピング電圧(Ｖｐｍｐ)のレベルを上昇させる動作を遂行することは、このような原因によるものである。

【００３０】

図３は、図１に示すバイアス生成部の詳細構成図である。

同図に示すように、バイアス生成部１１０は、第１～第１２のトランジスタ(ＴＲ１～ＴＲ１２)、電流源(ＣＳ)及び第１のキャパシタ(Ｃ１)を含む。

【００３１】

第１のトランジスタ(ＴＲ１)は、外部供給電源(ＶＤＤ)が印加されるソースを含む。電流源(ＣＳ)は、第１のトランジスタ(ＴＲ１)のドレーン端及び接地端間に具備される。第２のトランジスタ(ＴＲ２)は、第１のトランジスタ(ＴＲ１)のゲート端に接続されるゲート、外部供給電源(ＶＤＤ)が印加されるソース及び第１のノード(Ｎ１)に接続されるドレ

ーンを含む。第３のトランジスタ(ＴＲ３)は、制御電圧(Ｖｃｒｔｌ)が印加されるゲート、第１のノード(Ｎ１)に接続されるソース及び第２のノード(Ｎ２)に接続されるドレーンを含む。第４のトランジスタ(ＴＲ４)は、第３のノード(Ｎ３)に接続されるゲート、第１のノード(Ｎ１)に接続されるソース及び第４のノード(Ｎ４)に接続されるドレーンを含む。第５のトランジスタ(ＴＲ５)は、第４のノード(Ｎ４)に接続されるゲート、第２のノード(Ｎ２)に接続されるドレーン及び接地されるソースを含む。第６のトランジスタ(ＴＲ６)は、第４のノード(Ｎ４)に接続されるゲートとドレーン及び接地されるソースを含む。

【００３２】

第７のトランジスタ(ＴＲ７)は、制御電圧(Ｖｃｒｔｌ)が印加されるゲート、 外部供給電源(ＶＤＤ)が印加されるソース及び第３のノード(Ｎ３)に接続されるドレーンを含む。第８のトランジスタ(ＴＲ８)は、第３のノード(Ｎ３)に接続されるゲートとドレーン及び外部供給電源(ＶＤＤ)が印加されるソースを含む。第９のトランジスタ(ＴＲ９)は、第２のノード(Ｎ２)に接続されるゲート、第３のノード(Ｎ３)に接続されるドレーン及び接地されるソースを含む。第１０のトランジスタ(ＴＲ１０)は、第５のノード(Ｎ５)に接続されるゲートとドレーン及び外部供給電源(ＶＤＤ)が印加されるソースを含む。第１１のトランジスタ(ＴＲ１１)は、第５のノード(Ｎ５)に接続されるゲートとドレーン及び外部供給電源(ＶＤＤ)が印加されるソースを含む。第１２のトランジスタ(ＴＲ１２)は、第２のノード(Ｎ２)に接続されるゲート、第５のノード(Ｎ５)に接続されるドレーン及び接地されるソースを含む。第１のキャパシタ(Ｃ１)は、第２のノード(Ｎ２)及び接地端間に具備される。

【００３３】

第２のノード(Ｎ２)には、プルダウンバイアス電圧(Ｖｎｂｉａｓ)が印加され、第５のノード(Ｎ５)には、プルアップバイアス電圧(Ｖｐｂｉａｓ)が印加される。

【００３４】

このようなバイアス生成部１１０の構成により、制御電圧(Ｖｃｒｔｌ)のレベルが高くなると、第３のノード(Ｎ３)の電位レベルが低くなるこれにより、第４のノード(Ｎ４)の電位レベルが高くなる。よって、第２のノード(Ｎ２)に印加されるプルダウンバイアス電圧(Ｖｎｂｉａｓ)のレベルは低くなり、第５のノード(Ｎ５)に印加されるプルアップバイアス電圧(Ｖｐｂｉａｓ)のレベルは高くなる。

【００３５】

反面、制御電圧(Ｖｃｒｔｌ)のレベルが低くなると、第３のノード(Ｎ３)の電位レベルが高くなるこれにより、第４のノード(Ｎ４)の電位レベルが低くなる。よって、第２のノード(Ｎ２)に印加されるプルダウンバイアス電圧(Ｖｎｂｉａｓ)のレベルは高くなり、第５のノード(Ｎ５)に印加されるプルアップバイアス電圧(Ｖｐｂｉａｓ)のレベルは低くなる。

【００３６】

図４は、図１に示す遅延ラインの詳細構成図である。ここで、ＤＬＬクロック(ｃｌｋ＿ｄｌｌ)は、一定の位相差を有する８個のクロック(ｃｌｋ＿ｄｌｌ１～ｃｌｋ＿ｄｌｌ８)の集合として具現され、基準クロック(ｃｌｋ＿ｒｅｆ)及びＤＬＬクロック(ｃｌｋ＿ｄｌｌ)は、それぞれクロック対(ｃｌｋ＿ｒｅｆ、／ｃｌｋ＿ｒｅｆ、ｃｌｋ＿ｄｌｌ、／ｃｌｋ＿ｄｌｌ)として具現されると仮定する。

【００３７】

同図に示すように、遅延ライン１２０は、第１～第８の単位遅延器(ＵＤ１～ＵＤ８)及び第１～第８のバッファ(ＢＵＦ１～ＢＵＦ８)を含む。

【００３８】

第１～第８の単位遅延器(ＵＤ１～ＵＤ８)は、それぞれプルアップバイアス電圧(Ｖｐｂｉａｓ)及びプルダウンバイアス電圧(Ｖｎｂｉａｓ)に応じて、前段の出力信号対を遅延させて生成した出力信号対を後段に伝達する。第１～第８のバッファ(ＢＵＦ１～ＢＵＦ８)は、第１～第８の単位遅延器(ＵＤ１～ＵＤ８)の出力信号対をそれぞれバッファリ

ングして、それぞれ第１のＤＬＬクロック対(ｃｌｋ＿ｄｌｌ１、／ｃｌｋ＿ｄｌｌ１)、第２のＤＬＬクロック対(ｃｌｋ＿ｄｌｌ２、／ｃｌｋ＿ｄｌｌ２)、第３のＤＬＬクロック対(ｃｌｋ＿ｄｌｌ３、／ｃｌｋ＿ｄｌｌ３)、第４のＤＬＬクロック対(ｃｌｋ＿ｄｌｌ４、／ｃｌｋ＿ｄｌｌ４)、第５のＤＬＬクロック対(ｃｌｋ＿ｄｌｌ５、／ｃｌｋ＿ｄｌｌ５)、第６のＤＬＬクロック対(ｃｌｋ＿ｄｌｌ６、／ｃｌｋ＿ｄｌｌ６)、第７のＤＬＬクロック対(ｃｌｋ＿ｄｌｌ７、／ｃｌｋ＿ｄｌｌ７)及び第８のＤＬＬクロック対(ｃｌｋ＿ｄｌｌ８、／ｃｌｋ＿ｄｌｌ８)を出力する。

【００３９】

ここで、第１の単位遅延器(ＵＤ１)は、基準クロック対(ｃｌｋ＿ｒｅｆ、／ｃｌｋ＿ｒｅｆ)の入力を受けて遅延させるように構成される。

【００４０】

このような構成により出力される第１～第８のＤＬＬクロック(ｃｌｋ＿ｄｌｌ１～ｃｌｋ＿ｄｌｌ８)は、それぞれ基準クロック(ｃｌｋ＿ｒｅｆ)の一週期を８等分した位相差を有しなければならない。このとき、バイアス生成部１１０から伝達されるプルアップバイアス電圧(Ｖｐｂｉａｓ)のレベルが高くなり、プルダウンバイアス電圧(Ｖｎｂｉａｓ)のレベルが低くなると、遅延ライン１２０は基準クロック(ｃｌｋ＿ｒｅｆ)に付与する遅延量を増加させるこれにより、ＤＬＬクロック(ｃｌｋ＿ｄｌｌ)の位相は後に動かすことになる。反面、プルアップバイアス電圧(Ｖｐｂｉａｓ)のレベルが低くなり、プルダウンバイアス電圧(Ｖｎｂｉａｓ)のレベルが高くなると、遅延ライン１２０は基準クロック(ｃｌｋ＿ｒｅｆ)に付与する遅延量を減少させるこれにより、ＤＬＬクロック(ｃｌｋ＿ｄｌｌ)の位相が前に動かすことになる。

【００４１】

図５は、図１に示す初期動作制御手段の詳細構成図である。

同図に示すように、初期動作制御手段２０は、初期電圧制御部２１０、制御電圧調整部２２０、基準電圧生成部２３０、電圧比較部２４０及び検出イネーブル制御部２５０を含む。

【００４２】

初期電圧制御部２１０は、ＤＬＬイネーブル信号(ｄｌｌｅｎ)及びリセット信号(ｒｓｔ)に応じて、初期電圧制御信号(Ｉｖｃｎｔ)を生成する。制御電圧調整部２２０は、外部供給電源(ＶＤＤ)の供給及び初期電圧制御信号(Ｉｖｃｎｔ)の制御に応じて、制御電圧(Ｖｃｒｔｌ)のレベルを調整する。基準電圧生成部２３０は、外部供給電源(ＶＤＤ)の供給及び初期電圧制御信号(Ｉｖｃｎｔ)の制御に応じて、基準電圧(Ｖｒｅｆ)を生成する。電圧比較部２４０は、初期電圧制御信号(Ｉｖｃｎｔ)に応じて基準電圧(Ｖｒｅｆ)のレベルと制御電圧(Ｖｃｒｔｌ)のレベルとを比較して、リセット信号(ｒｓｔ)を生成する。検出イネーブル制御部２５０は、ＤＬＬイネーブル信号(ｄｌｌｅｎ)及びリセット信号(ｒｓｔ)に応じて、検出イネーブル信号(ｄｅｔｅｎ)を生成する。

【００４３】

初期電圧制御部２１０は、ＤＬＬイネーブル信号(ｄｌｌｅｎ)がイネーブルされる前には、初期電圧制御信号(Ｉｖｃｎｔ)をディセーブルさせる。以後、ＤＬＬイネーブル信号(ｄｌｌｅｎ)がイネーブルされることにより、初期電圧制御信号(Ｉｖｃｎｔ)をイネーブルさせるが、初期電圧制御信号(Ｉｖｃｎｔ)のイネーブル区間は、リセット信号(ｒｓｔ)のイネーブル時点まで維持され得る。

【００４４】

制御電圧調整部２２０は、初期電圧制御信号(Ｉｖｃｎｔ)がイネーブルされる前には、制御電圧(Ｖｃｒｔｌ)が外部供給電源(ＶＤＤ)のレベルを有するようにする。以後、初期電圧制御信号(Ｉｖｃｎｔ)がイネーブルされると、制御電圧調整部２２０は、制御電圧(Ｖｃｒｔｌ)のレベルを下降させる。初期電圧制御信号(Ｉｖｃｎｔ)がさらにディセーブルされると、制御電圧調整部２２０は、制御電圧(Ｖｃｒｔｌ)のレベル下降を中止する。

【００４５】

基準電圧生成部２３０は、初期電圧制御信号(Ｉｖｃｎｔ)のイネーブル時、外部供給電

源(ＶＤＤ)を内部に具備された抵抗の抵抗比により電圧分配し、基準電圧(Ｖｒｅｆ)を生成する。このとき、基準電圧(Ｖｒｅｆ)のレベルは、前述した制御電圧(Ｖｃｒｔｌ)の基準レベルである。図２のグラフによれば、制御電圧(Ｖｃｒｔｌ)が初期に第２の領域内のレベルを有しなければならない。このために、基準電圧(Ｖｒｅｆ)のレベルは、制御電圧(Ｖｃｒｔｌ)の初期レベルと同じレベルに設定される。

【００４６】

電圧比較部２４０は、初期電圧制御信号(Ｉｖｃｎｔ)がイネーブルされると、制御電圧(Ｖｃｒｔｌ)のレベルが基準電圧(Ｖｒｅｆ)のレベルより高い場合、リセット信号(ｒｓｔ)のディセーブル状態を維持させ、制御電圧(Ｖｃｒｔｌ)のレベルが基準電圧(Ｖｒｅｆ)のレベルより低い場合、リセット信号(ｒｓｔ)をイネーブルさせる。以後、電圧比較部２４０は、初期電圧制御信号(Ｉｖｃｎｔ)がディセーブルされると、リセット信号(ｒｓｔ)をディセーブルさせる。

【００４７】

検出イネーブル制御部２５０は、ＤＬＬイネーブル信号(ｄｌｌｅｎ)がイネーブルされると、検出イネーブル信号(ｄｅｔｅｎ)をディセーブルさせる。しかしながら、以後、リセット信号(ｒｓｔ)がイネーブルされると、検出イネーブル信号(ｄｅｔｅｎ)をイネーブルさせ、リセット信号(ｒｓｔ)の状態が変化しても、検出イネーブル信号(ｄｅｔｅｎ)のイネーブル状態を維持させる。

【００４８】

すなわち、初期動作制御手段２０において、ＤＬＬ回路の動作が開始されてＤＬＬイネーブル信号(ｄｌｌｅｎ)がイネーブルされると、初期電圧制御部２１０は初期電圧制御信号(Ｉｖｃｎｔ)をイネーブルさせる。これにより、基準電圧生成部２３０は既設定のレベルの基準電圧(Ｖｒｅｆ)の生成を開始し、制御電圧調整部２２０は制御電圧(Ｖｃｒｔｌ)のレベル下降を開始する。電圧比較部２４０は、基準電圧(Ｖｒｅｆ)及び制御電圧(Ｖｃｒｔｌ)のレベルを比較していて、制御電圧(Ｖｃｒｔｌ)のレベルが基準電圧(Ｖｒｅｆ)のレベルより下降したことが感知されると、リセット信号(ｒｓｔ)をイネーブルさせる。初期電圧制御部２１０は、リセット信号(ｒｓｔ)に応じて初期電圧制御信号(Ｉｖｃｎｔ)をディセーブルさせる。そして、検出イネーブル制御部２５０は、リセット信号(ｒｓｔ)に応じて検出イネーブル信号(ｄｅｔｅｎ)をイネーブルさせ、以後、リセット信号(ｒｓｔ)がディセーブルされても、検出イネーブル信号(ｄｅｔｅｎ)のイネーブル状態を維持させる。

【００４９】

このように、初期動作制御手段２０は、ＤＬＬ回路の動作初期に制御電圧(Ｖｃｒｔｌ)のレベルを下降させるための動作を遂行し、以後、制御電圧(Ｖｃｒｔｌ)のレベルが基準レベルの以下に下降すると、検出イネーブル信号(ｄｅｔｅｎ)をイネーブルさせる。これにより、遅延制御手段３０は、制御電圧(Ｖｃｒｔｌ)のレベルが基準レベルの以下の場合だけ動作するため、速いロッキングタイムを有し、安定な多相クロックを生成するＤＬＬ回路を具現できる。

【００５０】

図６は、図５に示す初期電圧制御部の詳細構成図である。

同図に示すように、初期電圧制御部２１０は、第１～第７のインバータ(ＩＶ１～ＩＶ７)と、第１３～第１５のトランジスタ(ＴＲ１３～ＴＲ１５)と、第１及び第２のパスゲート(ＰＧ１～ＰＧ２)とを含む。

【００５１】

第１のインバータ(ＩＶ１)は、リセット信号(ｒｓｔ)の入力を受ける。第１３のトランジスタ(ＴＲ１３)は、第１のインバータ(ＩＶ１)の出力信号が入力されるゲート、外部供給電源(ＶＤＤ)が印加されるソース及び第６のノード(Ｎ６)に接続されるドレーンを含む。第２のインバータ(ＩＶ２)は、第６のノード(Ｎ６)の電位の入力を受ける。第１４のトランジスタ(ＴＲ１４)は、第２のインバータ(ＩＶ２)の出力信号が入力されるゲート、外部供給電源(ＶＤＤ)が印加されるソース及び第６のノード(Ｎ６)に接続されるドレーンを

含む。第３のインバータ(ＩＶ３)は、ＤＬＬイネーブル信号(ｄｌｌｅｎ)の入力を受ける。第１５のトランジスタ(ＴＲ１５)は、第３のインバータ(ＩＶ３)の出力信号が入力されるゲート、第６のノード(Ｎ６)に接続されるドレーン及び接地されるソースを含む。

【００５２】

第４のインバータ(ＩＶ４)は、第２のインバータ(ＩＶ２)の出力信号の入力を受ける。第５のインバータ(ＩＶ５)は、ＤＬＬイネーブル信号(ｄｌｌｅｎ)の入力を受ける。第６のインバータ(ＩＶ６)は、第５のインバータ(ＩＶ５)の出力信号の入力を受ける。第１のパスゲート(ＰＧ１)は、第５のインバータ(ＩＶ５)の出力信号及び第６のインバータ(ＩＶ６)の出力信号の制御により、第４のインバータ(ＩＶ４)の出力信号を第７のノード(Ｎ７)に伝達する。第２のパスゲート(ＰＧ２)は、第５のインバータ(ＩＶ５)の出力信号及び第６のインバータ(ＩＶ６)の出力信号の制御により、外部供給電源(ＶＤＤ)を第７のノード(Ｎ７)に伝達する。第７のインバータ(ＩＶ７)は、第７のノード(Ｎ７)に印加される電位の入力を受けて、初期電圧制御信号(ｉｖｃｎｔ)を出力する。

【００５３】

このような初期電圧制御部２１０の構成において、ＤＬＬイネーブル信号(ｄｌｌｅｎ)がイネーブルされる前、第１のパスゲート(ＰＧ１)はターンオフされ、第２のパスゲート(ＰＧ２)はターンオンされるので、初期電圧制御信号(ｉｖｃｎｔ)はディセーブルされる。しかしながら、ＤＬＬイネーブル信号(ｄｌｌｅｎ)がイネーブルされると、第６のノード(Ｎ６)に印加されていたローレベルの電位が第２のインバータ(ＩＶ２)及び第４のインバータ(ＩＶ４)を介して第１のパスゲート(ＰＧ１)に伝達され、この場合、第１のパスゲート(ＰＧ１)がターンオンされるので、初期電圧制御信号(ｉｖｃｎｔ)はイネーブルされる。以後、リセット信号(ｒｓｔ)がイネーブルされると、第１３のトランジスタ(ＴＲ１３)がターンオンされることで、第６のノード(Ｎ６)はハイレバルの電位を有することになり、結果として初期電圧制御信号(ｉｖｃｎｔ)はディセーブルされる。

【００５４】

すなわち、初期電圧制御信号(ｉｖｃｎｔ)は、ＤＬＬイネーブル信号(ｄｌｌｅｎ)がイネーブルされることによりイネーブルされ、リセット信号(ｒｓｔ)がイネーブルされることによりディセーブルされる。

【００５５】

図７は、図５に示す制御電圧調整部及び基準電圧生成部の詳細構成図である。

同図に示すように、制御電圧調整部２２０は、第８のノード(Ｎ８)と、第１６及び第１７のトランジスタ(ＴＲ１６、ＴＲ１７)と、第２のキャパシタ(Ｃ２)とを含む。

【００５６】

第８のノード(Ｎ８)には、制御電圧(Ｖｃｒｔｌ)が印加される。第１６のトランジスタ(ＴＲ１６)は、ＤＬＬイネーブル信号(ｄｌｌｅｎ)が入力されるゲート、外部供給電源(ＶＤＤ)が印加されるソース及び第８のノード(Ｎ８)に接続されるドレーンを含む。第２のキャパシタ(Ｃ２)は、外部供給電源(ＶＤＤ)の供給端及び第８のノード(Ｎ８)間に具備される。第１７のトランジスタ(ＴＲ１７)は、初期電圧制御信号(ｉｖｃｎｔ)が入力されるゲート、第８のノード(Ｎ８)に接続されるドレーン及び接地されるソースを含む。

【００５７】

また、基準電圧生成部２３０は、第９のノード(Ｎ９)と、第８のインバータ(ＩＶ８)と、第１８のトランジスタ(ＴＲ１８)と、第１及び第２の抵抗(Ｒ１、Ｒ２)とを含む。

【００５８】

第９のノード(Ｎ９)は、基準電圧(Ｖｒｅｆ)を出力する。第８のインバータ(ＩＶ８)は、初期電圧制御信号(ｉｖｃｎｔ)の入力を受ける。第１８のトランジスタ(ＴＲ１８)は、第８のインバータ(ＩＶ８)の出力信号が入力されるゲート及び外部供給電源(ＶＤＤ)が印加されるソースを含む。第１の抵抗(Ｒ１)は、第１８のトランジスタ(ＴＲ１８)のドレーン端及び第９のノード(Ｎ９)間に具備される。第２の抵抗(Ｒ２)は、第９のノード(Ｎ９)及び接地端間に具備される。

【００５９】

制御電圧調整部２２０の第８のノード(Ｎ８)には、遅延制御手段３０のローパスフィルタ３３０から伝達される制御電圧(Ｖｃｒｔｌ)が印加される。しかしながら、遅延制御手段３０の動作が活性化される前には、実質的に遅延制御手段３０が制御電圧(Ｖｃｒｔｌ)を生成する動作を遂行しない。この場合、ＤＬＬイネーブル信号(ｄｌｌｅｎ)のディセーブル時、外部供給電源(ＶＤＤ)が第１６のトランジスタ(ＴＲ１６)を介して第８のノード(Ｎ８)に伝達されるので、制御電圧(Ｖｃｒｔｌ)のレベルは外部供給電源(ＶＤＤ)と同じレベルである。以後、ＤＬＬイネーブル信号(ｄｌｌｅｎ)がディセーブルされ、初期電圧制御信号(ｉｖｃｎｔ)がイネーブルされると、第１７のトランジスタ(ＴＲ１７)がターンオンされるので、第８のノード(Ｎ８)の電位、すなわち制御電圧(Ｖｃｒｔｌ)のレベルは下降する。このとき、第２のキャパシタ(Ｃ２)の作用により、第８のノード(Ｎ８)の電位の下降速度は徐々に調整される。このような制御電圧(Ｖｃｒｔｌ)のレベル下降は、初期電圧制御信号(ｉｖｃｎｔ）のディセーブル時点まで持続される。

【００６０】

一方、初期電圧制御信号(ｉｖｃｎｔ)がイネーブルされると、基準電圧生成部２３０の第１８のトランジスタ(ＴＲ１８)がターンオンされるので、第９のノード(Ｎ９)に印加される基準電圧(Ｖｒｅｆ)は、第１の抵抗(Ｒ１)及び第２の抵抗(Ｒ２)の抵抗比により、外部供給電源(ＶＤＤ)を電圧分配したレベルを有することになる。このとき、基準電圧(Ｖｒｅｆ)のレベルが制御電圧(Ｖｃｒｔｌ)が到達しなければならない基準レベルになるように、第１の抵抗(Ｒ１)及び第２の抵抗(Ｒ２)の抵抗比は、適切に設定されなければならない。

【００６１】

図８は、図５に示す電圧比較部及び検出イネーブル制御部の詳細構成図である。

同図に示すように、電圧比較部２４０は、第１９～第２６のトランジスタ(ＴＲ１９～ＴＲ２６)及び第９～第１１のインバータ(ＩＶ９～ＩＶ１１)を含む。

【００６２】

第１９のトランジスタ(ＴＲ１９)は、第１０のノード(Ｎ１０)に接続されるゲート、外部供給電源(ＶＤＤ)が印加されるソース及び第１１のノード(Ｎ１１)に接続されるドレーンを含む。第２０のトランジスタ(ＴＲ２０)は、基準電圧(Ｖｒｅｆ)が印加されるゲート、第１１のノード(Ｎ１１)に接続されるソース及び第１０のノード(Ｎ１０)に接続されるドレーンを含む。第２１のトランジスタ(ＴＲ２１)は、基準電圧(Ｖｒｅｆ)が印加されるゲート、第１０のノード(Ｎ１０)に接続されるドレーン及び第１２のノード(Ｎ１２)に接続されるソースを含む。

【００６３】

第２２のトランジスタ(ＴＲ２２)は、制御電圧(Ｖｃｒｔｌ)が印加されるゲート、第１１のノード(Ｎ１１)に接続されるソース及び第１３のノード(Ｎ１３)に接続されるドレーンを含む。第２３のトランジスタ(ＴＲ２３)は、制御電圧(Ｖｃｒｔｌ)が印加されるゲート、第１３のノード(Ｎ１３)に接続されるドレーン及び第１２のノード(Ｎ１２)に接続されるソースを含む。第２４のトランジスタ(ＴＲ２４)は、第１０のノード(Ｎ１０)に接続されるゲート及び第１２のノード(Ｎ１２)に接続されるドレーンを含む。第２５のトランジスタ(ＴＲ２５)は、初期電圧制御信号(ｉｖｃｎｔ)が入力されるゲート、第２４のトランジスタ(ＴＲ２４)のソース端に接続されるドレーン及び接地されるソースを含む。

【００６４】

第９のインバータ(ＩＶ９)は、初期電圧制御信号(ｉｖｃｎｔ)の入力を受ける。第２６のトランジスタ(ＴＲ２６)は、第９のインバータ(ＩＶ９)の出力信号が入力されるゲート、第１３のノード(Ｎ１３)に接続されるドレーン及び接地されるソースを含む。第１０のインバータ(ＩＶ１０)は、第１３のノード(Ｎ１３)の電位の入力を受ける。第１１のインバータ(ＩＶ１１)は、第１０のインバータ(ＩＶ１０)の出力信号の入力を受け、リセット信号(ｒｓｔ)を出力する。

【００６５】

検出イネーブル制御部２５０は、反転遅延器(ＩＤＬＹ)と、第１のナンドゲート(ＮＤ

１)と、第２７及び第２８のトランジスタ(ＴＲ２７、ＴＲ２８)と、第１２及び第１３のインバータ(ＩＶ１２、ＩＶ１３)とを含む。

【００６６】

反転遅延器(ＩＤＬＹ)は、ＤＬＬイネーブル信号(ｄｌｌｅｎ)の入力を受ける。第１のナンドゲート(ＮＤ１)は、ＤＬＬイネーブル信号(ｄｌｌｅｎ)及び反転遅延器(ＩＤＬＹ)の出力信号の入力を受ける。第２７のトランジスタ(ＴＲ２７)は、第１のナンドゲート(ＮＤ１)の出力信号が入力されるゲート、外部供給電源(ＶＤＤ)が印加されるソース及び第１４のノード(Ｎ１４)に接続されるソースを含む。第２８のトランジスタ(ＴＲ２８)は、リセット信号(ｒｓｔ)が入力されるゲート、第１４のノード(Ｎ１４)に接続されるドレーン及び接地されるソースを含む。第１２のインバータ(ＩＶ１２)は、第１４のノード(Ｎ１４)に印加される電位の入力を受け、検出イネーブル信号(ｄｅｔｅｎ)を出力する。第１３のインバータ(ＩＶ１３)は、第１２のインバータ(ＩＶ１２)とラッチ構造を形成する。

【００６７】

前述した構成により、電圧比較部２４０は、初期電圧制御信号(ｉｖｃｎｔ)がディセーブルされると、リセット信号(ｒｓｔ)をディセーブルさせる。反面、初期電圧制御信号(ｉｖｃｎｔ)がイネーブルされると、基準電圧(Ｖｒｅｆ)のレベルと制御電圧(Ｖｃｒｔｌ)のレベルとを比較して、リセット信号(ｒｓｔ)をイネーブルさせる。このとき、前述したように、基準電圧(Ｖｒｅｆ)のレベルが制御電圧(Ｖｃｒｔｌ)のレベルより低いと、第１３のノード(Ｎ１３)の電位が第１０のノード(Ｎ１０)の電位より低くなるので、リセット信号(ｒｓｔ)がディセーブルされ、制御電圧(Ｖｃｒｔｌ)のレベルが基準電圧(Ｖｒｅｆ)のレベルより低いと、第１３のノード(Ｎ１３)の電位が第１０のノード(Ｎ１０)の電位より高くなるので、リセット信号(ｒｓｔ)がイネーブルされる。

【００６８】

検出イネーブル制御部２５０において、第１のナンドゲート(ＮＤ１)の出力信号は、ローパルス信号の形態として具現される。ＤＬＬイネーブル信号(ｄｌｌｅｎ)がイネーブルされると、第１のナンドゲート(ＮＤ１)の出力信号はローレベルにイネーブルされる。このとき、第２７のトランジスタ(ＴＲ２７)がターンオンされるので、第１４のノード(Ｎ１４)にハイレバルの電位が供給され、これにより、検出イネーブル信号(ｄｅｔｅｎ)はディセーブルされる。以後、第１のナンドゲート(ＮＤ１)の出力信号がディセーブルされても、検出イネーブル信号(ｄｅｔｅｎ)のディセーブル状態は維持される。

【００６９】

以後、リセット信号(ｒｓｔ)がイネーブルされると、第２８のトランジスタ(ＴＲ２８)がターンオンされるので、第１４のノード(Ｎ１４)の電位はローレベルになり、これにより、検出イネーブル信号(ｄｅｔｅｎ)はイネーブルされる。その後、リセット信号(ｒｓｔ)がディセーブルされても、検出イネーブル信号(ｄｅｔｅｎ)のイネーブル状態は維持される。

【００７０】

図９は、図１に示す位相検出器の詳細構成図である。

同図に示すように、位相検出器３１０は、タイミング制御部３１２、アップ信号生成部３１４及びダウン信号生成部３１６を含む。

【００７１】

タイミング制御部３１２は、基準クロック(ｃｌｋ＿ｒｅｆ)及びＤＬＬクロック(ｃｌｋ＿ｄｌｌ)の活性化タイミングを制御して、制御基準クロック(ｃｌｋ＿ ｃｒｅｆ)及び制御ＤＬＬクロック(ｃｌｋ＿ｃｄｌｌ)を生成する。タイミング制御部３１２は、第１～第３のフリップフロップ(ＦＦ１～ＦＦ３)と、第２及び第３のナンドゲート(ＮＤ２、ＮＤ３)と、第１４及び第１５のインバータ(ＩＶ１４、ＩＶ１５)とを含む。

【００７２】

第１のフリップフロップ(ＦＦ１)は、基準クロック(ｃｌｋ＿ｒｅｆ)に応じて検出イネーブル信号(ｄｅｔｅｎ)をラッチする。第２のフリップフロップ(ＦＦ２)は、基準クロッ

ク(ｃｌｋ＿ｒｅｆ)に応じて第１のフリッププロップ(ＦＦ１)の出力信号をラッチする。第２のナンドゲート(ＮＤ２)は、第２のフリッププロップ(ＦＦ２)の出力信号及び基準クロック(ｃｌｋ＿ｒｅｆ)の入力を受ける。第１４のインバータ(ＩＶ１４)は、第２のナンドゲート(ＮＤ２)の出力信号の入力を受け、制御基準クロック(ｃｌｋ＿ｃｒｅｆ)を出力する。第３のフリッププロップ(ＦＦ３)は、ＤＬＬクロック(ｃｌｋ＿ｄｌｌ)に応じて検出イネーブル信号(ｄｅｔｅｎ)をラッチする。第３のナンドゲート(ＮＤ３)は、第３のフリッププロップ(ＦＦ３)の出力信号及びＤＬＬクロック(ｃｌｋ＿ｄｌｌ)の入力を受ける。第１５のインバータ(ＩＶ１５)は、第３のナンドゲート(ＮＤ３)の出力信号の入力を受け、制御ＤＬＬクロック(ｃｌｋ＿ｃｄｌｌ)を出力する。

【００７３】

アップ信号生成部３１４は、制御基準クロック(ｃｌｋ＿ｃｒｅｆ)及び制御ＤＬＬクロック(ｃｌｋ＿ｃｄｌｌ)の位相を判別して、位相アップ信号(ｐｈｕｐ)を生成する。

【００７４】

アップ信号生成部３１４は、第２９～第３４のトランジスタ(ＴＲ２９～ＴＲ３４)及び第１６のインバータ(ＩＶ１６)を含む。

【００７５】

第２９のトランジスタ(ＴＲ２９)は、制御基準クロック(ｃｌｋ＿ｃｒｅｆ)が入力されるゲート及び外部供給電源(ＶＤＤ)が印加されるソースを含む。第３０のトランジスタ(ＴＲ３０)は、制御ＤＬＬクロック(ｃｌｋ＿ｃｄｌｌ)が入力されるゲート、第２９のトランジスタ(ＴＲ２９)のドレーン端に接続されるソース及び第１５のノード(Ｎ１５)に接続されるドレーンを含む。第３１のトランジスタ(ＴＲ３１)は、制御基準クロック(ｃｌｋ＿ｃｒｅｆ)が入力されるゲート、第１５のノード(Ｎ１５)に接続されるドレーン及び接地されるソースを含む。第３２のトランジスタ(ＴＲ３２)は、第１５のノード(Ｎ１５)に接続されるゲート、外部供給電源(ＶＤＤ)が印加されるソース及び第１６のノード(Ｎ１６)に接続されるドレーンを含む。第３３のトランジスタ(ＴＲ３３)は、制御ＤＬＬクロック(ｃｌｋ＿ｃｄｌｌ)が入力されるゲート及び第１６のノード(Ｎ１６)に接続されるドレーンを含む。第３４のトランジスタ(ＴＲ３４)は、第１５のノード(Ｎ１５)に接続されるゲート、第３３のトランジスタ(ＴＲ３３)のソース端に接続されるドレーン及び接地されるソースを含む。第１６のインバータ(ＩＶ１６)は、第１６のノード(Ｎ１６）の電位の入力を受け、位相アップ信号(ｐｈｕｐ)を出力する。

【００７６】

ダウン信号生成部３１６は、制御基準クロック(ｃｌｋ＿ｃｒｅｆ)及び制御ＤＬＬクロック(ｃｌｋ＿ｃｄｌｌ)の位相を判別して、位相ダウン信号(ｐｈｄｎ)を生成する。ダウン信号生成部３１６は、第３５～第４０のトランジスタ(ＴＲ３５～ＴＲ４０)及び第１７のインバータ(ＩＶ１７)を含む。

【００７７】

第３５のトランジスタ(ＴＲ３５)は、制御ＤＬＬクロック(ｃｌｋ＿ｃｄｌｌ）が入力されるゲート及び外部供給電源(ＶＤＤ)が印加されるソースを含む。第３６のトランジスタ(ＴＲ３６)は、制御基準クロック(ｃｌｋ＿ｃｒｅｆ)が入力されるゲート、第３５のトランジスタ(ＴＲ３５)のドレーン端に接続されるソース及び第１７のノード(Ｎ１７)に接続されるドレーンを含む。第３７のトランジスタ(ＴＲ３７)は、制御ＤＬＬクロック(ｃｌｋ＿ｃｄｌｌ)が入力されるゲート、第１７のノード(Ｎ１７)に接続されるドレーン及び接地されるソースを含む。第３８のトランジスタ(ＴＲ３８)は、第１７のノード(Ｎ１７)に接続されるゲート、外部供給電源(ＶＤＤ)が印加されるソース及び第１８のノード(Ｎ１８)に接続されるドレーンを含む。第３９のトランジスタ(ＴＲ３９)は、制御基準クロック(ｃｌｋ＿ｃｒｅｆ)が入力されるゲート及び第１８のノード(Ｎ１８)に接続されるドレーンを含む。第４０のトランジスタ(ＴＲ４０)は、第１７のノード(Ｎ１７)に接続されるゲート、第３９のトランジスタ(ＴＲ３９)のソース端に接続されるドレーン及び接地されるソースを含む。第１７のインバータ(ＩＶ１７)は、第１８のノード(Ｎ１８)の電位の入力を受け、位相ダウン信号(ｐｈｄｎ)を出力する。

【００７８】
このようなタイミング制御部３１２の構成により、制御ＤＬＬクロック(ｃｌｋ＿ｃｄｌｌ)は、制御基準クロック(ｃｌｋ＿ｃｒｅｆ)より先にトグル(Toggle)することになる。すなわち、検出イネーブル信号(ｄｅｔｅｎ)がイネーブルされると、基準クロック(ｃｌｋ＿ｒｅｆ)の二回のトグルによって第２のフリップフロップ(ＦＦ２)の出力信号がハイレバルになり得るが、ＤＬＬクロック(ｃｌｋ＿ｄｌｌ)の一回のトグルだけによっても第３のフリップフロップ(ＦＦ３)の出力信号がハイレバルになり得るため、第１５のインバータ(ＩＶ１５)から出力される制御ＤＬＬクロック(ｃｌｋ＿ｃｄｌｌ)が、第１４のインバータ(ＩＶ１４)から出力される制御基準クロック(ｃｌｋ＿ｃｒｅｆ)より先にトグルすることになる。

【００７９】
アップ信号生成部３１４は、制御ＤＬＬクロック(ｃｌｋ＿ｃｄｌｌ)の電位がハイレバルであり、制御基準クロック(ｃｌｋ＿ｃｒｅｆ)の電位がローレベルである区間において、位相アップ信号(ｐｈｕｐ)をイネーブルさせる。反対に、ダウン信号生成部３１６は、制御基準クロック(ｃｌｋ＿ｃｒｅｆ)の電位がハイレバルであり、制御ＤＬＬクロック(ｃｌｋ＿ｃｄｌｌ)の電位がローレベルである区間において、位相ダウン信号(ｐｈｄｎ)をイネーブルさせる。このような構成により、一般に、位相アップ信号(ｐｈｕｐ)及び位相ダウン信号(ｐｈｄｎ)は、それぞれパルス信号の形態として具現され、相補的に何れか一つだけイネーブルされ得る。ここでは、制御ＤＬＬクロック(ｃｌｋ＿ｃｄｌｌ)が制御基準クロック(ｃｌｋ＿ｃｒｅｆ)より先にトグルするため、初期動作時、位相アップ信号(ｐｈｕｐ)が先にイネーブルされるこれにより、以後に制御電圧(Ｖｃｒｔｌ)のレベルが上昇する。

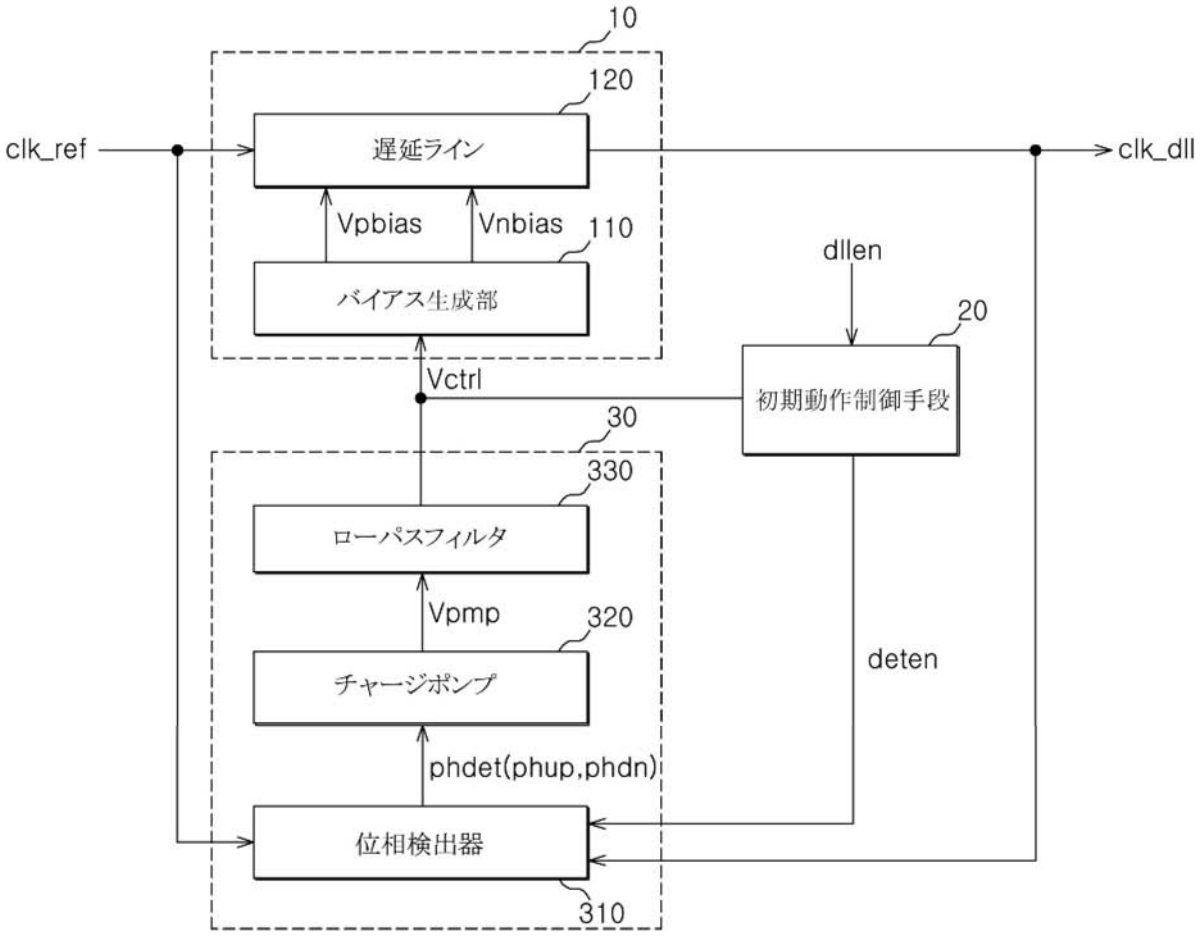
【００８０】
前述したように、多相クロックを生成するためにアナログタイプとして具現される本発明のＤＬＬ回路は、初期動作時、制御電圧のレベルを下降させ、制御電圧のレベルが基準レベルまで下降したことが感知されると、位相検出器を活性化させる。このとき、位相検出器は、先に位相アップ信号をイネーブルさせることで、制御電圧のレベルが上昇することになる。すなわち、初期動作時の制御電圧のレベルを、ロッキング完了時の制御電圧が有するレベルに近似するように設定する。但し、ロッキング完了時のレベルより若干低いレベルに設定し、制御電圧のレベルを上昇させながらロッキング動作を遂行する。これにより、ＤＬＬ回路のロッキングタイムを減少させることで、ＰＶＴ変動によりＤＬＬ回路が基準クロックに付与する遅延量が減少しても、安定な動作を具現できる。

【００８１】
なお、本発明の詳細な説明では具体的な実施例について説明したが、本発明の要旨から逸脱しない範囲内で多様に変形・実施が可能である。よって、本発明の範囲は、前述の実施例に限定されるものではなく、特許請求の範囲の記載及びこれと均等なものに基づいて定められるべきである。

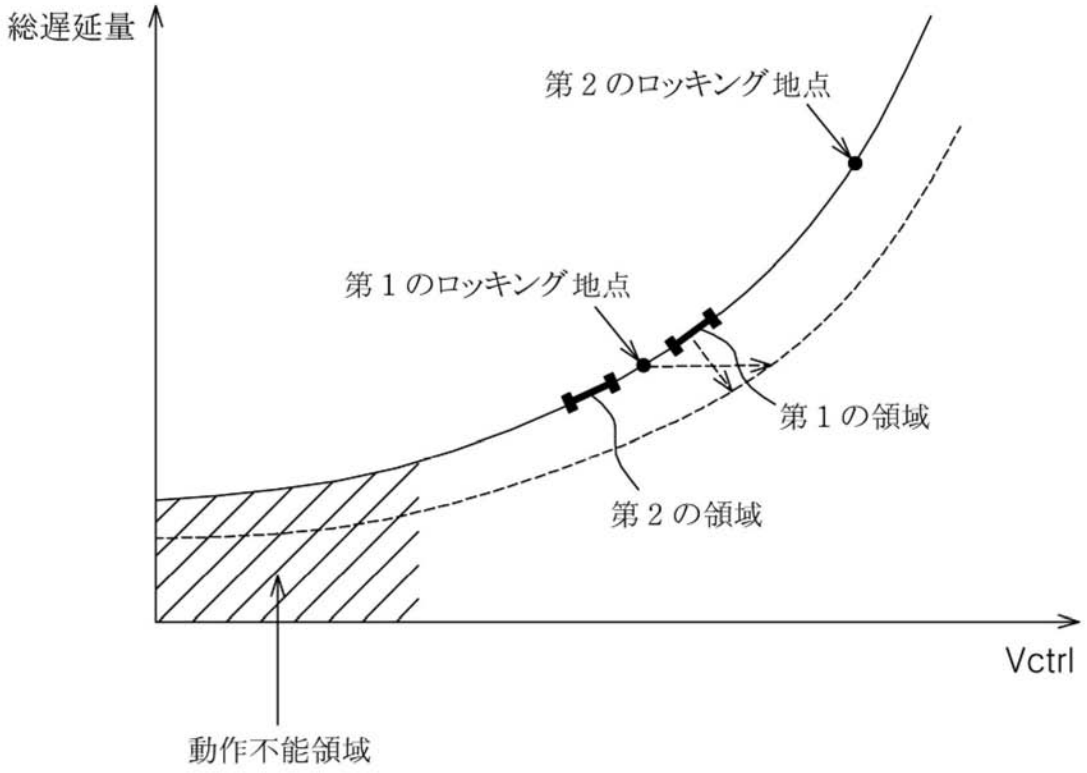
【符号の説明】

【００８２】
１０…遅延手段
２０…初期動作制御手段
３０…遅延制御手段
１１０…バイアス生成部
１２０…遅延ライン
３１０…位相検出器
３２０…チャージポンプ
３３０…ローパスフィルタ

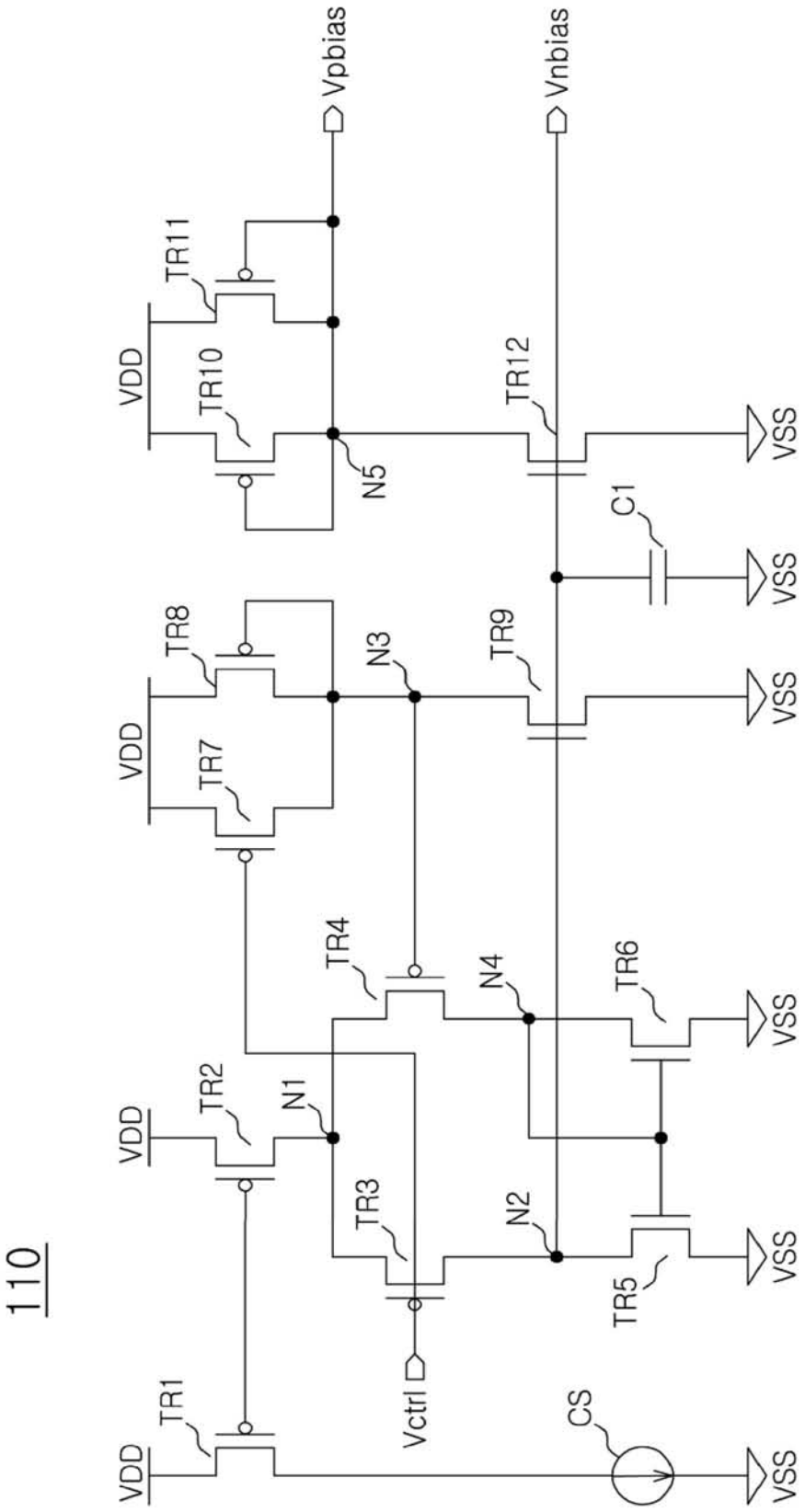
【図１】


10
120
clk_ref
遅延ライン
clk_dll
Vpbias
Vnbias
110
バイアス生成部
dllen
20
初期動作制御手段
Vctrl
30
330
ローパスフィルタ
Vpmp
320
チャージポンプ
deten
phdet(phup,phdn)
位相検出器
310

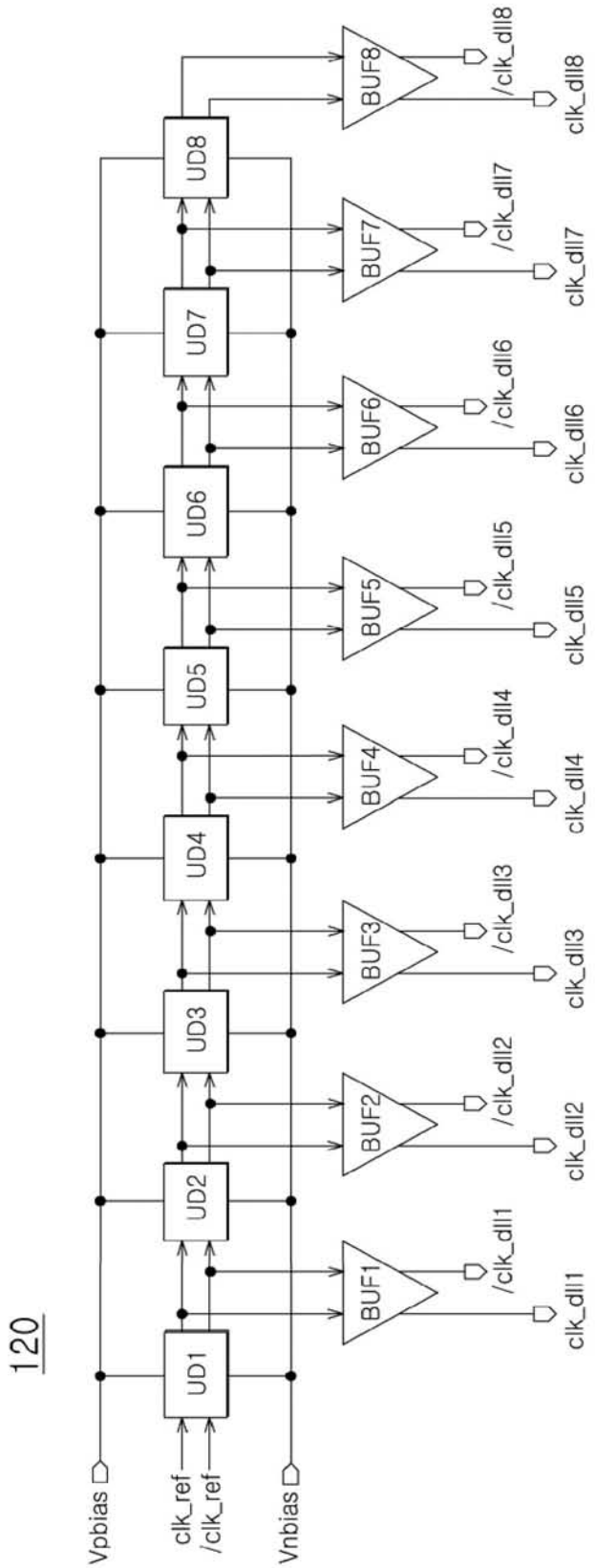
【図２】



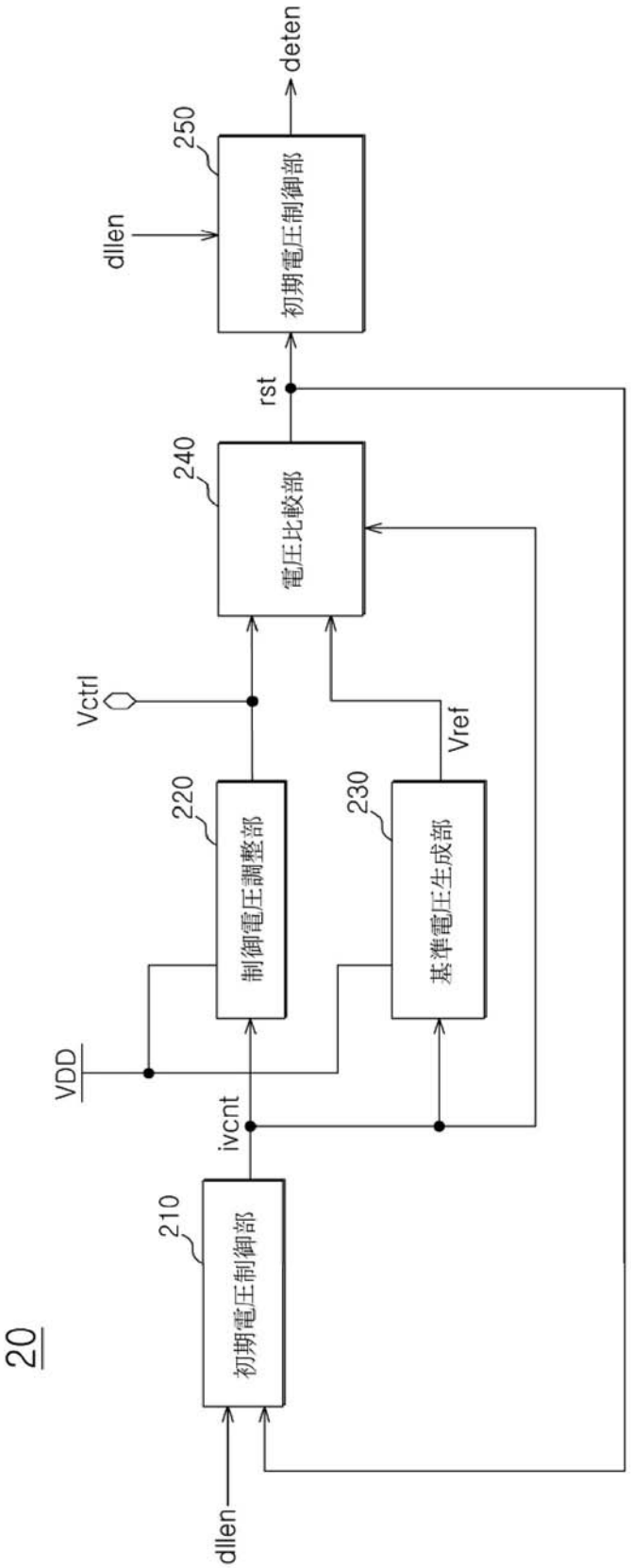
【図３】


110
Vpbias
Vnbias
TR11
TR10
TR12
TR8
TR7
TR9
TR4
TR6
TR2
TR3
TR5
TR1
N1
N2
N3
N4
N5
C1
CS
Vctrl
VDD
VSS

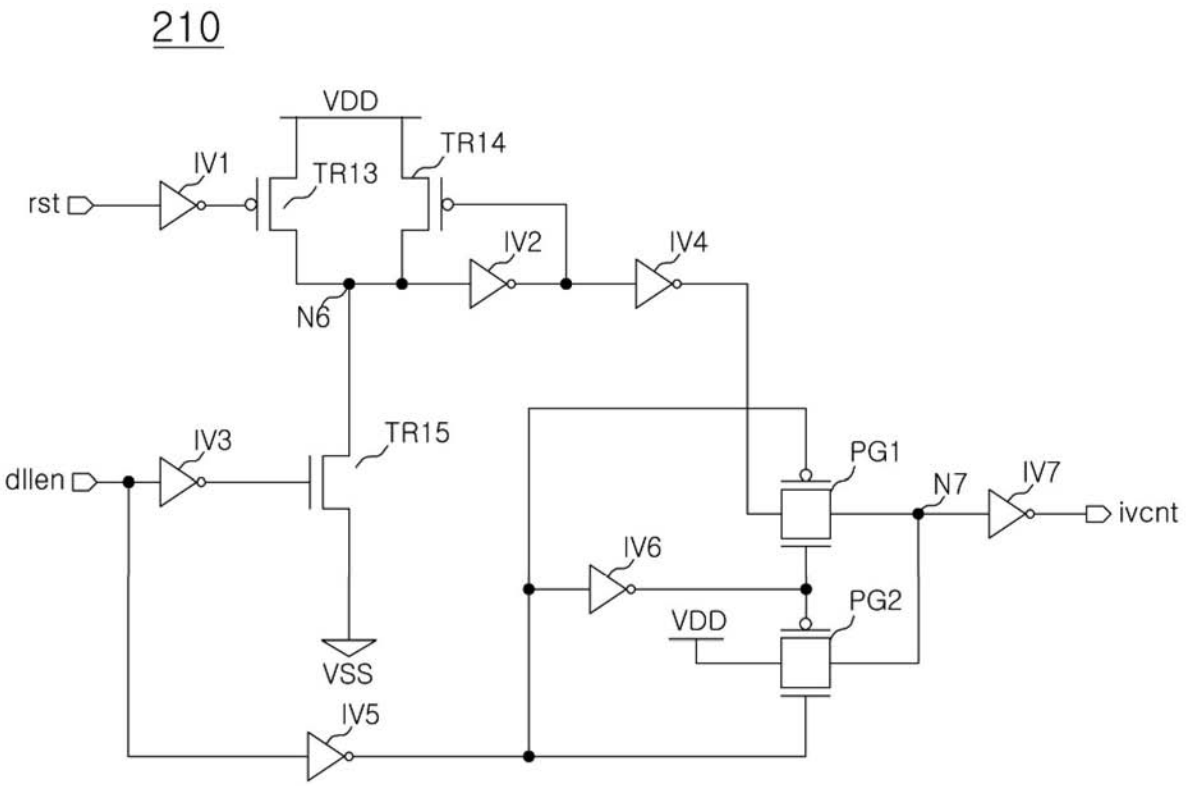
【図４】


120
Vpbias
clk_ref
/clk_ref
Vnbias
UD1
UD2
UD3
UD4
UD5
UD6
UD7
UD8
BUF1
BUF2
BUF3
BUF4
BUF5
BUF6
BUF7
BUF8
/clk_dll1
/clk_dll2
/clk_dll3
/clk_dll4
/clk_dll5
/clk_dll6
/clk_dll7
/clk_dll8
clk_dll1
clk_dll2
clk_dll3
clk_dll4
clk_dll5
clk_dll6
clk_dll7
clk_dll8

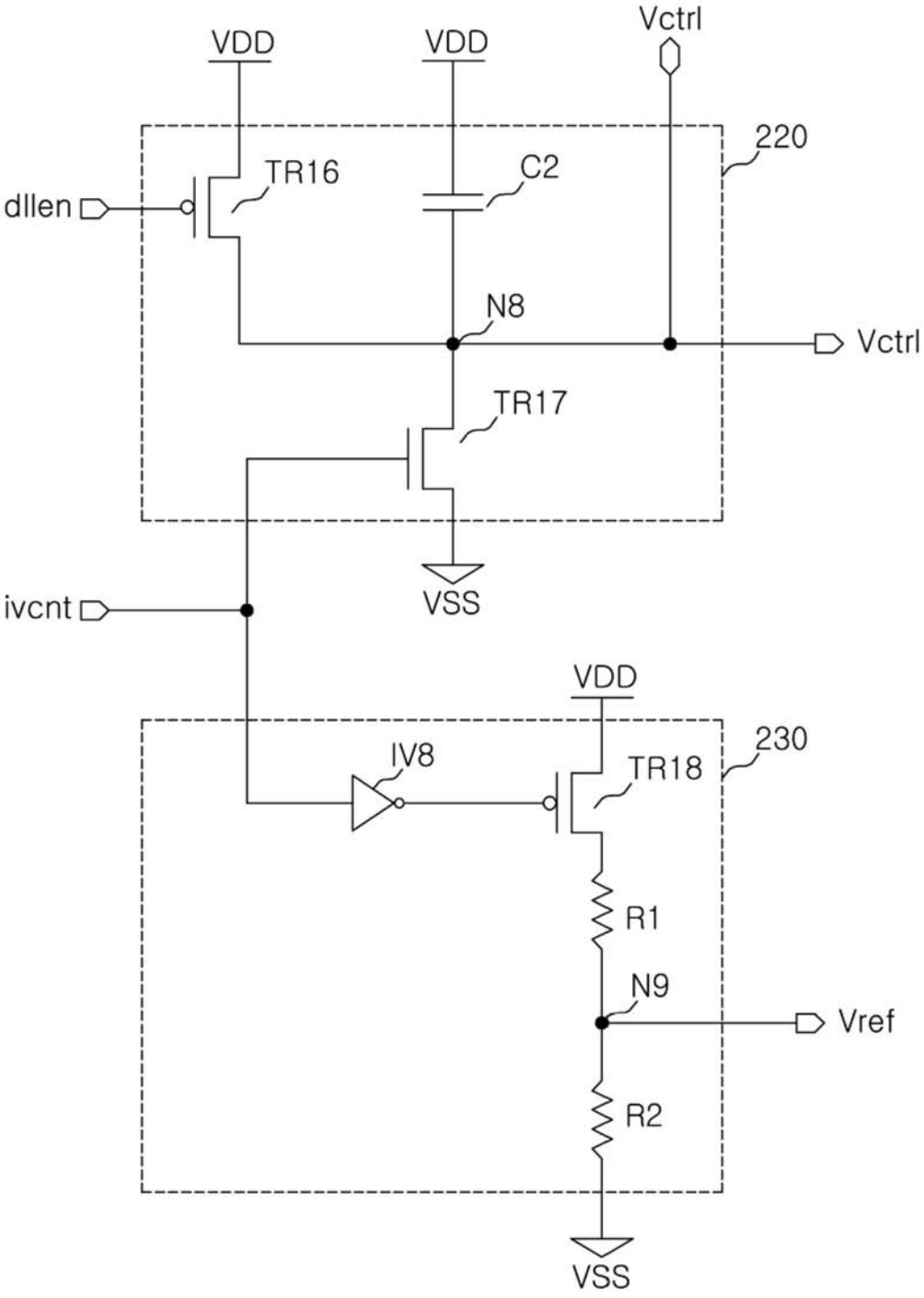
【図５】


20
210
初期電圧制御部
220
制御電圧調整部
230
基準電圧生成部
240
電圧比較部
250
初期電圧制御部
dllen
ivcnt
VDD
Vctrl
Vref
rst
deten
dllen

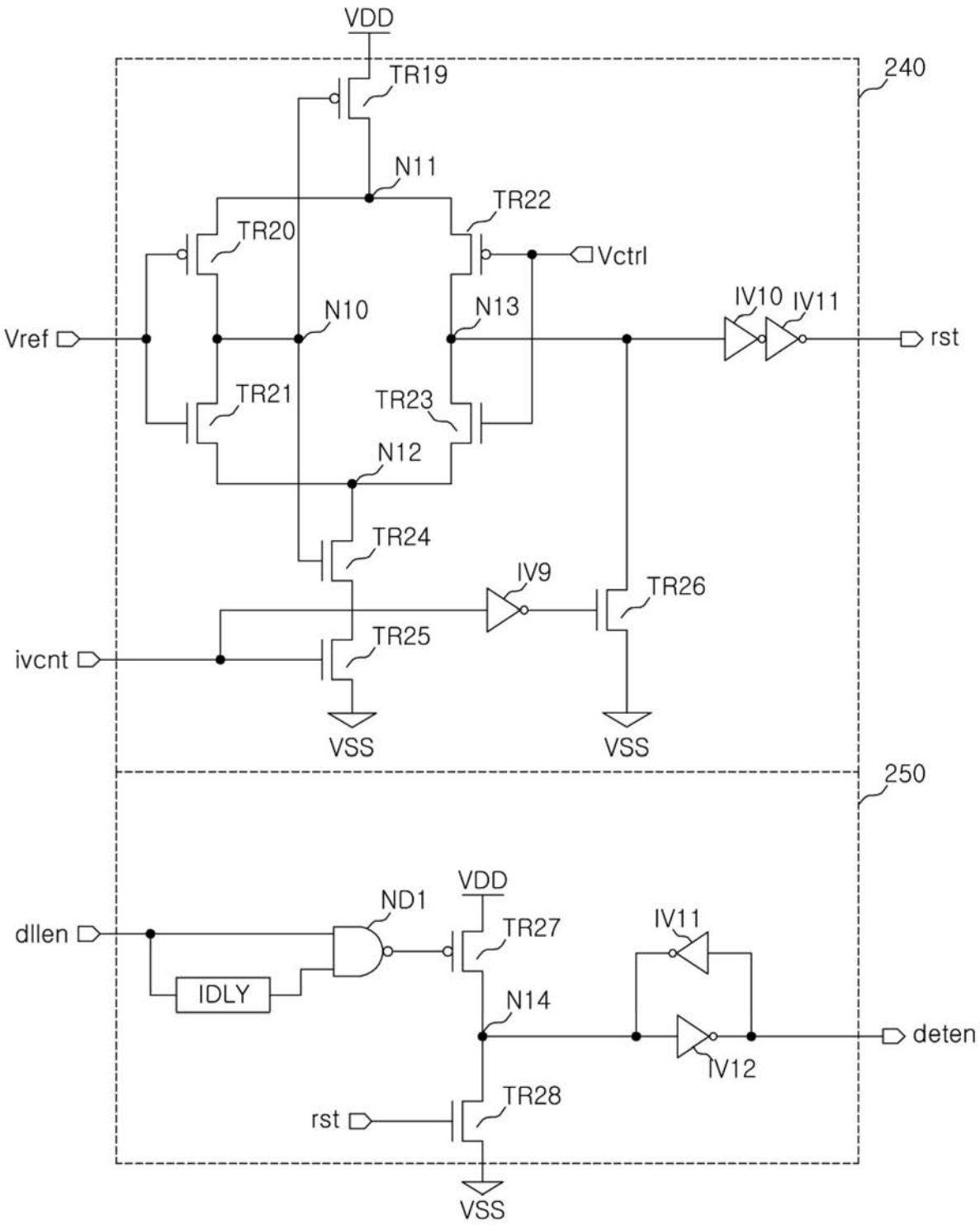
【図６】


210
VDD
TR14
IV1
TR13
rst
IV2
IV4
N6
IV3
TR15
dllen
PG1
N7
IV7
ivcnt
IV6
PG2
VDD
VSS
IV5

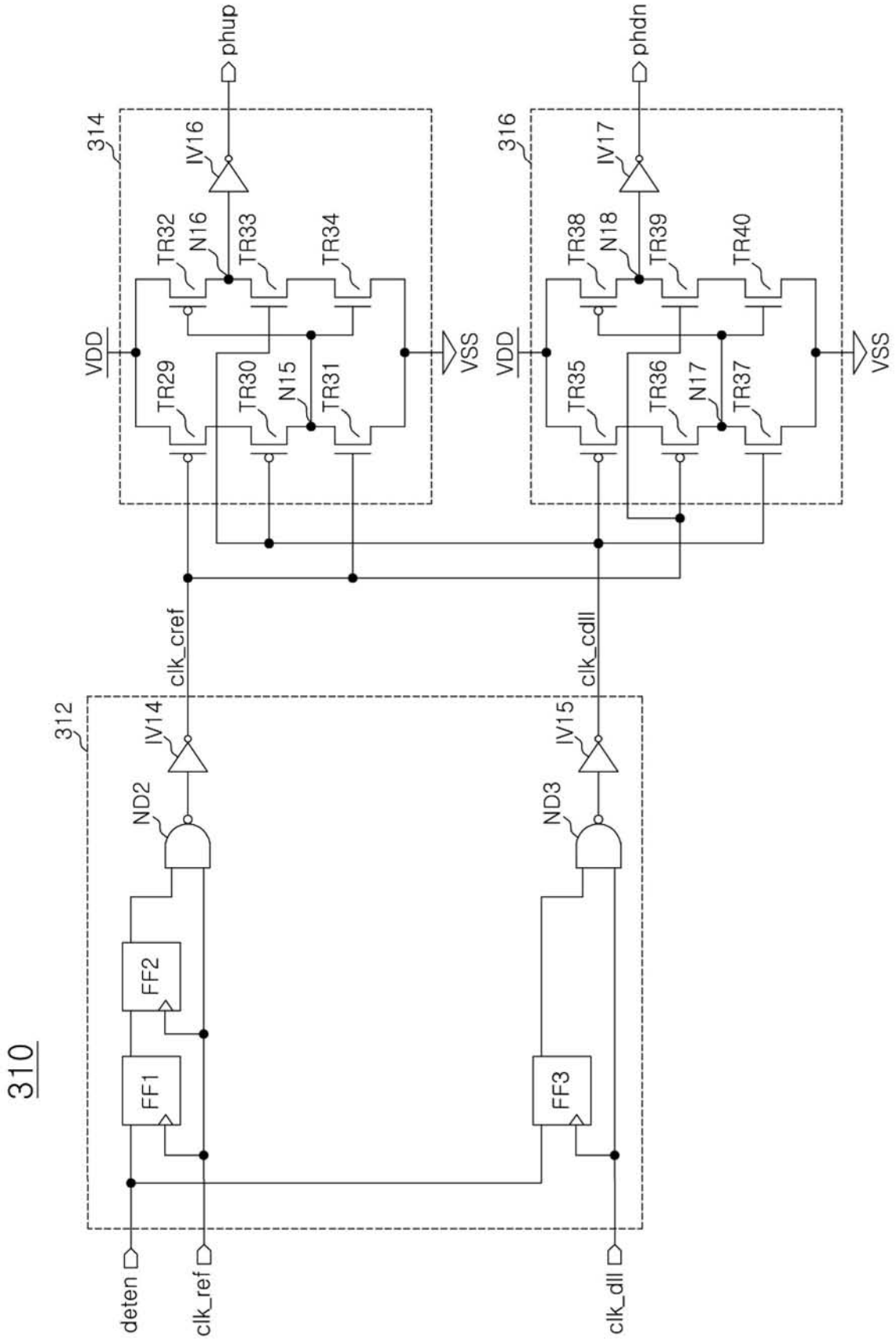
【図７】


VDD
VDD
Vctrl
220
TR16
C2
dllen
N8
Vctrl
TR17
VSS
ivcnt
VDD
230
IV8
TR18
R1
N9
Vref
R2
VSS

【図８】


VDD
TR19
240
N11
TR22
TR20
Vctrl
IV10
IV11
N10
N13
Vref
rst
TR21
TR23
N12
TR24
IV9
TR26
TR25
ivcnt
VSS
VSS
250
VDD
ND1
dllen
TR27
IV11
IDLY
N14
deten
IV12
TR28
rst
VSS

【図９】


310
312
314
316
phup
phdn
IV16
IV17
IV14
IV15
TR32
N16
TR33
TR34
TR38
N18
TR39
TR40
TR29
TR30
N15
TR31
TR35
TR36
N17
TR37
VDD
VSS
clk_cref
clk_cdll
ND2
ND3
FF1
FF2
FF3
deten
clk_ref
clk_dll

フロントページの続き

Ｆターム(参考) 5J001 AA05 AA11 BB00 BB02 BB05 BB10 BB12 BB14 BB25 CC03
DD00 DD06 DD09
5J039 JJ07 JJ13 JJ14 JJ20 KK09 KK10 KK13 KK16 KK18 KK20
MM03 NN06
5J106 CC21 CC38 CC59 DD24 DD32 GG04 HH02 KK30