

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年12月8日(08.12.2022)



(10) 国際公開番号

WO 2022/254995 A1

(51) 国際特許分類:
H03F 1/26 (2006.01) H02M 3/155 (2006.01)
H03F 3/45 (2006.01)

(21) 国際出願番号: PCT/JP2022/018522

(22) 国際出願日: 2022年4月22日(22.04.2022)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2021-090925 2021年5月31日(31.05.2021) JP

(71) 出願人: ローム株式会社 (ROHM CO., LTD.)
[JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 Kyoto (JP).

(72) 発明者: 久保田 勘人 (KUBOTA Kanto);
〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 ローム株式会社内 Kyoto (JP). 村上 和宏 (MURAKAMI Kazuhiro); 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 ローム株式会社内 Kyoto (JP). 田中 邦昌 (TANAKA Kunimasa);

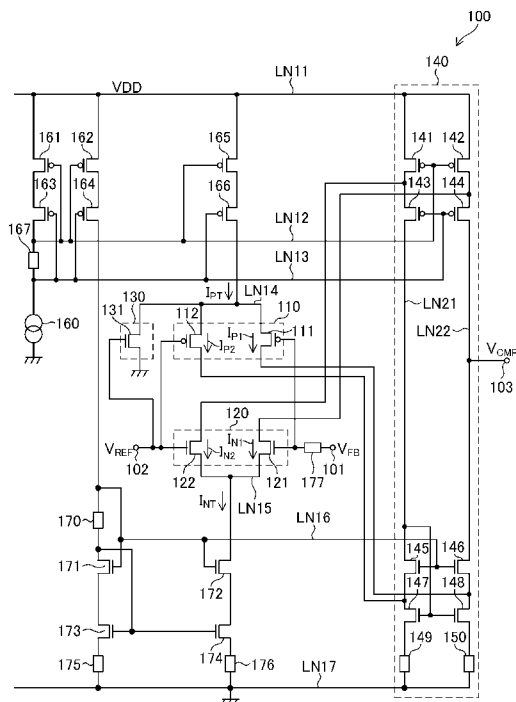
〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 ローム株式会社内 Kyoto (JP).

(74) 代理人: 特許業務法人 佐野特許事務所 (SANO PATENT OFFICE); 〒5400032 大阪府大阪市中央区天満橋京町 2 - 6 天満橋八千代ビル別館 5 F Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(54) Title: AMPLIFICATION CIRCUIT, SWITCHING POWER SUPPLY CIRCUIT, AND SWITCHING POWER SUPPLY DEVICE

(54) 発明の名称: アンプ回路、スイッチング電源用回路及びスイッチング電源装置



(57) Abstract: An amplification circuit configured to generate an error voltage corresponding to a difference between a subject voltage and a reference voltage, the amplification circuit comprising: a first differential input pair including a first transistor configured to receive the subject voltage at a gate thereof and a second transistor configured to receive the reference voltage at a gate thereof; and a second differential input pair including a third transistor configured to receive the subject voltage at a gate thereof and a fourth transistor configured to receive the reference voltage at a gate thereof. The error voltage is generated using the first differential input pair or the second differential input pair depending on the reference voltage. The first transistor and the second transistor are formed of P-channel MOSFETs. The third transistor and the fourth transistor are formed of N-channel MOSFETs.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

(57) 要約: 対象電圧及び基準電圧間の差に応じた誤差電圧を生成するように構成されたアンプ回路であって、対象電圧をゲートにて受けるように構成された第1トランジスタ及び基準電圧をゲートにて受けるように構成された第2トランジスタを有する第1差動入力対と、対象電圧をゲートにて受けるように構成された第3トランジスタ及び基準電圧をゲートにて受けるように構成された第4トランジスタを有する第2差動入力対と、を備え、基準電圧に応じ、第1差動入力対又は第2差動入力対を用いて誤差電圧を生成し、第1トランジスタ及び第2トランジスタはPチャネル型のMOSFETにて形成され、且つ、第3トランジスタ及び第4トランジスタはNチャネル型のMOSFETにて形成される。

明 細 書

発明の名称：

アンプ回路、スイッチング電源用回路及びスイッチング電源装置

技術分野

[0001] 本開示は、アンプ回路、スイッチング電源用回路及びスイッチング電源装置に関する。

背景技術

[0002] 2つの電圧間の差電圧に応じた誤差電圧を生成するアンプ回路が各種装置に搭載されている。例えば、入力電圧をスイッチングすることで出力電圧を生成するスイッチング電源装置では、出力電圧に基づく帰還電圧を基準電圧と比較することで、それらの差電圧に応じた誤差電圧を生成するアンプ回路が設けられ、誤差電圧に応じたスイッチング動作が行われる。

先行技術文献

特許文献

[0003] 特許文献1：特開2019-221099号公報

発明の概要

発明が解決しようとする課題

[0004] アンプ回路、及び、アンプ回路が搭載される装置（例えばスイッチング電源装置）の低ノイズは重要である。

[0005] 本開示は、ノイズ低減に寄与するアンプ回路、スイッチング電源用回路及びスイッチング電源装置を提供することを目的とする。

課題を解決するための手段

[0006] 本開示に係るアンプ回路は、対象電圧及び基準電圧間の差に応じた誤差電圧を生成するように構成されたアンプ回路であって、前記対象電圧をゲートにて受けるように構成された第1トランジスタ及び前記基準電圧をゲートにて受けるように構成された第2トランジスタを有する第1差動入力対と、前

記対象電圧をゲートにて受けるように構成された第3トランジスタ及び前記基準電圧をゲートにて受けるように構成された第4トランジスタを有する第2差動入力対と、を備え、前記基準電圧に応じ、前記第1差動入力対又は前記第2差動入力対を用いて前記誤差電圧を生成し、前記第1トランジスタ及び前記第2トランジスタはPチャネル型のMOSFETにて形成され、且つ、前記第3トランジスタ及び前記第4トランジスタはNチャネル型のMOSFETにて形成される。

[0007] 本開示によれば、ノイズ低減に寄与するアンプ回路、スイッチング電源用回路及びスイッチング電源装置を提供することが可能となる。

図面の簡単な説明

[0008] [図1]図1は、本開示の実施形態に係るスイッチング電源装置の全体構成図である。

[図2]図2は、本開示の実施形態に係る半導体装置の外観図である。

[図3]図3は、本開示の実施形態に係り、或る信号（SET）の波形図である。

[図4]図4は、本開示の実施形態に係り、複数の信号間の関係図である。

[図5A]図5Aは、本開示の実施形態に係るスロープ電圧生成回路の構成図である。

[図5B]図5Bは、本開示の実施形態に係るスロープ電圧の説明図である。

[図6]図6は、本開示の実施形態に係り、半導体装置により実行されるスイッチング動作の説明図である。

[図7]図7は、本開示の実施形態に係り、基準電圧の変化の様子を示す図である。

[図8]図8は、参考例に係るエラーアンプの構成図である。

[図9]図9は、本開示の実施形態に属する第1実施例に係り、エラーアンプの構成図である。

[図10]図10は、本開示の実施形態に属する第1実施例に係り、2つの状態を説明するための図である。

[図11]図 1 1 は、参考例及び第 1 実施例間においてノイズ特性を比較するための図である。

発明を実施するための形態

[0009] 以下、本開示の実施形態の例を、図面を参照して具体的に説明する。参照される各図において、同一の部分には同一の符号を付し、同一の部分に関する重複する説明を原則として省略する。尚、本明細書では、記述の簡略化上、情報、信号、物理量、素子又は部位等を参照する記号又は符号を記すことによって、該記号又は符号に対応する情報、信号、物理量、素子又は部位等の名称を省略又は略記することがある。例えば、後述の“M 1”によって参照されるハイサイドトランジスタは（図 1 参照）、ハイサイドトランジスタ M 1 と表記されることもあるし、トランジスタ M 1 と略記されることもあり得るが、それらは全て同じものを指す。

[0010] まず、本開示の実施形態の記述にて用いられる幾つかの用語について説明を設ける。ラインとは電気信号が伝播又は印加される配線を指す。グランドとは、基準となる 0 V（ゼロボルト）の電位を有する基準導電部を指す又は 0 V の電位そのものを指す。基準導電部は金属等の導体にて形成される。0 V の電位をグランド電位と称することもある。本開示の実施形態において、特に基準を設けずに示される電圧はグランドから見た電位を表す。レベルとは電位のレベルを指し、任意の注目した信号又は電圧についてハイレベルはローレベルよりも高い電位を有する。任意のデジタル信号はハイレベル又はローレベルの信号レベルをとる。任意の注目した信号又は電圧について、信号又は電圧がハイレベルにあるとは厳密には信号又は電圧のレベルがハイレベルにあることを意味し、信号又は電圧がローレベルにあるとは厳密には信号又は電圧のレベルがローレベルにあることを意味する。任意の注目した信号又は電圧において、ローレベルからハイレベルへの切り替わりをアップエッジ（或いはライジングエッジ）と称し、ハイレベルからローレベルへの切り替わりをダウンエッジ（或いはフォーリングエッジ）と称する。

[0011] MOSFET を含む FET（電界効果トランジスタ）として構成された任

意のトランジスタについて、オン状態とは、当該トランジスタのドレイン及びソース間が導通している状態を指し、オフ状態とは、当該トランジスタのドレイン及びソース間が非導通となっている状態（遮断状態）を指す。FETに分類されないトランジスタについても同様である。MOSFETは、特に記述無き限り、エンハンスメント型のMOSFETであると解される。MOSFETは“metal-oxide-semiconductor field-effect transistor”の略称である。以下、任意のトランジスタについて、オン状態、オフ状態を、単に、オン、オフと表現することもある。また、任意のトランジスタについて、トランジスタがオン状態となっている期間をオン期間と称することがあり、トランジスタがオフ状態となっている期間をオフ期間と称することもある。

[0012] ハイレベル又はローレベルの信号レベルをとる任意の信号について、当該信号のレベルがハイレベルとなる期間をハイレベル期間と称し、当該信号のレベルがローレベルとなる期間をローレベル期間と称する。ハイレベル又はローレベルの電圧レベルをとる任意の電圧についても同様である。任意の回路素子、配線（ライン）、ノードなど、回路を形成する複数の部位間についての接続とは、特に記述なき限り、電氣的な接続を意味する。

[0013] 図1は、本開示の実施形態に係るスイッチング電源装置APの全体構成図である。図1のスイッチング電源装置APは、入力電圧 V_{IN} から入力電圧 V_{IN} よりも低い出力電圧 V_{OUT} を生成する降圧型DC/DCコンバータとして構成されている。入力電圧 V_{IN} 及び出力電圧 V_{OUT} は正の直流電圧である。スイッチング電源装置APは、スイッチング電源用回路としての半導体装置1と、後述のスイッチ電圧 V_{SW} を整流及び平滑化することで出力電圧 V_{OUT} を生成する整流平滑回路2と、を備える。半導体装置1は、いわゆる電源ICである。整流平滑回路2はインダクタL1及び出力コンデンサC1から成る。

[0014] 図2に半導体装置1の外観の例を示す。半導体装置1は、半導体基板上に形成された半導体集積回路を有する半導体チップと、半導体チップを収容する筐体（パッケージ）と、筐体から半導体装置1の外部に対して露出する複

数の外部端子と、を備えた電子部品である。半導体チップを樹脂にて構成された筐体（パッケージ）内に封入することで半導体装置 1 が形成される。半導体装置 1 を形成する各回路（後述の制御ブロック 10、出力段回路 20 及び内部電源回路 30 を含む）が上記の半導体集積回路に含まれる。尚、図 2 に示される半導体装置 1 の外部端子の数及び半導体装置 1 の筐体の種類は例示に過ぎず、それらを任意に設計可能である。

[0015] 半導体装置 1 に設けられる複数の外部端子の一部として、図 1 には外部端子 IN、SW、GND 及び FB が示されている。外部端子 IN は入力電圧 V_{IN} を受けるべき入力端子であり、外部端子 GND はグラウンドに接続されるべきグラウンド端子である。スイッチング電源装置 AP において、入力端子 IN に入力電圧 V_{IN} が印加され、グラウンド端子 GND はグラウンドに接続される。入力電圧 V_{IN} は正の直流電圧値を有するので、グラウンド端子 GND は入力端子 IN よりも低電位側に設けられることになる。外部端子 SW は後述のノード ND 1 に接続されるスイッチ端子である。外部端子 FB は帰還電圧 V_{FB} を受けるべき帰還端子である。スイッチング電源装置 AP では、出力電圧 V_{OUT} が加わるノード ND 2 が、直接、帰還端子 FB に接続される。このため、帰還端子 FB に加わる帰還電圧 V_{FB} は出力電圧 V_{OUT} と等しい。

[0016] 半導体装置 1 は、制御ブロック 10、出力段回路 20 及び内部電源回路 30 を備える。この他にも逆流検出回路及び異常検出保護回路などが設けられるが、ここでは、それらの図示及び説明を省略する。また、出力段回路 20 は半導体装置 1 の外部に設けられて半導体装置 1 に外付け接続されるものであっても良い。

[0017] 出力段回路 20 は、出力トランジスタとして機能するハイサイドトランジスタ M1 と、同期整流トランジスタとして機能するローサイドトランジスタ M2 と、を備え、制御ブロック 10 の制御の下で入力電圧 V_{IN} をスイッチングする。トランジスタ M1 及び M2 は互いに直列接続されている。即ち、出力段回路 20 はトランジスタ M1 及び M2 の直列回路を有する。スイッチング電源装置 AP は、トランジスタ M1 及び M2 を用いて同期整流方式にて直流

一直流変換を行う。トランジスタM1及びM2はNチャネル型のMOSFETとして構成されている。尚、トランジスタM1をPチャネル型のMOSFETとして構成する変形も可能である。また、トランジスタM2をダイオードに置きかえることもでき、この場合、スイッチング電源装置APは非同期整流方式にて直流－直流変換を行うことになる。

[0018] トランジスタM1のドレインは入力端子INに接続され、従って入力電圧 V_{IN} の入力を受ける。トランジスタM1のソースとトランジスタM2のドレインはノードND1にて共通接続される。トランジスタM2のソースはグラウンド端子GNDに接続される（従ってグラウンドに接続される）。ノードND1に生じる電圧をスイッチ電圧と称し、記号“ V_{SW} ”にて表す。半導体装置1の内部においてスイッチ端子SWはノードND1に接続され、半導体装置1の外部においてスイッチ端子SWはインダクタL1の一端に接続される。故に、インダクタL1の一端とノードND1との間にスイッチ端子SWが介在する。インダクタL1の他端はノードND2に接続される。ノードND2に出力電圧 V_{OUT} が生じる。ノードND2とグラウンドとの間に出力コンデンサC1が接続される。尚、トランジスタM1をPチャネル型のMOSFETとして構成する場合にあってはトランジスタM1のソース及びドレインの関係が、上述したものと逆になる（即ち、トランジスタM1のソース、ドレインが、夫々、入力端子IN、ノードND1に接続されることになる）。

[0019] 図1において、“LD”は、ノードND2とグラウンドとの間に接続される負荷を表している。負荷LDは出力電圧 V_{OUT} に基づき駆動する任意の負荷である。インダクタL1に流れる電流をインダクタ電流と称し、記号“ I_L ”にて表す。

[0020] 制御ブロック10は、出力電圧 V_{OUT} の情報（即ち帰還電圧 V_{FB} ）と、インダクタ電流 I_L の情報とに基づき、トランジスタM1及びM2のオン／オフを制御し、これによって出力電圧 V_{OUT} を所定の目標電圧 V_{TG} （例えば0.9V）に安定化させる。即ち、制御ブロック10は所謂カレントモード制御方式にてトランジスタM1及びM2を駆動することが可能となっている。ここでは、

トランジスタM1のオン期間においてトランジスタM1に流れる電流 I_{M1} を、インダクタ電流 I_L の情報として用いる。

[0021] 制御ブロック10は、トランジスタM1のゲートにゲート信号G1を供給することでトランジスタM1の状態を制御し、トランジスタM2のゲートにゲート信号G2を供給することでトランジスタM2の状態を制御する。トランジスタM1は、ゲート信号G1のハイレベル期間においてオン状態となり、ゲート信号G1のローレベル期間においてオフ状態となる。トランジスタM2は、ゲート信号G2のハイレベル期間においてオン状態となり、ゲート信号G2のローレベル期間においてオフ状態となる。制御ブロック10により、出力段回路20の状態は、出力ハイ状態、出力ロー状態及び両オフ状態の何れかに制御及び設定される。出力ハイ状態では、トランジスタM1がオン状態であり且つトランジスタM2がオフ状態である。出力ロー状態では、トランジスタM1がオフ状態であり且つトランジスタM2がオン状態である。両オフ状態では、トランジスタM1及びM2が共にオフ状態である。トランジスタM1及びM2が共にオン状態とされることは無い。

[0022] 内部電源回路30は、入力電圧 V_{IN} から所定の内部電源電圧を生成する。制御ブロック10を構成する各回路は内部電源電圧に基づいて駆動する。内部電源電圧は複数あって良い。

[0023] 制御ブロック10は、エラーアンプ11、基準電圧供給回路12、スロープ電圧生成回路13、メインコンパレータ14、セット信号発行回路15、PWM回路16及びゲートドライバ17を有する。尚、“PWM”はパルス幅変調の略語である。

[0024] エラーアンプ11は、反転入力端子、非反転入力端子及び出力端子を備える。エラーアンプ11の反転入力端子は帰還端子FBに接続される。故に、エラーアンプ11の反転入力端子には帰還電圧 V_{FB} が入力される。エラーアンプ11の非反転入力端子に対しては、基準電圧供給回路12から基準電圧 V_{REF} が入力される。エラーアンプ11の出力端子はラインLN1に接続される。エラーアンプ11は、反転入力端子に加わる帰還電圧 V_{FB} と非反転入力端子に

加わる基準電圧 V_{REF} との差電圧に応じた誤差電圧 V_{CMP} を生成する。エラーアンプ 11 は、その差電圧に応じた誤差電流信号による電荷をライン L N 1 に対して入出力することで、ライン L N 1 に誤差電圧 V_{CMP} を生じさせる。具体的にはエラーアンプ 11 は、基準電圧 V_{REF} が帰還電圧 V_{FB} よりも高いときには誤差電圧 V_{CMP} が高くなるようにライン L N 1 に向けて誤差電流信号による電流を出力し、帰還電圧 V_{FB} が基準電圧 V_{REF} よりも高いときには誤差電圧 V_{CMP} が低くなるようにライン L N 1 からエラーアンプ 11 に向けて誤差電流信号による電流を引き込む。基準電圧 V_{REF} と帰還電圧 V_{FB} との差電圧の絶対値が増大するにつれて、誤差電流信号による電流の大きさも増大する。尚、抵抗及びコンデンサの直列回路から成る位相補償部（不図示）がライン L N 1 とグランドとの間に設けられていて良く、この位相補償部はエラーアンプ 11 と協働してライン L N 1 に誤差電圧 V_{CMP} を生じさせる。

[0025] 基準電圧供給回路 12 は基準電圧 V_{REF} を生成して、生成した基準電圧 V_{REF} をエラーアンプ 11 の非反転入力端子に供給する。

[0026] スロープ電圧生成回路 13 は、トランジスタ M1 のオン期間においてトランジスタ M1 に流れる電流 I_{M1} に応じたスロープ電圧 V_{SLP} を生成する。電流 I_{M1} にインダクタ電流 I_L の情報が含まれる。

[0027] メインコンパレータ 14 は、スロープ電圧 V_{SLP} と誤差電圧 V_{CMP} とを比較して、その比較結果を示すデジタル信号である信号 R S T を出力する。スロープ電圧 V_{SLP} が誤差電圧 V_{CMP} より高いとき、信号 R S T はハイレベルとなり、スロープ電圧 V_{SLP} が誤差電圧 V_{CMP} より低いとき、信号 R S T はローレベルとなる。スロープ電圧 V_{SLP} が誤差電圧 V_{CMP} と一致するとき、信号 R S T はハイレベル又はローレベルとなる。メインコンパレータ 14 の出力信号 R S T の内、ハイレベルの信号 R S T のみがリセット信号として機能し、ローレベルの信号 R S T はリセット信号に該当しない。以下、メインコンパレータ 14 からハイレベルの信号 R S T が出力されることを、リセット信号の発行又は出力と表現することがある。メインコンパレータ 14 は、スロープ電圧 V_{SLP} 及び誤差電圧 V_{CMP} に基づきリセット信号を発行するリセット信号発行回路として機能する

。

[0028] セット信号発行回路 15 は、デジタル信号である信号 S E T を PWM 回路 16 に対して出力する。セット信号発行回路 15 の出力信号 S E T の内、ハイレベルの信号 S E T のみがセット信号として機能し、ローレベルの信号 S E T はセット信号に該当しない。以下、セット信号発行回路 15 からハイレベルの信号 S E T が出力されることを、セット信号の発行又は出力と表現することがある。セット信号発行回路 15 は所定の周波数 f_{CLK} にて周期的にセット信号を発行できる。即ち、図 3 に示す如く、セット信号発行回路 15 は所定の周波数 f_{CLK} の逆数の間隔で信号 S E T に繰り返しアップエッジを発生させることができる。信号 S E T は所定の微小時間だけハイレベルとなるパルスを含み、信号 S E T においてパルスは周波数 f_{CLK} の逆数の間隔で繰り返し発生する。

[0029] PWM 回路 16 は、フリップフリップなどのロジック回路にて構成され、セット信号発行回路 15 からの信号 S E T とメインコンパレータ 14 からの信号 R S T とに基づいて、トランジスタ M1 及び M2 のオン／オフ状態を指定する制御信号 C N T を生成及び出力する。ゲートドライバ 17 は、制御信号 C N T に基づいてトランジスタ M1 のゲート信号 G 1 及びトランジスタ M2 のゲート信号 G 2 を制御する。

[0030] 図 4 に、信号 S E T、R S T、C N T、G 1 及び G 2 の関係を示す。信号 S E T、R S T、C N T、G 1 及び G 2 の夫々は、ハイレベル及びローレベルの何れかをとる二値信号である。信号 R S T がローレベルである状態でハイレベルの信号 S E T が PWM 回路 16 に入力されたとき（即ちセット信号が発行されたとき）、制御信号 C N T はハイレベルとなり、以後、ハイレベルの信号 R S T が PWM 回路 16 に入力されるまで（即ちリセット信号が発行されるまで）制御信号 C N T はハイレベルに保持される。信号 S E T がローレベルである状態でハイレベルの信号 R S T が PWM 回路 16 に入力されたとき（即ちリセット信号が発行されたとき）、制御信号 C N T はローレベルとなり、以後、ハイレベルの信号 S E T が PWM 回路 16 に入力されるま

で（即ちセット信号が発行されるまで）制御信号CNTはローレベルに保持される。信号SET及びRSTが共にローレベルである期間では、制御信号CNTは保持されたレベルにて維持される。制御ブロック10において信号SET及びRSTが同時にハイレベルとなることは無い。

[0031] ゲートドライバ17は、制御信号CNTのハイレベル期間において、ゲート信号G1、G2を、夫々、ハイレベル、ローレベルとし、これによって出力段回路20を出力ハイ状態とする。ゲートドライバ17は、制御信号CNTのローレベル期間において、ゲート信号G1、G2を、夫々、ローレベル、ハイレベルとし、これによって出力段回路20を出力ロー状態とする。尚、逆流電流の検出時や異常の発生時には、上述の制御以外の制御が実行されるが、ここでは、その説明を省略する。逆流電流とは、インダクタL1からノードND1及びトランジスタM2を通じグランドに向けて流れる電流を指す。

[0032] 上述の如く構成された制御ブロック10は、帰還電圧 V_{FB} 及びスロープ電圧 V_{SLP} に基づき、トランジスタM1及びM2を交互にオン、オフとする（即ち、出力段回路20の状態を出力ハイ状態及び出力ロー状態間で切り替える）スイッチング動作を行うことで、出力電圧 V_{OUT} を所定の目標電圧 V_{TG} に安定化させることができる。尚、スイッチング動作において、トランジスタM1及びM2を交互にオン、オフとするとは、出力ロー状態及び出力ハイ状態間の遷移の間に、デッドタイム等を考慮した両オフ状態が介在することを含む概念である。

[0033] 上記スイッチング動作により出力段回路20にて入力電圧 V_{IN} がスイッチングされる。即ち、スイッチング動作により、実質的に入力電圧 V_{IN} のレベルとグランドのレベルとでレベルが変動する矩形波状の電圧がスイッチ電圧 V_{SW} として現れる。当該スイッチ電圧 V_{SW} がインダクタL1及び出力コンデンサC1にて整流及び平滑化されることで直流の出力電圧 V_{OUT} が得られる。

[0034] 制御ブロック10では、上記スイッチング動作を通じて、帰還電圧 V_{FB} と基準電圧 V_{REF} との差電圧を減ずる帰還制御（換言すれば該差電圧をゼロに一致さ

せる制御)が実行される。このため、出力電圧 V_{OUT} の目標電圧 V_{TG} は基準電圧 V_{REF} に依存して定まる。更に、スイッチング電源装置A Pでは、出力電圧 V_{OUT} そのものが帰還電圧 V_{FB} として用いられるので、目標電圧 V_{TG} は基準電圧 V_{REF} と一致し、結果、出力電圧 V_{OUT} を基準電圧 V_{REF} にて安定化させる帰還制御が実行されることになる。

[0035] スロープ電圧 V_{SLP} について説明を補足する。トランジスタM 1 のオン期間においてトランジスタM 1 に流れる電流 I_{M1} は、トランジスタM 1 のオン期間におけるインダクタ電流 I_L に等しいため、スロープ電圧 V_{SLP} はトランジスタM 1 のオン期間におけるインダクタ電流 I_L の情報を示している。即ち、スロープ電圧 V_{SLP} は、トランジスタM 1 のオン期間におけるトランジスタM 1 又はインダクタL 1 の電流情報を含んでいる。当該電流情報を含むスロープ電圧 V_{SLP} の生成方法として公知の任意の方法を利用できる。図5 Aにスロープ電圧生成回路1 3の構成の例を示し、図5 Bにスロープ電圧 V_{SLP} に関与する電流及び電圧の波形を示す。図5 Aのスロープ電圧生成回路1 3は、I V変換部1 3 aと、ランプ電圧生成回路1 3 bと、加算部1 3 cと、備える。I V変換部1 3 aは、トランジスタM 1 のオン期間中にトランジスタM 1 に流れる電流 I_{M1} (即ちトランジスタM 1 のオン期間中におけるインダクタ電流 I_L)を電圧に変換することにより、当該電流 I_{M1} に比例したセンス電圧 V_{SNS} を生成する。ランプ電圧生成回路1 3 bは、トランジスタM 1 のオン期間中において0 Vを起点に徐々に増加する鋸波状のランプ電圧 V_{RMP} を生成する。加算部1 3 cは、センス電圧 V_{SNS} とランプ電圧 V_{RMP} の和の電圧をスロープ電圧 V_{SLP} として生成する。トランジスタM 1 のオン期間以外の期間においてスロープ電圧 V_{SLP} は0 Vである(但し、所定のバイアス電圧値を有していても良い)。周知の如く、ランプ電圧 V_{RMP} の加算により、カレントモード制御における出力帰還ループの発振を抑制することができる。

[0036] 図6に帰還制御の中で実行されるスイッチング動作のタイミングチャートを示す。制御信号C N Tがローレベルであって且つ信号S E Tがローレベルであるタイミング t_{A0} を起点に考える。タイミング t_{A0} ではスロープ電圧 V_{SLP}

は0 Vであり、その後、タイミング t_{A1} にて信号 S E T にアップエッジが生じる。即ち、タイミング t_{A1} にてセット信号が発行される。セット信号の発行を受けて制御信号 C N T がローレベルからハイレベルに切り替わることで出力段回路 20 は出力ロー状態から出力ハイ状態に切り替わる。出力段回路 20 が出力ハイ状態である期間では、インダクタ電流 I_L が徐々に増大してゆき、これに連動してスロープ電圧 V_{SLP} も徐々に上昇してゆく。そして、誤差電圧 V_{CMP} 未満であったスロープ電圧 V_{SLP} がタイミング t_{A2} にて誤差電圧 V_{CMP} にまで達すると、メインコンパレータ 14 の出力信号 R S T がローレベルからハイレベルに切り替わる、即ちリセット信号が発行される。リセット信号の発行を受けて制御信号 C N T がハイレベルからローレベルに切り替わることで出力段回路 20 は出力ハイ状態から出力ロー状態に切り替わる。出力段回路 20 が出力ロー状態となると、速やかにスロープ電圧 V_{SLP} が0 Vまで低下するため、信号 R S T はローレベルに戻る。以後、同様の動作が繰り返される。

[0037] セット信号は周波数 f_{CLK} の逆数の間隔で繰り返し発行されるのでトランジスタ M1 及び M2 は周波数 f_{CLK} にて P W M 制御されることになる。即ち、スイッチング電源装置 A P では、入力電圧 V_{IN} が周波数 f_{CLK} にてパルス幅変調されることで出力電圧 V_{OUT} が得られる。周波数 f_{CLK} は一定であっても良いし、スペクトラム拡散技術を用いて周波数 f_{CLK} を所定周波数範囲内で変動させても良い。尚、特に図示しないが、或る状態を基準に、負荷 L D の消費電流が減少した際には、誤差電圧 V_{CMP} の低下、インダクタ電流 I_L の平均値の低下及び出力デューティの低下が生じる一方、負荷 L D の消費電流が増加した際には、誤差電圧 V_{CMP} の上昇、インダクタ電流 I_L の平均値の上昇及び出力デューティの上昇が生じ、これによって出力電圧 V_{OUT} が目標電源 V_{TG} に保たれる。出力デューティとは、出力段回路 20 が出力ハイ状態となる期間と出力段回路 20 が出力ロー状態となる期間との和に対する、出力段回路 20 が出力ハイ状態となる期間の比を表す。

[0038] 図 7 に基準電圧 V_{REF} の変化の様子を示す。基準電圧 V_{REF} は、入力端子 I N への入力電圧 V_{IN} の供給開始後のタイミング t_{B1} において所定の下限電圧 V_L を有

する。基準電圧供給回路 12 は、タイミング t_{B1} からタイミング t_{B1} よりも後のタイミング t_{B2} にかけて徐々に基準電圧 V_{REF} を所定の下限電圧 V_L から所定の上限電圧 V_H へと単調に上昇させ、タイミング t_{B2} の後、基準電圧 V_{REF} を上限電圧 V_H に保持する。下限電圧 V_L は 0 V（ゼロボルト）であり、上限電圧 V_H は出力電圧 V_{OUT} の目標電圧 V_{TG} と一致する。これにより、半導体装置 1 及びスイッチング電源装置 AP の起動時において、出力電圧 V_{OUT} を徐々に 0 V から目標電圧 V_{TG} に向けて上昇させるソフトスタート動作が実現される。図 6 を参照して説明したスイッチング動作は、タイミング t_{B1} 以降の任意の期間において実行される。尚、下限電圧 V_L は 0 V 以外であり得ても良い（但し、 $V_L < V_H$ ）。

[0039] <<参考例>>

半導体装置 1 はエラーアンプ 11 において特異な構成を有する。この特異な構成の説明に先立ち、参考例に係るエラーアンプ 11 r の構成を図 8 に示す。参考例に係るエラーアンプ 11 r は、トランジスタ 911 及び 912 から成る差動入力対 910 を備える。トランジスタ 911 のゲートには出力電圧 V_{OUT} の分圧が帰還電圧 V_{FB}' として入力され、トランジスタ 912 のゲートには基準電圧 V_{REF} が入力される。そして、エラーアンプ 11 r は、帰還電圧 V_{FB}' 及び基準電圧 V_{REF} 間の差電圧に応じた誤差電圧 V_{CMP}' を生成する。半導体装置 1 及びスイッチング電源装置 AP の起動の際、基準電圧 V_{REF} は 0 V に近い電圧を有するため、トランジスタ 911 及び 912 のチャネル型が N チャネル型であると、トランジスタ 911 及び 912 の動作に必要なゲートソース間電圧を確保できず、差動入力対 910 が正しく動作しない（帰還電圧 V_{FB}' 及び基準電圧 V_{REF} 間の差電圧に応じた誤差電圧 V_{CMP}' を生成できない）。このため、エラーアンプ 11 r では、P チャネル型の MOSFET にてトランジスタ 911 及び 912 を形成する。

[0040] また、エラーアンプ 11 r において “ $V_{FB}' = V_{OUT}$ ” とすることも可能ではあるが、“ $V_{FB}' = V_{OUT}$ ” とすると、エラーアンプ 11 r の電源電圧 V_{DD}' を、出力電圧 V_{OUT} と P チャネル型の MOSFET のゲート閾電圧の大きさとの和よりも高く設定する必要があるが生じる。これは省電力化等にとって不利である

。電源電圧 V_{DD}' を高めることができないという制約の下でエラーアンプ11rを正しく動作させるためには、出力電圧 V_{OUT} の抵抗分割が必要となる。故に、図8の構成では、出力電圧 V_{OUT} の抵抗分割することで出力電圧 V_{OUT} の分圧を生成し、当該分圧をエラーアンプ11rへの帰還電圧 V_{FB}' として用いている。

[0041] しかしながら、出力電圧 V_{OUT} の抵抗分割を行うと出力電圧 V_{OUT} のノイズが増大する。これについて簡単な数値例を挙げて説明する。出力電圧 V_{OUT} の目標電圧 V_{TG} が0.9Vであって、且つ、“ $V_{FB}' = (1/3)V_{OUT}$ ”である場合を想定する。この場合、ソフトスタート動作の完了後における基準電圧 V_{REF} （即ち上限電圧 V_H ）は0.3Vに設定される。今、ソフトスタート動作の完了後、仮に、基準電圧 V_{REF} が設定電圧“0.3V”からノイズにより0.1Vだけずれて0.4Vになったとする。そうすると、参考例に係る帰還制御により出力電圧 V_{OUT} は1.2Vに制御されることになる。即ち、出力電圧 V_{OUT} が目標電圧 V_{TG} から0.3Vもずれることになる。一方、上記数値例において、“ $V_{FB}' = V_{OUT}$ ”であったならば、ソフトスタート動作の完了後における基準電圧 V_{REF} （即ち上限電圧 V_H ）は0.9Vに設定されることになる。そうすると、基準電圧 V_{REF} が設定電圧“0.9V”からノイズにより0.1Vだけずれて1.0Vになったとしても、出力電圧 V_{OUT} は1.0Vに制御されることになるので、出力電圧 V_{OUT} の目標電圧 V_{TG} からのずれは0.1Vで済む。

[0042] このように、出力電圧 V_{OUT} の抵抗分割は出力電圧 V_{OUT} のノイズの増大要因となる。故に、出力電圧 V_{OUT} の抵抗分割を行わない方が低ノイズ化に有利であるが、図8の構成では電源電圧 V_{DD}' の制約等から抵抗分割を行わざるを得ない。

[0043] これらを考慮し、出力電圧 V_{OUT} のノイズ低減に寄与する構成がエラーアンプ11に採用される。以下、複数の実施例の中で、スイッチング電源装置AP（特にエラーアンプ11）に関する幾つかの具体的な構成例、応用技術、変形技術等を説明する。本実施形態にて上述した事項（但し、参考例に関わる事項を除く）は、特に記述無き限り且つ矛盾無き限り、以下の各実施例に適

用される。各実施例において、上述の事項と矛盾する事項がある場合には、各実施例での記載が優先されて良い。また矛盾無き限り、以下に示す複数の実施例の内、任意の実施例に記載した事項を、他の任意の実施例に適用することもできる（即ち複数の実施例の内の任意の2以上の実施例を組み合わせることも可能である）。

[0044] <<第1実施例>>

第1実施例を説明する。図9は第1実施例に係るエラーアンプ100の回路図である。第1実施例ではエラーアンプ100を図1のエラーアンプ11として用いる。端的に言えば、第1実施例では、出力電圧 V_{OUT} の抵抗分割を行うことなく出力電圧 V_{OUT} そのものを帰還電圧 V_{FB} として用い、半導体装置1及びスイッチング電源装置APの起動時には（ソフトスタート動作の実行中においては）Pチャネル型のMOSFETにて構成された差動入力対110を用いて誤差電圧 V_{CMP} を生成する。そして、半導体装置1及びスイッチング電源装置APの起動完了後では（ソフトスタート動作の完了後においては）、Nチャネル型のMOSFETにて構成された差動入力対120を用いて誤差電圧 V_{CMP} を生成する。以下、図9のエラーアンプ100の構成及び動作について詳細に説明する。

[0045] エラーアンプ100は、トランジスタ111、112、121、122、131、141～148、161～166及び171～174を備える。これらのトランジスタの内、トランジスタ111、112、141～144及び161～166はPチャネル型のMOSFETにて形成され、トランジスタ121、122、131、145～148及び171～174はNチャネル型のMOSFETにて形成される。

[0046] また、エラーアンプ100は、定電流源160、抵抗149、150、167、170及び175～177を備える。図9に示される、ラインLN11～LN17、LN21及びLN22を含む複数のラインもエラーアンプ100の構成要素に含まれる。ラインLN11は電源電圧VDDが印加される電源ラインである。電源電圧VDDは所定の正の直流電圧値（例えば1.5

V)を有する。電源電圧VDDは内部電源回路30(図1参照)にて生成されて良い。ラインLN17はグランド電位(即ち0Vの電位)を有するグランドラインである。

[0047] 更に、エラーアンプ100は端子101~103を備える。端子101、102は、夫々、エラーアンプ100の反転入力端子、非反転入力端子である。従って、端子101、102は、夫々、図1のエラーアンプ11の反転入力端子、非反転入力端子として機能し、端子101に帰還電圧 V_{FB} が入力される一方で端子102に基準電圧 V_{REF} が入力される。端子103はエラーアンプ100の出力端子である。従って、端子103は図1のエラーアンプ11の出力端子として機能し、端子103はエラーアンプ100の外部において図1のラインLN1に接続される(ラインLN1への接続の様子を図9では図示せず)。

[0048] トランジスタ111及び112により差動入力対110(第1差動入力対)が形成される。トランジスタ111及び112は互いに共通の構造を有する2つのPチャネル型MOSFETである。また、トランジスタ111及び112の温度が実質的に一致するよう、トランジスタ111及び112は互いに近接して配置される。トランジスタ121及び122により差動入力対120(第2差動入力対)が形成される。トランジスタ121及び122は互いに共通の構造を有する2つのNチャネル型MOSFETである。また、トランジスタ121及び122の温度が実質的に一致するよう、トランジスタ121及び122は互いに近接して配置される。高いノイズ耐性を有するNチャネル型MOSFET(換言すれば低ノイズのNチャネル型MOSFET)をトランジスタ121及び122として用いると良い。

[0049] トランジスタ131により流路切替回路130が形成される。流路切替回路130の機能は後述の説明から明らかとなる。更に、トランジスタ141~148並びに抵抗149及び150により誤差電圧生成回路140が形成される。

[0050] エラーアンプ100は各回路素子の接続関係を説明する。トランジスタ1

61、162、165、141及び142の各ソースは電源ラインLN11に接続される。トランジスタ161、162、165、141及び142の夫々のソースと電源ラインLN11との間に、個別に、抵抗が挿入されても良い。トランジスタ161、162、165、141及び142の各ゲートと、トランジスタ163のドレインとは、ラインLN12に共通接続される。トランジスタ161、162、165、141、142のドレインは、夫々、トランジスタ163、164、166、143、144のソースに接続される。トランジスタ163、164、166、143及び144の各ゲートは、ラインLN13に共通接続される。また、トランジスタ163のドレインは抵抗167を介してラインLN13に接続される。定電流源160はラインLN13とグランドとの間に設けられる。

[0051] トランジスタ166のドレインはラインLN14に接続される。また、ラインLN14に対しては、トランジスタ111及び112の各ソースも接続され且つトランジスタ131のドレインも接続される。トランジスタ111及び121のゲート同士は互いに接続される。トランジスタ111及び121の各ゲートは抵抗177を介して端子101に接続される。尚、抵抗177を削除することも可能である。この場合、トランジスタ111及び121の各ゲートは端子101に直接接続される。何れにせよ、トランジスタ111及び121の各ゲートに帰還電圧 V_{FB} が加わる。トランジスタ112、122及び131のゲート同士は互いに接続され、トランジスタ112、122及び131の各ゲートは端子102に接続される。故に、トランジスタ112及び122の各ゲートに基準電圧 V_{REF} が加わり、更にトランジスタ131のゲートにも基準電圧 V_{REF} が加わる。トランジスタ131のソースはグランドに接続される。

[0052] トランジスタ143のドレインと、トランジスタ145のドレインと、トランジスタ147及び148の各ゲートとは、ラインLN21に共通接続される。トランジスタ144のドレインとトランジスタ146のドレインとは、ラインLN22に共通接続される。またラインLN22は端子103に接

続される。トランジスタ 145 のソースと、トランジスタ 147 のドレインと、トランジスタ 112 のドレインは、互いに接続される。トランジスタ 146 のソースと、トランジスタ 148 のドレインと、トランジスタ 111 のドレインは、互いに接続される。トランジスタ 147 のソースは抵抗 149 を介してグラウンドライン LN17 に接続され、トランジスタ 148 のソースは抵抗 150 を介してグラウンドライン LN17 に接続される。

[0053] トランジスタ 121 のドレインは、トランジスタ 142 のドレインとトランジスタ 144 のソースとに接続される。トランジスタ 122 のドレインは、トランジスタ 141 のドレインとトランジスタ 143 のソースとに接続される。トランジスタ 121 及び 122 の各ソースと、トランジスタ 172 のドレインとは、ライン LN15 に共通接続される。トランジスタ 172 のソースはトランジスタ 174 のドレインに接続される。トランジスタ 174 のソースは抵抗 176 を介してグラウンドライン LN17 に接続される。

[0054] トランジスタ 164 のドレインと、トランジスタ 171、172、145 及び 146 の各ゲートとは、ライン LN16 に共通接続される。また、トランジスタ 164 のドレインは抵抗 170 を介してトランジスタ 171 のドレインに接続される。トランジスタ 171 のドレインはトランジスタ 173 及び 174 の各ゲートに接続される。トランジスタ 171 のソースはトランジスタ 173 のドレインに接続される。トランジスタ 173 のソースは抵抗 175 を介してグラウンドライン LN17 に接続される。

[0055] エラーアンプ 100 の動作について説明する。定電流源 160 はライン LN13 からグラウンドに向けて所定の定電流を流す定電流動作を実行する。定電流源 160 にて定電流動作が行われることでトランジスタ 161～164 にドレイン電流が流れ、ライン LN16 に正の電圧が加わることで、スイッチとして機能するトランジスタ 171、172、145 及び 146 が夫々にオンとなる。これにより、トランジスタ 171～174 にドレイン電流が流れ且つトランジスタ 141～148 にドレイン電流が流れる状態となる。定電流動作が実行されていない場合には、エラーアンプ 100 を構成する各ト

ランジスタにドレイン電流が流れず、エラーアンプ100の動作は停止する。制御ブロック10（図1参照）は、定電流源160による定電流動作の実行の是非を制御することができる。少なくとも、図7に示すタイミング t_{B1} 以降では定電流源160にて常に定電流動作が行われる。以下、定電流源160にて定電流動作が継続的に行われているものとする。

[0056] トランジスタ165及び166は、トランジスタ161及び163、抵抗167及び定電流源160と協働して、第1所定電流値を有する定電流 I_{PT} を生成する。従って、エラーアンプ100は定電流 I_{PT} を生成する第1定電流生成回路を備えている。第1定電流生成回路の主たる構成要素はトランジスタ165及び166であるが、トランジスタ161及び163、抵抗167及び定電流源160も第1定電流生成回路の構成要素に含まれる、と解しても良い。定電流 I_{PT} は、電源ラインLN11からトランジスタ165及び166を通じラインLN14に向けて流れる。

[0057] トランジスタ174及び抵抗176は、トランジスタ173及び抵抗175、トランジスタ162及び164並びに定電流源160と協働して、第2所定電流値を有する定電流 I_{NT} を生成する。従って、エラーアンプ100は定電流 I_{NT} を生成する第2定電流生成回路を備えている。第2定電流生成回路の主たる構成要素はトランジスタ174及び抵抗176であるが、トランジスタ173及び抵抗175、トランジスタ162及び164並びに定電流源160も第2定電流生成回路の構成要素に含まれる、と解しても良い。定電流 I_{NT} は、ラインLN15からトランジスタ172及び174並びに抵抗176を通じグラウンドラインLN17に向けて流れる。

[0058] 但し、端子101及び102に加わる電圧 V_{FB} 及び V_{REF} が十分に高まった後においてのみ、第2定電流生成回路が機能して定電流 I_{NT} が第2所定電流値を持つ。即ち例えば、電圧 V_{FB} 及び V_{REF} が0V又は0Vに近い電圧であるときには、トランジスタ121及び122に実質的な電流が流れないので、トランジスタ121及び122のドレイン電流の和に相当すべき定電流 I_{NT} の値も実質的にゼロとなる。少なくとも、電圧 V_{FB} 及び V_{REF} が上限電圧 V_H と同じである

とき又は上限電圧 V_H よりも低いが上限電圧 V_H に近い電圧値を有しているときには、定電流 I_{NT} は第2所定電流値を持つ。

[0059] 以下、トランジスタ111のドレイン電流を記号“ I_{P1} ”にて参照することがあり、トランジスタ112のドレイン電流を記号“ I_{P2} ”にて参照することがある。また、以下、トランジスタ121のドレイン電流を記号“ I_{N1} ”にて参照することがあり、トランジスタ122のドレイン電流を記号“ I_{N2} ”にて参照することがある。

[0060] 流路切替回路130は基準電圧 V_{REF} に基づいて定電流 I_{PT} の流路を第1流路及び第2流路間で切り替える。第1流路は差動入力対110を経由する流路である。より詳細には、第1流路は差動入力対110を経由し且つトランジスタ131を経由しない流路である。第2流路は差動入力対110を経由しない流路である。より詳細には、第2流路は差動入力対110を経由せず且つトランジスタ131を経由する流路である。

[0061] 流路切替回路130は、基準電圧 V_{REF} が相対的に低い状態（以下、状態ST1と称する）においては定電流 I_{PT} の流路を第1流路に設定し、基準電圧 V_{REF} が相対的に高い状態（以下、状態ST2と称する）においては定電流 I_{PT} の流路を第2流路に設定する。状態ST2における基準電圧 V_{REF} は状態ST1における基準電圧 V_{REF} よりも高い。基準電圧 V_{REF} が下限電圧 V_L から上限電圧 V_H へと上昇する過程の途中までは（図7参照）、基準電圧 V_{REF} は状態ST1にある。その途中から基準電圧 V_{REF} が更に上昇すると基準電圧 V_{REF} の状態は状態ST2に至る。少なくとも、基準電圧 V_{REF} が上限電圧 V_H と一致するとき、基準電圧 V_{REF} の状態は状態ST2である。

[0062] 以下のように考えることもできる。図10を参照し、下限電圧 V_L よりも高いが上限電圧 V_H よりも低い所定の電圧を中間電圧 V_M と称する。この場合、基準電圧 V_{REF} が中間電圧 V_M よりも低い状態が状態ST1に相当し、基準電圧 V_{REF} が中間電圧 V_M よりも高い状態が状態ST2に相当する。基準電圧 V_{REF} が中間電圧 V_M とちょうど一致する状態は状態ST1及びST2の何れかに分類される。

- [0063] 図9の構成例では、流路切替トランジスタ（流路切替スイッチ）として機能するトランジスタ131を用いて、定電流 I_{PT} の流路の切り替えを行う。状態ST1ではトランジスタ131がオフ状態である一方、状態ST2ではトランジスタ131がオン状態である。図9の構成例においてトランジスタ131のソースはグランドに接続されているため、中間電圧 V_M はトランジスタ131のゲート閾電圧に相当する。トランジスタ131のゲートーソース間電圧（ソース電位から見たゲート電位）がトランジスタ131のゲート閾電圧以上であるとき、トランジスタ131はオン状態となり、そうでないとき、トランジスタ131はオフ状態となる。但し、トランジスタ131のソースを、0V以外の固定電位が加わる端子（不図示）に接続しておいても良い。何れにせよ、基準電圧 V_{REF} が中間電圧 V_M よりも低い状態（即ち状態ST1）においてトランジスタ131がオフ状態となり、基準電圧 V_{REF} が中間電圧 V_M よりも高い状態（即ち状態ST2）においてトランジスタ131がオン状態となる。
- [0064] 状態ST1においてはトランジスタ131がオフであるため、定電流 I_{PT} がトランジスタ111のドレイン電流 I_{P1} とトランジスタ112のドレイン電流 I_{P2} とに分配される。故に、状態ST1において、ドレイン電流 I_{P1} 及び I_{P2} の和の大きさは定電流 I_{PT} の大きさと一致する。状態ST2においてはトランジスタ131がオンであるため、定電流 I_{PT} の全てがトランジスタ131に流れ、ドレイン電流 I_{P1} 及び I_{P2} は共にゼロとなる。
- [0065] 厳密には、基準電圧 V_{REF} が下限電圧 V_L から上限電圧 V_H へと上昇する過程において、状態ST1から状態ST2に遷移する際、短時間であるが、トランジスタ111、112及び131の夫々にドレイン電流が流れる中間状態も発生する。中間状態は、トランジスタ131に有意なドレイン電流が流れる程度の基準電圧 V_{REF} がトランジスタ131のゲートに加わっているものの、定電流 I_{PT} の全てをトランジスタ131のドレイン及びソース間に流せる程度には基準電圧 V_{REF} が高まっていない状態に相当する。但し、このような中間状態が実現される期間の長さは微小であって、且つ、中間状態の存在は特にエラ

ーアンプ100の動作に有意な影響を与えない。故に、以下では、中間状態の存在を無視し、状態ST1及びST2におけるエラーアンプ100の動作を説明する。

[0066] まず、状態ST1における動作を説明する。状態ST1においては、トランジスタ121及び122の夫々にドレイン電流が流れない程度に、基準電圧 V_{REF} が相対的に低く且つ基準電圧 V_{REF} と一致すべき帰還電圧 V_{FB} も相対的に低い。故に、状態ST1においては“ $I_{N1} = I_{N2} = 0$ ”であり、結果、定電流 I_{NT} も流れない（即ち“ $I_{NT} = 0$ ”である）。代わりに、状態ST1においては、上述の如く、定電流 I_{PT} がトランジスタ111及び112に分配されることで差動入力対110に電流 I_{P1} 及び I_{P2} が発生する。状態ST1において、差動入力対110の発生電流 I_{P1} 及び I_{P2} が誤差電圧生成回路140に作用することで、発生電流 I_{P1} 及び I_{P2} に応じた誤差電圧 V_{CMP} が出力端子103に生じる。

[0067] 状態ST1では、トランジスタ141及び143を通じて電源ラインLN11からラインLN21に供給される電流の大きさ（即ちトランジスタ141及び143のドレイン電流の大きさ）と、トランジスタ142及び144を通じて電源ラインLN11からラインLN22に供給される電流の大きさ（即ちトランジスタ142及び144のドレイン電流の大きさ）と、は互いに同じである。また、状態ST1及びST2の何れかに依らず、トランジスタ147及び148には互いに同じ大きさのドレイン電流が流れる。

[0068] 状態ST1において例えば“ $V_{FB} = V_{REF}$ ”であるとき、“ $I_{P1} = I_{P2} = I_{PT}/2$ ”である。このとき、トランジスタ111のドレイン電流 I_{P1} とトランジスタ144のドレイン電流との和電流の大きさは、トランジスタ112のドレイン電流 I_{P2} とトランジスタ143のドレイン電流との和電流の大きさと、同じとなる。このため、出力端子103を通じた電流の流れは発生せず、誤差電圧 V_{CMP} に変動は生じない。

[0069] 一方、状態ST1において例えば“ $V_{FB} > V_{REF}$ ”であるとき、“ $I_{P1} < I_{P2}$ ”となる。このとき、トランジスタ111のドレイン電流 I_{P1} とトランジスタ1

44のドレイン電流との和電流の大きさは、トランジスタ112のドレイン電流 I_{P2} とトランジスタ143のドレイン電流との和電流の大きさよりも小さくなる。このため、それら2つの和電流の差の大きさを持つ電流（正の電荷）が出力端子103からトランジスタ146及び148を通じてグラウンドラインLN17に引き込まれる。結果、誤差電圧 V_{CMP} が低下する。誤差電圧 V_{CMP} の低下は出力デューティの低下をもたらすので、電圧 V_{FB} 及び V_{REF} 間の差が低減する。状態ST1において“ $V_{FB} < V_{REF}$ ”であるときには、“ $V_{FB} > V_{REF}$ ”であるときと逆の動作が行われる。

[0070] このように状態ST1においては、定電流 I_{PT} に基づき差動入力対110が帰還電圧 V_{FB} 及び基準電圧 V_{REF} 間の差電圧に応じた電流（ I_{P1} 及び I_{P2} ）を発生させ、誤差電圧生成回路140が差動入力対110での発生電流（ I_{P1} 及び I_{P2} ）に基づき、その発生電流（ I_{P1} 及び I_{P2} ）に応じた誤差電圧 V_{CMP} を生成する。

[0071] 次に、状態ST2における動作を説明する。状態ST1及びST2の何れかに依らず、トランジスタ141のドレイン電流とトランジスタ142のドレイン電流は互いに同じ大きさを有する。また、状態ST1及びST2の何れかに依らず、トランジスタ147及び148には互いに同じ大きさのドレイン電流が流れる。

[0072] 状態ST2においては、基準電圧 V_{REF} が相対的に高く且つ基準電圧 V_{REF} と一致すべき帰還電圧 V_{FB} も相対的に高いため、トランジスタ174を含んで形成される上記第2定電流生成回路の機能により、トランジスタ121及び122にドレイン電流 I_{N1} 及び I_{N2} が流れる。即ち、定電流 I_{NT} に基づいて差動入力対120にドレイン電流 I_{N1} 及び I_{N2} が発生し、このときのドレイン電流 I_{N1} 及び I_{N2} の和が定電流 I_{NT} に相当する。他方、状態ST2においては上述の如くトランジスタ111及び112にドレイン電流は流れない（即ち“ $I_{P1} = I_{P2} = 0$ ”である）。状態ST2において、差動入力対120の発生電流 I_{N1} 及び I_{N2} が誤差電圧生成回路140に作用することで、発生電流 I_{N1} 及び I_{N2} に応じた誤差電圧 V_{CMP} が出力端子103に生じる。

[0073] 状態S T 2において例えば“ $V_{FB} = V_{REF}$ ”であるとき、“ $I_{N1} = I_{N2} = I_{NT}/2$ ”である。このとき、トランジスタ141のドレイン電流からトランジスタ122のドレイン電流 I_{N2} を差し引いて残る電流がトランジスタ143に流れ、且つ、トランジスタ142のドレイン電流からトランジスタ121のドレイン電流 I_{N1} を差し引いて残る電流がトランジスタ144に流れる。故に“ $I_{N1} = I_{N2} = I_{NT}/2$ ”であると、トランジスタ143のドレイン電流及びトランジスタ144のドレイン電流は互いに同じ大きさを持つ。そうすると、互いに同じ大きさを持つトランジスタ143のドレイン電流及びトランジスタ144のドレイン電流が、夫々、トランジスタ147のドレイン電流及びトランジスタ148のドレイン電流として流れるため、出力端子103を通じた電流の流れは発生せず、誤差電圧 V_{CMP} に変動は生じない。

[0074] 一方、状態S T 2において例えば“ $V_{FB} > V_{REF}$ ”であるとき、“ $I_{N1} > I_{N2}$ ”となる。このとき、トランジスタ141のドレイン電流からトランジスタ122のドレイン電流 I_{N2} を差し引いて残る電流がトランジスタ143に流れ、且つ、トランジスタ142のドレイン電流からトランジスタ121のドレイン電流 I_{N1} を差し引いて残る電流がトランジスタ144に流れる。故に“ $I_{N1} > I_{N2}$ ”であると、トランジスタ144のドレイン電流の方がトランジスタ143のドレイン電流よりも小さくなる。このため、トランジスタ144のドレイン電流とトランジスタ143のドレイン電流との差の大きさを持つ電流（正の電荷）が出力端子103からトランジスタ146及び148を通じてグラウンドラインLN17に引き込まれる。結果、誤差電圧 V_{CMP} が低下する。誤差電圧 V_{CMP} の低下は出力デューティの低下をもたらすので、電圧 V_{FB} 及び V_{REF} 間の差が低減する。状態S T 2において“ $V_{FB} < V_{REF}$ ”であるときには、“ $V_{FB} > V_{REF}$ ”であるときと逆の動作が行われる。

[0075] このように状態S T 2においては、定電流 I_{NT} に基づき差動入力対120が帰還電圧 V_{FB} 及び基準電圧 V_{REF} 間の差電圧に応じた電流（ I_{N1} 及び I_{N2} ）を発生させ、誤差電圧生成回路140が差動入力対120での発生電流（ I_{N1} 及び I_{N2} ）に基づき、その発生電流（ I_{N1} 及び I_{N2} ）に応じた誤差電圧 V_{CMP} を生成する。

。

[0076] 図 1 1 に参考例と第 1 実施例とを対比したシミュレーション結果を示す。

図 1 1 において、破線波形 8 1 0 は、参考例に係るエラーアンプ 1 1 r (図 8) を図 1 のエラーアンプ 1 1 として用いた場合における出力電圧 V_{OUT} のノイズ密度の周波数依存性を表す。実線波形 8 2 0 は、第 1 実施例に係るエラーアンプ 1 0 0 (図 9) を図 1 のエラーアンプ 1 1 として用いた場合における出力電圧 V_{OUT} のノイズ密度の周波数依存性を表す。エラーアンプ 1 1 の構成が異なる点を除き、波形 8 1 0 及び 8 2 0 を得るためのシミュレーション条件は共通である。但し、参考例では、出力電圧 V_{OUT} を $1/3$ に抵抗分割して得た分圧を帰還電圧 V_{FB}' として用いた (図 8 参照)。参考例との比較において第 1 実施例の構成を用いた方がノイズに関する特性が向上していることが分かる。

[0077] 尚、ここにおけるノイズ密度は、帰還電圧 V_{REF} が上限電圧 V_H に達した後のノイズ密度を表している。スイッチング電源装置 A P において低減すべき出力電圧 V_{OUT} のノイズは、出力電圧 V_{OUT} が目標電圧 V_{TG} にて安定化されているときのノイズであり、ソフトスタートの実行過程でのノイズの大小は問題にならない。

[0078] 上述の如く、スイッチング電源装置 A P では、起動時の状態 S T 1 においては P チャネル型の MOS F E T による差動入力対 1 1 0 を用いて誤差電圧 V_{CMP} を生成し、その後の状態 S T 2 においては N チャネル型の MOS F E T による差動入力対 1 2 0 を用いて誤差電圧 V_{CMP} を生成する。これにより、高い電源電圧 V_{DD} を必要とする等の制約を受けることなく、出力電圧 V_{OUT} そのものを帰還電圧 V_{FB} として利用できことが可能となり、出力電圧 V_{OUT} のノイズ低減が図られる。

[0079] また、流路切替回路 1 3 0 の設置により、基準電圧 V_{REF} が十分に高まった後は、トランジスタ 1 1 1 及び 1 1 2 に電流が流れないため、トランジスタ 1 1 1 及び 1 1 2 の電流に基づく誤動作も発生しない。即ち、基準電圧 V_{REF} が十分に高まった後は、トランジスタ 1 1 1、1 1 2、1 2 1 及び 1 2 2 の内、

Nチャネル型のMOSFETであるトランジスタ121及び122のみが動作することで正しく誤差電圧 V_{CMP} を生成することができる。

[0080] <<第2実施例>>

第2実施例を説明する。自動車等の車両に対してレーダ装置が設置されることも多い。車両に対して搭載されたレーダ装置（以下、車載レーダ装置と称する）は、車両と車両外に位置する物体との距離及び物体の速度（車両及び物体間の相対速度）などを検出できる。車載レーダ装置に対する電源電圧として低ノイズの直流電圧が要求される。車載レーダ装置の電源電圧にノイズが重畳していると車載レーダ装置における検出の精度に悪影響を及ぼすからであり、近年、低ノイズ化の要求度合いは相当に高くなってきている。

[0081] 一般にDC/DCコンバータに比べて、リニアレギュレータに属するLDO（Low Dropout）レギュレータの方が低ノイズである。このことから、DC/DCコンバータの出力電圧を用いてLDOレギュレータを駆動し、LDOレギュレータの出力電圧を用いて車載レーダ装置を駆動するという方式も一般に採用される。しかしながら、この方式は、熱損失の増大及び部品点数の増大を招く。このため、高効率化及び小型化等を目指し、DC/DCコンバータ単体で車載レーダ装置を駆動する方式が検討される。この場合には、DC/DCコンバータ単体の低ノイズ化が強く要求される。

[0082] 第1実施例に示したエラーアンプ100を含むスイッチング電源装置APは、この要求に応えることができる。従って、エラーアンプ100を図1のエラーアンプ11として用いたスイッチング電源装置APの出力電圧 V_{OUT} を、車載レーダ装置に対する電源電圧として用いることが有益である。つまり、図1の負荷LDの例として車載レーダ装置が好適である。

[0083] 但し、本開示において負荷LDは車載レーダ装置に限定されない。例えば、負荷LDは、レーダ装置に分類されない各種センサ装置であっても良いし、任意の電子機器であっても良い。

[0084] <<第3実施例>>

第3実施例を説明する。第3実施例では上述の構成に対する変形技術や応

用技術を説明する。

[0085] 基準電圧 V_{REF} に基づいて定電流 I_{PT} の流路を上述の第 1 流路及び第 2 流路間で切り替えることができる限り、流路切替回路 130 の構成は任意に変更可能である。例えば、基準電圧 V_{REF} を中間電圧 V_M と比較する比較器と、ライン L N 14 及びグランド間に挿入されたスイッチングトランジスタとを、流路切替回路 130 に設けておいても良い。この場合、“ $V_{REF} < V_M$ ” であるときには上記スイッチングトランジスタをオフ状態とすることで定電流 I_{PT} の流路を第 1 流路に設定し、“ $V_{REF} > V_M$ ” であるときには上記スイッチングトランジスタをオン状態とすることで定電流 I_{PT} の流路を第 2 流路に設定すれば良い。同様に、第 1 定電流生成回路の構成も定電流 I_{PT} を生成できる限り任意であり、第 2 定電流生成回路の構成も定電流 I_{NT} を生成できる限り任意である。更に同様に、誤差電圧生成回路 140 の構成も任意に変更できる。

[0086] 制御ブロック 10 は、帰還電圧 V_{FB} と基準電圧 V_{REF} との差を減ずるよう（換言すれば、帰還電圧 V_{FB} が基準電圧 V_{REF} に一致又は追従するよう）誤差電圧 V_{CM} に基づいて出力段回路 20 を制御する出力段制御回路を内包している。図 1 の構成において、出力段制御回路は、スロープ電圧生成回路 13、メインコンパレータ 14、セット信号発行回路 15、PWM 回路 16 及びゲートドライバ 17 により形成される。

[0087] 出力電圧 V_{OUT} の情報（即ち帰還電圧 V_{FB} ）とインダクタ電流 I_L の情報とに基づき、カレントモード制御方式で出力段回路 20 の状態を制御することを説明した。しかしながら、インダクタ電流 I_L の情報を参照することなく、出力電圧 V_{OUT} の情報（即ち帰還電圧 V_{FB} ）に基づいて出力段回路 20 の状態を制御する方式が制御ブロック 10 にて採用されても良い。

[0088] 降圧型 DC/DC コンバータとして構成されたスイッチング電源装置 AP を例に挙げたが、スイッチング電源装置 AP を、昇圧型 DC/DC コンバータ又は昇降圧型 DC/DC コンバータとして構成することも可能である。

[0089] 任意の信号又は電圧に関して、上述の主旨を損なわない形で、それらのハイレベルとローレベルの関係は上述したものの逆とされ得る。

[0090] 不都合が生じない限り、上述の任意のトランジスタは、任意の種類のトランジスタであって良い。例えば、MOSFETとして上述された任意のトランジスタを、不都合が生じない限り、接合型FET、IGBT (Insulated Gate Bipolar Transistor) 又はバイポーラトランジスタに置き換えることも可能である。任意のトランジスタは第1電極、第2電極及び制御電極を有する。FETにおいては、第1及び第2電極の内的一方がドレインで他方がソースであり且つ制御電極がゲートである。IGBTにおいては、第1及び第2電極の内的一方がコレクタで他方がエミッタであり且つ制御電極がゲートである。IGBTに属さないバイポーラトランジスタにおいては、第1及び第2電極の内的一方がコレクタで他方がエミッタであり且つ制御電極がベースである。

[0091] 本開示において、任意の第1物理量と任意の第2物理量が“同じ”であるとは、誤差を含む概念と解される。即ち、第1物理量と第2物理量が“同じ”であるとは、第1物理量と第2物理量が“同じ”となることを目指して設計又は製造が成されていることを意味し、第1及び第2物理量間に若干の誤差が存在する場合も、第1物理量と第2物理量が“同じ”であると解されるべきである。これは物理量に限らず当てはまる。

[0092] 本開示の実施形態は、特許請求の範囲に示された技術的思想の範囲内において、適宜、種々の変更が可能である。以上の実施形態は、あくまでも、本開示の実施形態の例であって、本開示ないし各構成要件の用語の意義は、以上の実施形態に記載されたものに制限されるものではない。上述の説明文中に示した具体的な数値は、単なる例示であって、当然の如く、それらを様々な数値に変更することができる。

[0093] <<付記>>

本開示について付記を設ける。

[0094] 本開示の一側面に係るアンプ回路は、対象電圧 (V_{FB}) 及び基準電圧 (V_{REF}) 間の差に応じた誤差電圧 (V_{CMP}) を生成するように構成されたアンプ回路 (11、100; 図1、図9参照) であって、前記対象電圧をゲートにて受け

るように構成された第1トランジスタ(111)及び前記基準電圧をゲートにて受けるように構成された第2トランジスタ(112)を有する第1差動入力対(110)と、前記対象電圧をゲートにて受けるように構成された第3トランジスタ(121)及び前記基準電圧をゲートにて受けるように構成された第4トランジスタ(122)を有する第2差動入力対(120)と、を備え、前記基準電圧に応じ、前記第1差動入力対又は前記第2差動入力対を用いて前記誤差電圧を生成し、前記第1トランジスタ及び前記第2トランジスタはPチャネル型のMOSFETにて形成され、且つ、前記第3トランジスタ及び前記第4トランジスタはNチャネル型のMOSFETにて形成される構成(第1の構成)である。

[0095] 第1の構成に係るアンプ回路にとっての対象電圧は、図1のスイッチング電源装置APでは帰還電圧 V_{FB} に対応する。但し、第1の構成に係るアンプ回路にとっての対象電圧は任意である。但し、アンプ回路が組み込まれた装置内において、対象電圧と帰還電圧との差を減ずる帰還制御が行われていると良い。

[0096] 第1の構成に係るアンプ回路において(図7、図10参照)、前記基準電圧は、所定の第1電圧(V_L)から所定の第2電圧(V_H)に向けて徐々に上昇した後、前記第2電圧に保持され、当該アンプ回路は、前記基準電圧が前記第1電圧よりも高く前記第2電圧よりも低い所定の中間電圧(V_M)と比べて相対的に低い第1状態(ST1)においては前記第1差動入力対を用いて前記誤差電圧を生成し、前記基準電圧が前記中間電圧と比べて相対的に高い第2状態(ST2)においては前記第2差動入力対を用いて前記誤差電圧を生成する構成(第2の構成)であっても良い。

[0097] 第2の構成に係るアンプ回路において、前記アンプ回路は入力電圧(V_{IN})から出力電圧(V_{OUT})を生成するように構成されたスイッチング電源装置(AP)に設けられ、前記対象電圧は前記出力電圧に基づく帰還電圧(V_{FB})であり、前記スイッチング電源装置では前記対象電圧としての前記帰還電圧と前記基準電圧との差を減ずるための帰還制御が行われる構成(第3の構成)で

あっても良い。

[0098] 上記第3の構成に係るアンプ回路において、前記出力電圧そのものが前記帰還電圧として前記アンプ回路に入力される構成（第4の構成）であっても良い。

[0099] 上記第2～第4の構成の何れかに係るアンプ回路において、第1定電流を生成するように構成された第1定電流生成回路と、第2定電流を生成するように構成された第2定電流生成回路と、前記第1定電流に基づく前記第1差動入力対での発生電流又は前記第2定電流に基づく前記第2差動入力対での発生電流に基づいて前記誤差電圧を生成するように構成された誤差電圧生成回路と、を更に備え、前記第1状態においては、前記第1定電流に基づき前記第1差動入力対が前記対象電圧及び前記基準電圧間の差に応じた電流を発生させることで、前記第1差動入力対での発生電流に応じた前記誤差電圧が生成され、前記第2状態においては、前記第2定電流に基づき前記第2差動入力対が前記対象電圧及び前記基準電圧間の差に応じた電流を発生させることで、前記第2差動入力対での発生電流に応じた前記誤差電圧が生成される構成（第5の構成）であっても良い。

[0100] 上記第5の構成に係るアンプ回路において、前記基準電圧に基づいて前記第1定電流の流路を切り替えるように構成された流路切替回路を更に備え、前記流路切替回路は、前記第1状態においては前記第1定電流の流路を前記第1差動入力対を経由する流路に設定し、前記第2状態においては前記第1定電流の流路を前記第1差動入力対を経由しない流路に設定する構成（第6の構成）であっても良い。

[0101] 上記第6の構成に係るアンプ回路において、前記流路切替回路は、Nチャネル型のMOSFETにて形成される流路切替トランジスタを有し、前記第1定電流生成回路は、所定の電源電圧が加わる電源電圧ラインと、前記第1差動入力対における前記第1及び第2トランジスタの各ソースと前記流路切替トランジスタのドレインとが共通接続されるラインと、の間に設けられ、前記流路切替トランジスタは前記基準電圧を受けるゲートを有し、前記第1

状態では前記流路切替トランジスタがオフ状態である一方、前記第2状態では前記流路切替トランジスタがオン状態であり、前記流路切替回路は、前記第1状態においては前記第1定電流の流路を前記第1差動入力対を經由し且つ前記流路切替トランジスタを經由しない流路に設定する一方、前記第2状態においては前記第1定電流の流路を前記第1差動入力対を經由せず且つ前記流路切替トランジスタを經由する流路に設定する構成（第7の構成）であっても良い。

[0102] 本開示に係るスイッチング電源用回路は、入力電圧から出力電圧を生成するためのスイッチング電源用回路であって、前記入力電圧をスイッチングするように構成された出力段回路と、前記出力電圧に応じた帰還電圧を受けるように構成された帰還電圧入力端子と、前記帰還電圧を前記対象電圧として受けるように構成された上記第1～第7の構成の何れかに係るアンプ回路と、前記アンプ回路に対して前記基準電圧を供給するように構成された基準電圧供給回路と、前記対象電圧としての前記帰還電圧と前記基準電圧との差を減ずるよう前記誤差電圧に基づいて前記出力段回路を制御するように構成された出力段制御回路と、を備えた構成（第8の構成）である。

[0103] 本開示に係るスイッチング電源装置は、上記第8の構成に係るスイッチング電源用回路と、前記出力段回路のスイッチングにより生成される電圧を整流及び平滑化することで前記出力電圧を生成するように構成された整流平滑回路と、を備えた構成（第9の構成）である。

符号の説明

[0104] A P スイッチング電源装置

 1 半導体装置

 1 0 制御ブロック

 1 1 エラーアンプ

 1 2 基準電圧供給回路

 1 3 スロープ電圧生成回路

 1 4 メインコンパレータ

- 1 5 セット信号発行回路
- 1 6 PWM回路
- 1 7 ゲートドライバ
- 2 0 出力段回路
- 3 0 内部電源回路
- 1 0 0 エラーアンプ
- 1 1 0、1 2 0 差動入力対
- 1 3 0 流路切替回路
- 1 4 0 誤差電圧生成回路
- V_{IN} 入力電圧
- V_{OUT} 出力電圧
- V_{FB} 帰還電圧
- V_{REF} 基準電圧
- V_{CMP} 誤差電圧

請求の範囲

- [請求項1] 対象電圧及び基準電圧間の差に応じた誤差電圧を生成するように構成されたアンプ回路であって、
- 前記対象電圧をゲートにて受けるように構成された第1トランジスタ及び前記基準電圧をゲートにて受けるように構成された第2トランジスタを有する第1差動入力対と、
- 前記対象電圧をゲートにて受けるように構成された第3トランジスタ及び前記基準電圧をゲートにて受けるように構成された第4トランジスタを有する第2差動入力対と、を備え、
- 前記基準電圧に応じ、前記第1差動入力対又は前記第2差動入力対を用いて前記誤差電圧を生成し、
- 前記第1トランジスタ及び前記第2トランジスタはPチャネル型のMOSFETにて形成され、且つ、前記第3トランジスタ及び前記第4トランジスタはNチャネル型のMOSFETにて形成される、アンプ回路。
- [請求項2] 前記基準電圧は、所定の第1電圧から所定の第2電圧に向けて徐々に上昇した後、前記第2電圧に保持され、
- 当該アンプ回路は、前記基準電圧が前記第1電圧よりも高く前記第2電圧よりも低い所定の間電圧と比べて相対的に低い第1状態においては前記第1差動入力対を用いて前記誤差電圧を生成し、前記基準電圧が前記中間電圧と比べて相対的に高い第2状態においては前記第2差動入力対を用いて前記誤差電圧を生成する、請求項1に記載のアンプ回路。
- [請求項3] 前記アンプ回路は入力電圧から出力電圧を生成するように構成されたスイッチング電源装置に設けられ、
- 前記対象電圧は前記出力電圧に基づく帰還電圧であり、
- 前記スイッチング電源装置では前記対象電圧としての前記帰還電圧と前記基準電圧との差を減ずるための帰還制御が行われる

、請求項2に記載のアンプ回路。

[請求項4] 前記出力電圧そのものが前記帰還電圧として前記アンプ回路に入力される

、請求項3に記載のアンプ回路。

[請求項5] 第1定電流を生成するように構成された第1定電流生成回路と、
第2定電流を生成するように構成された第2定電流生成回路と、
前記第1定電流に基づく前記第1差動入力対での発生電流又は前記第2定電流に基づく前記第2差動入力対での発生電流に基づいて前記誤差電圧を生成するように構成された誤差電圧生成回路と、を更に備え、

前記第1状態においては、前記第1定電流に基づき前記第1差動入力対が前記対象電圧及び前記基準電圧間の差に応じた電流を発生させることで、前記第1差動入力対での発生電流に応じた前記誤差電圧が生成され、

前記第2状態においては、前記第2定電流に基づき前記第2差動入力対が前記対象電圧及び前記基準電圧間の差に応じた電流を発生させることで、前記第2差動入力対での発生電流に応じた前記誤差電圧が生成される

、請求項2～4の何れかに記載のアンプ回路。

[請求項6] 前記基準電圧に基づいて前記第1定電流の流路を切り替えるように構成された流路切替回路を更に備え、

前記流路切替回路は、前記第1状態においては前記第1定電流の流路を前記第1差動入力対を経由する流路に設定し、前記第2状態においては前記第1定電流の流路を前記第1差動入力対を経由しない流路に設定する

、請求項5に記載のアンプ回路。

[請求項7] 前記流路切替回路は、Nチャネル型のMOSFETにて形成される流路切替トランジスタを有し、

前記第 1 定電流生成回路は、所定の電源電圧が加わる電源電圧ラインと、前記第 1 差動入力対における前記第 1 及び第 2 トランジスタの各ソースと前記流路切替トランジスタのドレインとが共通接続されるラインと、の間に設けられ、

前記流路切替トランジスタは前記基準電圧を受けるゲートを有し、前記第 1 状態では前記流路切替トランジスタがオフ状態である一方、前記第 2 状態では前記流路切替トランジスタがオン状態であり、

前記流路切替回路は、前記第 1 状態においては前記第 1 定電流の流路を前記第 1 差動入力対を経由し且つ前記流路切替トランジスタを経由しない流路に設定する一方、前記第 2 状態においては前記第 1 定電流の流路を前記第 1 差動入力対を経由せず且つ前記流路切替トランジスタを経由する流路に設定する、請求項 6 に記載のアンプ回路。

[請求項 8] 入力電圧から出力電圧を生成するためのスイッチング電源用回路であって、

前記入力電圧をスイッチングするように構成された出力段回路と、前記出力電圧に応じた帰還電圧を受けるように構成された帰還電圧入力端子と、

前記帰還電圧を前記対象電圧として受けるように構成された請求項 1 ～ 7 の何れかに記載のアンプ回路と、

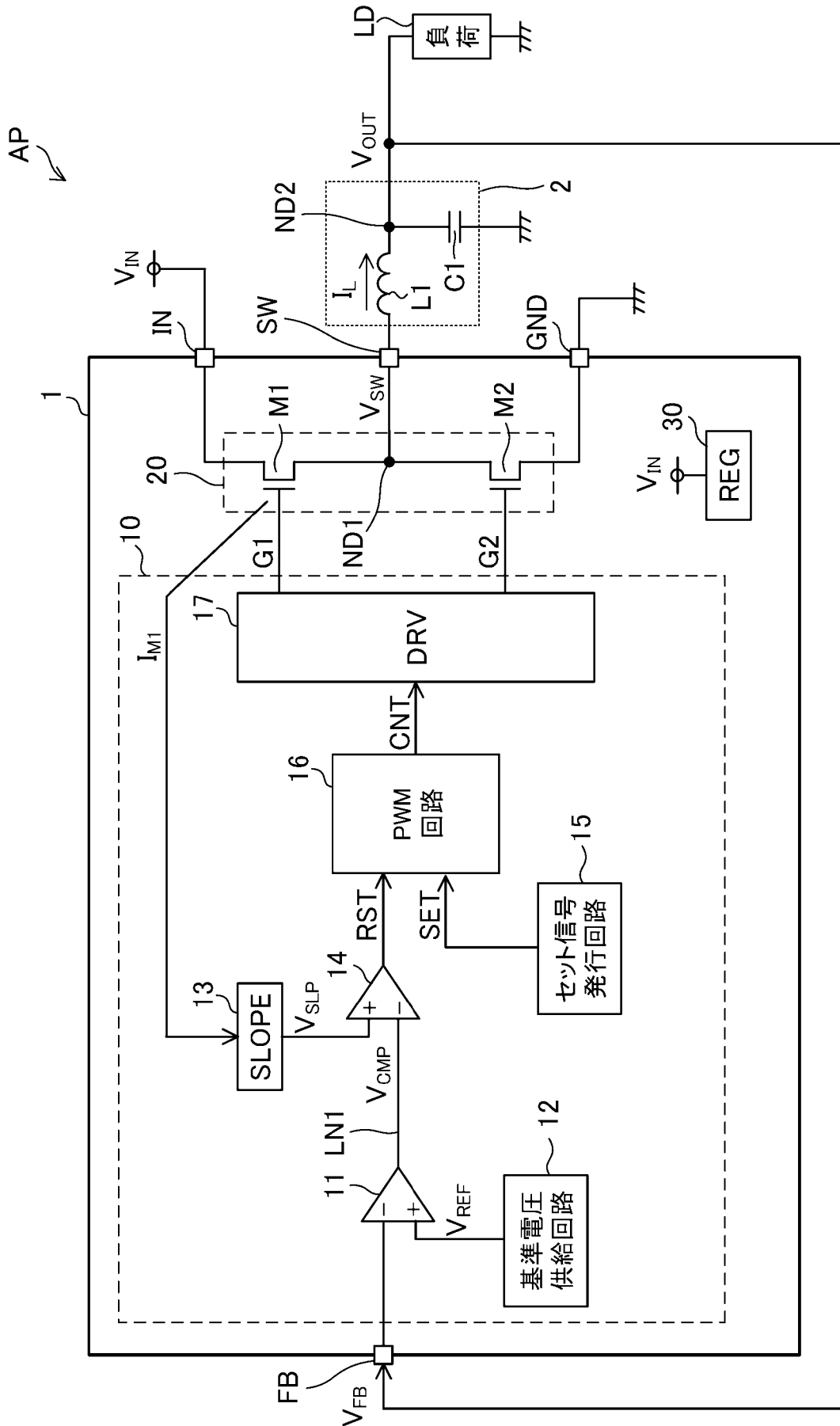
前記アンプ回路に対して前記基準電圧を供給するように構成された基準電圧供給回路と、

前記対象電圧としての前記帰還電圧と前記基準電圧との差を減ずるよう前記誤差電圧に基づいて前記出力段回路を制御するように構成された出力段制御回路と、を備えた、スイッチング電源用回路。

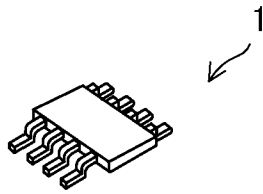
[請求項 9] 請求項 8 に記載のスイッチング電源用回路と、前記出力段回路のスイッチングにより生成される電圧を整流及び平

滑化することで前記出力電圧を生成するように構成された整流平滑回路と、を備えた
、スイッチング電源装置。

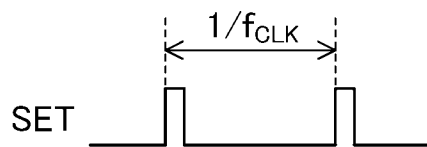
[図1]



[図2]



[図3]

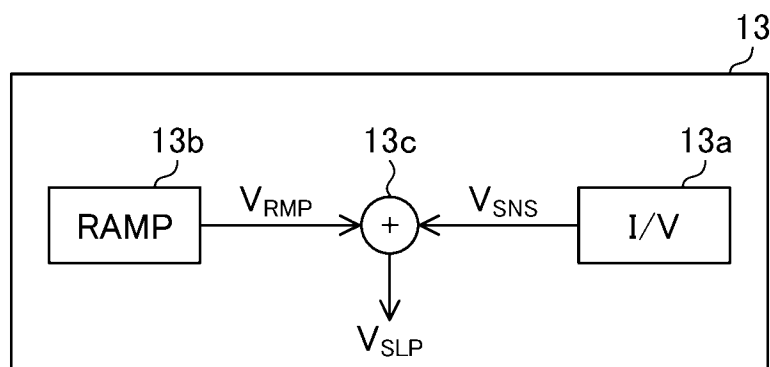


[図4]

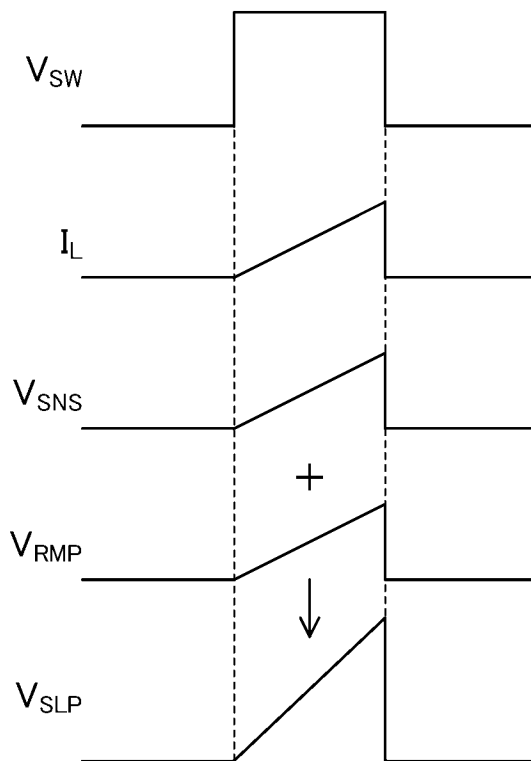
SET	RST	CNT	G1	G2
H	L	H	H	L
L	H	L	L	H
L	L	保持	保持	保持

H:ハイレベル
L:ローレベル

[図5A]

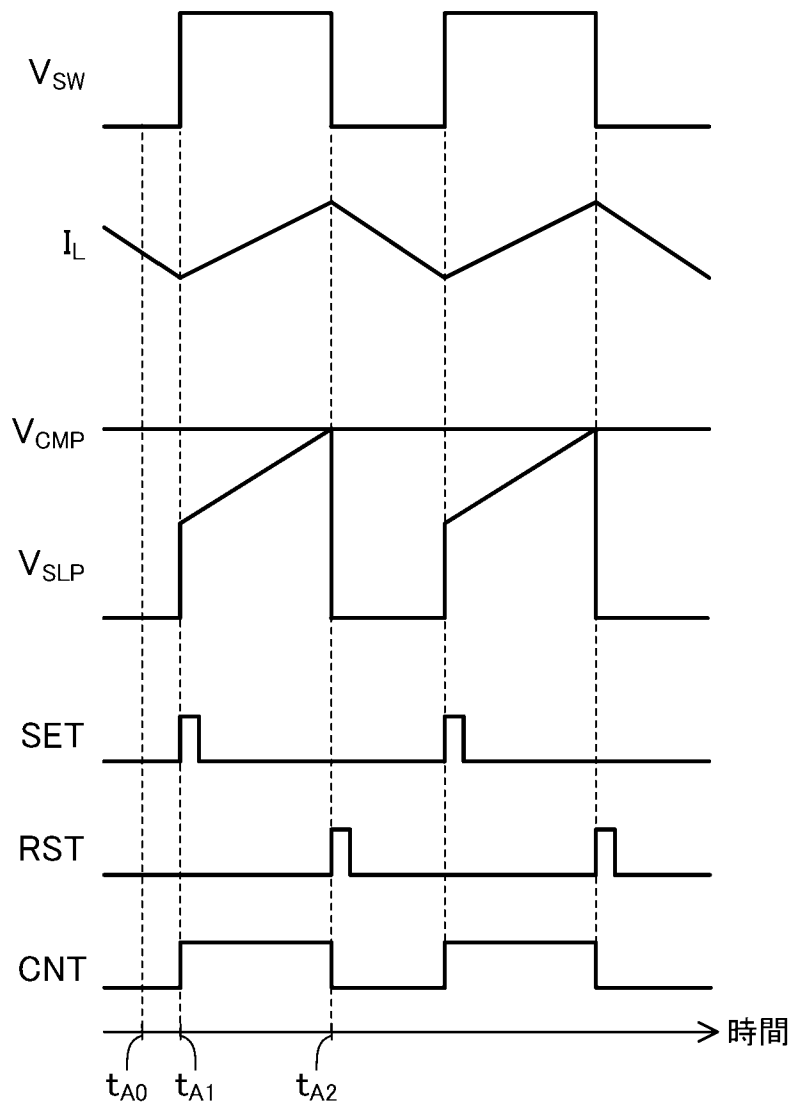


[図5B]

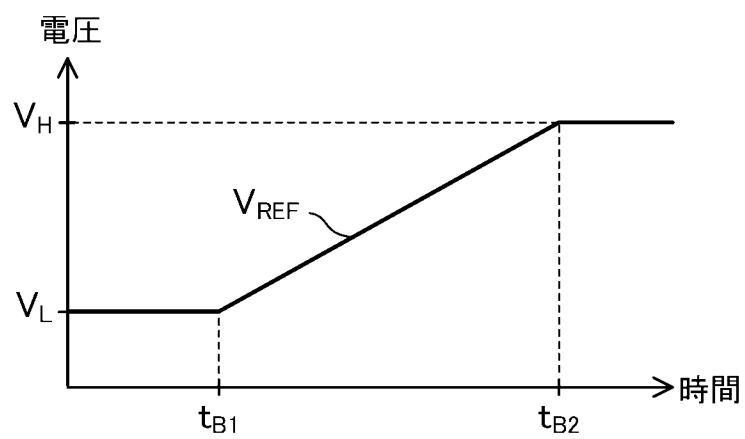


[図6]

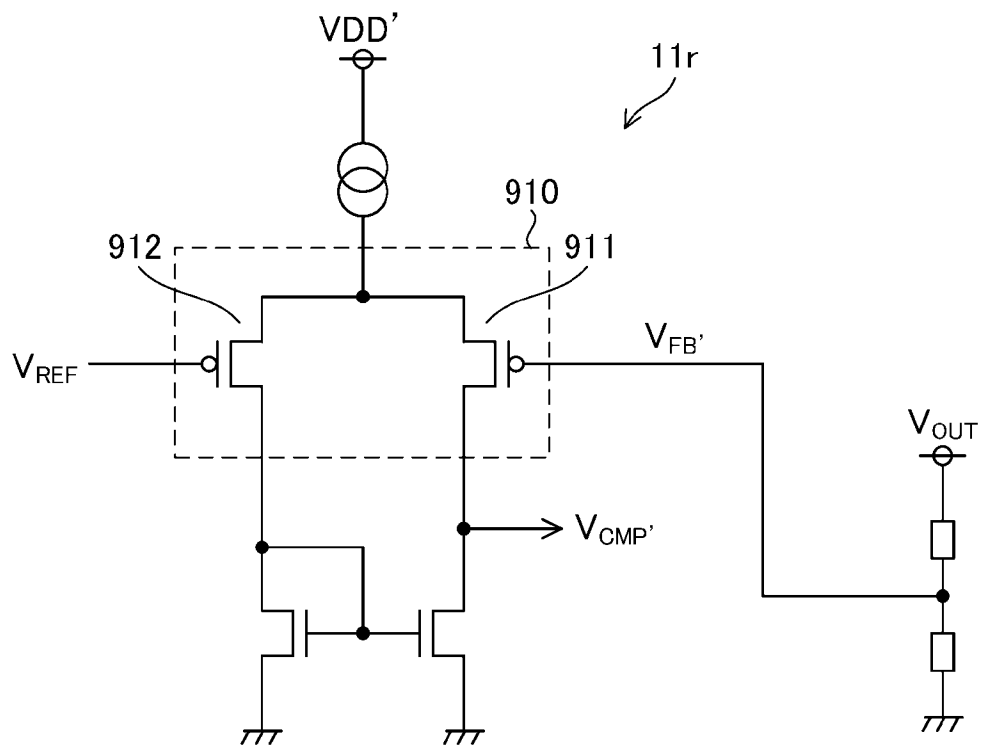
スイッチング動作



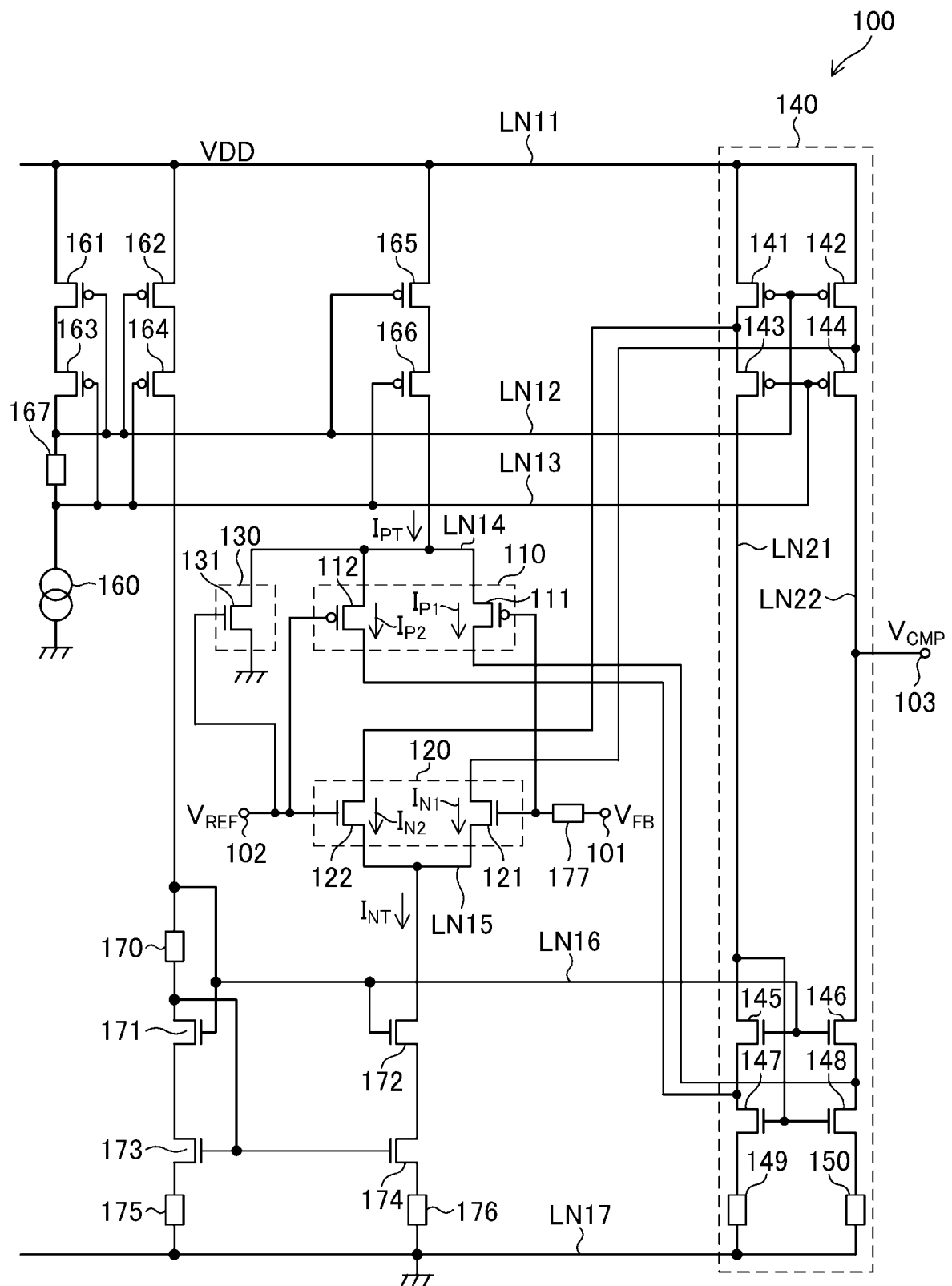
[図7]



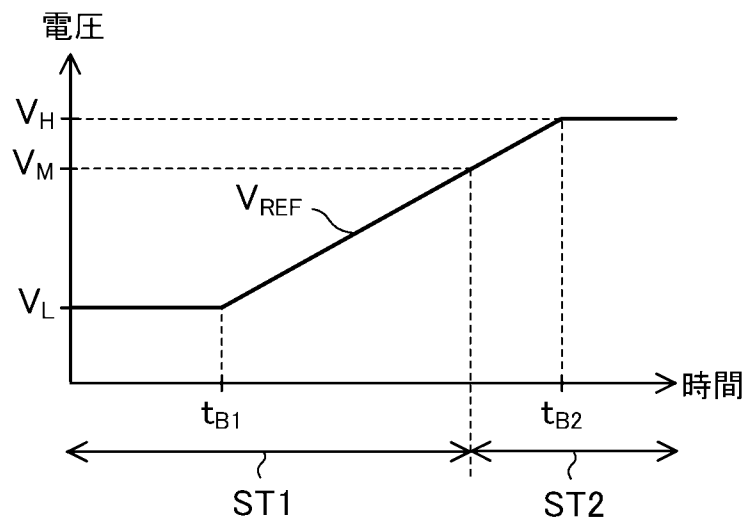
[図8]



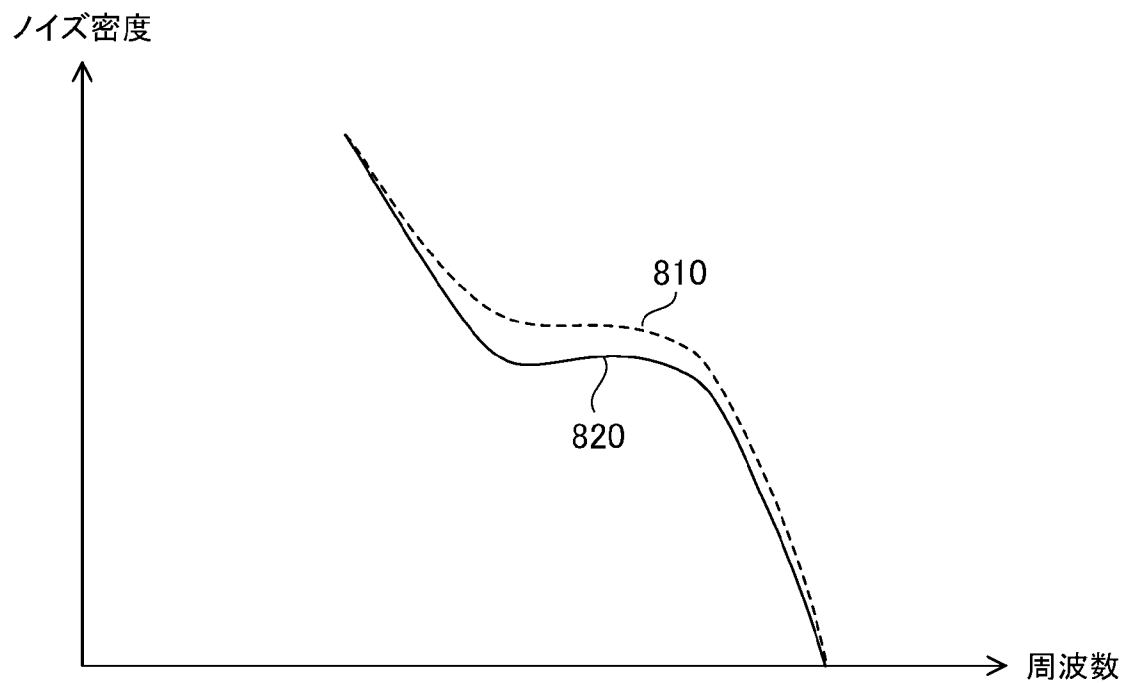
[図9]



[図10]



[図11]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/018522

A. CLASSIFICATION OF SUBJECT MATTER**H03F 1/26**(2006.01)i; **H03F 3/45**(2006.01)i; **H02M 3/155**(2006.01)i

FI: H03F1/26; H02M3/155 E; H03F3/45 110

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03F1/26; H03F3/45; H02M3/155

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2022

Registered utility model specifications of Japan 1996-2022

Published registered utility model applications of Japan 1994-2022

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2012/053133 A1 (PANASONIC CORP.) 26 April 2012 (2012-04-26) entire text, all drawings	1-9
A	JP 2019-221099 A (ROHM CO., LTD.) 26 December 2019 (2019-12-26) entire text, all drawings	1-9

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

20 July 2022

Date of mailing of the international search report

02 August 2022

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)

3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915

Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2022/018522

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO	2012/053133	A1	26 April 2012	(Family: none)	
JP	2019-221099	A	26 December 2019	US 2019/0393796 A1 entire text, all drawings	

A. 発明の属する分野の分類（国際特許分類（IPC）） H03F 1/26(2006.01)i; H03F 3/45(2006.01)i; H02M 3/155(2006.01)i FI: H03F1/26; H02M3/155 E; H03F3/45 110														
B. 調査を行った分野														
調査を行った最小限資料（国際特許分類（IPC）） H03F1/26; H03F3/45; H02M3/155														
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2022年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2022年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2022年</td> </tr> </table>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2022年	日本国実用新案登録公報	1996 - 2022年	日本国登録実用新案公報	1994 - 2022年				
日本国実用新案公報	1922 - 1996年													
日本国公開実用新案公報	1971 - 2022年													
日本国実用新案登録公報	1996 - 2022年													
日本国登録実用新案公報	1994 - 2022年													
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）														
C. 関連すると認められる文献														
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号												
A	WO 2012/053133 A1（パナソニック株式会社）26.04.2012（2012 - 04 - 26） 全文全図	1-9												
A	JP 2019-221099 A（ローム株式会社）26.12.2019（2019 - 12 - 26） 全文全図	1-9												
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。														
<table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>“A” 特に関連のある文献ではなく、一般的技术水準を示すもの</td> <td>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>“&” 同一パテントファミリー文献</td> </tr> <tr> <td>“O” 口頭による開示、使用、展示等に言及する文献</td> <td></td> </tr> <tr> <td>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</td> <td></td> </tr> </table>			* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの	“A” 特に関連のある文献ではなく、一般的技术水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献	“O” 口頭による開示、使用、展示等に言及する文献		“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	
* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの													
“A” 特に関連のある文献ではなく、一般的技术水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの													
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの													
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献													
“O” 口頭による開示、使用、展示等に言及する文献														
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献														
国際調査を完了した日 20.07.2022	国際調査報告の発送日 02.08.2022													
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 工藤 一光 5W 9274 電話番号 03-3581-1101 内線 3576													

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2022/018522

引用文献			公表日	パテントファミリー文献	公表日
WO	2012/053133	A1	26.04.2012	(ファミリーなし)	
JP	2019-221099	A	26.12.2019	US 2019/0393796	A1
				全文全図	