(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第6845006号
(P6845006)

(45)発行日　令和3年3月17日(2021.3.17)　(24)登録日　令和3年3月1日(2021.3.1)

(51)Int.Cl.			F I		
G09G	3/36	(2006.01)	G09G	3/36	
G09G	3/20	(2006.01)	G09G	3/20	670J
G11C	19/28	(2006.01)	G09G	3/20	611C
H03K	17/687	(2006.01)	G09G	3/20	622E
			G09G	3/20	623H

請求項の数 3　(全 13 頁)　最終頁に続く

(21)出願番号　特願2016-255602(P2016-255602)
(22)出願日　平成28年12月28日(2016.12.28)
(65)公開番号　特開2018-106118(P2018-106118A)
(43)公開日　平成30年7月5日(2018.7.5)
審査請求日　令和1年8月19日(2019.8.19)

(73)特許権者　000006633
京セラ株式会社
京都府京都市伏見区竹田鳥羽殿町６番地
(72)発明者　市村　照彦
滋賀県野洲市市三宅６４１－１　京セラディスプレイ株式会社内

審査官　西島　篤宏

最終頁に続く

(54)【発明の名称】信号線駆動回路およびアクティブマトリクス基板並びに表示装置

(57)【特許請求の範囲】

【請求項１】

ソース電極が開始パルス入力端子に接続されており、正電位のピーク電位を有する開始パルスを、ドレイン電極から第２のｎチャネル薄膜トランジスタのゲート電極に出力する第１のｎチャネル薄膜トランジスタと、

ソース電極がクロックパルス入力端子に接続されており、前記開始パルスによってオンされ、正電位のピーク電位を有するクロックパルスを、ドレイン電極から駆動パルスとして信号線に出力する前記第２のｎチャネル薄膜トランジスタと、

前記第１のｎチャネル薄膜トランジスタのドレイン電極と前記第２のｎチャネル薄膜トランジスタのゲート電極とを接続する第１の接続線にソース電極が接続され、負電位を供給する負電位線にドレイン電極が接続されており、前記駆動パルスの出力後に前記第１の接続線の電位を前記負電位にリセットする第３のｎチャネル薄膜トランジスタと、

前記第３のｎチャネル薄膜トランジスタのゲート電極に、正電位のピーク電位を有するハイ信号パルスと、負電位のボトム電位を有するロー信号パルスと、を交互に入力するとともに、前記ハイ信号パルスの立上がり部および／または立下がり部を傾斜させる制御回路と、を有している信号線駆動回路であって、

前記制御回路は、前記第３のｎチャネル薄膜トランジスタのゲート電極に正電位のハイ信号を供給するハイ信号供給回路と、

前記第３のｎチャネル薄膜トランジスタの前記ゲート電極と前記ハイ信号供給回路を接続する第２の接続線上に配置され、ゲート電極が前記第２の接続線の途中に接続されてい

る第４のｎチャネル薄膜トランジスタと、
前記第２の接続線にソース電極が接続され、前記負電位線にドレイン電極が接続されており、前記ハイ信号に前記ロー信号パルスを合成することによって前記ハイ信号パルスと前記ロー信号パルスを交互に発生させる第５のｎチャネル薄膜トランジスタと、を有しており、
前記ハイ信号供給回路は、前記第２の接続線にドレイン電極が共通接続されている、第７のｎチャネル薄膜トランジスタおよび第８のｎチャネル薄膜トランジスタを有しており、
前記第７のｎチャネル薄膜トランジスタおよび前記第８のｎチャネル薄膜トランジスタのそれぞれは、前記第２のｎチャネル薄膜トランジスタよりもサイズが小さい信号線駆動回路。
【請求項２】
基板と、
前記基板上の所定方向に配置されたゲート信号線と、
前記ゲート信号線と交差させて配置されたソース信号線と、
前記ゲート信号線と前記ソース信号線の交差部に対応して配置されたスイッチング薄膜トランジスタと、
前記スイッチング薄膜トランジスタに接続された被駆動部と、
ゲート信号線駆動回路およびソース信号線駆動回路と、を有しており、
前記ゲート信号線駆動回路および前記ソース信号線駆動回路の少なくとも一方は、請求項１に記載の信号線駆動回路から構成されているアクティブマトリクス基板。
【請求項３】
請求項２に記載のアクティブマトリクス基板を有しており、
前記被駆動部が画素部である表示装置。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、液晶表示装置（Liquid Crystal Display:ＬＣＤ）のゲート信号線駆動回路等として用いられる信号線駆動回路、それを用いたアクティブマトリクス基板および表示装置に関するものである。
【背景技術】
【０００２】
従来、ＬＣＤは、薄膜トランジスタ（Thin Film Transistor：ＴＦＴ）を含む画素部が多数形成されたガラス基板等から成るアレイ側基板と、カラーフィルタ及びブラックマトリクスが形成されたガラス基板等から成るカラーフィルタ側基板とを互いに対向させて、それらの基板を所定の間隔でもって貼り合わせ、それらの基板間に液晶を充填、封入させることによって作製される。また、一般的に、カラーフィルタ側基板は、ＴＦＴ及び画素電極に対向する側の面（液晶側の面）の全面に、画素電極との間で液晶に印加する垂直電界を形成するための共通電極が形成されている。この共通電極は、ＩＰＳ（In-Plane Switching）方式のＬＣＤの場合、アレイ側基板の画素部に画素電極と同じ面内に形成されることによって横電界を生じさせるものとなる。また共通電極は、ＦＦＳ（Fringe Field Switching）方式のＬＣＤの場合、アレイ側基板の画素部に画素電極の上方または下方に絶縁層を挟んで形成されることによって端部電界（Fringe Field）を生じさせるものとなる。また、カラーフィルタ側基板の液晶側の面には、それぞれの画素部に対応する赤（Ｒ）、緑（Ｇ）、青（Ｂ）のカラーフィルタが形成されており、それぞれの画素部を通過する光が相互に干渉することを防ぐブラックマトリクスがカラーフィルタの外周を囲むように形成されている。
【０００３】
また、図３は、アクティブマトリクス型であってＩＰＳ型のＬＣＤに用いられる液晶表示パネル３０の基本構成を示すブロック回路図である。例えば、ＬＣＤのアレイ側基板３

０ｂは、その上の第１の方向（例えば、行方向）に形成された複数本のゲート信号線３１（GL1，GL2，GL3・・・GLm）と、第１の方向と交差する第２の方向（例えば、列方向）にゲート信号線３１と交差させて形成された複数本の画像信号線（ソース信号線）３２（SL1，SL2，SL3・・・SLn）と、ゲート信号線３１と画像信号線３２の交差部に対応して配置された、ＴＦＴ３３、画素電極PE11,PE12,PE13・・・PEmn及びその画素電極PE11,PE12,PE13・・・PEmnとの間で液晶に印加する横電界等の電界を形成するための共通電極を含む画素部P11，P12，P13・・・Pmnと、共通電極に共通電圧（Vcom）を供給する共通電圧線３４と、を有する構成である。アレイ側基板３０ｂの液晶側の面におけるゲート信号線３１の入力端側にゲート信号線駆動回路３５が配置されており、画像信号線３２の入力端側に画像信号線駆動回路３６が配置されている。液晶が枠状のシール部材２０の内側に配置されている液晶配置部３９があり、液晶配置部３９の内部に画素部P11，P12，P13・・・Pmnを有する表示部３７ｄがある。なお、符号３０ａはカラーフィルタ側基板を示す。

【０００４】

図４は、従来のゲート信号線駆動回路３５の一例の回路図であり、図５はゲート信号線駆動回路３５のタイミングチャートである。ゲート信号線駆動回路３５は、一本のゲート信号線にゲート信号を入力するゲート信号線駆動回路ユニットを複数有する構成であり、各ゲート信号線駆動回路ユニットの構成および駆動は以下のようになる。

【０００５】

信号線駆動回路ユニットは、開始パルス入力端子（ｉｎ端子）に接続されており、正電位のピーク電位を有する開始パルス（ｉｎ）を第２のｎチャネルＴＦＴ５２（ＴＦＴ２ａ）のゲート電極に出力する第１のｎチャネルＴＦＴ５１（ＴＦＴ１ａ）と、クロックパルス入力端子（ＶＣＫ１端子）に接続されており、開始パルスによってオンされ、正電位のピーク電位を有するクロックパルス（ＶＣＫ１）を出力端子ＯＵＴ１から駆動パルスとしてゲート信号線６２に出力する第２のｎチャネルＴＦＴ５２と、を有している。第１のｎチャネルＴＦＴ５１は、ゲート電極とソース電極が接続されたダイオード接続型とされている。なお、開始パルス（ｉｎ）が第２のｎチャネルＴＦＴ５２のゲート電極に入力された際に、ブートストラップ効果によって、ゲート電圧は開始パルス（ｉｎ）とクロックパルス（ＶＣＫ１）が合成された、クロックパルス（ＶＣＫ１）よりも高電位のものとなり、クロックパルス（ＶＣＫ１）が駆動パルスとして第２のｎチャネルＴＦＴ５２のドレイン電極から出力される。

【０００６】

また、第１のｎチャネルＴＦＴ５１と第２のｎチャネルＴＦＴ５２を接続する第１の接続線７１と、負電位（ＶＧＬ）を供給する負電位線７４と、に接続されており、奇数フレーム（１Ｆ，３Ｆ，５Ｆ～）において駆動パルスの出力後に第１の接続線７１の電位（Ｎｏｄｅ＿ａの電位）を負電位にリセットする第３のｎチャネルＴＦＴ５３（ＴＦＴ３ａ）と、第３のｎチャネルＴＦＴ５３のゲート電極に、第４のｎチャネルＴＦＴ５４（ＴＦＴ４ａ）を介して正電位のピーク電位を有するハイ信号を入力する第５のｎチャネルＴＦＴ５５（ＴＦＴ５ａ）と、がある。第５のｎチャネルＴＦＴ５５はゲート電極とソース電極が接続されたダイオード接続型とされており、第５のｎチャネルＴＦＴ５５のソース電極が、１フレーム毎に正電位のハイ信号パルスと負電位のロー信号パルスを交互に入力するクロックパルス（ＶＣＫ３）の入力端子に接続されている。また、第３のｎチャネルＴＦＴ５３（ＴＦＴ３ａ）のゲート電極と第５のｎチャネルＴＦＴ５５のドレイン電極とを接続する第２の接続線７２と、負電位線７４と、に接続されており、奇数フレームの開始タイミングから駆動パルスの出力タイミングまでの間に、第２の接続線７２の電位（Ｎｏｄｅ＿ｂの電位）を負電位に設定する第６のｎチャネルＴＦＴ５６（ＴＦＴ６ａ）がある。また、第４のｎチャネルＴＦＴ５４は、そのゲート電極が第２の接続線７２に接続されており、奇数フレームの開始タイミングから駆動パルスの出力タイミングまでの間に、オフ状態とされる。これにより、駆動パルスが負電位線７４側に漏れることを防いでいる。

【０００７】

また、第１のｎチャネルＴＦＴ５１と第２のｎチャネルＴＦＴ５２を接続する第１の接

続線７１と、負電位線７４と、に接続されており、偶数フレーム（２Ｆ，４Ｆ，６Ｆ～）において駆動パルスの出力後に第１の接続線７１の電位（Ｎｏｄｅ＿ａの電位）を負電位にリセットする第７のｎチャネルＴＦＴ５７（ＴＦＴ７ａ）と、第７のｎチャネルＴＦＴ５７のゲート電極に、第８のｎチャネルＴＦＴ５８（ＴＦＴ８ａ）を介して正電位のピーク電位を有するハイ信号を入力する第９のｎチャネルＴＦＴ５９（ＴＦＴ９ａ）と、がある。第９のｎチャネルＴＦＴ５９はゲート電極とソース電極が接続されたダイオード接続型とされており、第９のｎチャネルＴＦＴ５９のソース電極が、１フレーム毎に正電位のハイ信号パルスと負電位のロー信号パルスを交互に入力するクロックパルス（ＶＣＫ４）の入力端子に接続されている。クロックパルス（ＶＣＫ３）とクロックパルス（ＶＣＫ４）とは、それらの位相が互いに逆位相とされている。そして、第２の接続線７２および第３の接続線７３には正電位のハイ信号が常時供給される。また、第７のｎチャネルＴＦＴ５７（ＴＦＴ７ａ）のゲート電極と第９のｎチャネルＴＦＴ５９のドレイン電極とを接続する第３の接続線７３と、負電位線７４と、に接続されており、偶数フレームの開始タイミングから駆動パルスの出力タイミングまでの間に、第３の接続線７３の電位（Ｎｏｄｅ＿ｃの電位）を負電位に設定する第１０のｎチャネルＴＦＴ６０（ＴＦＴ１０ａ）がある。また、第８のｎチャネルＴＦＴ５８は、そのゲート電極が第３の接続線７３に接続されており、偶数フレームの開始タイミングから駆動パルスの出力タイミングまでの間に、オフ状態とされる。これにより、駆動パルスが負電位線７４側に漏れることを防いでいる。

【０００８】

また、第１の接続線７１と負電位線７４とに接続されており、次段のゲート信号線駆動回路ユニットの駆動パルスによってオンされ、オン時に第１の接続線７１の電位（Ｎｏｄｅ＿ａの電位）を負電位に設定する第１１のｎチャネルＴＦＴ６１（ＴＦＴ１１ａ）がある。

【０００９】

第１のｎチャネルＴＦＴ５１～第１１のｎチャネルＴＦＴ６１は、チャネル部を構成する半導体層がアモルファスシリコン（ａ－Ｓｉ）から構成されており、ゲートインパネル（ＧＩＰ）型のＬＣＤのゲート信号線駆動回路３５に好適に用いられる。なお、半導体層がａ－Ｓｉから成るＴＦＴはｎチャネルＴＦＴとなる。

【００１０】

また、他の従来例として、駆動トランジスタが遮断状態のときその遮断状態を保たせるリセットトランジスタを含むリセット部とから成り、リセット部が、リセットトランジスタのゲート電極に負極性の電圧を含むゲート電圧を与えるゲート電圧制御手段を備える薄膜集積回路が提案されている（例えば、特許文献１を参照）。

【先行技術文献】

【特許文献】

【００１１】

【特許文献１】特開平８－２７３３８７号公報

【発明の概要】

【発明が解決しようとする課題】

【００１２】

上記従来のゲート信号線駆動回路３５においては、以下の問題点があった。すなわち、図５に示すように、液晶表示パネルの下側のゲート信号線においては、１フレームにおける駆動パルスの入力タイミングが後側にずれていくために、１フレームにおける第２の接続線７２の電位（Ｎｏｄｅ＿ｂの電位）は、ハイ（Ｈ）電位（２０Ｖ程度）となっている期間がロー（Ｌ）電位（－１０Ｖ程度）となっている期間よりも長くなる。第３の接続線７３の電位（Ｎｏｄｅ＿ｃの電位）も同様である。そうすると、第２の接続線７２にゲート電極が接続されている、第３のｎチャネルＴＦＴ５３および第４のｎチャネルＴＦＴ５４は、経時的に閾値電圧が変動（シフト）するという問題点があった。同様に、第３の接続線７３にゲート電極が接続されている、第７のｎチャネルＴＦＴ５７および第８のｎチャネルＴＦＴ５８は、経時的に閾値電圧が変動するという問題点があった。

【００１３】
特許文献１に記載された薄膜集積回路は、リセットトランジスタＴｒ１３の閾値電圧変動を回復させることを目的としているが、リセットトランジスタＴｒ１３の周辺のトランジスタＴｒ１５のソース電極およびＴｒ１１のソース電極には正電圧のH信号（Ｖ１）が常時入力されており、閾値電圧変動が生じるという問題点があった。図６は、ｎチャネルＴＦＴのゲート電極に正電圧（２０Ｖ）を印加し続けたときの閾値電圧（Ｖｔｈ）のシフト量８１と、ｎチャネルＴＦＴのソース電極に正電圧（２０Ｖ）を印加し続けたときの閾値電圧（Ｖｔｈ）のシフト量８２と、を示すグラフである。図６に示すように、ｎチャネルＴＦＴのソース電極に正電圧が印加され続けると、閾値電圧（Ｖｔｈ）がシフトするという問題点があった。

【００１４】
さらに、特許文献１において、リセットトランジスタＴｒ１３のゲート電圧（ノードＲ１の電圧）は、正電圧と負電圧が交互に同程度の期間として入力されているが、負電圧の入力期間が比較的長いために周辺のＴＦＴ、配線等から放射された電磁ノイズが重畳されやすいという問題点があった。

【００１５】
また、図４に示すゲート信号線駆動回路３５は、奇数フレーム用の第３のｎチャネルＴＦＴ５３と第４のｎチャネルＴＦＴ５４と第５のｎチャネルＴＦＴ５５と第６のｎチャネルＴＦＴ５６の組と、偶数フレーム用の第７のｎチャネルＴＦＴ５７と第８のｎチャネルＴＦＴ５８と第９のｎチャネルＴＦＴ５９と第１０のｎチャネルＴＦＴ６０の組と、を有しているために、回路構成が複雑化および大型化されたものとなるという問題点があった。

【００１６】
本発明は、上記の問題点に鑑みて完成されたものであり、その目的は、信号線駆動回路を構成するｎチャネルＴＦＴの閾値電圧の変動を抑えることである。また、ｎチャネルＴＦＴおよびその配線に電磁ノイズが重畳されることを抑えることである。また、信号線駆動回路の回路構成を簡易化および小型化することである。

【課題を解決するための手段】

【００１７】
本発明の信号線駆動回路は、ソース電極が開始パルス入力端子に接続されており、正電位のピーク電位を有する開始パルスを、ドレイン電極から第２のｎチャネル薄膜トランジスタのゲート電極に出力する第１のｎチャネル薄膜トランジスタと、ソース電極がクロックパルス入力端子に接続されており、前記開始パルスによってオンされ、正電位のピーク電位を有するクロックパルスを、ドレイン電極から駆動パルスとして信号線に出力する前記第２のｎチャネル薄膜トランジスタと、前記第１のｎチャネル薄膜トランジスタのドレイン電極と前記第２のｎチャネル薄膜トランジスタのゲート電極とを接続する第１の接続線にソース電極が接続され、負電位を供給する負電位線にドレイン電極が接続されており、前記駆動パルスの出力後に前記第１の接続線の電位を前記負電位にリセットする第３のｎチャネル薄膜トランジスタと、前記第３のｎチャネル薄膜トランジスタのゲート電極に、正電位のピーク電位を有するハイ信号パルスと、負電位のボトム電位を有するロー信号パルスと、を交互に入力するとともに、前記ハイ信号パルスの立上がり部および／または立下がり部を傾斜させる制御回路と、を有している信号線駆動回路であって、前記制御回路は、前記第３のｎチャネル薄膜トランジスタのゲート電極に正電位のハイ信号を供給するハイ信号供給回路と、前記第３のｎチャネル薄膜トランジスタの前記ゲート電極と前記ハイ信号供給回路を接続する第２の接続線上に配置され、ゲート電極が前記第２の接続線の途中に接続されている第４のｎチャネル薄膜トランジスタと、前記第２の接続線にソース電極が接続され、前記負電位線にドレイン電極が接続されており、前記ハイ信号に前記ロー信号パルスを合成することによって前記ハイ信号パルスと前記ロー信号パルスを交互に発生させる第５のｎチャネル薄膜トランジスタと、を有しており、前記ハイ信号供給回路は、前記第２の接続線にドレイン電極が共通接続されている、第７のｎチャネル薄膜ト

ランジスタおよび第８のｎチャネル薄膜トランジスタを有しており、前記第７のｎチャネル薄膜トランジスタおよび前記第８のｎチャネル薄膜トランジスタのそれぞれは、前記第２のｎチャネル薄膜トランジスタよりもサイズが小さい構成である。

【００１８】

本発明のアクティブマトリクス基板は、基板と、前記基板上の所定方向に配置されたゲート信号線と、前記ゲート信号線と交差させて配置されたソース信号線と、前記ゲート信号線と前記ソース信号線の交差部に対応して配置されたスイッチング薄膜トランジスタと、前記スイッチング薄膜トランジスタに接続された被駆動部と、ゲート信号線駆動回路およびソース信号線駆動回路と、を有しており、前記ゲート信号線駆動回路および前記ソース信号線駆動回路の少なくとも一方は、上記本発明の信号線駆動回路から構成されている。

【００１９】

本発明の表示装置は、上記本発明のアクティブマトリクス基板を有しており、前記被駆動部が画素部である構成である。

【発明の効果】

【００２０】

本発明の信号線駆動回路は、ソース電極が開始パルス入力端子に接続されており、正電位のピーク電位を有する開始パルスを、ドレイン電極から第２のｎチャネル薄膜トランジスタのゲート電極に出力する第１のｎチャネル薄膜トランジスタと、ソース電極がクロックパルス入力端子に接続されており、前記開始パルスによってオンされ、正電位のピーク電位を有するクロックパルスを、ドレイン電極から駆動パルスとして信号線に出力する前記第２のｎチャネル薄膜トランジスタと、前記第１のｎチャネル薄膜トランジスタのドレイン電極と前記第２のｎチャネル薄膜トランジスタのゲート電極とを接続する第１の接続線にソース電極が接続され、負電位を供給する負電位線にドレイン電極が接続されており、前記駆動パルスの出力後に前記第１の接続線の電位を前記負電位にリセットする第３のｎチャネル薄膜トランジスタと、前記第３のｎチャネル薄膜トランジスタのゲート電極に、正電位のピーク電位を有するハイ信号パルスと、負電位のボトム電位を有するロー信号パルスと、を交互に入力するとともに、前記ハイ信号パルスの立上がり部および／または立下がり部を傾斜させる制御回路と、を有している信号線駆動回路であって、前記制御回路は、前記第３のｎチャネル薄膜トランジスタのゲート電極に正電位のハイ信号を供給するハイ信号供給回路と、前記第３のｎチャネル薄膜トランジスタの前記ゲート電極と前記ハイ信号供給回路を接続する第２の接続線上に配置され、ゲート電極が前記第２の接続線の途中に接続されている第４のｎチャネル薄膜トランジスタと、前記第２の接続線にソース電極が接続され、前記負電位線にドレイン電極が接続されており、前記ハイ信号に前記ロー信号パルスを合成することによって前記ハイ信号パルスと前記ロー信号パルスを交互に発生させる第５のｎチャネル薄膜トランジスタと、を有しており、前記ハイ信号供給回路は、前記第２の接続線にドレイン電極が共通接続されている、第７のｎチャネル薄膜トランジスタおよび第８のｎチャネル薄膜トランジスタを有しており、前記第７のｎチャネル薄膜トランジスタおよび前記第８のｎチャネル薄膜トランジスタのそれぞれは、前記第２のｎチャネル薄膜トランジスタよりもサイズが小さい構成であることから、以下の効果を奏する。

【００２１】

開始パルスが入力される第１のｎチャネル薄膜トランジスタと、クロックパルスが入力される第２のｎチャネル薄膜トランジスタと、はそれらのゲート電極およびソース電極に正電圧が１フレームにおいて印加される時間が短いので、第１のｎチャネル薄膜トランジスタおよび第２のｎチャネル薄膜トランジスタの閾値電圧の変動を抑えることができる。また第３のｎチャネル薄膜トランジスタは、そのゲート電極に、正電位のピーク電位を有するハイ信号パルスと、負電位のボトム電位を有するロー信号パルスと、が交互に入力されるので、第３のｎチャネル薄膜トランジスタの閾値電圧の変動を抑えることができる。さらに第３のｎチャネル薄膜トランジスタは、そのゲート電極に入力されるハイ信号パル

スの立上がり部および／または立下がり部が傾斜しているので、第３のｎチャネル薄膜トランジスタのゲート電極に正電位のピーク電位が印加される期間が短くなり、第３のｎチャネル薄膜トランジスタの閾値電圧の変動をより抑えることができる。また、第３のｎチャネル薄膜トランジスタのゲート電極に負電位のボトム電位が印加される期間が短くなるので、第３のｎチャネル薄膜トランジスタおよびその配線に電磁ノイズが重畳されることを抑えることができる。

【００２２】

さらに、従来、奇数フレームにおいて駆動パルスの出力後に第１の接続線の電位を負電位にリセットするために、３つのｎチャネル薄膜トランジスタから成る組と、偶数フレームにおいて駆動パルスの出力後に第１の接続線の電位を負電位にリセットするために、他の３つのｎチャネル薄膜トランジスタの組との２組を、有していたが、本発明の信号線駆動回路においては、第３のｎチャネル薄膜トランジスタと制御回路との組によって、各フレームにおいて駆動パルスの出力後に第１の接続線の電位を負電位にリセットすることができる。従って、信号線駆動回路の回路構成が簡易化および小型化されたものとなる。

【００２３】

また、第７のｎチャネル薄膜トランジスタおよび第８のｎチャネル薄膜トランジスタのそれぞれは、第２のｎチャネル薄膜トランジスタよりもサイズが小さい構成であることから、第７のｎチャネル薄膜トランジスタおよび第８のｎチャネル薄膜トランジスタのそれぞれの抵抗が第２のｎチャネル薄膜トランジスタの抵抗よりも大きくなり、第３のｎチャネル薄膜トランジスタのゲート電極に入力されるハイ信号パルスの立上がり部および／または立下がり部を傾斜させる効果が向上し、第３のｎチャネル薄膜トランジスタのゲート電極に正電位のピーク電位が印加される期間が短くなり、第３のｎチャネル薄膜トランジスタの閾値電圧の変動を効果的に抑えることができる。

【００２４】

本発明のアクティブマトリクス基板は、基板と、前記基板上の所定方向に配置されたゲート信号線と、前記ゲート信号線と交差させて配置されたソース信号線と、前記ゲート信号線と前記ソース信号線の交差部に対応して配置されたスイッチング薄膜トランジスタと、前記スイッチング薄膜トランジスタに接続された被駆動部と、ゲート信号線駆動回路およびソース信号線駆動回路と、を有しており、前記ゲート信号線駆動回路および前記ソース信号線駆動回路の少なくとも一方は、上記本発明の信号線駆動回路から構成されている構成である。この構成により、信号線駆動回路を構成するｎチャネル薄膜トランジスタの閾値電圧の変動が抑えられて、長寿命のものとなる。また、ｎチャネル薄膜トランジスタおよびその配線に電磁ノイズが重畳されることを抑えることができるので、信号伝達特性に優れたものとなる。また、信号線駆動回路の回路構成を簡易化および小型化できるので、小型化されたものとなる。

【００２５】

本発明の表示装置は、上記本発明のアクティブマトリクス基板を有しており、前記被駆動部が画素部である構成であることから、長寿命であり、信号伝達特性が優れているので表示品質が良好であり、小型化されたものとなる。

【図面の簡単な説明】

【００２６】

【図１】図１は、本発明の信号線駆動回路について実施の形態の１例を示す図であり、信号線駆動回路の回路図である。

【図２】図２は、図１の信号線駆動回路のタイミングチャートである。

【図３】図３は、従来の液晶表示パネルの基本構成を示すブロック回路図である。

【図４】図４は、従来のゲート信号線駆動回路の回路図である。

【図５】図５は、図４のゲート信号線駆動回路のタイミングチャートである。

【図６】図６は、ｎチャネル薄膜トランジスタのゲート電極に正電圧を印加し続けたときの閾値電圧のシフト量と、ｎチャネル薄膜トランジスタのソース電極に正電圧を印加し続けたときの閾値電圧のシフト量と、を示すグラフである。

【発明を実施するための形態】
【００２７】
以下、本発明の信号線駆動回路およびアクティブマトリクス基板並びに表示装置の実施の形態について、図面を参照しながら説明する。但し、以下で参照する各図は、本発明の信号線駆動回路等の実施の形態における構成部材のうち、本発明の信号線駆動回路等を説明するための主要部を示している。従って、本発明に係る信号線駆動回路等は、図に示されていない回路基板、配線導体、制御ＩＣ，ＬＳＩ等の周知の構成部材を備えていてもよい。
【００２８】
図１は、本発明の信号線駆動回路について実施の形態の１例を示す図であり、信号線駆動回路の回路図である。また図２は、図１の信号線駆動回路のタイミングチャートである。本発明の信号線駆動回路は、これらの図に示すように、ソース電極が開始パルス入力端子（ｉｎ端子）に接続されており、正電位のピーク電位を有する開始パルス（ｉｎ）を、ドレイン電極から第２のｎチャネルＴＦＴ２（ＴＦＴ２）のゲート電極に出力する第１のｎチャネルＴＦＴ１（ＴＦＴ１）と、ソース電極がクロックパルス入力端子（ＶＣＫ１端子）に接続されており、開始パルスによってオンされ、正電位のピーク電位を有するクロックパルス（ＶＣＫ１）を、ドレイン電極から駆動パルスとして信号線１２に出力する第２のｎチャネルＴＦＴ２と、第１のｎチャネルＴＦＴ１のドレイン電極と第２のｎチャネルＴＦＴ２のゲート電極と、を接続する第１の接続線２１にソース電極が接続され、負電位を供給する負電位線２３にドレイン電極が接続されており、駆動パルスの出力後に第１の接続線２１の電位を負電位にリセットする第３のｎチャネルＴＦＴ３（ＴＦＴ３）と、第３のｎチャネルＴＦＴ３のゲート電極に、正電位のピーク電位を有するハイ信号パルスと、負電位のボトム電位を有するロー信号パルスと、を交互に入力するとともに、ハイ信号パルスの立上がり部および／または立下がり部を傾斜させる制御回路１１と、を有している信号線駆動回路であって、制御回路１１は、第３のｎチャネルＴＦＴ３のゲート電極に正電位のハイ信号を供給するハイ信号供給回路１０と、第３のｎチャネルＴＦＴ３のゲート電極とハイ信号供給回路１０を接続する第２の接続線２２上に配置され、ゲート電極が第２の接続線２２の途中に接続されている第４のｎチャネルＴＦＴ４（ＴＦＴ４）と、第２の接続線２２にソース電極が接続され、負電位線２３（ＶＧＬ線）にドレイン電極が接続されており、ハイ信号にロー信号パルスを合成することによってハイ信号パルスとロー信号パルスを交互に発生させる第５のｎチャネルＴＦＴ５（ＴＦＴ５）と、を有しており、ハイ信号供給回路１０は、第２の接続線２２にドレイン電極が共通接続されている、第７のｎチャネルＴＦＴ７（ＴＦＴ７）および第８のｎチャネルＴＦＴ８（ＴＦＴ８）を有しており、第７のｎチャネルＴＦＴ７および第８のｎチャネルＴＦＴ８のそれぞれは、第２のｎチャネルＴＦＴ２よりもサイズが小さい構成であることから、以下の効果を奏する。
【００２９】
開始パルスが入力される第１のｎチャネルＴＦＴ１と、クロックパルスが入力される第２のｎチャネルＴＦＴ２と、はそれらのゲート電極およびソース電極に正電圧が１フレームにおいて印加される時間が短いので、第１のｎチャネルＴＦＴ１および第２のｎチャネルＴＦＴ２の閾値電圧の変動を抑えることができる。また第３のｎチャネルＴＦＴ３は、そのゲート電極に、正電位のピーク電位を有するハイ信号パルスと、負電位のボトム電位を有するロー信号パルスと、が交互に入力されるので、第３のｎチャネルＴＦＴ３の閾値電圧の変動を抑えることができる。さらに第３のｎチャネルＴＦＴ３は、そのゲート電極に入力されるハイ信号パルスの立上がり部および／または立下がり部が傾斜しているので、第３のｎチャネルＴＦＴ３のゲート電極に正電位のピーク電位が印加される期間が短くなり、第３のｎチャネルＴＦＴ３の閾値電圧の変動をより抑えることができる。また、第３のｎチャネルＴＦＴ３のゲート電極に負電位のボトム電位が印加される期間が短くなるので、第３のｎチャネルＴＦＴ３およびその配線に電磁ノイズが重畳されることを抑えることができる。

【００３０】
第３のｎチャネルＴＦＴ３のゲート電極に負電位のボトム電位が印加される期間を短くするために、例えば、クロックパルス（ＶＣＫ５）におけるパルス発生の周波数を、クロックパルス（ＶＣＫ１）におけるパルス発生の周波数よりも低くすることができる。例えば、クロックパルス（ＶＣＫ１）におけるパルス発生の周波数が２４ｋＨｚである場合、クロックパルス（ＶＣＫ５）におけるパルス発生の周波数を８ｋＨｚとする。これにより、１つのフレームにおいて、第３のｎチャネルＴＦＴ３のゲート電極に負電位のボトム電位が印加される期間を、トータルで短くすることができる。
【００３１】
さらに、従来、奇数フレームにおいて駆動パルスの出力後に第１の接続線２１の電位を負電位にリセットするために、３つのｎチャネルＴＦＴから成る組と、偶数フレームにおいて駆動パルスの出力後に第１の接続線２１の電位を負電位にリセットするために、他の３つのｎチャネルＴＦＴの組との２組を、有していたが、本発明の信号線駆動回路においては、第３のｎチャネルＴＦＴ３と制御回路１１との組によって、各フレームにおいて駆動パルスの出力後に第１の接続線２１の電位を負電位にリセットすることができる。従って、信号線駆動回路の回路構成が簡易化および小型化されたものとなる。
【００３２】
第４のｎチャネルＴＦＴ４は、そのゲート電極が第２の接続線２２に接続されており、各フレームの開始タイミングから駆動パルスの出力タイミングまでの間に、オフ状態とされる。これにより、駆動パルスが負電位線２３側に漏れることを防いでいる。
【００３３】
第６のｎチャネルＴＦＴ６（ＴＦＴ６）は、第３のｎチャネルＴＦＴ３のゲート電極とハイ信号供給回路１０とを接続する第２の接続線２２と、負電位線２３と、に接続されており、各フレームの開始タイミングから駆動パルスの出力タイミングまでの間に、第２の接続線２２の電位（Ｎｏｄｅ＿ｂの電位）を負電位に設定する。
【００３４】
第９のｎチャネルＴＦＴ９（ＴＦＴ９）は、第１の接続線２１と負電位線２３とに接続されており、次段のゲート信号線駆動回路ユニットの駆動パルスによってオンされ、オン時に第１の接続線２１の電位（Ｎｏｄｅ＿ａの電位）を負電位に設定する。
【００３５】
第３のｎチャネルＴＦＴ３のゲート電極に正電位のハイ信号を供給するハイ信号供給回路１０は、ゲート電極とソース電極が接続されたダイオード接続型とされている第７のｎチャネルＴＦＴ７（ＴＦＴ７）と、同様にダイオード接続型とされている第８のｎチャネルＴＦＴ８（ＴＦＴ８）と、を有している。第７のｎチャネルＴＦＴ７と第８のｎチャネルＴＦＴ８は、第２の接続線２２にドレイン電極が共通接続されている。第７のｎチャネルＴＦＴ７のソース電極が、１フレーム毎に正電位（例えば、２０Ｖ）のハイ信号パルスと負電位（例えば、－１０Ｖ）のロー信号パルスを交互に入力するクロックパルス（ＶＣＫ３）の入力端子に接続されている。第８のｎチャネルＴＦＴ８のソース電極が、１フレーム毎に正電位（例えば、２０Ｖ）のハイ信号パルスと負電位（例えば、－１０Ｖ）のロー信号パルスを交互に入力するクロックパルス（ＶＣＫ４）の入力端子に接続されている。そして、クロックパルス（ＶＣＫ３）とクロックパルス（ＶＣＫ４）は、それらの位相が互いに逆位相となっており、第２の接続線２２には正電位のハイ信号が常時供給される。
【００３６】
本発明の信号線駆動回路において、第７のｎチャネルＴＦＴ７および第８のｎチャネルＴＦＴ８のそれぞれは、第２のｎチャネルＴＦＴ２よりもサイズが小さい。この構成により、第７のｎチャネルＴＦＴ７および第８のｎチャネルＴＦＴ８のそれぞれの抵抗（オン抵抗）が第２のｎチャネルＴＦＴ２の抵抗（オン抵抗）よりも大きくなり、第３のｎチャネルＴＦＴ３のゲート電極に入力されるハイ信号パルスの立上がり部および／または立下がり部を傾斜させる効果が向上し、第３のｎチャネルＴＦＴ３のゲート電極に正電位のピ

ーク電位が印加される期間が短くなり、第３のｎチャネルＴＦＴ３の閾値電圧の変動を効果的に抑えることができる。なお、第２のｎチャネルＴＦＴ２は、第１のｎチャネルＴＦＴ１、第３のｎチャネルＴＦＴ３～第９のｎチャネルＴＦＴ９の中で最もサイズが大きく、少なくとも第２のｎチャネルＴＦＴ２のサイズよりも第７のｎチャネルＴＦＴ７および第８のｎチャネルＴＦＴ８のそれぞれのサイズを小さくする構成である。例えば、第７のｎチャネルＴＦＴ７および第８のｎチャネルＴＦＴ８のそれぞれのサイズを、第２のｎチャネルＴＦＴ２のサイズの１／５０乃至１／２００程度とすればよく、より好適には１／８０乃至１／１２０程度とすることがよい。

【００３７】

なお、第２のｎチャネルＴＦＴ２は、クロックパルス（ＶＣＫ１）を駆動パルスとして減衰させずに出力するために、できるだけ抵抗（オン抵抗）が小さい方が良く、従って最もサイズが大きいことが好適である。

【００３８】

本発明のアクティブマトリクス基板は、図３に示す従来の液晶表示パネルにおけるアレイ側基板３０ｂおよびそれに構成されている各構成部材を含むものであって、ゲート信号線駆動回路３５およびソース信号線駆動回路３６の少なくとも一方が、本発明の信号線駆動回路から構成されているものである。すなわち、本発明のアクティブマトリクス基板は、アレイ側基板３０ｂと、アレイ側基板３０ｂ上の所定方向に配置されたゲート信号線３１と、ゲート信号線３１と交差させて配置されたソース信号線３２と、ゲート信号線３１とソース信号線３２の交差部に対応して配置されたスイッチングＴＦＴ３３と、スイッチングＴＦＴ３３に接続された被駆動部（画素部）と、ゲート信号線駆動回路３５およびソース信号線駆動回路３６と、を有しており、ゲート信号線駆動回路３５およびソース信号線駆動回路３６の少なくとも一方は、本発明の信号線駆動回路から構成されているものである。この構成により、信号線駆動回路を構成するｎチャネルＴＦＴの閾値電圧の変動が抑えられて、長寿命のものとなる。また、ｎチャネルＴＦＴおよびその配線に電磁ノイズが重畳されることを抑えることができるので、信号伝達特性に優れたものとなる。また、信号線駆動回路の回路構成を簡易化および小型化できるので、小型化されたものとなる。

【００３９】

本発明のアクティブマトリクス基板は、ＬＣＤ以外に有機ＥＬ画像形成装置（有機ＥＬ感光方式プリンタ）等の有機ＥＬ発光装置、有機ＥＬ表示装置、Ｘ線センサ装置、ＬＥＤ発光装置（ＬＥＤ感光方式プリンタ）、ＬＥＤ表示装置、プラズマ表示装置等の種々の電子機器に適用できる。

【００４０】

本発明の表示装置は、本発明のアクティブマトリクス基板を有しており、被駆動部が画素部である構成である。この構成により、長寿命であり、信号伝達特性が優れているので表示品質が良好であり、小型化されたものとなる。本発明の表示装置は、ＬＣＤ、有機ＥＬ表示装置、ＬＥＤ表示装置、プラズマ表示装置等のアクティブマトリクス型のものであれば適用できる。

【００４１】

なお、本発明の信号線駆動回路およびアクティブマトリクス基板並びに表示装置は、上記実施の形態に限定されるものではなく、適宜の設計的な変更、改良が施されていてもよい。

【産業上の利用可能性】

【００４２】

本発明の信号線駆動回路は、アクティブマトリクス型のＬＣＤ等の表示装置を備えた各種の電子機器に適用できる。その電子機器としては、自動車経路誘導システム（カーナビゲーションシステム）、船舶経路誘導システム、航空機経路誘導システム、スマートフォン端末、携帯電話、タブレット端末、パーソナルデジタルアシスタント（ＰＤＡ）、ビデオカメラ、デジタルスチルカメラ、電子手帳、電子書籍、電子辞書、パーソナルコンピュータ、複写機、ゲーム機器の端末装置、テレビジョン、商品表示タグ、価格表示タグ、産

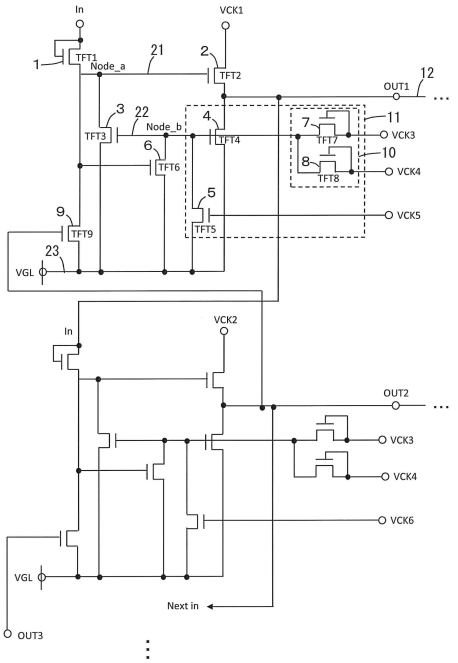
業用のプログラマブル表示装置、カーオーディオ、デジタルオーディオプレイヤー、ファクシミリ、プリンター、現金自動預け入れ払い機（ＡＴＭ）、自動販売機、ヘッドアップディスプレイ装置、プロジェクタ装置、デジタル表示式腕時計、スマートウォッチなどがある。

【符号の説明】

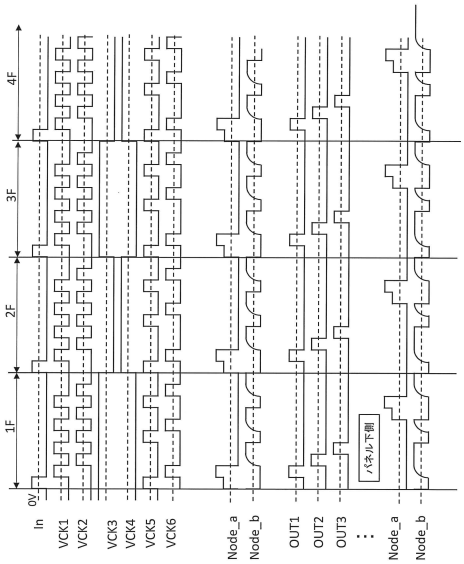
【００４３】

１～９　第１～第９のｎチャネルＴＦＴ
１０　ハイ信号供給回路
１１　制御回路
１２　信号線
２１　第１の接続線
２２　第２の接続線
２３　負電位線

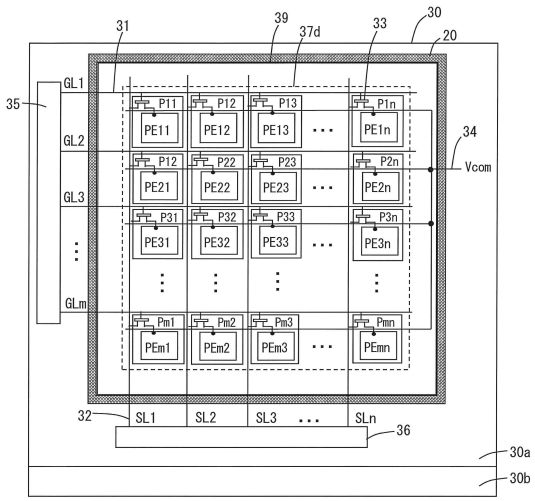
【図１】



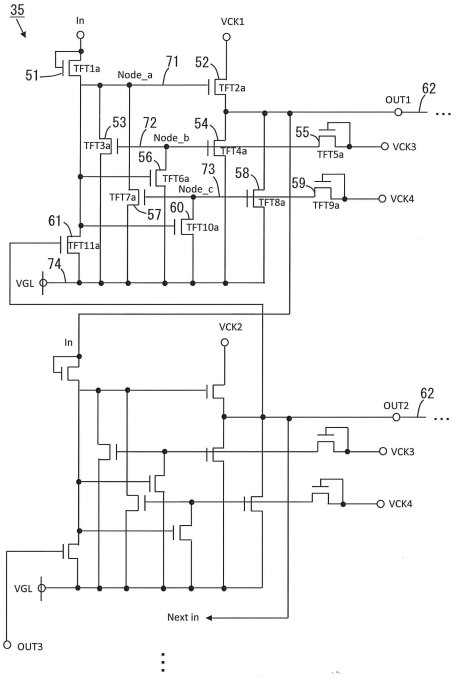
【図２】



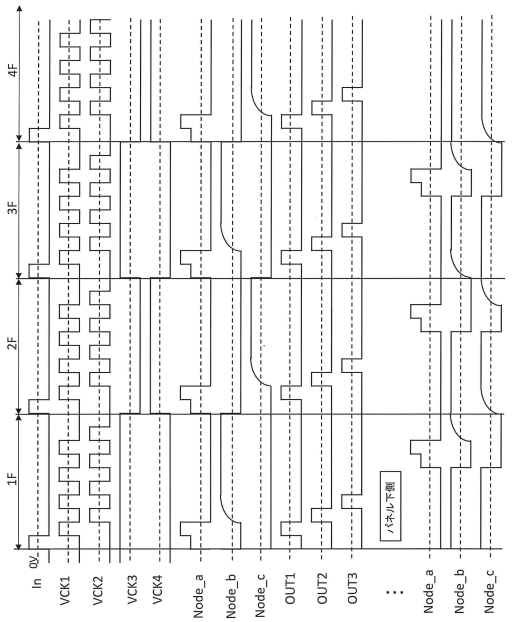
【図３】


31
39
37d
33
30
20
35
GL1
GL2
GL3
GLm
P11
P12
P13
P1n
PE11
PE12
PE13
PE1n
P21
P22
P23
P2n
PE21
PE22
PE23
PE2n
P31
P32
P33
P3n
PE31
PE32
PE33
PE3n
Pm1
Pm2
Pm3
Pmn
PEm1
PEm2
PEm3
PEmn
34
Vcom
32
SL1
SL2
SL3
SLn
36
30a
30b

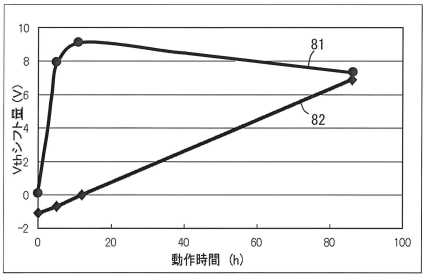
【図４】


35
In
VCK1
51
TFT1a
Node_a
71
52
TFT2a
OUT1
62
53
72
Node_b
54
TFT3a
TFT4a
55
TFT5a
VCK3
56
TFT6a
73
58
Node_c
TFT7a
TFT8a
59
TFT9a
VCK4
57
60
TFT10a
61
TFT11a
74
VGL
In
VCK2
OUT2
62
VCK3
VCK4
VGL
Next in
OUT3

【図５】


4F
3F
2F
1F
0V
In
VCK1
VCK2
VCK3
VCK4
Node_a
Node_b
Node_c
OUT1
OUT2
OUT3
パネル下側
Node_a
Node_b
Node_c

【図６】


10
8
6
4
2
0
-2
Vthシフト量 (V)
0
20
40
60
80
100
動作時間 (h)
81
82

フロントページの続き

(51)Int.Cl. FI

G11C	19/28	230
H03K	17/687	A

(56)参考文献 特開２０１４－１９１８４８（ＪＰ，Ａ）
特開２０１４－１２７２１８（ＪＰ，Ａ）
国際公開第２０１３／０２１９３０（WO，Ａ１）
中国特許出願公開第１０２６５１１８６（ＣＮ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)

Ｇ０９Ｇ	３／３６
Ｇ０９Ｇ	３／２０
Ｇ１１Ｃ	１９／２８
Ｈ０３Ｋ	１７／６８７