



ÚŘAD PRO VYNÁLEZY  
A OSMEVY

# POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

231248

(11)

(B1)

(51) Int. Cl.<sup>3</sup>

G 06 F 11/22

(22) Přihlášeno 31 05 83  
(21) (PV 3895-83)

(40) Zveřejněno 15 02 84

(45) Vydáno 15 06 86

(75)

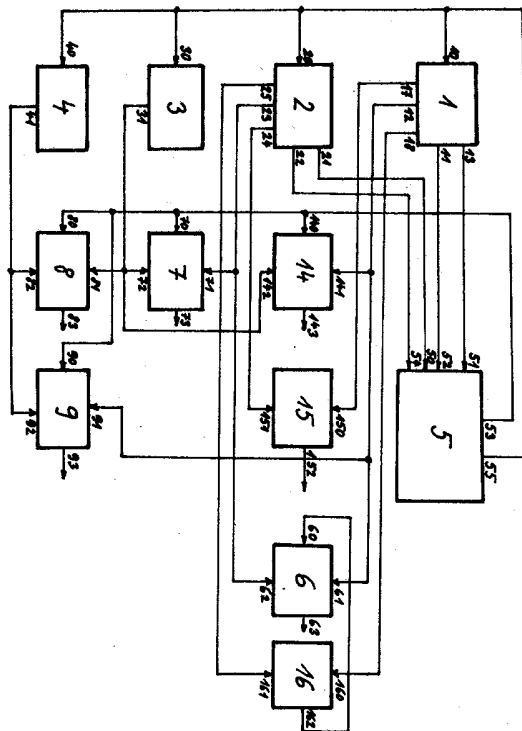
Autor vynálezu

SMÍŠEK JIŘÍ ing., PRAHA

(54) Zapojení nehomogenního systému pro komparační diagnostiku

Vynález řeší materiálovou úsporu při realizaci komparační diagnostiky multimikropočítačového systému pomocí vestavěných komparátorů.

Řešení se dosahuje náhradou redundantních mikropočítačových podsystémů pomocí simulátorů, jejichž podstata spočívá v předvídání následující adresy po provedení instrukce.



Předmětem vynálezu je zapojení nehomogenního systému pro komparační diagnostiku, které řeší materiálovou úsporu při realizaci komparační diagnostiky multimikropočítačového systému pomocí vestavěných komparátorů.

Důležitým kritériem pro návrh multimikropočítačového systému je zabezpečení jeho autonomní diagnostikovatelności. Jednou z metod, které se v praxi používá, je komparace stavů sběrnic jednotlivých mikropočítačových podsystémů v reálném čase pomocí vestavěných komparátorů. Tato metoda má hlavní výhodu v rychlosti provedení testu. Mírou diagnostikovatelności systému bývá často označován maximální přípustný počet poruch  $t$ , který se může v systému současně vyskytnout při zachování lokalizovatelnosti všech poruch.

V komparačním zapojení se ukazuje, že je nutný minimální počet srovnávaných podsystémů  $n_{\text{Amin.}} = t+2$ , počet komparátorů  $n_{\text{Cmin.}} = \binom{t+2}{2} - 1$  a diagnostika může probíhat v jednom kroku testu tj. bez realizace opravy můžeme lokalizovat všech  $t$  poruch. Dosud používaná zapojení komparačního typu však neřeší oblast diagnostiky nehomogenních systémů a uvažují komparaci shodných podsystémů. Tím se při návrhu multimikropočítačového systému z hlediska autonomní diagnostikovatelności vylučuje možnost použití například simulátorů místo redundantních podsystémů, což představuje určitou materiálovou úsporu.

Tuto nevýhodu odstraňuje zapojení nehomogenního systému pro komparační diagnostiku, jehož podstata spočívá v tom, že adresní svorka prvního mikropočítačového podsystému je spojena s první svorkou prvního komparátoru a s první svorkou třetího komparátoru, adresní svorka druhého mikropočítačového podsystému je spojena s druhou svorkou prvního komparátoru a s první svorkou druhého komparátoru, adresní svorka prvního simulátoru je spojena s druhou svorkou druhého komparátoru a s druhou svorkou pátého komparátoru, datová svorka prvního mikropočítačového podsystému je spojena s první svorkou čtvrtého komparátoru, datová svorka druhého mikropočítačového podsystému je spojena s druhou svorkou čtvrtého komparátoru, výstupní svorka žádosti o přerušení prvního mikropočítačového podsystému je spojena se třetí svorkou synchronizátoru, svorka fetch-signálu prvního mikropočítačového podsystému je spojena s druhou svorkou synchronizátoru, výstupní svorka žádosti o přerušení druhého mikropočítačového podsystému je spojena s pátou svorkou synchronizátoru, svorka fetch-signálu druhého mikropočítačového podsystému je spojena s první svorkou synchronizátoru, čtvrtá svorka synchronizátoru je spojena s řídicím vstupem druhého komparátoru a s řídicím vstupem třetího komparátoru, šestá svorka synchronizátoru je spojena se vstupní svorkou žádosti o přerušení prvního mikropočítačového podsystému, se vstupní svorkou žádosti o přerušení druhého mikropočítačového podsystému a se vstupní svorkou žádosti o přerušení prvního simulátoru, svorka řízení prvního mikropočítačového podsystému je spojena s první svorkou sedmého komparátoru, svorka řízení druhého mikropočítačového podsystému je spojena s druhou svorkou sedmého komparátoru a výstup sedmého komparátoru je spojen se třetí svorkou prvního komparátoru.

Výhodou uvedeného zapojení je určitá materiálová úspora, která spočívá v náhradě redundantního mikropočítačového podsystému funkčně redukováným simulátorem při zachování autonomní diagnostikovatelności systému pro výskyt jedné poruchy. Pomocí komparace datových sběrnic lze určit okamžik neshody a po sejmutí hlášení z komparátorů adresních a řídicích sběrnic e kódu řízení probíhající operace se provede další analýza příčiny vzniku neshody v rámci podsystému. Pro libovolný počet poruch  $t$  je možné doplnit systém tolika simulátory, aby byla zajištěna autonomní diagnostikovatelność.

Na přiloženém výkresu je uvedeno zapojení nehomogenního systému pro komparační diagnostiku podle vynálezu. Adresní svorka 12 prvního mikropočítačového podsystému 1 je spojena s první svorkou 61 prvního komparátoru 6, s první svorkou 91 šestého komparátoru 9 a s první svorkou 141 třetího komparátoru 14. Adresní svorka 23 druhého mikropočítačového podsystému 2 je spojena s druhou svorkou 62 prvního komparátoru 6 a s první svorkou 71 druhého komparátoru 7. Adresní svorka 31 prvního simulátoru 3 je spojena s druhou svorkou 72 druhého komparátoru 7, s první svorkou 81 pátého komparátoru 8 a s druhou svorkou 142 třetího

komparátoru 14. Datová svorka 17 prvního mikropočítačového podsystemu 1 je spojena s první svorkou 150 čtvrtého komparátoru 15. Datová svorka 24 druhého mikropočítačového podsystemu 2 je spojena s druhou svorkou 151 čtvrtého komparátoru 15. Výstupní svorka 11 žádosti o přerušení prvního mikropočítačového podsystemu 1 je spojena se třetí svorkou 52 synchronizátoru 5. Svorka 13 fetch-signálu prvního mikropočítačového podsystemu 1 je spojena s druhou svorkou 51 synchronizátoru 5. Výstupní svorka 22 žádosti o přerušení druhého mikropočítačového podsystemu 2 je spojena s pátou svorkou 54 synchronizátoru 5.

Svorka 21 fetch-signálu druhého mikropočítačového podsystemu 2 je spojena s první svorkou 50 synchronizátoru 5. Čtvrtá svorka 53 synchronizátoru 5 je spojena s řídicím vstupem 70 druhého komparátoru 7, s řídicím vstupem 140 třetího komparátoru 14, s řídicím vstupem 80 pátého komparátoru 8 a s řídicím vstupem 90 šestého komparátoru 9.

Šestá svorka 55 synchronizátoru 5 je spojena se vstupní svorkou 10 žádosti o přerušení prvního mikropočítačového podsystemu 1, se vstupní svorkou 20 žádosti o přerušení druhého mikropočítačového podsystemu 2, se vstupní svorkou 20 žádosti o přerušení prvního simulátoru 3 a se vstupní svorkou 40 žádosti o přerušení druhého simulátoru 4. Adresní svorka 41 druhého simulátoru 4 je spojena s druhou svorkou 82 pátého komparátoru 8 a s druhou svorkou 22 šestého komparátoru 9.

Svorka 18 řízení prvního mikropočítačového podsystemu 1 je spojena s první svorkou 160 sedmého komparátoru 16. Svorka 25 řízení druhého mikropočítačového podsystemu 2 je spojena s druhou svorkou 161 sedmého komparátoru 16. Výstup 162 sedmého komparátoru 16 je spojen se třetí svorkou 60 prvního komparátoru 6.

V mikropočítačových podsystemech, které jsou funkční, je v diagnostickém režimu současně spuštěn shodný testovací program. Jeho synchronní průběh je komparován prostřednictvím komparátorů 6, 7, 14, 15 a 16 pro případ zapojení s  $t=1$ . První simulátor 3, který se skládá z čítače počtu instrukcí, z dekodéru míst větvení testovacího programu, a z paměti návěstí testovacího programu, vysílá na adresní svorce 23 očekávanou adresu, tj. plní funkci předvídače následující adresy po provedení jedné instrukce testovacího programu.

Žádosti o přerušení, které vzniknou v mikropočítačových podsystemech 1 a 2, jsou zavedené přes svorky 52 a 54 do synchronizátoru 5 a na svorce 55 se objeví žádost o přerušení sesynchronizovaná s fetch-signály z mikropočítačových podsystemů 1 a 2, aby se zaručilo akceptování žádosti v rámci stejné instrukce. Na vstupní svorce 30 způsobí tento signál výběr příslušné adresy z paměti návěstí. Komparátory 7 a 14 jsou řízené fetch-signály ze svorky 53 synchronizátoru 5, takže dochází ke komparaci pouze adres instrukcí. První komparátor 6 srovnává všechny stavy na adresních sběrnicích a sedmý komparátor 16 srovnává všechny stavy na řídicích sběrnicích a výsledky posílá do prvního komparátoru 6.

Výsledky komparací se z výstupů 63, 73 a 143 posílají do stavového dekodéru (není zakreslený), který považujeme spolu se synchronizátorem 5 a s komunikačními sběrnicemi za tvrdé jádro. Ve stavovém dekodéru se určí v případě detekce neshody, zda porucha je v prvním mikropočítačovém podsystemu 1, nebo ve druhém mikropočítačovém podsystemu 2, nebo v některém komparátoru 6, 7, 14, anebo v prvním simulátoru 3. Protože toto diagnostické rozlišení je příliš hrubé, je v systému zabudovaný čtvrtý komparátor 15 a sedmý komparátor 16 pro detekci neshody na datových a řídicích sběrnicích mikropočítačových podsystemů 1 a 2.

Signál z výstupu 152 může být zpracován pro příkaz k záznamu kódu probíhající operace a řídicí sběrnice jednoho z mikropočítačových podsystemů, obecně z podsystemu se správným kódem řízení, a hlášení prvního komparátoru 6. Z těchto údajů se po skončení testu určí výměnný modul s poruchou (mikroprocesor, paměť, periferní zařízení).

Komparace řídicích sběrnic je zahrnuta do hlášení prvního komparátoru 6 a signalizuje v případě neshody poruchu v některém z mikroprocesorů. Pokud je nutné uvažovat současně možnost detekce dvou poruch trvalého charakteru  $t=2$ , přičemž dojde v průběhu testu alespoň k jedné neshodě mezi těmito poruchami, potom musíme zajistit komparaci čtyř podsystémů pomocí pěti komparátorů. Když nahradíme jeden podsystém simulátorem, pro tři podsystémy potřebujeme tři úplné komparátory adresních, řídicích a datových sběrnic a pro komparaci se simulátorem dva redukované komparátory adresních sběrnic.

Při detekci poruchy se musí zaznamenat kromě adresního syndromu také datový syndrom. Zde mohou nastat tři různé situace při detekci dvou poruch:

a) existuje porucha řízení nebo adresace mikroprocesoru ve dvou podsystémech, potom k lokalizaci mikroprocesorů stačí adresní syndrom;

b) existuje porucha paměti nebo dat mikroprocesoru ve dvou podsystémech, potom kód řízení lze zaznamenat z libovolného podsystému a z tohoto údaje a z datového syndromu se určí paměti nebo mikroprocesory v rámci podsystémů;

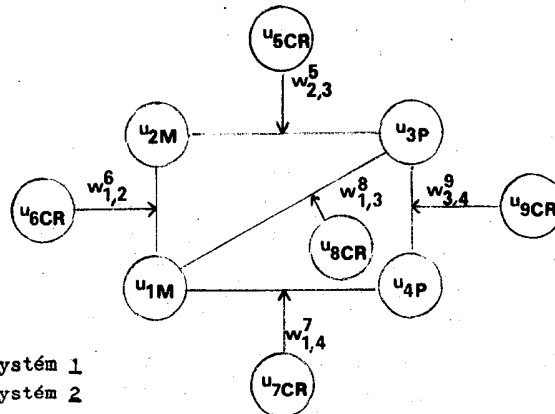
c) existuje porucha paměti nebo dat mikroprocesoru v jednom podsystému a porucha řízení nebo adresace mikroprocesoru v druhém podsystému, potom z adresního syndromu lze určit podsystém se správným kódem a z něho a z datového syndromu lokalizovat poruchu v rámci podsystému. Podsystémy s poruchou se určí po skončení testu z adresního syndromu. Výkres popisuje další variantu, která spočívá v náhradě dvou podsystémů prvním simulátorem 3 a druhým simulátorem 4. Hlášení o případné neshodě se předává z výstupů 63, 73, 83, 93 a 143 opět do stavového dekodéru pro určení místa poruchy. V tomto případě nelze provádět účinnou detekci poruchy prostřednictvím komparace datových, adresních a řídicích sběrnic a diagnostické rozlišení je na úrovni výměnného podsystému, simulátoru nebo komparátoru. Komparátory 6, 7, 8, 9, 14, 15 a 16 se testují například jednotlivě z mikropočítačových podsystémů 1 a 2 při spojených svorkách 61; 62, resp. 71, 72, resp. 81, 82, resp. 91, 92, resp. 141, 142, resp. 150, 151, resp. 160, 161 (není předmětem této příhlášky vynálezu).

Uvedený systém lze znázornit z hlediska diagnostiky grafovým modelem  $G / U_F, U_M, U_{CC}, U_{CR}, U_P, C, T, D /$ , kde  $U_F$  je množina uzlů odpovídající jednotlivým funkčním modulům  $u_{iF}$  /mikroprocesory, paměti, vnější zařízení/,  $U_M$  je množina uzlů  $u_{iM}$  odpovídajících shodným podsystémům, které sestávají z modulů  $u_{iF}$  /makromoduly/,  $U_{CC}$  je množina uzlů  $u_{jCC}$  odpovídajících jednotlivým úplným komparačním modulům /komparátory/,  $U_{CR}$  je množina uzlů  $u_{jCR}$  odpovídajících jednotlivým redukovaným komparačním modulům /komparátory/,  $U_P$  je množina uzlů  $u_{nP}$  odpovídajících jednotlivým simulačním modulům /simulátory-předváděče/,  $C$  je množina hran  $\rightarrow c_{i,j}^k$  reprezentujících komparace modulů  $u_{iF}$ ,  $u_{jF}$  respektive  $u_{iM}$ ,  $u_{jM}$  respektive  $u_{iP}$ ,  $u_{jP}$  realizované komparátorem  $u_{kCC}$  respektive  $u_{kCR}$ ,  $T$  je množina hran  $\rightarrow t_j^i$  reprezentujících úplný detekční test modulu  $u_{jF}$  respektive  $u_{jC}$  respektive  $u_{jP}$  respektive  $u_{jM}$  realizovaný makromodulem  $u_{iM}$  a  $D$  je množina hran  $\rightarrow d_{i,j}$  reprezentujících možnost obousměrné resp. jednosměrné stimulace mezi moduly  $u_{iF}$ ,  $u_{jF}$ , respektive  $u_{iM}$ ,  $u_{jP}$ .

K jednotlivým hranám se připisují binární váhy  $w_{i,j}$  respektive  $w_j$  respektive  $w_{i,j}^k$ . Váha  $w_{i,j}^k = 0$ , když komparátor  $u_{kC}$  nedetekoval neshodu do okamžiku vyhodnocení, v opačném případě  $= 1$ . Váha  $w_j^i = 0$ , když test  $t_j^i$  nedetekoval poruchu, v opačném případě  $= 1$ . Váha  $w_{i,j}$  připisovaná k hraně  $\rightarrow d_{i,j}$  je rovna 0, když v okamžiku detekce poruchy zdrojem stimulu je modul  $u_i$  a je rovna 1 v případě, že zdrojem stimulu je modul  $u_j$ .

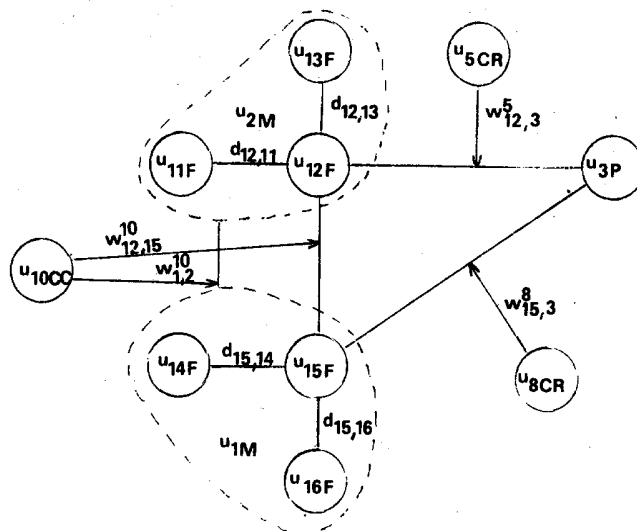
Váhy mají nedefinovanou hodnotu  $x(0,1)$ , když moduly realizující danou operaci mají poruchu. Uvažujeme pouze poruchy trvalého charakteru a předpokládáme, že v důsledku rychlosti provedení testu nevznikne v průběhu testu porucha. Hodnoty vah se po provedení testu dekodují ve stavovém dekodéru, který považujeme spolu se synchronizátorem

a s komunikačními cestami za tvrdé jádro. Zapojení, které je předmětem vynálezu, znázorníme následujícím diagnostickým grafem na úrovni podsystémů:



kde  $u_{1M}$  je první mikropočítačový podsystém 1  
 $u_{2M}$  je druhý mikropočítačový podsystém 2  
 $u_{3P}$  je první simulátor 3  
 $u_{4P}$  je druhý simulátor 4  
 $u_{5CR}$  je druhý komparátor 7  
 $u_{6CR}$  je první komparátor 6  
 $u_{7CR}$  je šestý komparátor 2  
 $u_{8CR}$  je třetí komparátor 14  
 $u_{9CR}$  je pátý komparátor 8.

Zapojení, které je v prvním bodu předmětu vynálezu znázorníme diagnostickým grafem na úrovni funkčních modulů:



kde  $u_{11F}$  je paměť,  $u_{12F}$  je mikroprocesor,  $u_{13F}$  je přídavné zařízení,  $u_{14F}$  je paměť,  $u_{15F}$  je mikroprocesor,  $u_{16F}$  je přídavné zařízení,  $u_{10CC}$  je úplný komparační modul sestavený z prvního komparátoru 6, ze čtvrtého komparátoru 15 a ze sedmého komparátoru 16.

Za předpokladu, že každá porucha v mikropočítačovém podsystému 1 nebo 2 se projeví v průběhu testu alespoň jednou nesprávnou adresou instrukce, a že každé dvě různé poruchy v komparovaných modulech se projeví alespoň jednou různými odezvami, je systém reprezentovaný prvním grafem sekvenčně diagnostikovatelný pro dvě poruchy  $t=2$  (do každého komparačního modulu musí vstupovat alespoň jedna testovací hrana). Přitom musí vnitřní struktura simulátorů zajišťovat jejich autonomní funkci.

Vyplývá to z teoretických závěrů modelu, že počet komparovaných modulů  $n_{\text{Amin.}} = t+2$  a počet komparátorů  $n_{\text{Cmin.}} = \binom{t+2}{2} - 1$  pro případ autonomní stimulace komparovaných modulů. Definujeme diagnostikovatelnost systému tak, že všechny makromoduly s poruchou  $/n_M$  mikropočítačových podsystémů/ jsou identifikovatelné.

Pokud se týká části systému, která je obsažena v prvním bodu předmětu vynálezu, jedná se o systém diagnostikovatelný pro  $t=1$  /druhý diagnostický graf/. Čtvrtý komparátor 15 detekuje neshody na datových sběrnicích podsystémů a sedmý komparátor 16 detekuje neshody na řídicích sběrnicích podsystémů. Ve stavovém dekodéru musí být zajištěno uložení stavu výstupu 61 prvního komparátoru 6 a kód řízení v okénžiku detekce neshody čtvrtým komparátorem 15.

Obecně musíme zajistit  $2t + 1$  komparovaných modulů, z čehož může být  $t$  simulátorů. V okamžiku detekce poruchy se musí uložit i datový syndrom. Pro komparaci je třeba  $\binom{t+1}{2}$  úplných komparátorů a  $\binom{t+1}{2}$  redukovaných komparátorů. Rozdíl tohoto zapojení proti zapojení s  $t+2$  komparovanými moduly při stejné úrovni lokalizace spočívá v odstranění předpokladu alespoň jednoho rozdílu v odezvách dvou modulů s poruchou v průběhu testu, přičemž však  $t$  modulů nemusí být plnohodnotnými mikropočítačovými podsystémy.

V případě, že není zajištěna autonomní činnost simulátoru, například první mikropočítačový podsystém 1 předává do simulátoru informace o místech větvení, potom uvedený počet modulů nestačí pro zajištění diagnostikovatelnosti a je třeba  $2t + 2$  komparovaných modulů pro  $t=1$ . V grafu se potom objeví hrana  $\rightarrow d_{1,j}$  označující stimulaci modulu  $u_{3p}$  modulem  $u_{1M}$ . Pro  $t \geq 2$  je zajištěna diagnostikovatelnost při  $t+2$  komparovaných modulech s jedním simulátorem a při maximálním počtu simulátorů musí být rovněž  $2t + 2$  komparovaných modulů.

Možnost použití popsaného zapojení je při syntéze multimikropočítačových systémů s ohledem na úsporu materiálu při zachování jejich autonomní diagnostikovatelnosti.

#### PŘEDMĚT VYNÁLEZU

1. Zapojení nehomogenního systému pro komparační diagnostiku sestávající z mikropočítačových podsystémů obsahujících mikroprocesor, paměť a přídatné zařízení, ze synchronizátoru, z komparátorů a ze simulátorů, vyznačující se tím, že adresní svorka (12) prvního mikropočítačového podsystému (1) je spojena s první svorkou (61) prvního komparátoru (6) a s první svorkou (141) třetího komparátoru (14), adresní svorka (23) druhého mikropočítačového podsystému (2) je spojena s druhou svorkou (62) prvního komparátoru (6) a s první svorkou (71) druhého komparátoru (7), adresní svorka (31) prvního simulátoru (3) je spojena s druhou svorkou (72) druhého komparátoru (7) a s druhou svorkou (142) pátého komparátoru (14), datová svorka (17) prvního mikropočítačového podsystému (1) je spojena s první svorkou (150) čtvrtého komparátoru (15), datová svorka (24) druhého mikropočítačového podsystému (2) je spojena s druhou svorkou (151) čtvrtého komparátoru (15), výstupní svorka (11) žádosti o přerušení prvního mikropočítačového podsystému (1) je spojena se třetí svorkou (52) synchronizátoru (5), svorka (13) fetch-signalu prvního mikropočítačového podsystému (1) je spojena s druhou svorkou (51) synchronizátoru (5), výstupní svorka (22) žádosti o přerušení druhého mikropočítačového podsystému (2) je spojena s pátou svorkou (54) synchronizátoru (5), svorka (21) fetch-signalu druhého mikropočítačového podsystému (2) je spojena s první svorkou (50) synchronizátoru (5), čtvrtá svorka (53) synchronizátoru (5) je spojena s řídicím vstupem (70) druhého komparátoru (7) a s řídicím vstupem (140) třetího komparátoru (14) a šestá svorka (55) synchronizátoru (5) je spojena se vstupní svorkou (10) žádosti o přerušení prvního mikropočítačového podsystému (1), se vstupní svorkou (20) žádosti o přerušení druhého mikropočítačového podsystému (2) a se vstupní svorkou (30) žádosti o přerušení prvního simulátoru (3), svorka (18) řízení prvního mikropočítačového podsystému (1) je spojena

s první svorkou (160) sedmého komparátoru (16), svorka (25) řízení druhého mikropočítačového podsystemu (2) je spojena s druhou svorkou (161) sedmého komparátoru (16) a výstup (162) sedmého komparátoru (16) je spojen se třetí svorkou (60) prvního komparátoru (6).

2. Zapojení podle bodu 1, vyznačující se tím, že adresní svorka (31) prvního simulátoru (3) je dále spojena s první svorkou (81) pátého komparátoru (8), jehož druhá svorka (82) je spojena s adresní svorkou (41) druhého simulátoru (4) a s druhou svorkou (92) šestého komparátoru (9), přičemž první svorka (91) šestého komparátoru (9) je spojena s adresní svorkou (12) prvního mikropočítačového podsystemu (1), jehož vstupní svorka (10) žádosti o přerušení je dále spojena se vstupní svorkou (40) žádosti o přerušení druhého simulátoru (4) a čtvrtá svorka (53) synchronizátoru (5) je dále spojena s řídicím vstupem (80) pátého komparátoru (8) a s řídicím vstupem (90) šestého komparátoru (9).

1 výkres

