(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [7]
H01L 27/04

(45) 공고일자 2001년11월15일
(11) 등록번호 10-0307554
(24) 등록일자 2001년08월22일

(21) 출원번호 10-1998-0025951
(22) 출원일자 1998년06월30일

(65) 공개번호 특2000-0004507
(43) 공개일자 2000년01월25일

(73) 특허권자 주식회사 하이닉스반도체
박종섭
경기 이천시 부발읍 아미리 산136-1

(72) 발명자 이창혁
경기도 이천시 부발읍 아미리 산 148-1 현대아파트 108-508
정재관
경기도 이천시 부발읍 아미리 산148-1 현대아파트 103-405

(74) 대리인 이정훈
이후동

심사관 : 정해곤

(54) ESD 소자를 구비하는 반도체장치

요약

본 발명은 ESD 소자를 구비하는 반도체장치에 관한 것으로, CMOS 구조의 데이타 출력 드라이버의 반도체 집적회로의 ESD 보호회로에 있어서 NMOS 주위에 n-웰 가드링을 형성하고, 상기 n-웰 가드링을 PMOS의 n-웰과 묶어서 Vss가 포지티브인 모드에서 PMOS쪽으로 PNPN 패스를 형성하여 기존의 Vcc와 Vss 사이의 다이오드를 대치함으로써 레이아웃 면적을 감소시켜 그에 따른 반도체소자의 특성 및 신뢰성을 향상시키는 기술이다.

대표도

도 5

명세서

도면의 간단한 설명

도 1 및 도 2 는 종래기술에 따른 ESD 방지회로도.

도 3 및 도 4 는 본 발명의 제1실시예에 따른 ESD 방지회로도.

도 5 내지 도 7 은 본 발명에 따른 ESD 방지회로의 레이아웃도.

도 8a 내지 도 8h 는 본 발명의 제2실시예에 따른 ESD 방지회로도.

도 9a 내지 도 9h 는 본 발명의 제3실시예에 따른 ESD 방지회로도.

< 도면의 주요부분에 대한 부호 설명 >

10 : 게이트 전극 20 : 소자분리영역

30 : n - 웰 40 : 메탈 콘택

50 : 메탈 60 : n - 웰 가드링

A : NMOS 필드 트랜지스터 또는 액티브 트랜지스터 영역

B : PMOS 필드 트랜지스터 또는 액티브 트랜지스터 영역

Ⅰ : NMOS 필드 트랜지스터

Ⅱ : PMOS 필드 트랜지스터

Ⅲ : 액티브 트랜지스터

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 ESD 소자를 구비하는 반도체장치에 관한 것으로서, 특히 n - 웰 가드링이나 n+ 가드링을 데이타 입력 버퍼의 NMOS 필드 트랜지스터나 데이타 출력 버퍼의 NMOS 트랜지스터 주위에 형성하여 각각 PMOS 필드 트랜지스터의 n - 웰과 PMOS 트랜지스터의 n - 웰에 스트랩핑함으로써 두 웰 사이의 저항을 줄여 ESD 및 래치 - 업 특성을 향상시켜 반도체소자의 특성 및 신뢰성을 향상시키는 기술에 관한 것이다.

일반적으로 반도체소자가 정전기 방전에 노출되었을 때 내부회로가 손상을 받게 되어 소자가 오동작하거나 신뢰성에 문제가 발생한다.

이러한 내부회로 손상은 정전기 방전때 입력단자를 통해 주입된 전하가 내부회로를 거쳐 최종적으로 다른 단자로 빠져나가면서 일으키는 주울(Joule)열로 인해 취약한 곳에서 정션 스파이킹(junction spiking), 산화막 균열(rupture) 현상 등을 일으키기 때문이다.

그래서 이를 해결하기 위해서는 정전기 방전 때 주입된 전하가 내부회로를 통하여 빠져나가기 전에 입력 단에 주입된 전하를 곧바로 전원공급 단자 쪽으로 방전시킬 수 있는 정전기 방지용 회로를 삽입하여야만 정전기 방전으로 인한 반도체소자의 손상을 방지할 수 있는 것이다.

도 1 에 도시된 것과 같이 입력핀의 ESD 보호회로를 NMOS와 PMOS 두개의 필드 트랜지스터로 사용하는 경우와 도 2 의 데이타 출력핀에 있어서, 데이타 출력 드라이버를 NMOS와 PMOS로 사용하는 경우가 있는데 두 경우 모드 Vcc와 Vss 사이에 게이트 다이오드를 형성하여 Vss가 포지티브 모드일때 메인 바이폴라 트랜지스터로 동작하는 NMOS의 전

류를 분산시켜 PMOS의 p+ 확산층에서 n-웰을 통해 Vcc와 Vss 사이의 바이폴라로 흐르는 패스인 PNPN 패스로 흐르게 하여 ESD의 내성을 강화시키는 방법이 사용되고 있다.

그러나, 상기와 같이 종래기술에 따른 ESD 소자를 구비하는 반도체장치는, Vcc 파워 라인의 저항 때문에 상기 PNPN 패스로 전류가 충분하게 흐르지 못하고, 상기 Vcc와 Vss 사이의 다이오드 때문에 별도의 레이아웃 면적이 추가되는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기한 종래기술의 문제점을 해결하기 위하여, 래치업 방지용으로 사용되는 n-웰이나 n+ 가드링을 데이타 입력 버퍼의 NMOS 필드 트랜지스터나 데이타 출력 버퍼의 NMOS 트랜지스터에 인접하게 형성하여 상기 데이타 입력 버퍼의 경우 PMOS 필드 트랜지스터와 데이타 출력 버퍼의 경우 PMOS 트랜지스터의 n-웰에 연결되도록 레이아웃한 다음, 상기 연결된 두 웰에 메탈을 사용하여 스트랩핑하여 두 웰 사이의 저항을 감소시켜 ESD 특성을 향상시키는 ESD 소자를 구비하는 반도체장치를 제공하는데 그 목적이 있다.

발명의 구성 및 작용

이상의 목적을 달성하기 위하여 본 발명에 따른 ESD 소자를 구비하는 반도체장치는,

PMOS 와 NMOS를 데이타 출력 드라이버의 ESD 보호회로로 사용하는 반도체장치에 있어서,

상기 NMOS 주위에 n-웰 가드링을 형성하여 상기 n-웰 가드링과 상기 PMOS 의 n-웰을 스트랩핑하는 것을 특징으로 한다.

이상의 목적을 달성하기 위하여 본 발명에 따른 ESD 소자를 구비하는 반도체장치는,

PMOS 필드 트랜지스터와 NMOS 필드 트랜지스터를 입력 ESD 보호회로로 사용하는 반도체장치에 있어서,

상기 NMOS 필드 트랜지스터 주위에 n-웰 가드링을 형성하여 상기 n-웰 가드링과 상기 PMOS 필드 트랜지스터의 n-웰을 스트랩핑하는 것을 특징으로 한다.

이상의 목적을 달성하기 위하여 본 발명에 따른 ESD 소자를 구비하는 반도체장치는,

PMOS 필드 트랜지스터와 NMOS 필드 트랜지스터를 입력 ESD 보호회로로 사용하는 반도체장치에 있어서,

상기 PMOS 필드 트랜지스터 주위에 p+ 가드링을 형성하여 상기 p+ 가드링과 상기 NMOS 필드 트랜지스터의 p+ 픽업을 스트랩핑하는 것을 특징으로 한다.

이하, 첨부된 도면을 참고로 하여 본 발명을 상세히 설명하기로 한다.

도 3 은 ESD 보호회로로서 데이타 출력 버퍼의 풀업 드라이버로 PMOS 트랜지스터(P · U TR)를 사용하고, 풀다운 드라이버로 NMOS 트랜지스터(P · D TR)를 사용하는 경우로서 상기 NMOS 트랜지스터 주위에 n-웰 가드링(60)을 도 6 과 같이 형성하고, 도 7 에 도시된 것과 같이 상기 n-웰 가드링(60)을 상기 PMOS 트랜지스터의 n-웰(30)과 묶어서 메탈 스트랩핑하여 상기 두 n-웰을 묶는다. 이때, 상기 NMOS 트랜지스터 주위의 n-웰 가드링을 n+확산층으로 형성할 수 있고, 3중웰공정을 사용하는 경우에는 상기 NMOS 트랜지스터를 RMOS 트랜지스터로 형성할 수 있다. 그리고, 상기 메탈 스트랩핑은 다결정실리콘이나 폴리사이드(polycide)를 버퍼로 형성한 다음 실시하거나, 상기 메탈 스트랩핑

을 상기 다결정실리콘이나 폴리사이드로 실시할 수 있다.

도 4 는 ESD보호회로로서 데이타 출력 버퍼의 풀업 드라이버로 PMOS 트랜지스터(P·U TR)를 사용하고 풀 다운 드라이버로 NMOS 트랜지스터(P·D TR)를 사용하는 경우 PMOS 트랜지스터 주위에 p+ 가드링을 형성하고, 상기 p+ 가드링을 상기 NMOS 트랜지스터의 p+픽업을 묶어서 메탈 스트랩핑한다. 여기서, 상기 p+ 가드링과 상기 NMOS 트랜지스터의 p+픽업을 직접 묶지 않고 메탈로만 연결할 수도 있다. 그리고, 상기 메탈 스트랩핑은 다결정실리콘이나 폴리사이드를 버퍼로 사용한 다음 실시하거나, 다결정실리콘이나 폴리사이드를 사용하여 실시할 수 있다.

도 8a 는 입력 ESD 보호회로로서 PMOS 필드 트랜지스터(field transistor, F.TR)와 NMOS 필드 트랜지스터를 사용하고, 입력 패드에서 저항을 거쳐 접지선에 게이트 다이오드 트랜지스터를 사용하고, Vcc선에도 게이트 다이오드 트랜지스터를 사용하는 경우로서, NMOS 필드 트랜지스터 주위에 n-웰 가드링을 형성하고, 상기 n-웰 가드링을 상기 PMOS 필드 트랜지스터의 n-웰과 묶어서 메탈 스트랩핑하여 두 n-웰을 묶는다. 이때, 상기 NMOS 필드 트랜지스터 주위의 n-웰 가드링을 n+확산층으로 형성할 수 있고, 3중웰공정을 사용하는 경우에는 상기 NMOS 필드 트랜지스터를 RMOS 필드 트랜지스터로 형성할 수 있다. 그리고, 상기 메탈 스트랩핑은 다결정실리콘이나 폴리사이드를 버퍼로 형성한 다음 실시하거나, 상기 메탈 스트랩핑을 상기 다결정실리콘이나 폴리사이드를 사용하여 실시할 수 있다.

상기 도 8a 에 대한 실시예로서 도 8b 는 상기 도 8a 의 입력 ESD 보호회로에서 접지선에 형성된 게이트 다이오드 트랜지스터를 제거한 경우이고, 도 8c 는 Vcc선에 형성된 게이트 다이오드 트랜지스터를 제거한 경우이다.

그리고, 도 8d 는 접지선에 게이트 다이오드 트랜지스터와 Vcc선에 게이트 다이오드 트랜지스터를 제거한 경우이다.

도 8e 는 도 8a 의 입력 ESD 보호회로에서 입력패드에서의 저항을 제거한 경우이다.

도 8f 는 도 8e 에서 접지선의 게이트 다이오드 트랜지스터를 제거한 경우이고, 도 8g 는 Vcc 선의 게이트 다이오드 트랜지스터를 제거한 경우이다.

도 8h 는 상기 도 8a 의 입력 ESD 보호회로에서 PMOS 필드 트랜지스터와 NMOS 필드 트랜지스터만 사용하는 경우이다.

도 9a 는 입력 ESD 보호회로로서 PMOS 필드 트랜지스터와 NMOS 필드 트랜지스터를 사용하고, 입력 패드에서 저항을 거쳐 접지선에 게이트 다이오드 트랜지스터를 사용하고, Vcc선에도 게이트 다이오드 트랜지스터를 사용하는 경우로서, PMOS 필드 트랜지스터 주위에 p+ 픽업을 형성하고, 상기 p+ 픽업을 상기 NMOS 필드 트랜지스터의 p+ 픽업과 묶어서 메탈 스트랩핑하여 두 p+ 픽업을 묶는다. 이때, 3중웰공정을 사용하는 경우에는 상기 NMOS 필드 트랜지스터를 RMOS 필드 트랜지스터로 형성할 수 있다. 그리고, 상기 메탈 스트랩핑은 다결정실리콘이나 폴리사이드를 버퍼로 형성한 다음 실시하거나, 상기 메탈 스트랩핑을 상기 다결정실리콘이나 폴리사이드를 사용하여 실시할 수 있다.

상기 도 9a 에 대한 실시예로서 도 9b 는 상기 도 9a 의 입력 ESD 보호회로에서 접지선에 형성된 게이트 다이오드 트랜지스터를 제거한 경우이고, 도 9c 는 Vcc선에 형성된 게이트 다이오드 트랜지스터를 제거한 경우이다.

그리고, 도 9d 는 접지선에 게이트 다이오드 트랜지스터와 Vcc선에 게이트 다이오드 트랜지스터를 제거한 경우이다.

도 9e 는 도 9a 의 입력 ESD 보호회로에서 입력패드에서의 저항을 제거한 경우이다.

도 9f 는 도 9e 에서 접지선의 게이트 다이오드 트랜지스터를 제거한 경우이고, 도 9g 는 Vcc 선의 게이트 다이오드 트랜지스터를 제거한 경우이다.

도 9h 는 도 9a 의 입력 ESD 보호회로에서 PMOS 필드 트랜지스터와 NMOS 필드 트랜지스터만 사용하는 경우이다.

발명의 효과

이상에서 설명한 바와 같이 본 발명에 따른 ESD 소자를 구비하는 반도체장치는, CMOS 구조의 데이타 출력 드라이버의 반도체 집적회로의 ESD 보호회로에 있어서 NMOS 트랜지스터 주위에 n-웰 가드링을 배치하고, 이것을 PMOS 트랜지스터의 n-웰과 묶어서 Vss가 포지티브인 모드에서 PMOS 트랜지스터쪽으로 PNPN 패스를 형성하여 기존의 Vcc와 Vss 사이의 다이오드를 대치함으로써 레이아웃 면적을 감소시켜 그에 따른 반도체소자의 특성 및 신뢰성을 향상시키는 이점이 있다.

(57) 청구의 범위

청구항 1.

PMOS 트랜지스터와 NMOS 트랜지스터가 ESD 보호회로로 사용되는 데이타 출력 드라이버를 구비하는 ESD 소자를 구비하는 반도체장치에 있어서,

상기 NMOS 트랜지스터 주위에 n-웰 가드링이 구비되어 상기 n-웰 가드링과 상기 PMOS 트랜지스터의 n-웰이 스트랩핑되는 ESD 소자를 구비하는 반도체장치.

청구항 2.

제 1 항에 있어서,

상기 n-웰 가드링은 n+ 확산층으로 형성되는 것을 특징으로 하는 ESD 소자를 구비하는 반도체장치.

청구항 3.

제 1 항에 있어서,

상기 PMOS 트랜지스터 주위에 p+ 가드링이 형성되어 상기 p+ 가드링과 상기 NMOS 트랜지스터의 p+ 픽업이 스트랩핑되는 것을 특징으로 하는 ESD 소자를 구비하는 반도체장치.

청구항 4.

제 1 항에 있어서,

상기 NMOS 필드 트랜지스터는 3중웰 공정을 실시하는 경우에 RMOS 필드 트랜지스터로 형성되는 것을 특징으로 하는 ESD 소자를 구비하는 반도체장치.

청구항 5.

제 1 항에 있어서,

상기 n-웰 가드링과 상기 PMOS 트랜지스터의 n-웰은 메탈으로 스트랩핑되는 것을 특징으로 하는 ESD 소자를 구비하는 반도체장치.

청구항 6.

제 5 항에 있어서,

상기 메탈은 다결정실리콘 및 폴리사이드으로 사용되거나 상기 다결정실리콘 및 폴리사이드를 버퍼로 사용한 후 메탈으로 사용되는 것을 특징으로 하는 ESD 소자를 구비하는 반도체장치.

청구항 7.

PMOS 필드 트랜지스터와 NMOS 필드 트랜지스터가 입력 ESD 보호회로로 사용되는 ESD 소자를 구비하는 반도체장치에 있어서,

상기 NMOS 필드 트랜지스터 주위에 n-웰 가드링이 형성되고, 상기 n-웰 가드링과 상기 PMOS 필드 트랜지스터의 n-웰이 스트랩핑되는 것을 특징으로 하는 ESD 소자를 구비하는 반도체장치.

청구항 8.

제 7 항에 있어서,

상기 입력 ESD 보호회로를 사용하는 반도체장치에서 접지선에 게이트 다이오드 트랜지스터, Vcc 선에 게이트 다이오드 트랜지스터 또는 입력 패드에서의 저항의 군에서 하나 또는 그들의 조합으로 구성되는 것을 특징으로 하는 ESD 소자를 구비하는 반도체장치.

청구항 9.

제 7 항에 있어서,

상기 NMOS 필드 트랜지스터는 3중웰 공정을 실시하는 경우에 RMOS 필드 트랜지스터로 형성되는 것을 특징으로 하는 ESD 소자를 구비하는 반도체장치.

청구항 10.

제 7 항에 있어서,

상기 n-웰 가드링은 n+ 확산층으로 형성되는 것을 특징으로 하는 ESD 소자를 구비하는 반도체장치.

청구항 11.

제 7 항에 있어서,

상기 n-웰 가드링과 상기 PMOS 트랜지스터의 n-웰은 메탈으로 스트랩핑되는 것을 특징으로 하는 ESD 소자를 구비하는 반도체장치.

청구항 12.

제 11 항에 있어서,

상기 메탈은 다결정실리콘 및 폴리사이드으로 사용되거나 상기 다결정실리콘 및 폴리사이드를 버퍼로 사용한 후 메탈으로 사용되는 것을 특징으로 하는 ESD 소자를 구비하는 반도체장치.

청구항 13.

PMOS 필드 트랜지스터와 NMOS 필드 트랜지스터를 입력 ESD 보호회로로 사용하는 반도체장치에 있어서,

상기 PMOS 필드 트랜지스터 주위에 p+ 가드링을 형성하여 상기 p+ 가드링과 상기 NMOS 필드 트랜지스터의 p+ 픽업을 스트랩핑하는 것을 특징으로 하는 ESD 소자를 구비하는 반도체장치.

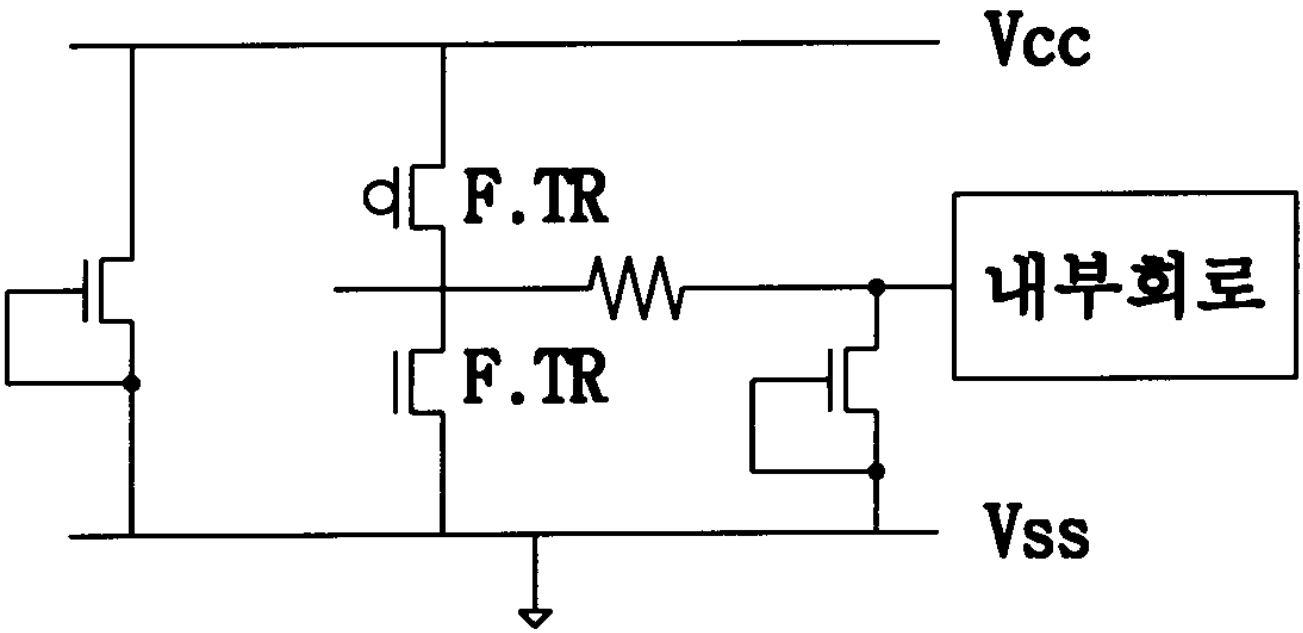
청구항 14.

제 13 항에 있어서,

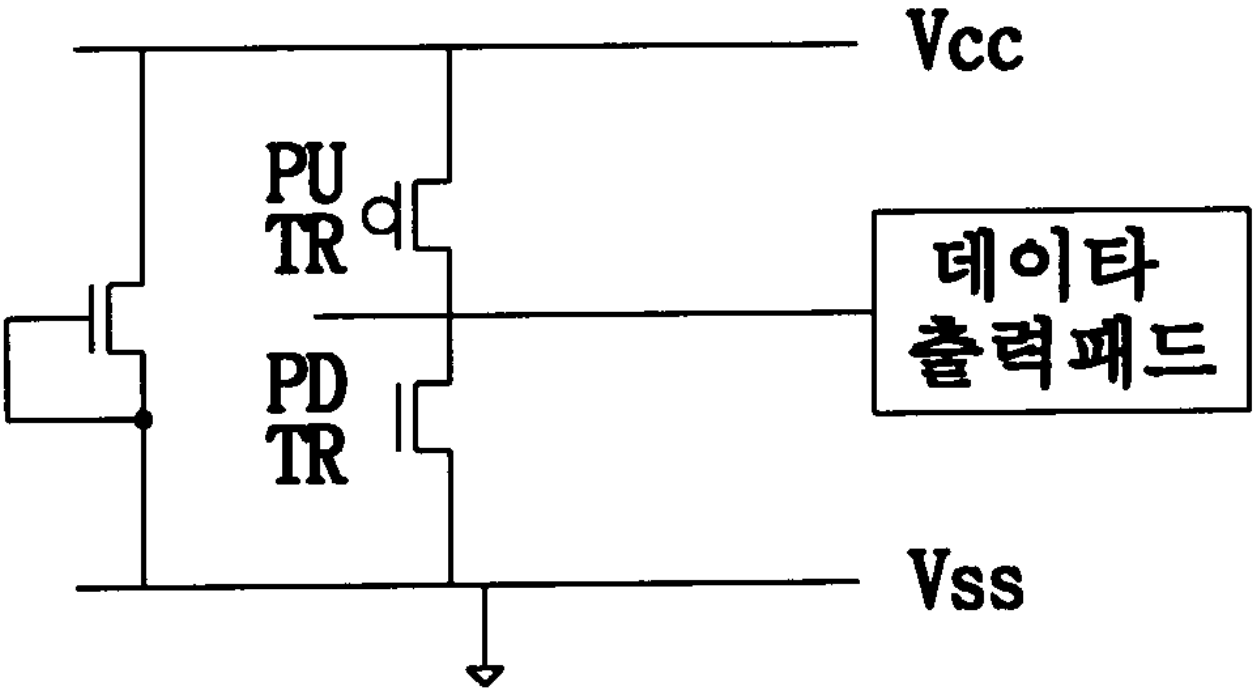
상기 입력 ESD 보호회로를 사용하는 반도체장치에서 접지선에 게이트 다이오드 트랜지스터, Vcc 선에 게이트 다이오드 트랜지스터 또는 입력 패드에서의 저항의 군에서 하나 또는 그들의 조합으로 구성되는 것을 특징으로 하는 ESD 소자를 구비하는 반도체장치.

도면

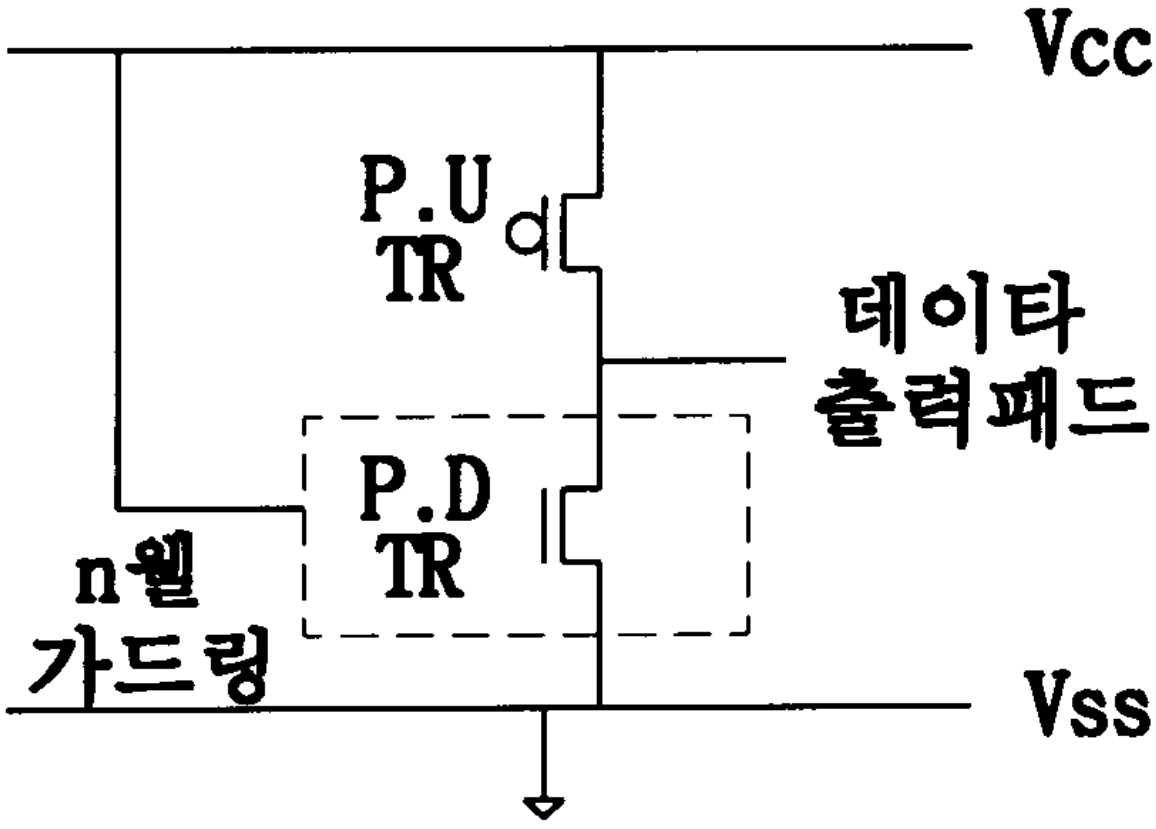
도면 1



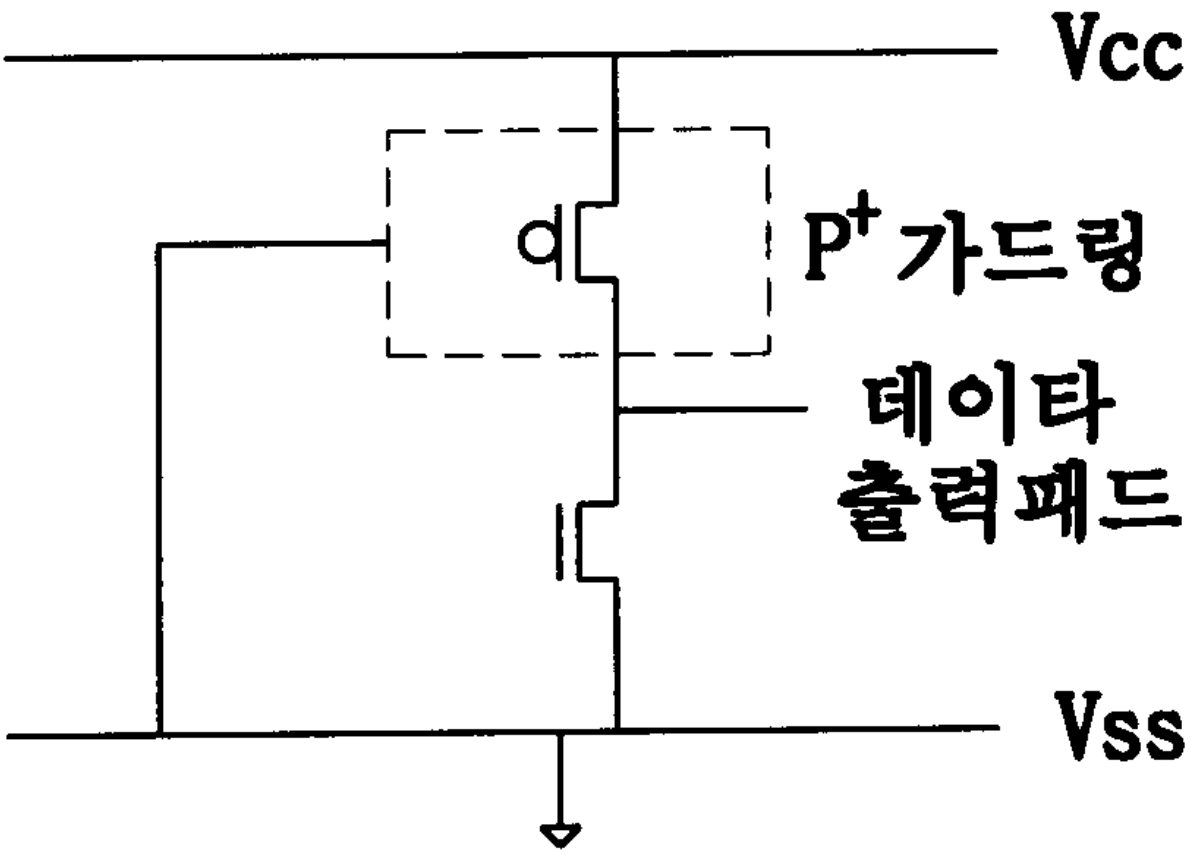
도면 2



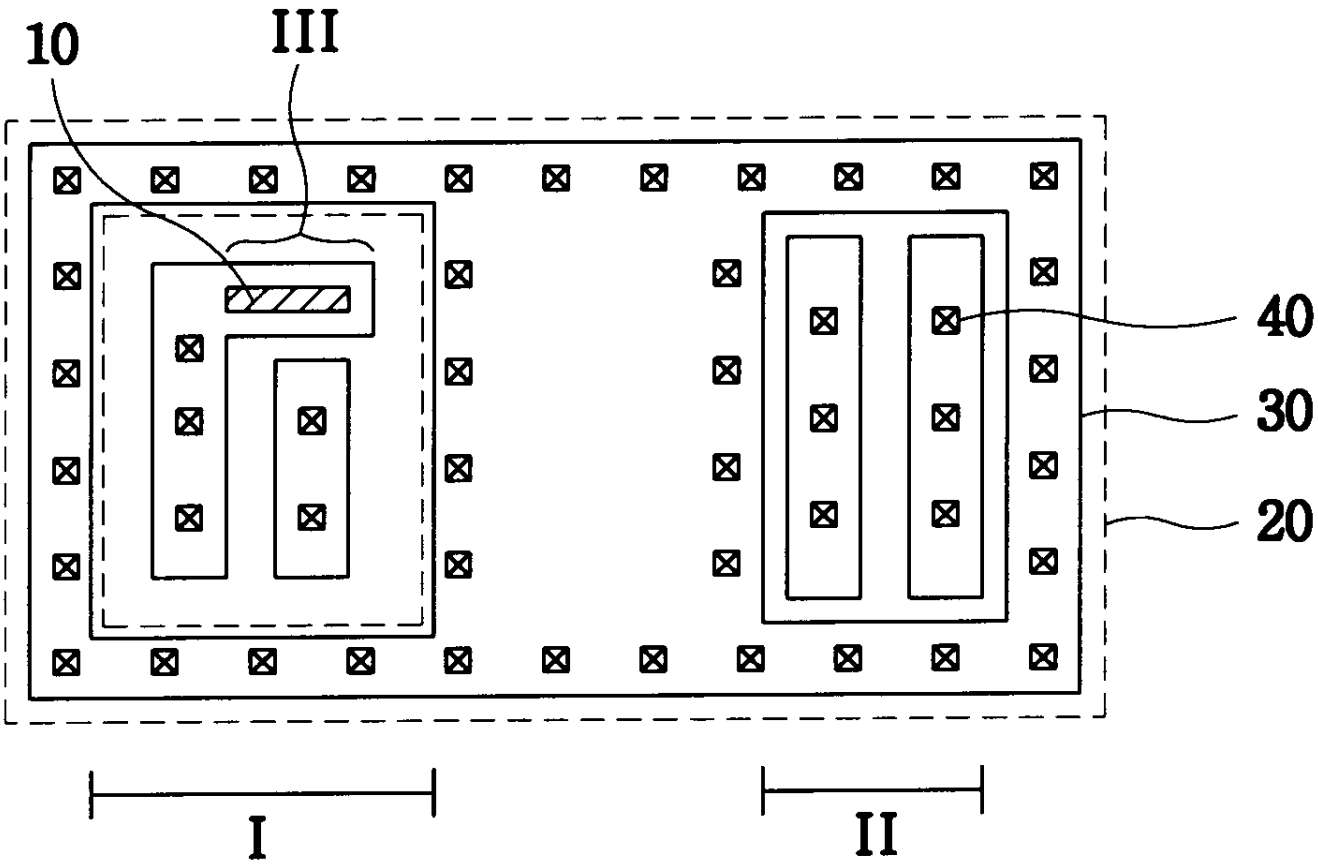
도면 3



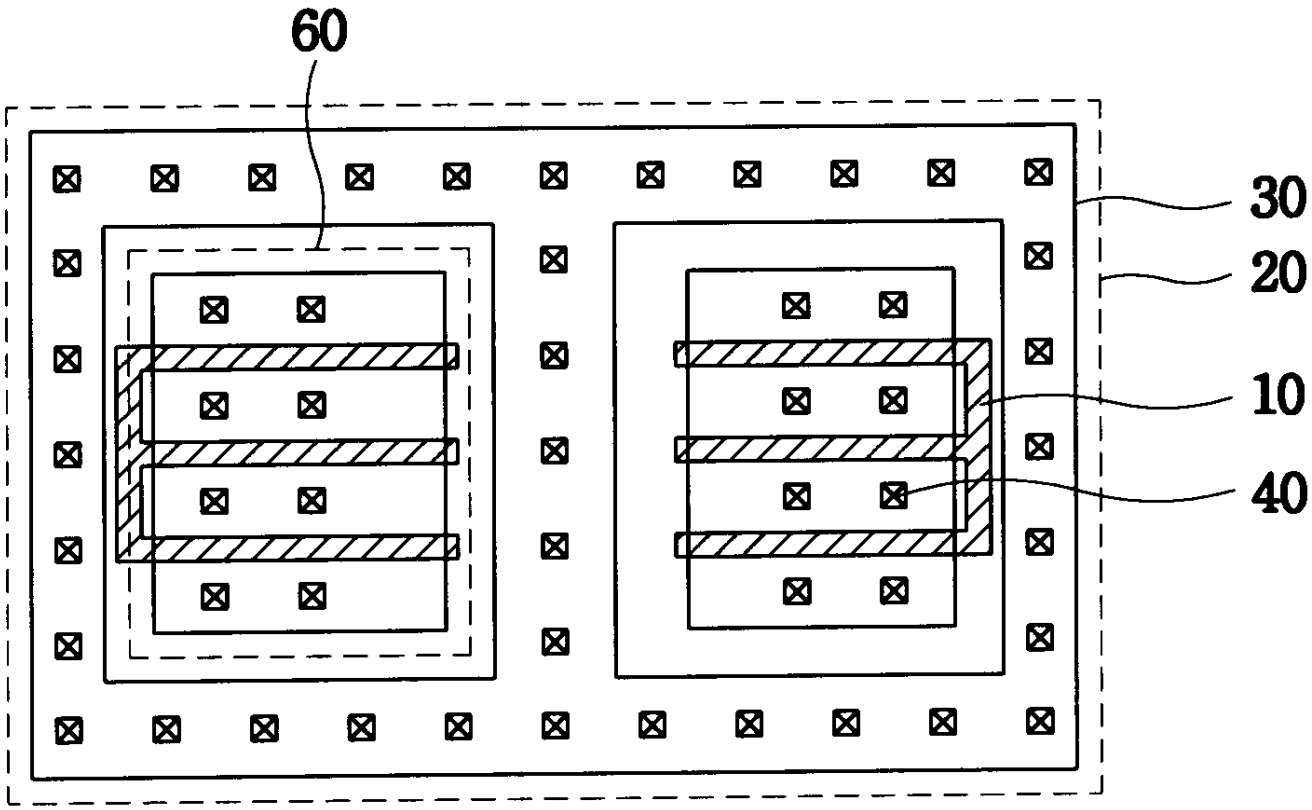
도면 4



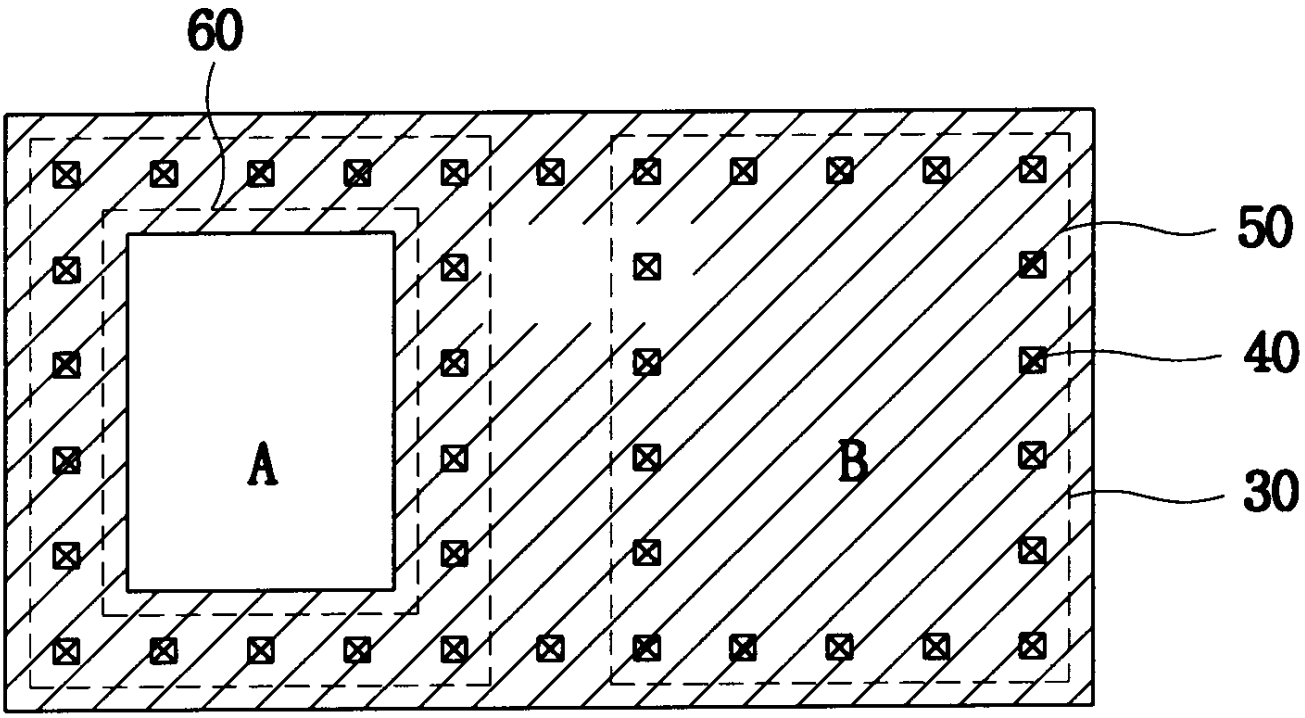
도면 5



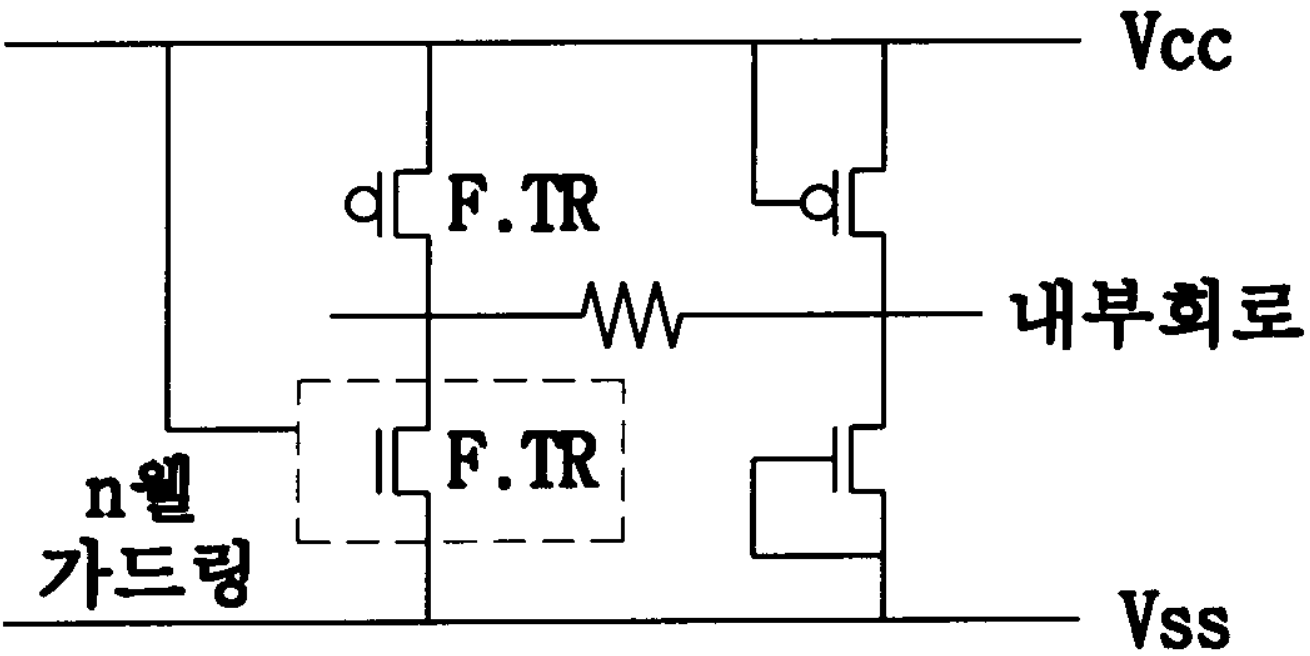
도면 6



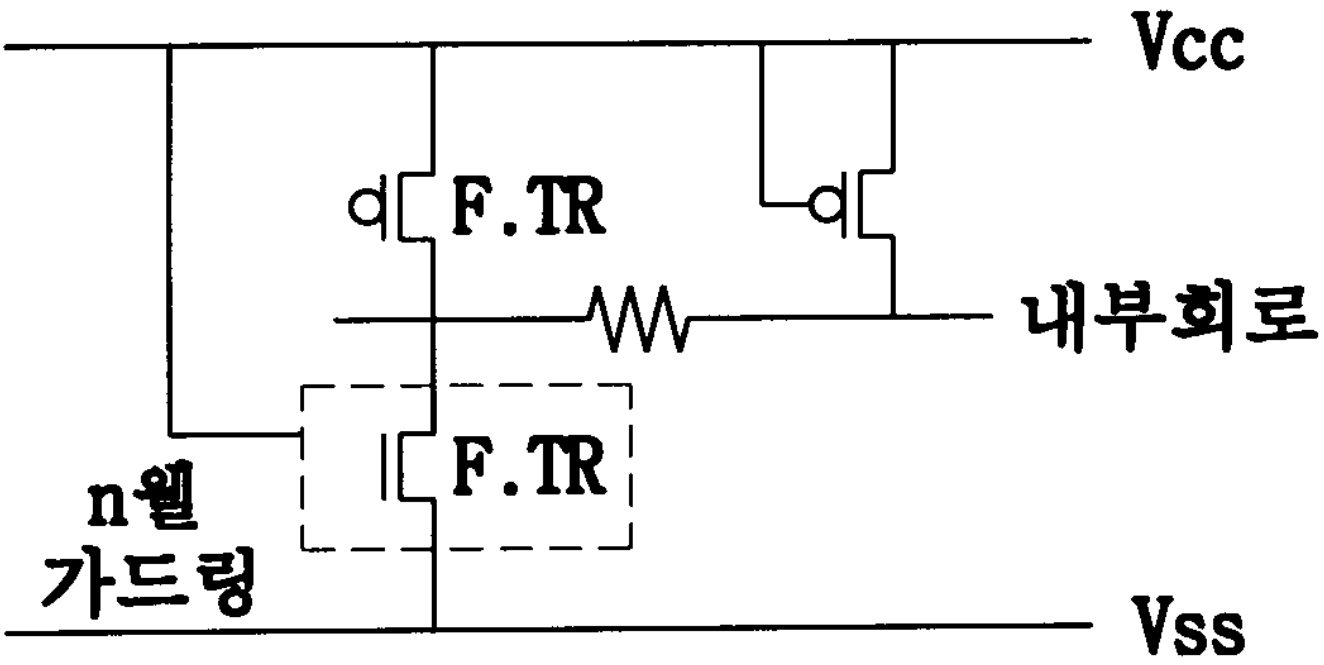
도면 7



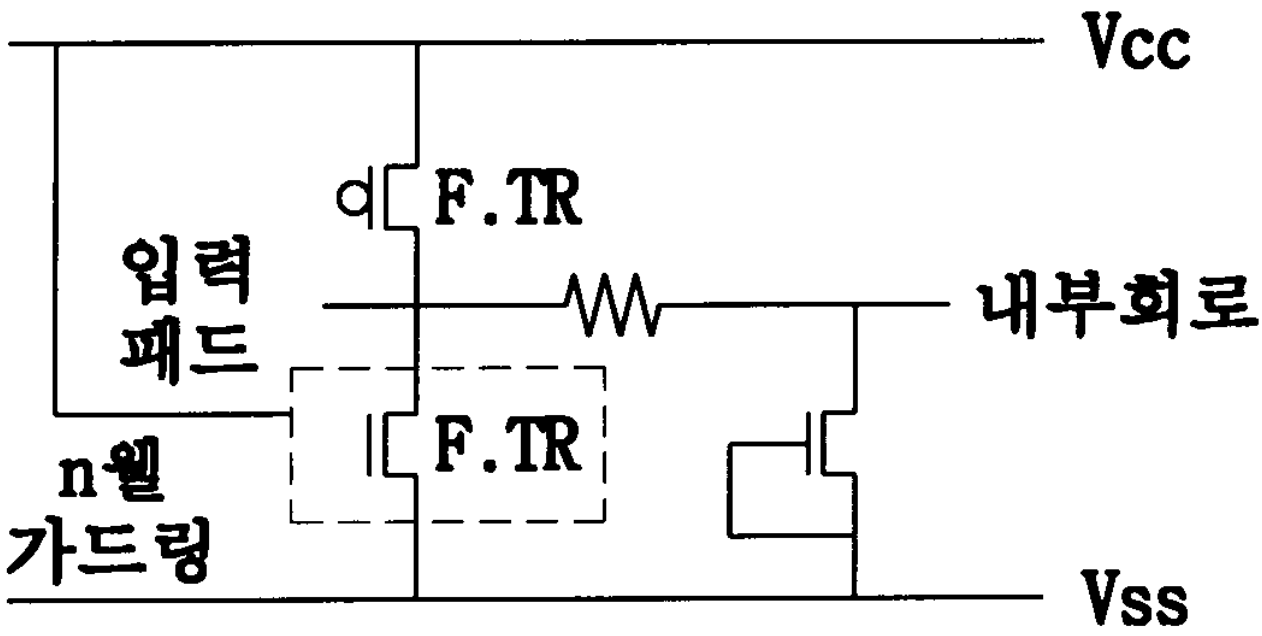
도면 8a



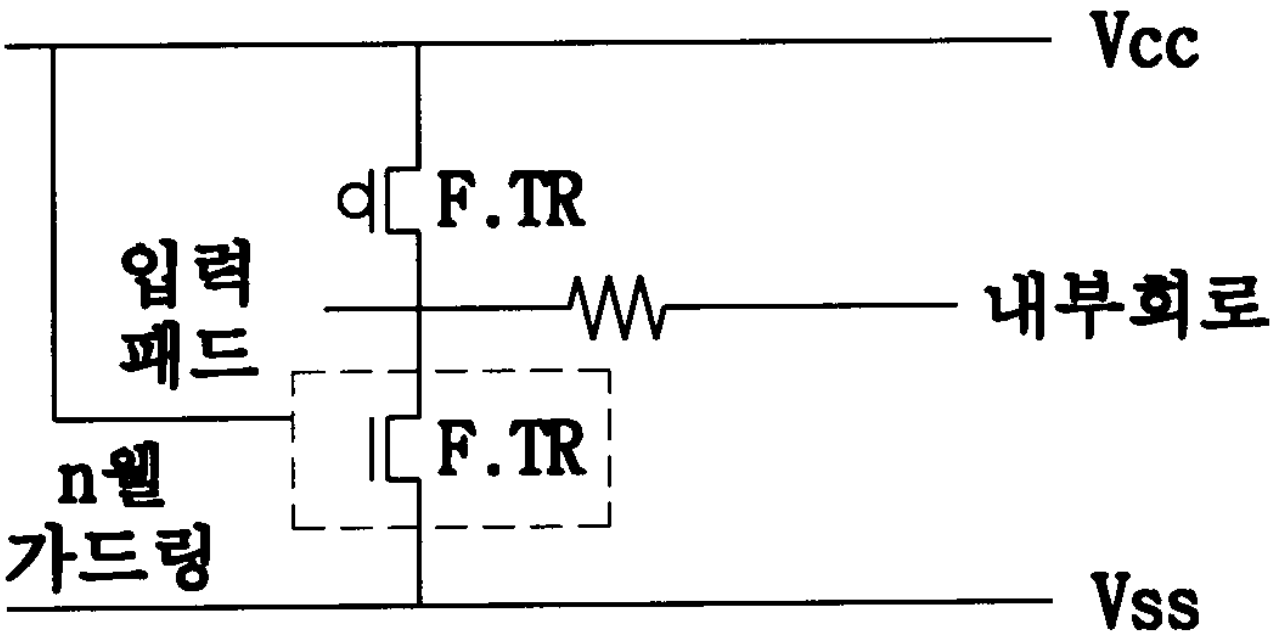
도면 8b



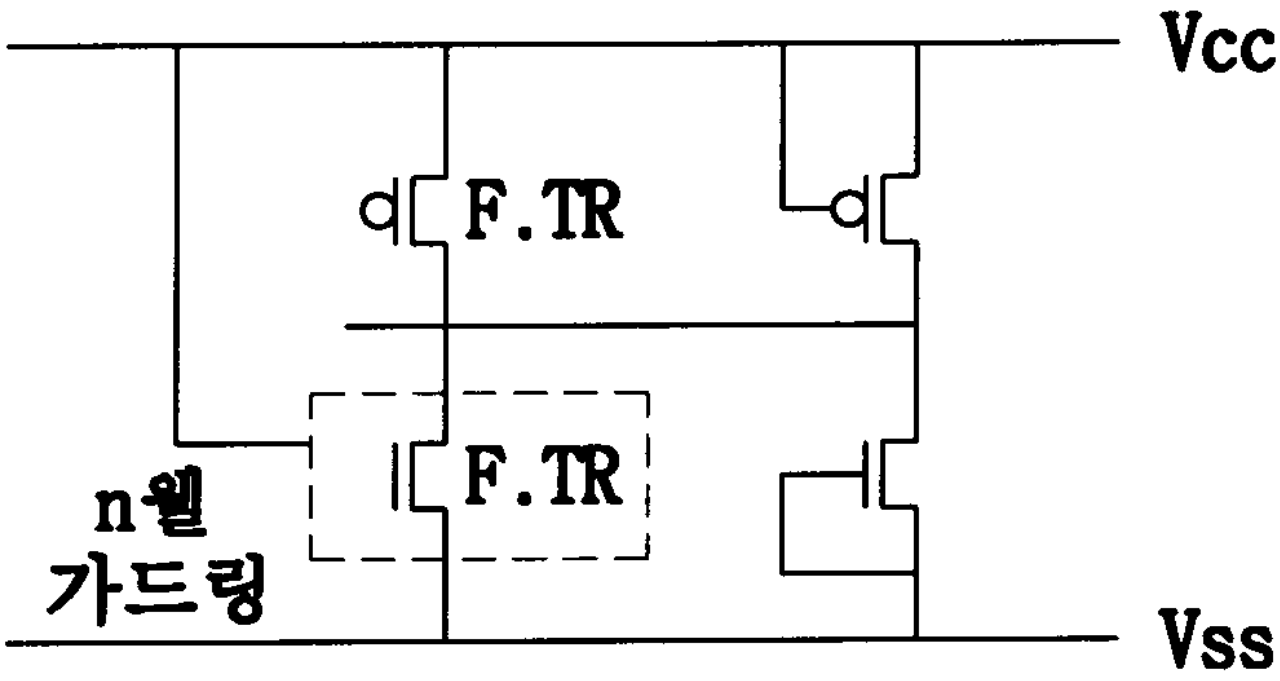
도면 8c



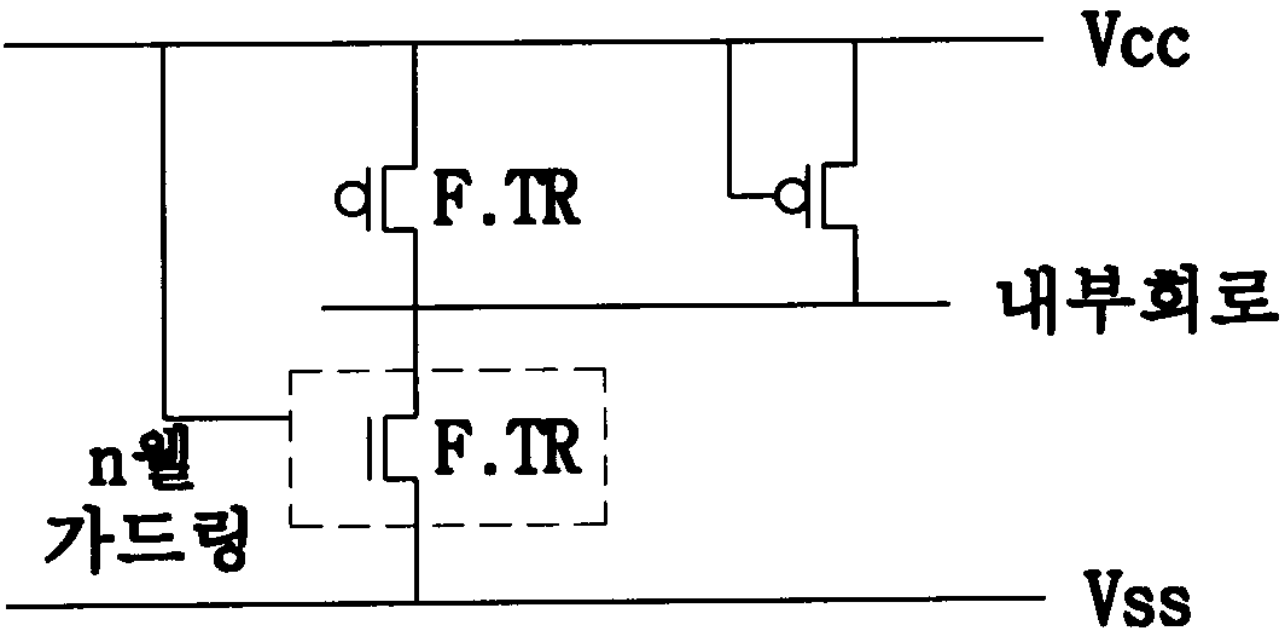
도면 8d



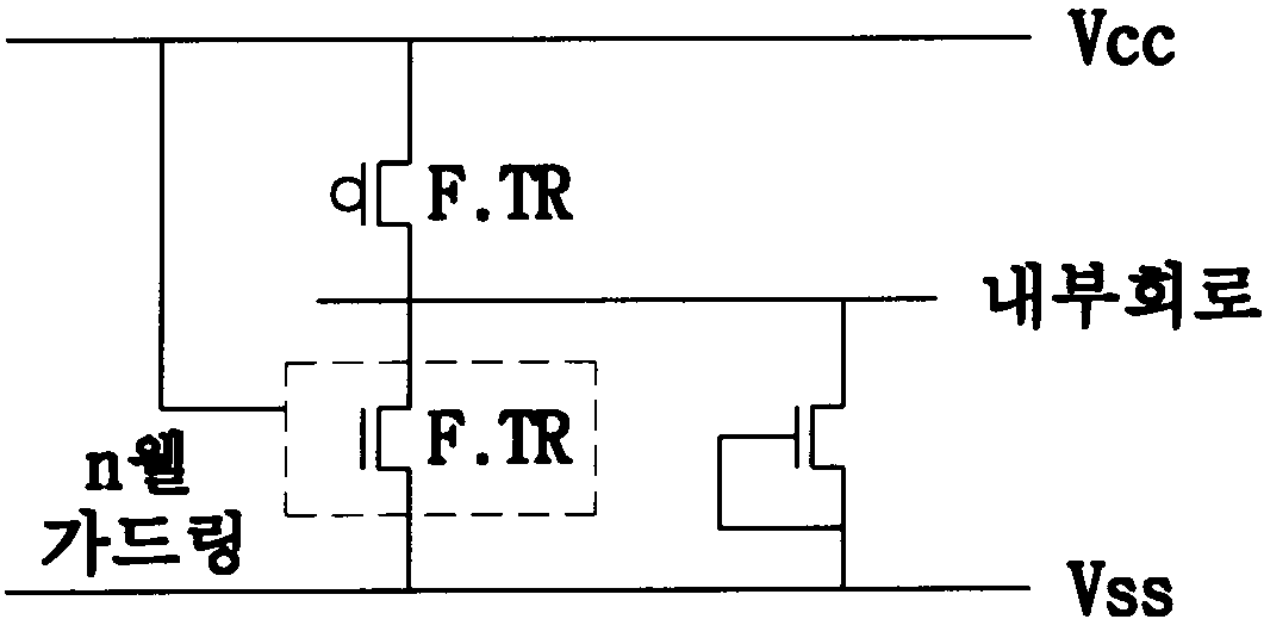
도면 8e



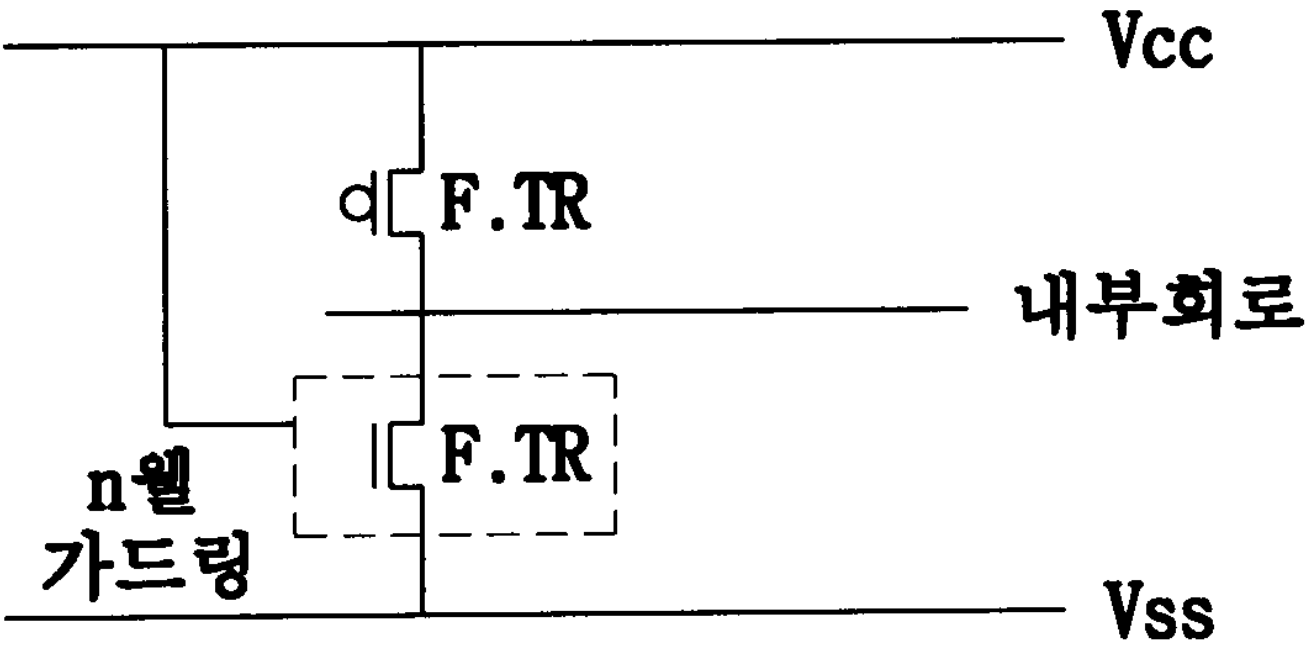
도면 8f



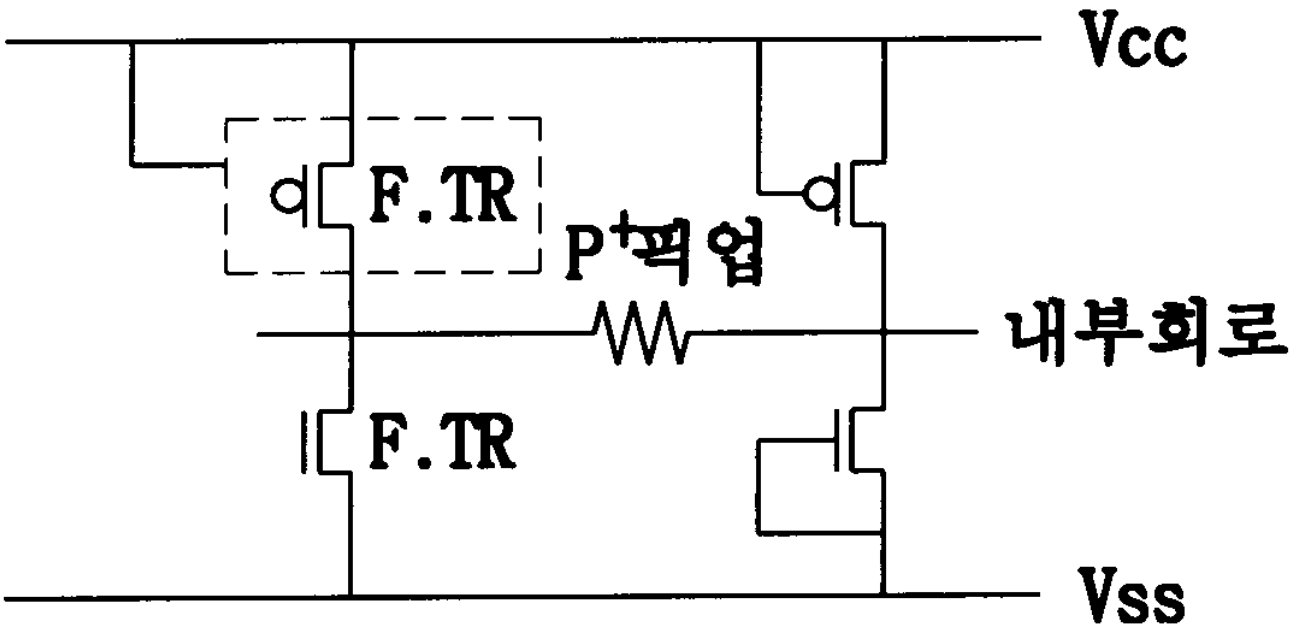
도면 8g



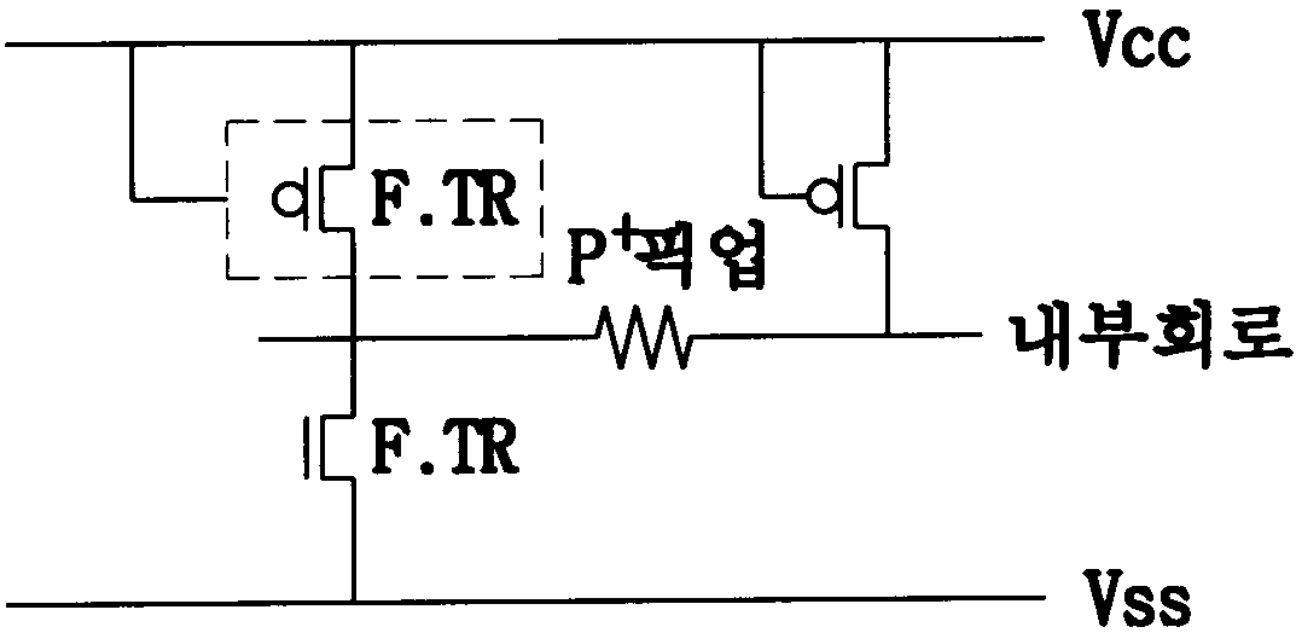
도면 8h



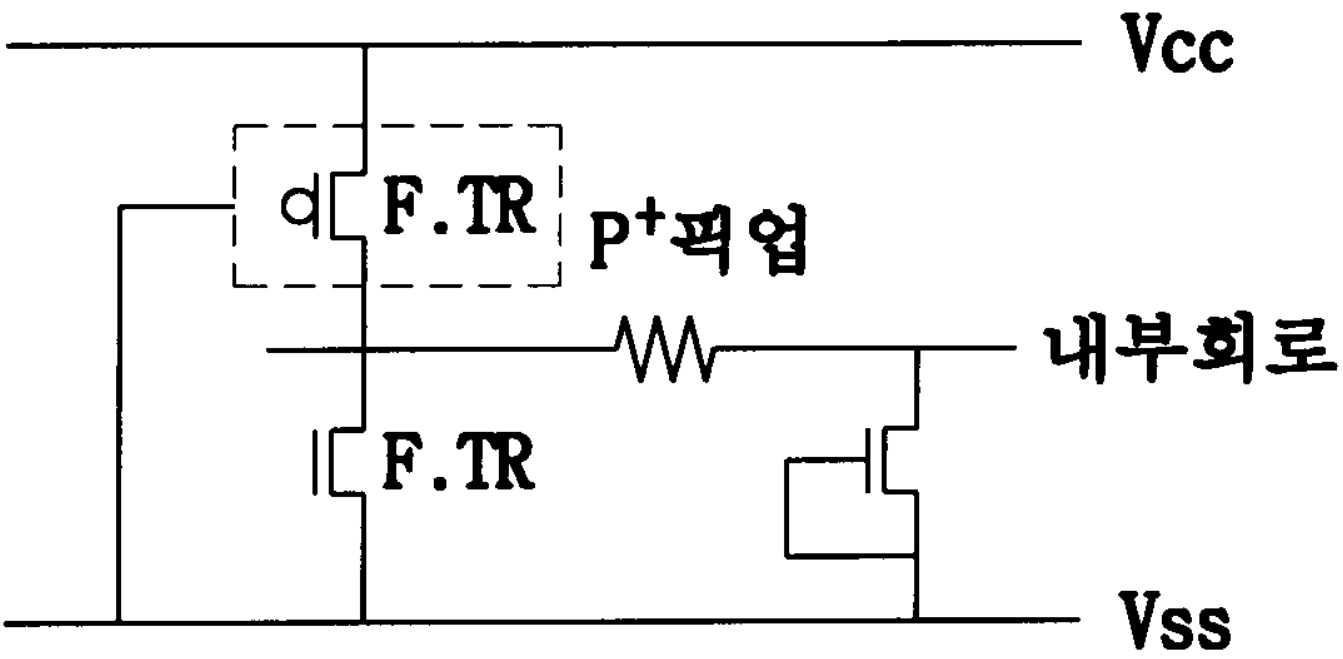
도면 9a



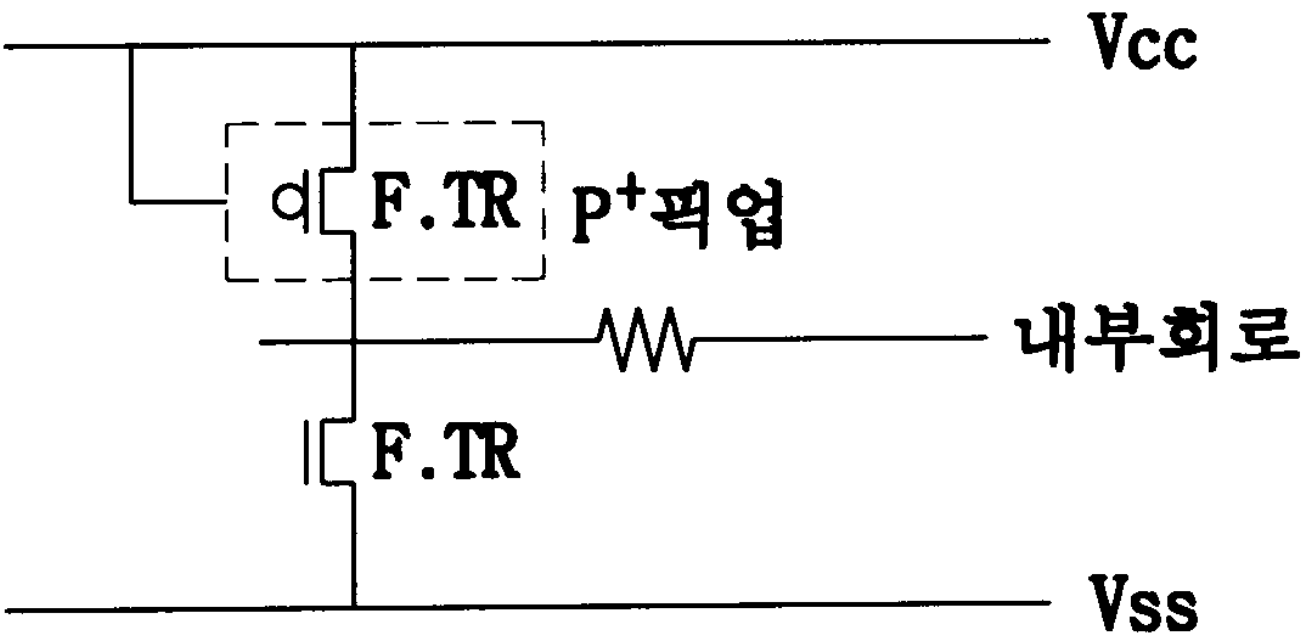
도면 9b



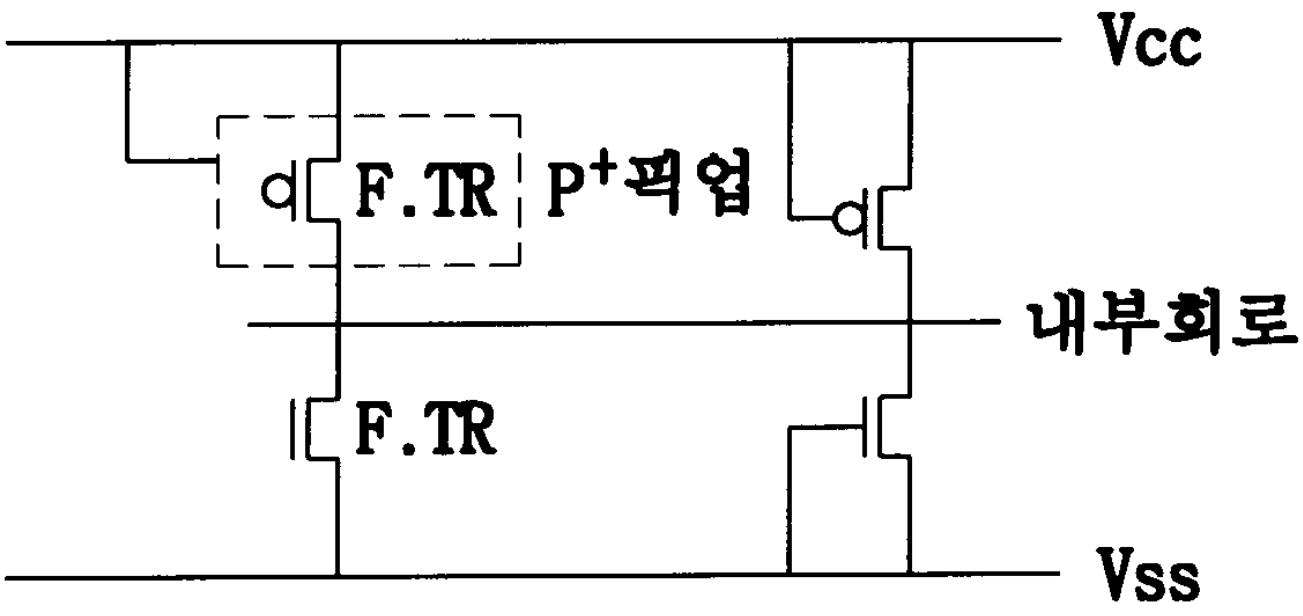
도면 9c



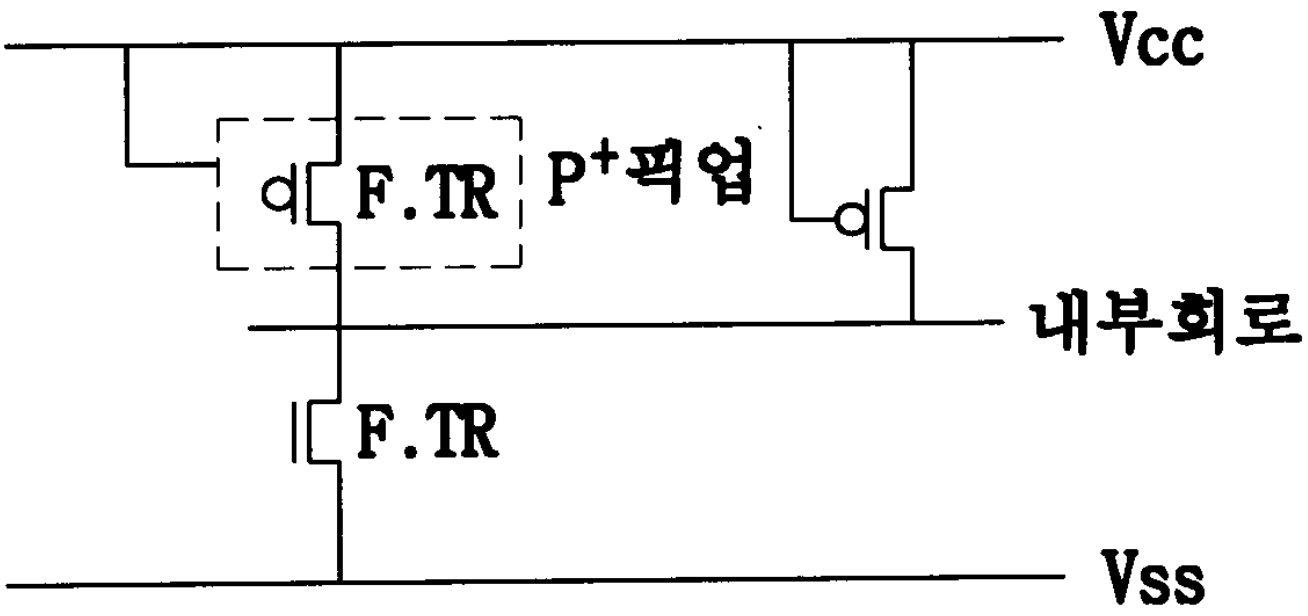
도면 9d



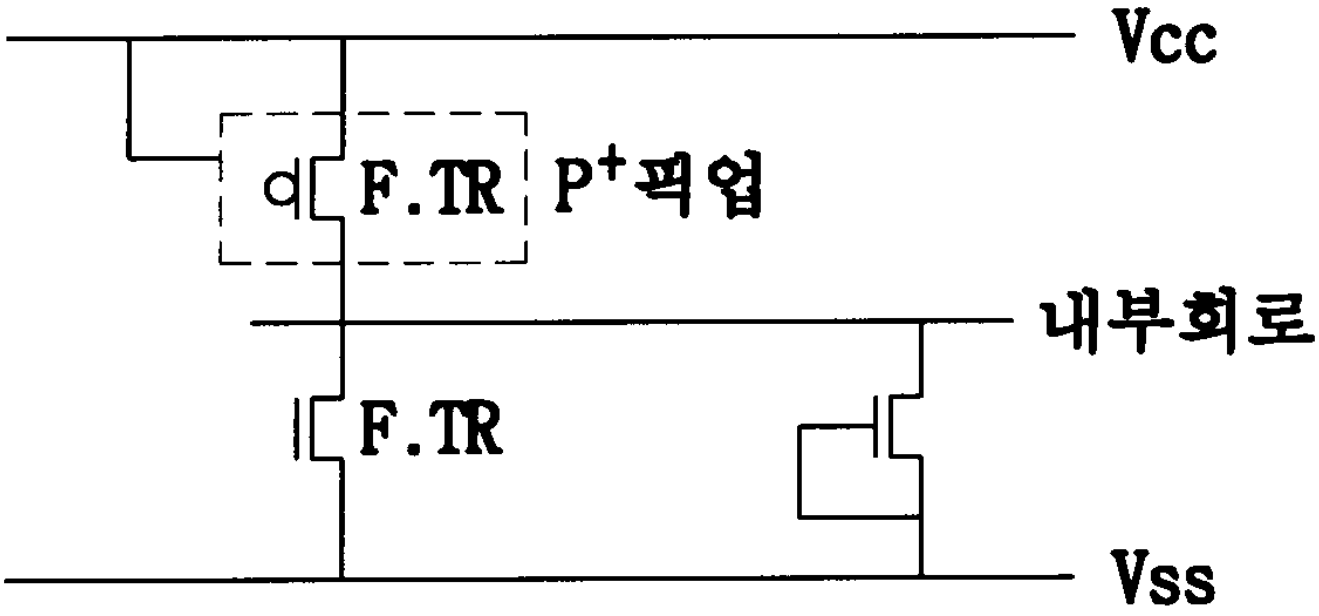
도면 9e



도면 9f



도면 9g



도면 9h

