



(12) 发明专利申请

(10) 申请公布号 CN 120129948 A

(43) 申请公布日 2025. 06. 10

(21) 申请号 202380076865.3

(22) 申请日 2023.09.20

(30) 优先权数据

2022-192014 2022.11.30 JP

(85) PCT国际申请进入国家阶段日

2025.04.30

(86) PCT国际申请的申请数据

PCT/JP2023/034070 2023.09.20

(87) PCT国际申请的公布数据

W02024/116557 JA 2024.06.06

(71) 申请人 株式会社村田制作所

地址 日本

(72) 发明人 安田辰德 黑川和树

(74) 专利代理机构 中科专利商标代理有限责任公司 11021

专利代理师 刘慧群

(51) Int.Cl.

H01G 4/30 (2006.01)

H01G 4/35 (2006.01)

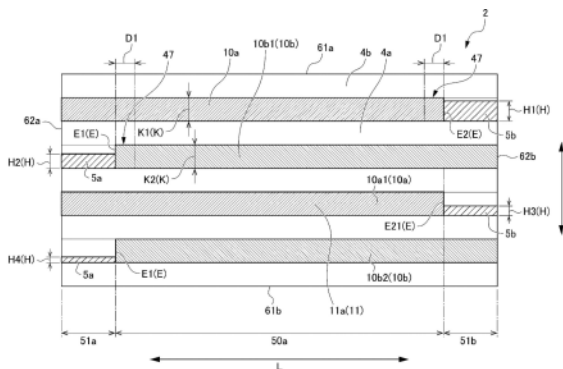
权利要求书2页 说明书17页 附图11页

(54) 发明名称

层叠陶瓷电子部件

(57) 摘要

提供容易使层叠体(2)的表面更平坦的层叠陶瓷电子部件(1)。层叠陶瓷电子部件(1)具备层叠体(2),层叠体(2)包含与多个陶瓷层(4)交替地层叠且在第1端面(62a)露出的第1内部电极层(10a)、与多个陶瓷层(4)交替地层叠且在第2端面(62b)露出的第2内部电极层(10b)、与第2内部电极层(10b)配置在同一面上且在第1端面(62a)露出的第1台阶层(5a)、以及与第1内部电极层(10a)配置在同一面上且在第2端面(62b)露出的第2台阶层(5b),关于第1台阶层(5a)的层叠体(2)的高度方向(T)的厚度,位于靠近第1主面(61a)的位置的第1台阶层(5a)变得更厚,关于第2台阶层(5b)的层叠体(2)的高度方向(T)的厚度,位于靠近第1主面(61a)的位置的第2台阶层(5b)变得更厚。



1. 一种层叠陶瓷电子部件,具备层叠体、第1外部电极和第2外部电极,所述层叠体包含被层叠的多个陶瓷层,并且包含:
在高度方向上相对的第1主面以及第2主面;
在与所述高度方向正交的宽度方向上相对的第1侧面以及第2侧面;
在与所述高度方向以及所述宽度方向正交的长度方向上相对的第1端面以及第2端面;
第1内部电极层,与所述多个陶瓷层交替地层叠,在所述第1端面露出;
第2内部电极层,与所述多个陶瓷层交替地层叠,在所述第2端面露出;
第1台阶层,与所述第2内部电极层配置在同一面上,在所述第1端面露出;和
第2台阶层,与所述第1内部电极层配置在同一面上,在所述第2端面露出,
所述第1外部电极设置在所述第1端面,
所述第2外部电极设置在所述第2端面,
关于所述第1台阶层的所述层叠体的高度方向的厚度,位于靠近所述第1主面的位置的所述第1台阶层变得更厚,
关于所述第2台阶层的所述层叠体的高度方向的厚度,位于靠近所述第1主面的位置的所述第2台阶层变得更厚。
2. 根据权利要求1所述的层叠陶瓷电子部件,其中,
所述第1台阶层的厚度为所述第2内部电极层的厚度的20%以上且120%以下,
所述第2台阶层的厚度为所述第1内部电极层的厚度的20%以上且120%以下。
3. 根据权利要求1或2所述的层叠陶瓷电子部件,其中,
所述第1内部电极层和所述第2台阶层相接,
所述第2内部电极层和所述第1台阶层相接。
4. 根据权利要求1至3中任一项所述的层叠陶瓷电子部件,其中,
在将从所述第1内部电极层的长度方向的前端向所述第1端面的方向 $0\mu\text{m}$ 以上且 $60\mu\text{m}$ 以下的区域、以及从所述第2内部电极层的长度方向的前端向所述第2端面的方向 $0\mu\text{m}$ 以上且 $60\mu\text{m}$ 以下的区域设为L方向端部时,
所述L方向端部的覆盖率比所述第1内部电极层的对置部的覆盖率低,
所述L方向端部的覆盖率比所述第2内部电极层的对置部的覆盖率低。
5. 根据权利要求4所述的层叠陶瓷电子部件,其中,
在所述L方向端部中,关于从Ni、V、Sn之中选择的至少一种添加剂的浓度,位于靠近所述第2主面的位置的所述内部电极层的一方变得更低。
6. 一种层叠陶瓷电子部件,具备层叠体、第1外部电极和第2外部电极,所述层叠体包含被层叠的多个陶瓷层,并且包含:
在高度方向上相对的第1主面以及第2主面;
在与所述高度方向正交的宽度方向上相对的第1侧面以及第2侧面;
在与所述高度方向以及所述宽度方向正交的长度方向上相对的第1端面以及第2端面;
作为内部电极层的端面露出电极层,与所述多个陶瓷层交替地层叠,在所述第1端面以及所述第2端面露出;
作为内部电极层的侧面露出电极层,与所述多个陶瓷层交替地层叠,在所述第1侧面以及所述第2侧面露出;

侧面台阶层,与所述端面露出电极层配置在同一面上,在所述第1侧面以及所述第2侧面露出;和

端面台阶层,与所述侧面露出电极层配置在同一面上,在所述第1端面以及所述第2端面露出,

所述第1外部电极设置在所述第1端面以及所述第2端面,

所述第2外部电极设置在所述第1侧面以及所述第2侧面,

关于所述侧面台阶层的所述层叠体的高度方向的厚度,位于靠近所述第1主面的位置的所述侧面台阶层变得更厚,

关于所述端面台阶层的所述层叠体的高度方向的厚度,位于靠近所述第1主面的位置的所述端面台阶层变得更厚。

层叠陶瓷电子部件

技术领域

[0001] 本发明涉及层叠陶瓷电子部件,特别是层叠陶瓷电容器。

背景技术

[0002] 以往,作为层叠陶瓷电子部件,已知有层叠陶瓷电容器。一般地,层叠陶瓷电容器具有具备层叠体和设置在层叠体的两端面的外部电极的构造,具备与层叠片数、电介质层的厚度相应的所希望的电容,所述层叠体是交替地层叠有多个包含陶瓷的电介质层和内部电极层的烧成体。

[0003] 在专利文献1等中,记载了为了消除由内部电极层引起的台阶而设置台阶吸收层。

[0004] 在先技术文献

[0005] 专利文献

[0006] 专利文献1:日本特开2006-286860号公报

发明内容

[0007] 发明要解决的问题

[0008] 但是,实际上大多朝向第1主面或者第2主面弯曲,此外,其弯曲程度具有远离弯曲方向的面的一方变得更强的倾向。因此,若如专利文献1所记载的那样在各内部电极层的同一平面上配置台阶吸收层,则对于仅弯曲到不影响构造缺陷的程度的部分也要配置台阶吸收层。因此,可能产生新的构造缺陷,存在与台阶吸收层相应的成本变高的问题。于是,本发明的目的在于,控制成本,通过在适当的地方配置适当的量的台阶吸收层,从而抑制构造缺陷。

[0009] 用于解决问题的技术方案

[0010] 本发明的层叠陶瓷电子部件,具备层叠体、第1外部电极和第2外部电极,所述层叠体包含被层叠的多个陶瓷层,并且包含:在高度方向上相对的第1主面以及第2主面;在与所述高度方向正交的宽度方向上相对的第1侧面以及第2侧面;在与所述高度方向以及所述宽度方向正交的长度方向上相对的第1端面以及第2端面;第1内部电极层,与所述多个陶瓷层交替地层叠,在所述第1端面露出;第2内部电极层,与所述多个陶瓷层交替地层叠,在所述第2端面露出;第1台阶层,与所述第2内部电极层配置在同一面上,在所述第1端面露出;和第2台阶层,与所述第1内部电极层配置在同一面上,在所述第2端面露出,所述第1外部电极设置在所述第1端面,所述第2外部电极设置在所述第2端面,关于所述第1台阶层的所述层叠体的高度方向的厚度,位于靠近所述第1主面的位置的所述第1台阶层变得更厚,关于所述第2台阶层的所述层叠体的高度方向的厚度,位于靠近所述第1主面的位置的所述第2台阶层变得更厚。

[0011] 此外,本发明的层叠陶瓷电子部件,具备层叠体、第1外部电极和第2外部电极,所述层叠体包含被层叠的多个陶瓷层,并且包含:在高度方向上相对的第1主面以及第2主面;在与所述高度方向正交的宽度方向上相对的第1侧面以及第2侧面;在与所述高度方向以及

所述宽度方向正交的长度方向上相对的第1端面以及第2端面;作为内部电极层的端面露出电极层,与所述多个陶瓷层交替地层叠,在所述第1端面以及所述第2端面露出;作为内部电极层的侧面露出电极层,与所述多个陶瓷层交替地层叠,在所述第1侧面以及所述第2侧面露出;侧面台阶层,与所述端面露出电极层配置在同一面上,在所述第1侧面以及所述第2侧面露出;和端面台阶层,与所述侧面露出电极层配置在同一面上,在所述第1端面以及所述第2端面露出,所述第1外部电极设置在所述第1端面以及所述第2端面,所述第2外部电极设置在所述第1侧面以及所述第2侧面,关于所述侧面台阶层的所述层叠体的高度方向的厚度,位于靠近所述第1主面的位置的所述侧面台阶层变得更厚,关于所述端面台阶层的所述层叠体的高度方向的厚度,位于靠近所述第1主面的位置的所述端面台阶层变得更厚。

[0012] 发明效果

[0013] 根据本发明,能够提供容易使层叠体的表面更平坦的层叠陶瓷电子部件。

附图说明

[0014] 图1是本发明的第1实施方式的层叠陶瓷电子部件的立体图。

[0015] 图2是图1的I-I线剖视图。

[0016] 图3是图1的II-II线剖视图。

[0017] 图4是第1实施方式中的层叠体的LT剖视图。

[0018] 图5是第2实施方式中的层叠体的LT剖视图。

[0019] 图6是第2实施方式的层叠陶瓷电子部件的LT剖视图。

[0020] 图7是第3实施方式的层叠陶瓷电子部件的立体图。

[0021] 图8是图7的III-III线剖视图。

[0022] 图9是图7的IV-IV线剖视图。

[0023] 图10是图7的V-V线剖视图,是示出端面露出电极层的平面构造的图。

[0024] 图11是图7的V-V线剖视图,是示出侧面露出电极层的平面构造的图。

具体实施方式

[0025] 以下,参照附图对本发明的层叠陶瓷电子部件1的实施方式的一例进行说明。在以下的说明中,以层叠陶瓷电子部件1为层叠陶瓷电容器的情况为例来进行说明。

[0026] (第1实施方式)

[0027] 对第1实施方式的层叠陶瓷电子部件1进行说明。

[0028] (层叠陶瓷电子部件的外形)

[0029] 基于图1,说明层叠陶瓷电子部件1的外观的概要。图1是示出本实施方式的层叠陶瓷电子部件1的立体图。层叠陶瓷电子部件1具备层叠体2以及外部电极20。

[0030] (方向的定义)

[0031] 在附图中,适当示出了L方向、W方向以及T方向。L方向是层叠陶瓷电子部件1的长度方向。W方向是层叠陶瓷电子部件1的宽度方向。T方向是层叠陶瓷电子部件1的高度方向。由此,图2所示的剖面被称为LT剖面,图3所示的剖面被称为WT剖面。长度方向L、宽度方向W以及高度方向T也可以未必是相互正交的关系。长度方向L、宽度方向W以及高度方向T也可以是相互交叉的关系。

[0032] (层叠体的外形)

[0033] 层叠体2具有大致长方体型的形状。层叠体2具有两个主面61、两个端面62以及两个侧面63。主面61是在高度方向T上对置的面。端面62是在长度方向L上对置的面。侧面63是在宽度方向W上对置的面。将两个主面61之中的一者设为第1主面61a,将另一者设为第2主面61b。将两个端面62之中的一者设为第1端面62a,将另一者设为第2端面62b。将两个侧面63之中的一者设为第1侧面63a,将另一者设为第2侧面63b。在图1中,示出了第1主面61a以及第1侧面63a。

[0034] 在层叠体2的棱线以及角部,优选带有圆角。所谓棱线,是层叠体2的两个面相交的部分。所谓角部,是层叠体2的三个面相交的部分。另外,层叠体2的大小没有特别限定。

[0035] (层叠体的构造)

[0036] 层叠体2包含多个陶瓷层4以及多个内部电极层10。以下,参照层叠体2的剖视图来说明层叠体2的构造。

[0037] (层叠体的内部构造(LT剖面))

[0038] 基于图2,对层叠体2的内部构造进行说明。图2是图1所示的层叠陶瓷电子部件1的I-I线剖视图。图2示出层叠陶瓷电子部件1的LT剖面。层叠体2包含多个陶瓷层4以及多个内部电极层10。多个陶瓷层4以及多个内部电极层10相互在高度方向T上层叠。

[0039] (内层部和外层部)

[0040] 层叠体2在高度方向T上被划分为内层部53以及两个外层部54。外层部54包含第1外层部54a以及第2外层部54b。第1外层部54a以及第2外层部54b位于在高度方向T上夹着内层部53的位置。

[0041] 在内层部53中配置有多个陶瓷层4的一部分以及多个内部电极层10。在内层部53中,多个内部电极层10隔着陶瓷层4而对置。因此,在内层部53中,形成静电电容。因此,内层部53是在层叠体2中实质上作为电容器发挥功能的部分。

[0042] 第1外层部54a是在外层部54中位于层叠体2的第1主面61a侧的部分。第2外层部54b是在外层部54中位于层叠体2的第2主面61b侧的部分。具体而言,第1外层部54a是多个内部电极层10之中最靠近第1主面61a的内部电极层10与第1主面61a之间的部分。第2外层部54b是多个内部电极层10之中最靠近第2主面61b的内部电极层10与第2主面61b之间的部分。在第1外层部54a以及第2外层部54b中,未配置内部电极层10。在第1外层部54a以及第2外层部54b中,配置有多个陶瓷层4之中除了用于内层部53的陶瓷层4之外的剩余的陶瓷层4。第1外层部54a以及第2外层部54b作为内层部53的保护层发挥功能。

[0043] (陶瓷层)

[0044] 陶瓷层4能够分类为配置在内层部53的陶瓷层4、和配置在外层部54的陶瓷层4。将配置在内层部53的陶瓷层4设为内层陶瓷层4a。将配置在外层部54的陶瓷层4设为外层陶瓷层4b。

[0045] (陶瓷层的层数)

[0046] 例如,层叠体2中所层叠的陶瓷层4能够设为5层以上且2000层以下。

[0047] (陶瓷层的材料)

[0048] 作为陶瓷层4的材料,例如,能够使用包含 BaTiO_3 、 CaTiO_3 、 SrTiO_3 、 CaZrO_3 等主成分的电介质陶瓷。此外,也可以使用在这些主成分中添加了Mn化合物、Fe化合物、Cr化合物、Co

化合物、Ni化合物等副成分的材料。

[0049] 在层叠体2使用了压电体陶瓷的情况下,层叠陶瓷电子部件1作为陶瓷压电元件发挥功能。作为压电陶瓷材料的具体例,例如,可列举PZT(锆钛酸铅)系陶瓷材料等。

[0050] 在层叠体2使用了半导体陶瓷的情况下,层叠陶瓷电子部件1作为热敏电阻元件发挥功能。作为半导体陶瓷材料的具体例,例如,可列举尖晶石系陶瓷材料等。

[0051] 在层叠体使用了磁性体陶瓷的情况下,层叠陶瓷电子部件1作为电感器元件发挥功能。此外,在层叠陶瓷电子部件1作为电感器元件发挥功能的情况下,内部电极层成为线圈状的导体。作为磁性体陶瓷材料的具体例,例如,可列举铁氧体陶瓷材料等。

[0052] (陶瓷层的厚度)

[0053] 例如,陶瓷层4的厚度能够设为 $10\mu\text{m}$ 以下。

[0054] (内部电极层)

[0055] 内部电极层10能够分类为第1内部电极层10a以及第2内部电极层10b。第1内部电极层10a是与第1外部电极20a连接的内部电极层10。第2内部电极层10b是与第2外部电极20b连接的内部电极层10。第1内部电极层10a从第1端面62a朝向第2端面62b延伸。第2内部电极层10b从第2端面62b朝向第1端面62a延伸。

[0056] (对置部和延长部)

[0057] 第1内部电极层10a以及第2内部电极层10b分别具有对置部11以及延长部12。

[0058] 对置部11是在内部电极层10中第1内部电极层10a和第2内部电极层10b在高度方向T上对置的部分。延长部12是在内部电极层10中从对置部11延长到层叠体2的第1端面62a或第2端面62b的部分。

[0059] 将第1内部电极层10a的对置部11设为第1对置部11a。将第1内部电极层10a的延长部12设为第1延长部12a。第1延长部12a是从第1对置部11a延长到层叠体2的第1端面62a的部分。

[0060] 同样地,将第2内部电极层10b的对置部11设为第2对置部11b。将第2内部电极层10b的延长部12设为第2延长部12b。第2延长部12b是从第2对置部11b延长到层叠体2的第2端面62b的部分。

[0061] (内部电极层的层数)

[0062] 例如,内部电极层10能够设为10层以上且2000层以下。该内部电极层10的层数是包含第1内部电极层10a的层数以及第2内部电极层10b的层数在内的层数。

[0063] (内部电极层的厚度)

[0064] 例如,内部电极层10的厚度能够设为 $0.1\mu\text{m}$ 以上且 $5.0\mu\text{m}$ 以下,优选设为 $0.2\mu\text{m}$ 以上且 $2.0\mu\text{m}$ 以下。在内部电极层10的厚度为 $0.5\mu\text{m}$ 以上的情况下,在通过镀覆来形成外部电极20的金属层时,镀覆膜变得容易生长。

[0065] (内部电极层的材料)

[0066] 例如,内部电极层10的材料能够设为Ni、Cu、Ag、Pd及Au等金属、Ni与Cu的合金、Ag与Pd的合金等。除此之外,内部电极层10的材料也可以还包含与陶瓷层4所包含的陶瓷同一组成系的电介质粒子。

[0067] (电极对置部)

[0068] 对层叠体2的长度方向L的划分进行说明。层叠体2在长度方向L上能够划分为电极

对置部50以及L间隙51。将长度方向L的划分中的电极对置部50设为L对置部50a。此外,L间隙51包含第1L间隙51a以及第2L间隙51b。

[0069] L对置部50a对应于第1内部电极层10a和第2内部电极层10b在高度方向T上对置的部分。在L对置部50a形成电容。

[0070] (L间隙)

[0071] L间隙51是在层叠体2的长度方向L上第1内部电极层10a和第2内部电极层10b在高度方向T上不对置的部分。L间隙51之中,第1L间隙51a是L对置部50a与第1端面62a之间。第2L间隙51b是L对置部50a与第2端面62b之间。

[0072] 在第1L间隙51a中,在高度方向T上,配置有第1内部电极层10a,但是未配置第2内部电极层10b。在第2L间隙51b中,在高度方向T上,配置有第2内部电极层10b,但是未配置第1内部电极层10a。

[0073] 第1L间隙51a作为第1对置部11a向第1端面62a的引出部发挥功能。第2L间隙51b作为第2对置部11b向第2端面62b的引出部发挥功能。

[0074] 例如,L间隙51的长度方向L的长度能够设为层叠体2的长度方向L的长度的10%以上且30%以下。

[0075] (外部电极)

[0076] 外部电极20包含第1外部电极20a以及第2外部电极20b。

[0077] (第1外部电极)

[0078] 第1外部电极20a是配置在层叠体2的第1端面62a的外部电极20。第1外部电极20a与第1内部电极层10a电连接。

[0079] (第2外部电极)

[0080] 第2外部电极20b是配置在层叠体2的第2端面62b的外部电极20。第2外部电极20b与第2内部电极层10b电连接。

[0081] (各面的外部电极)

[0082] 外部电极20从一个端面62延伸到两个主面61的一部分以及两个侧面63的一部分。

[0083] (外部电极的层结构)

[0084] 基于图2来说明外部电极20的层结构。外部电极20包含基底层21以及镀覆层23。镀覆层23包含内镀覆层23a以及表面镀覆层23b。这些层从层叠体2的端面62起按照基底层21、内镀覆层23a、表面镀覆层23b的顺序进行配置。

[0085] (基底层)

[0086] 基底层21配置在层叠体2的端面62之上,覆盖端面62。基底层21从端面62延伸到主面61的一部分、以及侧面63的一部分。

[0087] (烧附层)

[0088] 基底层21构成为烧附层。烧附层包含玻璃成分以及金属。作为玻璃成分,包含从B、Si、Ba、Mg、Al、Li等选择的至少一种。作为金属,例如,包含从Cu、Ni、Ag、Pd、Ag-Pd合金、Au等选择的至少一种。烧附层也可以是多层。

[0089] (镀覆层)

[0090] 对基底层21之上的镀覆层23进行说明。如前所述,在本实施方式中,镀覆层23包含内镀覆层23a以及表面镀覆层23b。在将镀覆层23设为二层的情况下,从下层起,优选设为Ni

镀覆层以及Sn镀覆层的顺序。即,内镀覆层23a成为Ni镀覆层,表面镀覆层23b成为Sn镀覆层。在设为三层的情况下,从下层起优选设为Sn镀覆层、Ni镀覆层、Sn镀覆层的顺序。

[0091] Ni镀覆层能够防止基层21被安装层叠陶瓷电子部件1时的焊料侵蚀。Sn镀覆层能够提高安装层叠陶瓷电子部件1时的焊料的润湿性,使安装变得容易。因此,通过将表面镀覆层23b设为Sn镀覆层,从而能够提高焊料对于外部电极20的润湿性。镀覆层每一层的厚度优选为 $3\mu\text{m}$ 以上且 $9\mu\text{m}$ 以下。

[0092] (层叠体的内部构造(WT剖面))

[0093] 基于图3,说明层叠体2的内部构造。图3是图1所示的层叠陶瓷电子部件1的II-II线剖视图。层叠体2在宽度方向W上被划分为电极对置部50以及W间隙52。将宽度方向W的划分中的电极对置部50设为W对置部50b。此外,W间隙52包含第1W间隙52a以及第2W间隙52b。

[0094] W对置部50b是内部电极层10在高度方向T上对置的部分。W间隙52是在宽度方向W上所述第1内部电极层10a以及所述第2内部电极层10b均未配置在高度方向T上的部分。

[0095] W间隙52之中,第1W间隙52a是层叠体2的宽度方向W上的、W对置部50b与第1侧面63a之间。第2W间隙52b是W对置部50b与第2侧面63b之间。

[0096] 第1W间隙52a以及第2W间隙52b被配置为夹着W对置部50b。第1W间隙52a以及第2W间隙52b作为内部电极层10的保护层发挥功能。

[0097] 例如,W间隙52的宽度方向W的长度能够设为层叠体2的宽度方向W的长度的20%以上且30%以下。此外,例如,W间隙52的宽度方向W的长度能够设为 $5\mu\text{m}$ 以上且 $50\mu\text{m}$ 以下。

[0098] (层叠陶瓷电子部件的大小)

[0099] 层叠陶瓷电子部件1的大小没有特别限定。层叠陶瓷电子部件1的大小例如能够设为下述那样。将包含层叠体2以及外部电极20的层叠陶瓷电子部件1的长度方向L的尺寸设为L尺寸。L尺寸优选为 0.25mm 以上且 1.0mm 以下。将包含层叠体2以及外部电极20的层叠陶瓷电子部件1的高度方向T的尺寸设为T尺寸。T尺寸优选为 0.125mm 以上且 0.5mm 以下。将包含层叠体2以及外部电极20的层叠陶瓷电子部件1的宽度方向W的尺寸设为W尺寸。W尺寸优选为 0.125mm 以上且 0.5mm 以下。

[0100] (台阶层)

[0101] 在本实施方式的层叠陶瓷电子部件1中设置有台阶层5。

[0102] 优选在电极对置部50和L间隙51中层叠体2的高度方向T的长度的差小。但是,在内层部53中,在电极对置部50和L间隙51中高度方向T的长度容易不同。在电极对置部50中层叠陶瓷层4以及内部电极层10。与此相对,在L间隙51中仅层叠陶瓷层4。在L间隙51中未层叠内部电极层10。因此,在电极对置部50和L间隙51中高度方向T的长度容易不同。

[0103] 于是,为了减小电极对置部50和L间隙51的高度方向T的长度之差,在L间隙51配置追加的陶瓷层4。将该追加的陶瓷层4设为台阶层5。台阶层5优选具有与陶瓷层4同样的成分。但是,陶瓷层4的成分不限于于此。

[0104] (台阶层的配置)

[0105] 基于图4对本实施方式的层叠陶瓷电子部件1中的台阶层5的配置进行说明。图4是本实施方式的层叠陶瓷电子部件1所具备的层叠体2的LT剖视图。图4示出相当于图1的I-I线的位置处的层叠体2的剖面。台阶层5配置在内部电极层10的长度方向L上的前端E与端面62之间。台阶层5包含第1台阶层5a以及第2台阶层5b。

[0106] (第1台阶层)

[0107] 第1台阶层5a是与第2内部电极层10b配置在同一面上的台阶层5。将第2内部电极层10b的长度方向L上的第1端面62a侧的前端E设为前端E1。第1台阶层5a在长度方向L上配置在前端E1与第1端面62a之间。而且,第1台阶层5a从第1端面62a露出。

[0108] (第2台阶层)

[0109] 第2台阶层5b是与第1内部电极层10a配置在同一面上的台阶层5。将第1内部电极层10a的长度方向L上的第2端面62b侧的前端E设为前端E2。第2台阶层5b在长度方向L上配置在前端E2与第2端面62b之间。而且,第2台阶层5b从第2端面62b露出。

[0110] 如前所述,在层叠体2层叠有多个内部电极层10。而且,第1台阶层5a以及第2台阶层5b能够按每个内部电极层10进行配置。因此,在一个层叠体2中,配置有多个第1台阶层5a以及第2台阶层5b。另外,在图4中,第1台阶层5a以及第2台阶层5b分别各描绘了2层。这是因为图4是用于说明的示意性的图。因此,图4并不意味着层叠陶瓷电容器的层数限定于图4中描绘的层数。

[0111] (台阶层的厚度)

[0112] 将台阶层5的高度方向T的长度设为台阶层5的厚度。

[0113] (厚度的变化)

[0114] 在多个第1台阶层5a中,关于第1台阶层5a的厚度,位于更靠近第1主面61a的位置的第1台阶层5a比位于更靠近第2主面61b的位置的第1台阶层5a厚。

[0115] 对于第2台阶层5b也同样。在多个第2台阶层5b中,关于第2台阶层5b的厚度,位于更靠近第1主面61a的位置的第2台阶层5b比位于更靠近第2主面61b的位置的第2台阶层5b厚。

[0116] 在图4中将台阶层5的厚度表示为H。在图4中,将第1台阶层5a以及第2台阶层5b分别示出了两个。对于两个第1台阶层5a,将靠近第1主面61a的第1台阶层5a的厚度设为H2,将靠近第2主面61b的第1台阶层5a的厚度设为H4。厚度H2比厚度H4厚。

[0117] 对于第2台阶层5b也同样。对于两个第2台阶层5b,将靠近第1主面61a的第2台阶层5b的厚度设为H1,将靠近第2主面61b的第2台阶层5b的厚度设为H3。厚度H1比厚度H3厚。

[0118] 如以上那样,在本实施方式的层叠陶瓷电子部件1中,连接于相同外部电极20的内部电极层10之间的陶瓷层4的高度方向T的厚度,随着靠近第1主面61a而变厚。

[0119] 在制作层叠体2时,与层叠的开始相比,层叠的结束的一方更容易产生由内部电极层10的有无引起的各层的弯曲。换言之,层叠的结束的一方,由内部电极层10的有无引起的台阶的影响更大。这里,层叠的开始,对应于第2主面61b侧。此外,层叠的结束,对应于第1主面61a侧。

[0120] 在本实施方式的层叠陶瓷电子部件1中,在层叠结束的一方,设置了更厚的台阶层5。由此,层叠陶瓷电子部件1能够降低层叠体2的弯曲度。

[0121] 此外,在层叠开始,也能够不形成台阶层5。即,在层叠体2的高度方向T上,也能够在其一部分局部地形成台阶层5。由此,能够更有效地抑制在层叠体2产生台阶。

[0122] (与内部电极层的对比)

[0123] 接着,对台阶层5的厚度H与内部电极层10的厚度的关系进行说明。在图4中将内部电极层10的厚度表示为H。在本实施方式中,台阶层5的厚度H为内部电极层10的厚度K的20%

以上且120%以下。详细而言,第1台阶层5a的厚度为第2内部电极层10b的厚度的20%以上且120%以下。同样地,第2台阶层5b的厚度为第1内部电极层10a的厚度的20%以上且120%以下。

[0124] 在图4所示的例子中,两个第1台阶层5a的厚度是厚度H2以及厚度H4。此外,在图4中用K2示出第2内部电极层10b的厚度。厚度H2以及厚度H4成为厚度K2的20%以上且120%以下。

[0125] 对于第2台阶层5b也这样。图4所示的两个第2台阶层5b的厚度为厚度H1以及厚度H3。此外,在图4中用K1示出第1内部电极层10a的厚度。厚度H1以及厚度H3成为厚度K1的20%以上且120%以下。

[0126] (长度方向的配置)

[0127] 至此,说明了台阶层5的高度方向T的结构。接着,对台阶层5的长度方向L的配置进行说明。

[0128] (端面侧)

[0129] 台阶层5从端面62露出。具体而言,第1台阶层5a在第1端面62a露出。此外,第2台阶层5b在第2端面62b露出。

[0130] (内部电极侧)

[0131] 台阶层5的长度方向L上的与从端面62露出的端相反的一端的端和与该台阶层5相同层的内部电极层10在内部电极层10的前端E相接。所谓内部电极层10的前端E,是指内部电极层10的长度方向L上的与从端面62露出的端相反的一端的端。

[0132] 将第2内部电极层10b的第1端面62a侧的前端E设为前端E1。第1台阶层5a在第2内部电极层10b的前端E1与第2内部电极层10b相接。

[0133] 同样地,将第1内部电极层10a的第2端面62b侧的前端E设为前端E2。第2台阶层5b在第1内部电极层10a的前端E2与第1内部电极层10a相接。

[0134] (L方向端部)

[0135] L方向端部47是指从内部电极层10的L方向的端朝向连接有该内部电极层10的端面62为 $0\mu\text{m}$ 以上且 $60\mu\text{m}$ 以下的区域。即,图4所示的D1为 $0\mu\text{m}$ 以上且 $60\mu\text{m}$ 以下。

[0136] 这里,将第1内部电极层10a与相邻的第1主面61a侧的第1内部电极层10a之间的陶瓷层4和台阶层5的厚度设为D2。此外,将第1内部电极层10a与相邻的第2主面61b侧的第1内部电极层10a之间的陶瓷层4和台阶层5的厚度设为D3。D2比D3大。D2随着靠近第1主面侧而逐渐变大。

[0137] (覆盖率)

[0138] 对内部电极层10的覆盖率进行说明。内部电极层10的L方向端部47中的覆盖率比内部电极层10的对置部11中的覆盖率低。具体而言,第1内部电极层10a的L方向端部47中的覆盖率比第1内部电极层10a的第1对置部11a的覆盖率低。此外,对于第2内部电极层10b也同样,第2内部电极层10b的L方向端部47中的覆盖率比第2内部电极层10b的第2对置部11b的覆盖率低。

[0139] (添加剂浓度)

[0140] 并且,在内部电极层10的L方向端部47中,从Ni、V以及Sn之中选择的至少一种添加剂的浓度在内部电极层10位于靠近第2主面61b的位置时变得更低。

[0141] (第2实施方式)

[0142] 基于图5以及图6对本发明的层叠陶瓷电子部件1的第2实施方式进行说明。图5是第2实施方式中的层叠体2的LT剖视图。图5是对应于第1实施方式中的图4的图。图6是第2实施方式的层叠陶瓷电子部件1的一部分的LT剖视图。在以下的说明中,以与第1实施方式的不同点为中心进行说明。

[0143] 在第1实施方式中,如图4所示,台阶层5的高度方向T的长度根据内部电极层10而不同。与此相对,在第2实施方式中,如图5所示,台阶层5的长度方向L的长度根据内部电极层10而不同。

[0144] (台阶层和内部电极层的距离)

[0145] 对台阶层5和内部电极层10的长度方向L上的距离进行说明。在长度方向L上的台阶层5的两个端之中,将未在端面62露出一侧的端设为台阶层5的内侧端Q。而且,将内部电极层10的前端E和与该内部电极层10配置在同层的台阶层5的内侧端Q的长度方向L上的距离设为J。该距离J成为台阶层5和内部电极层10的长度方向L上的距离。

[0146] 若内部电极层10位于靠近第1主面61a的位置,则台阶层5和内部电极层10的长度方向L上的距离J变得更远。

[0147] 详细而言,对于第1台阶层5a和第2内部电极层10b的长度方向L的距离J,位于靠近第1主面61a的位置的第1台阶层5a和第2内部电极层10b的长度方向L的距离J变得更远。

[0148] 同样地,对于第2台阶层5b和第1内部电极层10a的长度方向L的距离J,位于靠近第1主面61a的位置的第2台阶层5b和第1内部电极层10a的长度方向的距离J变得更远。

[0149] 在图5中,将第1台阶层5a以及第2台阶层5b分别示出了两个。

[0150] 关于两个第1台阶层5a,对于靠近第1主面61a的一方的第1台阶层5a,将第1台阶层5a和第2内部电极层10b的长度方向L的距离J设为距离J2,对于靠近第2主面61b的一方的第1台阶层5a,将第1台阶层5a和第2内部电极层10b的长度方向L的距离J设为距离J4。距离J2的距离比距离J4的距离远。

[0151] 对于第2台阶层5b也同样。关于两个第2台阶层5b,对于靠近第1主面61a的一方的第2台阶层5b,将第2台阶层5b和第1内部电极层10a的长度方向L的距离J设为距离J1,对于靠近第2主面61b的一方的第2台阶层5b,将第2台阶层5b和第1内部电极层10a的长度方向L的距离J设为距离J3。距离J1的距离比距离J3的距离远。

[0152] 如以上那样,在本实施方式的层叠陶瓷电子部件1中,台阶层5的长度随着靠近第1主面61a而变短。

[0153] 在制作层叠体2时,与层叠的开始相比,层叠的结束的一方更容易产生由内部电极层10的有无引起的各层的弯曲。换言之,层叠的结束的一方,由内部电极层10的有无引起的台阶的影响变大。

[0154] 此外,层叠的结束的一方在更靠端面侧开始各层的弯曲。

[0155] 在本实施方式的层叠陶瓷电子部件1中,台阶层5的自端面62起的长度在层叠结束的一方变得更短。

[0156] 由此,层叠陶瓷电子部件1能够降低层叠体2的弯曲度。

[0157] 此外,在高度方向T上,能够抑制内部电极层10和台阶层5重叠,使层叠陶瓷电子部件1的可靠性提高。

[0158] (与L间隙的长度比)

[0159] 对台阶层5与L间隙51的长度方向L上的长度之比进行说明。

[0160] 在图5中,用S示出台阶层5的长度方向L的长度。此外,用D5示出L间隙51的长度方向L的长度。台阶层5的长度S为L间隙51的长度D5的20%以上。

[0161] 详细而言,第1台阶层5a的长度方向L的长度S为第2内部电极层10b的前端E1与第1端面62a的长度方向L的距离、即第1L间隙51a的长度方向L的长度D5的20%以上。

[0162] 同样地,第2台阶层5b的长度方向L的长度S为第1内部电极层10a的前端E2与第2端面62b的长度方向L的距离、即第2L间隙51b的长度方向L的长度D5的20%以上。

[0163] 在图5中,将第1台阶层5a以及第2台阶层5b分别示出了两个。

[0164] 关于两个第1台阶层5a,对于靠近第1主面61a的一方的第1台阶层5a,将长度方向L的长度S设为长度S2,对于靠近第2主面61b的一方的第1台阶层5a,将长度方向L的长度S设为长度S4。长度S2以及长度S4均为第1L间隙51a的长度方向L的长度D5的20%以上。

[0165] 对于第2台阶层5b也同样。关于两个第2台阶层5b,对于靠近第1主面61a的一方的第2台阶层5b,将长度方向L的长度S设为长度S1,对于靠近第2主面61b的一方的第2台阶层5b,将长度方向L的长度S设为长度S3。长度S1以及长度S3均为第2L间隙51b的长度方向L的长度D5的20%以上。

[0166] (弯曲部)

[0167] 基于图6,对内部电极层10的弯曲部40进行说明。图6是第2实施方式的层叠陶瓷电子部件1的一部分的LT剖视图。图6示出了层叠陶瓷电子部件1的第1L间隙51a等。

[0168] 第2实施方式中的内部电极层10具有弯曲部40。所谓弯曲部40,是指在内部电极层10的延长部12中内部电极层10向第2主面61b的方向弯曲了的部分。

[0169] 在图6中,示出了第1内部电极层10a的弯曲部40。在图6中,示出了5个弯曲部40。对5个弯曲部40在从第1主面61a到第2主面61b的方向上依次标注了41至45的附图标记。

[0170] (弯曲的起点)

[0171] 将弯曲部40的弯曲的起点设为点F,将弯曲部40的弯曲的终点设为点G。所谓弯曲的起点,是内部电极层10a在延长部12中向第2主面61b的方向开始弯曲的点。在图6中,对于各个弯曲部40,将作为弯曲的起点的点F表示为点F1至点F5。

[0172] (弯曲的终点)

[0173] 所谓弯曲的终点,是内部电极层10的弯曲部40与端面62相接的点。在图6所示的结构中,弯曲的终点成为第1内部电极层10a与第1端面62a相接的点。在图6中,对于各个弯曲部40,将作为弯曲的终点的点G表示为点G1至点G5。

[0174] (弯曲部的长度)

[0175] 对弯曲部40的长度M进行说明。所谓弯曲部40的长度M,是弯曲的起点G和弯曲的终点G的长度方向L上的距离。

[0176] 在图6中,对于各个弯曲部40,将弯曲部40的长度M表示为长度M1至长度M5。内部电极层10越位于靠近第2主面61b的位置,弯曲部40的长度M变得越短。即,长度M按照长度M1至长度M5的顺序变短。

[0177] (弯曲部的高度)

[0178] 对弯曲部40的高度N进行说明。所谓弯曲部40的高度N,是弯曲的起点G和弯曲的终点G的高度方向T上的距离。

[0179] 在图6中,对于各个弯曲部40,将弯曲部40的高度N表示为高度N1至长度N5。内部电极层10越位于靠近第2主面61b的位置,弯曲部40的高度N变得越低。即,高度N按照高度N1至高度N5的顺序变低。

[0180] (第3实施方式)

[0181] 基于图7至图11对本发明的层叠陶瓷电子部件1的第3实施方式进行说明。在以下的说明中,以与第1实施方式以及第2实施方式的不同点为中心进行说明。

[0182] 在第1实施方式以及第2实施方式中,说明了层叠陶瓷电子部件1为二端子的层叠陶瓷电容器的情况。但是,层叠陶瓷电子部件1不限于二端子的层叠陶瓷电容器。层叠陶瓷电子部件1也能够设为三端子以上的多端子的层叠陶瓷电容器。在第3实施方式中,说明层叠陶瓷电子部件1为三端子的层叠陶瓷电容器的情况。

[0183] (层叠陶瓷电子部件的概要)

[0184] 基于图7,说明层叠陶瓷电子部件1的构造的概要。

[0185] 图7是示出本实施方式的层叠陶瓷电子部件1的立体图。如图7所示,第3实施方式的层叠陶瓷电子部件1除了两个端面62之外在两个侧面63也形成有外部电极20。将形成在侧面63的外部电极20设为侧面外部电极30。侧面外部电极30包含第1侧面外部电极30a以及第2侧面外部电极30b。第1侧面外部电极30a形成在第1侧面63a。第2侧面外部电极30b形成在第2侧面63b。

[0186] 在本实施方式的层叠陶瓷电子部件1中,除了两个端面62之外,在两个侧面63也能够进行内部电极层10和外部电极20的连接。

[0187] (LT剖面层)

[0188] 基于图8,对层叠陶瓷电子部件1的LT剖面进行说明。图8是图7的III-III线剖视图。

[0189] 如图8所示,在层叠体2中,多个端面露出电极层10c以及多个侧面露出电极层10d隔着内层陶瓷层4a而层叠。端面露出电极层10c在第1端面62a与第1外部电极20a连接。此外,端面露出电极层10c在第2端面62b与第2外部电极20b连接。

[0190] 另一方面,侧面露出电极层10d在任意端面62均不与外部电极20连接。

[0191] 在三端子的层叠陶瓷电容器中,端面露出电极层10c作为贯通电极发挥功能。此外,侧面露出电极层10d作为接地电极发挥功能。

[0192] (WT剖面层)

[0193] 基于图9,对层叠陶瓷电子部件1的WT剖面进行说明。图9是图7的IV-IV线剖视图。

[0194] 如图9所示,侧面露出电极层10d在第1侧面63a与第1侧面外部电极30a连接。此外,侧面露出电极层10d在第2侧面63b与第2侧面外部电极30b连接。

[0195] 另一方面,端面露出电极层10c在任意侧面63均不与外部电极20连接。

[0196] (内部电极层的平面构造)

[0197] 基于图10以及图11对端面露出电极层10c以及侧面露出电极层10d的平面构造进行说明。这里,所谓平面构造,是指从层叠陶瓷电子部件1的高度方向T观察内部电极层10时的构造。

[0198] (端面露出电极层)

[0199] 基于图10对端面露出电极层10c进行说明。图10是图7的V-V线剖视图。图10示出端

面露出电极层10c的平面构造。

[0200] 在端面露出电极层10c的在第1端面62a露出的部分设置有第1端面延长部12c。此外,在端面露出电极层10c的在第2端面62b露出的部分设置有第2端面延长部12d。

[0201] 端面露出电极层10c的对置部11经由第1端面延长部12c与第1端面62a连接。此外,端面露出电极层10c的对置部11经由第2端面延长部12d与第2端面62b连接。

[0202] 在图10中,将端面露出电极层10c图示为矩形状,但是对置部11和端面铅垂部、即第1端面延长部12c以及第2端面延长部12d的宽度方向W的宽度也可以相同。

[0203] (侧面露出电极层)

[0204] 基于图11对侧面露出电极层10d进行说明。图11是图7的V-V线剖视图。图11示出侧面露出电极层10d的平面构造。

[0205] 在侧面露出电极层10d的在第1侧面63a露出的部分设置有第1侧面延长部12e。此外,在侧面露出电极层10d的在第2侧面63b露出的部分设置有第2侧面延长部12f。侧面露出电极层10d的对置部11经由第1侧面延长部12e与第1侧面63a连接。此外,侧面露出电极层10d的对置部11经由第2侧面延长部12f与第2侧面63b连接。

[0206] (区域的定义)

[0207] 在端面露出电极层10c中,将与在侧面露出电极层10d设置有第1侧面延长部12e的区域对应的区域设为第3W间隙52c。此外,同样地,在端面露出电极层10c中,将与在侧面露出电极层10d设置有第2侧面延长部12f的区域对应的区域设为第4W间隙52d。

[0208] 此外,在侧面露出电极层10d中,将与在端面露出电极层10c设置有第1端面延长部12c的区域对应的区域设为第3L间隙51c。此外,同样地,在侧面露出电极层10d中,将与在端面露出电极层10c设置有第2端面延长部12d的区域对应的区域设为第4L间隙51d。

[0209] 在层叠体2的长度方向L上,将设置有第1侧面延长部12e的延长区域55设为第1L延长区域55c。此外,同样地,在层叠体2的长度方向L上,将设置有第2侧面延长部12f的延长区域55设为第2L延长区域55d。

[0210] 此外,在层叠体2的宽度方向W上,将设置有第1端面延长部12c的延长区域55设为第1W延长区域55a。此外,同样地,在层叠体2的宽度方向W上,将设置有第2端面延长部12d的延长区域55设为第2W延长区域55b。

[0211] (台阶层)

[0212] 即使层叠陶瓷电子部件1为三端子的层叠陶瓷电容器,也与二端子的层叠陶瓷电容器的情况同样地,配置台阶层5。通过适当地配置台阶层5,从而能够抑制由第1端面延长部12c、第2端面延长部12d、第1侧面延长部12e以及第2侧面延长部12f引起的层叠体2的高度方向T的厚度的不均匀。

[0213] (端面台阶层)

[0214] 在本实施方式中,台阶层5包含端面台阶层5c以及侧面台阶层5d。

[0215] 端面台阶层5c能够用于消除由端面露出电极层10c的第1端面延长部12c以及第2端面延长部12d引起的台阶。

[0216] 侧面露出电极层10d在与第1端面延长部12c对应的位置、以及与第2端面延长部12d对应的位置不具有电极。于是,在与侧面露出电极层10d相同的层中,在与第1端面延长部12c对应的位置、以及与第2端面延长部12d对应的位置配置端面台阶层5c。由此,能够抑

制层叠体2的高度方向T的不均匀。

[0217] 在与侧面露出电极层10d相同的层中,优选配置端面台阶层5c的区域为以下两个。一个是图11中的、第3L间隙51c和第1W延长区域55a重叠的部分。配置在该部分的端面台阶层5c减少由侧面露出电极层10d不具有第1端面延长部12c所引起的高度的不均匀。

[0218] 另一个是图11中的、第4L间隙51d和第2W延长区域55b重叠的部分。配置在该部分的端面台阶层5c减少由侧面露出电极层10d不具有第2端面延长部12d所引起的高度的不均匀。

[0219] (侧面台阶层)

[0220] 接着,对侧面台阶层5d进行说明。

[0221] 侧面台阶层5d能够用于消除由侧面露出电极层10d的第1侧面延长部12e以及第2侧面延长部12f引起的台阶。

[0222] 端面露出电极层10c在与第1侧面延长部12e对应的位置、以及与第2侧面延长部12f对应的位置不具有电极。

[0223] 于是,在与端面露出电极层10c相同的层中,在与第1侧面延长部12e对应的位置、以及与第2侧面延长部12f对应的位置配置侧面台阶层5d。由此,能够抑制层叠体2的高度方向T的不均匀。

[0224] 在与端面露出电极层10c相同的层中,优选配置侧面台阶层5d的区域为以下两个。一个是图10中的、第3W间隙52c和第1L延长区域55c重叠的部分。配置在该部分的侧面台阶层5d减少由端面露出电极层10c不具有第1侧面延长部12e所引起的高度的不均匀。

[0225] 另一个是图10中的、第4W间隙52d和第2L延长区域55d重叠的部分。配置在该部分的侧面台阶层5d减少由端面露出电极层10c不具有第2侧面延长部12f所引起的高度的不均匀。

[0226] 另外,端面台阶层5c以及侧面台阶层5d能够以与第1实施方式以及第2实施方式中所说明的第1台阶层5a以及第2台阶层5b同样的形态进行配置。

[0227] 此外,在第1实施方式以及第2实施方式中,对于台阶层5的形态等,以端面62的附近为例进行了说明。基于该端面62所说明的台阶层5的形态不仅适用于第3实施方式的端面台阶层5c,也适用于侧面台阶层5d。

[0228] 此外,能够在与侧面露出电极层10d相同的层设置侧面台阶层5d。在与侧面露出电极层10d相同的层设置有侧面台阶层5d的情况下,电极层10和台阶层5的距离能够设为相邻的、侧面延长部12e、12f和侧面台阶层5d的长度方向L上的距离。此外,电极层10和台阶层5的距离能够设为相邻的、侧面露出电极层10d的对置部11和侧面台阶层5d的宽度方向W上的距离。

[0229] 同样地,能够在与端面露出电极层10c相同的层设置端面台阶层5c。在与端面露出电极层10c相同的层设置有端面台阶层5c的情况下,电极层10和台阶层5的距离能够设为相邻的、端面露出电极层10c的对置部11和端面台阶层5c的长度方向L上的距离。此外,电极层10和台阶层5的距离能够设为相邻的、端面延长部12c、12d和端面台阶层5c的宽度方向W上的距离。

[0230] (实施方式的组合)

[0231] 前述的各实施方式也能够进行组合。

[0232] 在第1实施方式中,主要对台阶层5的高度方向T的厚度进行了说明。另一方面,在第2实施方式中,主要对台阶层5的长度方向T的长度进行了说明。例如,也能够使台阶层5的高度方向T的厚度如第1实施方式那样、并且使台阶层5的长度方向T的长度如第2实施方式那样。

[0233] 此外,如前所述,在第3实施方式中,也可以对端面露出电极层10c以及侧面露出电极层10d之中的至少任一者应用第1实施方式或第2实施方式的台阶层5。此外,在第3实施方式中,也可以对端面露出电极层10c以及侧面露出电极层10d之中的一者应用第1实施方式的台阶层5,对剩余的另一者应用第2实施方式的台阶层5。此外,在第3实施方式中,也可以对端面露出电极层10c以及侧面露出电极层10d之中的至少任一者应用将第1实施方式和第2实施方式进行了组合的台阶层5。

[0234] 像这样,前述的各实施方式能够进行各种组合。

[0235] (层叠陶瓷电子部件的制造方法)

[0236] 说明层叠陶瓷电子部件1的制造方法。

[0237] (层叠块的制作)

[0238] 准备陶瓷生片、内部电极层10用的电极膏、以及台阶层5用的台阶膏。

[0239] (膏的涂敷)

[0240] 在陶瓷生片以所希望的图案涂敷电极膏以及台阶膏。各膏向陶瓷生片的涂敷,例如,能够通过丝网印刷、凹版印刷等方法来进行。利用任意的印刷方法,在陶瓷生片以给定图案印刷电极膏以及台阶膏。由此,得到印刷有膏的内层部53用的陶瓷生片。关于台阶层的厚度的控制,通过减少涂敷台阶膏的量,从而能够使其变薄。

[0241] (层叠)

[0242] 将未印刷内部电极层10的图案的陶瓷生片层叠给定片数。由此,制作与外层部54对应的部分。在其上,依次层叠涂敷有膏的内层部53用的陶瓷生片。由此,层叠与内层部53对应的部分。进而在其上,将另一个外层部54用的陶瓷生片层叠给定片数。由此,制作层叠片。通过等静压压制等方法在高度方向上对层叠片进行压制,制作层叠块。

[0243] (层叠小片(chip)的制作)

[0244] 将层叠块切割为给定尺寸,切出层叠小片。此时,也可以通过滚筒研磨等使层叠小片的角部以及棱线部带有圆角。

[0245] (烧成)

[0246] 接着,将层叠小片烧成,制作层叠体2。烧成温度也取决于陶瓷层4、内部电极层10的材料,但是优选为900℃以上且1400℃以下。

[0247] (外部电极)

[0248] 接着,形成外部电极20。

[0249] (基底层)

[0250] 在层叠体2的两个端面62涂敷成为基底层21的导电性膏,形成基底层21。

[0251] 另外,为了形成烧附层,通过浸渍等方法涂敷包含玻璃成分和金属的导电性膏。之后,进行烧附处理,形成基底层21。烧附处理的温度优选为500℃以上且900℃以下。此外,烧附处理的时间优选为30分钟以上且2小时以下。此外,烧附处理的气氛例如优选为加入了H₂O、H₂的还原气氛。

[0252] 接着,在基底层21的表面形成镀覆层23。在本实施方式中,在烧附层上形成Ni镀覆层。该Ni镀覆层成为内镀覆层23a。接着,在Ni镀覆层上形成Sn镀覆层。该Sn镀覆层成为表面镀覆层23b。例如通过滚筒镀覆法,依次形成Ni镀覆层以及Sn镀覆层。像这样,可得到层叠陶瓷电子部件1。

[0253] 另外,在制作三端子的层叠陶瓷电容器的情况下,除了层叠体2的两个端面62之外,在两个侧面63也形成外部电极20。

[0254] (厚度的测定方法)

[0255] 作为陶瓷层4以及内部电极层10等的长度以及厚度等的测定方法,可列举例如利用扫描型电子显微镜观察通过研磨而露出的层叠体2的剖面的方法。此外,各值能够设为与想要测定的部位对应的多个地方的测定值的平均值。

[0256] 此外,层叠体2的各部等的长度能够利用测微计或光学显微镜进行测定。台阶层随着靠近第1主面而变厚。此时,第1内部电极层与第1主面侧的最靠近的第1内部电极层之间随着靠近第1主面而变厚。

[0257] (覆盖率的测定方法)

[0258] 例如,能够如以下那样进行覆盖率的测定。

[0259] 在内部电极层10的内部,包含不存在金属的空洞的部分。在内部电极层10中,将金属所占的比例设为覆盖率。但是,在层叠有内部电极层10和陶瓷层4的情况下,有时陶瓷材料填充在内部电极层10的空洞的一部分。于是,将覆盖率的定义设为金属/(金属+(空洞或陶瓷材料))。

[0260] 即,将内部电极层10的整体设为(i)金属、(ii)未填充陶瓷材料且作为空洞而存在的部分、以及(iii)在空洞中填充有陶瓷材料的部分之和。而且,将(i)金属相对于该内部电极层10的整体所占的比例设为覆盖率。

[0261] 具体而言,能够利用以下的方法进行覆盖率的测定。

[0262] 首先,研磨层叠体2,使测定覆盖率的地区的剖面露出。然后,利用光学显微镜等观察所露出的剖面,求出给定范围内的金属的面积。基于所求出的面积,计算覆盖率。另外,覆盖率也能够取在多个地方求出的值的平均。

[0263] 以上,对本发明的实施方式进行了说明,但是本发明不限于前述的实施方式,能够进行各种变更以及变形。

[0264] <1>

[0265] 一种层叠陶瓷电子部件,具备层叠体、第1外部电极和第2外部电极,

[0266] 所述层叠体包含被层叠的多个陶瓷层,并且包含:

[0267] 在高度方向上相对的第1主面以及第2主面;

[0268] 在与所述高度方向正交的宽度方向上相对的第1侧面以及第2侧面;

[0269] 在与所述高度方向以及所述宽度方向正交的长度方向上相对的第1端面以及第2端面;

[0270] 第1内部电极层,与所述多个陶瓷层交替地层叠,在所述第1端面露出;

[0271] 第2内部电极层,与所述多个陶瓷层交替地层叠,在所述第2端面露出;

[0272] 第1台阶层,与所述第2内部电极层配置在同一面上,在所述第1端面露出;和

[0273] 第2台阶层,与所述第1内部电极层配置在同一面上,在所述第2端面露出,

- [0274] 所述第1外部电极设置在所述第1端面，
- [0275] 所述第2外部电极设置在所述第2端面，
- [0276] 关于所述第1台阶层的所述层叠体的高度方向的厚度，位于靠近所述第1主面的位置的所述第1台阶层变得更厚，
- [0277] 关于所述第2台阶层的所述层叠体的高度方向的厚度，位于靠近所述第1主面的位置的所述第2台阶层变得更厚。
- [0278] <2>
- [0279] 根据<1>所述的层叠陶瓷电子部件，其中，
- [0280] 所述第1台阶层的厚度为所述第2内部电极层的厚度的20%以上且120%以下，
- [0281] 所述第2台阶层的厚度为所述第1内部电极层的厚度的20%以上且120%以下。
- [0282] <3>
- [0283] 根据<1>或<2>所述的层叠陶瓷电子部件，其中，
- [0284] 所述第1内部电极层和所述第2台阶层相接，
- [0285] 所述第2内部电极层和所述第1台阶层相接。
- [0286] <4>
- [0287] 根据<1>至<3>中任一项所述的层叠陶瓷电子部件，其中，
- [0288] 在将从所述第1内部电极层的长度方向的前端向所述第1端面的方向 $0\mu\text{m}$ 以上且 $60\mu\text{m}$ 以下的区域、以及从所述第2内部电极层的长度方向的前端向所述第2端面的方向 $0\mu\text{m}$ 以上且 $60\mu\text{m}$ 以下的区域设为L方向端部时，
- [0289] 所述L方向端部的覆盖率比所述第1内部电极层的对置部的覆盖率低，
- [0290] 所述L方向端部的覆盖率比所述第2内部电极层的对置部的覆盖率低。
- [0291] <5>
- [0292] 根据<4>所述的层叠陶瓷电子部件，其中，
- [0293] 在所述L方向端部中，关于从Ni、V、Sn之中选择的至少一种添加剂的浓度，位于靠近所述第2主面的位置的所述内部电极层的一方变得更低。
- [0294] <6>
- [0295] 一种层叠陶瓷电子部件，具备层叠体、第1外部电极和第2外部电极，
- [0296] 所述层叠体包含被层叠的多个陶瓷层，并且包含：
- [0297] 在高度方向上相对的第1主面以及第2主面；
- [0298] 在与所述高度方向正交的宽度方向上相对的第1侧面以及第2侧面；
- [0299] 在与所述高度方向以及所述宽度方向正交的长度方向上相对的第1端面以及第2端面；
- [0300] 作为内部电极层的端面露出电极层，与所述多个陶瓷层交替地层叠，在所述第1端面以及所述第2端面露出；
- [0301] 作为内部电极层的侧面露出电极层，与所述多个陶瓷层交替地层叠，在所述第1侧面以及所述第2侧面露出；
- [0302] 侧面台阶层，与所述端面露出电极层配置在同一面上，在所述第1侧面以及所述第2侧面露出；和
- [0303] 端面台阶层，与所述侧面露出电极层配置在同一面上，在所述第1端面以及所述第

2端面露出，

[0304] 所述第1外部电极设置在所述第1端面以及所述第2端面，

[0305] 所述第2外部电极设置在所述第1侧面以及所述第2侧面，

[0306] 关于所述侧面台阶层的所述层叠体的高度方向的厚度，位于靠近所述第1主面的位置的所述侧面台阶层变得更厚，

[0307] 关于所述端面台阶层的所述层叠体的高度方向的厚度，位于靠近所述第1主面的位置的所述端面台阶层变得更厚。

[0308] 附图标记说明

[0309] 1 层叠陶瓷电子部件

[0310] 2 层叠体

[0311] 4 陶瓷层

[0312] 5 台阶层

[0313] 10 内部电极层

[0314] 11 对置部

[0315] 12 延长部

[0316] 20 外部电极

[0317] 21 基底层

[0318] 23 镀覆层

[0319] 30 侧面外部电极

[0320] 40 弯曲部

[0321] 41 ~ 45 第1弯曲部 ~ 第5弯曲部

[0322] 47 L方向端部

[0323] 50 电极对置部

[0324] 51 L间隙

[0325] 52 W间隙

[0326] 53 内层部

[0327] 54 外层部

[0328] 55 延长区域

[0329] 61 主面

[0330] 62 端面

[0331] 63 侧面

[0332] T 高度方向

[0333] L 长度方向

[0334] W 宽度方向。

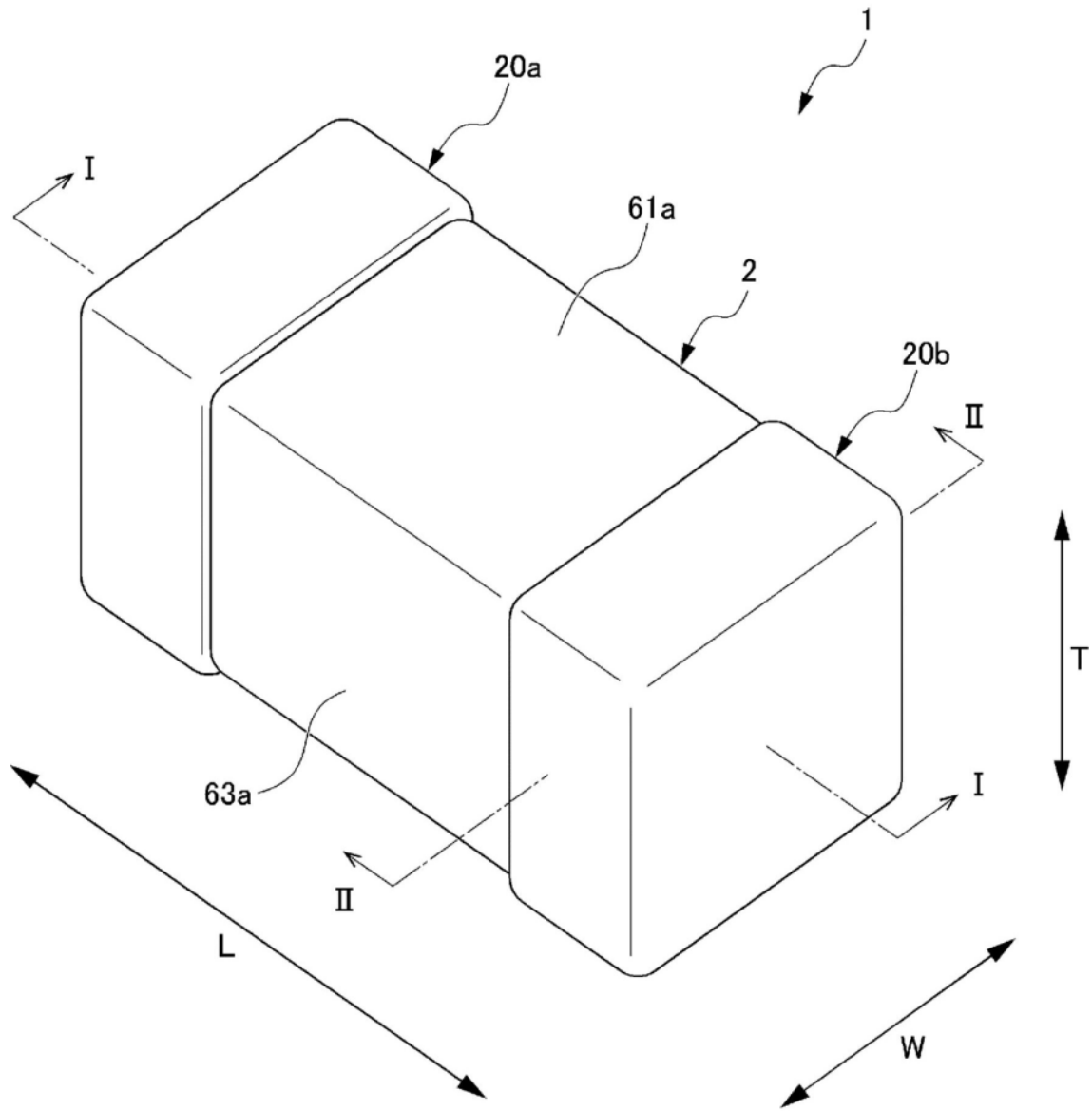


图1

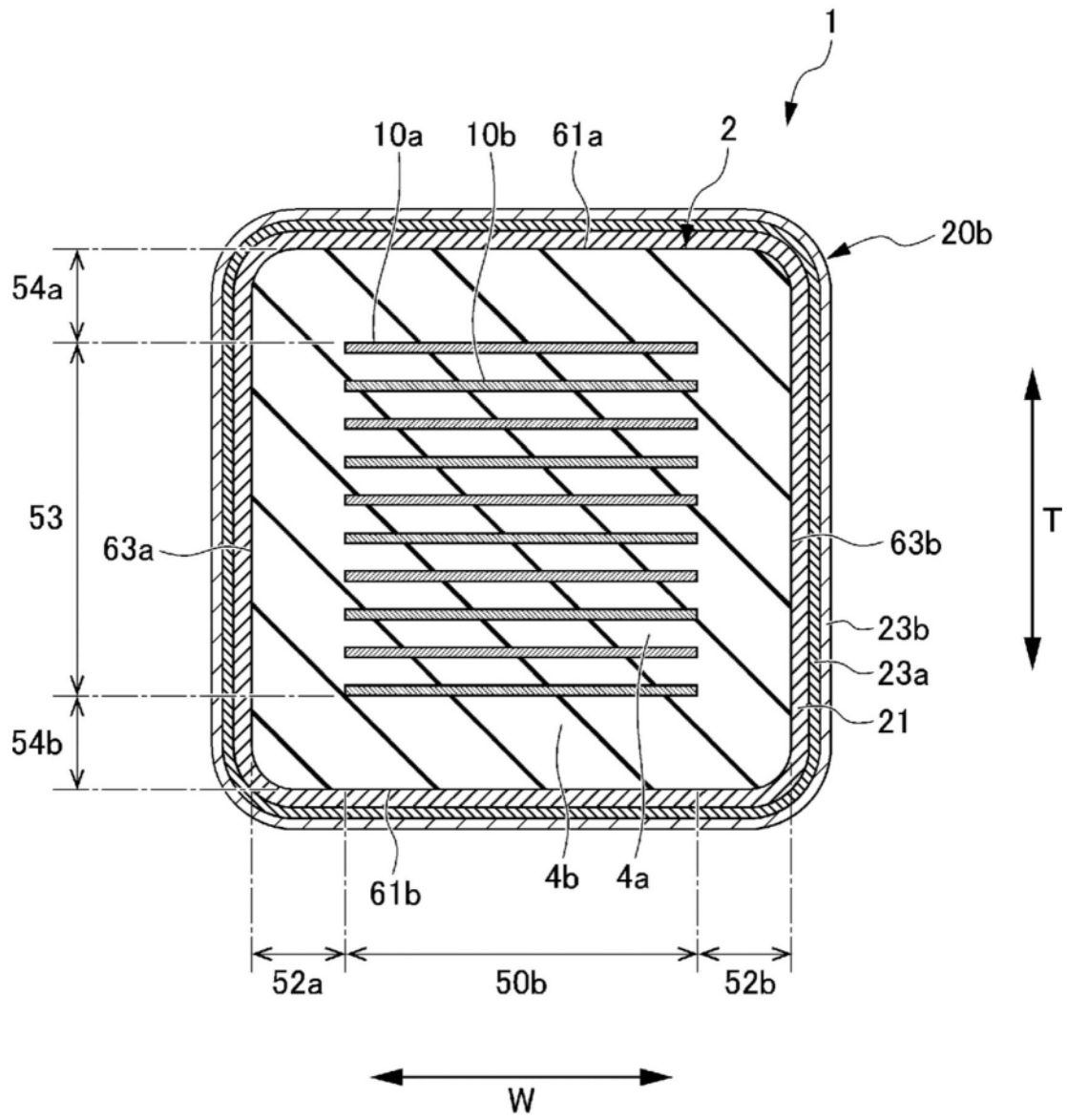


图3

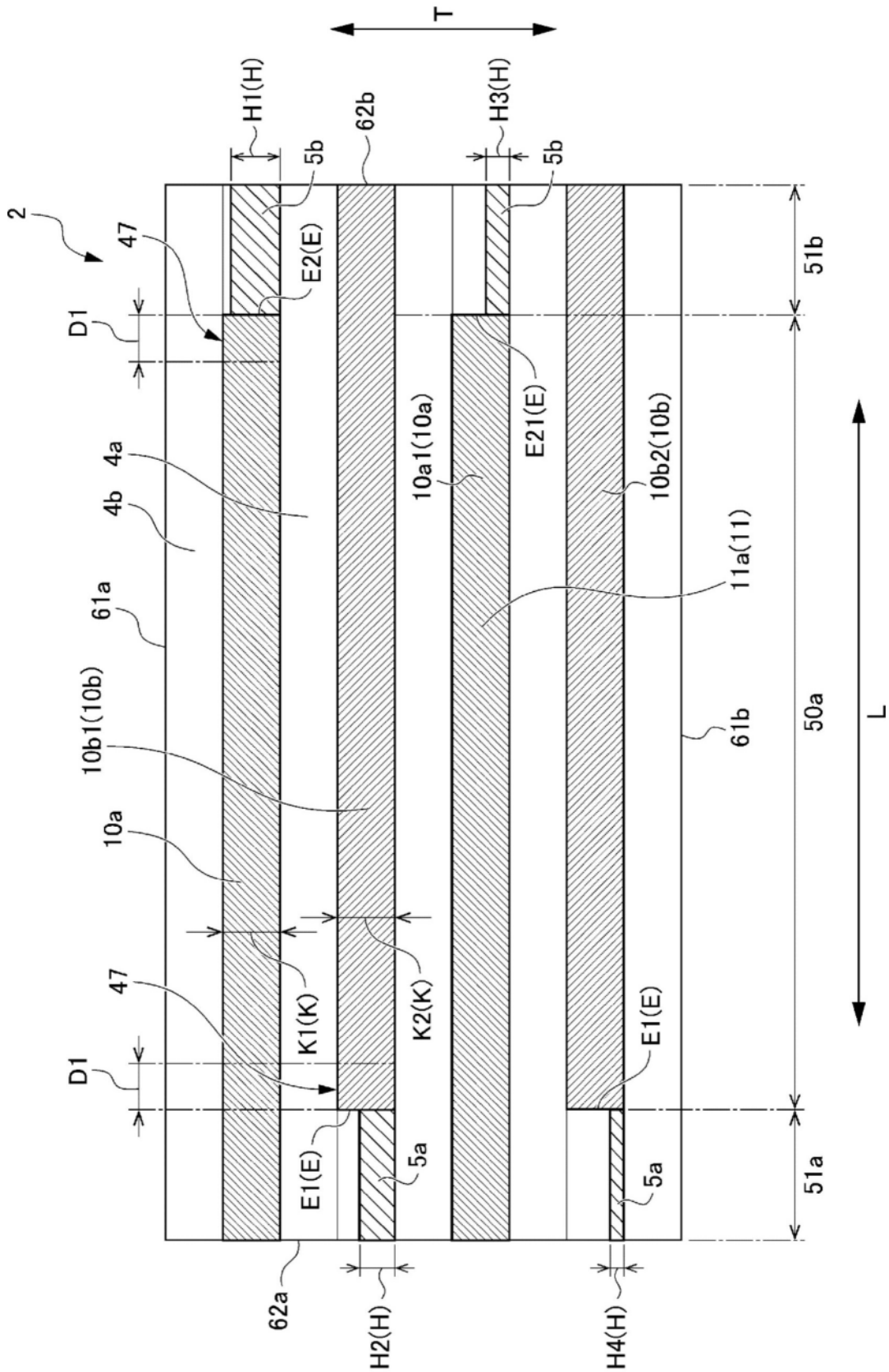


图4

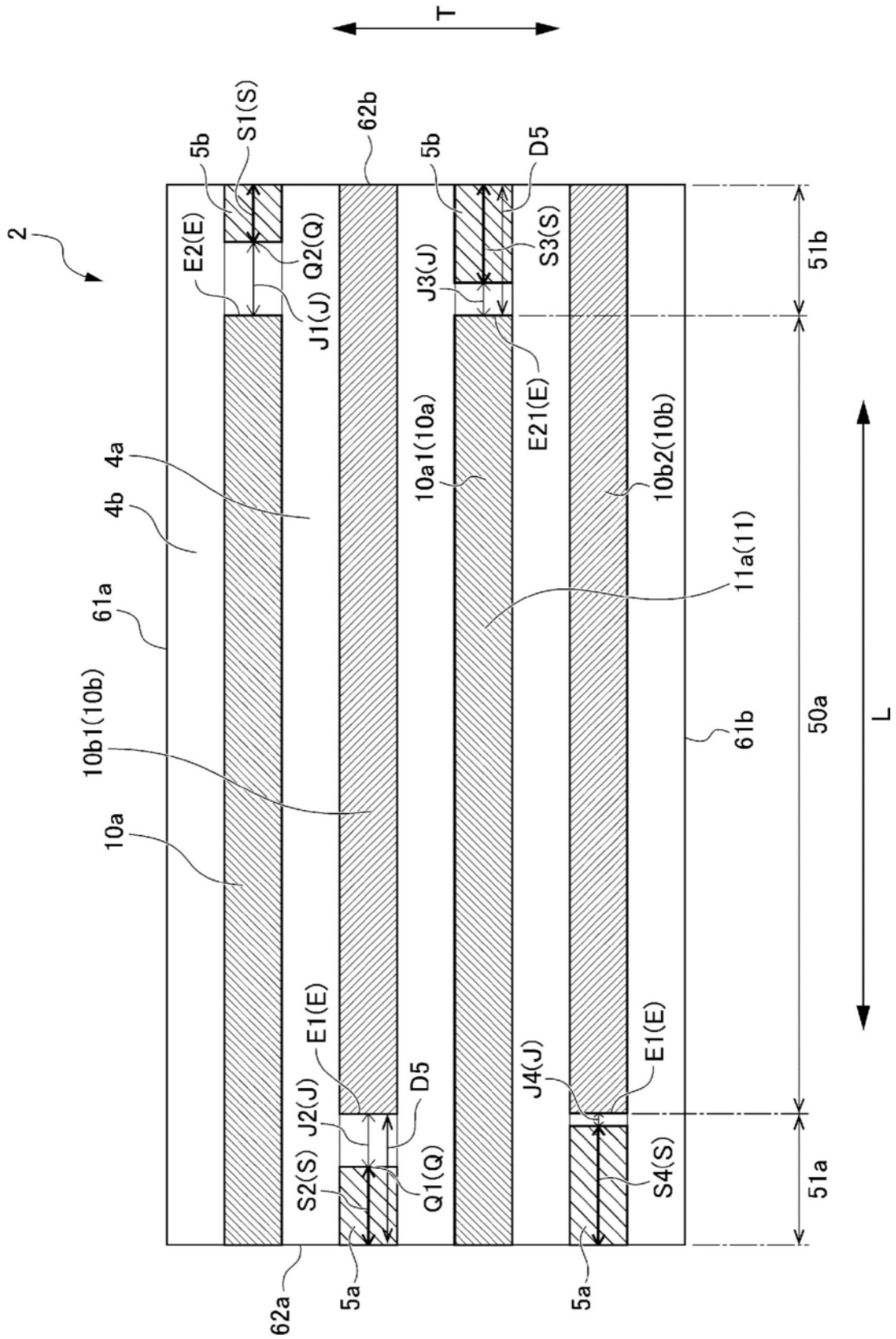


图5

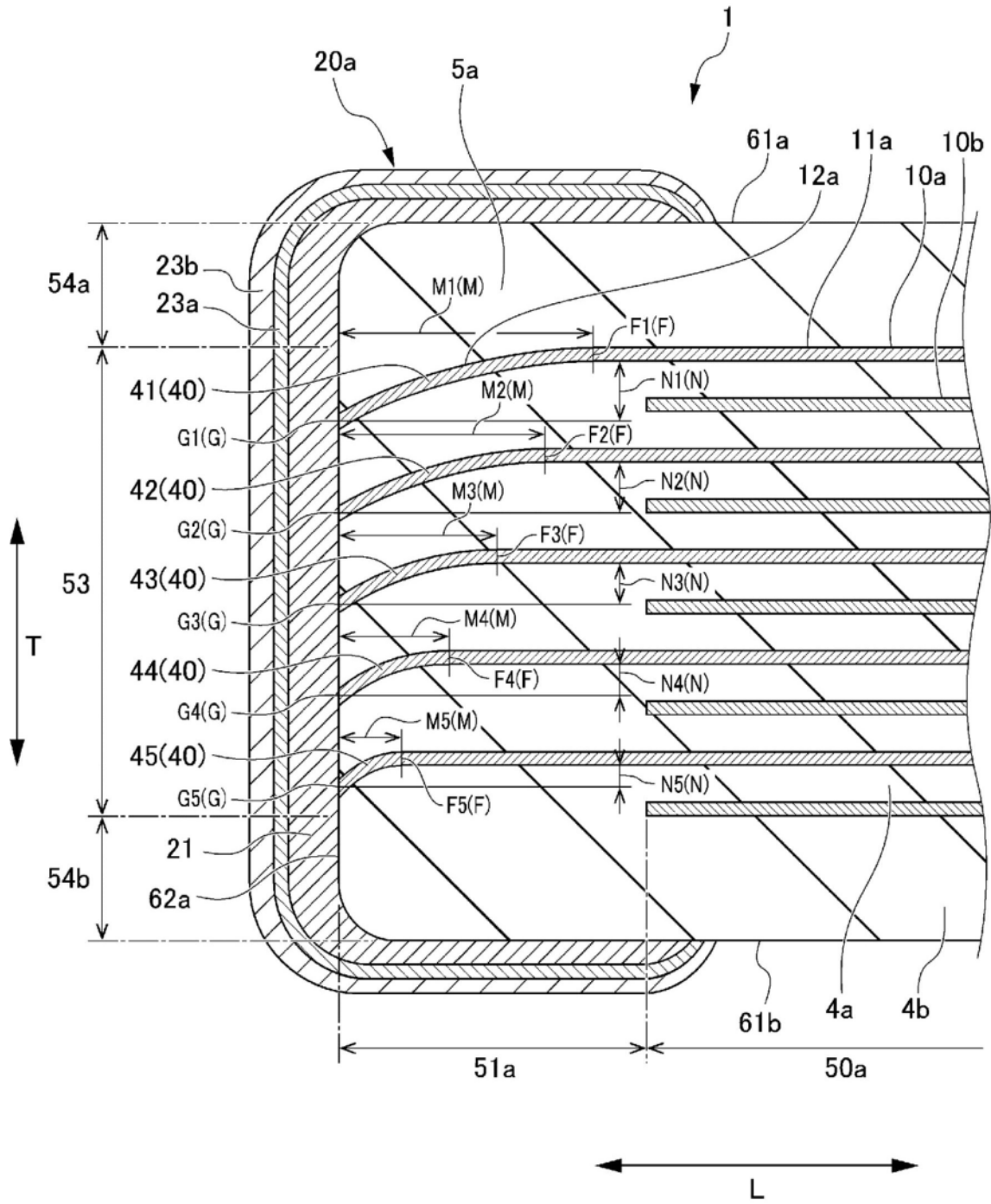


图6

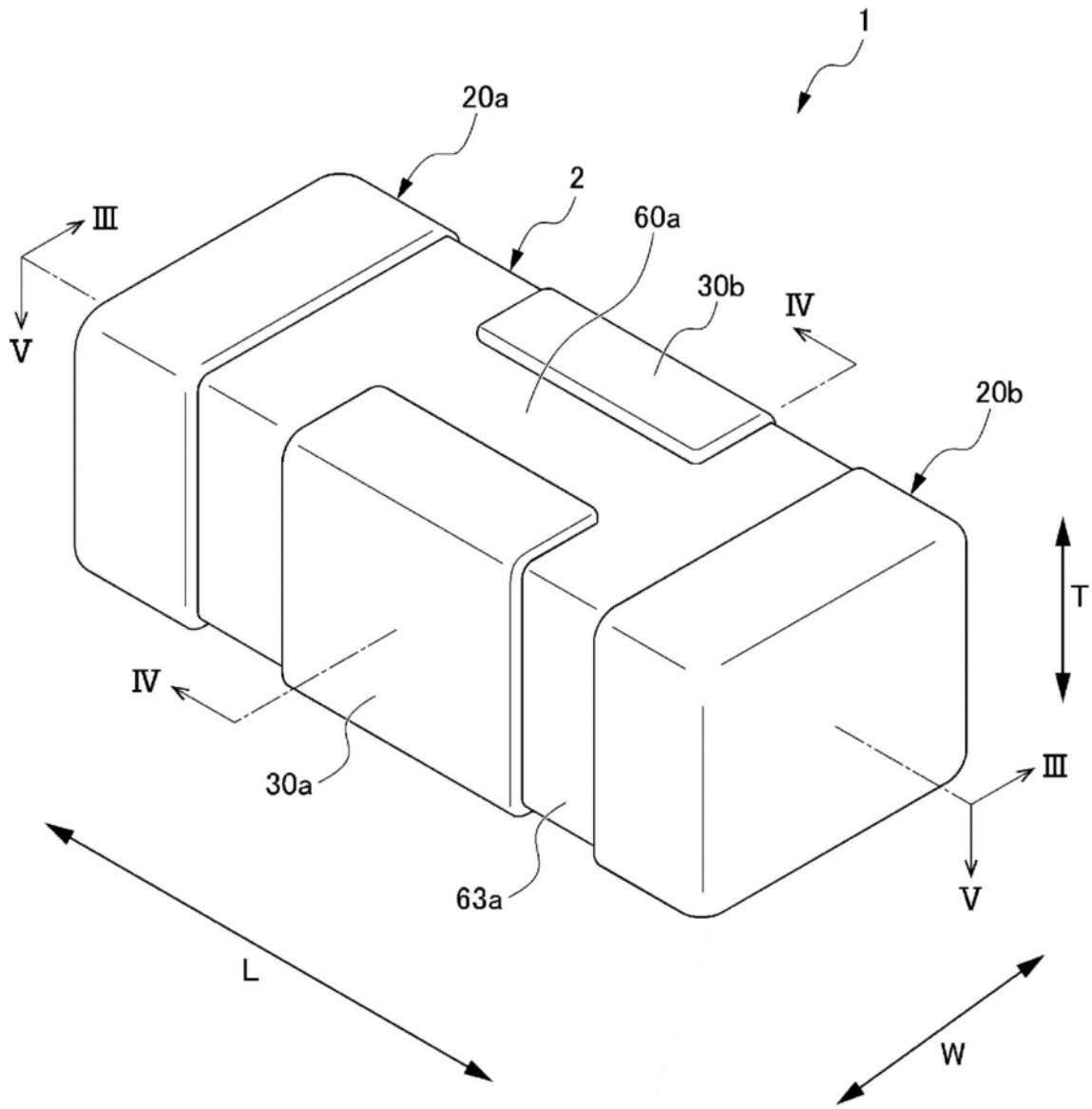


图7

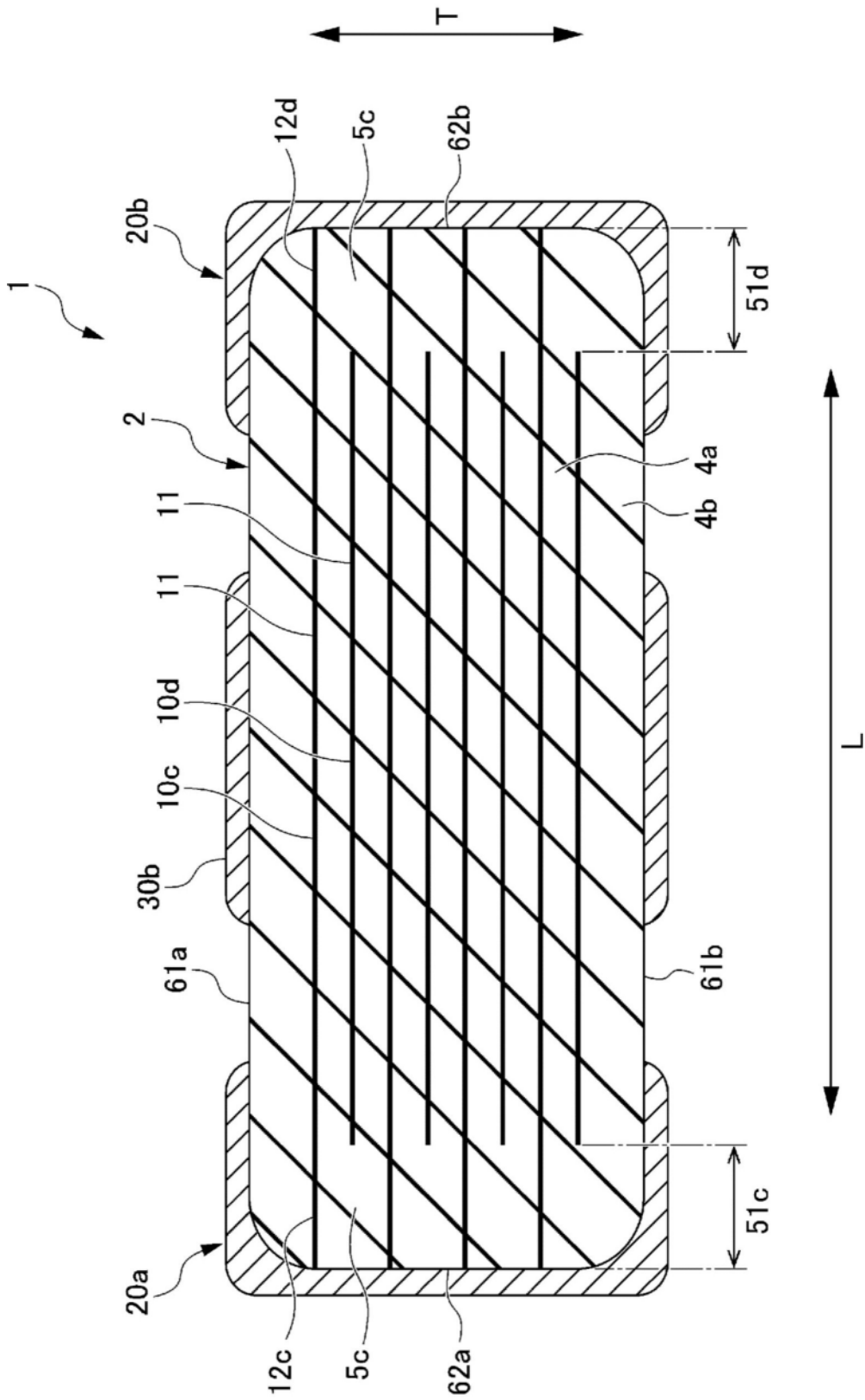


图8

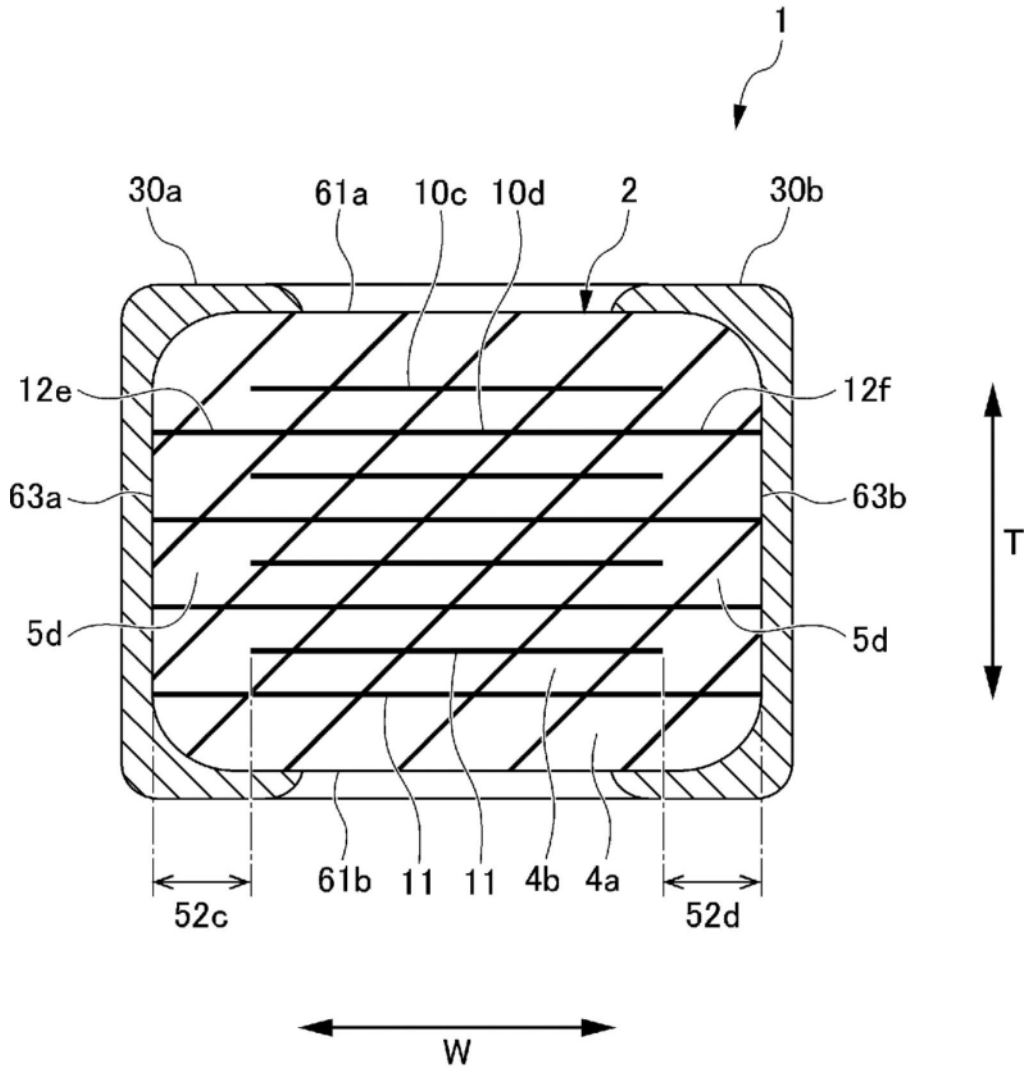


图9

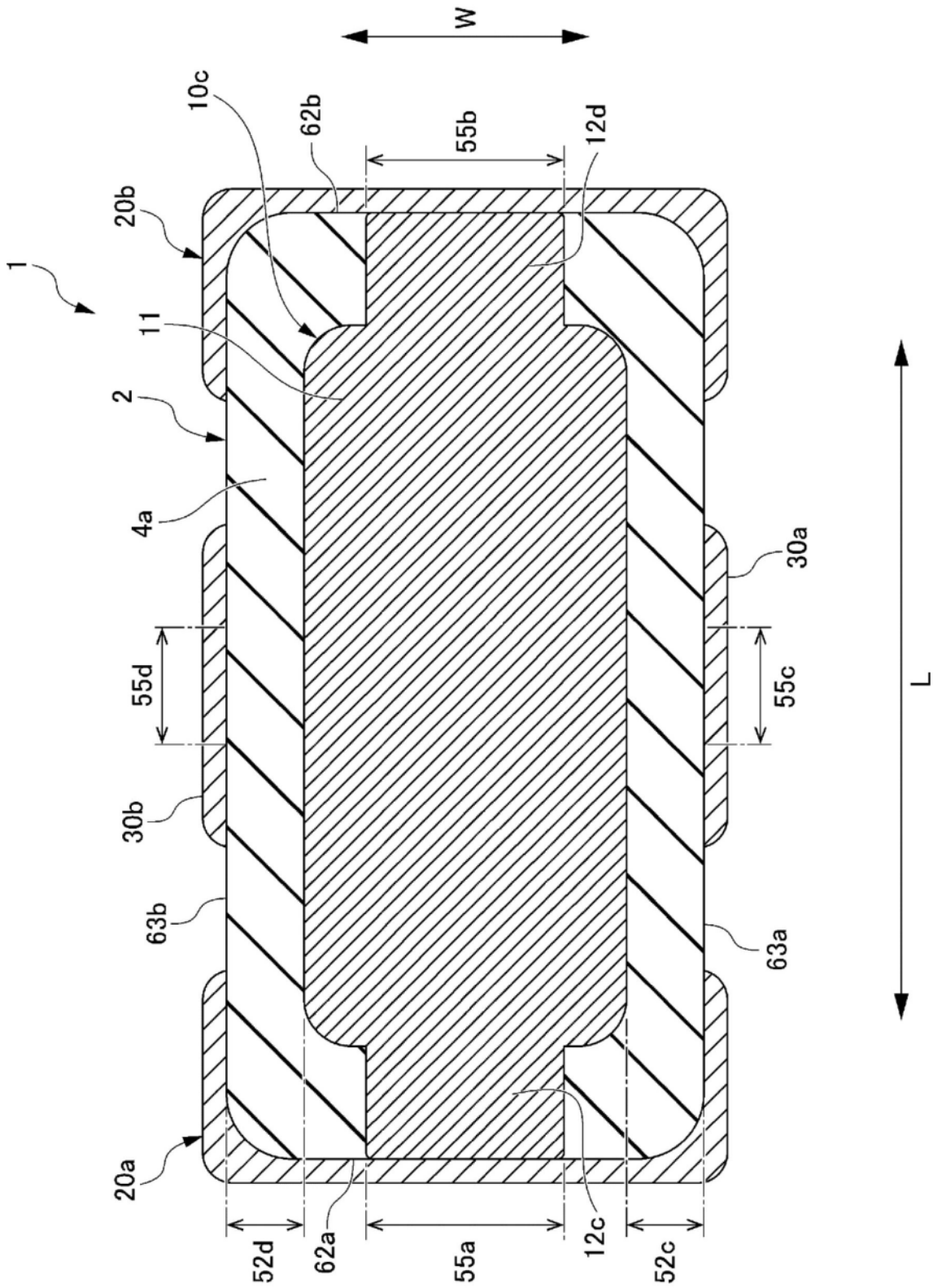


图10

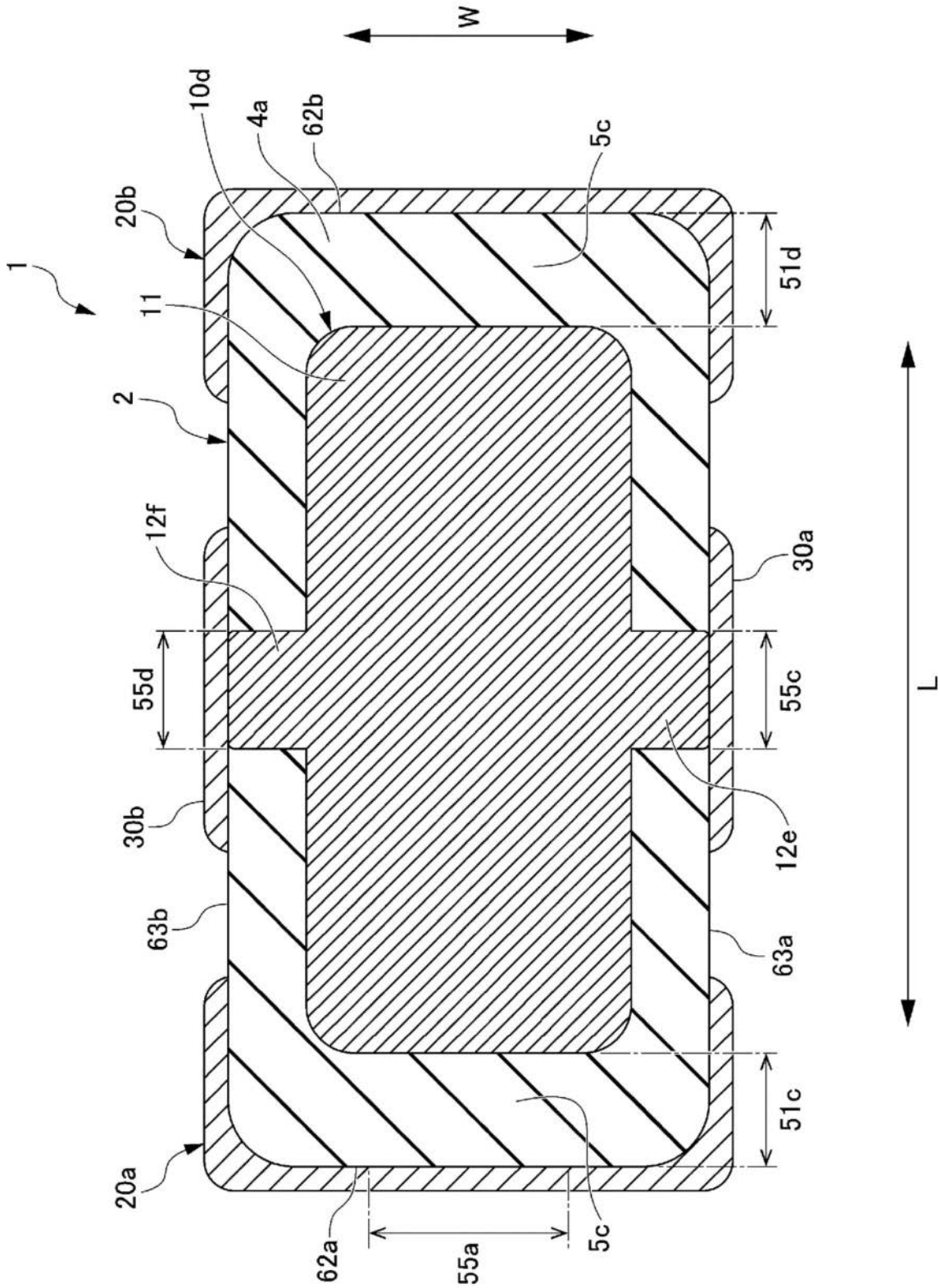


图11