

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구  
국제사무국



(43) 국제공개일  
2010년 12월 23일 (23.12.2010)

PCT

(10) 국제공개번호  
WO 2010/147357 A4

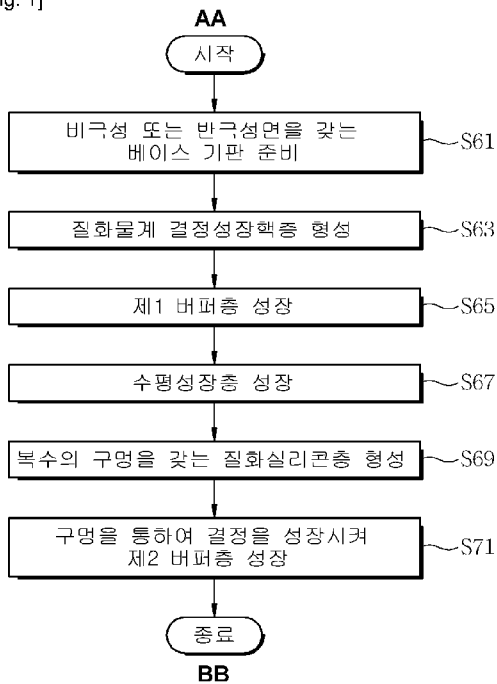
- (51) 국제특허분류: H01L 21/20 (2006.01) H01L 21/86 (2006.01) NOLOGY INSTITUTE) [KR/KR]; 경기도 성남시 분당구 야탑동 68번지, 463-816 Gyeonggi-do (KR).
- (21) 국제출원번호: PCT/KR2010/003828
- (22) 국제출원일: 2010년 6월 15일 (15.06.2010)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보: 10-2009-0053115 2009년 6월 15일 (15.06.2009) KR  
10-2010-0029342 2010년 3월 31일 (31.03.2010) KR
- (71) 출원인 (US을(를) 제외한 모든 지정국에 대하여): 전자부품연구원 (KOREA ELECTRONICS TECH- (72) 발명자; 겸 (75) 발명자/출원인 (US에 한하여): 황성민 (HWANG, Sung Min) [KR/KR]; 경기도 용인시 수지구 신봉동 LG1 차 102-1403, 448-553 Gyeonggi-do (KR). 백광현 (BAIK, Kwang Hyeon) [KR/KR]; 서울시 강북구 수유동 649번지 파인밸리 나동 202호, 142-888 Seoul (KR). 서용곤 (SEO, Yong Gon) [KR/KR]; 경기도 성남시 분당구 정자동 230-17번지 101호, 463-815 Gyeonggi-do (KR). 윤형도 (YOON, Hyung Do) [KR/KR]; 경기도 성남시 분당구 서현동 87번지 한신아파트 126-1301, 463-821 Gyeonggi-do (KR). 박재현 (PARK, Jae Hyoun) [KR/KR]; 경기도 수원시 영통구

[다음 쪽 계속]

(54) Title: HETEROGENEOUS SUBSTRATE, NITRIDE-BASED SEMICONDUCTOR DEVICE USING SAME AND MANUFACTURING METHOD THEREOF

(54) 발명의 명칭 : 이종 기판, 그를 이용한 질화물계 반도체 소자 및 그의 제조 방법

[Fig. 1]



(57) Abstract: The present invention relates to a heterogeneous substrate, to a nitride-based semiconductor device using the same and to a manufacturing method thereof. The present invention adjusts the mode of crystal growth to form a high quality non-polar or semi-polar nitride layer on a non-polar plane or a semi-polar plane of the heterogeneous substrate. The method according to the present invention prepares a base substrate having either a non-polar plane or a semi-polar plane, and forms a nitride-based crystal growth core layer on the plane of the prepared base substrate. A first buffer layer is grown on the crystal growth core layer such that the first buffer layer is grown faster in a vertical direction than in a horizontal direction. A horizontal growing layer is grown on the first buffer layer such that the horizontal growing layer is grown faster in a horizontal direction than in a vertical direction. Subsequently, a second buffer layer is grown on the horizontal growing layer. Here, a nitride silicon layer having a plurality of holes can be further formed between the horizontal growing layer on the first buffer layer and the second buffer layer.

(57) 요약서:

[다음 쪽 계속]

- AA ... Start
- BB ... End
- S61 ... Prepare a base substrate having a non-polar plane or a semi-polar plane
- S63 ... Form a nitride-based crystal growth core layer
- S65 ... Allow a first buffer layer to grow
- S67 ... Allow a horizontal growing layer to grow
- S69 ... Allow a nitride silicon layer having a plurality of holes to grow
- S71 ... Allow crystals to grow through the holes to allow a second buffer layer to grow

WO 2010/147357 A4



영 통동 신나무실 풍림아파트 604-1001, 443-470 Gyeonggi-do (KR).

(74) **대리인: 박종한 (PARK, Chong Han);** 서울특별시 구로구 구로3동 235-2 에이스하이엔드타워 202 호 한림특허법률사무소, 152-740 Seoul (KR).

(81) **지정국** (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) **지정국** (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

**공개:**

- 국제조사보고서와 함께 (조약 제 21 조(3))
- 청구범위 보정서 및 설명서와 함께 (조약 제 19 조(1))

(88) **국제조사보고서 공개일:** 2011년 3월 3일

**청구범위 보정서 및 설명서의 공개일:** 2011년 5월 12일

본 발명은 이중 기판, 그를 이용한 질화물계 반도체 소자 및 그의 제조 방법에 관한 것으로, 이중 기판의 무극성 또는 반극성면에 결정 성장 모드를 조절하여 고품질의 무극성 또는 반극성 질화물층을 형성하기 위한 것이다. 본 발명에 따르면, 무극성 또는 반극성면 중에 하나를 갖는 베이스 기판을 준비하고, 준비된 베이스 기판의 면에 질화물계 결정성장 핵층을 형성한다. 결정성장핵층 위에 제 1 버퍼층을 성장시키되, 수평 방향에 비해서 수직 방향으로 더 빨리 성장시킨다. 제 1 버퍼층 위에 수평성장층을 성장시키되, 수직 방향에 비해서 수평 방향으로 더 빨리 성장시킨다. 그리고 수평성장층 위에 제 2 버퍼층을 성장시킨다. 이때 제 1 버퍼층 위의 수평성장층과 제 2 버퍼층 사이에 복수의 구멍을 갖는 질화실리콘층을 더 형성할 수 있다.

## 청구범위 보정서

국제사무국 접수일: 2011년 2월 25일 (25.02.2011)

## 청구범위

- [청구항 1] 무극성 또는 반극성면 중에 하나를 갖는 베이스 기판;  
상기 베이스 기판의 면에 형성된 질화물계 결정성장핵층;  
상기 결정성장핵층 위에 성장되며, 수평 방향에 비해서 수직 방향으로 더 빨리 성장된 제1 버퍼층;  
상기 제1 버퍼층 위에 성장되며, 수직 방향에 비해서 수평 방향으로 더 빨리 성장된 수평성장층;  
상기 수평성장층 위에 성장된 제2 버퍼층;  
을 포함하는 것을 특징으로 하는 질화물이 적층된 이중 기판.
- [청구항 2] 제1항에 있어서,  
상기 제1 버퍼층, 상기 수평성장층 또는 상기 제2 버퍼층의 계면 또는 내부에 형성되며, 균일하게 복수의 구멍이 형성된 적어도 하나의 질화실리콘(SiNx)층;을 더 포함하며,  
상기 질화실리콘층의 구멍을 통하여 상기 질화실리콘층 아래의 결정이 성장하여 상기 질화실리콘층 위를 덮는 것을 특징으로 하는 질화물이 적층된 이중 기판.
- [청구항 3] 제2항에 있어서, 상기 질화실리콘층은,  
상기 제1 버퍼층 위에 상기 수평성장층과 상기 제2 버퍼층 사이에 형성된 것을 특징으로 하는 질화물이 적층된 이중 기판.
- [청구항 4] 제3항에 있어서, 상기 베이스 기판은,  
사파이어 기판인 것을 특징으로 하는 질화물이 적층된 이중 기판.
- [청구항 5] 제4항에 있어서, 상기 무극성 또는 반성극면은,  
a면, r면 또는 m면 중에 하나인 것을 특징으로 하는 질화물이 적층된 이중 기판.
- [청구항 6] 제5항에 있어서, 상기 질화물계 결정성장핵층은,  
무극성 또는 반극성을 갖는 질화물계 단결정인 것을 특징으로 하는 질화물이 적층된 이중 기판.
- [청구항 7] 제6항에 있어서, 상기 질화물계 결정성장핵층은,  
GaN, Al<sub>x</sub>Ga<sub>1-x</sub>N, In<sub>x</sub>Ga<sub>1-y</sub>N(0<x,y<1) 중에 하나인 것을 특징으로 하는 질화물이 적층된 이중 기판.
- [청구항 8] 제7항에 있어서, 상기 질화물계 결정성장핵층은,  
450~1300℃, 30~760 torr의 질소나 수소분위기, V/III의 비가 50~3000에서 성장시킨 것을 특징으로 하는 질화물이 적층된 이중 기판.
- [청구항 9] 제8항에 있어서, 상기 제1 버퍼층은,  
V/III의 비가 50~2000, 450~1300℃ 및 100~760 torr에서 성장시킨 것을 특징으로 하는 질화물이 적층된 이중 기판.

- [청구항 10] 제9항에 있어서, 상기 수평성장층은, V/Ⅲ의 비가 2~1000, 800~1500℃ 및 10~300 torr에서 성장시킨 것을 특징으로 하는 질화물이 적층된 이중 기판.
- [청구항 11] 제10항에 있어서, 제2 버퍼층은, V/Ⅲ의 비가 50~2000, 450~1300℃ 및 30~760 torr에서 성장시킨 것을 특징으로 하는 질화물이 적층된 이중 기판.
- [청구항 12] 제11항에 있어서, 상기 질화물계 결정성장핵층은, 5~700nm의 두께를 갖는 것을 특징으로 하는 질화물이 적층된 이중 기판.
- [청구항 13] 제1항에 있어서, 상기 베이스 기판과 다른 굴절율을 가지며 상기 베이스 기판 상면에 형성되는 유전체막 패턴을 더 포함하는 것을 특징으로 하는 질화물이 적층된 이중 기판.
- [청구항 14] 제13항에 있어서, 상기 유전체막 패턴은 SiO<sub>2</sub> 및 SiN 중 어느 하나임을 특징으로 하는 질화물이 적층된 이중 기판.
- [청구항 15] 제1항 내지 제14항 중 어느 한 항에 따른 질화물이 적층된 이중 기판;  
상기 제2 버퍼층 위에 형성된 n타입 또는 p타입 중의 하나의 제1 질화물층;  
상기 제1 질화물층 위에 형성된 활성층;  
상기 활성층 위에 형성되며 상기 제1 질화물층과 반대되는 타입의 제2 질화물층;을 포함하는 것을 특징으로 하는 질화물계 반도체 소자.
- [청구항 16] 제15항에 있어서, 상기 제1 및 제2 질화물층 각각에 접합하는 제1 및 제2 전극을 더 포함하는 것을 특징으로 하는 질화물계 반도체 소자.
- [청구항 17] 제16항에 있어서, 상기 제1 및 제2 전극은 c축의 수직 방향으로 서로 대향하여 형성되는 것을 특징으로 하는 질화물계 반도체 소자.
- [청구항 18] 제16항에 있어서, 상기 제1 및 제2 전극은 상기 제1 및 제2 전극 중 n타입 전극이 p타입 전극을 둘러싸도록 형성되는 것을 특징으로 하는 질화물계 반도체 소자.
- [청구항 19] 무극성 또는 반극성면 중에 하나를 갖는 베이스 기판을 준비하는 준비 단계;  
상기 베이스 기판의 면에 질화물계 결정성장핵층을 형성하는 결정 성장핵층 형성 단계;  
상기 결정성장핵층 위에 제1 버퍼층을 성장시키되, 수평 방향에

비해서 수직 방향으로 더 빨리 성장시키는 제1 버퍼층 성장 단계;  
 상기 제1 버퍼층 위에 수평성장층을 성장시키되, 수직 방향에 비  
 해서 수평 방향으로 더 빨리 성장시키는 수평성장층 성장 단계;  
 상기 수평성장층 위에 제2 버퍼층을 성장시키는 제2 버퍼층 성장  
 단계;  
 를 포함하는 것을 특징으로 하는 질화물이 적층된 이종 기판의 제  
 조 방법.

[청구항 20]

제19항에 있어서,  
 상기 베이스 기판은 사파이어 기판이고, 상기 무극성 또는 반성극  
 면은 a면, r면 또는 m면 중에 하나인 것을 특징으로 하는 질화물  
 이 적층된 이종 기판의 제조 방법.

[청구항 21]

제19항에 있어서, 상기 수평성장층 성장 단계는,  
 상기 제1 버퍼층 위에 제1 수평성장층을 성장시키는 단계;  
 상기 제1 수평성장층 위에 복수의 구멍을 갖는 질화실리콘층을 형  
 성하는 단계;  
 상기 질화실리콘층의 구멍으로 노출된 상기 제1 수평성장층을 성  
 장시켜 상기 질화실리콘층을 덮는 제2 수평성장층을 성장시키는  
 단계;  
 를 포함하는 것을 특징으로 하는 질화물이 적층된 이종 기판의 제  
 조 방법.

[청구항 22]

제19항에 있어서, 상기 제2 버퍼층 성장 단계는,  
 상기 수평성장층 위에 제2-1 버퍼층을 성장시키는 단계;  
 상기 제2-1 버퍼층 위에 복수의 구멍을 갖는 질화실리콘층을 형성  
 하는 단계;  
 상기 질화실리콘층의 구멍으로 노출된 상기 제2-1 버퍼층을 성장  
 시켜 상기 질화실리콘층을 덮는 제2-2 버퍼층을 성장시키는 단계;  
 를 포함하는 것을 특징으로 하는 질화물이 적층된 이종 기판의 제  
 조 방법.

[청구항 23]

제19항에 있어서, 상기 수평성장층 형성 단계 이후에 수행되는,  
 상기 수평성장층 위에 복수의 구멍을 갖는 질화실리콘층을 형성하  
 는 질화실리콘층 형성 단계;를 더 포함하며,  
 상기 제2 버퍼층 성장 단계에서 상기 질화실리콘층의 구멍으로 노  
 출된 상기 수평성장층을 성장시켜 상기 질화실리콘층을 덮는 상기  
 제2 버퍼층을 성장시키는 것을 특징으로 하는 질화물이 적층된 이  
 종 기판의 제조 방법.

[청구항 24]

제19항에 있어서,  
 상기 준비 단계 후, 상기 결정성장핵층 형성 단계 전, 상기 베이스

기판과 다른 굴절율을 가지는 유전체막 패턴을 상기 베이스 기판 상면에 형성하는 유전체막 패턴 형성 단계;를 더 포함하는 것을 특징으로 하는 질화물이 적층된 이중 기판의 제조 방법.

[청구항 25]

제24항에 있어서,

상기 유전체막 패턴은 SiO<sub>2</sub> 및 SiN 중 어느 하나임을 특징으로 하는 질화물이 적층된 이중 기판의 제조 방법.

[청구항 26]

제19항 내지 제24항 중 어느 한 항에 따라 질화물이 적층된 이중 기판을 제조 하는 단계;

상기 제2 버퍼층 위에 n타입 또는 p타입 중 어느 하나의 타입을 가지는 제1 질화물층을 형성하는 제1 질화물층 형성 단계;

상기 제1 질화물층 위에 활성층을 형성하는 활성층 형성 단계;

상기 활성층 위에 상기 제1 질화물층과 반대되는 타입의 제2 질화물층;을 형성하는 제2 질화물층 형성 단계;를 포함하는 것을 특징으로 하는 질화물계 반도체 소자의 제조 방법.

[청구항 27]

제26항에 있어서,

상기 제1 및 제2 질화물층 위에 상기 제1 및 제2 질화물층 각각에 접합하도록 제1 및 제2 전극을 형성하는 전극 형성 단계;를 더 포함하는 것을 특징으로 하는 질화물계 반도체 소자의 제조 방법.

[청구항 28]

제27항에 있어서, 상기 전극 형성 단계는

상기 제1 및 제2 전극을 c축의 수직 방향으로 서로 대향하도록 형성하는 것을 특징으로 하는 질화물계 반도체 소자의 제조 방법.

[청구항 29]

제27항에 있어서, 상기 전극 형성 단계는

상기 제1 및 제2 전극 중 n타입 전극이 p타입 전극을 둘러싸도록 형성하는 것을 특징으로 하는 질화물계 반도체 소자의 제조 방법.

## 조약 제19조(1) 규정의 설명서

청구항 3항은 청구항 2항을 인용할 수 있도록 정정하였습니다.

청구항 18항에서, “상기 제1 및 제2 전극 중 어느 일 전극이 타 전극을...” 을 “상기 제1 및 제2 전극 중 n타입 전극이 p타입 전극을...” 으로 정정하였습니다.

청구항 21항에서, “상기 제1 버퍼층 위에 상기 제1 수평성장층을 성장시키는 단계;” 를 “상기 제1 버퍼층 위에 제1 수평성장층을 성장시키는 단계;” 로 정정하였습니다.

청구항 22항에서, “상기 질화실리콘층 위에 상기 제2-1 버퍼층을 성장시키는 단계;” 를 “상기 수평성장층 위에 제2-1 버퍼층을 성장시키는 단계;” 로 정정하였습니다.

청구항 23항에서, “상기 제2 버퍼층 성장 단계에서 상기 질화실리콘층의 구멍으로 노출된 상기 제2 버퍼층을...” 을 “상기 제2 버퍼층 성장 단계에서 상기 질화실리콘층의 구멍으로 노출된 상기 수평성장층을...” 로 정정하였습니다.

청구항 26항에서, “제19항 내지 제14항 중 어느 한 항에 있어서, ...” 를 “제19항 내지 제24항 중 어느 한 항에 있어서, ...” 로 정정하였습니다.

그리고 청구항 29항에서, 상기 제1 및 제2 전극 중 어느 일 전극이 타 전극을...” 을 “상기 제1 및 제2 전극 중 n타입 전극이 p타입 전극을...” 으로 정정하였습니다.