



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I539222 B

(45)公告日：中華民國 105 (2016) 年 06 月 21 日

(21)申請案號：103137603

(22)申請日：中華民國 97 (2008) 年 06 月 25 日

(51)Int. Cl. : G02F1/1368 (2006.01)

H01L29/786 (2006.01)

(30)優先權：2007/06/29 日本

2007-173540

2007/07/13 日本

2007-185067

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP)；鈴木幸惠 SUZUKI, YUKIE (JP)；桑原秀
明 KUWABARA, HIDEAKI (JP)；木村肇 KIMURA, HAJIME (JP)；宮入秀和
MIYAIRI, HIDEKAZU (JP)；黑川義元 KUROKAWA, YOSHIYUKI (JP)；小林聰
KOBAYASHI, SATOSHI (JP)

(74)代理人：林志剛

(56)參考文獻：

TW 200822371A

TW 200826052A

JP H6-342909A

JP 2003-297850A

審查人員：蔡偉隆

申請專利範圍項數：4 項 圖式數：40 共 136 頁

(54)名稱

液晶顯示裝置

LIQUID CRYSTAL DISPLAY DEVICE

(57)摘要

本發明的目的為提出一種在批量生產時可以高生產率地製造包括電特性的可靠性高的薄膜電晶體的液晶顯示裝置的方法。本發明的要旨為如下：在包括反交錯薄膜電晶體的液晶顯示裝置中，反交錯薄膜電晶體由以下步驟形成：在閘極電極上形成閘極絕緣膜，在閘極絕緣膜上形成用作通道形成區域的微晶半導體膜，在微晶半導體膜上形成緩衝層，在緩衝層上形成一對源區域及汲區域；以使源區域及汲區域的一部分露出的方式形成與源區域及汲區域接觸的一對源極電極及汲極電極。

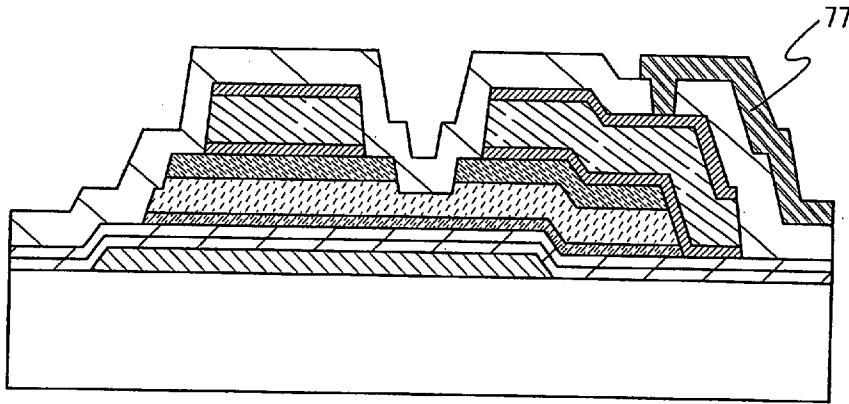
An object is to propose a method of manufacturing, with high mass productivity, liquid crystal display devices having thin film transistors with highly reliable electric characteristics. In a liquid crystal display device having an inverted staggered thin film transistor, the inverted staggered thin film transistor is formed as follows: a gate insulating film is formed over a gate electrode; a microcrystalline semiconductor film which functions as a channel formation region is formed over the gate insulating film; a buffer layer is formed over the microcrystalline semiconductor film; a pair of source and drain regions are formed over the buffer layer; and a pair of source and drain electrodes are formed in contact with the source and drain regions so as to expose a part of the source and drain regions.

指定代表圖：

符號簡單說明：

77 . . . 像素電極

圖3



公告本

發明摘要

※申請案號：103137603

(由97137603分割)

※申請日：097年06月25日

※IPC分類：G02F 1/1368 (2006.01)

H01L 29/186 (2006.01)

【發明名稱】(中文/英文)

液晶顯示裝置

Liquid crystal display device

【中文】

本發明的目的為提出一種在批量生產時可以高生產率地製造包括電特性的可靠性高的薄膜電晶體的液晶顯示裝置的方法。本發明的要旨為如下：在包括反交錯薄膜電晶體的液晶顯示裝置中，反交錯薄膜電晶體由以下步驟形成：在閘極電極上形成閘極絕緣膜，在閘極絕緣膜上形成用作通道形成區域的微晶半導體膜，在微晶半導體膜上形成緩衝層，在緩衝層上形成一對源區域及汲區域；以使源區域及汲區域的一部分露出的方式形成與源區域及汲區域接觸的一對源極電極及汲極電極。

【 英文 】

An object is to propose a method of manufacturing, with high mass productivity, liquid crystal display devices having thin film transistors with highly reliable electric characteristics. In a liquid crystal display device having an inverted staggered thin film transistor, the inverted staggered thin film transistor is formed as follows: a gate insulating film is formed over a gate electrode; a microcrystalline semiconductor film which functions as a channel formation region is formed over the gate insulating film; a buffer layer is formed over the microcrystalline semiconductor film; a pair of source and drain regions are formed over the buffer layer; and a pair of source and drain electrodes are formed in contact with the source and drain regions so as to expose a part of the source and drain regions.

【代表圖】

【本案指定代表圖】：第(3)圖。

【本代表圖之符號簡單說明】：

77：像素電極

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

液晶顯示裝置

Liquid crystal display device

【技術領域】

本發明係關於至少其像素部使用薄膜電晶體的液晶顯示裝置。

【先前技術】

近年來，使用形成在具有絕緣表面的基板上的半導體薄膜（厚度為幾十 nm 至幾百 nm 左右）構成薄膜電晶體的技術受到注目。薄膜電晶體廣泛地應用於電子裝置如 IC 及電光裝置，尤其是，正在加快開發作為圖像顯示裝置的開關元件的薄膜電晶體。

作為圖像顯示裝置的開關元件，採用使用非晶半導體膜的薄膜電晶體、或使用多晶半導體膜的薄膜電晶體等。作為多晶半導體膜的形成方法，一般知道由光學系統將脈衝振盪的受激準分子雷射光束形成為線形，並對於非晶矽膜進行線形光束的掃描和照射來晶化的技術。

此外，作為圖像顯示裝置的開關元件，採用使用微晶半導體膜的薄膜電晶體（參照專利文獻 1 及 2）。

作為現有的薄膜電晶體的製造方法，已經知道如下方

法：在閘極絕緣膜上形成非晶矽膜，然後在其上形成金屬膜，對該金屬膜照射二極體雷射來將非晶矽膜改變為微晶矽膜（非專利文獻 1）。根據該方法，形成在非晶矽膜上的金屬膜是用來將二極體雷射的光能轉換為熱能的膜，並且應該為完成薄膜電晶體而在完成之後被去除。就是說，該方法是非晶矽膜只藉由金屬膜的傳導加熱被加熱，從而形成微晶矽膜的方法。

專利文獻 1：日本專利申請公開 H4-242724 號公報

專利文獻 2：日本專利申請公開 2005-49832 號公報

非專利文獻 1：Toshiaki Arai 以及其他，SID 07 DIGEST，2007，p.1370-1373

使用多晶半導體膜的薄膜電晶體具有如下優點：其電場效應遷移率比使用非晶半導體膜的薄膜電晶體高兩個數量級以上，並且可以將液晶顯示裝置的像素部和其周邊的驅動電路形成在相同基板上。然而，有如下問題：與使用非晶半導體膜的情況相比，因使設置在玻璃基板上的非晶半導體膜晶化而製程較複雜，由此成品率降低且成本提高。

此外，還有晶粒露出的微晶半導體膜的表面容易氧化的問題。而這還會引起如下問題：當通道形成區域的晶粒氧化時，在晶粒的表面上形成氧化膜，並且該氧化膜阻礙載流子的移動，從而薄膜電晶體的電特性降低。

【發明內容】

鑒於上述問題，本發明的目的在於提供一種在批量生產時以高生產率製造包括電特性的可靠性高的薄膜電晶體的液晶顯示裝置的方法。

在包括反交錯型薄膜電晶體的液晶顯示裝置的反交錯型薄膜電晶體中，在閘極電極上形成閘極絕緣膜，在閘極絕緣膜上形成用作通道形成區域的微晶半導體膜（也稱為半晶半導體膜），在微晶半導體膜上形成緩衝層，在緩衝層上形成一對源區域及汲區域，以使源區域及汲區域的一部分露出的方式形成與源區域及汲區域接觸的一對源極電極及汲極電極。因此，源區域及汲區域的上表面具有與源極電極及汲極電極接觸的區域和不與源極電極及汲極電極接觸的區域。此外，在源極電極及汲極電極彼此相對的區域中，源區域及汲區域的一部分、以及緩衝層的一部分露出。此外，在源極電極及汲極電極的緣的外側形成源區域及汲區域的緣。另外，源區域及汲區域延伸超出源極電極及汲極電極的緣處。再者，彼此相對的源區域和汲區域之間的距離比彼此相對的源極電極和汲極電極之間的距離短。

藉由使源極電極及汲極電極的緣和源區域及汲區域的緣不一致，並在源極電極及汲極電極的緣的外側形成源區域及汲區域的緣，使源極電極及汲極電極的緣的距離變長，從而可以防止源極電極及汲極電極之間的洩漏電流及短路。此外，可以使電場不集中在源極電極及汲極電極和源區域及汲區域的緣中，從而可以防止在閘極電極、源極

電極、以及汲極電極之間產生洩漏電流。

此外，緩衝層的一部分具有凹部，並且該凹部的側面與源區域及汲區域的緣一致。由於緩衝層的一部分具有凹部且洩漏電流流過的緩衝層表面上的路線延長，因此可以減少在源區域及汲區域之間產生的洩漏電流。

此外，在微晶半導體膜和源區域及汲區域之間形成有緩衝層。微晶半導體膜用作通道形成區域。另外，緩衝層在防止微晶半導體膜的氧化的同時用作高電阻區域。由於在微晶半導體膜和源區域及汲區域之間形成有緩衝層，因此電場效應遷移率高，洩漏電流少，並且汲極耐壓性高。

可以藉由電漿 CVD 法、濺射法等形成緩衝層。作為緩衝層，可以使用非晶半導體膜，並且該非晶半導體膜較佳的包含氮、氫、及鹵素中的任何一種以上。藉由使非晶半導體膜包含氮、氫、或鹵素的任何一種，可以進一步減少包含在微晶半導體膜的晶粒的氧化。

此外，由於將氮、氫、及鹵素的任何一種包含在膜中，因此例如在形成非晶半導體膜之後，使用氮電漿、氫電漿、或鹵素電漿處理非晶半導體膜的表面，來可以使非晶半導體膜的表面氮化、氫化、或鹵素化。

藉由以與微晶半導體膜的表面接觸的方式設置緩衝層來可以減少包含在微晶半導體膜中的晶粒的氧化，因此可以減少薄膜電晶體的電特性的退化。

與多晶半導體膜不同，微晶半導體膜可以直接形成在玻璃基板上。具體而言，可以將氫化矽作為原料氣體並使

用電漿 CVD 裝置來形成。藉由上述方法製造的微晶半導體膜也包括在非晶半導體中含有 0.5nm 至 20nm 的晶粒的微晶半導體膜。因此，與使用多晶半導體膜的情況不同，不需要在形成半導體膜之後進行長時間的熱處理的晶化製程。可以縮減製造薄膜電晶體時的步驟數，並且還可以提高液晶顯示裝置的成品率並抑制成本。在本發明說明中，將可藉由沉積而獲得的膜稱為半非晶半導體膜，而將在沉積形成膜之後以不使膜熔化的能量密度照射雷射光束，來使結晶生長的膜稱為半晶半導體膜。此外，使用頻率為 1GHz 以上的微波的電漿具有高電子密度，從而容易離解原料氣體的氫化矽。因此，與頻率為幾十 MHz 至幾百 MHz 的微波電漿 CVD 法相比，可以較容易製造微晶半導體膜，並可以提高成膜速度。因而，可以提高液晶顯示裝置的量產性。

此外，使用微晶半導體膜製造薄膜電晶體（TFT），並且將該薄膜電晶體使用於像素部、驅動電路來製造液晶顯示裝置。使用微晶半導體膜的薄膜電晶體的電場效應率為 $1 \text{ cm}^2/\text{V} \cdot \text{sec}$ 至 $20 \text{ cm}^2/\text{V} \cdot \text{sec}$ ，是使用非晶半導體膜的薄膜電晶體的 2 倍至 20 倍。因此可以將驅動電路的一部分或全部形成於與像素部相同的基板上，來形成系統型面板。

此外，元件基板可以採用各種方式，具體而言，既可以為只形成有顯示元件的像素電極的狀態，又可以為在形成成為像素電極的導電膜之後進行蝕刻來形成像素電極之

前的狀態。

注意，本發明說明中的液晶顯示裝置是指圖像顯示裝置或光源（包括照明裝置）。此外，如下模組也都包括在液晶顯示裝置中：安裝有連接器如 FPC（撓性印刷基板）、TAB（帶式自動接合）膠帶、或 TCP（帶載封裝）的模組；TAB 膠帶及 TCP 的先端設置有印刷佈線板的模組；或藉由 COG（玻璃上晶片）方式將 IC（積體電路）直接安裝在顯示元件中的模組。

根據本發明，可以在批量生產時生產率高地製造包括電特性的可靠性高的薄膜電晶體的液晶顯示裝置。

【圖式簡單說明】

在附圖中：

圖 1A 至 1C 是說明本發明的顯示裝置的製造方法的截面圖；

圖 2A 至 2C 是說明本發明的顯示裝置的製造方法的截面圖；

圖 3 是說明本發明的顯示裝置的製造方法的截面圖；

圖 4A 至 4C 是說明本發明的顯示裝置的製造方法的俯視圖；

圖 5A 至 5C 是說明本發明的顯示裝置的製造方法的截面圖；

圖 6A 至 6C 是說明本發明的顯示裝置的製造方法的截面圖；

圖 7 是說明本發明的顯示裝置的製造方法的截面圖；

圖 8A 至 8D 是說明本發明的顯示裝置的製造方法的俯視圖；

圖 9 是說明本發明的微波電漿 CVD 裝置的俯視截面圖；

圖 10A 至 10C 是說明本發明的液晶顯示面板的透視圖；

圖 11A 至 11C 是說明使用本發明的顯示裝置的電子設備的透視圖；

圖 12 是說明使用本發明的顯示裝置的電子設備的圖；

圖 13 是說明可應用於本發明的液晶顯示裝置的圖；

圖 14 是說明可應用於本發明的液晶顯示裝置的圖；

圖 15 是說明可應用於本發明的液晶顯示裝置的圖；

圖 16 是說明可應用於本發明的液晶顯示裝置的圖；

圖 17 是說明可應用於本發明的液晶顯示裝置的圖；

圖 18 是說明可應用於本發明的液晶顯示裝置的圖；

圖 19 是說明可應用於本發明的液晶顯示裝置的圖；

圖 20 是說明可應用於本發明的液晶顯示裝置的圖；

圖 21 是說明可應用於本發明的液晶顯示裝置的圖；

圖 22 是說明可應用於本發明的液晶顯示裝置的圖；

圖 23 是說明可應用於本發明的液晶顯示裝置的圖；

圖 24 是說明可應用於本發明的液晶顯示裝置的圖；

圖 25 是說明可應用於本發明的液晶顯示裝置的圖；

圖 26 是說明可應用於本發明的液晶顯示裝置的圖；

圖 27A 和 27B 是說明本發明的液晶顯示面板的俯視圖及截面圖；

圖 28 是說明可應用於本發明的液晶顯示裝置的結構的方塊圖；

圖 29 是說明可應用於本發明的液晶顯示裝置的驅動電路的結構的等效電路圖；

圖 30 是說明可應用於本發明的液晶顯示裝置的驅動電路的結構的等效電路圖；

圖 31 是說明可應用於本發明的液晶顯示裝置的驅動電路的佈局的俯視圖；

圖 32A 和 32B 是示出微晶半導體膜藉由拉曼分光法檢測的結果的圖；

圖 33A 至 33C 是示出製程截面圖及像素俯視圖的一個例子的圖；

圖 34A 至 34D 是示出製造方法的一個例子的圖；

圖 35A 和 35B 是示出模型圖的截面圖；

圖 36 是示出計算結果的曲線圖；

圖 37 是示出像素電位變化的曲線圖；

圖 38 是示出裝置結構的模型圖；

圖 39 是示出 DC 特性的結果的圖；和

圖 40A 和 40B 是示出薄膜電晶體的電子濃度分佈的圖。

【實施方式】

下面，關於本發明的實施例模式參照附圖給予說明。但是，所屬技術領域的普通技術人員可以很容易地理解一個事實，就是本發明可以以多個不同形式來實施，其方式和詳細內容可以被變換為各種各樣的形式而不脫離本發明的宗旨及其範圍。因此，本發明不應該被解釋為僅限定在本實施例模式所記載的內容中。

實施例模式 1

在本實施例模式中，對於用於液晶顯示裝置的薄膜電晶體的製造步驟，參照圖 1A 至圖 8B 進行說明。圖 1A 至圖 3、圖 5A 至圖 7 是示出薄膜電晶體的製造方法的截面圖，而圖 4A 至 4C 以及圖 8A 至 8D 是示出一個像素中的薄膜電晶體及像素電極的連接區域的俯視圖。

具有微晶半導體膜的 n 型薄膜電晶體較佳的用於驅動電路，因為其電場效應遷移率高於具有微晶半導體膜的 p 型薄膜電晶體的電場效應遷移率。較佳的使形成在相同基板上的所有薄膜電晶體的極性為相同，以抑制處理數目的增加。在此，使用 n 通道型的薄膜電晶體而進行說明。

如圖 1A 所示，在基板 50 上形成閘極電極 51。基板 50 可以使用藉由熔化方法或浮法製造的無鹼玻璃基板例如鋇硼矽酸鹽玻璃、鋁硼矽酸鹽玻璃、鋁矽酸鹽玻璃等、或陶瓷基板，還可以使用具有可承受本製造方法的處理溫度的耐熱性的塑膠基板等。此外，還可以使用在不銹鋼合

金等金屬基板表面上設置絕緣層的基板。在基板 50 是母玻璃的情況下，其尺寸可以採用第一代（320mm×400mm）、第二代（400mm×500mm）、第三代（550mm×650mm）、第四代（680mm×880mm 或 730mm×920mm）、第五代（1000mm×1200mm 或 1100mm×1250mm）、第六代（1500mm×1800mm）、第七代（1900mm×2200mm）、第八代（2160mm×2460mm）、第九代（2400mm×2800mm、2450mm×3050mm）、第十代（2950mm×3400mm）等。

使用鈦、鉬、鉻、鉭、鎢、鋁等的金屬材料或其合金材料形成閘極電極 51。可以藉由濺射法、真空沉積法在基板 50 上形成導電膜，藉由光微影技術或噴墨法在該導電膜上形成掩模，並使用該掩模蝕刻導電膜，來形成閘極電極 51。另外，也可以使用銀、金、銅等導電奈米膏藉由噴墨法噴射而焙燒來形成閘極電極 51。作為用來提高閘極電極 51 的緊密性並防止擴散到基底的阻擋金屬，也可以將上述金屬材料的氮化物膜設置在基板 50 和閘極電極 51 之間。在此，藉由採用使用光掩模形成的抗蝕劑掩模來蝕刻形成在基板 50 上的導電膜，形成閘極電極。

注意，因為在閘極電極 51 上形成半導體膜及佈線，所以其緣較佳的加工為錐形形狀，以便防止斷開。此外，雖然未圖示，但可以藉由該方法同時形成連接到閘極電極的佈線。

其次，在閘極電極 51 上按順序形成閘極絕緣膜

52a、52b、微晶半導體膜 53、緩衝層 54、以及添加有賦予一導電型的雜質的半導體膜 55。接著，在添加有賦予一導電型的雜質的半導體膜 55 上形成掩模 56。注意，較佳的至少連續形成閘極絕緣膜 52a、52b、微晶半導體膜 53 及緩衝層 54。進而，較佳的連續形成閘極絕緣膜 52a、52b、微晶半導體膜 53、緩衝層 54、以及賦予一導電型的雜質的半導體膜 55。藉由在不接觸大氣的狀態下至少連續形成閘極絕緣膜 52a、52b、微晶半導體膜 53、及緩衝層 54，可以形成各個疊層介面而不被大氣成分及懸浮在大氣中的污染雜質元素污染，因此可以減少薄膜電晶體特性的不均勻。

閘極絕緣膜 52a、52b 可以藉由 CVD 法或濺射法等並使用氧化矽膜、氮化矽膜、氧氮化矽膜、或氮氧化矽膜來形成。在此示出，按順序層疊氧化矽膜或氧氮化矽膜、和氮化矽膜或氮氧化矽膜來形成閘極絕緣膜 52a、52b 的方式。另外，閘極絕緣膜還可以不採用兩層結構，而從基板一側按順序層疊氮化矽膜或氮氧化矽膜、氧化矽膜或氧氮化矽膜、和氮化矽膜或氮氧化矽膜的三層來形成閘極電極。還可以將氧化矽膜、氮化矽膜、氧氮化矽膜、或氮氧化矽膜的單層膜用作閘極絕緣膜 52a、52b。進而，較佳的藉由使用 1GHz 以上的頻率的微波電漿 CVD 裝置形成閘極絕緣膜。使用微波電漿 CVD 裝置形成的氧氮化矽膜、氮氧化矽膜的耐壓性高且可以提高之後所形成的薄膜電晶體的可靠性。

在此，氧氮化矽膜是指具有如下組成的膜：氧的含有量比氮的含有量多，並且，在 55 原子%至 65 原子%的濃度範圍內包含氧，在 1 原子%至 20 原子%的濃度範圍內包含氮，在 25 原子%至 35 原子%的濃度範圍內包含 Si，在 0.1 原子%至 10 原子%的濃度範圍內包含氫。此外，氮氧化矽膜是指具有如下組成的膜：氮的含有量比氧的含有量多，並且在包含 15 原子%至 30 原子%的濃度範圍內包含氧，在 20 原子%至 35 原子%的濃度範圍內包含氮，在 25 原子%至 35 原子%的濃度範圍內包含 Si，在 15 原子%至 25 原子%的濃度範圍內包含氫。

微晶半導體膜 53 是指包括非晶半導體和結晶結構的半導體（包括單晶、多晶）之間的中間結構的半導體的膜。該半導體為具有在自由能方面上很穩定的第三狀態的半導體，並且是具有短程有序且具有晶格應變的結晶質的半導體，可以以其粒徑為 0.5nm 至 20nm 使它分散存在於非單晶半導體中。在微晶半導體的典型例子的微晶矽中，其拉曼光譜轉移到比 520.6cm^{-1} 低的波數一側。即，微晶矽的拉曼光譜的峰值位於 481cm^{-1} 以上 520.6cm^{-1} 以下的範圍內。此外，包含有至少 1 原子%或更多的氫或鹵素，以便終止懸空鍵。再者，可以藉由將氮、氫、氮、氖等的稀有氣體元素包含在微晶半導體膜中而進一步促進晶格應變來提高穩定性以獲得優質的微晶半導體膜。關於這種微晶半導體膜的記述例如在美國專利 4,409,134 號中公開。此外，微晶矽膜也稱為 $\mu\text{C-Si}$ 膜。

可以藉由使用頻率為幾十 MHz 至幾百 MHz 的高頻率電漿 CVD 法、或頻率為 1GHz 以上的微波 CVD 裝置形成該微晶半導體膜。代表地，可以使用氫稀釋 SiH_4 、 Si_2H_6 等的氫化矽形成該微晶半導體膜。另外，除了使用氫化矽及氫之外，還可以使用選自氦、氬、氖、氙中的一種或多種稀有氣體元素進行稀釋，來形成微晶半導體膜。將氫的流量比設定為此時的氫化矽的 5 倍以上 200 倍以下，較佳的設定為 50 倍以上 150 倍以下，更佳的為 100 倍。注意，也可以使用 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 SiF_4 等代替氫化矽。

此外，由於當示意性地不添加用於價電子控制的雜質元素時，微晶半導體膜呈現弱 n 型導電性，因此可以藉由在形成膜的同時或形成膜之後對於用作薄膜電晶體的通道形成區域的微晶半導體膜添加賦予 p 型的雜質元素，來控制臨界值。作為賦予 p 型的雜質元素的典型，可舉出硼，較佳的將 B_2H_6 、 BF_3 等的雜質氣體以 1ppm 至 1000ppm 的比例，較佳的以 1ppm 至 100ppm 的比例混入到氫化矽。而且，硼的濃度例如較佳的為 $1 \times 10^{14} \text{atoms/cm}^3$ 至 $6 \times 10^{16} \text{atoms/cm}^3$ 。

此外，微晶半導體膜的氧濃度為 $1 \times 10^{19} \text{cm}^{-3}$ 以下，較佳的為 $5 \times 10^{18} \text{cm}^{-3}$ 以下，氮及碳的濃度分別為 $5 \times 10^{18} \text{cm}^{-3}$ 以下，較佳的為 $1 \times 10^{18} \text{cm}^{-3}$ 以下。藉由降低混入到微晶半導體膜中的氧、氮、及碳的濃度，可以防止微晶半導體膜的 n 型化。

微晶半導體膜 53 以厚於 0nm 至 200nm 以下的厚度，較佳的以 1nm 以上 100nm 以下的厚度，更佳的以 5nm 以上 50nm 以下的厚度形成。微晶半導體膜 53 用作後面形成的薄膜電晶體的通道形成區域。藉由以 5nm 以上 50nm 以下的範圍內的厚度形成微晶半導體膜 53，後面形成的薄膜電晶體成為完全耗盡型。此外，因為微晶半導體膜 53 的成膜速度比非晶半導體膜慢，即為非晶半導體膜的成膜速度的 1/10 至 1/100，所以藉由減薄膜厚度，可以提高生產率。另外，由於微晶半導體膜由微晶構成，因此其電阻比非晶半導體膜低。由此，在使用微晶半導體膜的薄膜電晶體中表示電流電壓特性的曲線的上升部分的傾斜急劇，其作為開關元件的回應性優良且可以進行高速驅動。此外，藉由將微晶半導體膜用於薄膜電晶體的通道形成區域，可以抑制薄膜電晶體的臨界值變動。因此，可以製造電特性的不均勻少的液晶顯示裝置。

另外，微晶半導體膜的電場效應遷移率比非晶半導體膜高。因此，藉由使用其通道形成區域由微晶半導體膜形成的薄膜電晶體作為顯示元件的開關，可以縮小通道形成區域的面積，即薄膜電晶體的面積。由此，在每一個像素中的薄膜電晶體所占的面積縮小，從而可以在採用透過型液晶顯示裝置的情況下提高像素的開口率。結果，可以製造解析度高的液晶顯示裝置。

可以藉由使用 SiH_4 、 SiH_6 等的氫化矽並採用電漿 CVD 法形成緩衝層 54。此外，可以對上述氫化矽使用選

自氫、氫、氮、氬中的一種或多種的稀有氣體元素進行稀釋來形成非晶半導體膜。藉由使用其流量為氫化矽的流量的 1 倍以上 20 倍以下，較佳的為 1 倍以上 10 倍以下，更佳的為 1 倍以上 5 倍以下的氫，可以形成包含氫的非晶半導體膜。此外，藉由使用上述氫化矽和氮或氬，可以形成包含氮的非晶半導體膜。另外，藉由使用上述氫化矽和包含氟、氯、溴、或碘的氣體（ F_2 、 Cl_2 、 Br_2 、 I_2 、 HF 、 HCl 、 HBr 、 HI 等），可以形成包含氟、氯、溴、或碘的非晶半導體膜。注意，可以使用 SiH_2Cl_2 、 $SiHCl_3$ 、 $SiCl_4$ 、 SiF_4 等來代替氫化矽。

此外，作為緩衝層 54，可以將非晶半導體用作靶子或使用氫或稀有氣體進行濺射來形成非晶半導體膜。此時，藉由將氮、氮、或 N_2O 包含在氣氛中，可以形成含有氮的非晶半導體膜。另外，藉由將含有氟、氯、溴、或碘的氣體（ F_2 、 Cl_2 、 Br_2 、 I_2 、 HF 、 HCl 、 HBr 、 HI 等）包含在氣氛中，可以形成含有氟、氯、溴、或碘的非晶半導體膜。

此外，作為緩衝層 54，也可以在微晶半導體膜 53 的表面上採用電漿 CVD 法或濺射法形成非晶半導體膜，然後也可以對非晶半導體膜的表面進行使用氫電漿、氮電漿、或鹵電漿的處理，來使非晶半導體膜表面氫化、氮化、或鹵化。或者，對非晶半導體膜的表面進行使用氮電漿、氬電漿、氫電漿、氮電漿等的處理。

較佳的使用不包含晶粒的非晶半導體膜形成緩衝層

54。因此，在採用頻率為幾十 MHz 至幾百 MHz 的高頻電漿 CVD 法、或微波電漿 CVD 法形成非晶半導體膜的情況下，較佳的控制成膜條件以使它成為不包含晶粒的非晶半導體膜。

緩衝層 54 的一部分有時會在後面的源區域及汲區域的形成過程中被蝕刻，從而緩衝層 54 較佳的以那時其一部分殘留的厚度來形成。被蝕刻後殘留的部分的厚度較佳的形成為 10nm 以上 100nm 以下。

注意，緩衝層 54 較佳的不添加有賦予一導電型的雜質如磷、硼等。尤其是，較佳的不使用來控制臨界值而包含在微晶半導體膜中的硼、或包含在添加有賦予一導電型的雜質的半導體膜中的磷混入在緩衝層 54 中。結果，藉由消除 PN 接面所導致的洩漏電流的產生區域，可以實現漏電流的減少。此外，藉由在添加有賦予一導電型的雜質的半導體膜和微晶半導體膜之間形成不添加有賦予一導電型的雜質如磷、硼等的非晶半導體膜，可以防止分別包含在微晶半導體膜和源區域及汲區域中的雜質擴散。在將用來控制臨界值電壓的賦予一導電型的雜質添加到微晶半導體膜中的情況下，藉由設置緩衝層，可以不使包含在源區域及汲區域中的賦予一導電型的雜質和用來控制微晶半導體膜的臨界值電壓的賦予一導電型的雜質混在一起。

藉由在微晶半導體層 53 的表面上形成非晶半導體膜，進一步形成包含氫、氮、或鹵素的非晶半導體膜，來可以防止包含在微晶半導體膜 53 的晶粒表面的自然氧

化。特別是，在非晶半導體和微晶粒相接觸的區域中，因晶格的應變而容易產生縫裂。當該縫裂與氧接觸時產生晶粒的氧化，並形成氧化矽。然而，藉由在微晶半導體膜 53 的表面上形成緩衝層，可以防止微晶粒的氧化。藉由形成緩衝層，可以防止當後面形成源區域及汲區域之際產生的蝕刻殘渣混入到微晶半導體膜中。

此外，藉由使用非晶半導體膜或者使用包含氫、氮、或鹵素的非晶半導體膜形成緩衝層 54。非晶半導體膜的能隙比微晶半導體膜的能隙大（非晶半導體膜的能隙為 1.1eV 至 1.5eV ，而微晶半導體膜的能隙為 1.6eV 至 1.8eV ），並且非晶半導體膜的電阻高，電場效應遷移率低，即為微晶半導體膜的 $1/5$ 至 $1/10$ 。由此，在後面形成的薄膜電晶體中，形成在源區域及汲區域和微晶半導體膜之間的緩衝層用作高電阻區域，而微晶半導體膜用作通道形成區域。因此，可以減少薄膜電晶體的截止電流。當將該薄膜晶體管用作液晶顯示裝置的開關元件時，可以提高液晶顯示裝置的對比度。

在形成 n 通道型薄膜電晶體的情況下，對於添加有賦予一導電型的雜質的半導體膜 55，作為典型雜質添加磷即可，即對於氫化矽添加 PH_3 等的雜質氣體即可。例如，添加有賦予一導電型的雜質的半導體膜 55 也是用包含磷的非晶矽膜（ $a\text{-Si}(n^+)$ 膜）形成，即可。此外，在形成 p 通道型薄膜電晶體的情況下，作為典型雜質元素添加硼即可，即對於氫化矽添加 B_2H_6 等的雜質氣體即可。可以

使用微晶半導體膜或非晶半導體膜形成添加有賦予一導電型的雜質的半導體膜 55。將添加有賦予一導電型的雜質的半導體膜 55 形成爲具有 2nm 以上 50nm 以下的厚度。藉由減薄添加有賦予一導電型的雜質的半導體膜的膜厚度，可以提高生產率。

在此，參照圖 9 示出一種微波電漿 CVD 裝置，該微波電漿 CVD 裝置能夠連續形成閘極絕緣膜 52a、52b、添加有賦予一導電型的雜質的半導體膜 55。圖 9 是示出微波電漿 CVD 裝置的俯視截面的示意圖，其爲在公共室 1120 的周圍具備裝載室 1110、卸載室 1115、反應室（1）1111 至反應室（4）1114 的結構。在公共室 1200 和每個室之間具備閘閥 1122 至 1127，以防止在每個室內進行的處理互相干涉。基板裝載在裝載室 1110、卸載室 1115 的盒子 1128、1129，然後由公共室 1120 的傳送單元 1121 傳送到反應室（1）1111 至反應室（4）1114。該微波電漿 CVD 裝置能夠按每個堆積膜種類分配反應室，從而可以在不與大氣接觸的狀態下連續形成多個不同的覆蓋膜。

在每個反應室（1）至反應室（4）中，分別層疊形成閘極絕緣膜 52a、52b、微晶半導體膜 53、緩衝層 54、以及添加有賦予一導電型的雜質的半導體膜 55。在此情況下，藉由更換原料氣體，可以連續地層疊多個不同種類的膜。在此，形成閘極絕緣膜，然後將矽烷等的氫化矽引入到反應室內，使殘留氧及氫化矽反應，並將反應物排出到

反應室的外部，從而可以降低反應室內的殘留氧濃度。結果，可以降低包含在微晶半導體膜中的氧濃度。此外，可以防止包含在微晶半導體膜中的晶粒的氧化。

或者，在反應室（1）及反應室（3）中形成閘極絕緣膜 52a、52b、微晶半導體膜 53、以及緩衝層 54，而在反應室（2）及反應室（4）中形成添加有賦予一導電型的雜質的半導體膜 55。藉由只將賦予一導電型的雜質單獨地形成，可以防止殘留在處理室中的賦予一導電型的雜質混入到其他膜中。

像這樣，由於可以使用連接有多個處理室的微波電漿 CVD 裝置同時形成閘極絕緣膜 52a、52b、微晶半導體膜 53、緩衝層 54、以及添加有賦予一導電型的雜質的半導體膜 55，因此可以提高量產性。此外，即使在某個反應室中進行維護及清洗，也可以在其他反應室中形成膜，從而可以縮短成膜週期。另外，因為可以在不被大氣成分及懸浮在大氣中的污染雜質污染的狀態下形成各個疊層介面，所以可以減少薄膜電晶體的特性的不均勻。

此外，在反應室（1）中可以形成閘極絕緣膜 52a、52b，在反應室（2）中可以形成微晶半導體膜 53 及緩衝層 54，在反應室（3）中可以形成添加有賦予一導電型的雜質的半導體膜 55。另外，在使用氧化矽膜或氧氮化矽膜形成閘極絕緣膜 52a，並使用氮化矽膜或氮氧化矽膜形成閘極絕緣膜 52b 的情況下，也可以設置五個反應室，並且在反應室（1）中形成閘極絕緣膜 52a 的氧化矽膜或氧

氮化矽膜，在反應室（2）中形成閘極絕緣膜 52b 的氮化矽膜或氮氧化矽膜，在反應室（3）中形成微晶半導體膜，在反應室（4）中形成緩衝層，在反應室（5）中形成添加有賦予一導電型的雜質的半導體膜。此外，因為微晶半導體膜的成膜速度較慢，所以也可以在各個反應室中形成微晶半導體膜。例如，也可以在反應室（1）中形成閘極絕緣膜 52a、52b，在反應室（2）及（3）中形成微晶半導體膜 53，在反應室（4）中形成緩衝層 54，在反應室（5）中形成添加有賦予一導電型的雜質的半導體膜 55。像這樣，藉由在各個反應室中同時形成微晶半導體膜 53，可以提高生產率。此時，較佳的使用要形成的種類的膜塗敷各個反應室的內壁。

由於當使用這種結構的微波電漿 CVD 裝置時，可以在各個反應室中形成類似的種類的膜或一種膜，並且在不暴露在大氣的狀態下連續形成上述膜，因此可以在不被已形成的膜的殘留物及懸浮在大氣中的雜質元素污染的狀態下形成各個疊層介面。

注意，雖然在圖 9 所示的微波電漿 CVD 裝置中分別設置有裝載室及卸裝室，但是也可以設置一個裝載/卸裝室。此外，在微波電漿 CVD 裝置中也可以設置備用室。由於可以藉由在備用室中對基板進行預熱而縮短各個反應室中的加熱到成膜的加熱時間，因此可以提高生產率。

下面，說明成膜處理。在這種成膜處理中，根據其目的而選擇從氣體供給部供給的氣體即可。

在此，舉出在閘極絕緣膜 52a 上形成氧氮化矽膜，並在閘極絕緣膜 52b 上形成氮氧化矽膜的方法作為一個例子。

首先，對於微波電漿 CVD 裝置的反應室的處理容器內部使用氟基進行清洗。注意，藉由將氟化碳、氟化氮、或氟引入到設置在反應室外側的電漿產生器中並離解，然後將氟基引入到反應室中，可以對反應室進行清洗。

藉由在使用氟基進行清洗之後，將大量的氫引入到反應室內，來使反應室內的殘留氟和氫彼此反應，從而可以降低殘留氟的濃度。由此，可以減少對於後面在反應室內壁形成的保護膜的氟混入量，並可以減薄保護膜的厚度。

接著，在反應室的處理容器的內壁等的表面上堆積氧氮化膜作為保護膜。在此，處理容器內的壓力為 1Pa 至 200Pa，較佳的為 1Pa 至 100Pa，並且引入氮、氬、氙、氪等的稀有氣體的任何一種以上的氣體作為電漿點燃用氣體。再者，引入稀有氣體的任何一種及氫。特別是，較佳的使用氮作為電漿點燃用氣體，還較佳的使用氮和氫作為電漿點燃用氣體。

氮的離子化能量較高，即 24.5eV。但是，由於準穩定狀態位於大約 20eV，因此在放電中可以以大約 4eV 進行離子化。由此，放電開始電壓低，且容易維持放電。從而可以均勻地維持電漿且實現節能。

此外，也可以引入氮、氬、氙、氪等的稀有氣體的任何一種以上及氧氣體作為電漿點燃用氣體。藉由將氧氣體

與稀有氣體一起引入到處理容器中，可以容易進行電漿的點燃。

接著，使微波產生裝置的電源導通，並且在微波產生裝置的輸出為 500W 至 6000W，較佳的為 4000W 至 6000W 的情況下產生電漿。接著，將原料氣體經過氣體管道引入到處理容器內。具體而言，藉由引入一氧化二氮、稀有氣體、及矽烷作為原料氣體，在處理容器的內壁、氣體管道、介質板、及支架台表面上形成氧氮化矽膜作為保護膜。此時的氮化矽的流量為 50sccm 至 300sccm，一氧化二氮的流量為 500sccm 至 6000sccm，保護膜的膜厚度為 500nm 至 2000nm。

接著，在停止原料氣體的供給，降低處理容器內的壓力，並使微波產生裝置的電源截止之後，將基板設置在處理容器內的支架台上。

接著，藉由與上述保護膜相同的方法，在基板上堆積氧氮化矽膜作為閘極絕緣膜 52a。

在堆積預定的厚度的氧氮化矽膜之後，停止原料氣體的供給，降低處理容器內的壓力，並使微波產生裝置的電源截止。

接著，使處理容器內的壓力為 1Pa 至 200Pa，較佳的為 1Pa 至 100Pa，作為電漿點燃用氣體，引入氮、氬、氫、氦等的稀有氣體的任何一種以上、原料氣體的矽烷、一氧化二氮、及氨。注意，作為原料氣體，也可以引入氮代替氨。接著，使微波產生裝置的電源導通，並且在微波

產生裝置的輸出為 500W 至 6000W，較佳的為 4000W 至 6000W 的情況下產生電漿。接著，將原料氣體經過氣體管道引入到處理容器內，在基板的氧氮化矽膜上形成氮氧化矽膜作為閘極絕緣膜 52b。接著，停止原料氣體的供給，降低處理容器內的壓力，並使微波產生裝置的電源截止，來結束成膜過程。

根據上述步驟，藉由以氧氮化矽膜作為反應室內壁的保護膜並在基板上連續形成氧氮化矽膜及氮氧化矽膜，可以減少混入到上層一側的氮氧化矽膜中的氧化矽等的雜質。藉由採用將能夠產生微波的電源裝置用作電源裝置的微波電漿 CVD 法形成上述膜，電漿密度提高而可以形成耐壓性高的膜。當將該膜用作閘極絕緣膜時，可以減少電晶體的臨界值的不均勻。此外，可以提高 BT 特性。另外，抗靜電性提高，從而可以製造即使被施加高電壓也不容易破壞的電晶體。而且，還可以製造年久退壞少的電晶體、以及熱載流子損壞少的電晶體。

此外，在將使用微波電漿 CVD 裝置形成的氧氮化矽膜的單層膜作為閘極絕緣膜的情況下，採用上述保護膜的形成方法及氧氮化矽膜的形成方法。特別是，藉由將對於矽烷的一氧化二氮的流量比設定為 100 倍以上 300 倍以下，較佳的設定為 150 倍以上 250 倍以下，可以形成耐壓性高的氧氮化矽膜。

接著，示出一種成膜方法，其中藉由微波電漿 CVD 法連續地形成作為微晶半導體膜及緩衝層的非晶半導體

膜。首先，與上述閘極絕緣膜同樣地進行反應室的清洗。接著，在處理容器內堆積矽膜作為保護膜。在此，使處理容器內的壓力為 1Pa 至 200Pa，較佳的為 1Pa 至 100Pa，並且引入氮、氬、氙、氡等的稀有氣體的任何一種以上的氣體作為電漿點燃用氣體。此外，也可以與稀有氣體一起引入氫。

接著，使微波產生裝置的電源導通，並且在微波產生裝置的輸出為 500W 至 6000W，較佳的為 4000W 至 6000W 的情況下產生電漿。接著，將原料氣體經過氣體管道引入到處理容器內。具體而言，藉由引入氫化矽氣體、及氫氣體作為原料氣體，在處理容器的內壁、氣體管道、介質板、及支架台表面上形成微晶矽膜作為保護膜。此外，除了使用氫化矽氣體及氫氣體以外，還可以使用選自氮、氬、氙、氡中的一種或多種稀有氣體元素對氫化矽氣體及氫氣體進行稀釋來形成微晶半導體膜。此時的對於氫化矽的氫的流量比為 5 倍以上 200 倍以下，較佳的為 50 倍以上 150 倍以下，更佳的為 100 倍。另外，此時的保護膜的膜厚度為 500nm 至 2000nm。注意，也可以在使微波產生裝置的電源導通之前，除了上述稀有氣體之外還可以引入氫化矽氣體及氫氣體。

此外，除了使用氫化矽氣體及氫氣體以外，還可以使用選自氮、氬、氙、氡中的一種或多種稀有氣體元素對氫化矽氣體及氫氣體進行稀釋來形成非晶半導體膜作為保護膜。

接著，在停止原料氣體的供給，降低處理容器內的壓力，並使微波產生裝置的電源截止之後，將基板設置在處理容器內的支架台上。

接著，對於形成在基板上的閘極絕緣膜 52b 的表面進行氫電漿處理。藉由在形成微晶半導體膜之前進行氫處理，可以減少閘極絕緣膜和微晶半導體膜的介面上的晶格應變，並可以提高閘極絕緣膜和微晶半導體膜的介面特性。因此，可以提高後面形成的薄膜電晶體的電特性。

此外，在上述氫電漿處理中，藉由也對形成在處理容器內的保護膜的非晶半導體膜或微晶半導體膜進行氫電漿處理，保護膜被蝕刻而在閘極絕緣膜 52b 的表面上堆積有微小量的半導體。該半導體成為結晶生長的核，因該核而微晶半導體膜堆積。結果，可以減少閘極絕緣膜和微晶半導體膜的介面的晶格應變，並可以提高閘極絕緣膜和微晶半導體膜的介面特性。由此，可以提高後面形成的薄膜電晶體的電特性。

接著，藉由與上述保護膜相同的方法，在基板上堆積微晶矽膜。微晶矽膜的膜厚度為厚於 0nm 至 50nm 以下，較佳的厚於 0nm 至 20nm 以下。

在堆積預定的厚度的微晶矽膜之後，停止原料氣體的供給，降低處理容器內的壓力，並使微波產生裝置的電源截止，來結束形成微晶半導體膜的過程。

接著，降低處理容器內的壓力並調節原料氣體的流量。具體而言，相比於微晶半導體膜的成膜條件，將氫氣

體的流量大幅度地降低。典型地，使要引入的氫氣體的流量為氫化矽的流量的 1 倍以上 20 倍以下，較佳的為 1 倍以上 10 倍以下，更佳的為 1 倍以上 5 倍以下。或者，不將氫氣體引入到處理容器內而引入氫化矽氣體。像這樣，藉由減少對於氫化矽的氫的流量，可以提高作為緩衝層的非晶半導體膜的成膜速度。或者，除了使用氫化矽氣體之外還使用選自氦、氬、氖、氙中的一種或多種稀有氣體元素對氫化矽進行稀釋。接著，藉由使微波產生裝置的電源導通並將其輸出設定為 500W 至 6000W，較佳的為 4000W 至 6000W 來產生電漿，從而可以形成非晶半導體膜。由於非晶半導體膜的成膜速度比微晶半導體膜的成膜速度高，因此可以將處理容器內的壓力設定得低。此時的非晶半導體膜的膜厚度為 100nm 至 400nm。

在堆積預定的厚度的非晶半導體膜之後，停止原料氣體的供給，降低處理容器內的壓力，並使微波產生裝置的電源截止，來結束形成非晶半導體膜的過程。

注意，也可以在點燃電漿的狀態下形成微晶半導體膜 53 及緩衝層 54 的非晶半導體膜。具體而言，逐漸減少對於用來形成微晶半導體膜 53 的原料氣體的氫化矽的氫的流量比而層疊微晶半導體膜 53 及緩衝層 54 的非晶半導體膜。藉由上述方法，可以不使雜質堆積在微晶半導體膜 54 和緩衝層 54 的介面上而形成應變少的介面，並且可以提高後面形成的薄膜電晶體的電特性。

使用頻率為 1GHz 以上的微波電漿 CVD 裝置產生的

電漿的電子密度高，且由原料氣體形成多個自由基而供給給基板 1130，因此基板上的自由基的表面反應被促進，而可以提高微晶矽的成膜速度。再者，由多個微波產生裝置、以及多個介質板構成的微波電漿 CVD 裝置可以產生穩定的大面積的電漿。由此，使用頻率為 1GHz 以上的微波的電漿 CVD 法可以在大面積基板上也形成膜性質的均勻性得到提高的膜，並且可以提高量產性。

此外，藉由在相同的處理容器內連續形成微晶半導體膜及非晶半導體膜，可以形成應變少的介面。

注意，在閘極絕緣膜及半導體膜的各個製造方法中，當在反應室的內壁上形成有 500nm 至 2000nm 的保護膜時，可以省略上述清洗處理及保護膜形成處理。

藉由光微影技術或噴墨法形成掩模 56。

接著，使用掩模蝕刻微晶半導體膜 53、緩衝層 54、及添加有賦予一導電型的雜質的半導體膜 55 以實現分離，來如圖 1B 所示那樣形成微晶半導體膜 61、緩衝層 62、及添加有賦予一導電型的雜質的半導體膜 63。然後，去除掩模 56。注意，圖 1B 相當於沿著圖 4A 的 A-B 線的截面圖。

接著，如圖 1C 所示，在添加有賦予一導電型的雜質的半導體膜 63 及閘極絕緣膜 52b 上形成導電膜，然後在導電膜上形成掩模 66。

較佳的使用鋁、或者添加有銅、矽、鈦、釹、銦、鉬等提高耐熱性的元素或防止小丘產生的元素的鋁合金的單

層或疊層形成導電膜。此外，也可以採用如下疊層結構：使用鈦、鉭、鉬、鎢或上述元素的氮化物形成與添加有賦予一導電型的雜質的半導體膜接觸一側的膜，在其上形成鋁或鋁合金。再者，還可以採用如下疊層結構：使用鈦、鉭、鉬、鎢或上述元素的氮化物將鋁或鋁合金的上面及下面夾住。在此，作為導電膜示出具有層疊有導電膜 65a 至 65c 的三層的結構的導電膜，例如示出將鉬膜用作導電膜 65a、65c 並將鋁膜用作導電膜 65b 的疊層導電膜、以及將鈦膜用作導電膜 65a、65c 並將鋁膜用作導電膜 65b 的疊層導電膜。

藉由濺射法及真空沉積法形成導電膜 65a 至 65c。此外，也可以使用銀、金、銅等的導電奈米膏藉由絲網印刷法、噴墨法等噴出並焙燒來形成導電膜 65a 至 65c。

可以與掩模 56 相同地形成掩模 66。

接著，使用掩模 66 蝕刻導電膜 65a 至 65c 來實現分離，來如圖 2A 所示那樣形成導電膜 71a 至 71c。接著，使用掩模 66 蝕刻添加有賦予一導電型的雜質的半導體膜 63 及緩衝層 62 來形成源區域及汲區域 72、緩衝層 73。注意，緩衝層 73 只有一部分被蝕刻，它覆蓋微晶半導體膜 61 的表面。此外，此時源區域及汲區域 72 的緣和導電膜 71a 至 71c 的緣大致一致。

接著，如圖 2B 所示，蝕刻導電膜 71a 至 71c 的一部分形成源極電極及汲極電極 75a 至 75c。在此，當使用掩模 66 對導電膜 71a 至 71c 進行濕蝕刻時，導電膜 71a 至

71c 的緣的一部分選擇性地被蝕刻。結果，可以形成其面積比導電膜 71a 至 71c 小的源極電極及汲極電極 75a 至 75c。源極電極 75a 至 75c 的緣和源區域及汲區域 72 的緣不一致而偏離，即在源極電極及汲極電極 75a 至 75c 的緣的外側形成源極電極及汲極電極 72 的緣。然後，去除掩模 66。注意，圖 2B 相當於沿著圖 4B 的 A-B 線的截面圖。如圖 4B 所示，源區域及汲區域 72 的緣位於源極電極及汲極電極 75c 的緣的外側。此外，源極電極或汲極電極的一方還起到源極佈線或汲極佈線的功能。

如圖 2B 所示，由於源極電極及汲極電極 75a 至 75c 的緣和源區域及汲區域 72 的緣不一致而偏離，所以源極電極及汲極電極 75a 至 75c 的緣的距離遠離，從而可以防止源極電極及汲極電極之間的漏電流及短路。此外，由於源極電極及汲極電極 75a 至 75c 的緣和源區域及汲區域 72 的緣不一致而偏離，因此電場不集中在源極電極 75a 至 75c 和源區域及汲區域 72 的緣中，從而可以防止閘極電極 51 和源極電極及汲極電極 75a 至 75c 之間的漏電流。因此可以製造可靠性高且耐壓性高的薄膜電晶體。

藉由上述方法，可以製造通道蝕刻型薄膜電晶體 74。

在本實施例模式所示的薄膜電晶體中，在閘極電極上層疊有閘極絕緣膜、微晶半導體膜、緩衝層、源區域及汲區域、源極電極及汲極電極，並且緩衝層覆蓋用作通道形成區域的微晶半導體膜的表面。此外，在緩衝層的一部分

中形成有凹部（溝槽），該凹部以外的區域被源區域及汲區域覆蓋。就是說，由於源區域及汲區域的距離因形成在緩衝層的凹部而遠離，因此可以減少源區域及汲區域之間的漏電流。此外，因為藉由蝕刻緩衝層的一部分形成凹部，所以可以去除在源區域及汲區域的形成工序中產生的蝕刻殘渣。從而可以避免在源區域及汲區域中介於殘渣而產生漏電流（寄生通道）。

另外，在用作通道形成區域的微晶半導體膜和源區域及汲區域之間形成有緩衝層。此外，微晶半導體膜的表面被緩衝層覆蓋。由於以高電阻形成的緩衝層延伸到微晶半導體膜和源區域及汲區域之間，所以可以減少薄膜電晶體中產生的漏電流和因為施加高電壓而發生的退化。另外，因為在微晶半導體膜的表面上形成有由氫終結表面的非晶半導體膜作為緩衝層，所以可以防止微晶半導體膜的氧化，並可以防止在源區域及汲區域的形成處理中產生的蝕刻殘渣混入到微晶半導體膜中。由此，成為電特性優良且耐壓性高的薄膜電晶體。

此外，藉由將源極電極及汲極電極的緣和源區域及汲區域的緣形成為不一致而偏離，使源極電極及汲極電極的緣的距離遠離，從而可以防止源極電極及汲極電極之間的漏電流和短路。

另外，雖然在上述圖 2A 及 2B 中示出了在形成其一部分具有凹部（溝槽）的緩衝層 73 之後，進行蝕刻以使彼此相對的源極電極的緣和汲極電極的緣的距離為長的例

子，但是沒有特別的限制。例如，也可以採用如下處理順序：在蝕刻導電膜 65a 至 65c 使它們分離，並使添加有賦予一導電型的雜質的半導體膜 63 露出之後，進行蝕刻以使彼此相對的源極電極的緣和汲極電極的緣的距離為長。然後，使用掩模 66 蝕刻半導體膜 63 來分離源區域及汲區域 72，而且在緩衝層的一部分中形成凹部（溝槽）。

接著，如圖 2C 所示，在源極電極及汲極電極 75a 至 75c、源區域及汲區域 72、微晶半導體膜 61、及閘極絕緣膜 52b 上形成絕緣膜 76。絕緣膜 76 可以與閘極絕緣膜 52a、52b 同樣地形成。注意，絕緣膜 76 用來防止懸浮在大氣中的有機物及金屬物、水蒸氣等的污染雜質的侵入，從而較佳的為緻密的膜。此外，藉由使用氮化矽膜作為絕緣膜 76，可以將緩衝層 73 中的氧濃度設定為 $1 \times 10^{19} \text{atoms/cm}^3$ 以下，較佳的將它設定為 $5 \times 10^{18} \text{atoms/cm}^3$ 以下。

接著，在絕緣膜 76 中形成接觸孔，並且形成在該接觸孔中與源極電極或汲極電極 75c 接觸的像素電極 77。注意，圖 3 相當於沿著圖 4C 的 A-B 線的截面圖。

作為像素電極 77，可以使用具有透光性的導電材料諸如包含氧化鎢的銦氧化物、包含氧化鎢的銦鋅氧化物、包含氧化鈦的銦氧化物、包含氧化鈦的銦錫氧化物、銦錫氧化物（下面稱為 ITO）、銦鋅氧化物、添加有氧化矽的銦錫氧化物等。

此外，也可以使用包含導電高分子（也稱為導電聚合

體)的導電組成物形成像素電極 77。使用導電組成物形成的像素電極較佳的具有如下條件：薄層電阻為 $1000\ \Omega/\square$ 以下，當波長為 550nm 時的透光率為 70%以上。另外，包含在導電組成物中的導電高分子的電阻率較佳的為 $0.1\ \Omega \cdot \text{cm}$ 以下。

作為導電高分子，可以使用所謂的 π 電子共軛類導電高分子。例如，可以舉出聚苯胺或其衍生物、聚吡咯或其衍生物、聚噻吩或其衍生物、或者由上述物質中的兩種以上而構成的共聚體等。

接著，對於與上述方式不同的薄膜電晶體的製造方法，參照圖 5A 至圖 8C 進行說明。在此示出源極電極或汲極電極和源極佈線或汲極佈線分離的結構。

如圖 5A 所示，在基板 50 上形成閘極電極 51。其次，在閘極電極 51 上按順序形成閘極絕緣膜 52a、52b、微晶半導體膜 53、緩衝層 54、添加有賦予一導電型的雜質的半導體膜 55、以及導電膜 65a。然後，在導電膜 65a 上形成掩模 56。

接著，使用掩模 56 蝕刻微晶半導體膜 53、緩衝層 54、添加有賦予一導電型的雜質的半導體膜 55、以及導電膜 65a 以使它們分離。結果，可以形成如圖 5B 所示那樣的微晶半導體膜 61、緩衝層 62、添加有賦予導電性的雜質的半導體膜 63、以及導電膜 85a。然後，去除掩模 56。注意，圖 5B 相當於沿著圖 8A 的 A-B 線的截面圖。

接著，如圖 5B 所示，在導電膜 85a 上形成抗蝕劑掩

模 66。然後，使用抗蝕劑掩模 66 蝕刻添加有賦予一導電型的雜質的半導體膜 63、以及導電膜 85a 以使它們分離。結果，可以形成如圖 8C 所示那樣的一對導電膜 89a、以及一對源區域及汲區域 88。注意，在該蝕刻處理中，緩衝層 62 的一部分也被蝕刻。其一部分被蝕刻的緩衝層表示為緩衝層 87。在此，由於使用面積縮小了的抗蝕劑掩模 66 蝕刻緩衝層 82 的一部分，因此緩衝層 87 成為露出到一對導電膜 89a 的外側的形狀。

接著，如圖 6A 所示，蝕刻一對導電膜 89a 的一部分形成源極電極及汲極電極 92a。在此，當使用抗蝕劑掩模 86 對導電膜 89a 進行濕蝕刻時，導電膜 89a 的緣選擇性地被蝕刻。結果，可以形成其面積比導電膜 89a 小的源極電極及汲極電極 92a。源極電極及汲極電極 92a 的緣和源區域及汲區域 88 的緣不一致而偏離。然後，去除抗蝕劑掩模 66。注意，圖 6A 相當於沿著圖 8B 的 A-B 線的截面圖。如圖 8B 所示，源區域及汲區域 88 的緣位於源極電極及汲極電極 92a 的緣的外側。此外，源極電極及汲極電極 92a 分別分離而不連接到相鄰的像素。另外，在此藉由濕蝕刻形成源極電極及汲極電極 92a，而且還可以藉由對抗蝕劑掩模 66 進行灰化處理並蝕刻導電膜 89a 形成源極電極及汲極電極 92a。

如圖 6B 所示，由於藉由將源極電極及汲極電極 92a 的緣和源區域及汲區域 88 的緣形成為不一致而偏離，使源極電極及汲極電極 92a 的緣的距離遠離，因此可以防止

源極電極及汲極電極之間的洩漏電流和短路。此外，由於源極電極及汲極電極 92a 的緣和源區域及汲區域 88 的緣不一致而偏離，因此電場不集中在源極電極及汲極電極 92a 及源區域及汲區域 88 的緣，而可以防止閘極電極、源極電極及汲極電極 92a 之間的洩漏電流。由此，可以製造可靠性高且耐壓性高的薄膜電晶體。

接著，如圖 6B 所示，在源極電極及汲極電極 92a、源區域及汲區域 88、緩衝層 87、以及閘極絕緣膜 52b 上形成絕緣膜 76。絕緣膜 76 可以與閘極絕緣膜 52a、52b 同樣地形成。接著，在絕緣膜 76 中形成接觸孔，並且形成在該接觸孔中與源極電極或汲極電極 92a 的一方接觸並被層疊的佈線 79b、79c。注意，圖 6C 相當於沿著圖 8C 的 A-B 線的截面圖。此外，佈線 79b、79c 是連接形成在相鄰的像素中的源極電極及汲極電極的佈線。

接著，如圖 7 所示，在絕緣膜 76 中形成接觸孔，然後形成在該接觸孔中與源極電極或汲極電極 92a 的另一方接觸的像素電極 77。注意，圖 7 相當於沿著圖 8D 的 A-B 線的截面圖。

藉由上述處理，可以形成通道蝕刻型薄膜電晶體 74。該通道蝕刻型薄膜電晶體的製造方法數少，從而可以縮減成本。此外，藉由使用微晶半導體膜構成通道形成區域，可以獲得 $1\text{cm}^2/\text{V} \cdot \text{sec}$ 至 $20\text{cm}^2/\text{V} \cdot \text{sec}$ 的電場效應遷移率。因此，可以將該薄膜晶體管用作像素部的像素的開關元件，而且還可以用作形成掃描線（閘極線）一側的

驅動電路的元件。

藉由本實施例模式，可以製造電特性的可靠性高的薄膜電晶體。

實施例模式 2

在本實施例模式中，下面示出包括實施例模式 1 所示的薄膜電晶體的液晶顯示裝置。

首先，示出 VA（垂直配向）型液晶顯示裝置。VA 型液晶顯示裝置是控制液晶面板的液晶分子的排列的方式之一種。VA 型液晶顯示裝置是當不被施加電壓時液晶分子朝向對於面板表面垂直的方向的方式。在本實施例模式中，尤其設法將像素分割為幾個區域（亞像素），使分子倒向不同的方向。上述方法稱為多域化或多域設計。在下面的說明中，說明採用多域設計的液晶顯示裝置。

圖 14 及圖 15 分別示出像素電極及相對電極。注意，圖 14 是形成有像素電極的基板一側的俯視圖，而圖 13 示出對應於圖 14 中的沿著 G-H 線的截面結構。此外，圖 15 是形成有相對電極的基板一側的俯視圖。在下面的說明中，參照上述附圖進行說明。

圖 13 示出層疊形成有 TFT628、與其連接的像素電極 624、以及儲存電容部 630 的基板 600 和形成有相對電極 640 等的相對基板 601 並注入有液晶的狀態。

在相對基板 601 中的形成隔離物 642 的位置上形成有遮光膜 632、第一彩色膜 634、第二彩色膜 636、第三彩

色膜 638、相對電極 640。藉由該結構，使用來控制液晶的取向的突起 644 和隔離物 642 的高度為不同。在像素電極 624 上形成取向膜 648，在相對電極 640 上也同樣地形成取向膜 646。其間形成有液晶層 650。

在此，使用柱狀隔離物示出隔離物 642，但是也可以散佈珠狀隔離物。再者，也可以在形成在基板 600 上的像素電極 624 上形成隔離物 642。

在基板 600 上形成 TFT628、與其連接的像素電極 624、以及保持電容 630。像素電極 624 在接觸孔 623 中連接到佈線 618，該接觸孔 623 貫通覆蓋 TFT268、佈線、以及儲存電容部 630 的絕緣膜 620 和覆蓋絕緣膜的第三絕緣膜 622。適當地使用實施例模式 1 所示的薄膜電晶體作為 TFT628。此外，儲存電容部 630 由第一電容佈線 604、閘極絕緣膜 606、和第二電容佈線 617 構成，該第一電容佈線 604 與 TFT628 的閘極佈線 602 同樣地形成，而該第二電容佈線 617 與佈線 616、618 同樣地形成。

藉由重疊像素電極 624、液晶層 650、以及相對電極 640，形成液晶元件。

圖 14 示出基板 600 上的結構。使用實施例模式 1 所示的材料形成像素電極 624。在像素電極 624 中設置槽縫 625。槽縫 625 用來控制液晶的取向。

圖 14 所示的 TFT629 和與其連接的像素電極 626 及儲存電容部 631 分別可以與 TFT628、像素電極 624 及儲存電容部 630 同樣地形成。TFT628 和 TFT629 都與佈線

616 連接。其液晶面板的像素由像素電極 624 和像素電極 26 構成。像素電極 624 和像素電極 626 是亞像素。

圖 15 示出相對基板一側的結構。在遮光膜 632 上形成有相對電極 640。相對電極 640 較佳的使用與像素電極 624 同樣的材料形成。在相對電極 640 上形成有控制液晶的取向的突起 644。此外，根據遮光膜 632 的位置形成有隔離物 642。

圖 16 示出該像素結構的等效電路。TFT628 和 TFT629 都連接到閘極佈線 602、佈線 616。在此情況下，藉由使電容佈線 604 和電容佈線 605 的電位為不同，可以使液晶元件 651 的工作和液晶元件 652 的工作為不同。就是說，藉由分別控制電容佈線 604 和電容佈線 605 的電位，精密地控制液晶的取向來擴大視角。

當對設置有槽縫 625 的像素電極 624 施加電壓時，在槽縫 625 的近旁產生電場應變（傾斜電場）。藉由將該槽縫 625 和相對基板 601 一側的突起 644 配置為相互有規律地咬合，有效地產生傾斜電場而控制液晶的取向。由此，在每個部分中使液晶取向的方向為不同。就是說，進行多域化來擴大液晶面板的視角。

接著，對於與上述不同的 VA 型液晶顯示裝置，參照圖 17 至圖 20 進行說明。

圖 17 和圖 18 示出 VA 型液晶面板的像素結構。圖 18 是基板 600 的俯視圖，而圖 17 示出對應於沿著圖 18 所示的截斷線 Y-Z 的截面結構。在下面的說明中，參照上述兩

個附圖進行說明。

在其像素結構中，一個像素包括多個像素電極，並且每個像素電極與 TFT 連接。每個 TFT 構成爲由不同的閘極信號驅動。就是說，在多域設計的像素中具有獨立地控制施加到各個像素電極的信號的結構。

像素電極 624 在接觸孔 623 中藉由佈線 618 連接到 TFT628。此外，像素電極 626 在接觸孔 627 中藉由佈線 619 連接到 TFT629。TFT628 的閘極佈線 602 和 TFT629 的閘極佈線 603 彼此分離，以可以接收不同的閘極信號。另一方面，TFT628 和 TFT629 共同使用用作資料線的佈線 616。TFT628 和 TFT629 可以適當地使用實施例模式 1 所示的薄膜電晶體。

像素電極 624 和像素電極 626 的形狀不同，並且由槽縫 625 分離。像素電極 626 以圍繞舒展爲 V 字形的像素電極 624 的外側的方式形成。藉由由 TFT628 和 TFT629 使施加到像素電極 624 和像素電極 626 的電壓的時序爲不同，控制液晶的取向。圖 20 示出該像素結構的等效電路。TFT628 與閘極佈線 602 連接，而 TFT629 與閘極佈線 603 連接。藉由將不同的閘極信號提供到閘極佈線 602 和閘極佈線 603，可以使 TFT628 和 TFT629 的工作時序爲不同。

在相對基板 601 上形成有遮光膜 632、第二彩色膜 636、相對電極 640。此外，在第二彩色膜 636 和相對電極 640 之間形成平坦化膜 637，以防止液晶的取向無序。

圖 19 示出相對基板一側的結構。相對電極 640 是不同的像素之間共同使用的電極，其中形成有槽縫 641。藉由將該槽縫 641 和像素電極 624 及像素電極 626 一側的槽縫 625 配置為互相有規律地咬合，可以有效地產生傾斜電場而控制液晶的取向。由此，可以在每個部分中使液晶取向的方向為不同，以擴大視角。

藉由重疊像素電極 624、液晶層 650、以及相對電極 640，形成第一液晶元件。此外，藉由重疊像素電極 626、液晶層 650、以及相對電極 640，形成第二液晶元件。另外，採用一個像素中設置有第一液晶元件和第二液晶元件的多域結構。

接著，示出水平電場方式的液晶顯示裝置。水平電場方式是藉由對於單元內的液晶分子在水平方向上施加電場驅動液晶來進行灰度級表達的方式。藉由該方式，可以將視角擴大為大約 180° 。在下面的說明中，說明採用水平電場方式的液晶顯示裝置。

圖 21 示出重疊形成有 TFT628 和與其連接的像素電極 624 的基板 600 和相對基板 601 並注入有液晶的狀態。相對基板 601 形成有遮光膜 632、第二彩色膜 636、平坦化膜 637 等。像素電極位於基板 600 一側，而不設置在相對基板 601 一側。在基板 600 和相對基板 601 之間形成有液晶層 650。

在基板 600 上形成第一像素電極 607、連接到第一像素電極 607 的電容佈線 604、以及實施例模式 1 所示的

TFT628。第一像素電極 607 可以使用與實施例模式 1 所示的像素電極 77 相同的材料。此外，第一像素電極 607 以大致區分為像素形狀的形狀而形成。注意，在第一像素電極 607 及電容佈線 604 上形成閘極絕緣膜 606。

TFT628 的佈線 616、佈線 618 形成在閘極絕緣膜 606 上。佈線 616 是在液晶面板中傳送視頻信號的資料線，且是在一個方向上延伸的佈線，同時，還與源區域 610 連接而成為源極及汲極中的一個電極。佈線 618 是成為源極及汲極中的另一個電極且與第二像素電極 624 連接的佈線。

在佈線 616、佈線 618 上形成第二絕緣膜 620。此外，在絕緣膜 620 上形成在絕緣膜 620 的接觸孔中形成的與佈線 618 連接的第二像素電極 624。像素電極 624 使用與實施例模式 1 所示的像素電極 77 同樣的材料形成。

藉由上述方法，在基板 600 上形成 TFT628 和與其連接的第二像素電極 624。注意，保持電容形成在第一像素電極 607 和第二像素電極 624 之間。

圖 22 是示出像素電極的結構的俯視圖。在像素電極 624 中，設置槽縫 625。槽縫 625 用來控制液晶的取向。在此情況下，在第一像素電極 607 和第二像素電極 624 之間產生電場。第一像素電極 607 和第二像素電極 624 之間形成有閘極絕緣膜 606，但是閘極絕緣膜 606 的厚度為 50nm 至 200nm，與厚度為 $2\mu\text{m}$ 至 $10\mu\text{m}$ 的液晶層相比充分薄，因此實際上在與基板 600 平行的方向（水平方向）上產生電場。由該電場控制液晶的取向。藉由利用該大致

平行於基板的方向的電場使液晶分子在水平方向上旋轉。在此情況下，由於液晶分子在任何狀態下都處於水平狀態，所以因觀看角度的對比度等的影響很少，從而擴大視角。此外，因為第一像素電極 607 和第二像素電極 624 都是透光電極，所以可以提高開口率。

接著，說明水平電場方式的液晶顯示裝置的其他例子。

圖 23 和圖 24 示出 IPS（平面內切換）方式液晶顯示裝置的像素結構。圖 24 是俯視圖，而圖 23 示出對應於沿著圖 24 所示的截斷線 I-J 的截面結構。在下面的說明中，參照上述兩個附圖進行說明。

圖 23 示出重疊形成有 TFT628 和與其連接的像素電極 624 的基板 600 和相對基板 601 並注入有液晶的狀態。相對基板 601 形成有遮光膜 632、第二彩色膜 636、平坦化膜 637 等。像素電極位於基板 600 一側，而不設置在相對基板 601 一側。在基板 600 和相對基板 601 之間形成有液晶層 650。

在基板 600 上形成共同電位線 609、以及實施例模式 1 所示的 TFT628。共同電位線 609 可以與 TFT628 的閘極佈線 602 同時形成。此外，第一像素電極 607 以大致區分為像素形狀的形狀而形成。

TFT628 的佈線 616、佈線 618 形成在閘極絕緣膜 606 上。佈線 616 是在液晶面板中傳送視頻信號的資料線，且是在一個方向上延伸的佈線，同時，還與源區域 610 連接

而成為源極及汲極中的一個電極。佈線 618 是成為源極及汲極中的另一個電極且與第二像素電極 624 連接的佈線。

在佈線 616、佈線 618 上形成第二絕緣膜 620。此外，在絕緣膜 620 上形成在絕緣膜 620 的接觸孔 623 中形成的與佈線 618 連接的第二像素電極 624。像素電極 624 使用與實施例模式 1 所示的像素電極 77 同樣的材料形成。注意，如圖 24 所示，像素電極 624 被形成為和與共同電位線 609 同時形成的梳形電極之間產生水平電場。像素電極 624 以其梳齒部和與共同電位線 609 同時形成的梳形電極互相咬合的方式形成。

當施加到像素電極 624 的電位與共同電位線 609 的電位之間產生電場時，由該電場控制液晶的取向。藉由利用該大致平行於基板的方向的電場使液晶分子在水平方向上旋轉。在此情況下，由於液晶分子在任何狀態下都處於水平狀態，所以因觀看角度的對比度等的影響很少，從而擴大視角。

像這樣，在基板 600 上形成 TFT628 以及與其連接的像素電極 624。保持電容藉由在共同電位線 609 和電容電極 615 之間設置閘極絕緣膜 606 而形成。電容電極 615 和像素電極 624 藉由接觸孔 633 相互連接。

接著，示出 TN 型的液晶顯示裝置的方式。

圖 25 和圖 26 示出 TN 型液晶顯示裝置的像素結構。圖 26 是俯視圖，而圖 25 示出對應於沿著圖 26 所示的截斷線 K-L 的截面結構。在下面的說明中，參照上述兩個附

圖進行說明。

像素電極 624 藉由接觸孔 623 由佈線 618 與 TFT628 連接。用作資料線的佈線 616 與 TFT628 連接。作為 TFT628，可以應用實施例模式 1 所示的 TFT 的任何一種。

像素電極 624 使用實施例模式 1 所示的像素電極 77 形成。

在相對基板 601 上形成有遮光膜 632、第二彩色膜 636、相對電極 640。此外，在第二彩色膜 636 和相對電極 640 之間形成平坦化膜 637，以防止液晶的取向無序。液晶層 650 形成在像素電極 624 和相對電極 640 之間。

藉由重疊像素電極 624、液晶層 650、以及相對電極 640，形成液晶元件。

此外，在基板 600 或相對基板 601 上也可以形成有顏色濾光片、用來防止向錯的遮罩膜（黑矩陣）等。此外，在基板 600 的與形成有薄膜電晶體的面相反的面上貼附偏光板，或者在相對基板 601 的與形成有相對電極 640 的面相反的面上貼附偏光板。

相對電極 640 可以適當地使用與像素電極 624 同樣的材料。藉由重疊像素電極 624、液晶 161、以及相對電極 640，形成液晶元件。

藉由上述方法，可以製造液晶顯示裝置。由於本實施例模式的液晶顯示裝置使用截止電流少且電特性的可靠性高的薄膜電晶體，因此成為對比度高且可見度高的液晶顯

示裝置。此外，因為採用使用沒有雷射晶化處理的微晶半導體膜的薄膜電晶體，所以可以量產性高地製造可見度高的液晶顯示裝置。

實施例模式 3

接著，下面示出本發明的液晶顯示裝置的一個方式的顯示面板結構。

圖 10A 示出一種顯示面板的方式，其中只有信號線驅動電路 6013 另行形成且該信號線驅動電路 6013 與形成在基板 6011 上的像素部 6012 連接。像素部 6012 及掃描線驅動電路 6014 採用使用微晶半導體膜的薄膜電晶體形成。藉由採用比使用微晶半導體膜的薄膜電晶體可獲得高的電場效應遷移率的電晶體形成信號線驅動電路，可以使被要求比掃描線驅動電路高的驅動頻率的信號線驅動電路的工作穩定。注意，信號線驅動電路 6013 也可以是使用單晶半導體的電晶體、使用多晶半導體的薄膜電晶體、或使用 SOI 的電晶體。對於像素部 6012、信號線驅動電路 6013、掃描線驅動電路 6014 分別藉由 FPC6015 供給電源電位、各種信號等。

此外，信號線驅動電路及掃描線驅動電路也可以一起形成在與像素部相同的基板上。

另外，在另行形成驅動電路的情況下，不一定需要將形成有驅動電路的基板貼附在形成有像素部的基板上，例如也可以貼附在 FPC 上。圖 10B 示出一種液晶顯示裝置

面板的方式，其中只有信號線驅動電路 6023 另行形成，且該信號線驅動電路 6023 與形成在基板 6021 上的像素部 6022 及掃描線驅動電路 6024 連接。像素部 6022 及掃描線驅動電路 6024 採用使用微晶半導體膜的薄膜電晶體形成。信號線驅動電路 6023 藉由 FPC6025 與像素部 6022 連接。對於像素部 6022、信號線驅動電路 6023、掃描線驅動電路 6024 分別藉由 FPC6025 供給電源電位、各種信號等。

此外，也可以採用使用微晶半導體膜的電晶體只將信號線驅動電路的一部分或掃描線驅動電路的一部分形成在與像素部相同的基板上，並且另行形成其他部分並使它連接到像素部。圖 10C 示出一種液晶顯示裝置面板的方式，將信號線驅動電路所具有的類比開關 6033a 形成在與像素部 6032、掃描線驅動電路 6034 相同的基板 6031 上，並且將信號線驅動電路所具有的移位暫存器 6033b 另行形成在不同的基板上並彼此貼合。像素部 6032 及掃描線驅動電路 6034 採用使用微晶半導體膜的薄膜電晶體形成。信號線驅動電路所具有的移位暫存器 6033b 藉由 FPC6035 與像素部 6032 連接。對於像素部 6032、信號線驅動電路、掃描線驅動電路 6034 分別藉由 FPC6035 供給電源電位、各種信號等。

如圖 10A 至 10C 所示，在本發明的液晶顯示裝置中，可以採用使用微晶半導體膜的薄膜電晶體將驅動電路的一部分或全部形成在與像素部相同的基板上。

注意，對於另行形成的基板的連接方法沒有特別的限制，可以使用已知的 COG 方法、引線鍵合方法、或 TAB 方法等。此外，若是能夠電連接，則連接位置不局限於圖 10A 至 10C 所示的位置。另外，也可以另行形成控制器、CPU、記憶體等而連接。

注意，用於本發明的信號線驅動電路不局限於只有移位暫存器和類比開關的方式。除了移位暫存器和類比開關之外，也可以具有其他電路如緩衝器、位準移位器、源極跟隨器等。此外，不一定設置移位暫存器和類比開關，例如既可以使用如解碼器電路的能夠選擇信號線的其他電路代替移位暫存器，又可以使用鎖存器等代替類比開關。

圖 28 示出本發明的顯示裝置的方塊圖。圖 28 所示的顯示裝置包括具有多個具備顯示元件的像素的像素部 700、選擇各個像素的掃描線驅動電路 702、控制對被選擇的像素輸入視頻信號的信號線驅動電路 703。

在圖 28 中，信號線驅動電路 703 包括移位暫存器 704 和類比開關 705。時鐘信號（CLK）、起始脈衝信號（SP）輸入到移位暫存器 704 中。當時鐘信號（CLK）和起始脈衝信號（SP）被輸入時，在移位暫存器 704 中產生時序信號，並輸入到類比開關 705。

此外，類比開關 705 提供有視頻信號。類比開關 705 根據被輸入的時序信號對視頻信號進行取樣，然後供給給後級的信號線。

接著，說明掃描線驅動電路 702 的結構。掃描線驅動

電路 702 包括移位暫存器 706、緩衝器 707。此外，也可以根據情況包括位準移位器。在掃描線驅動電路 702 中，藉由時鐘信號（CLK）及起始信號（SP）的輸入產生選擇信號。產生的選擇信號在緩衝器 707 中被緩衝放大，並被供給到對應的掃描線。一條線上的像素的電晶體的閘極連接到掃描線。而且，由於需要使一條線上的像素的電晶體同時導通，因此使用能夠流過大電流的緩衝器 707。

在全彩色液晶顯示器件中，在將對應於 R（紅）、G（綠）、B（藍）的視頻信號按順序進行取樣而供給給對應的信號線的情況下，用來連接移位暫存器 704 和類比開關 705 的端子數相當於用來連接類比開關 705 和像素部 700 的信號線的端子數的 $1/3$ 左右。因此，藉由將類比開關 705 形成在與像素部 700 相同的基板上，與將類比開關 705 形成在與像素部 700 不同的基板上時相比，可以減少用來連接另行形成的基板的端子數，並且抑制連接不良的發生比率，以可以提高成品率。

此外，圖 28 的掃描線驅動電路 702 包括移位暫存器 706、及緩衝器 707，但是也可以由移位暫存器 706 構成掃描線驅動電路 702。

注意，圖 28 所示的結構只是本發明的顯示裝置的一個方式，信號線驅動電路和掃描線驅動電路的結構不局限於此。

接著，參照圖 29 及圖 30 說明包括使用極性都相同的微晶半導體膜的薄膜電晶體的移位暫存器的一個方式。圖

29 示出本實施例模式的移位暫存器的結構。圖 29 所示的移位暫存器由多個正反器 701 構成。此外，被輸入第一時鐘信號、第二時鐘信號、起始脈衝信號、重置信號而工作。

說明圖 29 的移位暫存器的連接關係。在圖 29 的移位暫存器的第 i 級的正反器 701 中，圖 30 所示的第一佈線 501 連接到第七佈線 717- $i-1$ ，圖 30 所示的第二佈線 502 連接到第七佈線 717- $i+1$ ，圖 30 所示的第三佈線 503 連接到第七佈線 717- i ，圖 30 所示的第六佈線 506 連接到第五佈線 715。

此外，圖 30 所示的第四佈線 504 在第奇數級的正反器中連接到第二佈線 712，在第偶數級的正反器中連接到第三佈線 713，圖 30 所示的第五佈線 505 連接到第四佈線 714。

但是，第一級的正反器 701-1 中的圖 30 所示的第一佈線 501 連接到第一佈線 711，第 n 級的正反器 701- n 的圖 30 所示的第二佈線 502 連接到第六佈線 716。

注意，第一佈線 711、第二佈線 712、第三佈線 713、第六佈線 716 也可以分別稱為第一信號線、第二信號線、第三信號線、第四信號線。再者，第四佈線 714、第五佈線 715 也可以分別稱為第一電源線、第二電源線。

接著，圖 30 示出圖 29 所示的正反器的詳細結構。圖 30 所示的正反器包括第一薄膜電晶體 171、第二薄膜電晶體 172、第三薄膜電晶體 173、第四薄膜電晶體 174、第

五薄膜電晶體 175、第六薄膜電晶體 176、第七薄膜電晶體 177、以及第八薄膜電晶體 178。在本實施例模式中，第一薄膜電晶體 171、第二薄膜電晶體 172、第三薄膜電晶體 173、第四薄膜電晶體 174、第五薄膜電晶體 175、第六薄膜電晶體 176、第七薄膜電晶體 177、以及第八薄膜電晶體 178 是 n 通道型電晶體，它們當閘極-汲極之間的電壓 (V_{gs}) 大於臨界值電壓 (V_{th}) 時處於導通狀態。

接著，下面示出圖 29 所示的正反器的連接結構。

第一薄膜電晶體 171 的第一電極（源極電極或汲極電極的一個）連接到第四佈線 504，第一薄膜電晶體 171 的第二電極（源極電極或汲極電極的另一個）連接到第三佈線 503。

第二薄膜電晶體 172 的第一電極連接到第六佈線 506，第二薄膜電晶體 172 的第二電極連接到第三佈線 503。

第三薄膜電晶體 173 的第一電極連接到第五佈線 505，第三薄膜電晶體 173 的第二電極連接到第二薄膜電晶體 172 的閘極電極，第三薄膜電晶體 173 的閘極電極連接到第五佈線 505。

第四薄膜電晶體 174 的第一電極連接到第六佈線 506，第四薄膜電晶體 174 的第二電極連接到第二薄膜電晶體 172 的閘極電極，第四薄膜電晶體 174 的閘極電極連接到第一薄膜電晶體 171 的閘極電極。

第五薄膜電晶體 175 的第一電極連接到第五佈線

505，第五薄膜電晶體 175 的第二電極連接到第一薄膜電晶體 171 的閘極電極，第五薄膜電晶體 175 的閘極電極連接到第一佈線 501。

第六薄膜電晶體 176 的第一電極連接到第六佈線 506，第六薄膜電晶體 176 的第二電極連接到第一薄膜電晶體 171 的閘極電極，第六薄膜電晶體 176 的閘極電極連接到第二薄膜電晶體 172 的閘極電極。

第七薄膜電晶體 177 的第一電極連接到第六佈線 506，第七薄膜電晶體 177 的第二電極連接到第一薄膜電晶體 171 的閘極電極，第七薄膜電晶體 177 的閘極電極連接到第二佈線 502。

第八薄膜電晶體 178 的第一電極連接到第六佈線 506，第八薄膜電晶體 178 的第二電極連接到第二薄膜電晶體 172 的閘極電極，第八薄膜電晶體 178 的閘極電極連接到第一佈線 501。

注意，以第一薄膜電晶體 171 的閘極電極、第四薄膜電晶體 174 的閘極電極、第五薄膜電晶體 175 的第二電極、第六薄膜電晶體 176 的第二電極、以及第七薄膜電晶體 177 的第二電極的連接部分為節點 143。再者，以第二薄膜電晶體 172 的閘極電極、第三薄膜電晶體 173 的第二電極、第四薄膜電晶體 174 的第二電極、第六薄膜電晶體 176 的閘極電極、以及第八薄膜電晶體 178 的第二電極的連接部分為節點 144。

注意，第一佈線 501、第二佈線 502、第三佈線

503、第四佈線 504 也可以分別稱為第一信號線、第二信號線、第三信號線、第四信號線。再者，第五佈線 505、第六佈線 506 也可以分別稱為第一電源線、第二電源線。

圖 31 示出圖 30 所示的正反器的俯視圖的一個例子。

導電膜 901 包括第一薄膜電晶體 171 的用作第一電極的部分，並藉由與像素電極同時形成的佈線 951 與第四佈線 504 連接。

導電膜 902 包括第一薄膜電晶體 171 的用作第二電極的部分，並藉由與像素電極同時形成的佈線 952 與第三佈線 503 連接。

導電膜 903 包括第一薄膜電晶體 171 的用作閘極電極的部分、以及第四薄膜電晶體 174 的用作閘極電極的部分。

導電膜 904 包括第二薄膜電晶體 172 的用作第一電極的部分、第六薄膜電晶體 176 的用作第一電極的部分、第四薄膜電晶體 174 的用作第一電極的部分、以及第八薄膜電晶體 178 的用作第一電極的部分，並與第六佈線 506 連接。

導電膜 905 包括第二薄膜電晶體 172 的用作第二電極的部分，並藉由與像素電極同時形成的佈線 954 與第三佈線 503 連接。

導電膜 906 包括第二薄膜電晶體 172 的用作閘極電極的部分、以及第六薄膜電晶體的用作閘極電極的部分。

導電膜 907 包括第三薄膜電晶體 173 的用作第一電極

的部分，並藉由佈線 955 與第五佈線 505 連接。

導電膜 908 包括第三薄膜電晶體 173 的用作第二電極的部分、以及第四薄膜電晶體 174 的用作第二電極的部分，並藉由與像素電極同時形成的佈線 956 與導電膜 906 連接。

導電膜 909 包括第三薄膜電晶體 173 的用作閘極電極的部分，並藉由佈線 955 與第五佈線 505 連接。

導電膜 910 包括第五薄膜電晶體 175 的用作第一電極的部分，並藉由與像素電極同時形成的佈線 959 與第五佈線 505 連接。

導電膜 911 包括第五薄膜電晶體 175 的用作第二電極的部分、以及第七薄膜電晶體 177 的用作第二電極的部分，並藉由與像素電極同時形成的佈線 958 與導電膜 903 連接。

導電膜 912 包括第五薄膜電晶體 175 的用作閘極電極的部分，並藉由與像素電極同時形成的佈線 960 與第一佈線 501 連接。

導電膜 913 包括第六薄膜電晶體 176 的用作第二電極的部分，並藉由與像素電極同時形成的佈線 957 與導電膜 903 連接。

導電膜 914 包括第七薄膜電晶體 177 的用作閘極電極的部分，並藉由與像素電極同時形成的佈線 962 與第二佈線 502 連接。

導電膜 915 包括第八薄膜電晶體 178 的用作閘極電極

的部分，並藉由與像素電極同時形成的佈線 961 與導電膜 912 連接。

導電膜 916 包括第八薄膜電晶體 178 的用作第二電極的部分，並藉由與像素電極同時形成的佈線 953 與導電膜 906 連接。注意，微晶半導體層 981 至 988 的一部分分別用作第一至第八薄膜電晶體的通道形成區域。

藉由由使用微晶半導體的電晶體構成圖 28 至圖 30 所示的電路，可以使它進行高速工作。例如，當對使用非晶半導體膜的情況和使用微晶半導體膜的情況進行比較時，在使用微晶半導體膜的情況下獲得較高的電場效應遷移率，因此可以提高驅動電路（例如，掃描線驅動電路 702 的移位暫存器 706）的驅動頻率。因為可以使掃描線驅動電路 702 進行高速工作，所以可以提高框頻率或實現黑螢幕插入等。

當提高框頻率之際，較佳的根據圖像的動作方向產生螢幕的資料。就是說，較佳的進行運動補償來內插資料。像這樣，藉由提高框頻率並內插圖像資料，改善動畫的顯示特性，從而可以進行平滑的顯示。例如，藉由使框頻率為兩倍（例如，120 赫茲、100 赫茲）以上，更佳的為四倍（例如，480 赫茲、400 赫茲）以上，可以減少動畫中的模糊圖像、以及餘像。在此情況下，掃描線驅動電路 702 也藉由提高驅動頻率而工作來可以提高框頻率。

在進行黑螢幕插入的情況下，製造為能夠將圖像資料或成為黑顯示的資料供給給像素部 700 中。結果，成為類

似於脈衝驅動的方式，而可以減少餘像。在此情況下，掃描線驅動電路 702 也藉由提高驅動頻率而工作來可以進行黑螢幕插入。

再者，藉由增大掃描線驅動電路 702 的電晶體的通道寬度或配置多個掃描線驅動電路等，可以實現更高的框頻率。例如，可以實現八倍（例如，960 赫茲、800 赫茲）以上的頻率。在配置多個掃描線驅動電路的情況下，藉由將用來驅動偶數列的掃描線的掃描線驅動電路配置在一側，並將用來驅動奇數列的掃描線的掃描線驅動電路配置在另一側，可以實現框頻率的提高。作為一個例子，第二薄膜電晶體 172 的通道寬度為 $300\mu\text{m}$ 以上，更佳的為 $1000\mu\text{m}$ 以上。

注意，藉由由使用微晶半導體的電晶體構成圖 28 至圖 30 所示的電路，可以縮小設計面積。因此，可以縮小顯示裝置的邊框。例如，當對使用非晶半導體膜的情況和使用微晶半導體膜的情況進行比較時，在使用微晶半導體膜的情況下獲得較高的電場效應遷移率，因此可以縮小電晶體的通道寬度。結果，可以實現顯示裝置的窄邊框化。作為一個例子，第二薄膜電晶體 172 的通道寬度為 $3000\mu\text{m}$ 以下，更佳的為 $2000\mu\text{m}$ 以下。

注意，在圖 30 的第二薄膜電晶體 172 中，對於第三佈線 503 輸出低電平的信號的期間長。其間，第二薄膜電晶體 172 一直處於導通狀態。因此，第二薄膜電晶體 172 受到很強的壓力，而容易使電晶體特性退化。當電晶體特

性退化時，臨界值電壓逐漸增大。結果，電流值逐漸縮小。於是，第二薄膜電晶體 172 的通道寬度較佳的為大，以便即使電晶體退化也能夠供給充分的電流。或者，較佳的補償電晶體的退化部分以便防止在電晶體的退化時產生的電路工作的障礙。例如，較佳的藉由與第二薄膜電晶體 172 並列地配置電晶體，並使它與第二薄膜電晶體 172 交替處於導通狀態，而使開關特性不容易受到退化的影響。

然而，當對使用非晶半導體膜的情況和使用微晶半導體膜的情況進行比較時，使用微晶半導體膜的電晶體較不容易退化。因此，在使用微晶半導體膜的情況下，可以縮小電晶體的通道寬度。或者，即使不設置對於退化的補償用電路也可以進行正常工作。由此，可以縮小設計面積。

接著，參照圖 27A 和 27B 說明相當於本發明的液晶顯示裝置的一個方式的液晶顯示面板的外觀及截面。圖 27A 是一種面板的俯視圖，其中在與第二基板 4006 之間使用密封材料 4005 密封將形成在第一基板 4001 上的微晶半導體膜用作通道形成區域的薄膜電晶體 4010 及液晶元件 4013。圖 27B 相當於沿著圖 27A 的 M-N 線的截面圖。

以圍繞形成在第一基板 4001 上的像素部 4002 和掃描線驅動電路 4004 的方式設置有密封材料 4005。此外，在像素部 4002 和掃描線驅動電路 4004 上設置第二基板 4006。因此，使用第一基板 4001、密封材料 4005 以及第二基板 4006 將像素部 4002 和掃描線驅動電路 4004 與液晶 4008 一起密封。另外，在與第一基板 4001 上的由密封

材料 4005 圍繞的區域不同的區域中安裝有使用多晶半導體膜形成在另行準備的基板上的信號線驅動電路 4003。注意，本實施例模式說明將具有使用多晶半導體膜的薄膜電晶體的信號線驅動電路貼附到第一基板 4001 的例子，但是也可以採用使用單晶半導體的電晶體形成信號線驅動電路並貼合。圖 27A 和 27B 例示包括在信號線驅動電路 4003 中的由多晶半導體膜形成的薄膜電晶體 4009。

此外，設置在第一基板 4001 上的像素部 4002 和掃描線驅動電路 4004 包括多個薄膜電晶體，圖 27B 例示包括在像素部 4002 中的薄膜電晶體 4010。薄膜電晶體 4010 相當於將微晶半導體膜用於通道形成區域的薄膜電晶體。

此外，液晶元件 4013 所具有的像素電極 4030 電連接到薄膜電晶體 4010 的佈線 4040。而且，液晶元件 4013 的相對電極 4031 形成在第二基板 4006 上。像素電極 4030、相對電極 4031、以及液晶 4008 重疊的部分相當於液晶元件 4013。

注意，作為第一基板 4001、第二基板 4006，可以使用玻璃、金屬（典型的是不銹鋼）、陶瓷、塑膠。作為塑膠，可以使用 FRP（纖維強化塑膠）板、PVF（聚氟乙烯）薄膜、聚酯薄膜或丙烯酸樹脂薄膜。此外，也可以採用具有使用 PVF 薄膜及聚酯薄膜夾鋁箔的結構的薄片。

另外，為控制像素電極 4030 和相對電極 4031 之間的距離（單元間隙）而設置球狀隔離物 4035。注意，也可以使用藉由選擇性地蝕刻絕緣膜來獲得的隔離物。

此外，提供到另行形成的信號線驅動電路 4003 和掃描線驅動電路 4004 或像素部 4002 的各種信號及電位從 FPC4018 藉由引導佈線 4014、4015 供給。

在本實施例模式中，連接端子 4016 由與液晶元件 4013 所具有的像素電極 4030 相同的導電膜形成。此外，引導佈線 4014、4015 由與源極電極或汲極電極的佈線 4040 相同的導電膜形成。

連接端子 4016 藉由各向異性導電膜 4019 電連接到 FPC4018 所具有的端子。

注意，雖然未圖示，但是本實施例模式所示的液晶顯示裝置具有取向膜、偏光板，還可以具有顏色濾光片及遮罩膜。

此外，圖 27A 和 27B 示出另行形成信號線驅動電路 4003 而安裝到第一基板 4001 的例子，但是本實施例模式不局限於此。既可以另行形成掃描線驅動電路而安裝，又可以只將信號線驅動電路的一部分或掃描線驅動電路的一部分另行形成而安裝。

本實施例模式可以與其他實施例模式所記載的結構組合而實施。

實施例模式 4

根據本發明獲得的液晶顯示裝置可以使用於主動矩陣型液晶模組。就是說，在將該模組安裝到顯示部中的所有電子設備中可以實施本發明。

作為這種電子設備的例子，可以舉出如下：拍攝裝置如攝影機、數位相機等；頭戴式顯示器（護目鏡型顯示器）；汽車導航系統；投影機；汽車音響；個人電腦；可攜式資訊終端（可攜式電腦、行動電話、或電子書等）。圖 11A 至 11C 示出了它們的一個例子。

圖 11A 示出電視裝置。如圖 11A 所示，可以將顯示模組嵌入到外殼中來完成電視裝置。還安裝有 FPC 的顯示面板也稱為顯示模組。由顯示模組形成主螢幕 2003，並且作為其他輔助設備還具有揚聲器部 2009、操作開關等。像這樣，可以完成電視裝置。

如圖 11A 所示，將利用顯示元件的顯示用面板 2002 安裝在外殼 2001 中，可以由接收器 2005 接收普通的電視廣播。而且，可以藉由經由數據機 2004 連接到採用有線或無線方式的通信網路，進行單方向（從發送者到接收者）或雙方向（在發送者和接收者之間或在接收者之間）的資訊通信。可以使用安裝在外殼中的開關或遙控裝置 2006 來操作電視裝置。也可以在遙控裝置 2006 中設置用於顯示輸出資訊的顯示部 2007。

另外，除了主螢幕 2003 之外，在電視裝置中，可以使用第二顯示用面板形成子螢幕 2008，成為附加有顯示頻道或音量等的結構。在這種結構中，可以使用視角優良的液晶顯示面板形成主螢幕 2003，而使用能夠以低耗電量來顯示的液晶顯示用面板形成子螢幕。另外，為了優先降低耗電量，也可以使用以低耗電量來顯示的液晶顯示用

面板形成主螢幕 2003，而使用液晶顯示用面板形成子螢幕，並使子螢幕可以閃亮和閃滅。

圖 12 示出表示電視裝置的主要結構的方塊圖。在顯示面板中，形成有像素部 921。信號線驅動電路 922 和掃描線電路 923 也可以以 COG 方式安裝到顯示面板上。

作為其他外部電路的結構，在視頻信號的輸入一側配備視頻信號放大電路 925、視頻信號處理電路 926、以及控制電路 927 等。該視頻信號放大電路 925 放大由調諧器 924 接收的信號中的視頻信號，該視頻信號處理電路 926 將從視頻信號放大電路 925 輸出的信號轉換為對應於紅、綠、藍各種顏色的顏色信號，該控制電路 927 將視頻信號處理電路 926 的視頻信號轉換為驅動器 IC 的輸入規格。控制電路 927 將信號分別輸出到掃描線一側和信號線一側。在進行數位驅動的情況下，也可以具有如下結構，即在信號線一側設置信號分割電路 928，並且將輸入數位信號分成 m 個來供給。

由調諧器 924 接收的信號中的音頻信號被傳送到音頻信號放大電路 929，並且其輸出經過音頻信號處理電路 930 供給到揚聲器 933。控制電路 931 從輸入部 932 接收接收站（接收頻率）和音量的控制資訊，並且將信號傳送到調諧器 924、音頻信號處理電路 930。

當然，本發明不局限於電視裝置，並且可以適用於各種各樣的用途，如個人電腦的監視器、尤其是大面積的顯示媒體如火車站或機場等的資訊顯示板或者街頭上的廣告

顯示板等。

圖 11B 示出行動電話 2301 的一個例子。該行動電話 2301 包括顯示部 2302、操作部 2303 等構成。在顯示部 2302 中，藉由應用上述實施例模式所說明的液晶顯示裝置可以提高量產性。

此外，圖 11C 所示的可攜式電腦包括主體 2401、顯示部 2402 等。藉由將上述實施例模式所示的液晶顯示裝置應用於顯示部 2402，可以提高量產性。

實施例 1

圖 32A 和 32B 示出形成微晶矽膜並藉由拉曼分光法檢測該膜的結晶性的結果。

以如下成膜條件形成微晶矽膜：RF 電源頻率為 13.56MHz；成膜溫度為 280℃；氬流量和矽烷流量的比率為 100：1；壓力為 280Pa。此外，圖 32A 是拉曼散射光譜，並且是對成膜時的 RF 電源的電力為 100W 的微晶矽膜和成膜時的 RF 電源的電力為 300W 的微晶矽膜進行比較的檢測結果。

注意，單晶矽膜的結晶峰值為 520.6cm^{-1} 。不言而喻，非晶矽（也稱為 a-Si）不能檢測出可說是結晶峰值的值。如圖 32B 所示，只檢測出以 480cm^{-1} 為頂點的坡度小的山形。本發明說明中的微晶矽膜是指當使用拉曼分光器檢測時可以在 480cm^{-1} 以上至低於 520.6cm^{-1} 確認到結晶峰值的膜。

成膜時的 RF 電源的電力為 100W 的微晶矽膜的結晶峰值位置為 518.6cm^{-1} ，半峰全寬 (FWHM) 為 11.9cm^{-1} ，結晶/非晶峰值強度比 (I_c/I_a) 為 4.1。

此外，成膜時的 RF 電源的電力為 300W 的微晶矽膜的結晶峰值位置為 514.8cm^{-1} ，半峰全寬 (FWHM) 為 18.7cm^{-1} ，結晶/非晶峰值強度比 (I_c/I_a) 為 4.4。

如圖 32A 和 32B 所示，因 RF 電力而產生峰值遷移和半峰全寬之間的大的差異。這是因為在使用大電力的情況下離子衝擊增加而妨礙粒子的生長，從而有使粒徑為小的傾向。此外，由於形成用於圖 32A 的檢測的微晶矽膜的 CVD 裝置的電源頻率為 13.56MHz，因此結晶/非晶峰值強度比 (I_c/I_a) 為 4.1 或 4.4。但是，已確認到若是 RF 電源頻率為 27MHz 就可以將結晶/非晶峰值強度比 (I_c/I_a) 設定為 6。因此，藉由將 RF 電源頻率設定為比 27MHz 更高，例如 2.45GHz，可以進一步提高結晶/非晶峰值強度比 (I_c/I_a)。

實施例 2

在本實施例中，示出採用如下方法製造通道蝕刻結構的反交錯型薄膜電晶體的例子：藉由在使氫電漿起作用了的閘極絕緣膜上（當使氫電漿起作用的同時在閘極絕緣膜上）形成微晶半導體膜，在閘極絕緣膜表面上產生微晶核，來促進結晶生長的方法。

首先，在基板 250 上形成閘極電極 251。使用鈦、

鋁、鉻、鈹、鎢、銅、鋁等的金屬材料或上述材料的合金材料形成閘極電極 251。由於在製造大型顯示裝置的情況下，較佳的採用低電阻的閘極電極，因此使用鋁或鋁合金。再者，較佳的為防止在鋁中產生小丘而層疊包含鋁的膜和高熔點金屬膜。在此，使用包含鈹的鋁膜和鈹膜的疊層。由疊層構成的閘極電極的總和膜厚度為 300nm。此外，在後面的處理中，為與用來連接到 FPC 的電子端子電連接而形成到達閘極電極 251 的接觸孔。較佳的使用相同的掩模作為形成後面形成的到達源極電極及汲極電極的接觸孔的掩模和形成到達閘極電極 251 的接觸孔的掩模。再者，藉由使用相同的材料作為閘極電極和源極電極雙方的主要成分，可以擴大蝕刻的容許範圍。

注意，因為在閘極電極 251 上形成半導體膜及佈線，所以較佳的將其緣加工為錐形狀以防止斷開。

接著，在閘極電極 251 上按順序形成閘極絕緣膜 252a、252b、微晶半導體膜 253、緩衝層 254、添加有賦予一導電型的雜質的半導體膜 255（參照圖 33A）。可以藉由 CVD 法及濺射法等使用氧化矽膜、氮化矽膜、氧氮化矽膜或氮氧化矽膜分別形成閘極絕緣膜 252a、252b。在此示出的方式中，作為閘極絕緣膜 252a、252b，按順序層疊氧化矽膜或氧氮化矽膜、以及氮化矽膜或氮氧化矽膜形成。在本實施例中，以疊層構成的閘極絕緣膜的總和膜厚度為 300nm。

在本實施例中，在閘極絕緣膜 252b 的表面上當使氫

電漿起作用的同時（在使氫電漿起作用了的閘極絕緣膜 252b 上）形成微晶半導體膜 253。

藉由在使氫電漿起作用了的閘極絕緣膜上形成微晶半導體膜，可以促進微晶的結晶生長。這是因為能夠使用氫電漿的氫終結閘極絕緣膜表面來實現惰性化。因此，可以獲得電特性高且可靠性也良好的微晶半導體膜。

以隨著成膜的進行而縮小對於矽氣體的流量的氫的流量比的方式增加矽氣體的流量，並減少氫的流量來形成微晶半導體膜 253。例如，將成膜開始時的氫的流量：矽氣體的流量設定為 1000：1 左右，然後直到當成膜結束時的氫的流量：矽氣體的流量成為 50：1 左右逐漸增加矽氣體的流量，並減少氫的流量來形成微晶半導體膜 253，即可。氫及矽氣體的流量控制既可以以每一定時間改變而逐步進行，又可以連續地進行。也可以在開始成膜之後立即停止供給矽氣體而只供給氫作為成膜氣體（即，矽氣體的流量為 0），來提供進行氫電漿處理的時間。例如，可以使用矽烷作為矽氣體。

在本實施例中，藉由進一步控制氫及矽氣體的流量，即減少氫並增加矽氣體，藉由縮小對於矽氣體的流量的氫的流量的比例，來在微晶半導體膜上連續地形成緩衝層。也可以藉由進一步減少氫的流量而只使用矽氣體（氫化矽氣體、或鹵化矽氣體）來進行形成緩衝層的處理。可以在不使微晶半導體膜 253 的生長表面接觸到大氣的狀態下，在該微晶半導體膜上形成非晶半導體膜作為緩衝層。

藉由控制微晶半導體膜 253 的成膜氣體中的氫和矽氣體的流量比，可以在閘極絕緣膜 252b 表面上連續地形成氫電漿、微晶半導體膜 253、緩衝層 254。作為控制氫和矽氣體的流量的方法，例如當開始形成微晶半導體膜時，使氫的流量：矽氣體的流量為 1000：1，然後逐漸減少氫的流量並增加矽氣體的流量，當結束形成微晶半導體膜 53 時使氫的流量：矽氣體的流量為 50：1 左右，即可。

此外，微晶半導體膜 253 的氧濃度為 $5 \times 10^{19} \text{cm}^{-3}$ 以下、較佳的為 $1 \times 10^{19} \text{cm}^{-3}$ 以下，且氮及碳的濃度較佳的分別為 $1 \times 10^{18} \text{cm}^{-3}$ 以下。藉由降低混入到微晶半導體膜中的氧、氮、及碳的濃度，可以防止微晶半導體膜成為 n 型。

此外，根據本實施例獲得的微晶半導體膜 253 在從下面（基板 250 一側）向上面的縱方向上生長，即是針形結晶。在微晶半導體膜中非晶體和結晶結構混在一起，在結晶區域和非晶體區域之間因局部應力產生裂縫，從而容易產生空隙。新的自由基介入到該空隙中而會引起結晶生長。因為上面的結晶表面增大，所以容易以針形生長到上面。如上所述，當微晶半導體膜即使在縱方向上生長時其速度也為非晶半導體膜的成膜速度的 1/10 至 1/100 的高速。

在本實施例中，微晶半導體膜 253 的膜厚度為 25nm，緩衝層 254 的膜厚度為 125nm，添加有賦予一導電型的雜質的半導體膜 255 的膜厚度為 50nm。

接著，在形成添加有賦予一導電型的雜質的半導體膜

255 上形成掩模。藉由光微影技術或噴墨法形成掩模。此外，也可以至少連續地形成閘極絕緣膜 252a、252b、微晶半導體膜 253、以及緩衝層 254。藉由至少在不接觸到大氣的狀態下連續地形成閘極絕緣膜 252a、252b、微晶半導體膜 253、以及緩衝層 254，可以不被大氣成分、懸浮在大氣中的污染雜質元素污染地形成各個疊層介面，從而可以減少薄膜電晶體的不均勻。

接著，藉由使用掩模蝕刻微晶半導體膜 253、緩衝層 254、以及添加有賦予一導電型的雜質的半導體膜 255，將微晶半導體膜 261、緩衝層、以及添加有賦予一導電型的雜質的半導體膜的上表面形狀加工為所希望的形狀。當進行此加工之際，較佳的將每個緣的截面形狀為錐形。藉由蝕刻為具有錐形的形狀，可以防止添加有賦予一導電型的雜質的半導體膜和微晶半導體膜 261 直接接觸。緣的錐形角為 90° 至 30° ，較佳的為 80° 至 45° 。由此，添加有賦予一導電型的雜質的半導體膜和微晶半導體膜 261 之間的距離變長，從而可以防止洩漏電流的產生。此外，還可以防止步階狀所引起的佈線斷開。

然後，去除掩模。接著，在添加有賦予一導電型的雜質的半導體膜及閘極絕緣膜 252b 上形成導電膜。使用鋁、或者添加有銅、矽、鈦、鉍、銦、鉬等提高耐熱性的元素或防止小丘產生的元素的鋁合金以單層或疊層形成導電膜。在本實施例中，採用按順序層疊鉬膜、鋁膜、鉬膜的三層疊層，其總和膜厚度為 300nm。由於閘極電極 251

也與該導電膜相同地使用鉬膜，因此當採用濺射法時可以使用相同的靶子而可以降低材料成本。然後，在其上形成新的掩模。

接著，使用掩模進行蝕刻來分離導電膜，以使其分別成為電極或佈線，然後形成源極電極及汲極電極 271a 至 271c。在本實施例中，進行濕蝕刻作為導電膜的蝕刻。由於當進行濕蝕刻時蝕刻為各向同性地被蝕刻，因此掩模的緣和源極電極 271a 至 271c 的緣不一致，源極電極及汲極電極 271a 至 271c 的上表面形狀變成小於掩模的上表面形狀。

接著，繼續使用相同的掩模蝕刻添加有賦予一導電型的雜質的半導體膜及緩衝層來形成源區域及汲區域 272、及緩衝層 273。在此，採用幹蝕刻只蝕刻緩衝層 273 的一部分。注意，緩衝層 273 覆蓋微晶半導體膜 261 的表面以不使微晶半導體膜 261 的表面露出。緩衝層 273 防止寄生通道的產生，還用作源區域及汲區域的蝕刻時的蝕刻停止層。微晶半導體膜 261 上的緩衝層 273 由其包含的氫遮斷外部空氣及蝕刻殘渣而起到保護微晶半導體膜 261 的作用。緩衝層 273 可以停止蝕刻時的自由基。若是在其結構中不設置緩衝層 273 而只設置微晶半導體膜 261，就會在膜厚度的方向上氧化而使電晶體的電特性退化。例如，引起電場效應遷移率的降低、亞臨界值（S 值）的增大。此外，在可用作緩衝層 273 的材料之中，作為氧化防止對策，包含氫的非晶矽膜特別有效。該包含氫的非晶矽膜即

使因蝕刻而形成溝槽部也可以防止氧化，這是因為其表面被氫終結的緣故。

緩衝層 273 的一部分被蝕刻，在源極電極及汲極電極 271a 至 271c 之間形成有溝槽部。藉由形成溝槽部來確實地去除其上的添加有賦予一導電型的雜質的半導體膜，從而可以防止因殘渣的磷等的賦予一導電型的雜質而產生寄生通道。

此外，緩衝層 273 的溝槽部的緣與源區域及汲區域 272 的緣大致一致。該溝槽部藉由與形成源區域及汲區域 272 的蝕刻相同的蝕刻過程形成。因此，這是與相同光微影掩模的掩模的開口部大致一致的自對準過程。藉由在緩衝層 273 中形成溝槽部，使洩漏電流流過的路線變長。而有降低截止電流的效果。此外，緩衝層覆蓋微晶半導體膜 261 以不使微晶半導體膜 261 的表面露出，並且因為緩衝層混入有氫、以及/或氟，所以發揮防止微晶半導體膜 261 的氧化的效果。

源區域及汲區域 272 下方的緩衝層 273 和微晶半導體膜 261 的通道形成區域上的緩衝層 273 由相同的材料構成（碳、氮、氧的濃度為 $3 \times 10^{19} \text{cm}^{-3}$ ，較佳的為 $5 \times 10^{18} \text{cm}^{-3}$ 以下），並同時形成，而且都具有溝槽部。

緩衝層 273 的溝槽部是加工為溝槽狀的區域，它用來分離源區域和汲區域來降低源區域及汲區域的洩漏電流。並且，其殘存膜厚度是能夠防止下層的微晶半導體膜的氧化的厚度。另一方面，在緩衝層 273 中，與微晶半導體膜

和源區域及汲區域重疊的區域具有 50nm 至 400nm 的膜厚度，並形成可以提高耐壓性的高電阻區域。藉由在閘極電極 251 和源極電極及汲極電極 271a 至 271c 之間設置緩衝層 273，可以不使包含在源區域及汲區域中的賦予一導電型的雜質和用來控制微晶半導體膜的臨界值電壓的賦予一導電型的雜質彼此混合。當賦予不同的導電型的雜質互相混合時會形成複合中心，而使洩漏電流流出，從而不能獲得降低截止電流的效果。

在本實施例中，也可以說在閘極電極 251 和源極電極及汲極電極 271a 至 271c 之間設置有具有 125nm 的膜厚度的高電阻區域。在源區域及汲區域 272 之下的緩衝層 273 延伸在形成通道形成區域的微晶半導體膜 261 上而與其重疊。

此外，源極電極 271a 至 271c 的緣和源區域及汲區域 272 的緣不一致而偏離，並且源區域及汲區域 272 的緣位於源極電極及汲極電極 271a 至 271c 的緣的外側。

接著，去除掩模。

藉由上述處理，可以形成通道蝕刻型薄膜電晶體 279。

接著，形成覆蓋源極電極 271a 至 271c、源區域及汲區域 272、緩衝層 273、微晶半導體膜 261、以及閘極絕緣膜 252b 的絕緣膜 276。注意，絕緣膜 276 用來防止懸浮在大氣中的有機物及金屬物、水蒸氣等的污染雜質的侵入，較佳的為緻密的膜。在本實施例中，作為絕緣膜

276，以 300nm 的膜厚度形成氮化矽膜。注意，藉由將氮化矽膜用作絕緣膜 276，可以使緩衝層 273 中的氧濃度為 $1 \times 10^{19} \text{ atoms/cm}^3$ 以下，較佳的為 $5 \times 10^{18} \text{ atoms/cm}^3$ 以下。

接著，在絕緣膜 276 上形成掩模，然後選擇性地進行蝕刻形成接觸孔。在本實施例中，形成到達源極電極或汲極電極 271c 的第一接觸孔、到達與源極電極電連接的源極佈線的第二接觸孔、以及到達閘極電極 251 的第三接觸孔。在像素部的每個像素中形成第一接觸孔，而在像素部的外側形成第二接觸孔和第三接觸孔。形成第二接觸孔和第三接觸孔以實現與用來與外部端子連接的端子電極電連接。在本實施例中，因為鉬膜在源極電極或汲極電極 271c 和閘極電極 251 的雙方中都起到蝕刻停止膜的作用，所以可以使用相同的掩模形成。

其次，形成像素電極 277 及端子電極或連接電極。該階段中的截面圖相當於圖 33B，而圖 33B 相當於沿著圖 33C 的 A-B 線的截面圖。

此外，作為像素電極 277，可以使用具有透光性的導電材料諸如包含氧化鎢的銦氧化物、包含氧化鎢的銦鋅氧化物、包含氧化鈦的銦錫氧化物、銦錫氧化物（以下稱為 ITO）、銦鋅氧化物、添加有氧化矽的銦錫氧化物等。

另外，可以使用包含導電高分子（也稱為導電聚合體）的導電組成物來形成像素電極 277。使用導電組成物形成的像素電極較佳的具有如下條件：薄層電阻為 $10000 \Omega/\square$ 以下，當波長為 550nm 時的透光率為 70% 以上。此

外，包含在導電組成物中的導電高分子的電阻率較佳的為 $0.1 \Omega \cdot \text{cm}$ 以下。

作為導電高分子，可以使用所謂的 π 電子共軛類導電高分子。例如，可以舉出聚苯胺或其衍生物、聚吡咯或其衍生物、聚噻吩或其衍生物、或者由上述物質中的兩種以上形成的共聚體等。

通道蝕刻型薄膜電晶體的製造方法少，從而可以縮減成本。此外，藉由使用微晶半導體膜構成通道形成區域，可以獲得 $1\text{cm}^2/\text{V} \cdot \text{sec}$ 至 $20\text{cm}^2/\text{V} \cdot \text{sec}$ 的電場效應遷移率。因此，該薄膜電晶體可以用作像素部的像素的開關元件，還可以用作形成掃描線（閘極線）一側的驅動電路的元件。

如上所述，藉由在微晶半導體膜 261 上設置緩衝層，可以製造洩漏電流得到減少的耐壓性高的薄膜電晶體。因此，具有高可靠性的液晶顯示裝置還適用於施加有 15V 的電壓的液晶顯示裝置。

此外，本實施例可以與實施例模式 1 至 4 的任何一個自由地組合。

實施例 3

在本實施例中，參照圖 34A 至 34D 說明對微晶半導體膜照射雷射的製造方法的例子。

雖然在此未圖示，但在基板上形成閘極電極。而且，以覆蓋閘極電極的方式形成閘極絕緣膜 351。

然後，如圖 34A 所示在閘極絕緣膜 351 上形成微晶半導體膜。

當要在閘極絕緣膜 351 上藉由 PCVD 法等形成微晶半導體膜時，有時在閘極絕緣膜 351 和包含結晶的半導體膜 353 的介面附近形成包括比半導體膜 353 多的非晶成分的区域（在此稱為介面區域 352）。此外，在要藉由 PCVD 法等形成膜厚度為 10nm 以下的極薄的微晶半導體膜的情況下，雖然可以形成包含微晶粒的半導體膜，但是難以獲得在膜的整個面上均勻地包含有優質的微晶粒的半導體膜。在這種情況下，下面所示的照射雷射的雷射處理有效。

接著，如圖 34B 所示，以包含在半導體膜 35 的結晶為種並以不使半導體膜熔化的能量密度從表面一側照射雷射。在此的雷射處理（下面也稱為“LP”）利用在藉由輻射加熱不使微晶矽膜熔化的狀態下進行的固相結晶生長法。就是說，利用堆積了的微晶矽膜不成為液相狀態的臨界區域，所以從其意思來看，也可以稱其為“臨界生長”。

圖 34C 示出剛照射雷射之後的截面圖。使用波長為 400nm 以下的受激準分子雷射、以及 YAG 雷射或 YVO4 雷射的第二高次諧波（波長為 532nm）至第四高次諧波（波長為 266nm）作為雷射的光源來進行照射。這種雷射利用光學系統聚光為線形或射束點形，將其能量密度調節為不使半導體膜 353 熔化的能量密度範圍內來照射，並且

如上所述，在基板的預定的區域中掃描聚光了的雷射光束進行處理。因為在不使半導體膜 353 熔化的範圍內設定能量密度即可，所以可以使線形雷射的長度變長並增大射束點的面積。而線形的雷射光束的長度越長，則越可以在短時間內處理大面積基板。

雷射可以起作用於微晶矽膜和閘極絕緣膜的介面。由此，以微晶矽膜的表面一側的結晶為種，從該表面在朝向閘極絕緣膜的介面的方向上進行固相結晶生長來形成大致為柱狀的結晶生長。藉由 LP 處理的固相結晶生長法不擴大結晶的粒徑，而改善在膜的厚度方向上的結晶性。

在 LP 處理中，藉由聚光為較長的矩形（成為線形雷射光束），例如可以以一次的雷射光束掃描處理 $730\text{nm} \times 920\text{nm}$ 的玻璃基板上的微晶矽膜。在此情況下，將重疊線形雷射光束的比率（重疊率）設定為 0% 至 90%（較佳的為 0% 至 67%）來進行處理。由此，縮短一個基板所需的處理時間，以可以提高生產性。雷射光束的形狀並不局限於線形，在採用面狀雷射光束時也可以進行同樣的處理。此外，在本實施例的 LP 處理中不受玻璃基板的尺寸限制，而可以應用於各種尺寸的基板。

在這種臨界生長中還具有如下特徵：不形成現有的低溫多晶矽中產生的表面的凹凸（被稱為“皺紋”的凸狀體），並且 LP 處理之後的矽表面保持平滑性。在本實施例中，藉由將雷射直接作用於已形成的微晶矽膜而獲得的結晶矽膜 354 的生長機構及膜性質明顯地與藉由沉積膜獲

得的微晶矽膜不同。此外，還明顯地與藉由傳導加熱改變其性質的微晶矽膜（非專利文獻 1 所示的微晶矽膜）的生長機構及膜性質不同。

在本發明說明中，將藉由對形成膜之後的微晶半導體膜進行 LP 處理而獲得的結晶性的半導體稱為半晶半導體。

接著，在結晶矽膜 354 上層疊緩衝層 355。在使用包含氫的非晶矽膜作為緩衝層 355 的情況下，可以在形成包含氫的非晶矽膜的同時終結結晶矽膜 354 中的氫。

在下面的處理中，與實施例模式 1 相同地層疊添加有一導電型的雜質的半導體膜並在其上形成掩模。接著，使用掩模蝕刻微晶半導體膜、緩衝層、以及添加有賦予一導電型的雜質的半導體膜。接著，形成導電膜並在其上形成掩模。接著，使用該掩模蝕刻導電膜並進行分離來形成源極電極及汲極電極。再者，使用相同的掩模進行蝕刻來形成源區域及汲區域，並在緩衝層中形成凹部。

藉由上述處理，可以形成通道蝕刻型薄膜電晶體。

藉由本實施例的 LP 處理，改善閘極絕緣膜介面區域的結晶性並發揮提高具有底閘結構的電晶體的電特性的作用。

此外，本實施例可以與實施例模式 1 至 4 的任何一個自由地組合。

實施例 4

在本實施例中，對本發明的薄膜電晶體和其比較例子的薄膜電晶體的電場效應遷移率進行比較計算，並示出其結果。比較例子的薄膜電晶體是指只以非晶矽膜為啓動層的通道蝕刻型薄膜電晶體。

圖 35A 示出本發明的薄膜電晶體的結構模型圖。此外，圖 35B 示出比較例子的薄膜電晶體的結構模型圖。圖 35A 示出由氧化矽構成的基板 400、由膜厚度為 150nm 的鉬膜構成的閘極電極 401、由膜厚度為 300nm 的氮化矽構成的閘極絕緣膜 402、微晶矽膜 406、具有 50nm 的凹部的非晶矽膜 403、源極電極 404、汲極電極 405。此外，圖 35B 是沒有微晶矽膜 406 的比較例子的結構。

使用矽穀科技（Silvaco）公司製造的類比軟體“ATLAS”，將非晶矽膜的參數分別設定為以下所示的數值而進行計算。

傳導帶中的受主的狀態密度（ $n_{ta}=7.4e21$ ）、價電子帶中的施主的狀態密度（ $n_{td}=7.4e21$ ）、價電子帶中的受主的狀態密度的衰減係數（ $w_{ta}=0.04$ ）、價電子帶中的施主的狀態密度的衰減係數（ $w_{td}=0.04$ ）、高斯分佈中的受主能級的全狀態密度（ $n_{ga}=7.0e16$ ）、高斯分佈中的施主能級的全狀態密度（ $n_{gd}=5.0e18$ ）、高斯分佈中的受主能級的峰值的能量（ $e_{ga}=0.5$ ）、高斯分佈中的施主能級的峰值的能量（ $e_{gd}=0.9$ ）、高斯分佈中的受主的全狀態密度的衰減係數（ $w_{ga}=0.4$ ）、高斯分佈中的施主的全狀態密度的衰減係數（ $w_{gd}=0.3$ ）、受主能級的傾斜緩慢的兩

緣分中的電子俘獲截斷面積 ($\text{sigtae}=1.e-17$)、受主能級的傾斜緩慢的兩緣分中的電洞俘獲截斷面積 ($\text{sigtah}=1.e-15$)、施主能級的傾斜緩慢的兩緣分中的電子俘獲截斷面積 ($\text{sigtdc}=1.e-15$)、施主能級的傾斜緩慢的兩緣分中的電子俘獲截斷面積 ($\text{sigtdh}=1.e-17$)、受主的高斯分佈中的電子俘獲截斷面積 ($\text{siggae}=2.e-16$)、受主的高斯分佈中的電洞俘獲截斷面積 ($\text{siggah}=2.e-15$)、施主的高斯分佈中的電子俘獲截斷面積 ($\text{siggdc}=2.e-15$)、施主的高斯分佈中的電洞俘獲截斷面積 ($\text{siggdh}=2.e-16$)。

此外，將微晶矽膜的參數分別設定為以下所示的數值。注意，微晶矽膜的缺陷密度為非晶矽膜的十分之一。

價電子帶中的受主的狀態密度 ($\text{nta}=7.4e20$)、價電子帶中的施主的狀態密度 ($\text{ntd}=7.4e20$)、高斯分佈中的受主等級的全狀態密度 ($\text{nga}=7.0e15$)、高斯分佈中的施主等級的全狀態密度 ($\text{ngd}=5.0e17$)。其他參數與非晶矽膜的參數相同。

圖 36 示出計算結果。如圖 36 所示，因微晶矽膜存在而與比較離子相比電場遷移率增大。

根據圖 35A 中的模型圖，對於 $V_g=-10V$ 、 $V_{ds}=14V$ 的薄膜電晶體的截止狀態、以及 $V_g=+10eV$ 、 $V_{ds}=14V$ 的薄膜電晶體的導通狀態進行電子濃度的計算。計算的結果是確認到如下事實：因微晶矽膜存在而微晶矽膜用作通道形成區域。

再者，根據圖 36 所示的結果進行以下所示的計算。

根據圖 36 所示的結果，將本發明的薄膜電晶體的電場效應遷移率假定為現有的薄膜電晶體的 10 倍而進行計算。

在液晶顯示裝置中，對於像素電極施加 -5V 至 +5V 的電壓。圖 37 是將進行 -5V 至 +5V 的電壓變化之際所需的時間作為橫軸，將電壓作為縱軸的曲線圖。

作為比較例子，使用將非晶矽膜作為啟動層的通道蝕刻型的現有薄膜電晶體。在圖 37 中，以三角標記示出比較例子。

此外，對於像素部具有 525 個閘佈線的液晶顯示裝置，將一個像素的電容假定為 100fF 而進行計算。另外，將薄膜電晶體的通道長度設定為 $3\mu\text{m}$ ，而將其通道寬度設定為 $15\mu\text{m}$ 。

在 525 個閘佈線中，當框頻率為 60Hz 時，可以在進行 -5V 至 +5V 的電壓變化所需的時間大約為少於 30 μ 秒的條件下，對液晶施加電壓進行顯示。當為進一步實現動畫顯示而將框頻率設為 4 倍時，因為現有的薄膜電晶體的電壓變化所需的時間為 10.2 μ 秒，所以圖像顯示性能降低。

此外，隨著液晶顯示裝置的顯示面積增大而需要大於 100fF 的電容。需要大於 100fF 的電容意味著所需要的時間也變長，因此在具有大面積的顯示面積的液晶顯示裝置中，現有的薄膜電晶體在將框頻率設為 2 倍的情況下就有圖像顯示性能降低的憂慮。

圖 37 中的圓形標記示出本發明的薄膜電晶體的資料。因為本發明的薄膜電晶體的電壓變化所需的時間為

1.9 μ 秒，所以即使將框頻率設為 4 倍也可以正常地驅動。因此，本發明的薄膜電晶體可以說是適合於動畫顯示的薄膜電晶體。再者，即使需要大於 100fF 的電容，也由於本發明的薄膜電晶體的電壓變化所需的時間充分短，從而可以說是適合於用於具有大面積的顯示面積的液晶顯示裝置的薄膜電晶體。

實施例 5

本實施例示出對於本發明所示的薄膜電晶體的電晶體特性及電子密度分佈進行計算的結果。作為裝置類比，使用矽穀科技公司製造的類比軟體“ATLAS”。

圖 38 示出裝置結構。作為絕緣基板 801，假定為以氧化矽（介電常數為 4.1）為主要成分的玻璃基板（厚度為 0.5 μ m）。注意，在實際的製造方法中，大多採用 0.5mm、0.7mm 的厚度等作為絕緣基板 801 的厚度。絕緣基板 801 的厚度定義為不使其之下的電場影響到薄膜電晶體特性的充分的厚度。

在絕緣基板 801 上層疊有由鉬形成的閘極電極 803（厚度為 150nm）。鉬的功函數為 4.6eV。

在閘極電極 803 上層疊有由氮化矽膜（介電常數為 7.0，厚度為 110nm）和氧氮化矽膜（介電常數為 4.1，厚度為 110nm）構成的疊層結構的絕緣膜 805。

在閘極電極 805 上層疊有 μ c-Si 膜 807 和 a-Si 膜 809。在此的各個條件為如下：厚度為 0nm 的 μ c-Si 膜 807

和厚度為 100nm 的 a-Si 膜 809 的疊層；厚度為 10nm 的 $\mu\text{c-Si}$ 膜 807 和厚度為 90nm 的 a-Si 膜 809 的疊層；厚度為 50nm 的 $\mu\text{c-Si}$ 膜 807 和厚度為 50nm 的 a-Si 膜 809 的疊層；厚度為 90nm 的 $\mu\text{c-Si}$ 膜 807 和厚度為 10nm 的 a-Si 膜 809 的疊層；厚度為 100nm 的 $\mu\text{c-Si}$ 膜 807 和厚度為 0nm 的 a-Si 膜 809 的疊層。

此外，a-Si 膜 809 在第一 a-Si (n+) 膜 811 和第二 a-Si (n+) 膜 813 重疊的區域中，除了上述厚度以外還層疊有 50nm 的 a-Si 膜。就是說，在不形成第一 a-Si (n+) 膜 811 和第二 a-Si (n+) 膜 813 的區域中，a-Si 膜為其一部分被蝕刻 50nm 的凹部狀。

在 a-Si 膜 809 上層疊有第一 a-Si (n+) 膜 811 (厚度為 50nm) 和第二 a-Si (n+) 膜 813 (厚度為 50nm)。在圖 38 所示的薄膜電晶體中，第一 a-Si (n+) 膜 811 和第二 a-Si (n+) 膜 813 的距離成為通道長度 L。在此，通道長度 L 為 $5\mu\text{m}$ 。此外，通道寬度 W 為 $15\mu\text{m}$ 。

在第一 a-Si (n+) 膜 811 和第二 a-Si (n+) 膜 813 上分別層疊有由鉬 Mo 形成的源極電極 815 和汲極電極 817 (厚度為 300nm)。源極電極 815 和第一 a-Si (n+) 膜 811 之間、以及汲極電極 817 和第二 a-Si (n+) 膜 813 之間定義為歐姆接觸。

圖 39 示出當在圖 38 所示的薄膜電晶體中改變 $\mu\text{c-Si}$ 膜和 a-Si 膜的膜厚度來進行裝置模擬之際的 DC 特性 (V_g - I_d 特性、 $V_d=14\text{V}$) 的結果。此外，圖 40A 和 40B

示出 $\mu\text{c-Si}$ 膜 807 的厚度為 10nm，而 a-Si 膜 809 的厚度為 90nm 時的薄膜電晶體的電子濃度分佈。圖 40A 示出薄膜電晶體處於導通狀態（ V_g 為 +10V， V_d 為 14V）的電子濃度分佈的結果，而圖 40B 示出薄膜電晶體處於截止狀態（ V_g 為 -10V， V_d 為 14V）的電子濃度分佈的結果。

從圖 39 可以看出隨著 a-Si 膜的厚度的加厚而截止電流減少。此外，藉由使 a-Si 膜的厚度為 50nm 以上，可以使 V_g 為 -20V 時的洩漏電流為低於 $1 \times 10^{-13} \text{A}$ 。

另外，也可以看出隨著 $\mu\text{c-Si}$ 膜的厚度的加厚而導通電流增加。此外，藉由使 $\mu\text{c-Si}$ 膜的厚度為 10nm 以上，可以使 V_g 為 20V 時的洩漏電流為 $1 \times 10^{-5} \text{A}$ 以上。

根據圖 40A 可以知道在導通狀態下， $\mu\text{c-Si}$ 膜的電子密度比 a-Si 膜的電子密度高。就是說，因為導電率高的 $\mu\text{c-Si}$ 膜的電子密度高，所以在導通狀態下，電子容易流過且洩漏電流升高。

根據圖 40B 可以知道在截止狀態下，a-Si 膜的電子密度比 $\mu\text{c-Si}$ 膜的電子密度高。就是說，因為導電率低的 a-Si 膜的電子密度高，所以在截止狀態下，電子不容易流過且洩漏電流與將 a-Si 膜用作通道形成區域的薄膜電晶體的洩漏電流相同。

根據上述步驟可以知道，如圖 38 所示的其中在閘極絕緣膜上形成 $\mu\text{c-Si}$ 膜，在 $\mu\text{c-Si}$ 膜上形成 a-Si 膜，並在 a-Si 膜上形成源區域及汲區域的薄膜電晶體可以在減少截止電流的同時提高導通電流。

【符號說明】

50：基板

51：閘極電極

52a、52b：閘極絕緣膜

53：微晶半導體膜

54：緩衝層

55：半導體膜

56：掩模

1110：裝載室

1115：卸載室

1111-1114：反應室

1120：公共室

1200：公共室

1122-1127：閘閥

1128：盒子

1129：盒子

1121：傳送單元

61：微晶半導體膜

62：緩衝層

63：半導體膜

66：掩模

65a-65c：導電膜

71a-71c：導電膜

- 72：源區域和汲區域
- 73：緩衝層
- 75a-75c：源極電極和汲極電極
- 74：通道蝕刻型薄膜電晶體
- 76：絕緣膜
- 77：像素電極
- 85a：導電膜
- 89a：導電膜
- 88：源區域和汲區域
- 87：緩衝層
- 92a：源極電極和汲極電極
- 79b、79c：被層疊的佈線
- 600：基板
- 628：TFT
- 624：像素電極
- 601：相對基板
- 630：儲存電容部
- 640：相對電極
- 642：隔離物
- 632：遮光膜
- 634：第一彩色膜
- 636：第二彩色膜
- 638：第三彩色膜
- 644：突起

648：取向膜
646：取向膜
650：液晶層
618：佈線
623：接觸孔
620：絕緣膜
622：第三絕緣膜
604：第一電容佈線
602：閘極佈線
606：閘極絕緣膜
617：第二電容佈線
616：佈線
618：佈線
625：槽縫
629：TFT
626：像素電極
631：儲存電容部
605：電容佈線
651：液晶元件
652：液晶元件
627：接觸孔
619：佈線
603：閘極佈線
637：平坦化膜

641：槽縫

607：第一像素電極

610：源區域

609：共同電位線

615：電容電極

633：接觸孔

6011：基板

6012：像素部

6013：信號線驅動電路

6014：掃描線驅動電路

6015：FPC

6021：基板

6022：像素部

6023：信號線驅動電路

6024：掃描線驅動電路

6025：FPC

6031：基板

6032：像素部

6033a：類比開關

6034：掃描線驅動電路

6035：FPC

6033b：移位暫存器

700：像素部

702：掃描線驅動電路

- 703：信號線驅動電路
- 704：移位暫存器
- 705：類比開關
- 706：移位暫存器
- 707：緩衝器
- 701：正反器
- 501：第一佈線
- 502：第二佈線
- 503：第三佈線
- 504：第四佈線
- 505：第五佈線
- 506：第六佈線
- 715：第五佈線
- 712：第二佈線
- 713：第三佈線
- 714：第四佈線
- 711：第一佈線
- 716：第六佈線
- 171：第一薄膜電晶體
- 172：第二薄膜電晶體
- 173：第三薄膜電晶體
- 174：第四薄膜電晶體
- 175：第五薄膜電晶體
- 176：第六薄膜電晶體

177：第七薄膜電晶體

178：第八薄膜電晶體

901：導電膜

951：佈線

902：導電膜

952：佈線

903：導電膜

904：導電膜

905：導電膜

906：導電膜

907：導電膜

954：佈線

955：佈線

908：導電膜

909：導電膜

910：導電膜

911：導電膜

912：導電膜

913：導電膜

914：導電膜

915：導電膜

916：導電膜

956：佈線

959：佈線

958：佈線
960：佈線
957：佈線
962：佈線
961：佈線
981-988：微晶半導體層
4010：薄膜電晶體
4001：第一基板
4013：液晶
4006：第二基板
4005：密封材料
4002：像素部
4004：掃描線驅動電路
4008：液晶
4003：信號線驅動電路
4009：薄膜電晶體
4030：像素電極
4040：佈線
4031：相對電極
4035：球狀隔離物
4018：FPC
4014：引導佈線
4015：引導佈線
4016：連接端子

4019：各向異性導電膜

2003：主螢幕

2009：揚聲器部

2002：顯示用面板

2001：外殼

2004：數據機

2005：接收器

2006：遙控裝置

2007：顯示部

2008：子螢幕

921：像素部

922：信號線驅動電路

923：掃描線驅動電路

924：調諧器

925：視頻信號放大電路

926：視頻信號處理電路

927：控制電路

928：信號分割電路

929：音頻信號放大電路

930：音頻信號處理電路

931：控制電路

932：輸入部

2301：行動電話

2302：顯示部

2303：操作部
 2401：主體
 2402：顯示部
 250：基板
 251：閘極電極
 252a、252b：閘極絕緣膜
 253：微晶半導體膜
 254：緩衝層
 255：半導體膜
 261：微晶半導體膜
 271a-271c：源極電極和汲極電極
 272：源極區和汲極區
 273：緩衝層
 276：絕緣膜
 277：像素電極
 351：閘極絕緣膜
 352：介面區域
 353：半導體膜
 354：結晶矽膜
 355：緩衝層
 400：基板
 401：閘極電極
 402：閘極絕緣膜
 403：非晶矽膜

404 : 源極電極

405 : 汲極電極

406 : 微晶矽膜

801 : 絕緣基板

803 : 閘極電極

805 : 閘極絕緣膜

807 : $\mu\text{c-Si}$ 膜

809 : a-Si 膜

811 : 第一 a-Si (n^+) 膜

813 : 第二 a-Si (n^+) 膜

815 : 源極電極

817 : 汲極電極

申請專利範圍

1. 一種液晶顯示裝置，其特徵係，
具有電晶體和與該電晶體電性連接的像素電極，
該電晶體係具有：
閘極電極；
在該閘極電極上的閘極絕緣膜；
在該閘極絕緣膜上的第一半導體膜；
在該第一半導體膜上的第二半導體膜；
在該第二半導體膜上之 n 型的第三半導體膜及 n 型的
第四半導體膜；
在該第三半導體膜上之源極電極或汲極電極的一者；
及
在該第四半導體膜上之該源極電極或該汲極電極的另一者，
該第一半導體膜，係具有 $0.5\text{nm} \sim 20\text{nm}$ 的結晶粒，
該第二至該第四半導體膜，係分別具有非晶結構，
該第一半導體膜之一對端部，係超過該第三半導體膜
之一對端部而延伸，
該第一半導體膜之一對端部，係超過該第四半導體膜
之一對端部而延伸，
該第三半導體膜之一對端部，係超過該源極電極或該
汲極電極的一者之一對端部而延伸，
該源極電極或該汲極電極的另一者，係具有彼此相對
的第一端部與第二端部，

該第四半導體膜，係具有彼此相對的第一端部與第二端部，

該第四半導體膜之該第一端部，係超過該源極電極或該汲極電極的另一者之該第一端部而延伸，

該源極電極或該汲極電極的另一者之該第二端部，係覆蓋該第四半導體膜之該第二端部、該第二半導體膜之側面及該第一半導體膜之側面，

該像素電極，係與該源極電極或該汲極電極的另一者電性連接。

2. 一種液晶顯示裝置，其特徵係，

具有彼此相對之第一基板與第二基板，

該第一基板，係具有電晶體和與該電晶體電性連接的像素電極，

該第二基板，係具有遮光膜、第一彩色層至第三彩色層及相對電極，

在該像素電極與該相對電極之間夾著液晶，

在該第一彩色層與該第二彩色層重疊的區域，更具有該第三彩色層重疊的第一區域，

該遮光膜，係與該第一區域重疊並且與該相對基板連接，

該相對電極，係位於覆蓋該遮光膜及該第一彩色層至第三彩色層處，

該電晶體係具有：

閘極電極；

在該閘極電極上的閘極絕緣膜；

在該閘極絕緣膜上的第一半導體膜；

在該第一半導體膜上的第二半導體膜；

在該第二半導體膜上之 n 型的第三半導體膜及 n 型的第四半導體膜；

在該第三半導體膜上之源極電極或汲極電極的一者；

及

在該第四半導體膜上之該源極電極或該汲極電極的另一者，

該第一半導體膜，係具有 0.5nm~20nm 的結晶粒，

該第二至該第四半導體膜，係分別具有非晶結構，

該第一半導體膜之一對端部，係超過該第三半導體膜之一對端部而延伸，

該第一半導體膜之一對端部，係超過該第四半導體膜之一對端部而延伸，

該第三半導體膜之一對端部，係超過該源極電極或該汲極電極的一者之一對端部而延伸，

該源極電極或該汲極電極的另一者，係具有彼此相對的第一端部與第二端部，

該第四半導體膜，係具有彼此相對的第一端部與第二端部，

該第四半導體膜之該第一端部，係超過該源極電極或該汲極電極的另一者之該第一端部而延伸，

該源極電極或該汲極電極的另一者之該第二端部，係

覆蓋該第四半導體膜之該第二端部、該第二半導體膜之側面及該第一半導體膜之側面，

該像素電極，係與該源極電極或該汲極電極的另一者電性連接。

3. 如申請專利範圍第 1 或 2 項的液晶顯示裝置，其中，

具有該源極電極及該汲極電極上的絕緣膜，

該像素電極，係經由該絕緣膜之開口部，與該源極電極或該汲極電極之另一者電性連接。

4. 如申請專利範圍第 1 或 2 項的液晶顯示裝置，其中，

該源極電極或該汲極電極之另一者，係從上面觀看時呈棒狀，

該源極電極或該汲極電極之一者，係從上面觀看時呈 U 字型，

U 字型之該源極電極或該汲極電極之一者，係位於包圍棒狀之該源極電極或該汲極電極之另一者的周圍處。

圖式

圖1A

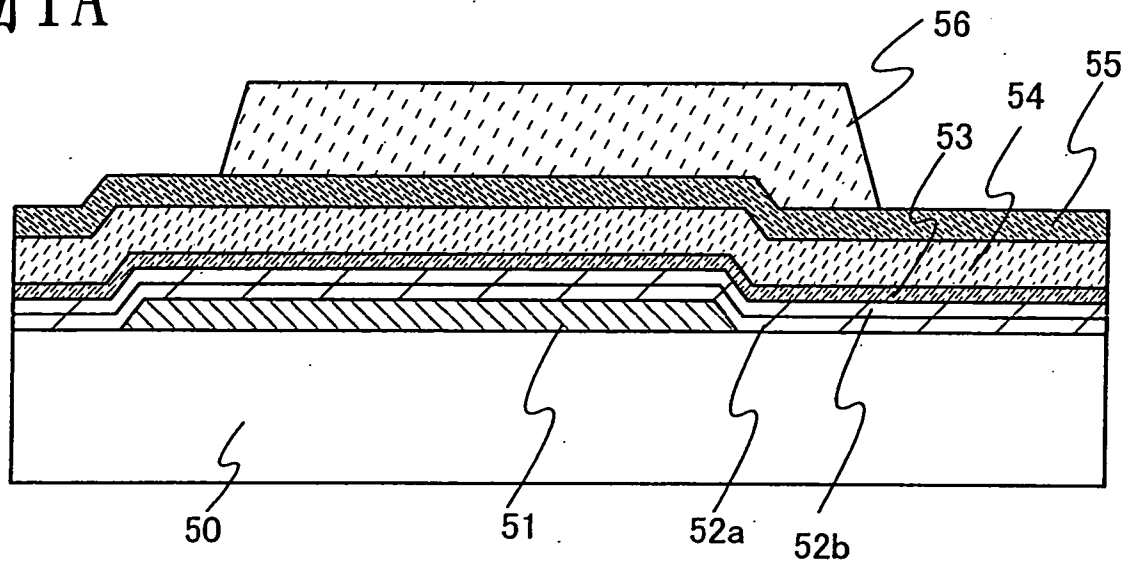


圖1B

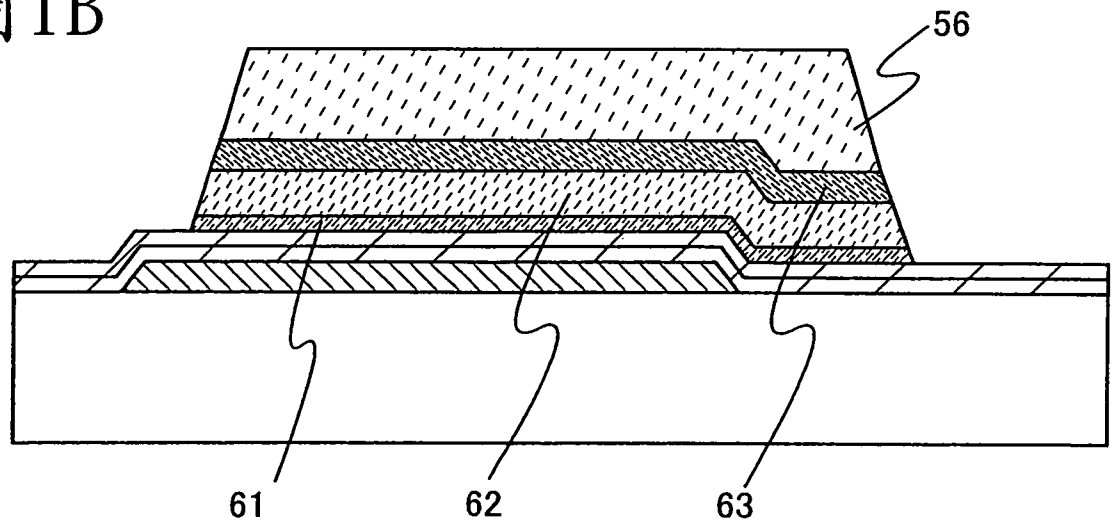


圖1C

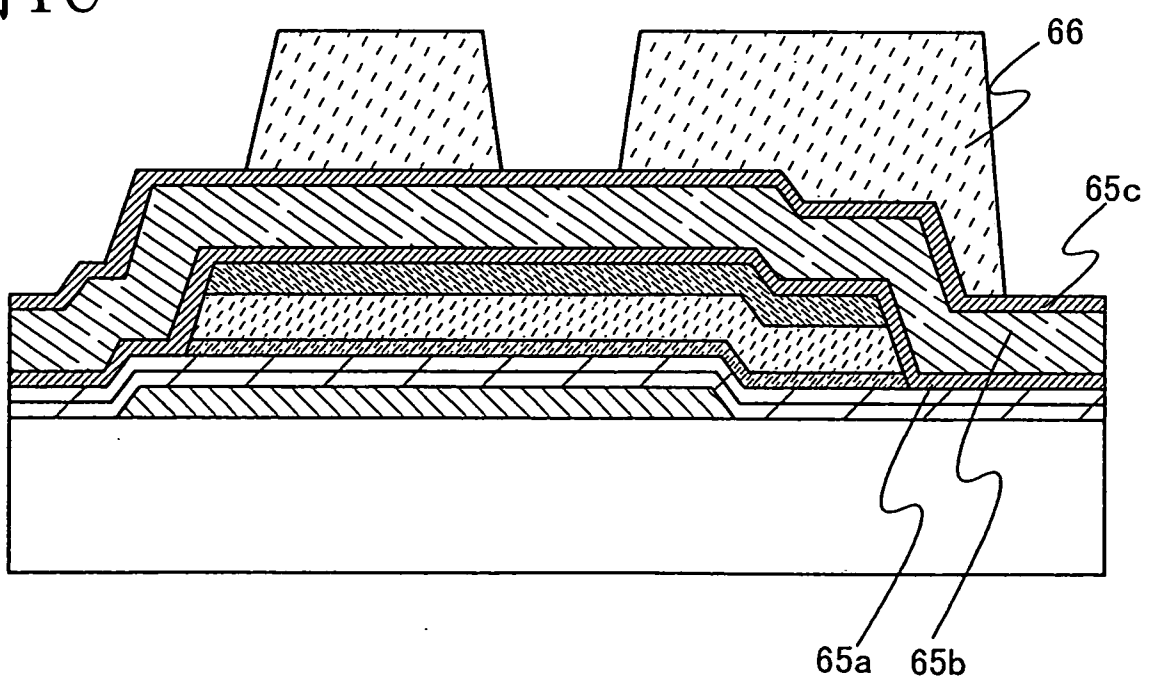


圖 2A

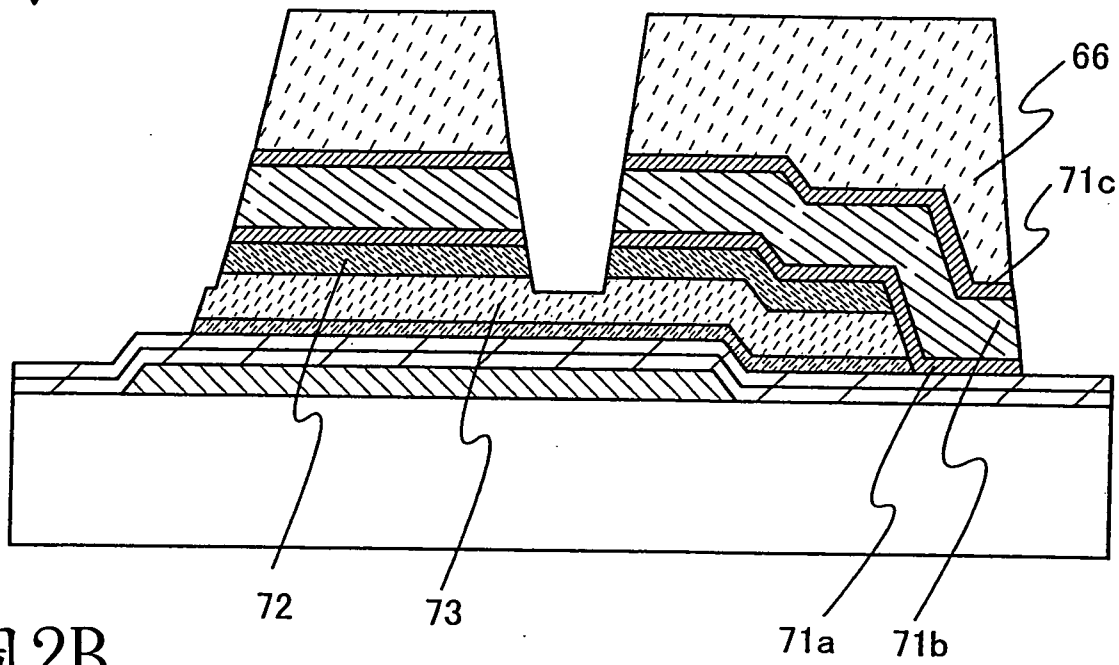


圖 2B

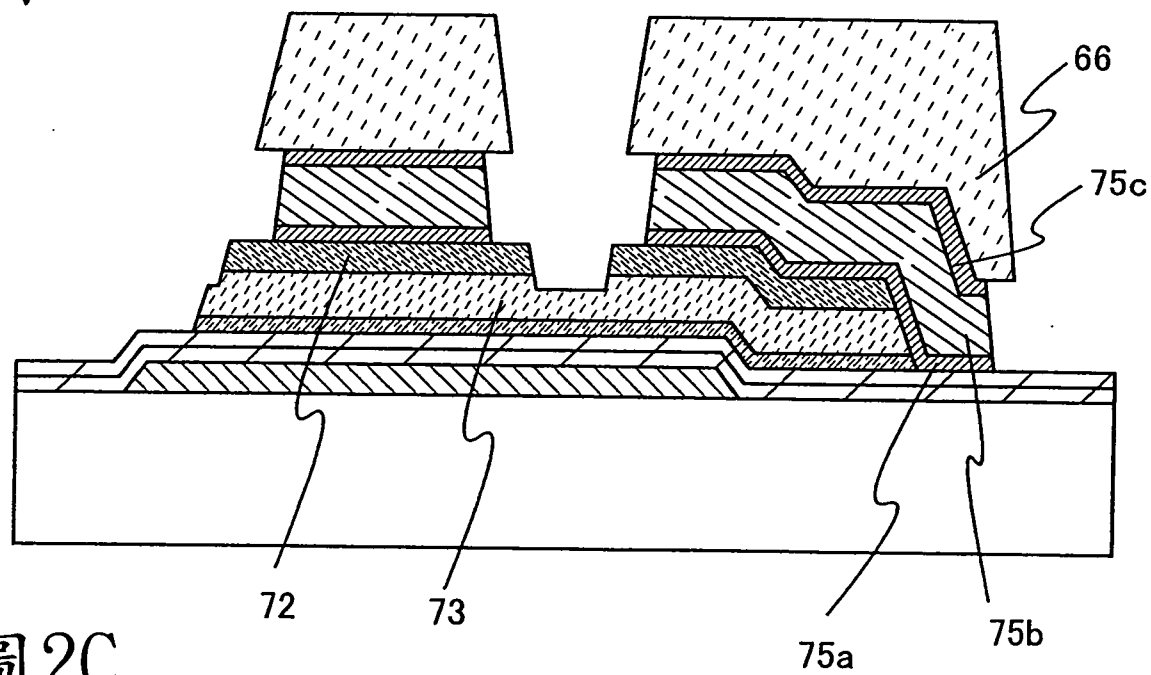


圖 2C

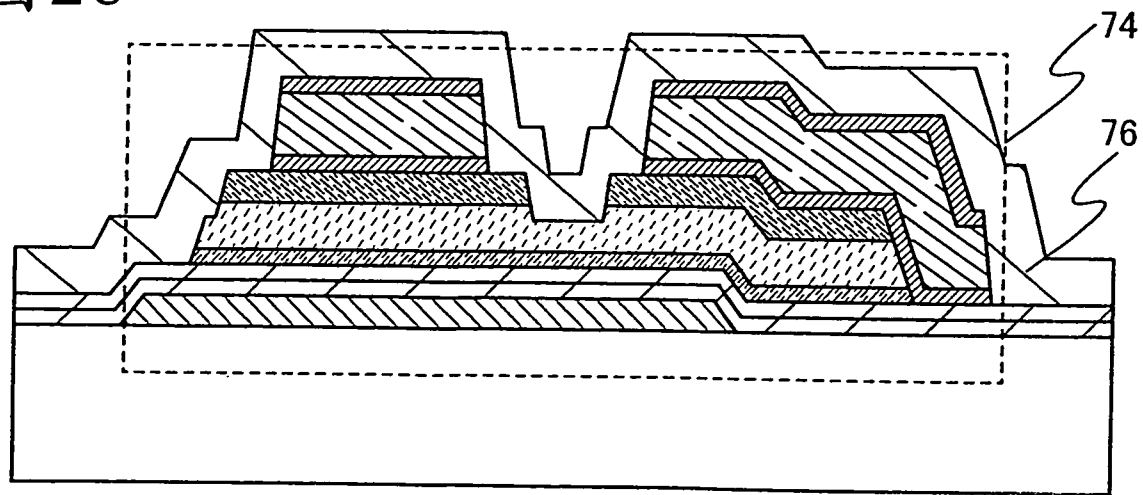


圖3

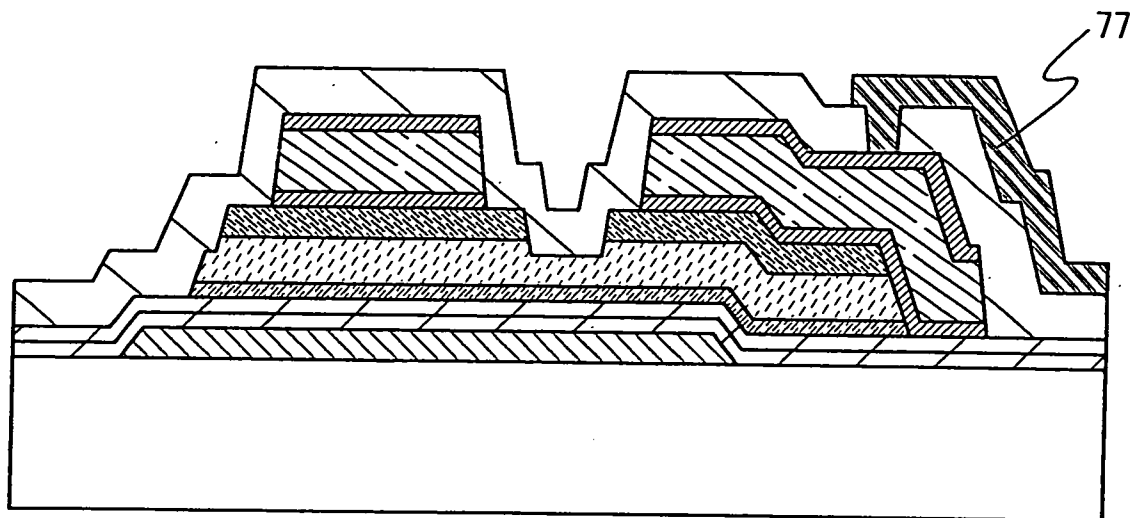


圖 4A

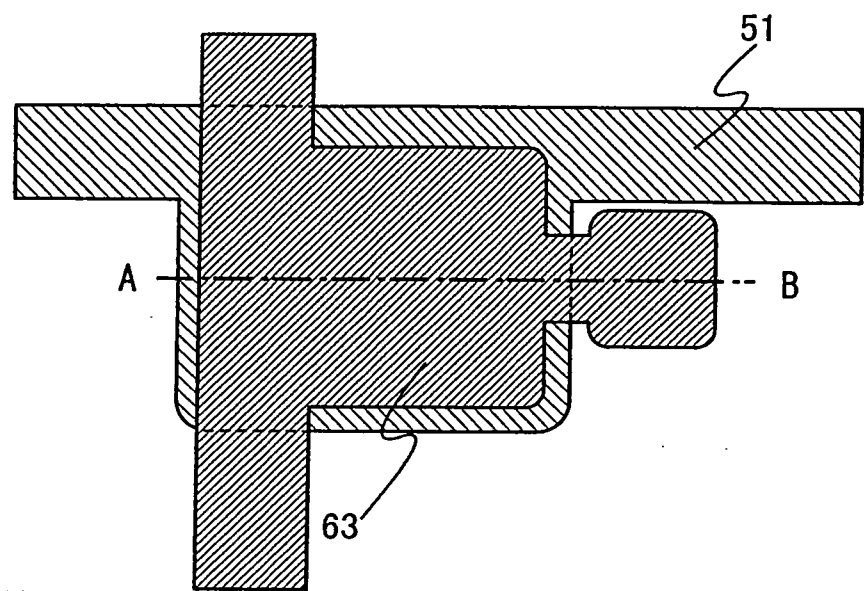


圖 4B

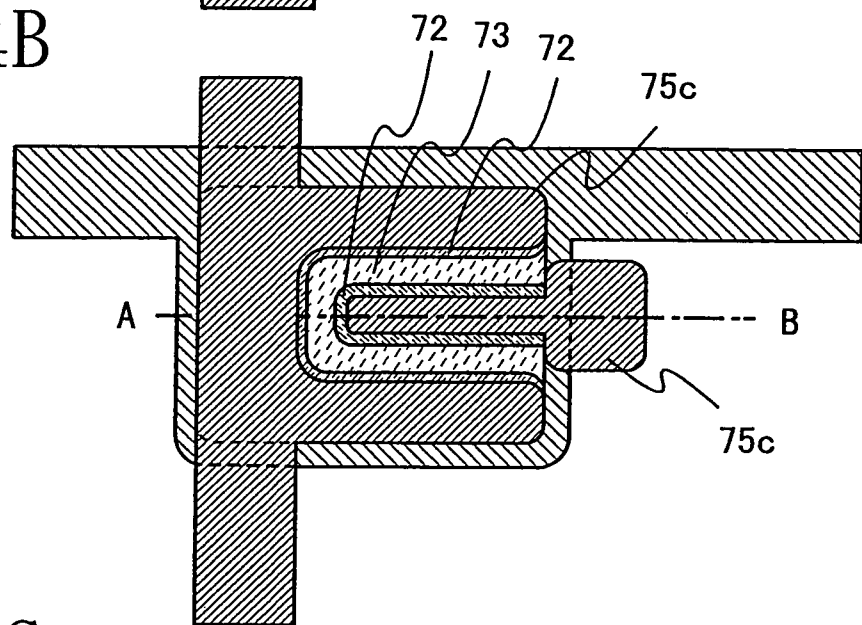


圖 4C

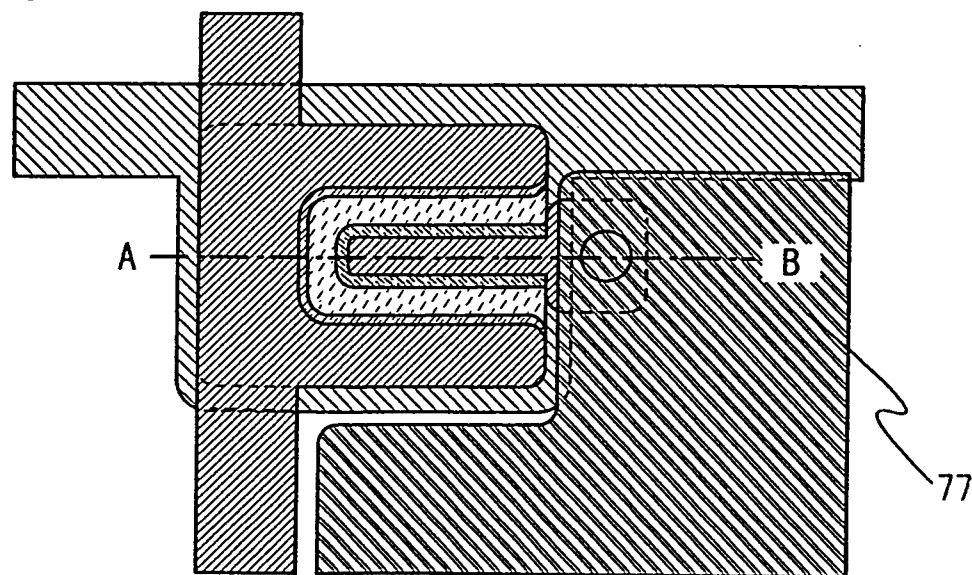


圖5A

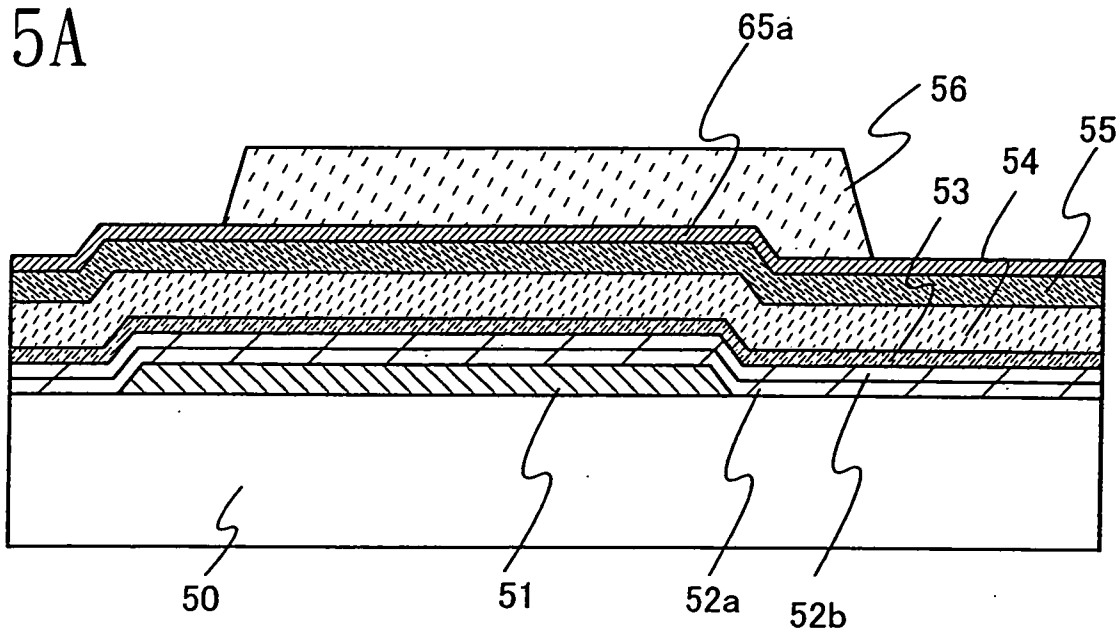


圖5B

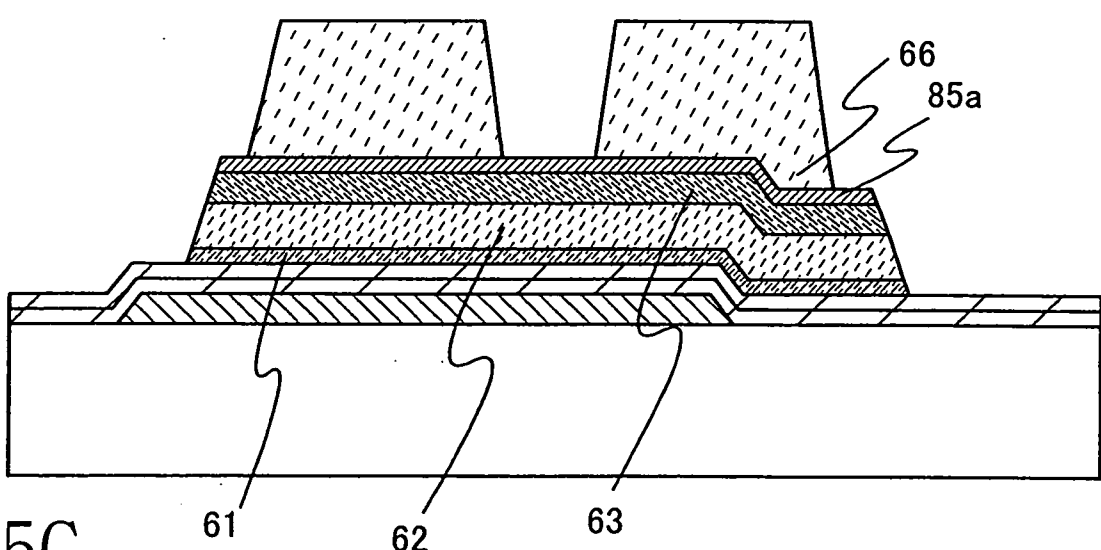


圖5C

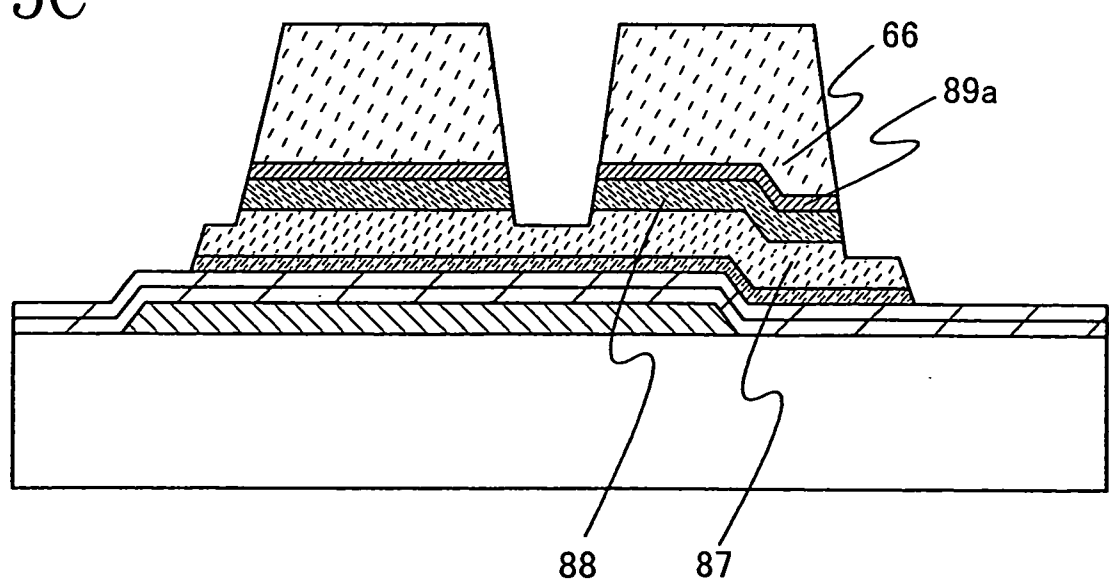


圖 6A

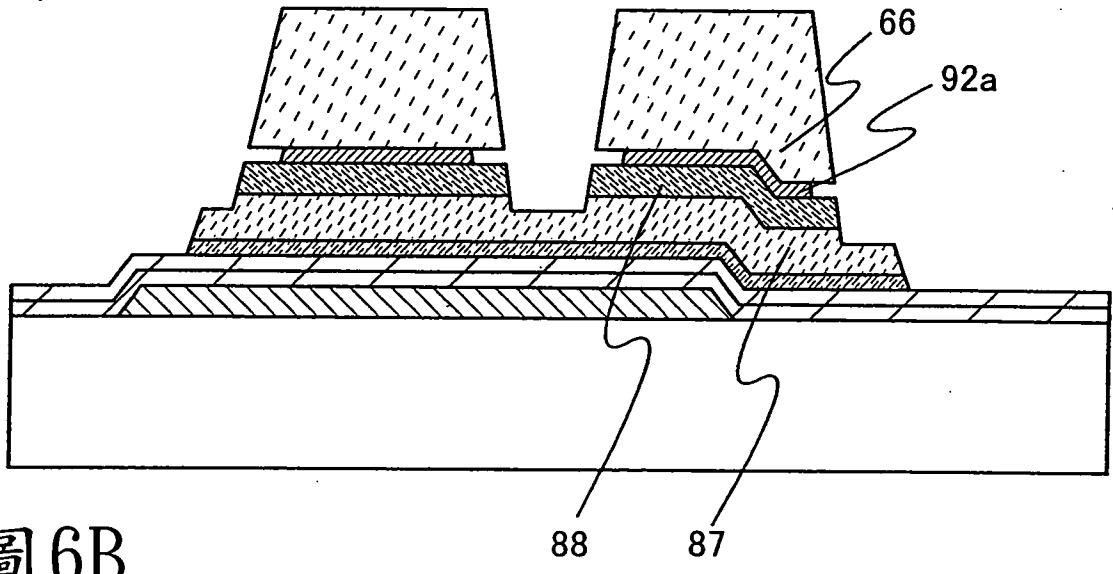


圖 6B

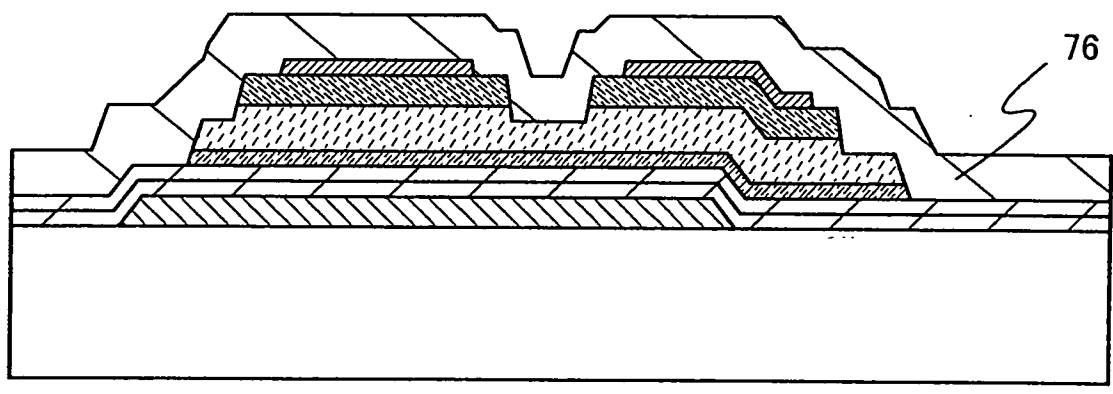


圖 6C

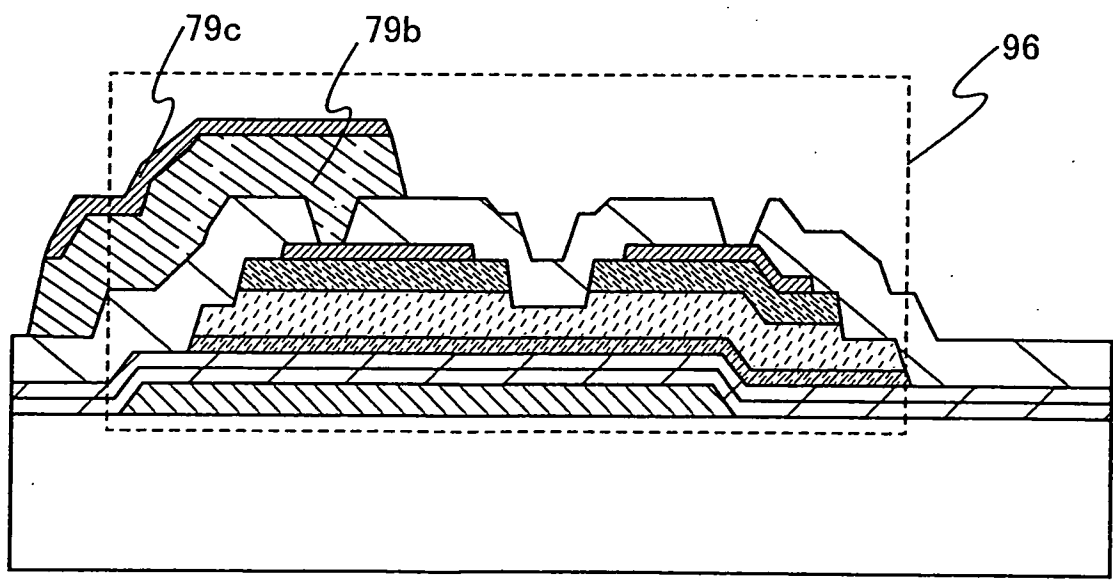


圖7

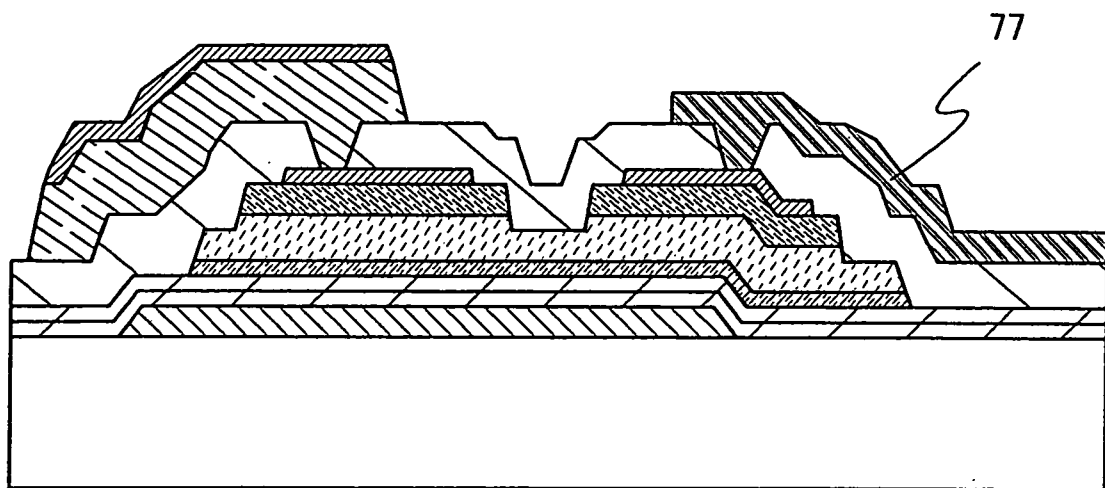


圖 8A

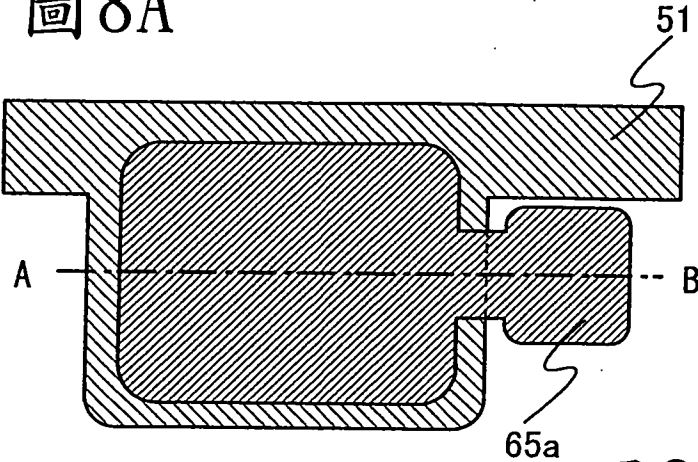


圖 8B

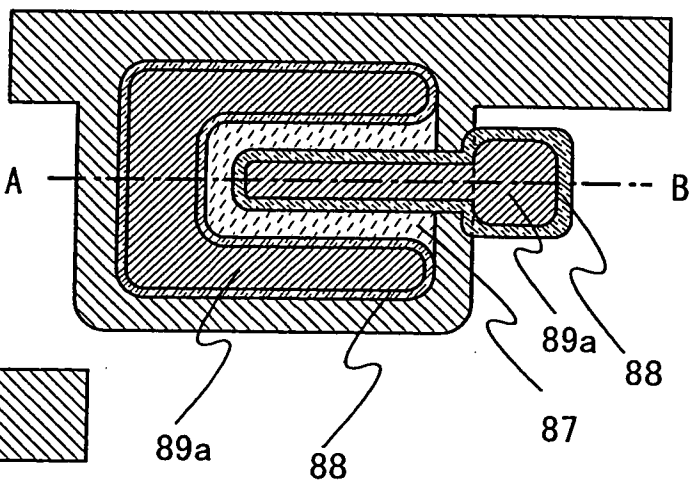


圖 8C

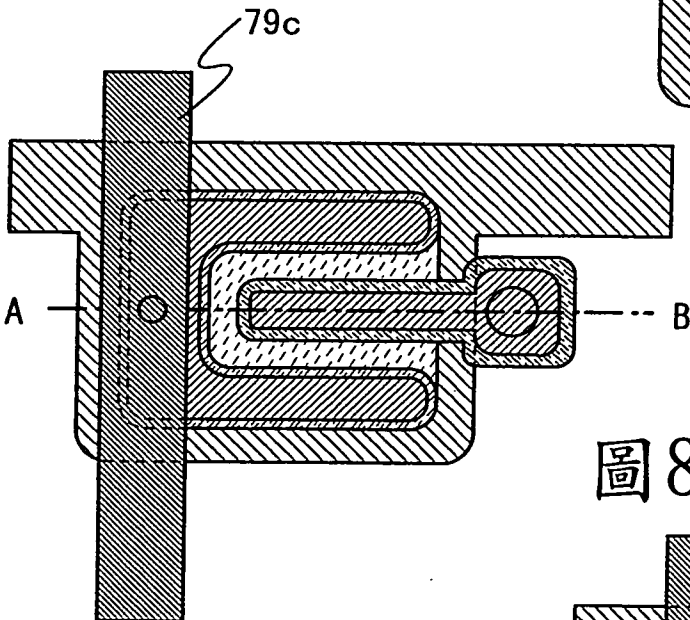


圖 8D

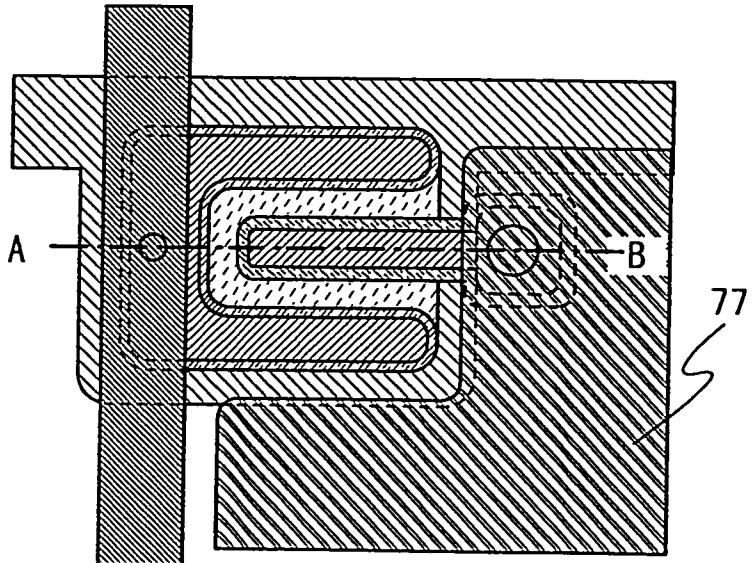


圖9

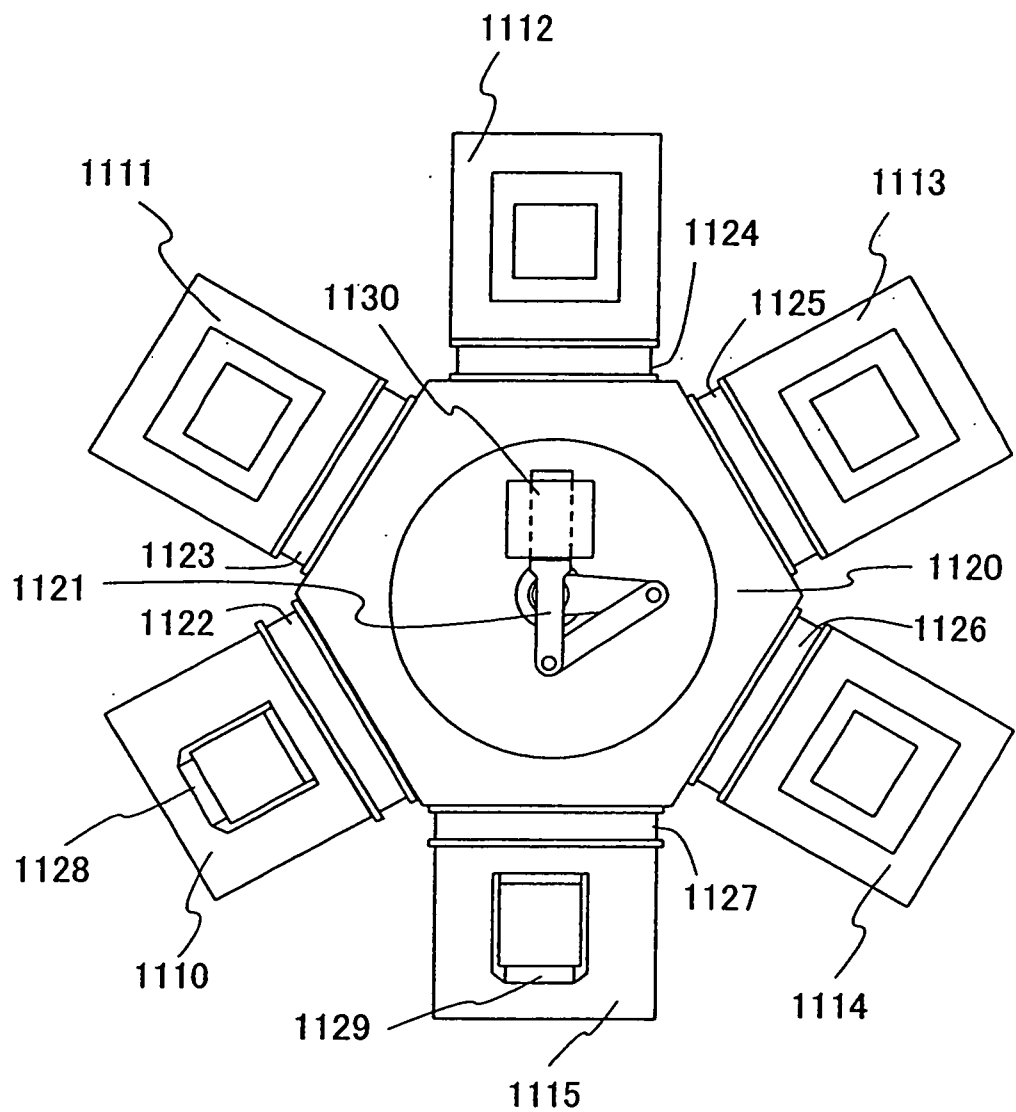


圖 10A

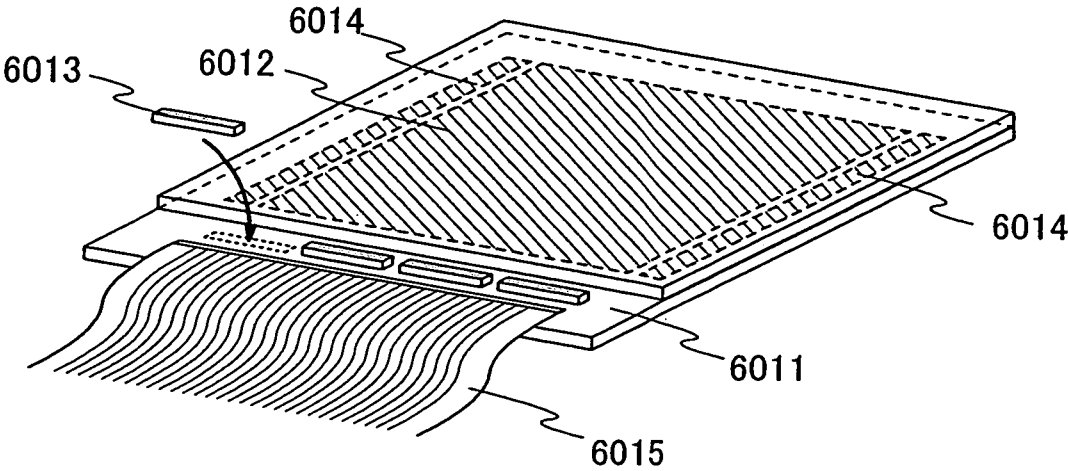


圖 10B

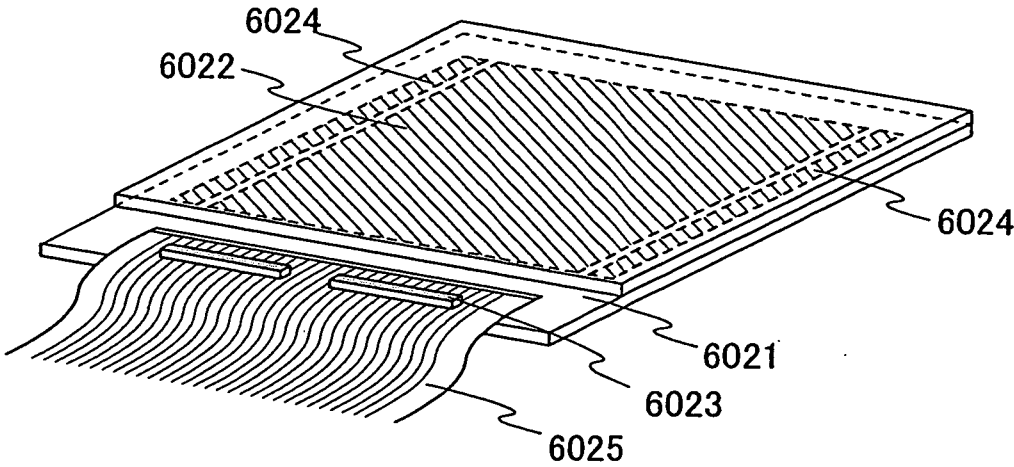


圖 10C

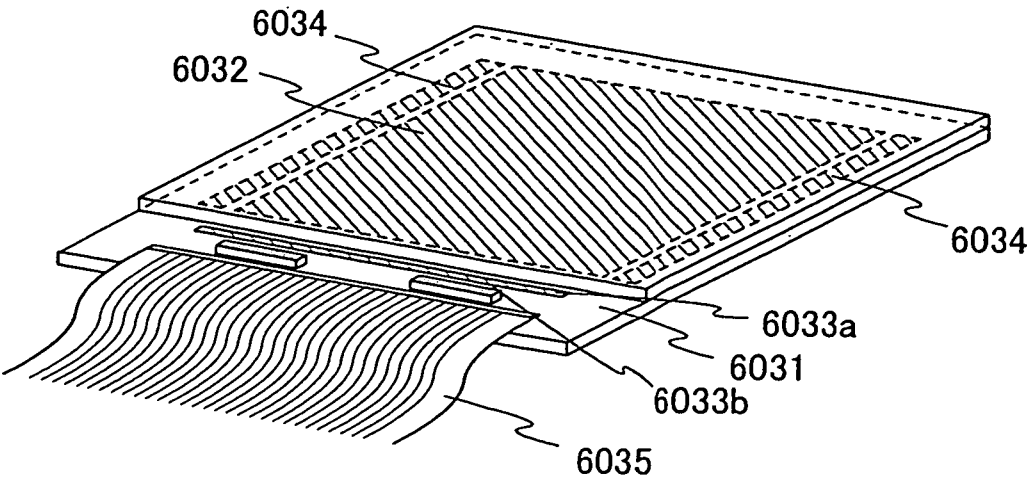


圖 11A

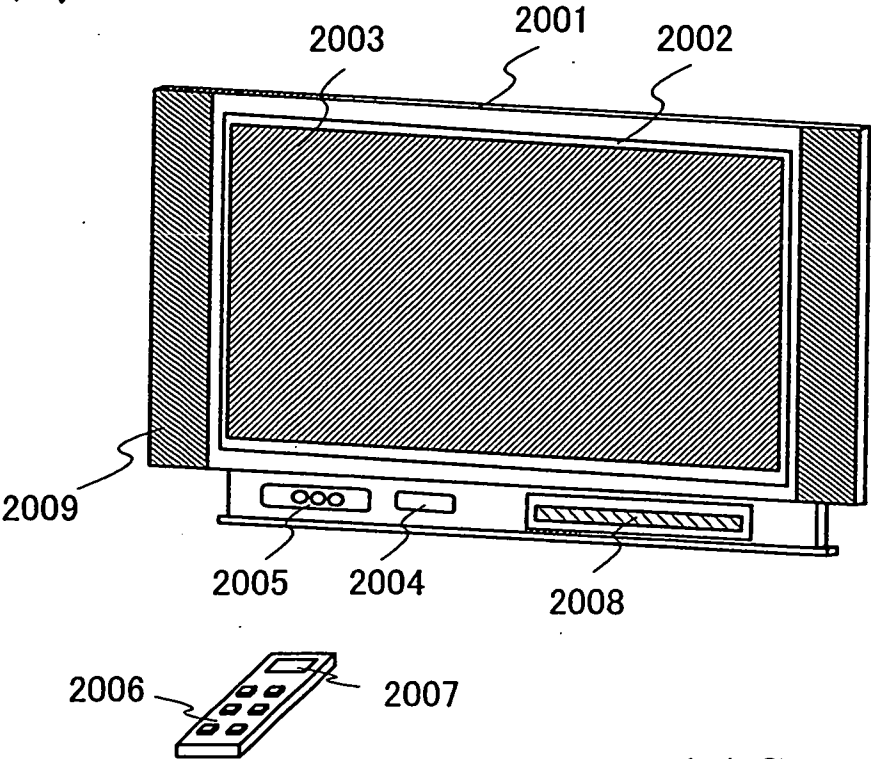


圖 11B

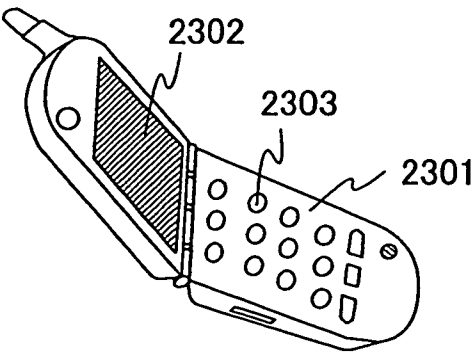


圖 11C

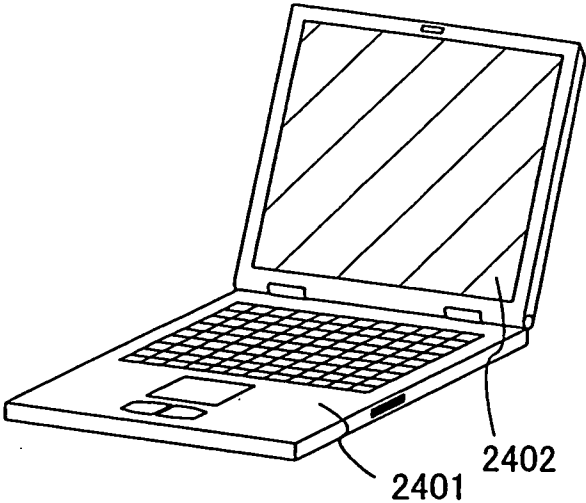


圖12

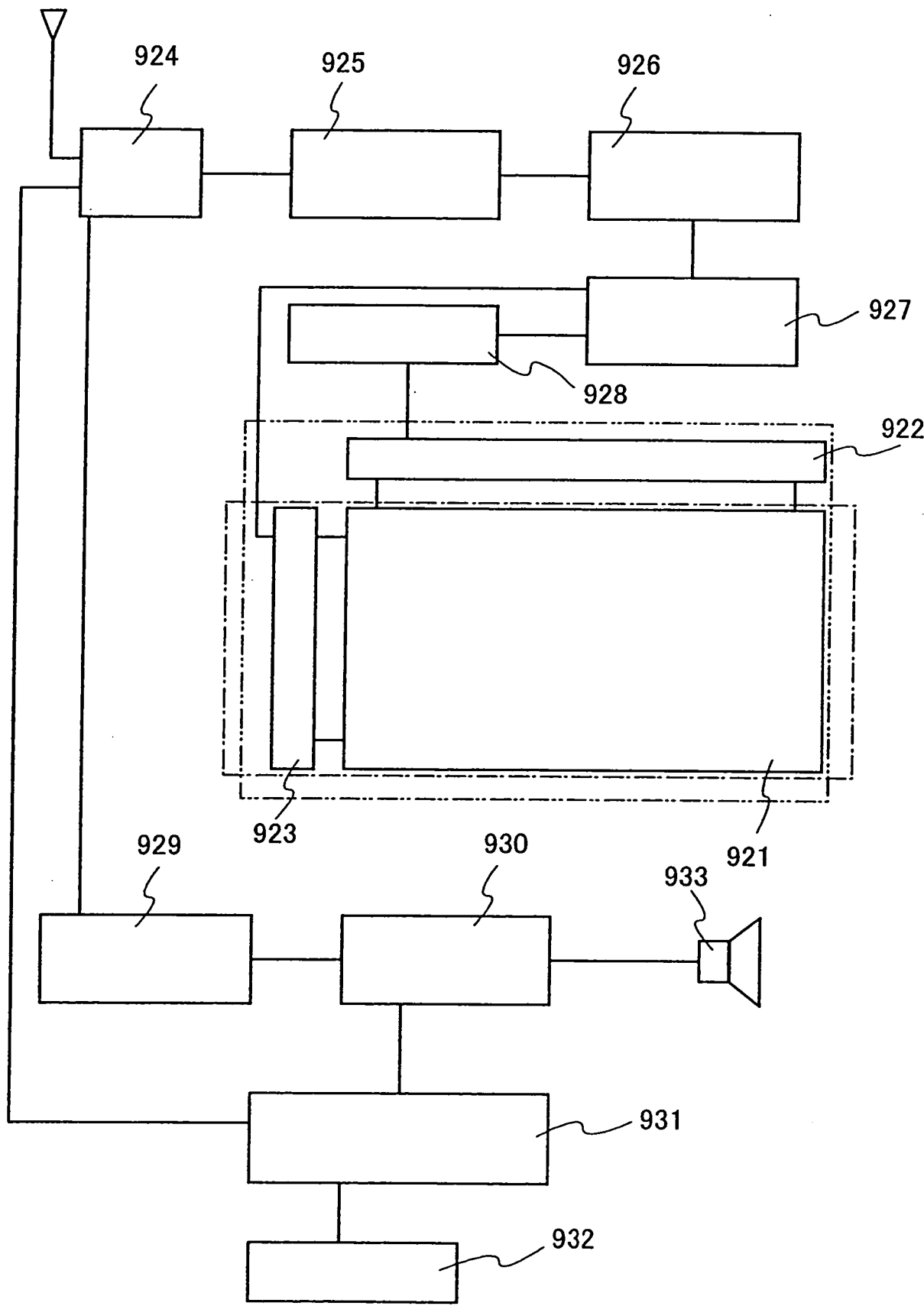


圖13

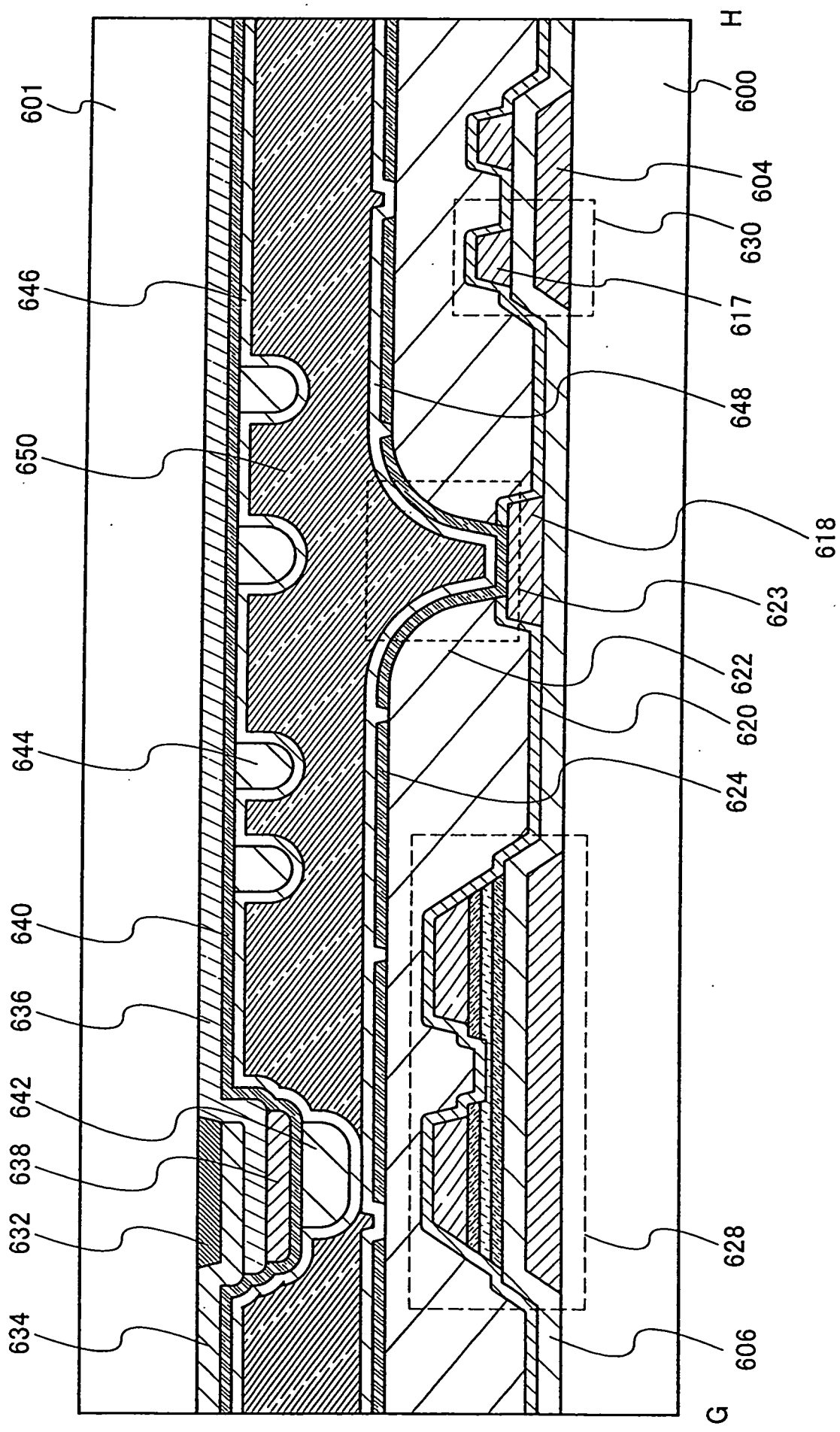


圖 14

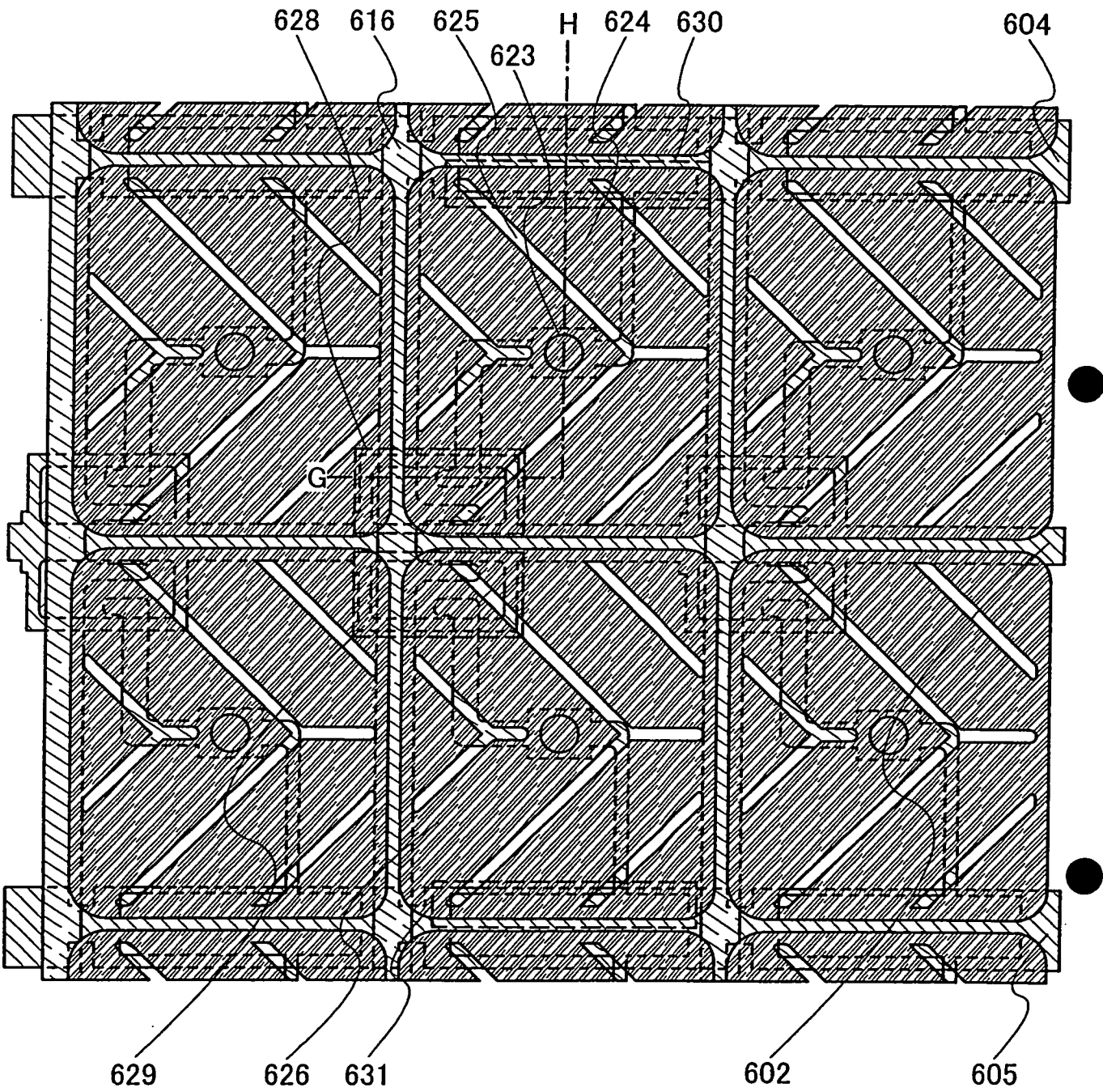


圖15

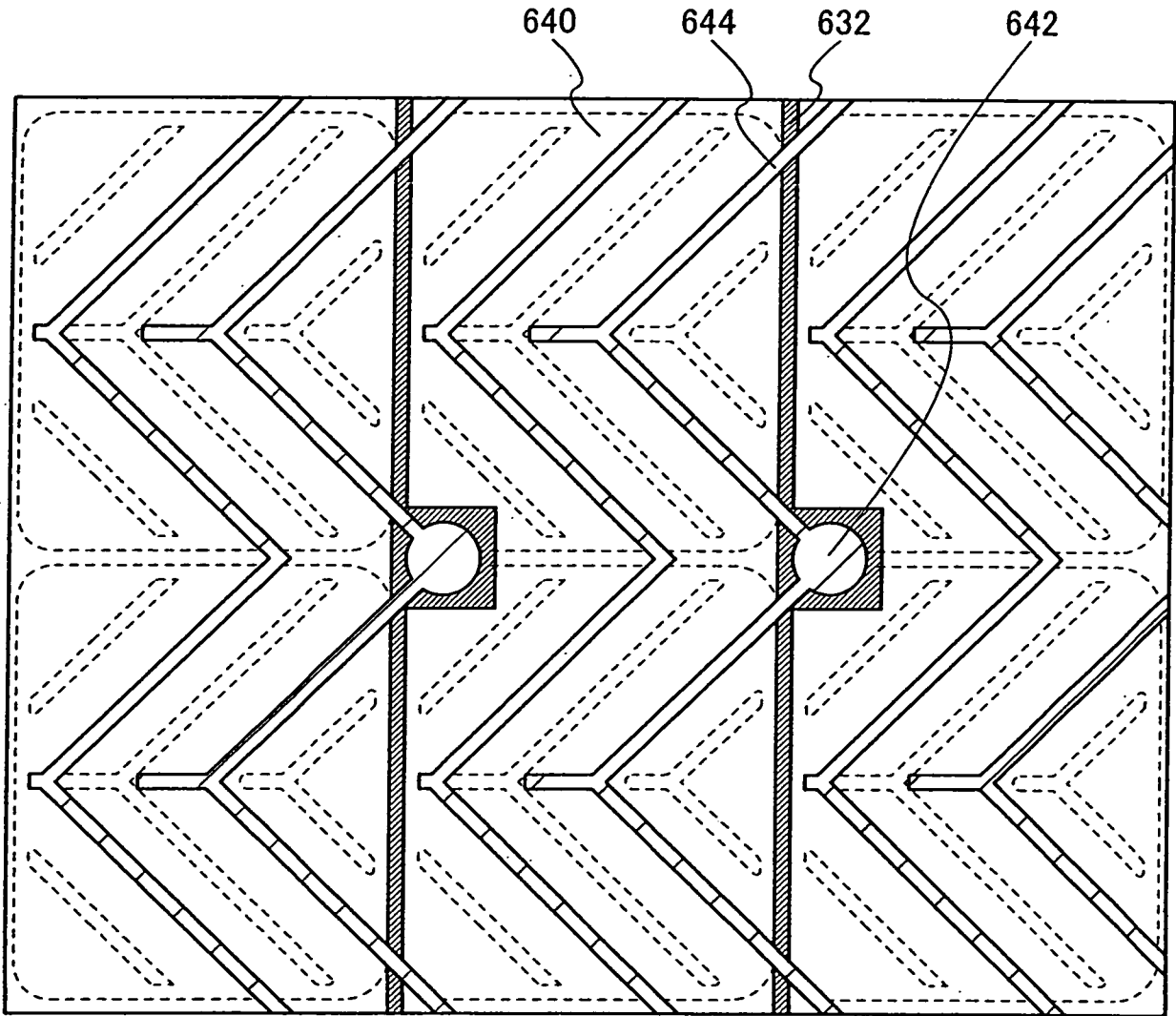


圖 16

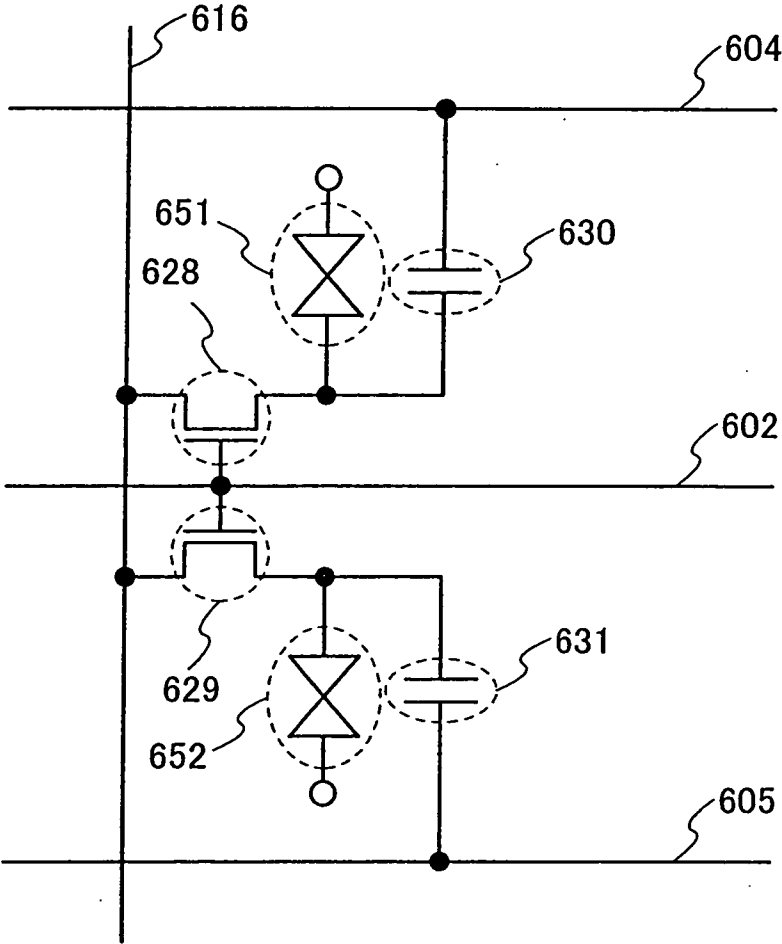


圖17

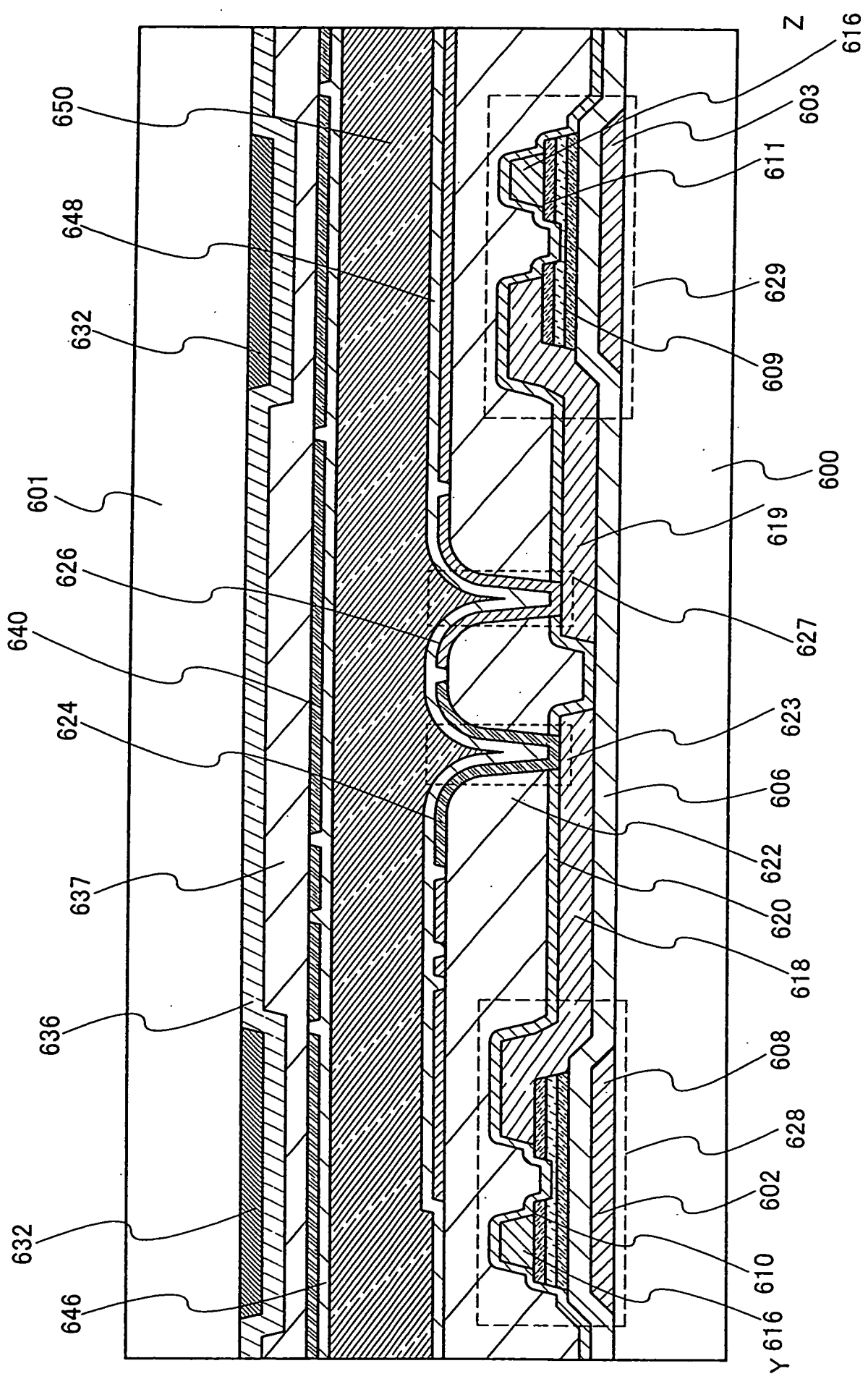


圖 18

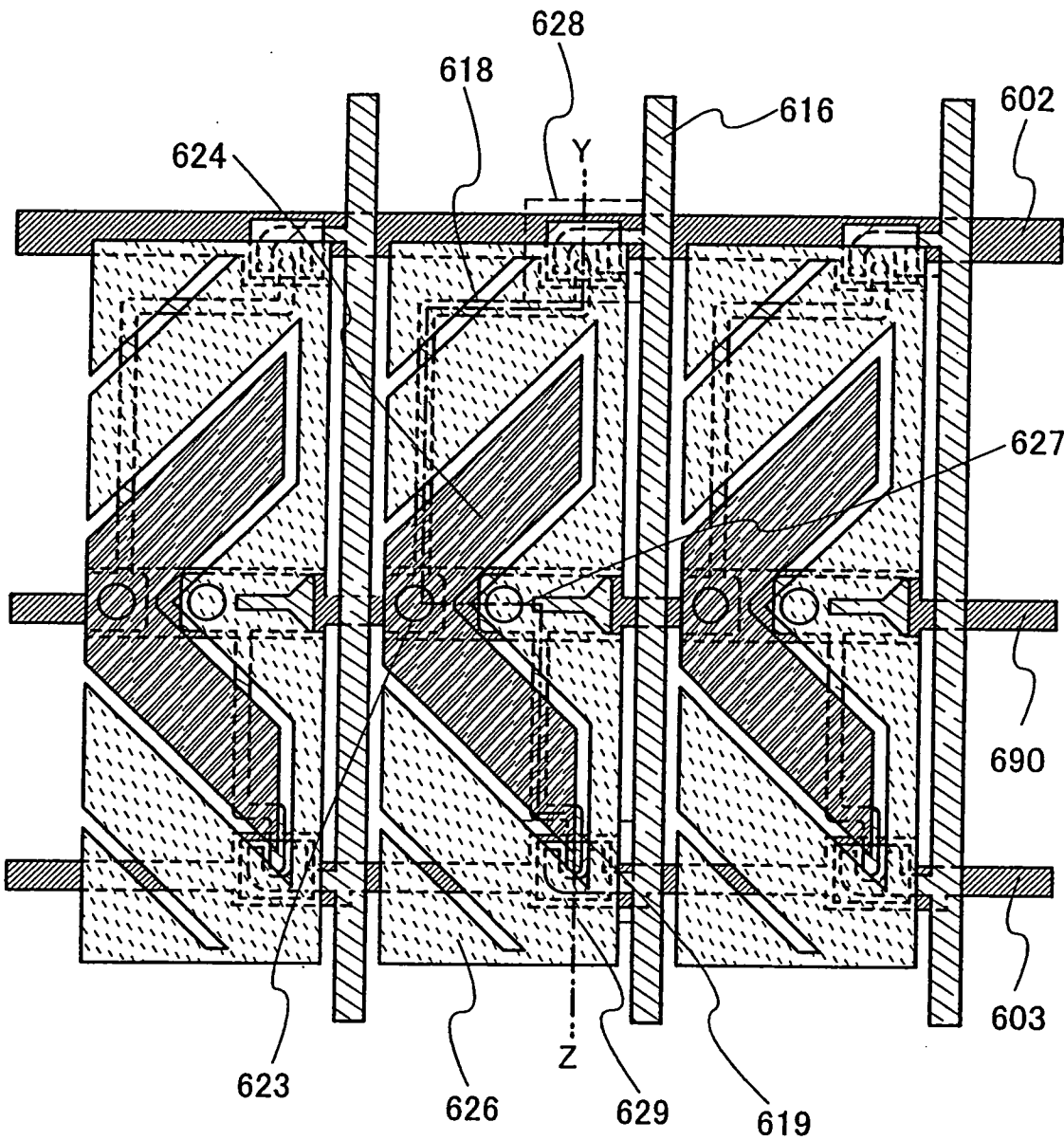


圖19

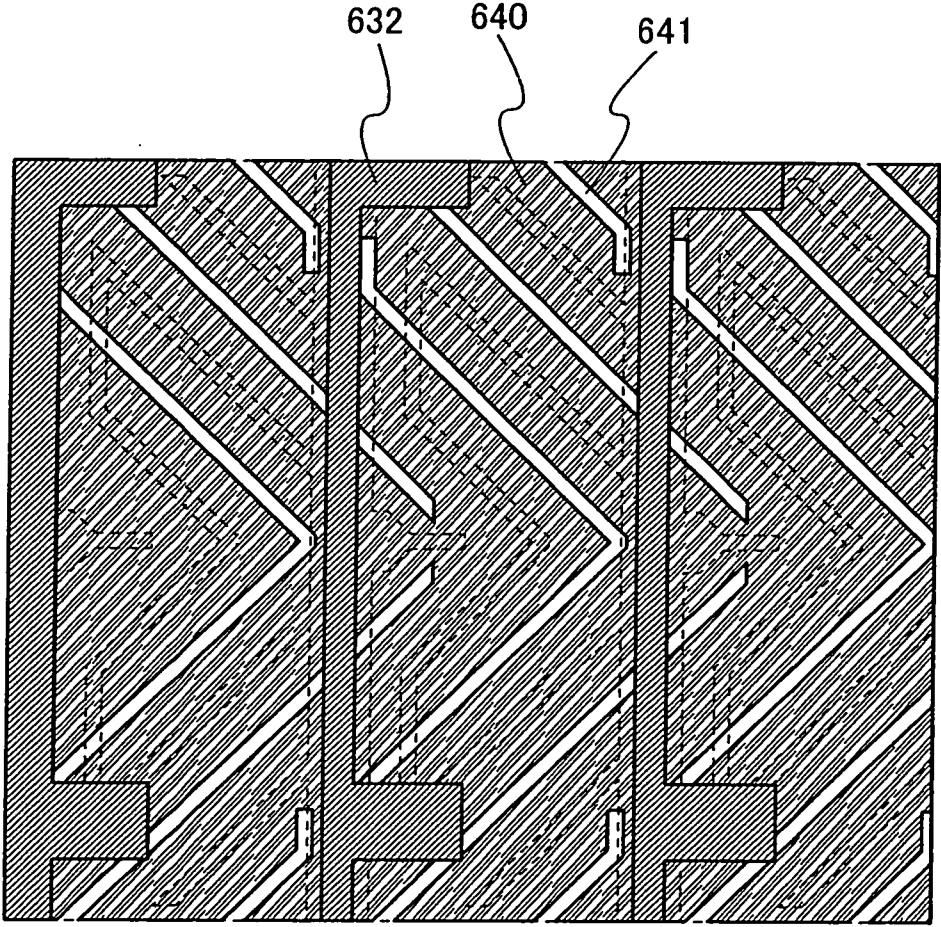


圖 20

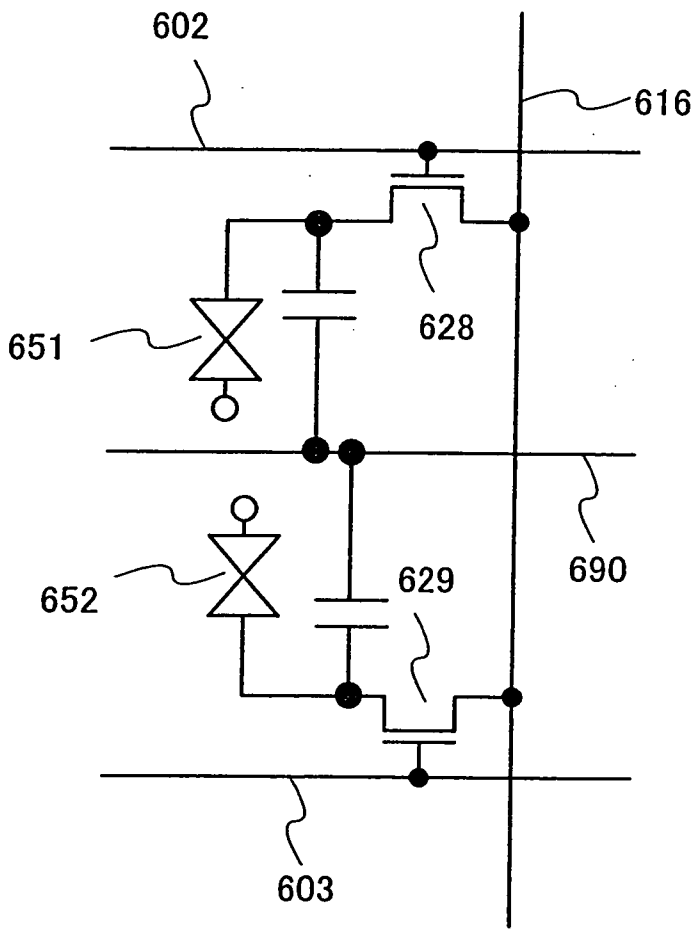


圖21

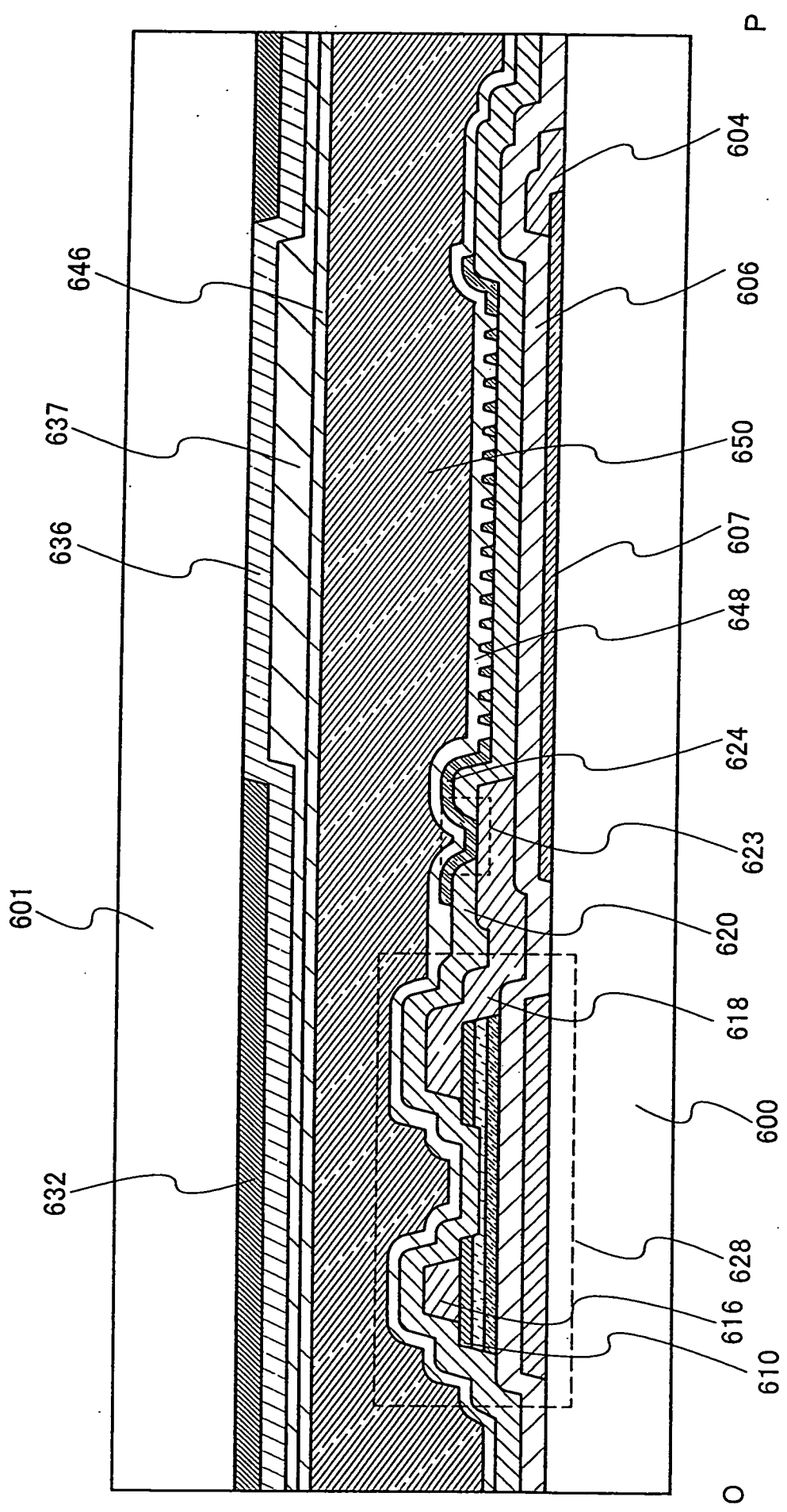


圖 22

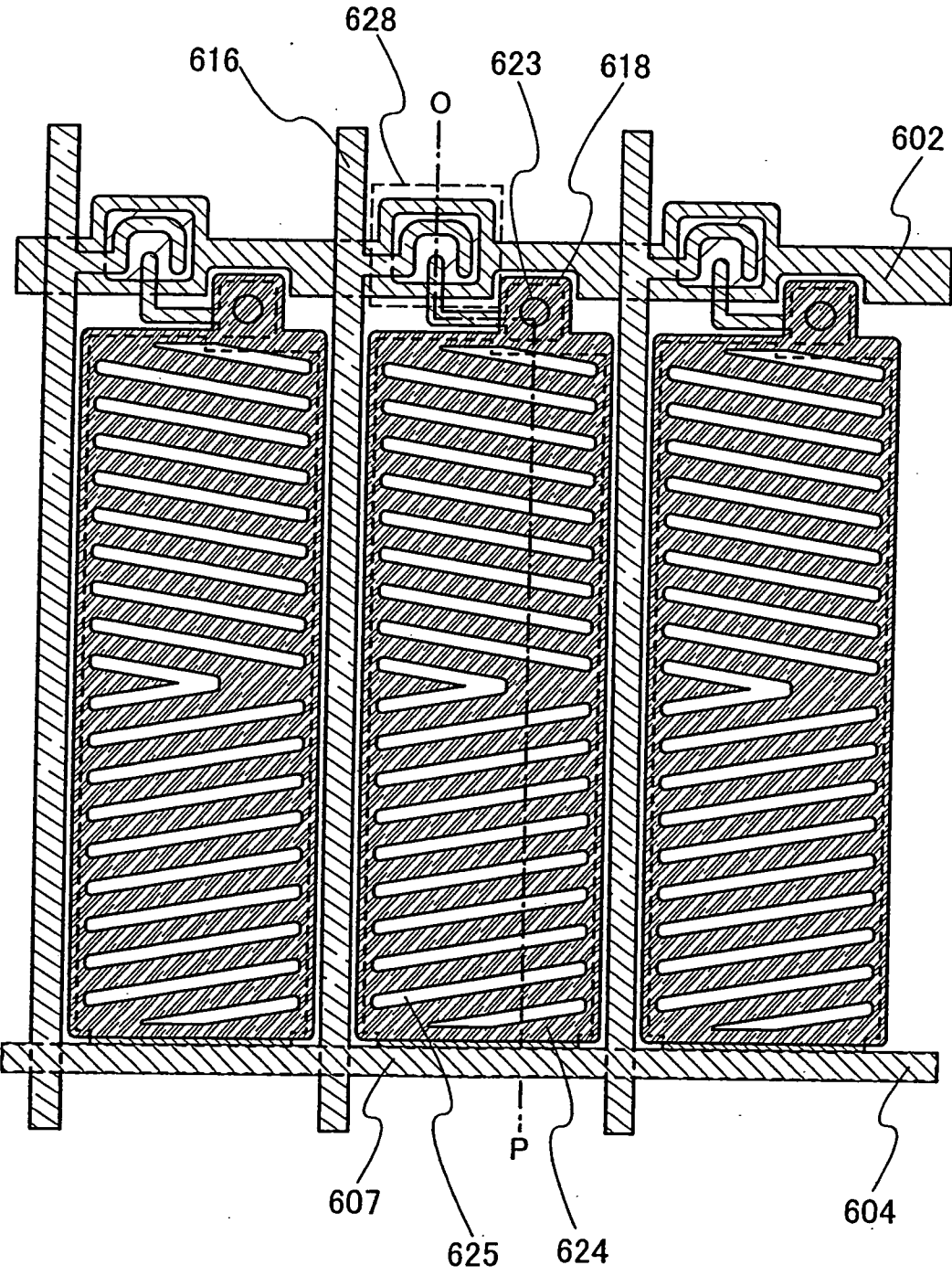


圖23

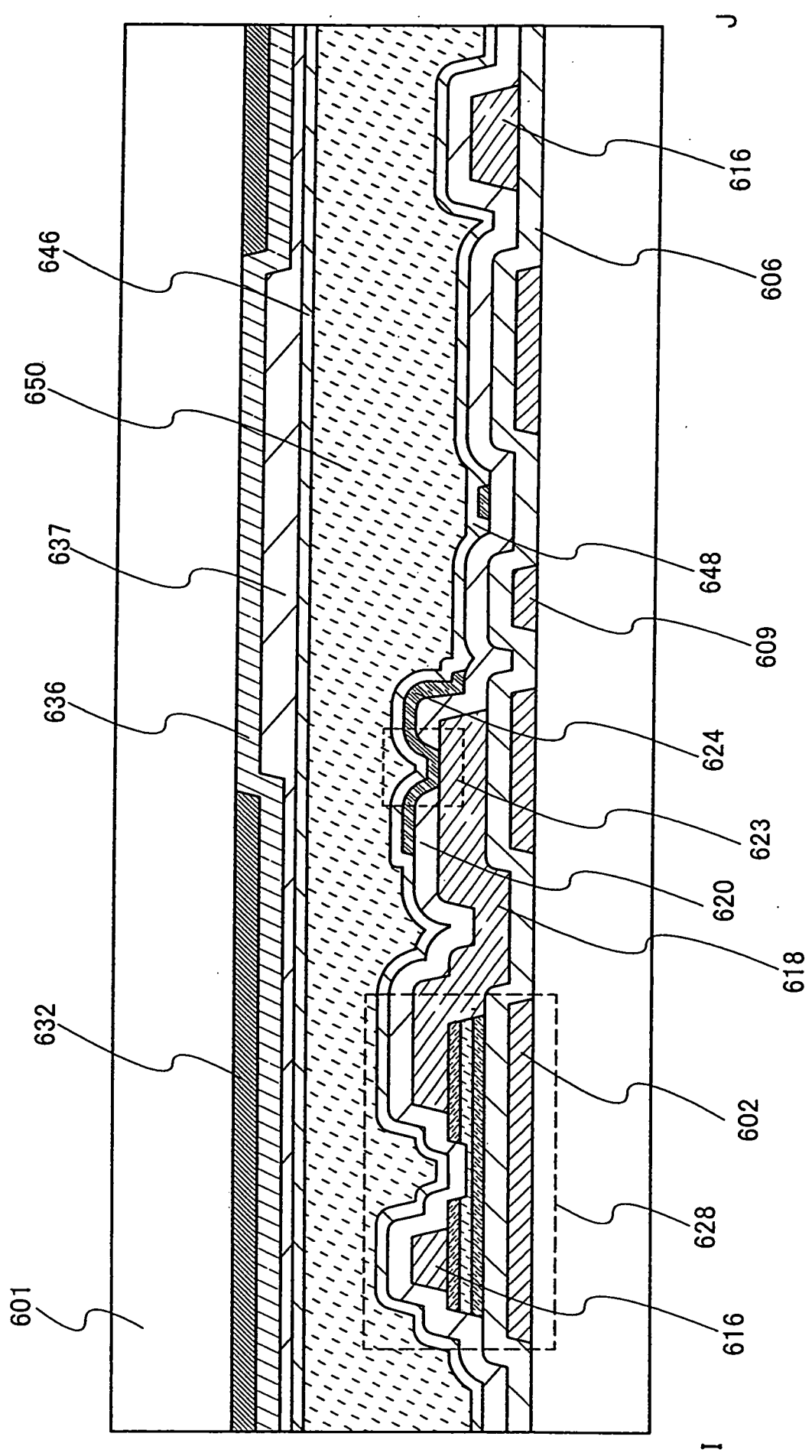


圖 24

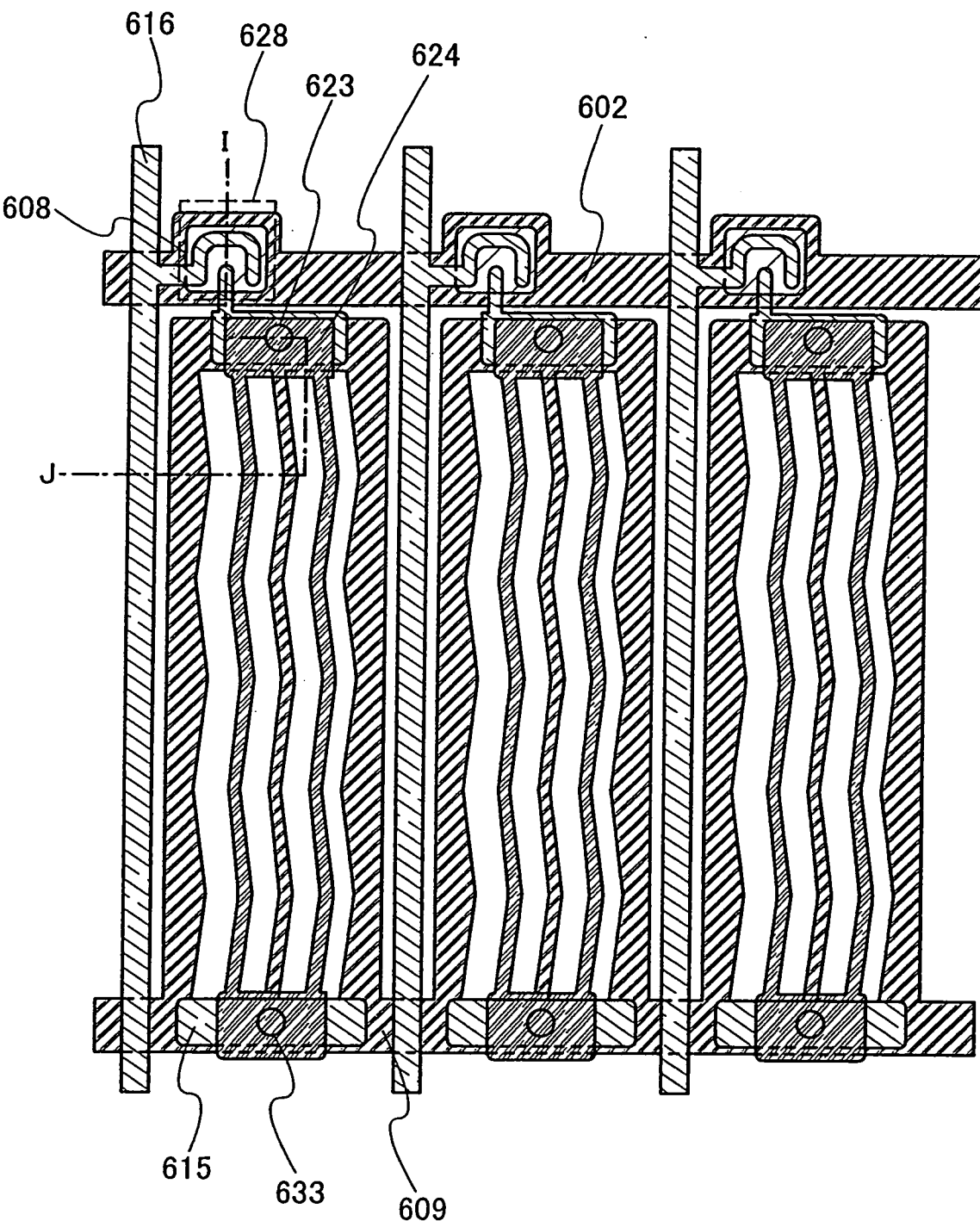


圖25

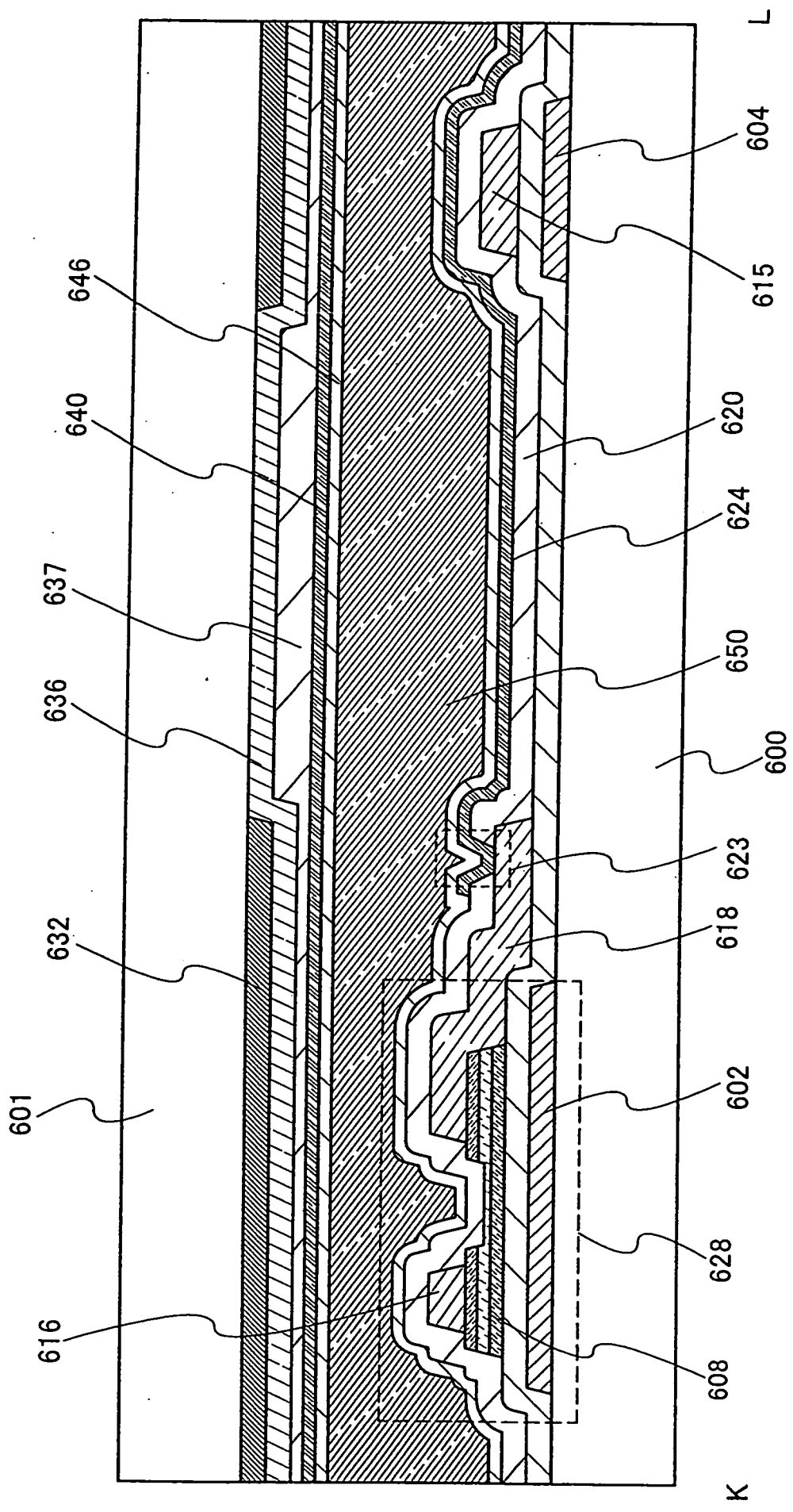


圖 26

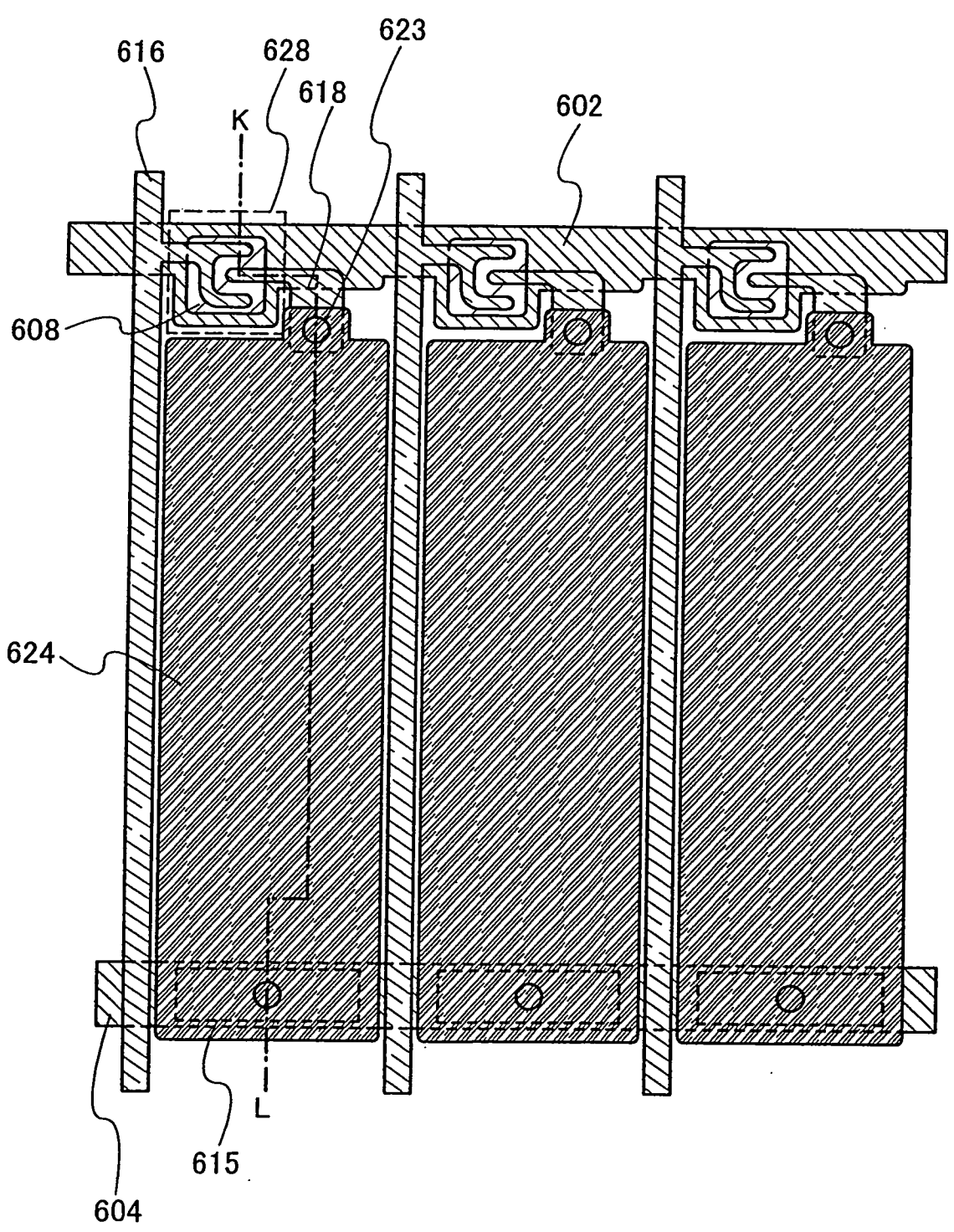


圖27A

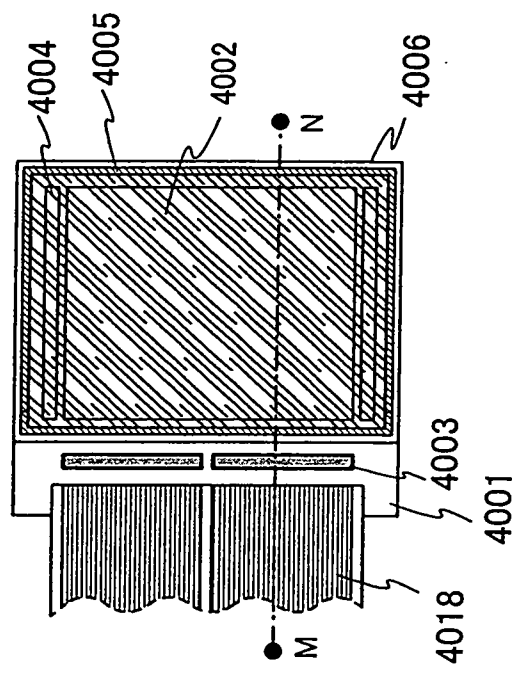


圖27B

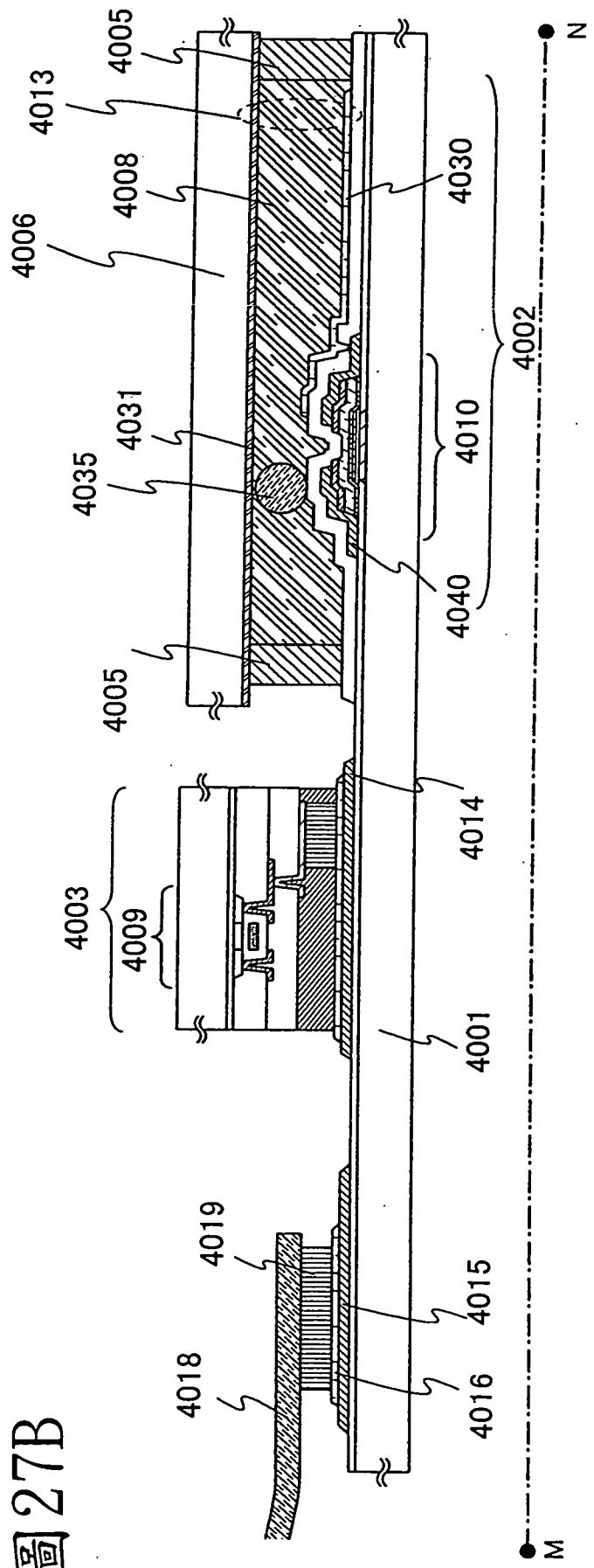


圖 28

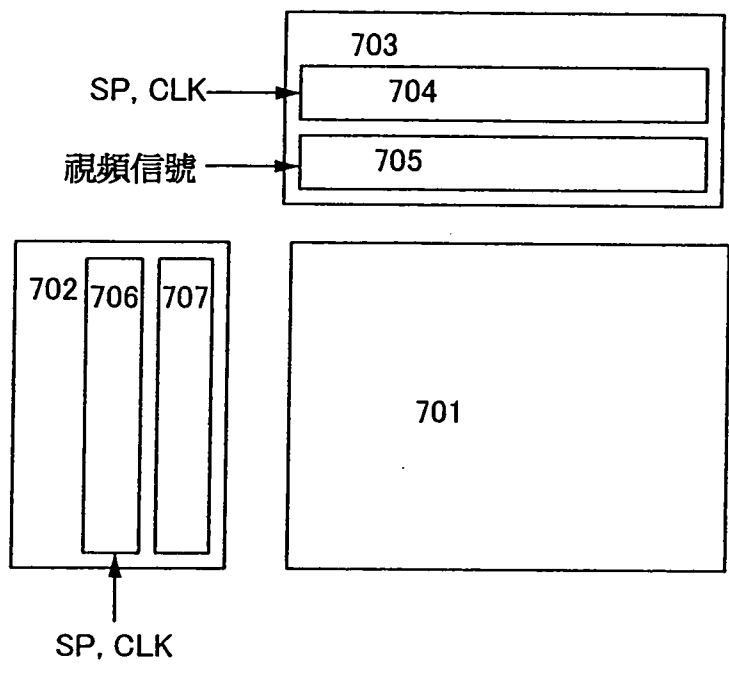


圖29

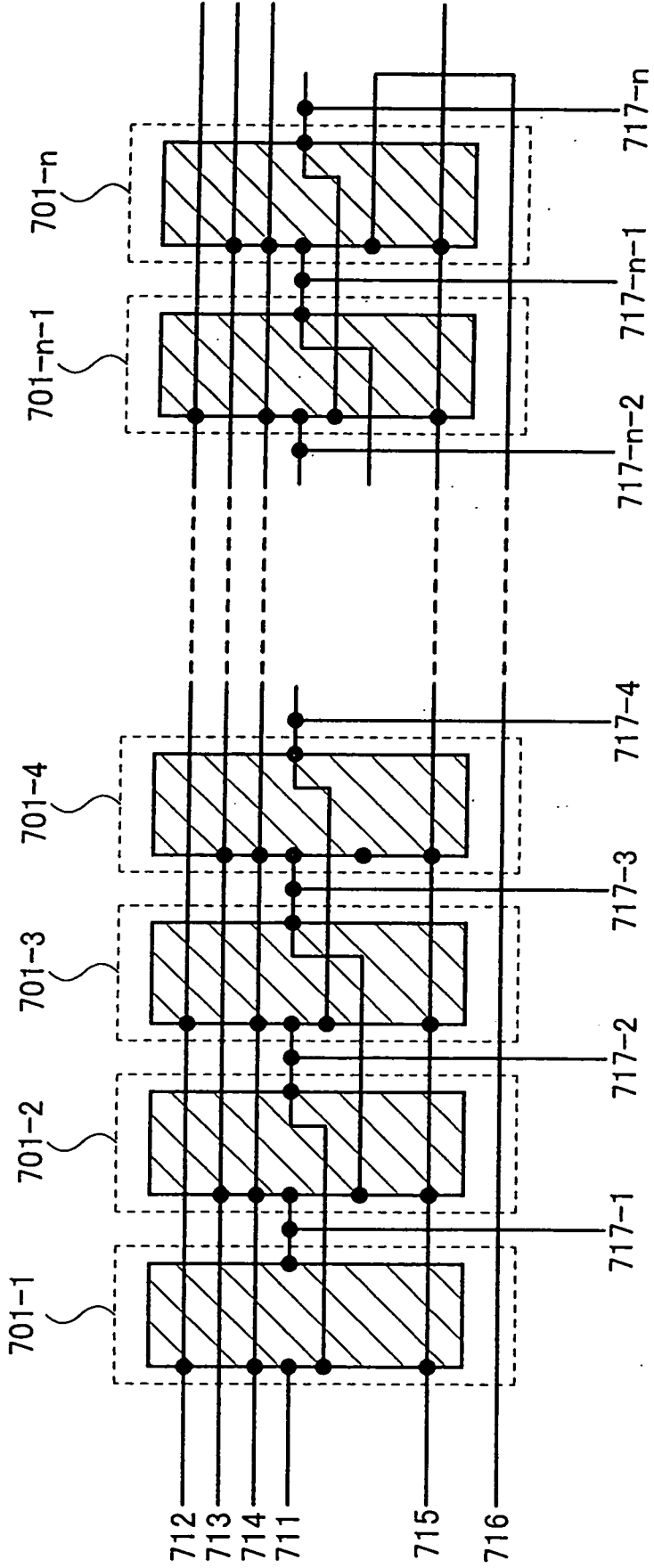
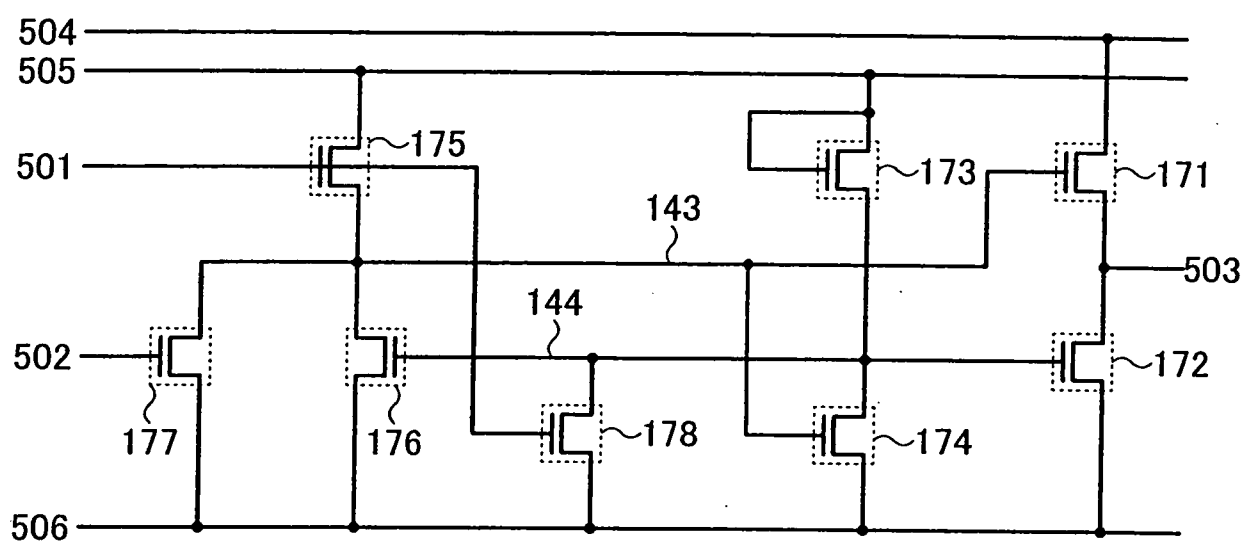


圖 30



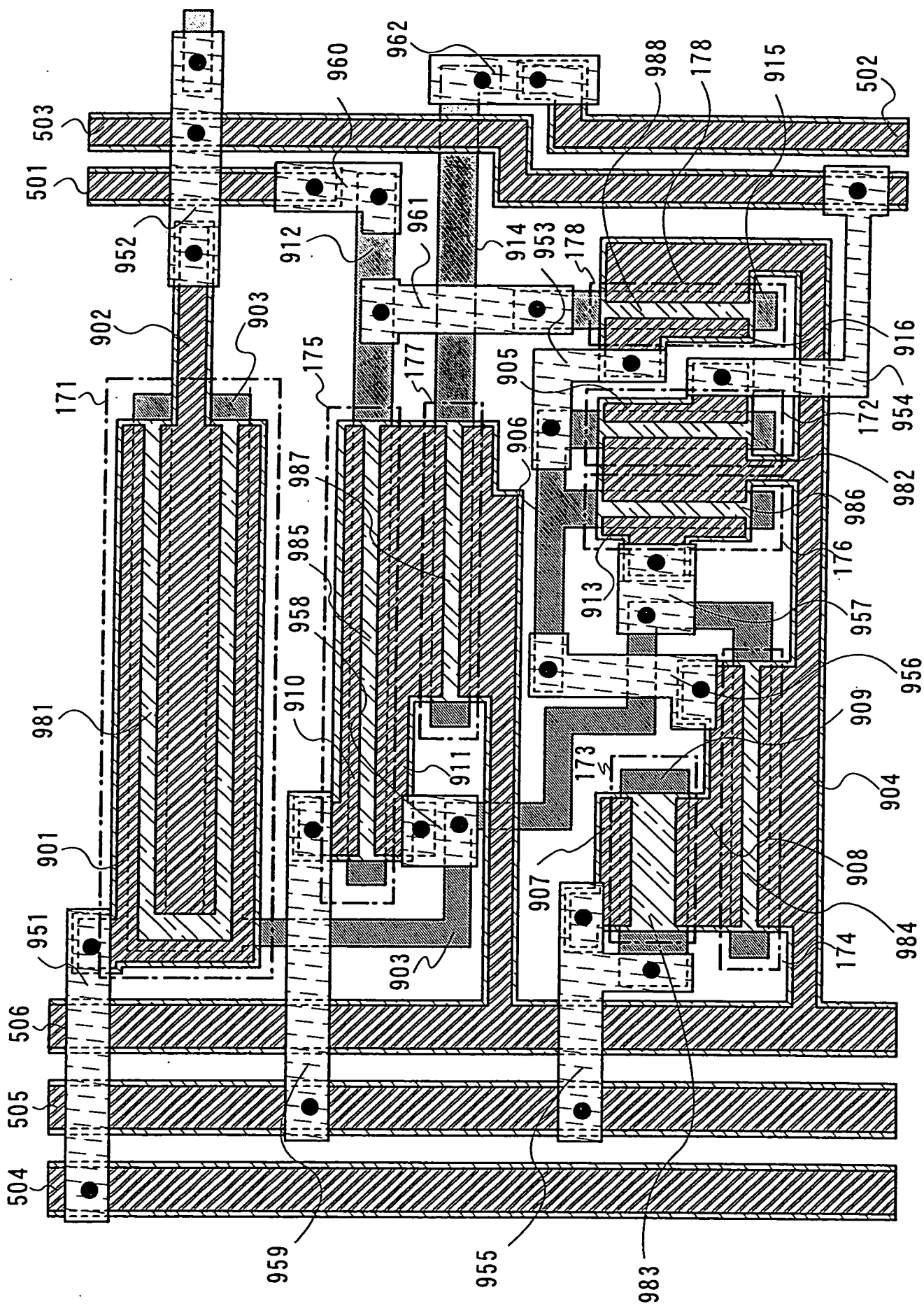


圖 32A

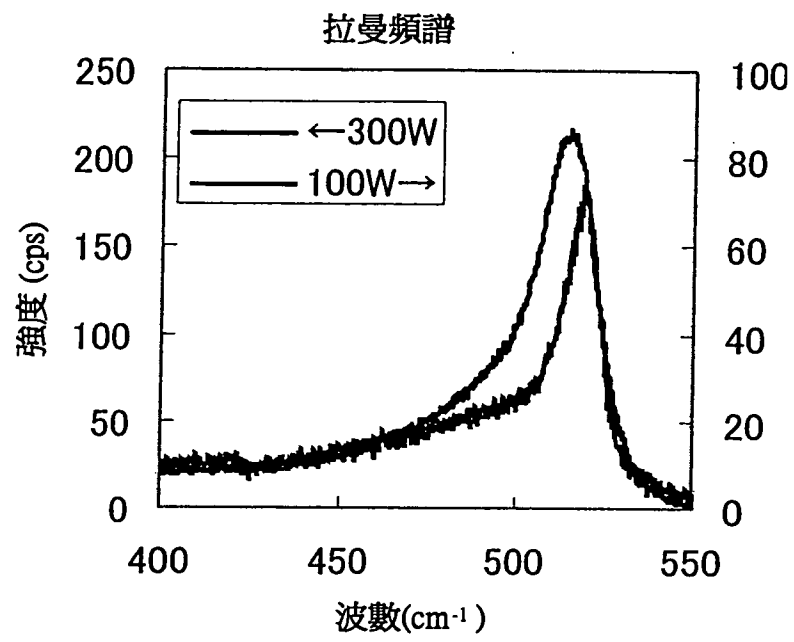


圖 32B

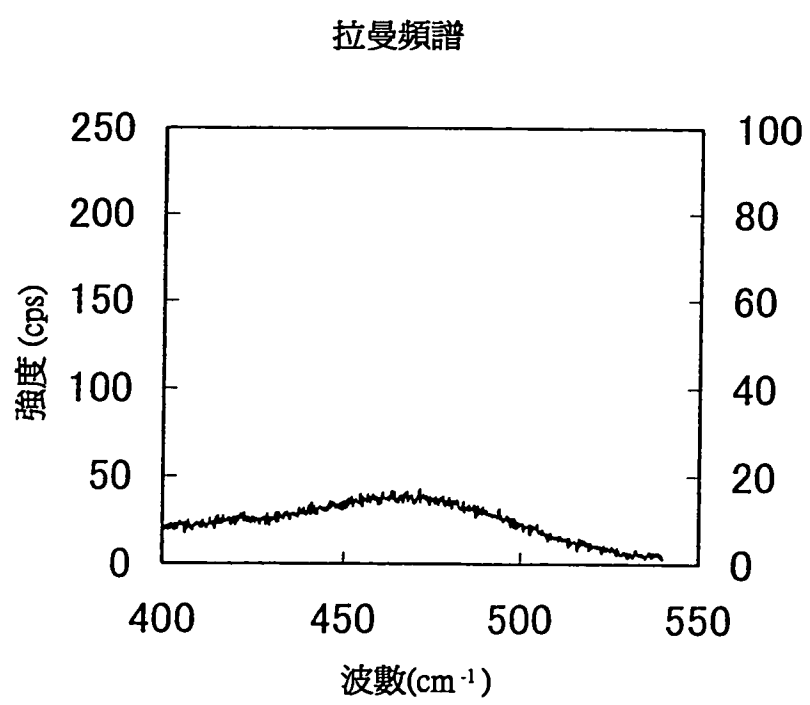


圖 33A

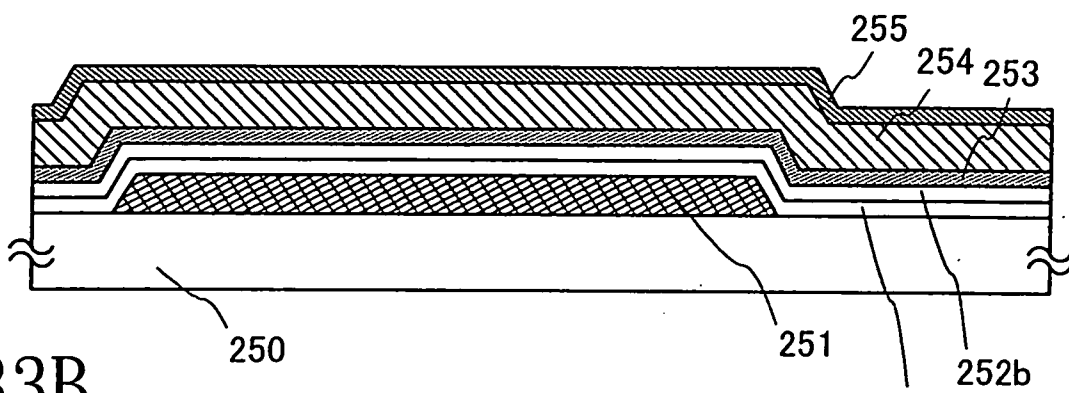


圖 33B

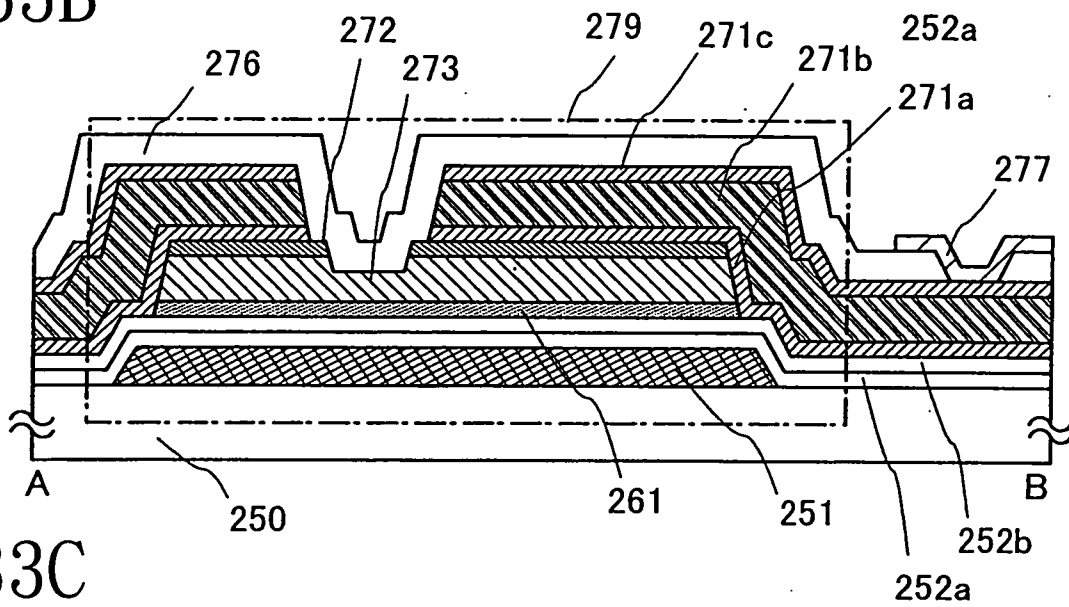


圖 33C

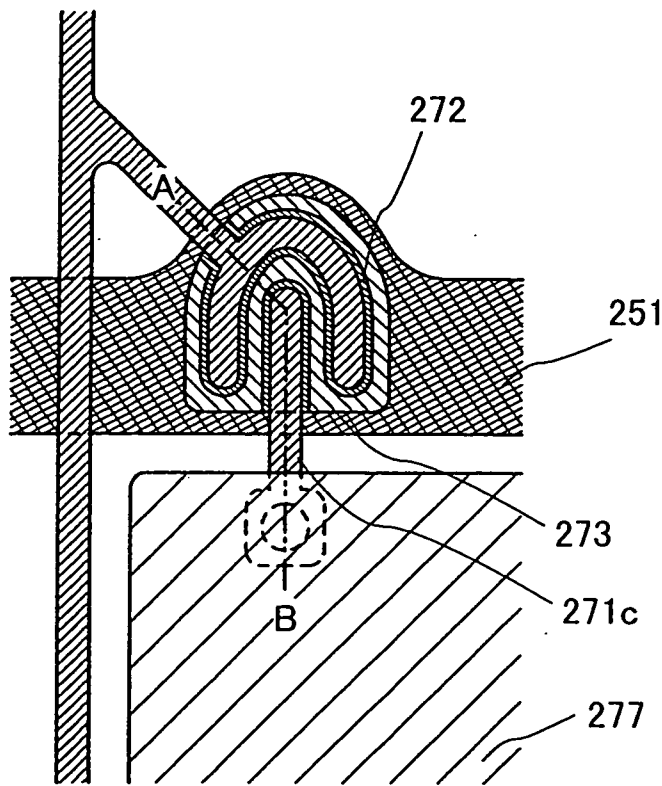


圖 34A

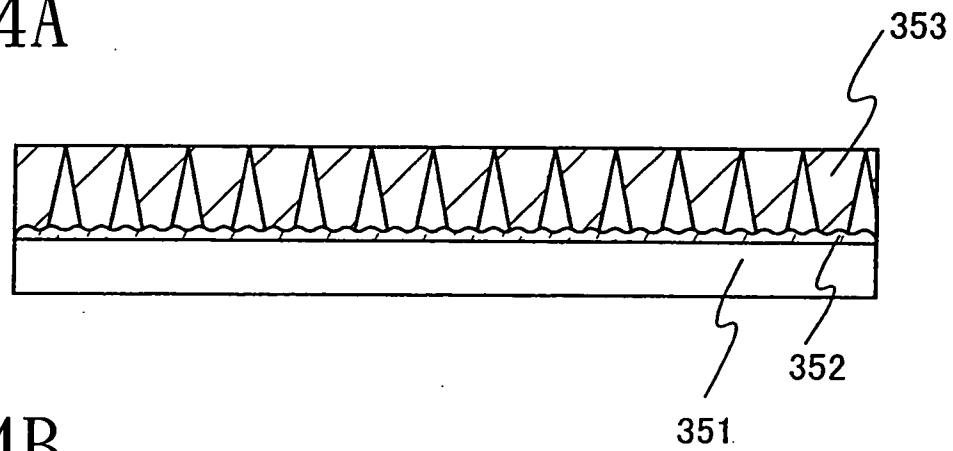


圖 34B

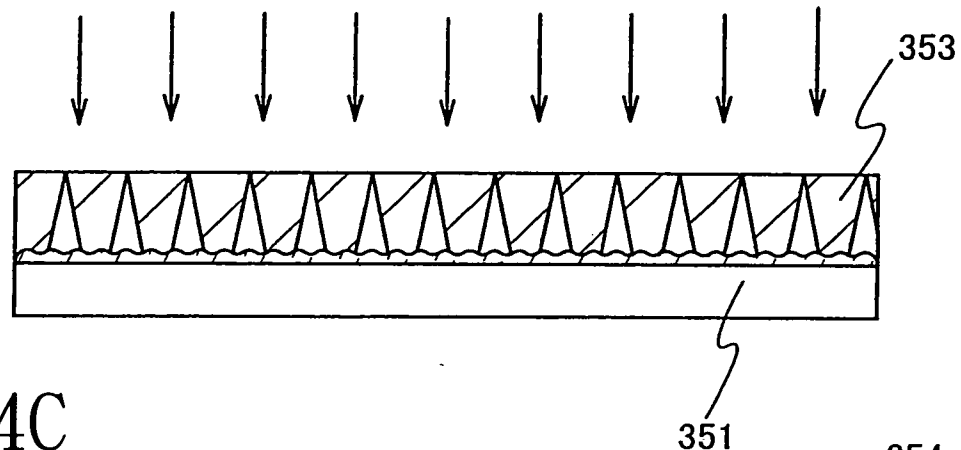


圖 34C

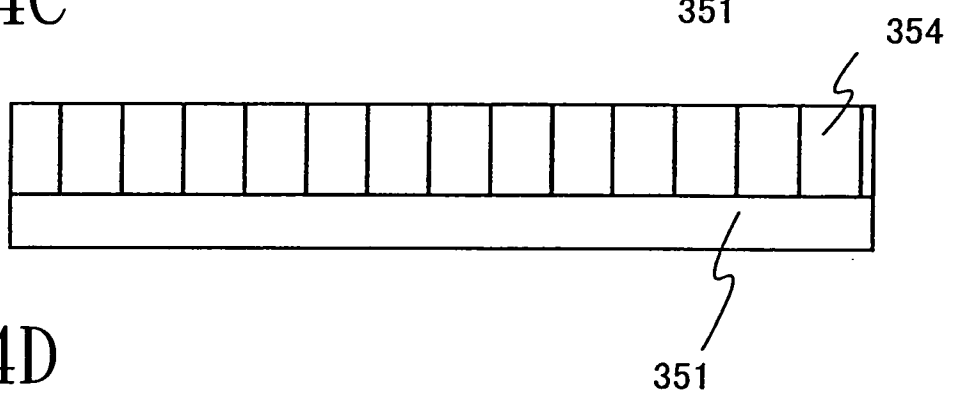


圖 34D

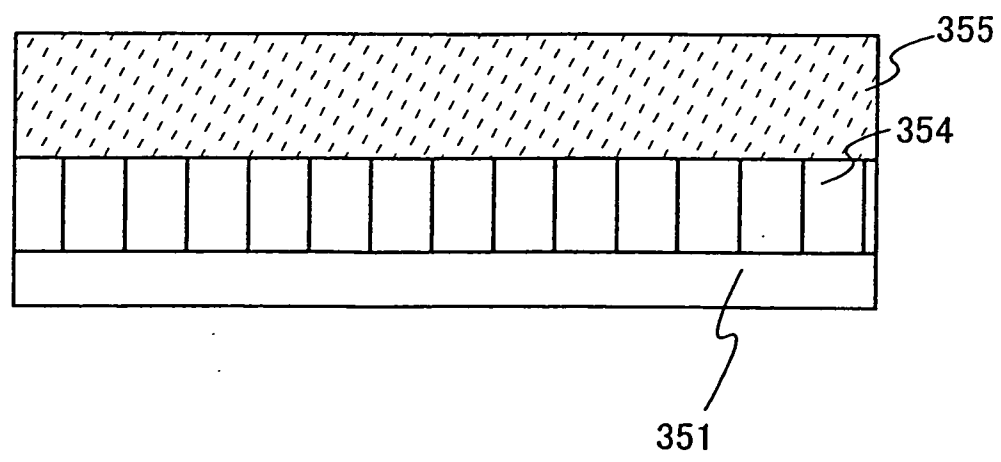


圖 35A

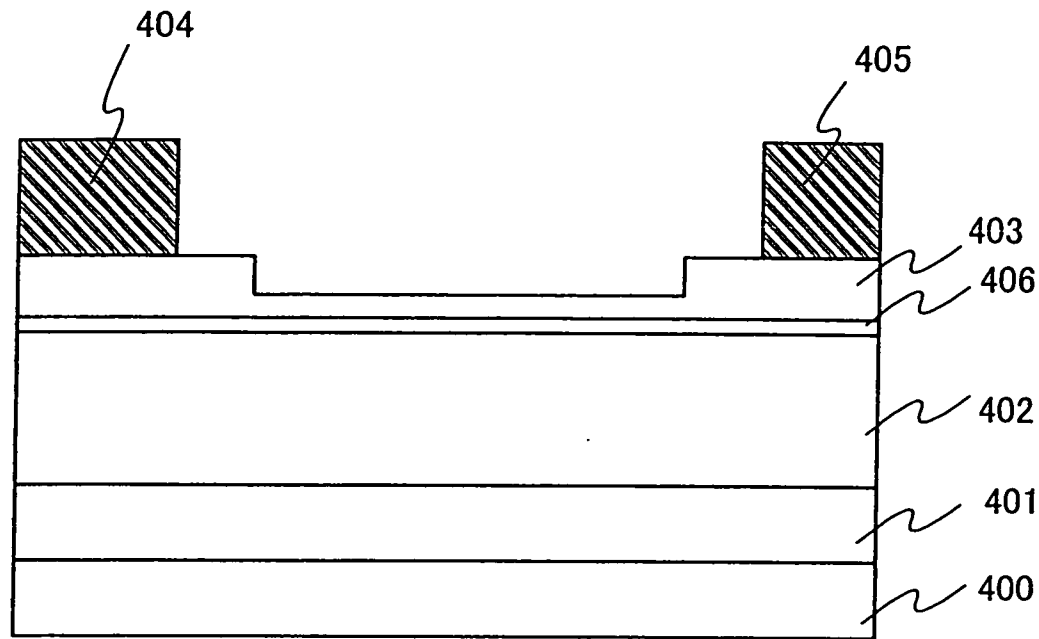


圖 35B

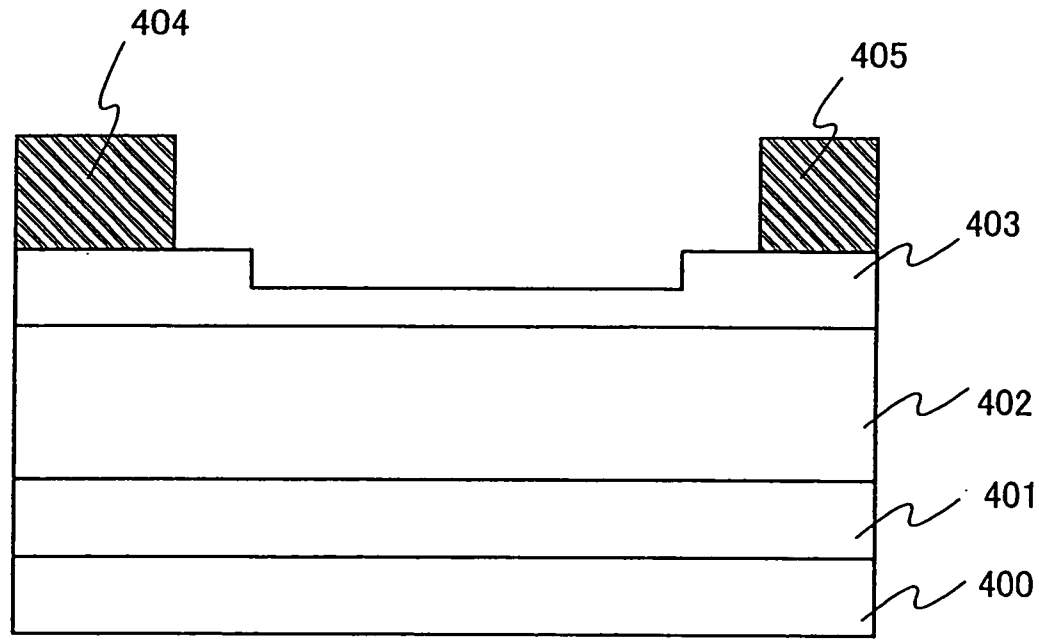


圖36

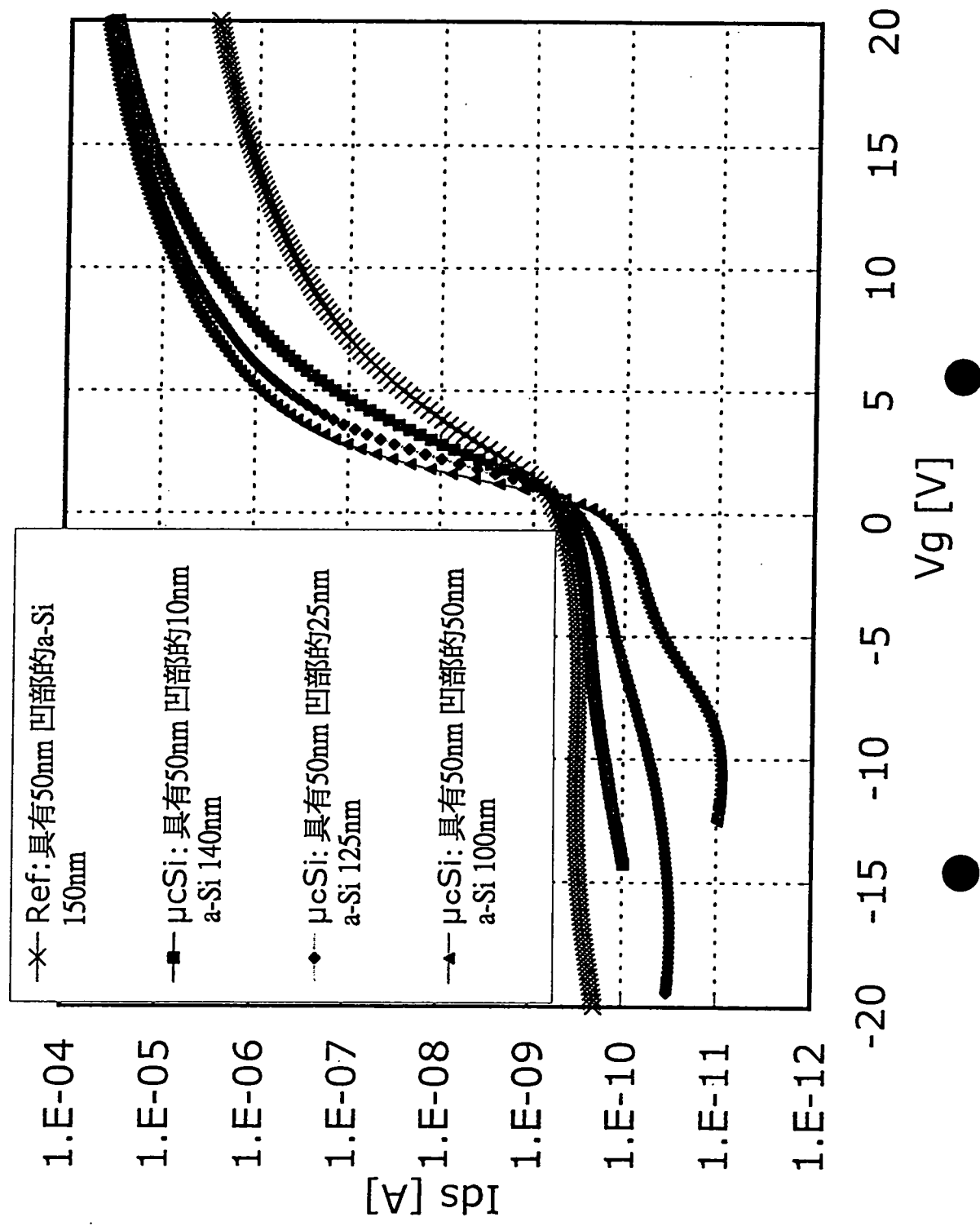


圖37

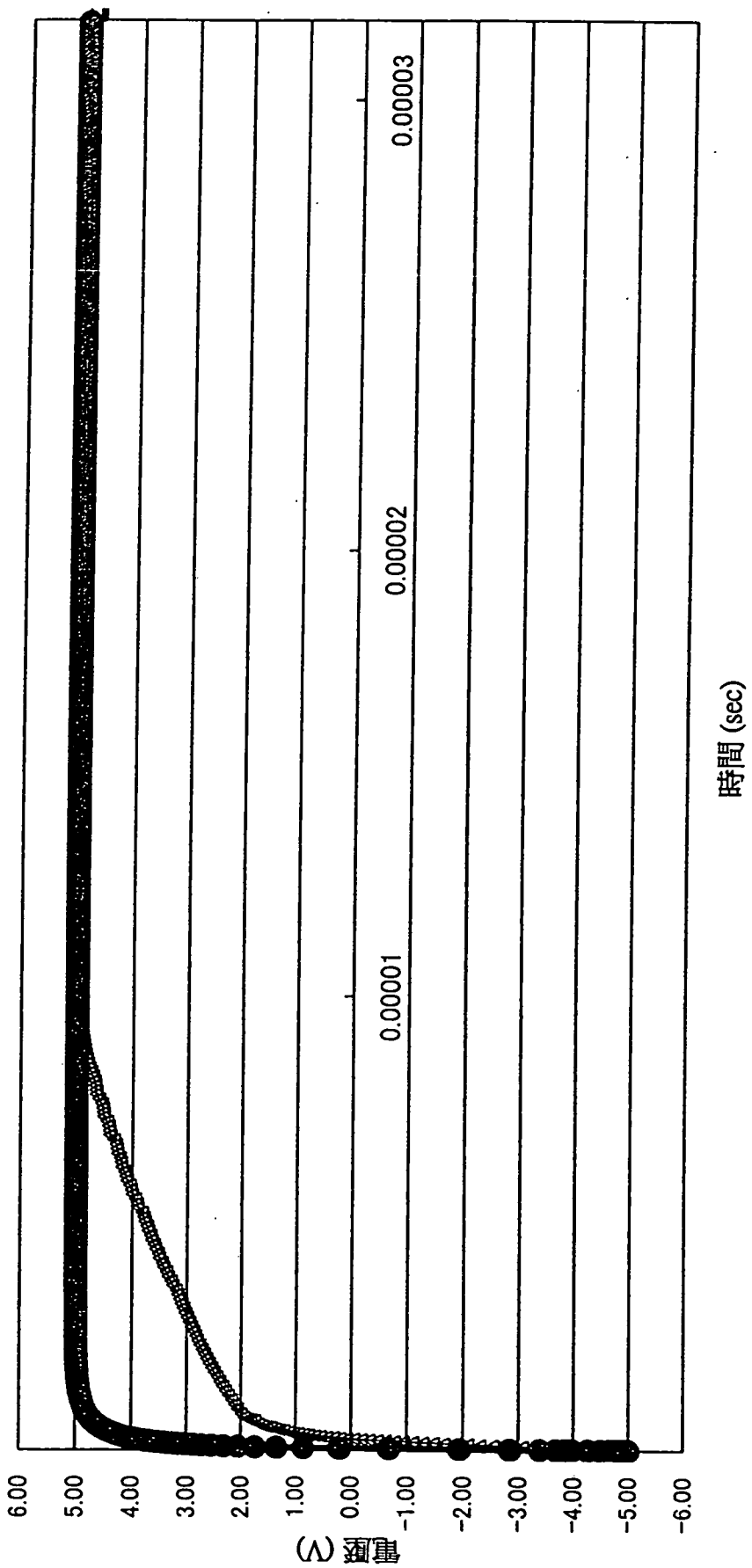


圖 38

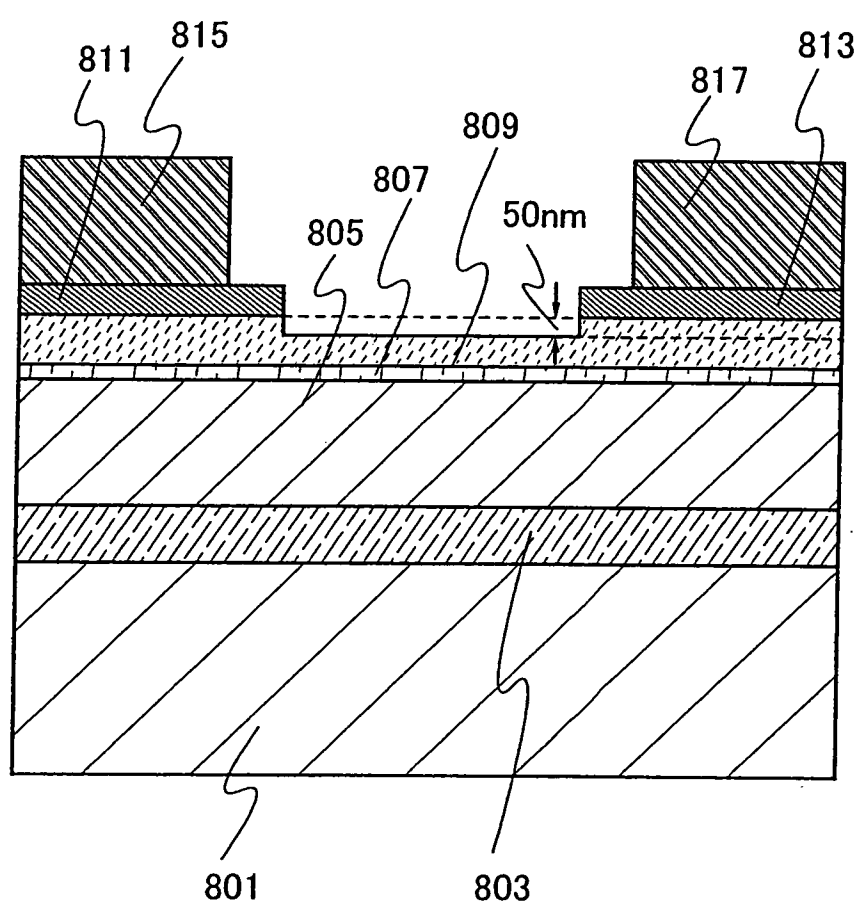


圖 39

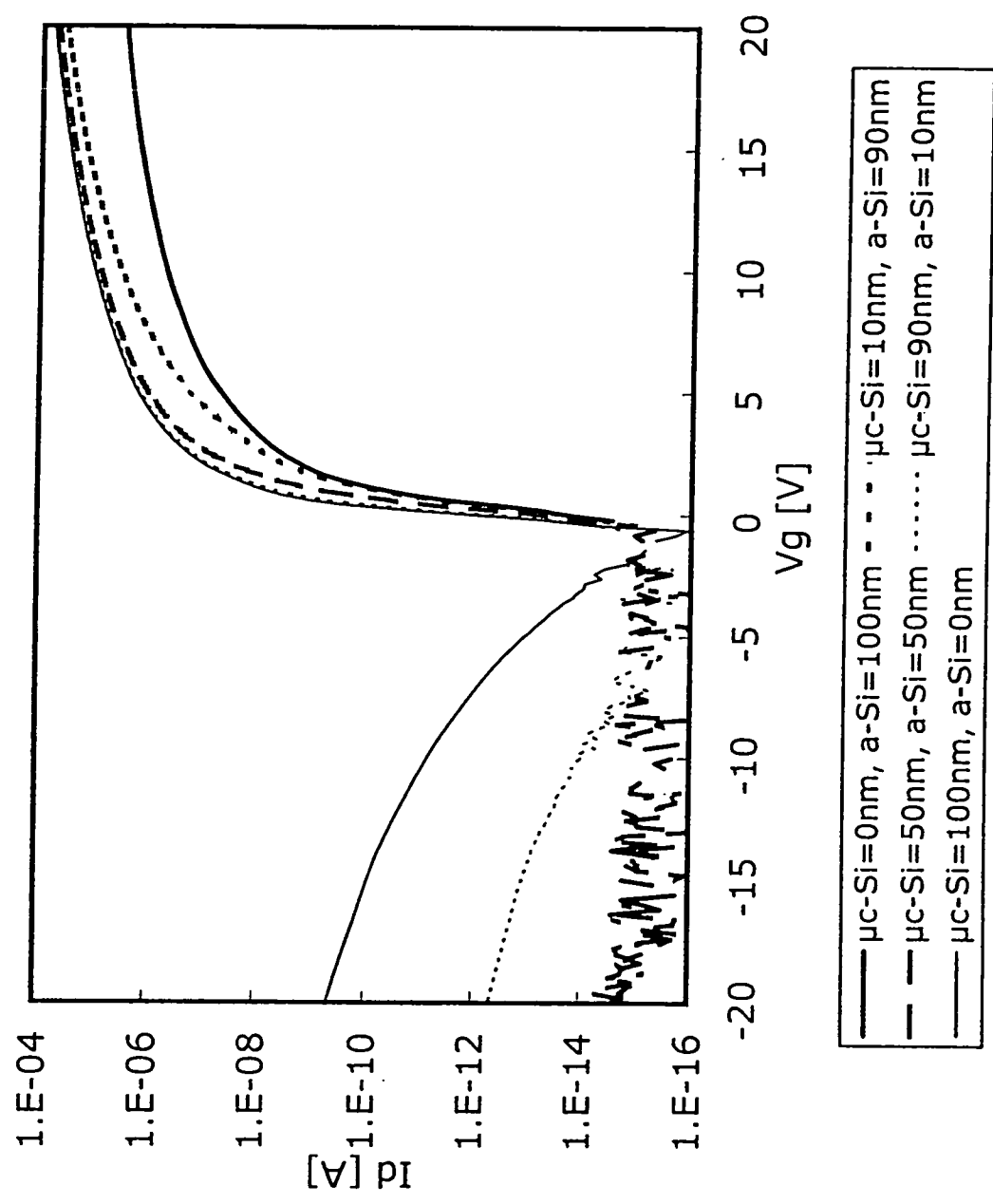


圖 40A

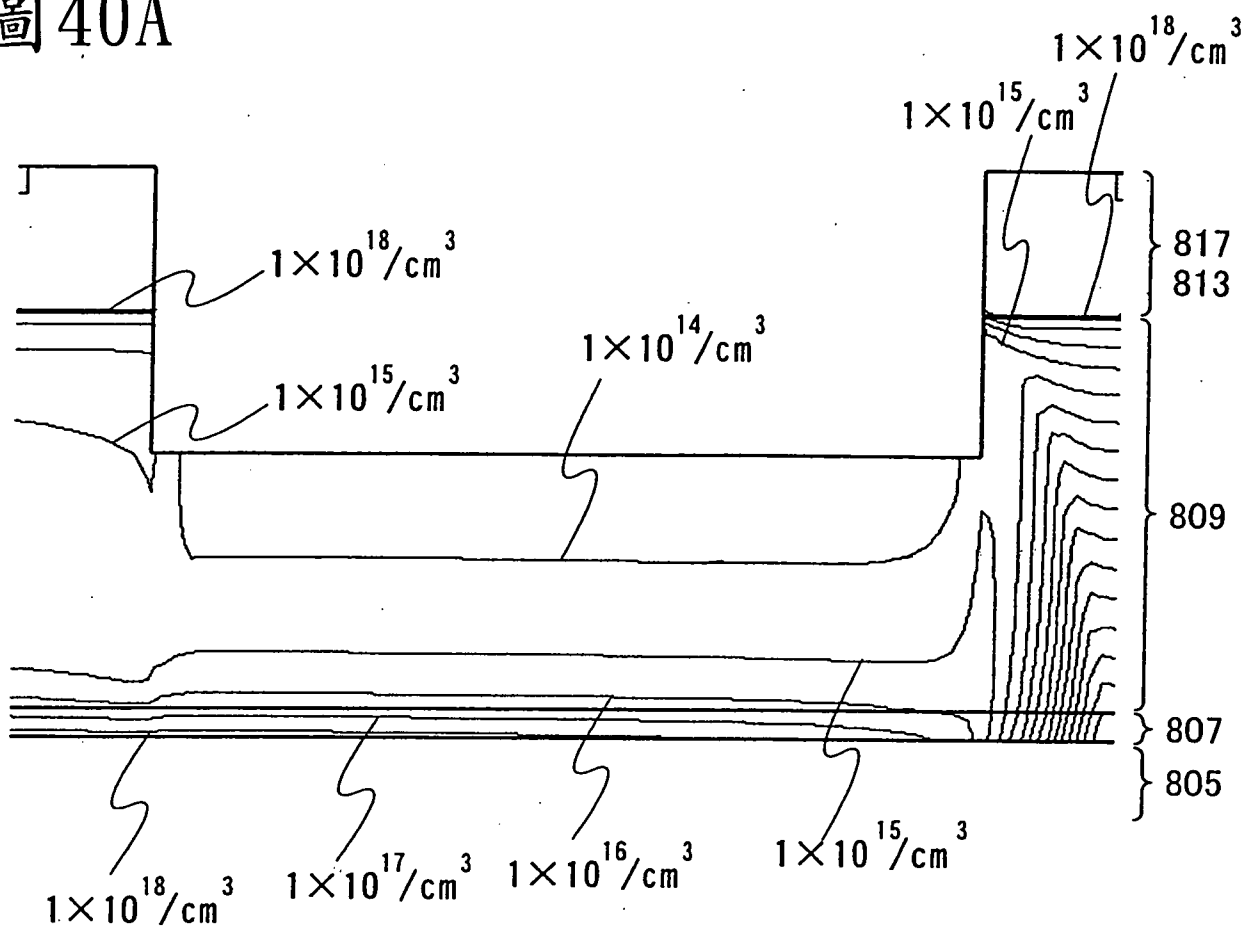


圖 40B

