

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.



[12] 发明专利说明书

专利号 ZL 200610059879.2

H01L 27/04 (2006.01)

H01L 27/115 (2006.01)

H01L 29/78 (2006.01)

[45] 授权公告日 2009 年 7 月 8 日

[11] 授权公告号 CN 100511682C

[22] 申请日 2003. 6. 24

[21] 申请号 200610059879.2

分案原申请号 03148711.4

[30] 优先权

[32] 2002. 6. 24 [33] JP [31] 182323/2002

[32] 2002. 11. 26 [33] JP [31] 342143/2002

[73] 专利权人 株式会社日立制作所

地址 日本东京

共同专利权人 株式会社瑞萨科技

[72] 发明人 石塚典男 岩崎富生 太田裕之

三浦英生 高橋正人 鈴木範夫

池田修二 田中英樹 美馬宏行

[56] 参考文献

JP2001 - 358336A 2001. 12. 26

US5972759A 1999. 10. 26

US6395598B1 2002. 5. 28

JP2001 - 267560A 2001. 9. 28

审查员 车晓璐

[74] 专利代理机构 中国国际贸易促进委员会专利
商标事务所

代理人 王以平

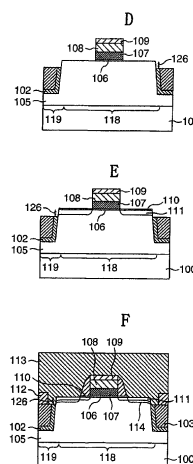
权利要求书 3 页 说明书 36 页 附图 40 页

[54] 发明名称

半导体器件

[57] 摘要

一种半导体器件，其特征在于具有：半导体衬底；含形成在所述衬底中的沟槽和埋入在沟槽内的绝缘膜的元件隔离区；形成在所述衬底中的有源区，该有源区包括其上形成有栅绝缘膜的阱区，该栅绝缘膜上形成有栅电极，阱区包括与栅电极相对地设置的源和漏扩散区，其中，沟槽中的埋入绝缘膜具有平面延伸到衬底中的底表面，且该埋入绝缘膜包围着有源区，该底表面延伸的深度比扩散区深；埋入绝缘膜有至少包围源和漏扩散区的凹陷的上部平表面，以防止元件隔离区所引起的晶体缺陷，所述凹陷的上部平表面的深度从衬底的平表面算起大于等于所述源和漏扩散区的杂质分布的峰值浓度的深度；沿沟槽中的埋入绝缘膜的侧面和底面形成有氮氧化物膜，该氮氧化物膜与衬底相接触。



1. 一种半导体器件，具有：

半导体衬底；

包括形成在所述半导体衬底中的沟槽和埋入在所述沟槽内的绝缘膜的元件隔离区；和

形成在所述半导体衬底中的有源区，该有源区包括在上面形成有栅绝缘膜的阱区，并且在该栅绝缘膜上形成有栅电极，所述阱区包括与所述栅电极相对应地设置的离子注入的源和漏扩散区，

其中，在所述沟槽中的所述埋入绝缘膜具有平面延伸地深入到所述半导体衬底中的底表面，且该埋入绝缘膜在平面图上包围着所述有源区，该底表面延伸的深度比所述扩散区深；

所述埋入绝缘膜具有至少包围所述源和漏扩散区的凹陷的上部平表面，以防止因在所述扩散区附近的所述元件隔离区所引起的晶体缺陷，所述凹陷的上部平表面的深度从所述半导体衬底的平表面算起等于或大于所述源和漏扩散区的杂质分布的峰值浓度的深度；以及

沿所述沟槽中的所述埋入绝缘膜的侧面和底面形成有氮氧化物膜并且该氮氧化物膜与所述半导体衬底相接触。

2. 权利要求1所述的半导体器件，其中，

沿所述沟槽的底部和侧壁设置有热氧化膜，并沿所述热氧化膜的侧面和底面形成有所述氮氧化物膜并且该氮氧化物膜与所述半导体衬底相接触。

3. 权利要求1所述的半导体器件，其中，

所述凹陷的上部平表面的所述深度大于从所述半导体衬底的表面到所述离子注入的源和漏区的杂质分布在峰值浓度处的深度的距离。

4. 权利要求1所述的半导体器件，其中，

所述埋入绝缘膜具有遍及所述沟槽中除了设置有所述栅电极处之外的凹陷的上部平表面。

5. 权利要求1所述的半导体器件，其中，

所述凹陷的上部平表面的深度是从所述衬底的平表面上位于栅电极边缘与邻近的所述沟槽侧壁之间的中间位置处测量的。

6. 一种半导体器件，具有：

半导体衬底，包括在阱区中形成有元件的多个有源区和用于将所述多个有源区相互隔离的元件隔离区；

在所述半导体衬底的各个有源区的表面上隔着栅绝缘膜形成的栅电极，其中有源区的每个元件具有与所述栅电极相对应地设置的离子注入的源和漏扩散区；和

在所述半导体衬底的所述元件隔离区中形成的沟槽，在所述沟槽中埋入有绝缘膜，

其中，在所述沟槽中的所述埋入绝缘膜具有平面延伸地深入到所述半导体衬底中的底表面，且该埋入绝缘膜在平面图上包围着所述有源区，该底表面延伸的深度比所述扩散区深；

所述埋入绝缘膜具有至少包围所述源和漏扩散区的凹陷的上部平表面，以防止因在所述扩散区附近的所述元件隔离区所引起的晶体缺陷，所述凹陷的上部平表面的深度从所述半导体衬底的平表面算起等于或大于所述源和漏扩散区的杂质分布的峰值浓度的深度；以及

沿所述沟槽中的所述埋入绝缘膜的侧面和底面形成有氮氧化物膜并且该氮氧化物膜与所述半导体衬底相接触。

7. 权利要求 6 所述的半导体器件，其中，

沿所述沟槽的底部和侧壁设置有热氧化膜，并沿所述热氧化膜的侧面和底面形成有所述氮氧化物膜并且该氮氧化物膜与所述半导体衬底相接触。

8. 权利要求 6 所述的半导体器件，其中，

所述凹陷的上部平表面的所述深度大于从所述半导体衬底的表面到所述离子注入的源和漏区的杂质分布在峰值浓度处的深度的距离。

9. 权利要求 6 所述的半导体器件，其中，

所述埋入绝缘膜具有遍及所述沟槽中除了设置有所述栅电极处之外的凹陷的上部平表面。

10. 权利要求 6 所述的半导体器件，其中，
所述凹陷的上部平表面的深度是从所述衬底的平表面上位于栅电极边缘与邻近的所述沟槽侧壁之间的中间位置处测量的。

半导体器件

本申请是申请日为 2003 年 6 月 24 日、申请号为 03148711.4、发明名称为“半导体器件及其制造方法”的专利申请的分案申请。

技术领域

本发明涉及半导体器件，特别是涉及具有具备沟槽和埋入到沟槽内的绝缘膜的元件隔离区的半导体器件。

背景技术

在 MOS 晶体管的栅极电极侧壁上形成有将成为侧壁的绝缘膜，向其两端注入杂质形成源极或漏极区。在源极或漏极区中，在硅衬底中，大多会发生晶体缺陷，作为防止该结晶缺陷的方法，在特开平 08-97210 号公报中，公开了如图 8 所示在栅极电极的侧面和要成为侧壁的硅氮化物膜及其下边的衬底之间存在着氧化膜的构成。

此外，可以进行数据的电写入和电擦除的非易失性半导体存储装置，由于例如可以在保持已组装到布线基板上边的原状不变的状态下进行数据的改写，便于使用，所以可以范围广阔地在那些需要存储器的各种产品中使用。

特别是一揽子电擦除型 EEPROM(电可擦可编程只读存储器；以下叫做闪速存储器)，具有一揽子地电擦除存储器阵列一定范围(存储器阵列的所有存储单元或规定的存储单元群)的数据的功能。此外，闪速存储器由于是单晶体管叠层栅极构造，故对推动单元小型化和向高集成化迈进的期待也大。

单晶体管叠层栅极构造的 1 个非易失性存储单元(以下，简称为存储单元)基本上用 1 个 2 层栅极场效应晶体管(金属绝缘体半导体场效应晶体管；以下叫做 MISFET)构成。该 2 层栅极 MISFET，可采

用在半导体衬底上边通过隧道绝缘膜设置浮置栅极电极，再在其上边通过层间膜叠层控制栅极电极的办法形成。数据的存储，可采用向上述浮置栅极电极注入电子，或从浮置栅极电极上抽出电子的办法进行。

至于闪速存储器，已公开了具有在半导体衬底上行列状配置的多个存储单元，在各列中上述多个存储单元的源极·漏极区彼此并联连接，在各行中字线进行延伸的存储器阵列构成的并联型闪速存储器的构造及其使用方法(例如，参看专利文献 1：特开平 08-97210 号公报)。这种闪速存储器，作为‘AND 型闪速存储器’的名称，也是人们所熟知的。

此处，将专利文献 1 和专利文献 2 (特开平 08-279566 号公报) 的内容引入作为参考。

但是，本发明人发现：若使用上述众所周知的构造，则不能充分地抑制在含有源极和漏极区等的有源区域的衬底上发生的晶体缺陷。

这是因为晶体缺陷的产生并不仅仅决定于栅极电极的应力，来自其它元件隔离区的应力或基于已注入的杂质的原因也会产生不能忽视的显著影响。

此外，本发明人还发现在开发具有上述 AND 型闪速存储器的半导体集成电路器件时存在着以下一些问题。就是说，显然的是：随着闪速存储器的高集成化存储单元虽然被微细化，但是，同时在衬底上发生的晶体缺陷将增加，存储单元的结漏电流增大，因而将产生存储器读出不合格或数据破坏模式等的不合格。

该晶体缺陷，虽然起因于在例如已注入进杂质的区域中产生的应力、在栅极电极或元件隔离部分的形成过程中产生的应力等，但是特别是在用浅沟槽隔离(以下，叫做 STI)构成元件隔离部分的情况下，估计在衬底上会产生许多的晶体缺陷。

STI 可以采用例如在衬底上形成了浅沟槽之后，向该沟槽内埋入绝缘膜，再使其表面平坦化的办法形成。但是，在形成了 STI 后进行的 800℃ 以上的热处理工序中，在沟槽的侧壁上会产生因氧化膜的生

长而形成的体积膨胀,该体积膨胀受埋入到沟槽内部的绝缘膜束缚,在衬底上产生将成为晶体缺陷原因的压缩应力。

该压缩应力,由于易于集中于有源区域的宽度相对窄、图形密度相对高的地方,故在闪速存储器的情况下,在有源区域的相对宽的区域,例如有源区域的宽度比外围电路区域相对窄的存储器阵列中,晶体缺陷就产生得多,从而产生存储单元的结漏电流。

本发明的发明者,对在衬底上形成有元件隔离区,在元件隔离区上形成了栅极构造而且在已用高浓度向硅衬底中注入进砷或磷等的杂质的情况下,易于产生晶体缺陷的现象进行了研究。其结果是查清了这样的情况:当向衬底中注入进杂质后,在已注入进杂质的区域(杂质形成区域)上就会产生高的应力(杂质诱生应力),该杂质诱生应力由于受在栅极构造或元件隔离形成过程中产生的应力(STI 应力)的束缚而产生晶体缺陷。根据这一点,发现:可以采用减小 STI 应力使得不束缚该杂质应力的办法,来抑制晶体缺陷。

或者,元件隔离区是这样的隔离区:在硅衬底上边形成沟槽,例如,埋入埋入氧化膜。在晶体管的形成过程中,存在着许多硅衬底氧化工序。由于将成为氧化反应物的氧也将通过埋入氧化膜进行扩散,故在沟槽侧壁上,也会生长氧化膜。在从 Si 变化成 SiO_2 时,将产生 2 倍的体积膨胀。由于该体积膨胀受已埋入的氧化膜束缚,故在硅衬底中就会产生高的压缩应力。为此,为了减小该压缩应力,就要使已埋入的埋入氧化膜从硅衬底表面凹陷进去。借助于此,采用减小氧化所伴随的应力的办法的就可以抑制晶体缺陷。

发明内容

于是,本发明的第 1 目的在于提供可以有效地抑制在衬底上产生的晶体缺陷的性能良好的半导体器件。

本发明的第 2 目的在于提供可以抑制在闪速存储器中在衬底上产生的晶体缺陷,提高存储单元的结漏电流的裕度的技术。

为了实现上述目的,本发明的做法是使得元件隔离区中的埋入氧

化膜凹陷进去。借助于此，就可以抑制衬底的晶体缺陷的产生。

此外，具体地说，可以采用如下的形态。

(1). 一种半导体器件，具有：半导体衬底；包括形成在所述半导体衬底中的沟槽和埋入在所述沟槽内的绝缘膜的元件隔离区；和形成在所述半导体衬底中的有源区，该有源区包括在上面形成有栅绝缘膜的阱区，并且在该栅绝缘膜上形成有栅电极，所述阱区包括与所述栅电极相对应地设置的离子注入的源和漏扩散区，其中，在所述沟槽中的所述埋入绝缘膜具有平面延伸地深入到所述半导体衬底中的底表面，且该埋入绝缘膜在平面图上包围着所述有源区，该底表面延伸的深度比所述扩散区深；所述埋入绝缘膜具有至少包围所述源和漏扩散区的凹陷的上部平表面，以防止因在所述扩散区附近的所述元件隔离区所引起的晶体缺陷，所述凹陷的上部平表面的深度从所述半导体衬底的平表面算起大致等于或大于所述源和漏扩散区的杂质分布的峰值浓度的深度；以及沿所述沟槽中的所述埋入绝缘膜的侧面和底面形成有氮氧化物膜并且该氮氧化物膜与所述半导体衬底相接触。

(2). 一种半导体器件，具有：半导体衬底，包括在阱区中形成有元件的多个有源区和用于将所述多个有源区相互隔离的元件隔离区；在所述半导体衬底的各个有源区的表面上隔着栅绝缘膜形成的栅电极，其中有源区的每个元件具有与所述栅电极相对应地设置的离子注入的源和漏扩散区；和在所述半导体衬底的所述元件隔离区中形成的沟槽，在所述沟槽中埋入有绝缘膜，其中，在所述沟槽中的所述埋入绝缘膜具有平面延伸地深入到所述半导体衬底中的底表面，且该埋入绝缘膜在平面图上包围着所述有源区，该底表面延伸的深度比所述扩散区深；所述埋入绝缘膜具有至少包围所述源和漏扩散区的凹陷的上部平表面，以防止因在所述扩散区附近的所述元件隔离区所引起的晶体缺陷，所述凹陷的上部平表面的深度从所述半导体衬底的平表面算起大致等于或大于所述源和漏扩散区的杂质分布的峰值浓度的深度；以及沿所述沟槽中的所述埋入绝缘膜的侧面和底面形成有氮氧化物膜并且该氮氧化物膜与所述半导体衬底相接触。

(3). 上述(1)或(2)所述的半导体器件,其中,沿所述沟槽的底部和侧壁设置有热氧化膜,并沿所述热氧化膜的侧面和底面形成有所述氮氧化物膜并且该氮氧化物膜与所述硅衬底相接触。

(4). 上述(1)或(2)所述的半导体器件,其中,所述凹陷的上部平表面的所述深度大于所述栅绝缘膜的厚度。

(5). 上述(1)或(2)所述的半导体器件,其中,所述凹陷的上部平表面的所述深度大于从所述半导体衬底的表面到所述离子注入的源和漏区的杂质分布在峰值浓度处的深度的距离。

(6). 上述(1)或(2)所述的半导体器件,其中,所述埋入绝缘膜具有遍及所述沟槽中除了设置有所述栅电极处之外的凹陷的上部平表面。

(7). 上述(1)或(2)所述的半导体器件,其中,所述凹陷的上部平表面的深度是从所述衬底平表面上位于栅电极边缘与邻近的所述沟槽侧壁之间的中间位置处测量的。

(8). 具备: 半导体衬底; 上述元件隔离区; 上述栅极绝缘膜; 上述有源区域和上述元件隔离区; 具有位于比已淀积到上述有源区域上的上述栅极电极还往上边的上端面的层间绝缘膜,其特征在于: 上述栅极电极的一部分位于上述元件隔离区上,要淀积到位于上述栅极电极的周围的上述元件隔离区上的上述层间绝缘膜的一部分,在沟槽底面一侧,用位于上述栅极电极的下边的上述元件隔离区的上述埋入绝缘膜的上表面形成。

作为更为具体的例子,在有源区域上边和元件隔离区上边的一部分上具备栅极电极膜和栅极绝缘膜,该元件隔离区的埋入氧化膜和该绝缘膜之间的界面,从半导体衬底表面凹陷了进去,此外,还从处于元件隔离区上边的栅极绝缘膜和埋入氧化膜之间的界面凹陷了进去。或者,元件隔离区的埋入氧化膜与该绝缘膜之间的界面从处于元件隔离区上边的栅极电极膜和埋入氧化膜之间的界面凹陷了进去,此外,还从半导体衬底表面凹陷进杂质的形成深度以上。

(9). 在(1)到(8)中,埋入氧化膜具有使用高密度(1×10^{10} 到

1×10^{12} 个/ cm^3)的等离子体制作的 HDP 膜。

(10). 被形成使得元件隔离区的埋入绝缘膜界面比半导体衬底更低。例如, 具备: 半导体衬底; 具有在上述半导体衬底上边形成有栅极电极的有源区域; 具有在上述半导体衬底上形成的沟槽和埋入到该沟槽内的埋入绝缘膜的元件隔离区, 上述埋入绝缘膜的界面, 在比已形成了上述栅极电极的半导体衬底表面更低的位置上形成。

(11). 一种半导体器件的制造方法, 具有如下工序: 在半导体衬底上形成沟槽, 向上述沟槽内埋入导电性比上述衬底还低的埋入绝缘膜, 形成元件隔离区和与元件隔离区相邻的有源区域的工序; 向上述半导体衬底上淀积栅极绝缘膜和栅极电极膜并在其上边淀积绝缘膜, 进行图形化以形成栅极电极的工序; 除去上述元件隔离区的上述埋入绝缘膜的一部分, 在上述埋入绝缘膜的表面上, 形成存在有上述栅极电极的第 1 区域, 和在上述第 1 区域的周围形成且比上述第 1 区域还低的第 2 区域的工序。

(12). 在 (11) 中, 上述第 2 区域的上述埋入绝缘膜, 被除去的厚度大于上述绝缘膜的厚度。

(13). 在 (11) 中, 上述第 2 区域的上述埋入绝缘膜, 被除去的厚度大于 40nm 小于 200nm。

(14). 一种半导体器件的制造方法, 具有如下工序: 在半导体衬底上形成沟槽, 向上述沟槽内埋入导电性比上述衬底还低的埋入绝缘膜, 形成元件隔离区和与上述元件隔离区相邻的有源区域的工序; 向上述半导体衬底上淀积栅极绝缘膜和栅极电极膜以及在其上边淀积绝缘膜, 使之图形化以形成栅极电极的工序; 向半导体衬底上边涂敷光刻胶, 使之图形化以在上述元件隔离区上, 在存在有上述栅极电极的第 1 区域上剩下光刻胶, 除去不存在上述栅极电极的第 2 区域的光刻胶, 除去上述第 2 区域的上述埋入绝缘膜的一部分的工序; 在上述半导体衬底表面上形成热氧化膜, 使杂质通过上述热氧化膜向上述半导体衬底上注入, 进行退火以形成杂质区域的工序; 向上述半导体衬底上淀积导电性比半导体衬底还低的绝缘膜的工序; 在上述所淀积的

绝缘膜的上述杂质区域的位置上开孔，形成接触孔的工序；向上述接触孔内埋入导电性比硅高的导电性材料以形成栓塞的工序。

(15). 在(14)中，上述第2区域的上述埋入绝缘膜，被除去的深度大于从上述杂质区域的衬底到上述杂质将变成最高浓度的深度。

(16). 此外，本发明涉及半导体集成电路器件及其制造技术，特别是涉及提供适合于高集成化的非易失性半导体存储装置和对制造方法用之有效的技术。

为了实现上述目的，例如，就要相对地加大存储器阵列中的元件隔离部分的凹槽量，相对地减小或使外围电路区域中的元件隔离部分的凹槽量变成0。借助于此，就可以在闪速存储器中抑制在衬底上发生的晶体缺陷，提高存储单元的结漏电流的裕度。

具体地说，可以具有异化的构成。

具有：在衬底的将成为存储器阵列的元件隔离部分的区域上形成第1沟槽，在衬底的将成为元件隔离部分的区域上形成第2沟槽的工序；在向衬底上边淀积上绝缘膜后，使绝缘膜平坦化并向第1和第2沟槽的内部埋入绝缘膜的工序；在用光刻胶图形把外围电路区域被覆起来后，刻蚀已埋入到第1沟槽的内部的绝缘膜，使已埋入到第1沟槽的内部的绝缘膜的上表面比已埋入到第2沟槽的内部的绝缘膜的上表面凹陷得更深，在存储器阵列上形成凹槽量相对地大的元件隔离部分，在外围电路区域上形成凹槽量为0或相对地小的元件隔离部分的工序。

如上所述，采用可以相对地加大有源区域的相对窄的存储器阵列的元件隔离部分的凹槽量的办法减小元件隔离部分在衬底产生的应力，故可以抑制在衬底上产生的晶体缺陷，可以提高存储单元的结漏电流的裕度。

附图说明

图 1A-1H 是本发明的一个实施例的栅极构造的制造工序的模式

图。

图 2 是对本发明的一个实施例进行补充的模式图。

图 3 是对本发明的一个实施例进行补充的模式图，示出了杂质注入后的硅衬底的隆起。

图 4 是对本发明的一个实施例进行补充的模式图，示出了元件隔离应力的发生机理。

图 5 是对本发明的一个实施例进行补充的模式图，示出了在硅衬底表面上产生的应力对埋入氧化膜凹陷量的依赖性。

图 6 是对本发明的一个实施例进行补充的模式图，示出了根据实施例进行试制的结果。

图 7 是对本发明的一个实施例进行补充的模式图，示出了另一形态的一个例子。

图 8 是对本发明的一个实施例进行补充的模式图。示出了另一形态的一个例子。

图 9 是对本发明的一个实施例进行补充的模式图。示出了另一形态的一个例子。

图 10 是对本发明的一个实施例进行补充的模式图。示出了另一形态的一个例子。

图 11A-11D 是对本发明的一个实施例进行补充的模式图。示出了另一形态的一个例子。

图 12A-12D 是对本发明的一个实施例进行补充的模式图。示出了另一形态的一个例子。

图 13A-13D 是对本发明的一个实施例进行补充的模式图。示出了另一形态的一个例子。

图 14A-14C 是对本发明的一个实施例进行补充的模式图。示出了另一形态的一个例子。

图 15A-15C 是对本发明的一个实施例进行补充的模式图。示出了另一形态的一个例子。

图 16A、16B 是对本发明的一个实施例进行补充的模式图。示出

了另一形态的一个例子。

图 17 是作为本发明的实施例 3 的闪速存储器的块构成的说明图。

图 18 是含于图 17 的闪速存储器中的存储器阵列的一个例子的部分电路图。

图 19 是图 17 的存储器阵列的主要部分平面图。

图 20 是与图 19 同一平面区域，而且是比图 3 更往上层的布局层的主要部分平面图。

图 21A 是图 19 的 A-A 线的存储器阵列的主要部分剖面图。

图 21B 是外围电路区域的主要部分剖面图。

图 22 是图 19 的 B-B 线的存储器阵列的主要部分剖面图。

图 23 是图 17 的闪速存储器的制造工序中的主要部分平面图。

图 24 是与图 23 同一工序时的闪速存储器的主要部分剖面图。

图 25 是接在图 23、图 24 后边的闪速存储器制造工序中的与图 24 同一地方的主要部分剖面图。

图 26 是接在图 25 后边的闪速存储器制造工序中的与图 23 同一地方的主要部分平面图。

图 27 是与图 26 同一工序时的闪速存储器的与图 24 同一地方的主要部分剖面图。

图 28 是接在图 26、图 27 后边的闪速存储器制造工序中的与图 24 同一地方的主要部分剖面图。

图 29 是接在图 28 后边的闪速存储器制造工序中的与图 23 同一地方的主要部分平面图。

图 30 是与图 29 同一工序时的闪速存储器的与图 24 同一地方的主要部分剖面图。

图 31 是接在图 29、图 30 后边的闪速存储器制造工序中的与图 23 同一地方的主要部分平面图。

图 32 是与图 31 同一工序时的闪速存储器的与图 24 同一地方的主要部分剖面图。

图 33 是接在图 31、图 32 后边的闪速存储器制造工序中的与图 23 同一地方的主要部分平面图。

图 34 是与图 33 同一工序时的闪速存储器的与图 24 同一地方的主要部分剖面图。

图 35 是接在图 33、图 34 后边的闪速存储器制造工序中的与图 24 同一地方的主要部分剖面图。

图 36 是接在图 35 后边的闪速存储器制造工序中的与图 24 同一地方的主要部分剖面图。

图 37 是接在图 36 后边的闪速存储器制造工序中的与图 24 同一地方的主要部分剖面图。

图 38 是接在图 37 后边的闪速存储器制造工序中的与图 23 同一地方的主要部分平面图。

图 39 是与图 38 同一工序时的闪速存储器的与图 24 同一地方的主要部分剖面图。

图 40 是接在图 38、图 39 后边的闪速存储器制造工序中的与图 23 同一地方的主要部分平面图。

图 41 是与图 40 同一工序时的闪速存储器的与图 24 同一地方的主要部分剖面图。

图 42 是接在图 40、图 41 后边的闪速存储器制造工序中的与图 24 同一地方的主要部分剖面图。

具体实施方式

以下，对本发明的实施形态的实施例进行说明。另外，本发明并不限于以下所述的形态，也可以变形为得到同样效果的其它形态。

用图 1A-1H、图 9、图 10 对作为本发明的一个实施形态的半导体器件的制造工序进行说明。图 9 是平面布局图，图 1A-1H 是图 9 的 A-A'处的剖面图，图 10 是 B-B'处的埋入氧化膜凹陷形成后的剖面图。

(1) 在硅衬底 100 上形成浅沟槽，以 1000℃左右的温度使其沟槽

内热氧化形成 5 到 30nm 的热氧化膜 102。然后，向沟槽内埋入埋入氧化膜。例如，埋入用 CVD 或溅射法形成的氧化硅等的埋入氧化膜 103。例如，该沟槽的形成方法也可以用以下所示的方法构成。在向硅衬底 100 上边淀积上衬垫氧化膜和硅氮化物膜后使之图形化，然后，以硅氮化物膜为掩模用干法刻蚀法在硅衬底上边形成 200 到 400nm 的沟槽。

然后，理想的是进行埋入氧化膜的致密化。例如，在稀释氧化气氛中或氮气气氛中，实施 1000℃到 1150℃、1 到 2 小时的退火。然后，用 CMP 法等平坦化后除去硅衬底上边多余的埋入氧化膜 103，形成元件隔离区(STI 区域)119(图 1A)。元件隔离区以外将变成为有源区域 118。

(2) 在 900℃、氧气气氛中对硅衬底 100 表面实施热处理，形成约 10nm 的牺牲氧化膜，以该膜为缓冲层用浓度 $1E13$ (个/cm²)左右注入硼或磷等的杂质，形成阱层 105。然后，用稀释后的 HF 除去上述牺牲氧化膜，向衬底上边依次淀积栅极氧化膜 106、多晶硅膜 107、钨膜 108、硅氮化物膜 109 并使之图形化以形成栅极电极(图 1B)。这时，也可以完全不除去栅极氧化膜 106。

(3) 然后，淀积光刻胶 104，用使栅极电极图形化后的掩模，在栅极电极上边保留光刻胶。这时要作成为使得图形化的光刻胶尺寸变成稍微大于掩模尺寸，以使用光刻胶把全部栅极电极被覆起来。

上述掩模由于不除去栅极端部下边的栅极氧化膜 106，故要使用的掩模也可以是在形成工序(1)的浅沟槽时使用的掩模。此外，只要是满足本目的的方法，也可以使用别的方法(图 1C)。此外，即便是除去栅极端部下边的栅极氧化膜 106，只要是电学特性不降低的产品，也可以使图形化后的光刻胶尺寸变成不比掩模尺寸大。可以作成为与掩模尺寸对应的光刻胶尺寸。

(4) 用干法刻蚀使埋入氧化膜 103 从硅衬底 100 的表面凹陷进去(图 1D)。由于栅极电极变成为掩模，故栅极电极下边的埋入氧化膜不会被除去，而其它区域的埋入氧化膜则被除去规定的厚度，在栅极

电极端部附近将形成凹陷进去的台阶 126(参看图 10)。这样一来, 倘同时观看图 1D 和图 10 就会明白, 结果就变成为在栅极电极向元件隔离区伸出来的部分的周围区域(元件隔离区)的表面(要形成元件隔离区的埋入绝缘膜上和要淀积到其上边的层之间的界面), 对于栅极电极下边的埋入膜形成台阶(图 10), 对于衬底也形成台阶(图 1D)。

(5) 然后, 在 900°C 、在氧气气氛中进行热处理以在硅衬底表面上形成厚度 3 到 10nm 的热氧化膜 A110, 以该膜为缓冲层向硅衬底 100 内以 $1\text{E}13(\text{个}/\text{cm}^2)$ 左右注入硼(在 PMOS 的情况下)或砷(在 NMOS 的情况下), 形成低浓度层 111 (图 1E)。在本实施例中, 在工序(8)中, 为了进行来自硅衬底 100 的电极引出, 虽然使将成为电极栓塞的多晶硅 115 直接淀积到接触区域 120 上使之进行接触, 但是, 在需要使这时的接触电阻低电阻化的情况下, 理想的是在图 1F 工序的硅氮化物膜 A112 图形化后再形成硅化物膜, 上述硅化物膜例如是 CoSi_2 、 TiSi_2 、 NiSi_2 等。

另外, 在本实施例中, 虽然讲述的是形成热氧化膜 A110 向硅衬底内导入硼或砷等的杂质(掺杂元素)的形态, 但是从使工艺效率化的观点看, 也可以作成为使硅衬底暴露向其中导入杂质而不实施形成上述热氧化膜 A110 的工序。

(6) 然后, 在淀积上将成为绝缘膜的硅氮化物膜 A112 之后, 使之图形化, 向已露出来的硅衬底 100 内以 $5\text{E}14$ 到 $3\text{E}15(\text{个}/\text{cm}^2)$ 左右注入硼(在 PMOS 的情况下)或砷(在 NMOS 的情况下)。然后, 例如在 1000°C 下实施短时间的灯退火, 形成高浓度层 114。

为了用化学气相淀积法形成所谓的层间绝缘膜, 向整个衬底表面上淀积氧化膜 A113, 用 CMP 法等使氧化膜 113 平坦化(图 1F)。在这里, 所谓绝缘膜, 指的是在栅极电极形成后要淀积到埋入氧化膜 103 上边的膜。此外, 是导电性比上述半导体衬底低的膜。

(7) 用各向异性干法刻蚀, 部分地除去氧化膜 A113, 形成接触区域 120(图 1G)。

(8) 为了引出来自硅衬底 100 的电极, 向接触区域 120 上淀积将

成为电极栓塞的多晶硅 115, 完成晶体管(图 1H)。此外, 根据需要, 还要在作为上述层间绝缘膜的氧化膜 A113 的上边的层上, 形成连接到上述栓塞上的布线层。另外, 电极栓塞由于只要电阻低即可, 故也可以是别的金属, 例如, 钨等。

对其次的本发明的作用效果进行说明。图 2 示出了在省略作为本实施例的(3)、(4)工序进行制造的情况下的栅极端部附近(图 1H 的 c)的 TEM 象。由图 2 可知, 从硅氮化物端部附近产生晶体缺陷, 进而掺入了杂质的硅衬底表面, 已经向上隆起。根据该隆起, 可以认为在已注入了杂质的区域上产生了高的应力。采用测定硅衬底的挠曲量的办法对该应力(杂质诱生应力)进行评价, 其结果如图 3 所示, 可知在杂质注入后, 一直到注入量 $5E14$ 个/ cm^2 为止产生-350MPa 左右的压缩应力, 随着浓度增加到 $3E15$ 个/ cm^2 , 应力会增加到-500MPa。这被认为是因为当向硅衬底内注入杂质后, 所注入的原子存在于硅原子的晶格间位置上, 故在注入后的区域内就会产生高的应力的缘故。此外, 在注入后的热处理后, 该隆起的杂质原子与硅原子进行置换, 剩余的原子将进一步隆起所注入进的杂质那么大的量。

晶体缺陷, 大多在注入了杂质的区域附近存在着元件隔离区(STI 区域)的情况下出现。该 STI 构造是先是在硅衬底上形成沟槽, 然后埋入埋入氧化膜, 与现有的 LOCOS 构造比, 由于可以确保掩模尺寸那样的有源区域宽度, 故理想的是在 0.25 微米工艺以后再使用。但是, 该 STI 构造, 存在着在硅衬底中产生高的压缩应力, 产生晶体缺陷的可能性。STI 构造的应力产生机理如下(参看图 4)。图 4 模式性地示出了与具有埋入氧化膜 103 和热氧化膜 102 的 SGI 区域相邻接的有源区域的硅衬底部分的状态。在晶体管在形成过程中, 由于存在着许多硅衬底氧化工序, 作为氧化反应物的氧也将通过沟槽内部的埋入氧化膜 103 进行扩散, 故在沟槽侧壁上也会生长氧化膜。在从 Si 变化成 SiO_2 时, 将产生 2 倍的体积膨胀。由于该体积膨胀受已埋入的氧化膜 103 束缚, 故在硅衬底中就会产生高的压缩应力(STI 应力)。

晶体缺陷的杂质诱生应力，被认为是归因于该应力受到大的束缚而产生的。即，为了防止晶体缺陷，可以说关键在于第1如何解除杂质诱生应力，第2如何减小束缚杂质应力的STI应力。

人们认为采用使STI区域的埋入氧化膜从硅衬底凹陷进去的办法，就可以使沟槽的侧壁(图5的A部分)变成为自由面，就可以解除杂质诱生应力减小STI应力。图5对在形成了STI构造后注入杂质，在硅衬底表面上产生的应力和埋入氧化膜凹陷量的依赖性进行了解析。解析是在有源区域宽度0.5微米，STI的沟槽宽为0.3微米，沟槽深为0.35微米，杂质注入深度40nm的条件下进行的。图中横轴是埋入氧化膜的凹陷量(图5的B)，纵轴是在硅衬底表面上产生的应力。在硅衬底表面上产生的应力，在埋入氧化膜的凹陷量处于杂质注入区域内(杂质注入深度不足40nm)的情况下，虽然减小得不那么大，但是，当超过了杂质注入深度时，则将急剧地减小，在沟槽深的一半左右以后就变成为大体上恒定的应力值，可知采用STI的埋入氧化膜凹陷进去的办法，就可以减小在硅衬底表面上产生的应力。图6示出了以本结果为基础试制晶体管的结果。图6示出了与图2对应的场所。图6是根据本实施例试制晶体管，使埋入氧化膜凹陷50nm的结果。可知未产生在图2中产生的晶体缺陷，本方法是有效的。

如上所述，由于可以采用使STI区域的埋入氧化膜从硅衬底凹陷进去的办法，解除杂质诱生应力，此外，还可以减小束缚杂质应力的STI应力，故可以对防止晶体缺陷作出贡献。

在本实施例中，在工序(8)中，为了进行来自硅衬底100的电极引出，虽然使将成为电极栓塞的多晶硅115直接淀积到接触区域120上使之进行接触，但是，在需要使这时的接触电阻低电阻化的情况下，理想的是在图1F工序的硅氮化物膜A112图形化后再形成硅化物膜，上述硅化物膜，例如是 CoSi_2 、 TiSi_2 、 NiSi_2 等。

此外，如图5所示，从减小应力的观点来看使埋入氧化膜的凹陷量变成为杂质注入深度以上是理想的。这里所说的杂质注入深度，是使杂质浓度参差的标准偏差 σ 与从硅衬底表面到硅衬底中的杂质峰值

浓度位置为止的距离 R_p 合起来的 $R_p + \sigma$, 是在图 1H 的工序 C 的位置处浓度深度均一部分处的深度。在栅极电极端部或元件隔离区端部处, 由于峰值浓度深度变化大, 故可以在被这些区域夹在中间的峰值浓度深度小的区域中进行测定。

例如, 可以在衬底的侧壁端部(在不具备侧壁的情况下是栅极电极端部)和元件隔离沟槽端部之间的距离的中间部分(例如, 1/2 的场所)处进行测定。

另外, 这可以用例如能散 X 射线(EDX)等进行测定。

此外, 具体地说, 理想的是具备到杂质的峰值浓度为止的深度, 或者, 比较理想的是具备到上述峰值浓度为止的深度的 1.5 倍, 更为理想的是具备 2 倍深度以上的埋入氧化膜的凹陷量。

或者, 根据图 5, 从减小应力效果来看, 使埋入氧化膜凹陷 50nm 以上是理想的。另外, 把上限定为效果变动少、作为稳定区域的 200nm 以下左右是妥当的。因为即便是定为比这更大, 也存在着不会有显著的效果增加的可能。由于在此后的工序中要向其上边淀积膜, 故即便是从减少台阶的观点来看, 抑制到该程度以下也是妥当的。另外, 上述效果虽然也有减小的可能性, 但是考虑到制造上的方便或与杂质注入区域的关系, 也可以定为使之具有例如 40nm 以上的埋入氧化膜的凹陷量。

另外, 关于杂质峰值浓度研究, 如上所述, 鉴于已导入到衬底内的低浓度的杂质的峰值和高浓度的杂质的峰值不同的情况, 可以根据高浓度杂质的浓度峰值进行上述判断等。

此外, 与杂质的浓度峰值比, 从半导体衬底表面开始随着变成为深的区域, 所导入的杂质浓度变低。元件隔离膜的从半导体衬底表面算起的凹槽量, 已预先定为构成阱的杂质浓度与注入杂质浓度变成为相同的结面的深度以下, 从之后要形成的半导体器件的电学特性的观点看是理想的。从采取充分的裕度以稳定地抑制特性降低而与匹配误差无关的观点来看, 凹槽量预先定为上述结面的深度的 80% 以下的深度是理想的。

在本实施例中，虽然以光刻胶为掩模借助于干法刻蚀除去元件隔离中的埋入氧化膜，但是，当然也可以用别的方法进行。

作为别的方法，例如，也可以在图 1B 之后进行图 1E 所述的离子注入，然后再形成元件隔离区的凹槽。

作为该情况下的工序，虽然基本上可以具有与图 1A-1H 同样的工序，但是，其特征在于不实施图 1C-1E 的工序而代之以实施以下的工序。

在图 1F 之前，要实施以下的工序(1)、(2)。借助于此，就可以比较容易地在埋入氧化膜 103 上形成凹陷。

(1)、向硅衬底 100 内以 $1E13(\text{个}/\text{cm}^2)$ 左右注入硼(在 PMOS 的情况下)或砷(在 NMOS 的情况下)等杂质，形成低浓度层 111。然后，在淀积上将成为绝缘膜的硅氮化物膜 A112 后，使之图形化(图 16A)。

(2)、以硅氮化物膜 A112 为掩模，用干法刻蚀法使埋入氧化膜 103 从硅衬底 100 表面凹陷进去，向已露出来的硅衬底 100 内以 $5E14$ 到 $3E15(\text{个}/\text{cm}^2)$ 左右注入硼(在 PMOS 的情况下)或砷(在 NMOS 的情况下)，形成高浓度层 114(图 16B)。

然后，采用借助于灯泡退火，短时间维持为大约 1000°C ，借助于使归因于注入而变得混乱的结晶构造再结晶化的办法，使已形成了上述高浓度层的区域的衬底表面作为接触变成为良好的状态。

借助于此，由于与使用光刻胶的情况比较可以进行自对准的定位，故可以减小器件特性的参差。此外，还可应用于微细化图形。采用省略图 7C 的光刻胶形成工序如图 16A、16B 所示使刻蚀变成为与图 1 对应的情况更长一点的办法，就可以有效地形成元件隔离区的凹槽。

另外，在上述说明中，在图 1B 中，在栅极电极的图形化时，虽然说明为要除去栅极电极周围的硅衬底上边的硅氧化膜，但是，也可以选用除此之外的形态。

例如，在图 1B 中，在栅极电极图形化时不除去周围的硅衬底上

边的热氧化膜地形成栅极电极。在该侧壁部分上形成硅氮化物膜 A112 并使之图形化的工序中, 虽然公开的是在栅极电极部分和元件隔离部分之间的硅衬底 100 露出来的形态, 但是也可以作成为如下所示。

例如, 在该栅极电极的侧壁部分上形成侧壁绝缘膜并使之图形化的工序中, 使刻蚀量变得比上述形态更少, 使衬垫氧化膜等的氧化膜在上述区域的硅衬底 100 表面上剩下来。借助于此, 就可以省略或减少形成图 1E 所示的热氧化膜 A110 的工序。

另外, 在图 1D 中虽然使埋入氧化膜从硅衬底表面一样地凹陷进去, 但是, 不言而喻只要哪怕是在埋入氧化膜的一部分中从硅衬底凹陷进去就具有效果。或者, 在元件形成区域中, 在由被插进来的元件隔离层夹在中间的 SGI 区域之内, 要作成为使得过半数已凹陷进去(具体地说, 可以配置为使得被元件形成区域夹在中间的剖面上的元件隔离层的表面的过半数的区域已凹陷进去)。

作为凹陷的测定场所, 除此之外也可以把埋入绝缘膜的上端部当作比较对象。

图 7 作为其它的形态, 示出了已变更为使得在上述制造工序中, 在栅极电极形成前, 进行埋入氧化膜的凹陷形成的情况。如图 7 所示, 存在着栅极电极膜被形成使得绕进 STI 沟槽上端部 A 的可能性。从抑制电场集中在沟槽上端部内, MOS 晶体管的阈值电压的漂移等的电特性变化的观点看, 理想的是如先前所述在上述(2)的工序的栅极电极形成后再进行埋入氧化膜的凹陷形成。

当然, 从它们影响少的产品或别的观点看, 埋入氧化膜的凹陷形成, 也可以在含有栅极电极的晶体管形成前在 STI 形成后(工序(1)后)进行。

此外, 晶体缺陷的产生, 大多在向硅衬底内注入杂质, 然后的结晶恢复退火中产生。为此, 上述埋入氧化膜的凹陷形成, 在该结晶恢复退火之前进行是有效的。

此外, 作为 STI 构造的制造方法, 若象图 11A-11D 所示地那样

进行制造，由于难于形成使与埋入氧化膜 103 的沟槽相邻接的区域比别的埋入氧化膜 103 表面低的低下区域，故在使用本方法的情况下是特别有效的。

(1)、在硅衬底 100 上边淀积上厚度约 10nm 的衬垫氧化膜 121，厚度约 150nm 的硅氮化物膜 B122 后使之图形化，然后，向硅氮化物膜 B122 上边淀积氧化膜 B123。用仅仅在深度方向上选择性地刻蚀的干法刻蚀法，使氧化膜 B123 在衬垫氧化膜 121 和硅氮化物膜 B122 端部侧壁上剩下来(图 11A)。

(2)、以氧化膜 B123 为掩模在硅衬底 100 上形成 200 到 400nm 左右的沟槽(图 1B)。

(3)、以 1000℃左右的温度使沟槽内热氧化形成 5 到 30nm 的热氧化膜 102。然后，向沟槽内埋入埋入绝缘膜。例如，埋入用 CVD 法或溅射法形成的氧化硅等的埋入氧化膜 103。接着，在稀释氧化气氛中或氮气气氛中进行 1000 到 1150℃、1 到 2 个小时的退火(图 11C)。

(4)、以硅氮化物膜 B122 为阻挡层用 CMP 法等使埋入氧化膜 103 平坦化，然后，用分别加热到 150 到 200℃左右的磷酸和氟酸除去硅氮化物膜 B122 和衬垫氧化膜 B121(图 11D)。采用作成为这样的 STI 构造的制造方法，结果就变成为可以向硅衬底 100 上边恰好淀积图 11D 的 d 那么厚的埋入氧化膜 103，由于难于形成埋入氧化膜的上述低下区域，故在使用这样的制造方法的情况下强制性地形成凹陷的本方法是特别有效的。

归因于象这样地进行制作，栅极电极的一部分就位于元件隔离区内，在元件隔离区的埋入绝缘膜与在埋入绝缘膜的上边淀积的膜相对的界面之内，栅极电极所位于的第 1 元件隔离区的第 1 界面，就可以在比位于第 1 元件隔离区的周围的第 2 元件隔离区的第 2 界面更高的位置上形成，且被形成为具有这样的关系：栅极电极所配置的区域半导体衬底表面位于在上述第 1 界面与第 2 界面之间。

此外，作为 STI 构造的制造方法，如果象图 12A-12D 那样地进

行制造，由于难于形成埋入氧化膜 103 的上述低下区域，故在使用本方法的情况下是特别有效的。

(1)、在硅衬底 100 上边淀积上厚度约 10nm 的衬垫氧化膜 121、厚度约 150nm 的硅氮化物膜 B122 后，使之图形化，以硅氮化物膜 B122 为掩模，在硅衬底 100 上边形成 200 到 400nm 左右的沟槽。然后，以 1000℃前后的温度使其沟槽内热氧化形成 5 到 30nm 的热氧化膜 102(图 12A)。

(2)、向沟槽内埋入埋入氧化膜。埋入例如用 CVD 或溅射法形成的氧化硅等的埋入氧化膜 103。接着，在稀释氧化气氛中或氮气气氛中，对埋入氧化膜 103 实施 1000℃到 1150℃、1 到 2 小时的退火，进行埋入氧化膜 103 的致密化。然后，以硅氮化物膜 B122 为阻挡层用 CMP 法等使埋入氧化膜 103 平坦化(图 12B)。

(3)、用加热到 150 到 200℃左右的磷酸除去硅氮化物膜 B122(图 12C)。

(4)、向硅衬底 100 上边淀积氧化膜 B123，用仅仅在深度方向上选择性地刻蚀该氧化膜 B123 的干法刻蚀法，仅仅在埋入氧化膜 103 的侧壁上剩下氧化膜 B123(图 12D)。之后，也可以以使氧化膜 B123 致密化为目的进行 1000℃左右的退火。

采用作为这样的 STI 构造的制造方法，结果就变成为可以向硅衬底 100 上边恰好淀积图 12D 的 d 那么厚的埋入氧化膜 103，由于难于形成埋入氧化膜的上述低下区域，故在使用这样的制造方法的情况下强制性地形成凹陷的本方法是特别有效的。

此外，作为 STI 构造的制造方法，若象图 13A-13D 所示地那样进行制造，由于难于形成埋入氧化膜 103 的上述低下区域，故在使用本方法的情况下是特别有效的。

(1)、在硅衬底 100 上边淀积上厚度约 10nm 的衬垫氧化膜 121，厚度约 200 到 250nm 的硅氮化物膜 B122 后使之图形化，以硅氮化物膜 B122 为掩模在硅衬底 100 上形成 200 到 400nm 左右的沟槽(图 13A)。

(2)、然后，用加热到 150 到 200℃左右的磷酸除去硅氮化物膜 B122 的一部分，使硅氮化物膜 B122 从硅衬底 100 的沟槽上端部后退 20 到 50nm(图 13B)。

(3)、以 1000℃前后的温度使其沟槽内热氧化形成 5 到 30nm 的热氧化膜 102。然后，向沟槽内埋入埋入绝缘膜。例如，埋入用 CVD 法或溅射法形成的氧化硅等的埋入氧化膜 103。接着，在稀释氧化气氛中或氮气气氛中，对埋入氧化膜 103 实施 1000℃到 1150℃、1 到 2 小时的退火，进行埋入氧化膜 103 的致密化(图 13C)。

(4)、以硅氮化物膜 B122 为阻挡层用 CMP 法等使埋入氧化膜 103 平坦化，然后，用分别加热到 150 到 200℃左右的磷酸和氟酸除去硅氮化物膜 B122 和衬垫氧化膜 B121(图 13D)。采用作成为这样的 STI 构造的制造方法，结果就变成为可以向硅衬底上边恰好淀积图 13D 的 d 那么厚的埋入氧化膜 103，由于难于形成埋入氧化膜的上述低下区域，故在使用这样的制造方法的情况下强制性地形成凹陷的本方法是特别有效的。

此外，作为 STI 构造的制造方法，如果象图 14 所示的那样进行制造，由于难于形成埋入氧化膜 103 的上述低下区域，故在使用本方法的情况下是特别有效的。

(1)、在硅衬底 100 上边淀积上厚度约 10nm 的衬垫氧化膜 121、厚度约 150nm 的硅氮化物膜 B122 后，使之图形化，以硅氮化物膜 B122 为掩模，在硅衬底 100 上边形成 200 到 400nm 左右的沟槽。然后，在 AMAT 公司制造的 ISSG (In-Situ Steam Generation, 现场水蒸气生成) 氧化炉体内，以 1000 到 1150℃前后的温度使该沟槽内热氧化形成 5 到 30nm 的热氧化膜 102。若使用 ISSG 氧化方式，由于把氢和氧导入到炉内，在炉内形成水蒸气而不是在炉外形成将成为氧化剂的水蒸气，故不仅仅是硅，而且硅氮化物膜也被氧化。为此，在硅氮化物膜 B122 膜表面上形成氧化，结果硅氮化物膜 B122 就变成为从沟槽上端部后退的形状(图 14A)。

(2)、向沟槽内埋入埋入绝缘膜。埋入例如用 CVD 法或溅射法形成的氧化硅等的埋入氧化膜 103。接着,在稀释氧化气氛中或氮气气氛中,对埋入氧化膜 103 实施 1000℃到 1150℃、1 到 2 小时的退火,进行埋入氧化膜 103 的致密化。然后,以硅氮化物膜 B122 为阻挡层用 CMP 法等使埋入氧化膜 103 平坦化(图 14B)。

(3)、用分别加热到 150 到 200℃左右的磷酸和氟酸除去硅氮化物膜 B122 和衬垫氧化膜(图 14C)。

此外,采用作为这样的 STI 构造的制造方法,结果就变成为在硅衬底上边恰好淀积图 14C 的 d 那么厚的埋入氧化膜 103,由于埋入氧化膜难于形成上述低下区域,故在这样的制造方法的情况下,强制性地形成凹陷的本方法是特别有效的。

此外,作为 STI 构造的制造方法,若象图 15A-15C 所示的那样进行制造,由于难于形成埋入氧化膜 103 的上述低下区域,故在使用本方法的情况下,也是特别有效的。

(1)、在硅衬底 100 上边依次淀积上厚度约 10nm 的衬垫氧化膜 121、厚度约 10 到 50nm 的多晶硅膜(或无定形硅膜)124、厚度约 150nm 的硅氮化物膜 B122 后,使之图形化,以硅氮化物膜 B122 为掩模,在硅衬底 100 上边形成 200 到 400nm 左右的沟槽。然后,以 1000 到 1150℃前后的温度使沟槽内热氧化形成 5 到 30nm 的热氧化膜 102。这时,由于多晶硅膜 124 被氧化,故可以在硅衬底 100 上边的沟槽上端部上形成厚的氧化膜(图 15A)。

(2)、向沟槽内埋入埋入绝缘膜。埋入例如用 CVD 法或溅射法形成的氧化硅等的埋入氧化膜 103。接着,在稀释氧化气氛中或氮气气氛中,对埋入氧化膜 103 实施 1000℃到 1150℃、1 到 2 小时的退火,进行埋入氧化膜 103 的致密化(图 15B)。

(3)、然后,以硅氮化物膜 B122 为阻挡层用 CMP 法等使埋入氧化膜 103 平坦化,用分别加热到 150 到 200℃左右的磷酸和氟酸除去硅氮化物膜 B122 和衬垫氧化膜 121(图 15C)。

采用作为这样的 STI 构造的制造方法,结果就变成为在硅衬底

上边恰好淀积图 15C 的 d 那么厚的埋入氧化膜 103, 由于埋入氧化膜难于形成上述低下区域, 故在这样的制造方法的情况下, 形成凹陷的本方法是特别有效的。

此外, 作为埋入氧化膜的制造方法, 使用 1×10^{10} 到 1×10^{12} 个/cm³ 的高密度的等离子体制作的 HDP 膜, 密度比用 CVD 法或溅射法制作的膜高, 难于用氟酸除去。为此, 在要除去已经不要的衬垫氧化膜 121 或牺牲氧化膜 125 时, 该膜就难于除去, 上述低下区域就难于形成, 所以, 在使用 HDP 膜的情况下本方法是特别有效的。

作为减小 STI 的应力的方法, 有如下方法: 在工序(1)的热氧化膜 2 形成后在 NO 气体中进行热处理, 在硅衬底和热氧化膜 2 界面上形成氮氧化物的方法、和暴露于氮等离子体中, 在热氧化膜 2 表面上形成氮氧化物的方法。这些方法, 虽然可以抑制氧的扩散, 减小 STI 应力, 但是不能完全防止氧的扩散。为此, 在这种情况下本方法也是有效的。

就是说, 在存在起因于 STI 而产生的应力的情况下, 本方法是有效的。

此外, 在上述的实施例 1 中, 虽然示出的是与 DRAM 和其它的一般的 MOS 等的场效应晶体管有关的构造, 但是, 若把本发明应用于象闪速存储器等那样沟槽氧化量多的半导体器件, 其效果很大。

其次, 作为实施例 3 根据附图详细地说明本发明的实施形态。另外, 在用来说明实施形态的全部附图中, 对那些具有同一功能的构件, 赋予同一标号而省略其重复的说明。

此外, 在本实施形态中, 把 MOSFET (金属氧化物半导体场效应晶体管) 用做场效应晶体管的总称, 把它简写为 MOS, 把 p 沟槽型的 MOSFET 简写为 PMOS, 把 n 沟槽型的 MOSFET 简写为 NMOS。

在本实施形态中, 例如, 对把本发明应用于具有 512 兆位的存储容量的闪速存储器的情况进行说明。但是, 本发明并不限定于 512 兆位的闪速存储器, 还可以有种种的应用, 例如, 在比 512 兆位小的

256 兆位的闪速存储器，或者大于 512 兆位的闪速存储器中也可以应用。

图 17 示出了该闪速存储器的一个实施形态的块构成。首先，根据该图，对本实施形态的闪速存储器的构成的概要进行说明。

对于存储器阵列 MARY,在把选择字线的行译码器 XD 连接起来的同时，还通过读出放大器数据锁存器 SADL 把选择位线的列译码器 YD 连接起来。输入输出缓冲器 IOB，在通过行地址缓冲器 XB 连接到行译码器 XD 上的同时，还通过列地址缓冲器 YB 连接到列译码器 YD 上，此外，还连接到读出放大器数据锁存器 SADL 和控制电路 CC 上。控制电路 CC，则通过电源控制电路 VCC 连接到行译码器 XD 和读出放大器数据锁存器 SADL 上。

控制电路 CC，由指令译码器、电源切换电路和写入/擦除电路构成。此外，电源控制电路 VCC，由基准电压产生电路、写入/擦除电压产生电路和验证电压产生电路构成。在这里，基准电压产生电路，是为了产生写入/擦除电压产生电路和验证电压产生电路等的各个规定电压而产生要向各个电路输入的参照电压的电路。

存储器阵列 MARY，被配置为占有半导体衬底的主面的大部分，具有被配置为与图的水平方向平行的规定条数的字线、被配置为与此垂直的方向平行的规定条数的位线、和网格排列在这些字线和位线的实质的交点上的多个 2 层栅极构造型存储单元。该存储单元以被配置在同一列上的 $m+1$ 个为单位，块分割成单元部件，该单元部件，以 $n+1$ 个为单位构成存储单元块。

此外，本实施形态的闪速存储器，采用所谓的阶层位线方式，存储器阵列 MARY 的位线，由把构成各个单元部件的 $m+1$ 个存储单元的漏极共通连结起来的子位线和通过漏极一侧的选择 MOS 选择性地被配置成同一列的 $p+1$ 条子位线连接起来的主位线构成。

构成存储器阵列 MARY 的各个单元部件的 $m+1$ 个存储单元的源极，分别共有连结到对应的局域源极线上，这些局域源极线，通过对应的源极一侧的选择 MOS 连结到共通源极线上。此外，存储器阵列

MARY 的被配置在同一行上的 $n+1$ 个存储单元的控制栅极, 分别共通连结到对应的字线上, 漏极一侧的选择 MOS 和源极一侧的选择 MOS, 分别共通连结到被配置为与字线平行的 $p+1$ 条漏极一侧块选择信号线或源极一侧块选择信号线上。

其次, 图 18 示出了含于图 17 的闪速存储器中的存储器阵列部分的电路图。根据该图, 对存储器阵列的具体构成进行说明。这些电路由 NMOS 构成。

如图 18 所示, 本实施形态的闪速存储器的存储器阵列 MARY, 含有 $p+1$ 个的存储单元块 MCB0 到 MCB p (在图 18 中, 仅仅例示出了存储单元块 MCB0、MCB1 和存储单元块 MCB2 以及与这些存储单元块相关的部分。以下, 同样), 这些存储单元块中的每一个, 都包括被配置为与图的水平方向平行的 $m+1$ 条字线 $W00 \sim W0m$ 到 $Wp0 \sim Wpm$, 和被配置为与图的垂直方向平行的 $n+1$ 条的主位线 $MB0 \sim MBn$ (MB)。在这些字线和主位线的实质上的交点上, 分别网格配置 $(m+1) \times (n+1)$ 个的 2 层栅极构造型的存储单元 MC。

存储器阵列 MARY, 虽然没有什么特别限定, 但是被构成为例如 AND 型阵列, 构成存储单元块 MCB0 ~ MCB p 的存储单元 MC, 以配置为同一列的 $m+1$ 个为单位分别块分割成 $n+1$ 个单元部件 $CU00 \sim CU0n$ 到 $CUp0 \sim CUpn$ 。构成这些单元部件的 $m+1$ 个存储单元 MC 的漏极, 分别被共通连结到对应的子位线 $SB00 \sim SB0n$ 到 $SBp0 \sim SBpn$ 上。其源极则分别被共通连结到对应的局域源极线 $SS00 \sim SS0n$ 到 $SSp0 \sim SSpn$ 上。此外, 各个单元部件的子位线 $SB00 \sim SB0n$ 到 $SBp0 \sim SBpn$, 其栅极通过已连结到对应的漏极一侧的块选择信号线 $MD0 \sim MDp$ 上的 n 沟槽型的漏极一侧选择 MOSN1 被连结到对应的主位线 $MB0 \sim MBn$ 上, 局域源极线 $SS00 \sim SS0n$ 到 $SSp0 \sim SSpn$, 其栅极通过已连结到对应的源极一侧的块选择信号线 $MS0 \sim MSp$ 上的 n 沟槽型的源极一侧选择 MOSN3 被连结到共通源极线 SL 上。

存储单元块 MCB0 ~ MCB p 的各个单元部件, 还分别含有分别

设置在已把对应的 $m+1$ 个存储单元 MC 共通连结起来的漏极即子位线 SB00 ~ SB0n 到 SBp0 ~ SBpn, 和把对应的 $m+1$ 个存储单元 MC 共通连结起来的源极即局域源极线 SS00 ~ SS0n 到 SSp0 ~ SSpn 之间的 n 沟槽型的短路 MOSN2。含于各个存储单元块中的 $n+1$ 个短路 MOSN2, 分别被共通连结到对应的短路 MOS 用的块选择信号线 SC0 ~ SCp 上。

其次, 用图 19 到图 22 说明本实施形态的闪速存储器的元件配置和元件构造。图 19 是上述存储器阵列的主要部分平面图, 图 20 是与图 19 同一平面区域且比图 19 更往上层的布局层的主要部分平面图, 图 21A、21B 是存储器阵列和外围电路区域的主要部分剖面图, 图 22 是图 19 的 B-B 线(沿着对字线进行交叉的方向(Y 方向)切断存储单元的沟槽道部分的线)的剖面图。外围电路是控制存储器阵列、与存储器阵列进行数据的授受的相关电路的总称。

另外, 图 21A 所示的存储器阵列, 相当于图 19 的 A-A 线(沿着其延伸方向(X 方向)切断字线 W 上边的线)的剖面。在图 21B 所示的外围电路区域上形成有与存储器阵列不同的电路元件, 在外围电路区域中所示的低电压系 NMOS 和 PMOS, 是驱动电压例如为 1.8 到 3.3V 左右的相对低的外围电路用的 MOS。在外围电路区域中虽然也形成有驱动电压相对高的外围电路用 MOS, 但是, 在这里予以省略。此外, 在这里, 是以图 21A、21B 和图 22 的剖面图为中心进行的说明, 至于那些说明平面构成的地方, 请随时参看图 19 和图 20。

构成上述半导体芯片的半导体衬底 1, 例如, 由 p 型硅单晶构成, 在存储器阵列 MARY 的半导体衬底 1 上, 形成例如导入硼(B)构成的 p 阱 PWm, 在外围电路区域的半导体衬底 1 上, 形成例如导入硼的 p 阱 PWp 和例如导入磷(P)或砷(As)构成的 n 阱 NWp。

p 阱 PWm, 没有什么特别限制, 位于在其下层上形成的埋入 n 阱 NWm 和在 p 阱 PWm 的侧部一侧形成的 n 阱 NWp 中, 且与半导体衬底 1 电隔离。该埋入 n 阱 NWm, 是例如向半导体衬底 1 内导入磷或砷形成的, 具备抑制或防止来自半导体衬底 1 上边的其它元件的

噪声通过半导体衬底 1 侵入到 p 阱 PWm(即存储单元 MC), 或者与半导体衬底 1 独立地把 p 阱 PWm 的电位设定为规定值的功能。

在半导体衬底 1 的主面上, 形成有例如沟槽型的隔离部分(沟槽隔离)STI, 隔离部分 STI 被形成为把绝缘膜埋入到在半导体衬底 1 上挖出的沟槽内, 隔离部分 STI 的绝缘膜例如由氧化硅等构成。存储器阵列 MARY 中的隔离部分 STI, 使得沿着字线的延伸方向(X 方向)配置的多个存储单元 MC 间电隔离那样地, 沿着 Y 方向平面带状地配置, 构成具有例如不足 1 微米宽度的条带状的有源区域。

此外, 在存储器阵列 MARY 中, 隔离部分 STI 的绝缘膜的上表面凹陷得比半导体衬底 1 的表面还深, 凹槽量(从半导体衬底 1 的表面到隔离部分 STI 的绝缘膜的上表面为止的凹陷量)相对地大, 例如为 80nm 左右。采用象这样地把隔离部分 STI 作为凹槽量较大的构造, 由于沟槽的侧壁的上部将变成为自由面, 故在以 800℃以上的温度进行热处理的情况下等, 就可以减小在半导体衬底 1 上产生的应力。

在有源区域的宽度在 1 微米以上, 且图形较疏散配置的外围电路区域中, 隔离部分 STI 的绝缘膜的上表面被平面化为使得与半导体衬底 1 的表面大体上一致。凹槽量为 0 或较小, 例如为 0 到 40nm 左右。

在外围电路区域中, 从有源区域到隔离部分 STI 连续地存在着 MOS 的栅极电极。为此, 若在外围电路区域中采用凹槽量大的隔离部分 STI, 则在有源区域的端部将产生电场的集中, 变成为 MOS 的栅极绝缘膜易于遭受破坏。为了避免该现象, 理想的是使外围电路区域的隔离部分 STI 的凹槽量为 0 或较小。另外, 外围电路区域的有源区域, 由于比存储器阵列的有源区域大, 故在外围电路区域中, 隔离部分 STI 分散在半导体衬底 1 上产生的应力, 即便是凹槽量形成得不大, 也可以抑制晶体缺陷的产生。

各个存储单元 MC, 具有在半导体衬底 1 上形成的一对 n 型半导体区域 2S、2D, 在半导体衬底 1 的主面(有源区域)上形成的绝缘膜

3a, 在其上边形成的浮置栅极电极用的导体膜 4, 和在其上边形成的层间膜 5, 在其上边形成控制栅极电极用的导体膜 6。

存储单元 MC 的 n 型半导体区域 2S, 是要形成源极区的区域, 可用上述局域源极线 SS 的一部分形成, 此外, n 型半导体区域 2D, 是要形成漏极区的区域, 可用上述子位线 SB 的一部分形成。局域源极线 SS 和子位线 SB, 使得平面地把沿着上述 Y 方向配置的多个存储单元 MC 夹在中间那样地, 被形成成为沿着 Y 方向彼此平行地平面带状地延伸, 变成为该被夹在中间的多个存储单元 MC 所共有的区域。

在本实施形态中, 该 n 型半导体区域 2S(局域源极线 SS)和 n 型半导体区域 2D(子位线 SB), 采用向例如半导体衬底 1 内导入例如 $10^{14}/\text{cm}^2$ 左右以上的砷的办法形成。借助于此, 就可以实现半导体区域 2S、2D 的浅结, 而且, 由于在可以抑制或防止短沟槽道效应等的发生的同时增加杂质浓度, 故可以实现微细化、可靠性的确保和电阻(表面电阻)的降低。另外局域源极线 SS 通过选择 MOSN3 与用金属膜等形成的共通源极线 SL(参看图 1)电连, 子位线 SB 则通过选择 MOSN1 与用金属膜等形成的主位线 MB 电连。

构成存储单元 MC 的绝缘膜 3a, 由例如厚度 9 到 10nm 的氧化硅等构成, 变成为从半导体衬底 1 向浮置栅极电极用的导体膜 4 注入参与信息写入或擦除的电子, 或向半导体衬底 1 放出保持在该导体膜 4 内的电子时的电子通过区域(隧道绝缘膜)。

浮置栅极电极用导体膜 4, 其构成为从下层开始叠层 2 层的导体膜(下层导体膜 4a、上层导体膜 4b)。下层导体膜 4a 和上层导体膜 4b, 例如都由已导入了杂质的低电阻的多晶硅构成, 其厚度是: 下层导体膜 4a 例如为 70nm 左右, 上层导体膜 4b 例如为 40nm 左右。

但是, 导体膜 4, 如沿着图 19 的上述 X 方向的剖面(图 21A)所示, 剖面被形成为 T 形形状, 上层导体膜 4b 的宽度, 变成为比其下层导体膜 4a 的宽度还宽。借助于此, 就可以在保持小的存储单元 MC 的栅极长度不变的状态下, 增大浮置栅极电极用的导体膜 4 对控

制栅极电极用的导体膜 6 的相向面积, 可以增大在这些栅极电极间形成的电容。因此, 可以在保持微细存储单元 MC 原状的状态下, 提高存储单元 MC 的动作效率。

此外, 在浮置栅极电极用的导体膜 4 的导体膜 4b 和半导体衬底 1 之间, 存在着例如由氧化硅等形成的绝缘膜 7, 实现一对 n 型半导体区域 2S、2D 与导体膜 4b 之间的绝缘。

浮置栅极电极用的上层导体膜 4b 的表面, 已被上述层间膜 5 覆盖起来, 借助于此, 浮置栅极电极用的导体膜 4, 与控制栅极电极用的导体膜 6 进行绝缘。上述层间膜 5, 采用例如在氧化硅膜上通过氮化硅膜再重叠氧化硅膜的办法构成, 其厚度例如为 15nm 左右。控制栅极电极用的导体膜 6, 是用来进行信息的读出、写入和擦除的电极, 与字线 W 一体地形成, 用字线 W 的一部分构成。该控制栅极电极用的导体膜 6(字线 W), 例如采用从下层开始依次把 2 层导体膜(下层导体膜 6a、上层导体膜 6b)重叠起来的办法形成。下层导体膜 6a, 由例如厚度 100nm 左右的低电阻的多晶硅构成。其上层导体膜 6b, 例如由厚度 80nm 左右的钨硅化物(WSi_x)构成, 在已电连接到下层导体膜 6a 上的状态下重叠起来。采用设置该上层导体膜 6b 的办法, 由于可以降低字线 W 的电阻, 故可以提高闪速存储器的动作速度。但是, 导体膜 6 的构造, 并不限于此, 可进行种种变更, 例如, 也可以作为中间存在着氮化钨等的势垒导体膜把钨等的金属膜重叠到低电阻多晶硅上边的构造。在该情况下, 由于大幅降低字线 W 的电阻, 可以进一步提高闪速存储器的动作速度, 另外, 在字线 W 上边, 形成由例如氧化硅构成的帽状(cap)绝缘膜 8。

低电压系 NMOSQLn、低电压系 PMOSQLp、短路 MOSN2、选择 MOSN1、N3 (参照图 18 等) 等的 MOS 构造, 用与上述存储单元 MC 相同的工艺形成。这些 MOS 的栅极电极 (低电压系 NMOSQLn 的栅极电极 10n、低电压系 PMOSQLp 的栅极电极 10p、短路 MOSN2 的栅极电极 9 和选择 MOSN1 的栅极电极 10) 具有在浮置栅极电极用导体膜 4 上通过层间膜 5 叠层控制栅极电极用导体膜

6 的构造。导体膜 4 和导体膜 6 通过接触孔 SC 电连接，在导体膜 6 上形成有帽状绝缘膜 8。

此外，这些 MOS，分别具有各自分开形成的源极·漏极，例如在低电压系 NMOSQLn 上形成 n 型半导体区域 11n，在低电压系 PMOSQLp 上形成 p 型半导体区域 11p 和选择 MOSN1 的 n 型半导体区域 11。此外，低电压系 NMOSQLn、低电压系 PMOSQLp 和短路 MOSN2 的栅极绝缘膜，用与构成存储单元 MC 的隧道绝缘膜的绝缘膜 3a 同一层构成，选择 MOSN1 的栅极绝缘膜，用例如厚度为 20nm 左右的氧化硅等构成的绝缘膜 3b 构成。另外，在本实施形态中，虽然用同一层的绝缘膜 3a 构成存储单元 MC 的隧道绝缘膜和低电压系 MOS 等的栅极绝缘膜，但是，并不限于此，也可以用不同层的绝缘膜构成。

此外，在这样的浮置栅极电极用的导体膜 4、控制栅极电极用的导体膜 6、栅极电极 9、10、10n、10p 和帽状绝缘膜 8 的侧面上，例如被覆有由氧化硅构成的绝缘膜 12a。特别是在上述栅极宽度方向上彼此相邻接的字线 W 之间，已变成为用该绝缘膜 12a 填埋起来的状态。在这样的绝缘膜 12a 上边和导体膜 6 上边，淀积有例如由氧化硅构成的绝缘膜 12b。

在该绝缘膜 12b 上边，形成由例如钨等构成的第 1 层布线 L1。规定的第 1 层布线 L1，通过已在绝缘膜 12b 上穿孔的接触孔 CON1，与低电压系 NMOSQLn 的 n 型半导体区域 11n，低电压系 PMOSQLp 的 p 型半导体区域 11p 和选择 MOSN1 的 n 型半导体区域 11 电连起来。此外，在绝缘膜 12b 上边，淀积有由例如氧化硅构成的绝缘膜 12c，借助于此，把第 1 层布线 L1 的表面覆盖起来。在该绝缘膜 12c 上边，形成第 2 层布线 L2。第 2 层布线 L2 的构成为从下层开始依次叠层例如氮化钛、铝和氮化钛，并通过埋入到在绝缘膜 12c 上穿孔的贯通孔 TH1 内部的栓塞 13 与第 1 层布线 L1 电连。该第 2 层布线 L2 的表面，已被例如由氧化硅构成的绝缘膜 12d 覆盖起来。然后，在该绝缘膜 12d 上边，形成第 3 层布线，虽然未画出来。

第 3 层布线的构成为从下层开始把例如氮化钛、铝和氮化钛叠层起来，并通过在绝缘膜 12d 上穿孔的贯通孔与第 2 层布线 L2 电连起来。

其次，按照工序顺序说明闪速存储器的制造方法的一个例子。

图 23 和图 24，是本实施形态的闪速存储器的制造工序中的图。图 23 是相当于上述图 10 的存储器阵列（包括短路 MOS 和选择 MOS）的主要部分平面图。图 24 是相当于上述图 21 的含有闪速存储器的存储器阵列和外围电路区域的主要部分剖面图。在这里的存储器阵列，相当于图 19 的 A-A 线剖面（在后续图中也同样）。在外围电路区域中，例示出了低电压系 NMOS 和 PMOS。

首先，如图 23 和图 24 所示，在由硅单晶构成的半导体衬底（在该阶段中，是叫做半导体晶片的平面大体上圆形的半导体薄片）1 的主面上，形成沟槽型的隔离部分 STI 和被配置为使得被它围起来的有源区域 Lm 等。

隔离部分 STI，例如可以如下地形成。在半导体衬底 1 的规定的地方形成了隔离沟槽 14 后，对半导体衬底 1 实施热氧化处理，形成 5 到 20nm 左右的氧化硅膜，虽然未画出来。接着，向半导体衬底 1 的主面上边，用 CVD 法或溅射法，淀积例如由氧化硅构成的绝缘膜 15。然后，采用用 CMP 法等研磨绝缘膜 15 的表面的办法，使得绝缘膜 15 的表面与半导体衬底 1 的主面大体上一致那样地，在隔离沟槽 14 内剩下绝缘膜 15。

接着，图 25 是后续制造工序中的与图 24 同一地方的主要部分剖面图。首先，在用光刻胶图形把外围电路区域覆盖起来之后，把该光刻胶图形用做掩模，对埋入到存储器阵列的隔离沟槽 14 内部的绝缘膜 15 进行规定量深刻蚀。然后，对半导体衬底 1 实施 1000℃左右的热处理，进行绝缘膜 15 的致密化。借助于此，在外围电路区域上形成凹槽量为 0 到 40nm 左右的隔离部分 STI，在存储器阵列上形成凹槽量为 80nm 左右的隔离部分 STI。

接着，采用用规定的能量用离子注入法等向半导体衬底 1 的规定

部分内选择性地导入规定杂质的办法，形成埋入 n 阱 NWm，p 阱 PWm，p 阱 PWp 和 n 阱 NWp。

其次，形成厚度不同的 2 种绝缘膜 3a、3b。首先，在半导体衬底 1 的主面上边，用热氧化法等形成例如厚度为 20nm 左右的厚的绝缘膜。接着，在该厚的绝缘膜上边，在形成了使存储器阵列（除去选择 MOS）和外围电路区域露出来，把除此之外的区域覆盖起来那样的光刻胶图形后，以之为刻蚀掩模用湿法刻蚀等刻蚀除去在那里露出来的厚的绝缘膜。然后，在除去了该光刻胶图形后，对要在存储器阵列上形成隧道氧化膜的半导体衬底 1 再次实施热氧化处理。借助于此，在存储器阵列（除去选择 MOS 区域）和外围电路区域上，形成例如厚度为 9nm 左右的较薄的栅极绝缘膜 3a，在选择 MOS 区域上，形成例如厚度为 25nm 左右的较厚的绝缘膜 3b(参看图 22)。

接着，图 26 是后续制造工序中的与图 23 同一地方的主要部分平面图，图 27 是后续制造工序中的与图 24 同一地方的主要部分剖面图。

首先，在半导体衬底 1 的主面上边，从下层开始依次用 CVD 法等淀积上例如厚度 70nm 左右的由低电阻的多晶硅构成的下层导体膜 4a 和由氮化硅等构成的绝缘膜 16 后，采用用光刻技术和干法刻蚀技术加工该绝缘膜 16 和下层导体膜 4a 的办法，使在存储器阵列上形成浮置栅极电极的下层导体膜 4a 图形化。这时，外围电路区域和选择 MOS 区域，全体地被下层导体膜 4a 和绝缘膜 19 覆盖起来。接着，采用用离子注入法等向半导体衬底 1 内导入存储单元的源极·漏极用的杂质（例如砷）的办法，形成一对 n 型半导体区域 2S、2D（局域源极线 SS 和子位线 SB）。这时，外围电路区域和选择 MOS 区域等，已用下层导体膜 4a 覆盖起来。

接着，图 28 是后续制造工序中的与图 24 同一地方的主要部分剖面图。

在这里，首先，在半导体衬底 1 的主面上边，用 CVD 法等淀积上例如由氧化硅构成的绝缘膜 7 之后，用 CMP 法研磨该绝缘膜 7，

使得该绝缘膜 7 在半导体衬底 1 的主面上边的凹坑内剩下, 然后, 用干法刻蚀法等进行刻蚀。借助于此, 使半导体衬底 1 的主面上边平坦化。此外, 还要使得在其上边淀积的后述的浮置栅极电极用的上层导体膜不与存储单元的源极·漏极用的 n 型半导体区域 2S、2D 进行接触。这时, 虽然绝缘膜 16 也会被除去, 但是却起着保护下层的功能。

接着, 图 29 是后续制造工序中的与图 23 同一地方的主要部分平面图, 图 30 是后续制造工序中的与图 24 同一地方的主要部分剖面图。

首先, 在半导体衬底 1 的主面上边, 淀积上例如厚度 40nm 左右的由低电阻多晶硅构成的上层导体膜 4b 之后, 在其上边, 用光刻技术形成光刻胶图形 PR1, 以该光刻胶图形 PR1 为刻蚀掩模, 用干法刻蚀法等除去从那里露出来的上层导体膜 4b, 借助于此形成由下层导体膜 4a 和上层导体膜 4b 构成的浮置栅极电极。另外, 这时, 外围电路区域、短路 MOS 区域和选择 MOS 区域, 已全体地被上层导体膜 4b 覆盖起来。

接着, 图 31 是后续制造工序中的与图 23 同一地方的主要部分平面图, 图 32 是后续制造工序中的与图 24 同一地方的主要部分剖面图。

在这里, 首先, 在采用从下层开始依次用 CVD 法等淀积例如由氧化硅膜、氮化硅膜和氧化硅膜的办法, 形成了例如厚度 15nm 左右的层间膜 5 后, 在其上边, 用光刻技术形成用来形成接触孔 SC 的光刻胶图形 PR2。接着, 采用以该光刻胶图形 PR2 为刻蚀掩模, 用干法刻蚀法等除去从那里露出来的层间膜 5 的办法, 在层间膜 5 上形成接触孔 SC。另外, 在图 31 中, 上边的行的接触孔 SC 被配置在选择 MOS 的栅极电极形成区域上边, 下边的行的接触孔 SC 则被配置在短路 MOS 的栅极电极形成区域上边。此外, 在图 32 中, 在外围电路区域中虽然未示出接触孔 SC, 但是在图 32 的剖面中未画出来的别的位置上, 在这些 MOS 栅极电极形成区域上边则形成了导体膜 4b

的一部分露出来的接触孔 SC。

接着，图 33 是后续制造工序中的与图 23 同一地方的主要部分平面图，图 34 是后续制造工序中的与图 24 同一地方的主要部分剖面图。

在这里，首先，在采用从下层开始依次用 CVD 法等淀积上例如由低电阻多晶硅构成的下层导体膜 6a、由钨硅化物等构成的上层导体膜 6b 和由氧化硅等构成的帽状绝缘膜 8 后，在其上边，用光刻技术形成光刻胶图形 PR3。采用以该光刻胶图形 PR3 为刻蚀掩模，用干法刻蚀法等除去从那里露出来的帽状绝缘膜 8、上层导体膜 6b 和下层导体膜 6a 的办法，在存储器阵列中形成控制栅极电极（字线 W），在除此之外的区域、外围电路区域、短路 MOS 区域和选择 MOS 区域等中，形成各个 MOS 的栅极电极的一部分。在进行该刻蚀处理时，层间膜 5 起着刻蚀阻挡层的作用。

接着，图 35 是后续制造工序中的与图 24 同一地方的主要部分剖面图。

在这里，首先，以帽状绝缘膜 8、导体膜 6 为刻蚀掩模，用干法刻蚀法等刻蚀除去其下层的层间膜 5、上层导体膜 4b 和下层导体膜 4a。借助于此，导体膜 4 与导体膜 6 自对准地被图形化，结果变成为在字线方向上具有同一形状。

借助于此，在存储器阵列中，完成存储单元 MC 的控制栅极电极和浮置栅极电极。就是说，完成在浮置栅极电极用的导体膜 4 上边中间存在着层间膜 5 地叠层上控制栅极电极用的导体膜 6 的 2 层栅极电极构造。存储单元 MC 的浮置栅极电极和控制栅极电极已完全地绝缘。

此外，在外围电路区域中，完成低电压系 NMOS 的栅极电极 10n 和低电压系 PMOS 的栅极电极 10p。在各个 MOS 的栅极电极中，导体膜 4 和导体膜 6 通过接触孔 SC 电连起来。另外，虽然未画出来，但是即便是在短路 MOS 区域和选择 MOS 区域中，也可以分别形成短路 MOS 的栅极电极和选择 MOS 的栅极电极。

接着，图 36 是后续制造工序中的与图 24 同一地方的主要部分剖面图。

在这里，在外围电路区域中，分别各自分开形成每一个 MOS 的杂质浓度较低的半导体区域。例如，在低电压系 NMOS 上形成 n 型半导体区域 11na 和在低电压系 PMOS 上形成 p 型半导体区域 11pa。向 n 型半导体区域 11na 内，例如导入砷，向 p 型半导体区域 11pa 内，例如导入硼。另外，虽然未画出来，但是即便是在短路 MOS 区域和选择 MOS 区域中，也可以分别形成短路 MOS 的半导体区域和选择 MOS 的半导体区域。

接着，在用 CVD 法等半导体衬底 1 的主面上边淀积上例如由氧化硅构成的绝缘膜后，采用用各向异性的干法刻蚀法等对之进行刻蚀的办法，在低电压系 NMOS 的栅极电极 10n 和低电压系 PMOS 的栅极电极 10p 的侧面上形成绝缘膜 12a。另外，虽然未画出来，但是，在短路 MOS 的栅极电极和选择 MOS 的栅极电极的侧面上也可以分别形成绝缘膜 12a，彼此相邻的字线 W 间，用该绝缘膜 12a 进行填埋。

接着，图 37 是后续制造工序中的与图 24 同一地方的主要部分剖面图。

在这里，在外围电路区域、短路 MOS 区域和选择 MOS 区域中，分别各自分开形成每一个 MOS 的杂质浓度较高的半导体区域。例如，在低电压系 NMOS 上形成 n 型半导体区域 11nb 和在低电压系 PMOS 上形成 p 型半导体区域 11pb。向 n 型半导体区域 11nb 内，例如导入砷，向 p 型半导体区域 11pb 内，例如导入硼。借助于此，形成低电压系 NMOS 的源极·漏极用的一对 n 型半导体区域 11n，和低电压系 PMOS 的源极·漏极用的一对 p 型半导体区域 11p，在外围电路区域中，完成低电压系 NMOSQLn 和 PMOSQLp。另外，虽然未画出来，但是，也可以形成选择 MOS 的源极·漏极用的一对 n 型半导体区域。

接着，图 38 是后续制造工序中的与图 26 同一地方的主要部分平面

图，图 39 是后续制造工序中的与图 27 同一地方的主要部分剖面图。

在这里，在半导体衬底 1 上边，用 CVD 法等淀积上例如由氧化硅构成的绝缘膜 12b 之后，在该绝缘膜 12b 上，用光刻技术和干法刻蚀技术形成使半导体衬底 1 的一部分（各 MOS 的源极·漏极区域）、字线 W 的一部分和规定 MOS 的栅极电极的一部分露出来那样的接触孔 CON1。接着，在该半导体衬底 1 上边，用溅射法等淀积上钨等那样的金属膜后，采用用光刻技术和干法刻蚀技术使之图形化的办法，形成第 1 层布线 L1（包括共通源极线）。第 1 层布线 L1，通过接触孔 CON1，与各个 MOS 的源极·漏极用的一对半导体区域、栅极电极和字线 W 适宜地电连起来。

接着，图 40 是后续制造工序中的与图 26 同一地方的主要部分平面图，图 41 是后续制造工序中的与图 27 同一地方的主要部分剖面图。

在这里，在半导体衬底 1 上边，用 CVD 法等淀积上例如由氧化硅构成的绝缘膜 12c 之后，在该绝缘膜 12c 上，用光刻技术和干法刻蚀技术进行使第 1 层布线 L1 的一部分露出来那样的贯通孔 TH1 的穿孔。接着，在该半导体衬底 1 上边，用溅射法或 CVD 法等淀积上例如钨等那样的金属膜之后，使得仅仅在贯通孔 TH1 内才残留下该金属膜那样地用 CMP 法等对之进行研磨，以在贯通孔 TH1 内形成栓塞 13。然后，在半导体衬底 1 上边，用溅射法等从下层开始依次淀积例如氮化钛、铝和氮化钛之后，用光刻技术和干法刻蚀技术使之图形化，以形成第 2 层布线 L2（包括主位线）。第 2 层布线 L2 通过栓塞 13 与第 1 层布线 L1 电连。

接着，图 42 是后续制造工序中的与图 27 同一地方的主要部分剖面图。

在这里，在半导体衬底 1 上边，用 CVD 法等淀积上例如由氧化硅构成的绝缘膜 12d 之后，在该绝缘膜 12d 上，与上述贯通孔 TH1 同样，进行使第 2 层布线 L2 的一部分露出来那样的贯通孔 TH2 的穿孔。接着，在与上述栓塞 13 同样地处理，在贯通孔 TH2 内形成了由

钨等构成的栓塞 17 之后，在半导体衬底 1 上边，与第 2 层布线 L2 同样，形成例如由氮化钛、铝和氮化钛的叠层膜构成的第 3 层布线 L3。第 3 层布线 L3，通过栓塞 17 与第 2 层布线 L2 电连。然后，在半导体衬底 1 上边，形成了表面保护膜之后，采用在其一部分上形成使第 3 层布线 L3 的一部分露出来那样的开口部分以形成键合焊盘的办法，制造闪速存储器。

如上所述，倘采用本实施形态，由于归因于把有源区域 Lm 的宽度相对地窄，图形密度相对地高的存储器阵列的隔离部分 STI 作为成为具有相对地大的凹槽量的凹槽构造，而可以减小隔离部分 STI 在半导体衬底 1 上产生的应力，故可以抑制半导体衬底 1 的晶体缺陷，可以提高存储单元的结漏电流的裕度。

此外，由于可以提高结漏电流的裕度，故可以实现存储单元尺寸的缩小，可以实现因栅极长度的缩小得到的写入特性的高速化或芯片尺寸的缩小。

以上虽然根据发明的实施形态具体地说明了由本发明人进行的发明，但本发明并不限于上述实施形态，在不脱离其要旨的范围内当然可进行种种的变更。

例如，在上述实施形态中，虽然说明的是应用于 AND 型闪速存储器的情况，但是，包括 NOR 型闪速存储器、DRAM（动态随机存取存储器）在内，在尺寸短小且具有反复重复性的存储器件，而且微细化、低功耗化的要求高的所有的产品中也可以应用。此外，在 SRAM（静态读写存储器）或逻辑产品中也可以得到同样的效果。

倘采用本方法，则可以有效地防止衬底上位错的产生。

图 1A

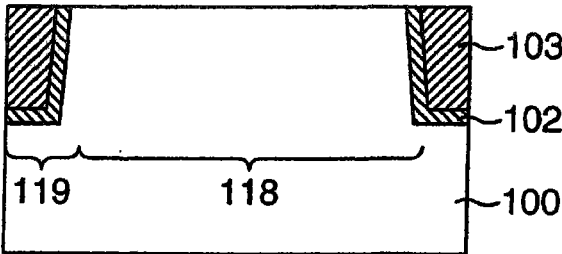


图 1B

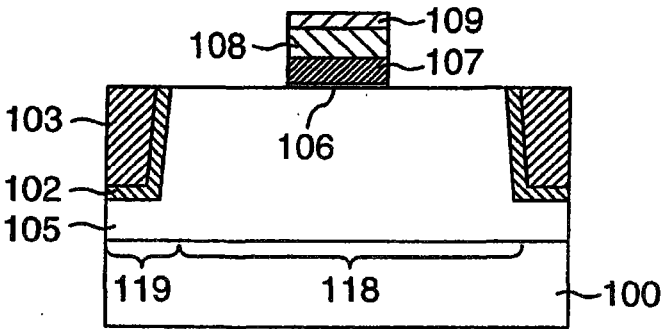


图 1C

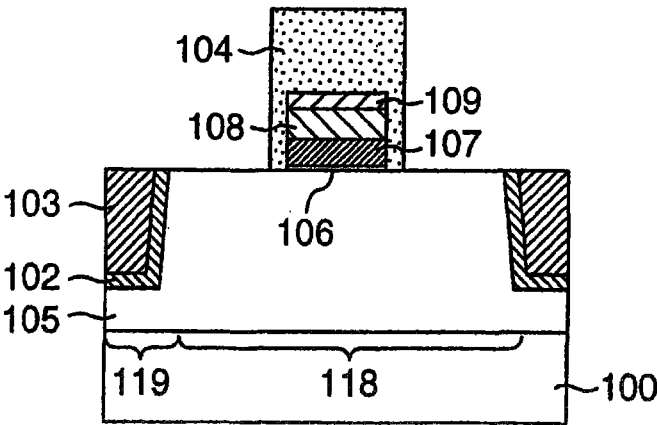


图 1D

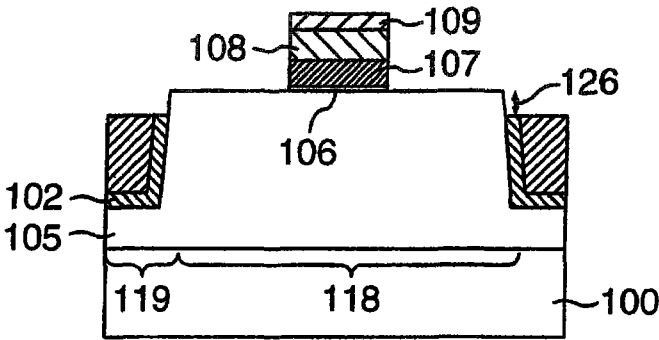


图 1E

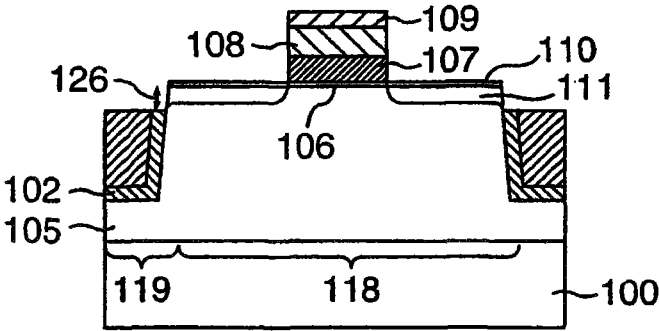


图 1F

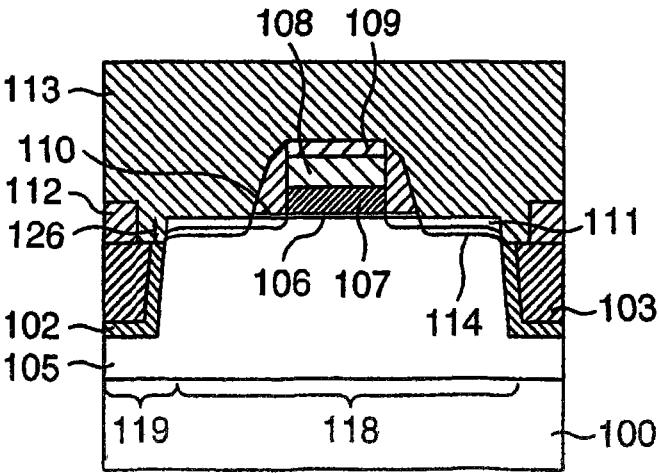


图 2

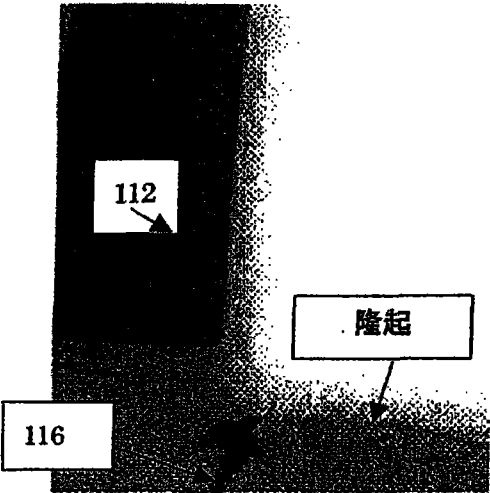


图 3

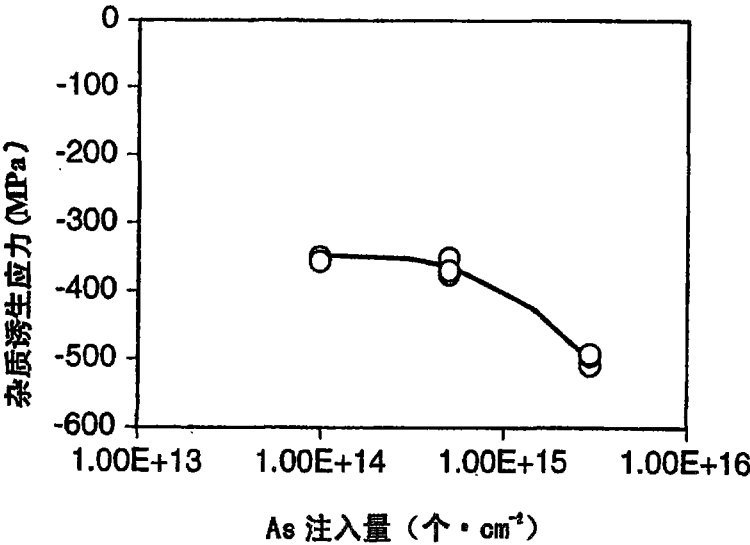


图 4

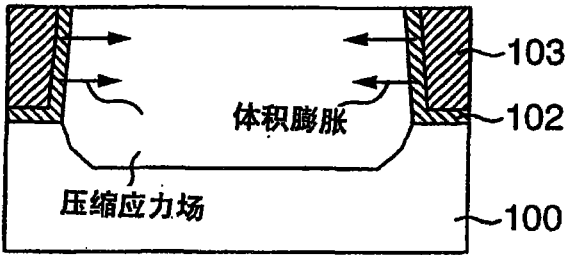


图 5

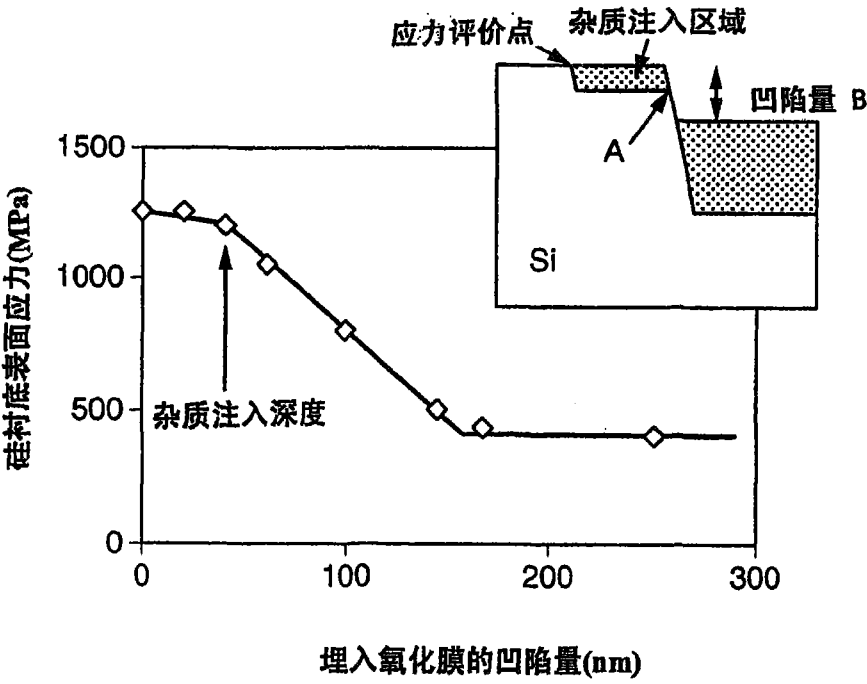


图 6

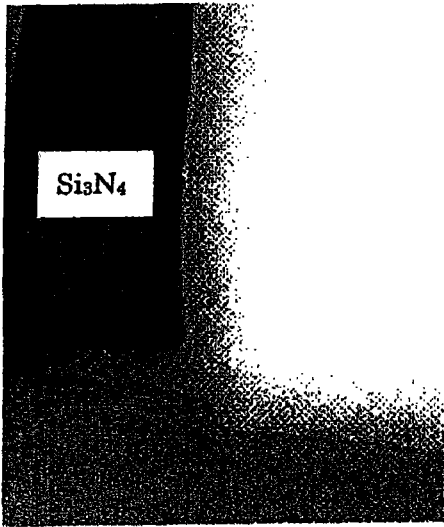


图 7

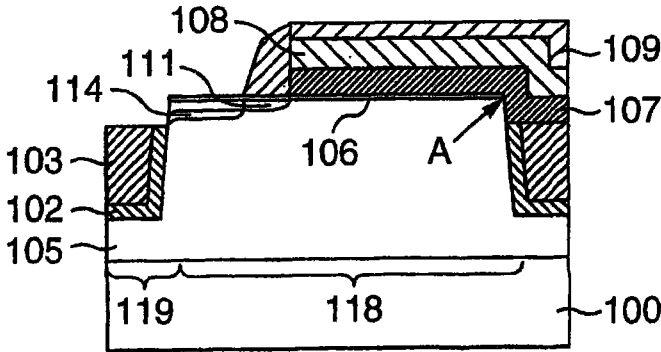


图 8

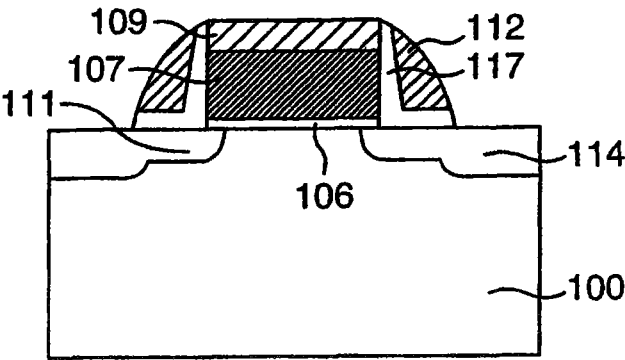


图 9

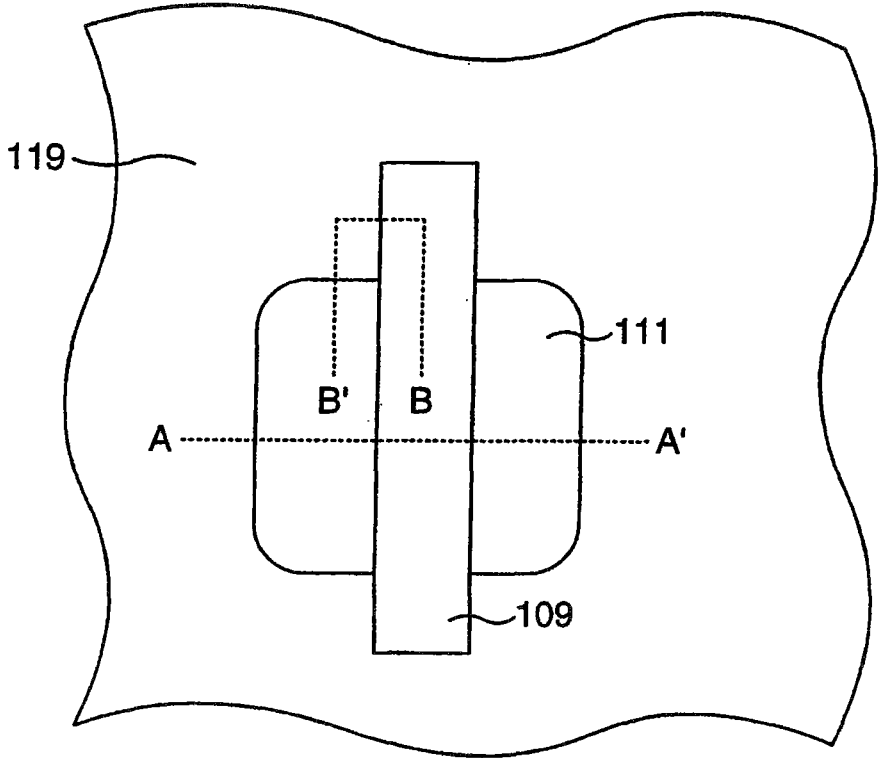


图 10

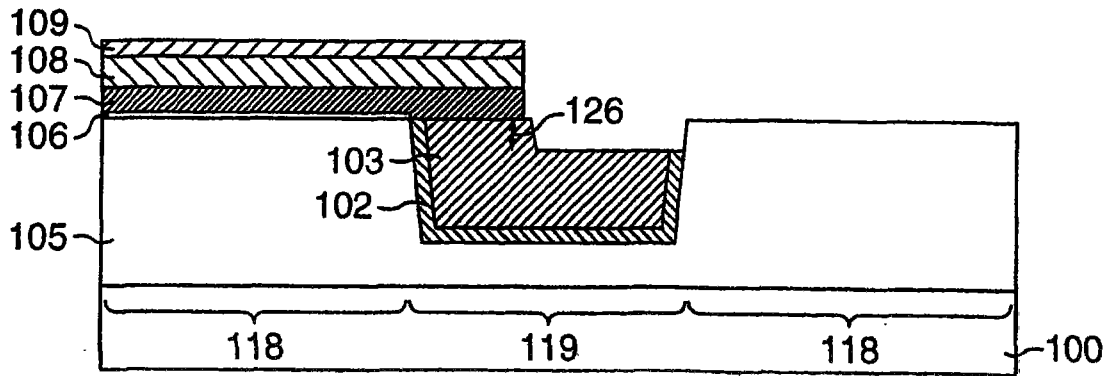


图 11A

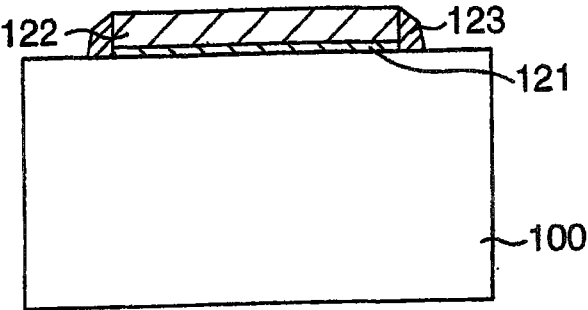


图 11B

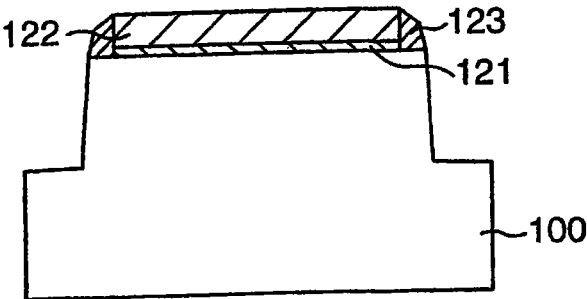


图 11C

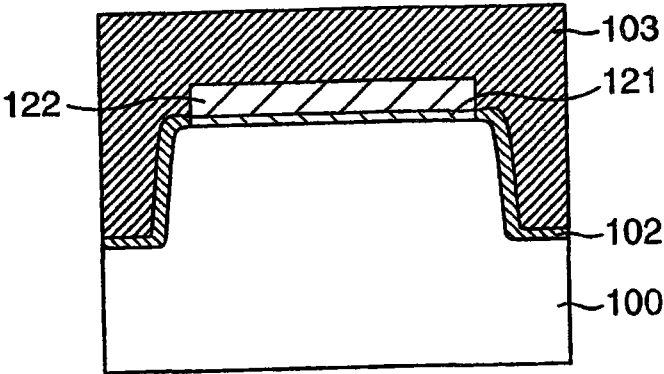


图 11D

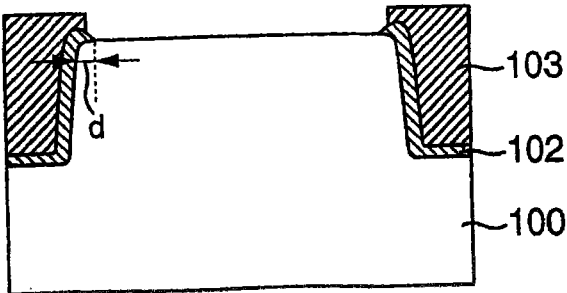


图 12A

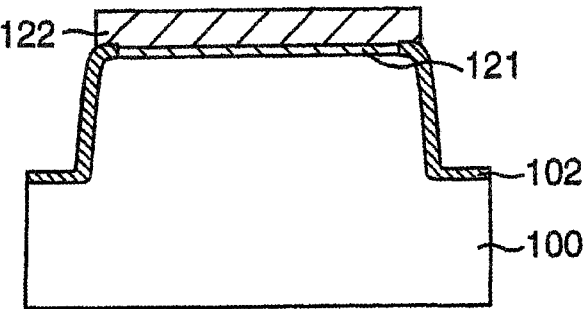


图 12B

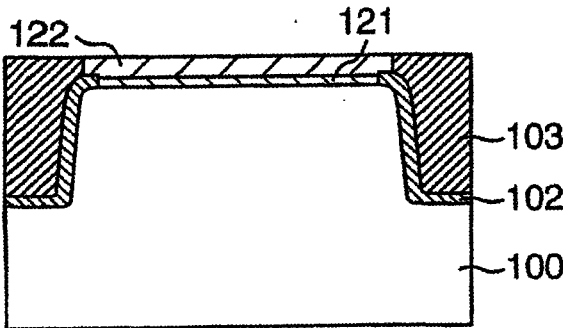


图 12C

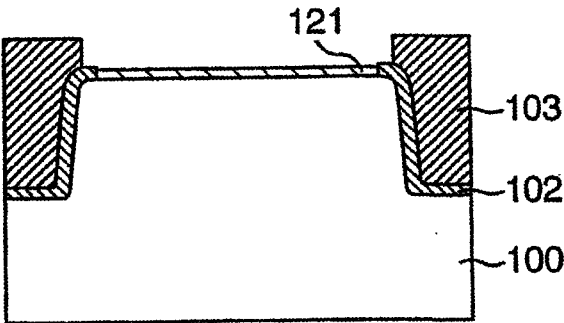


图 12D

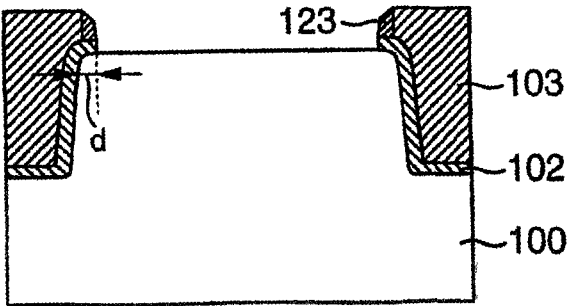


图 13A

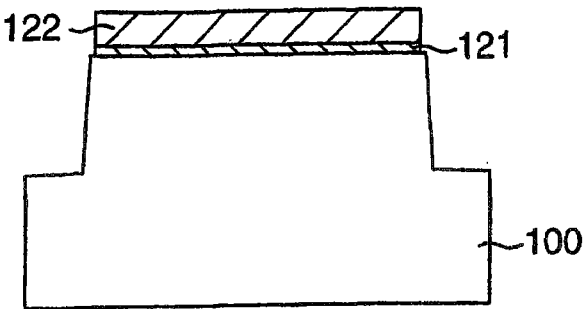


图 13B

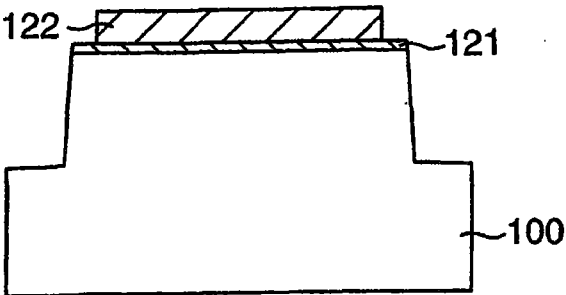


图 13C

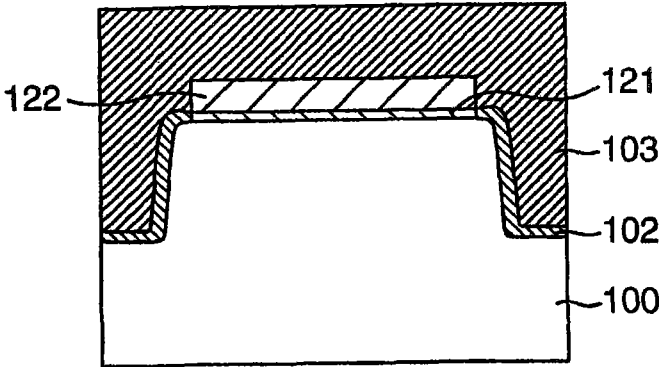


图 13D

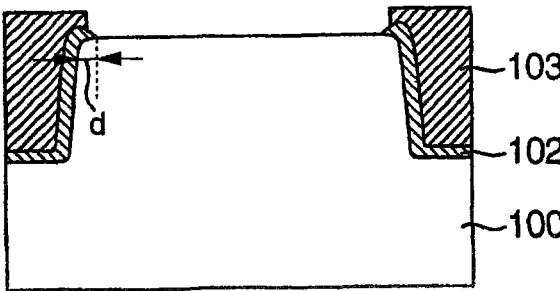


图 14A

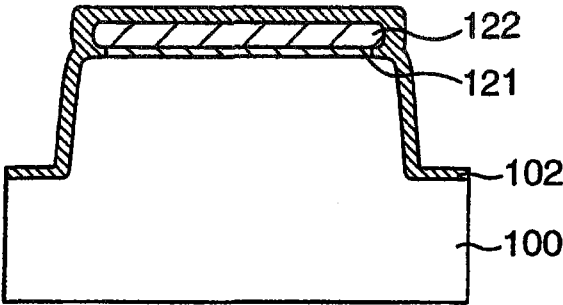


图 14B

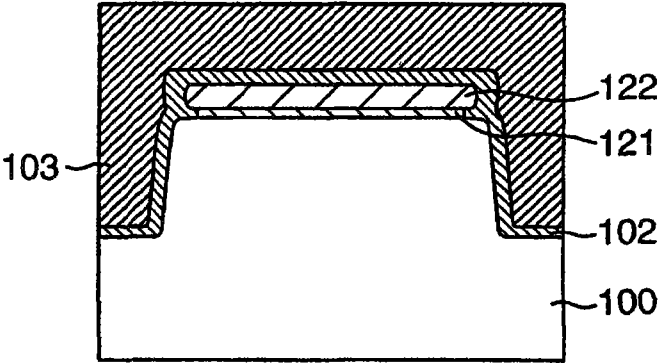


图 14C

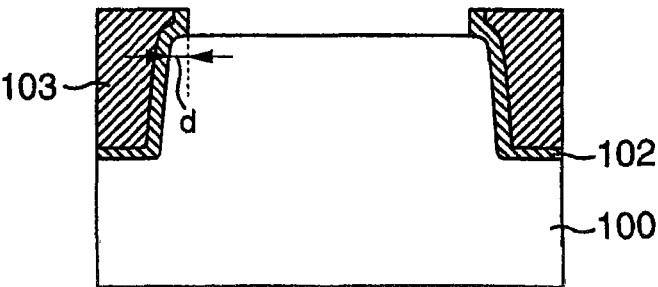


图 15A

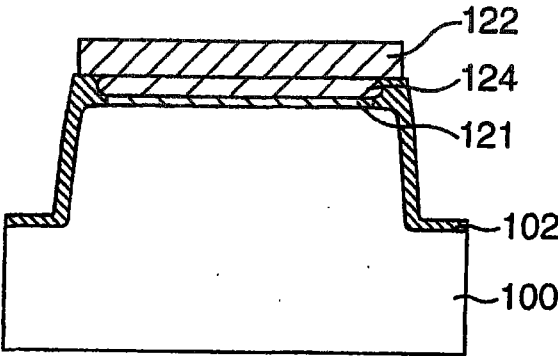


图 15B

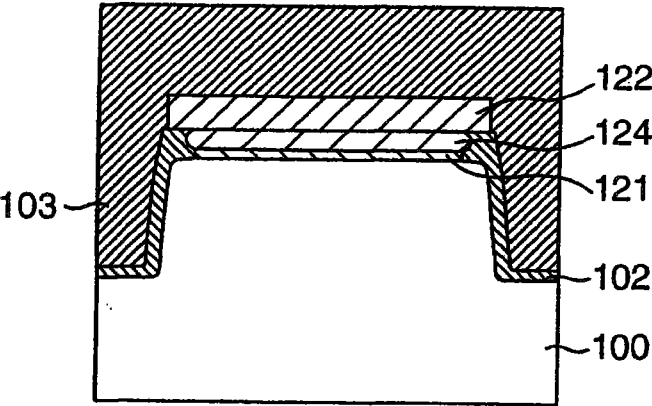


图 15C

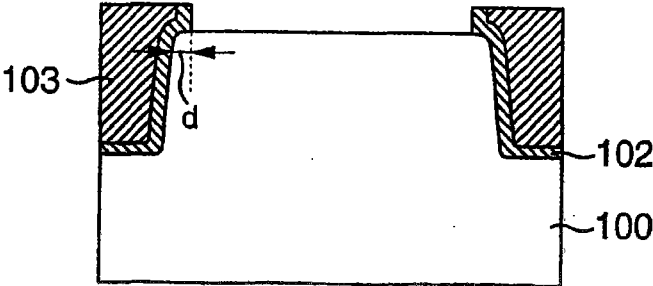


图 16A

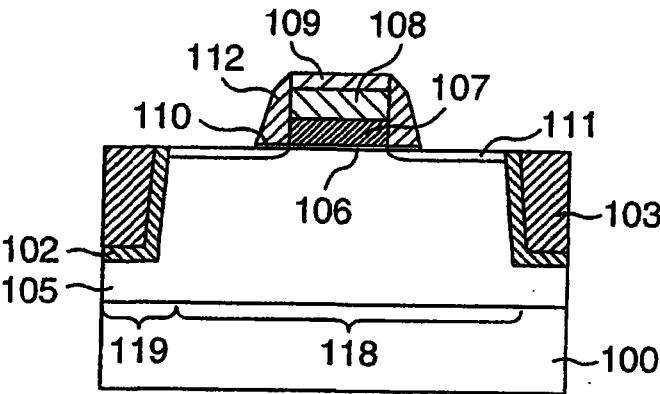


图 16B

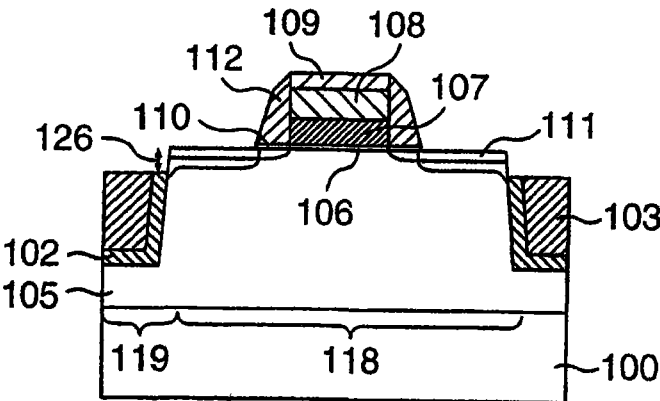


图 17

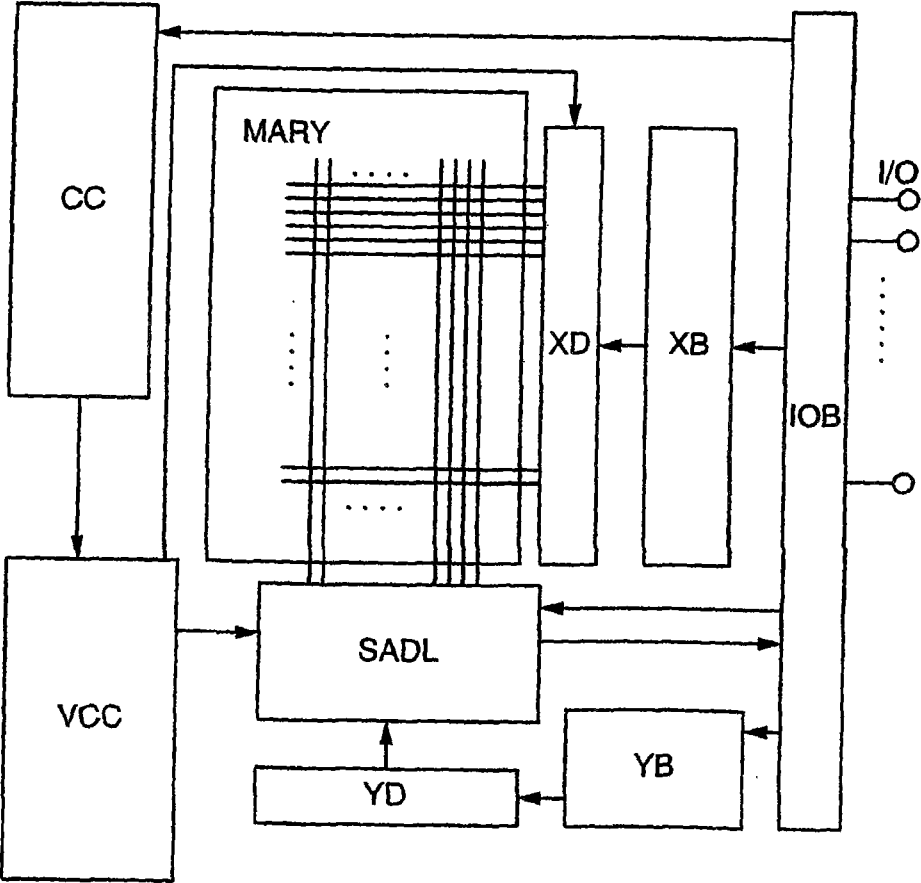


图 18

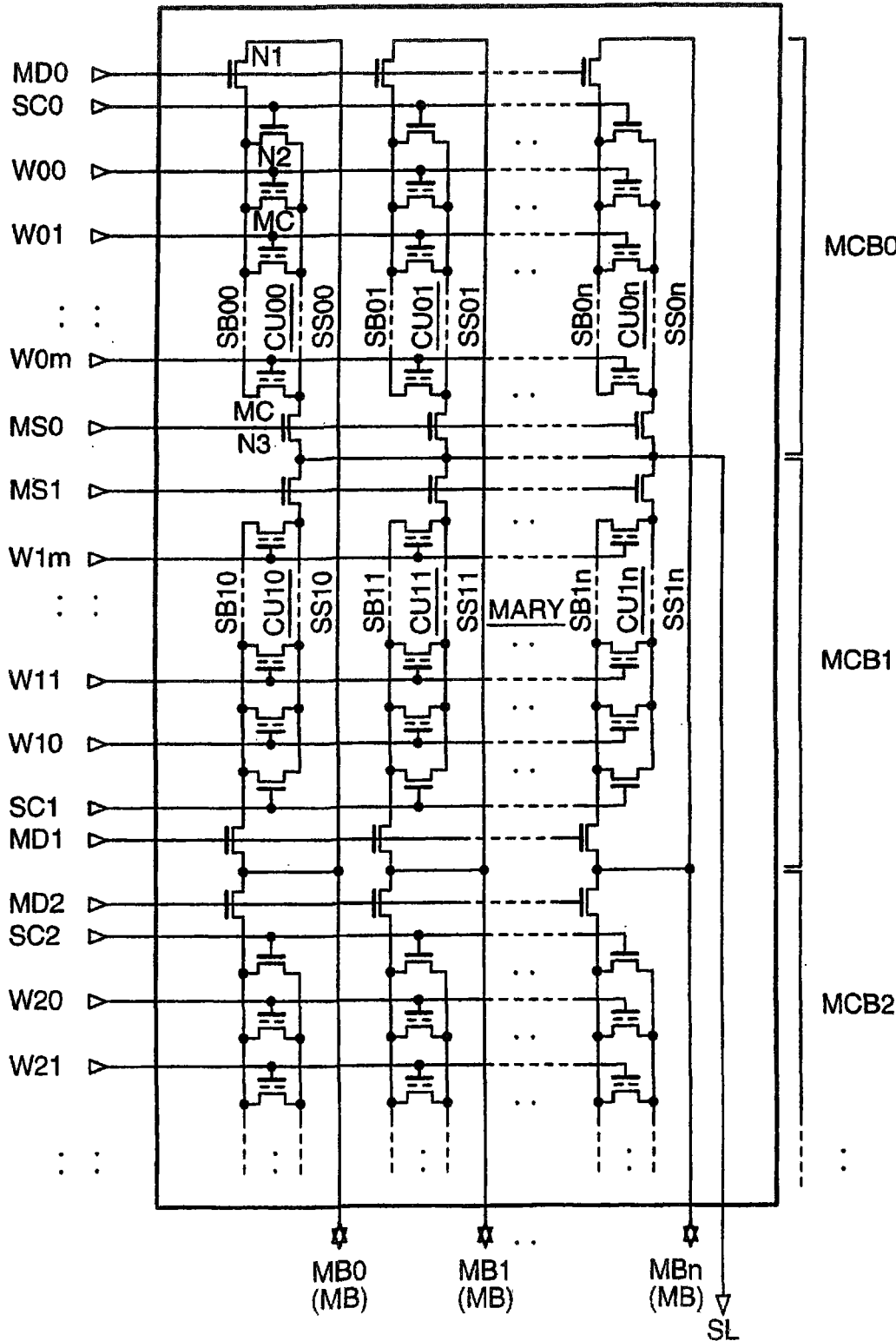


图 19

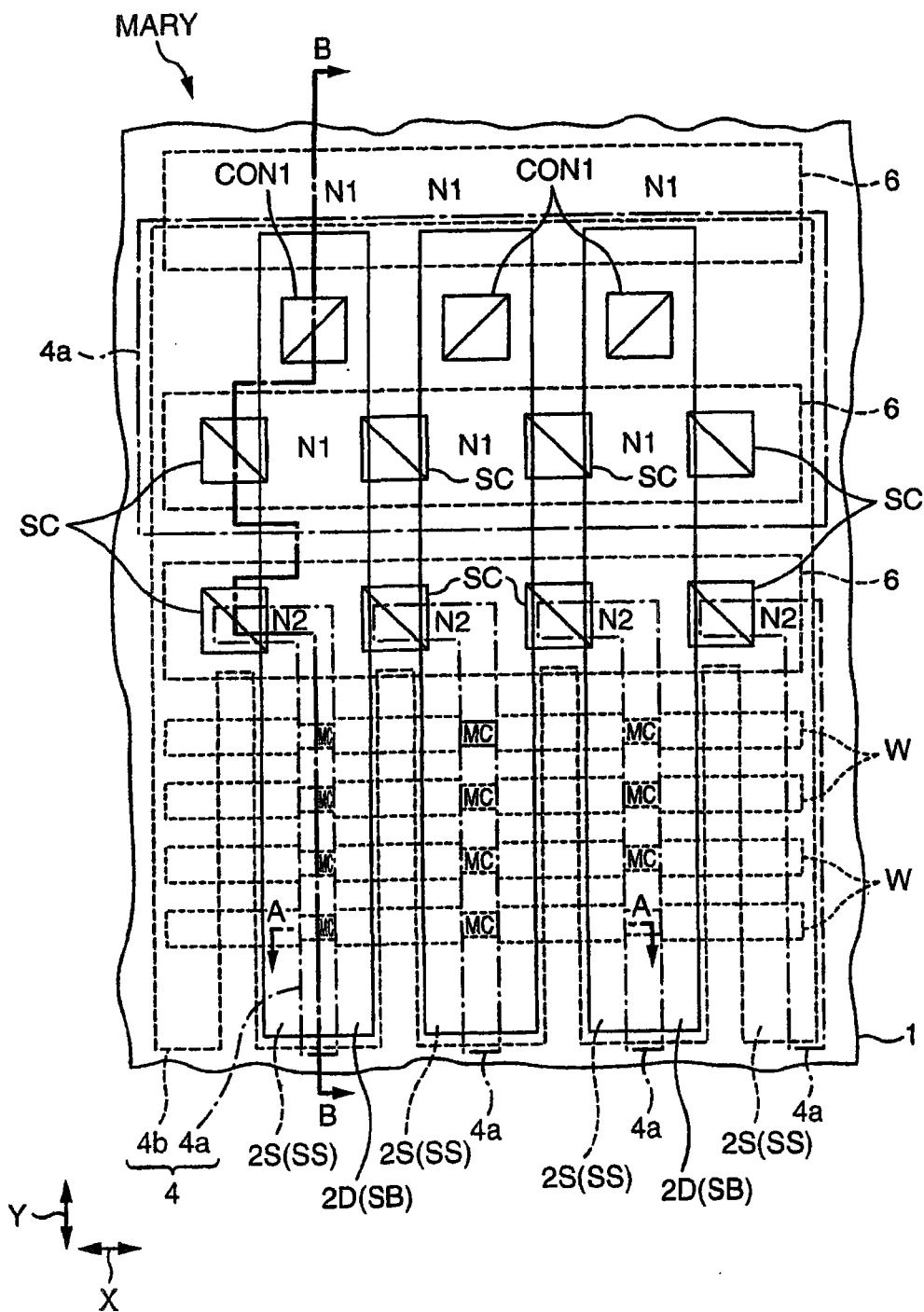


图 20

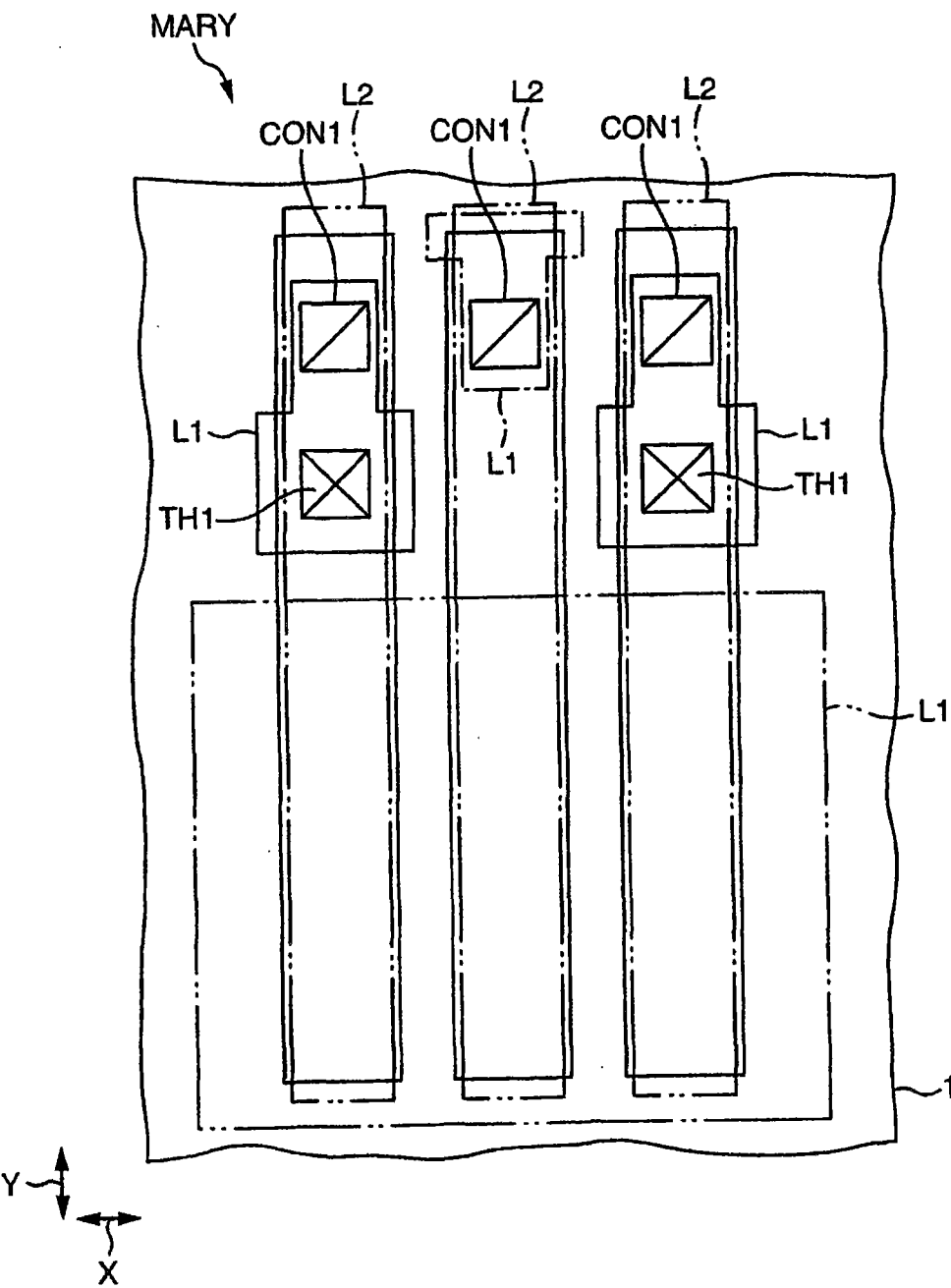


图 21A

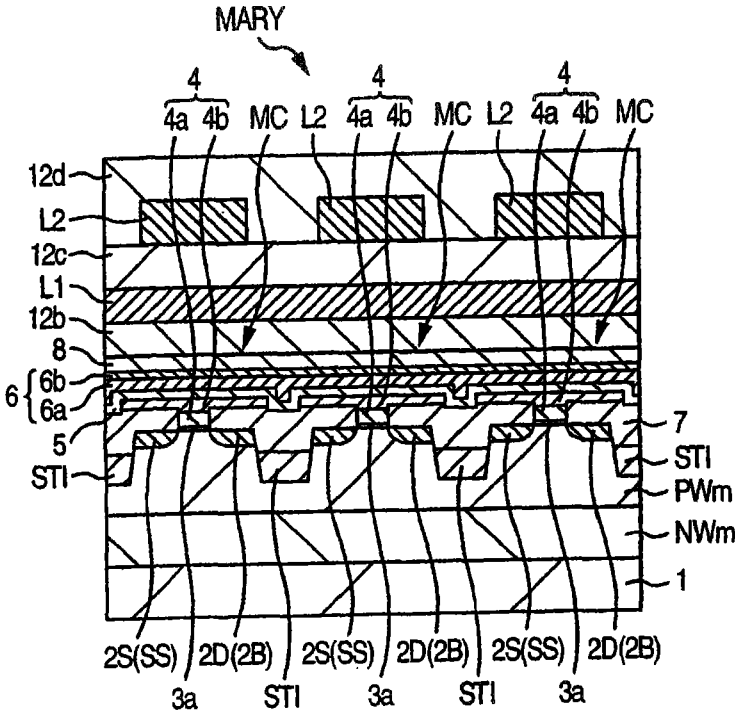


图 21B

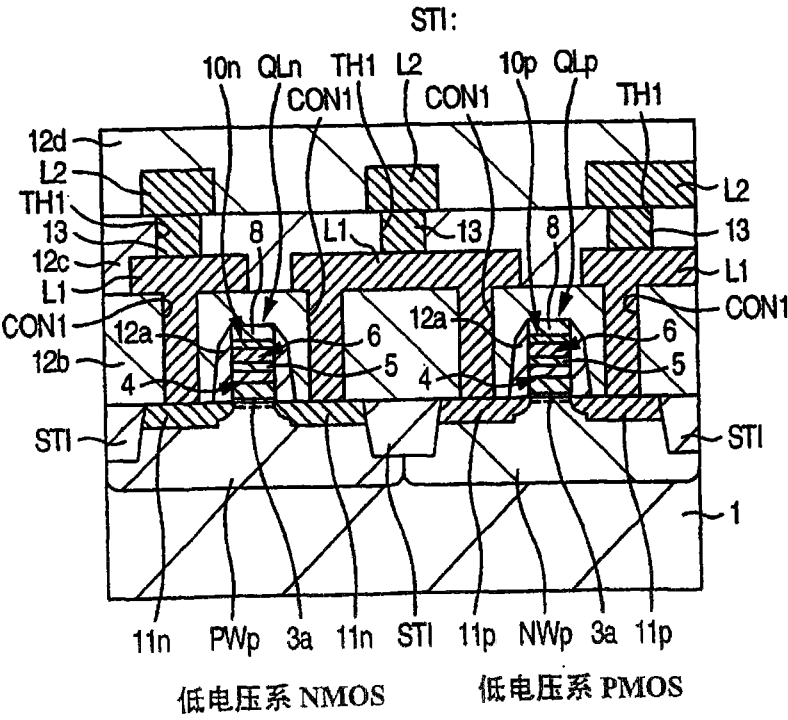


图 22

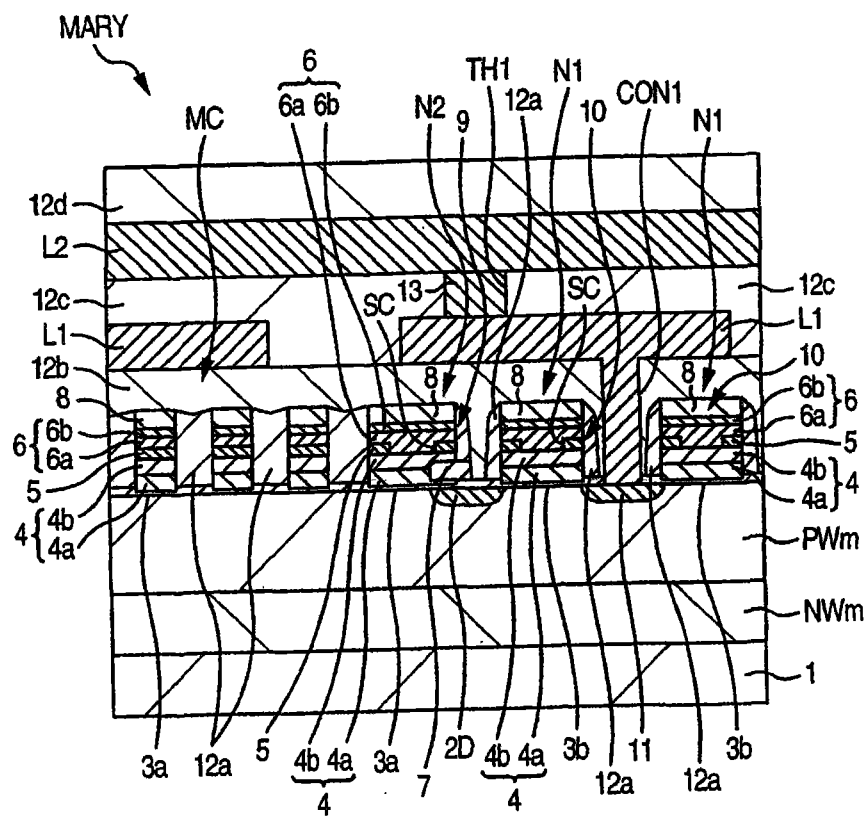


图 23

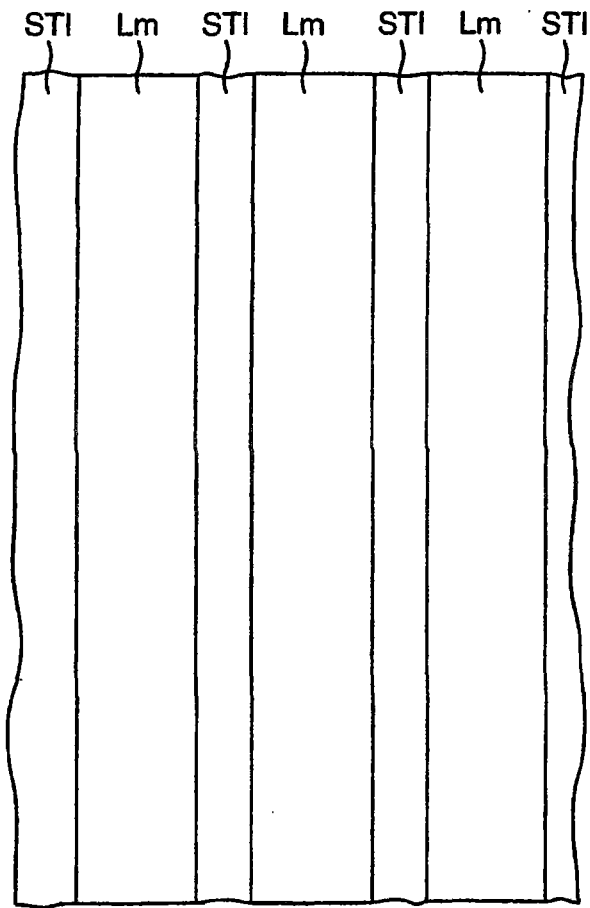


图 24

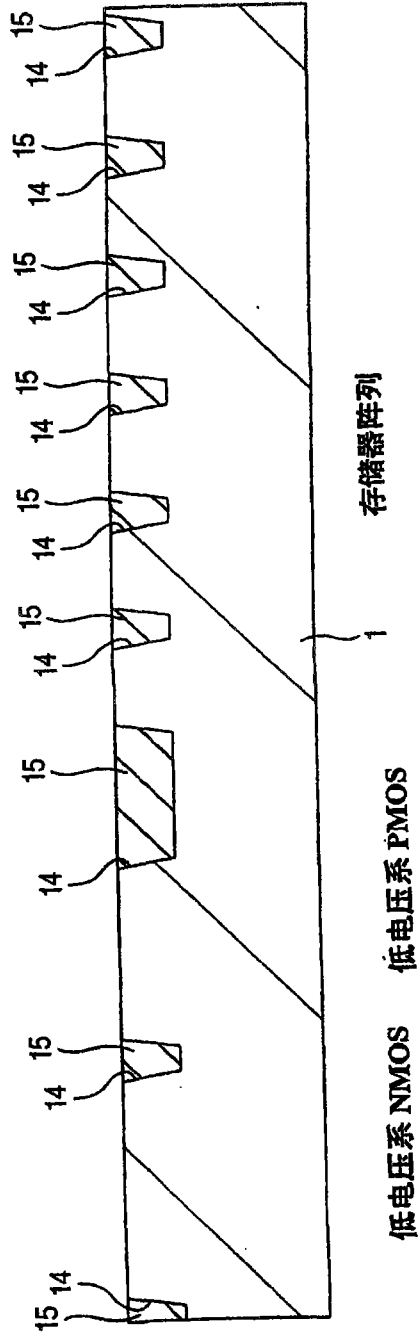


图 25

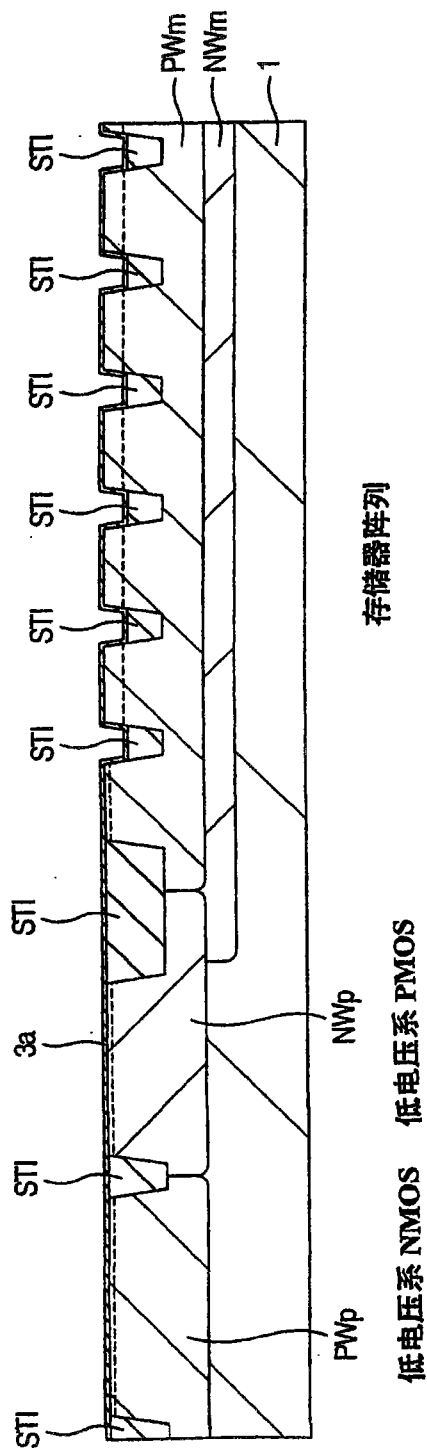


图 26

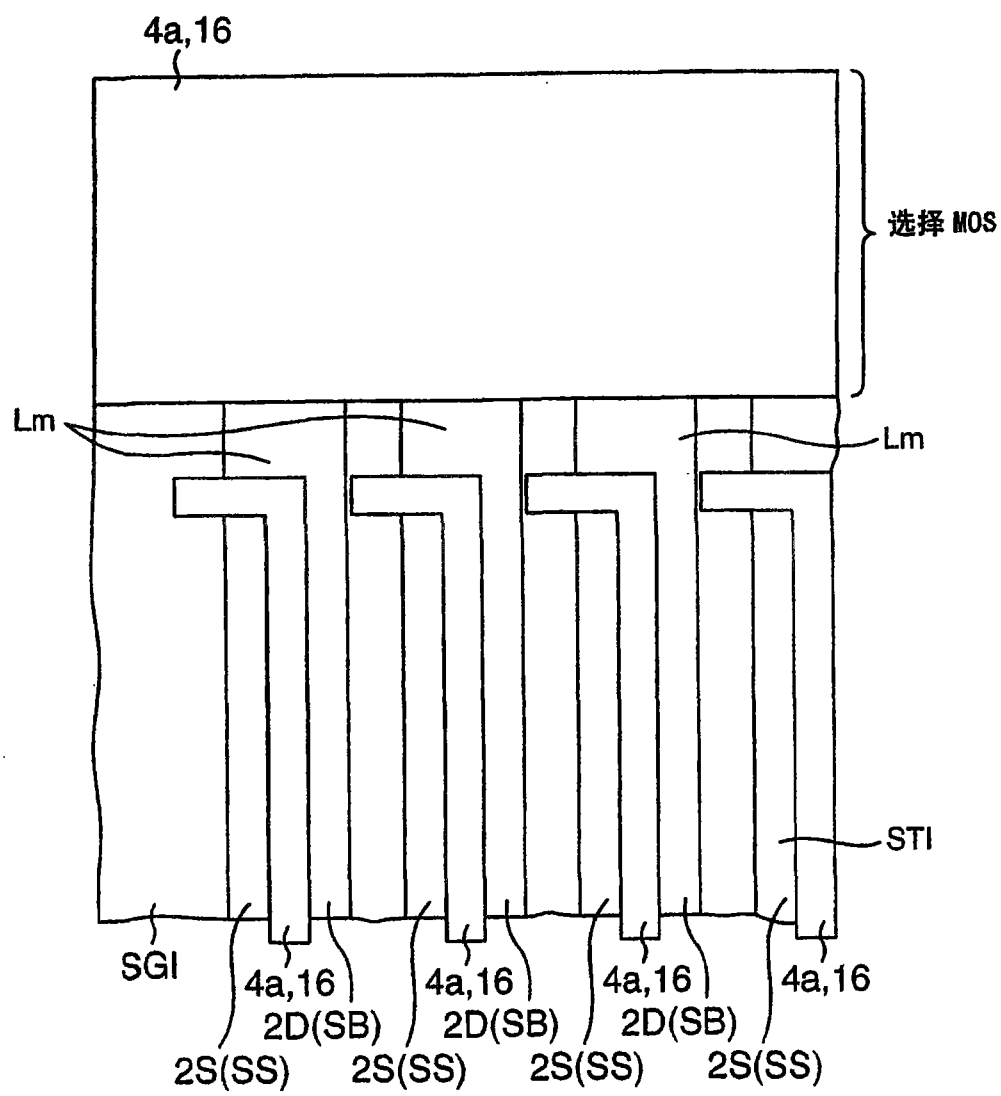


图 27

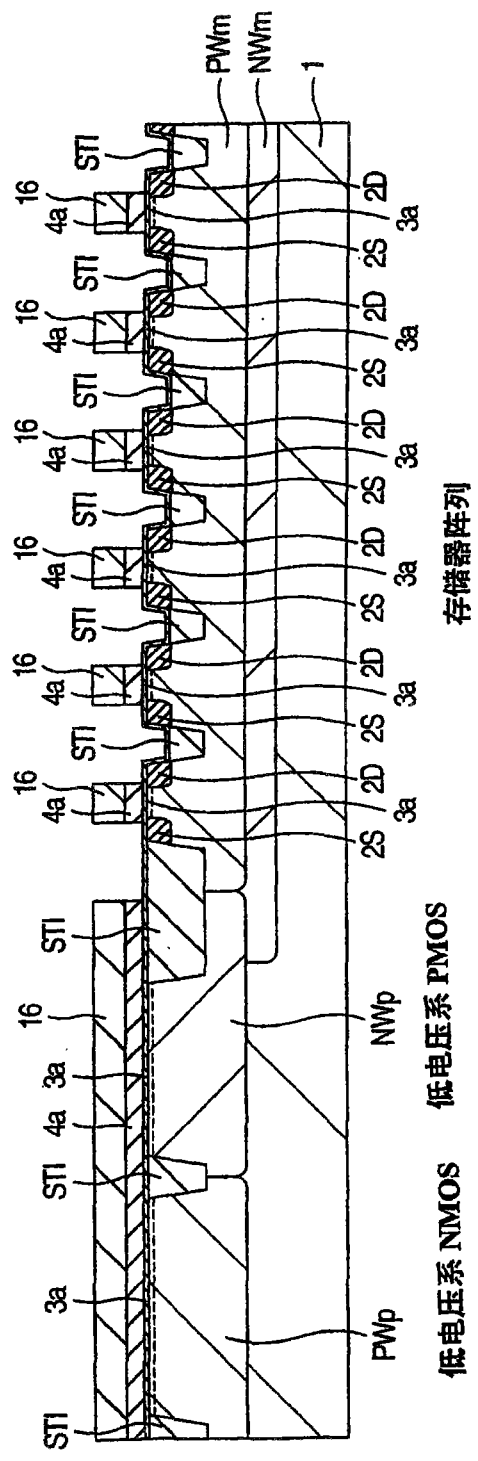


图 29

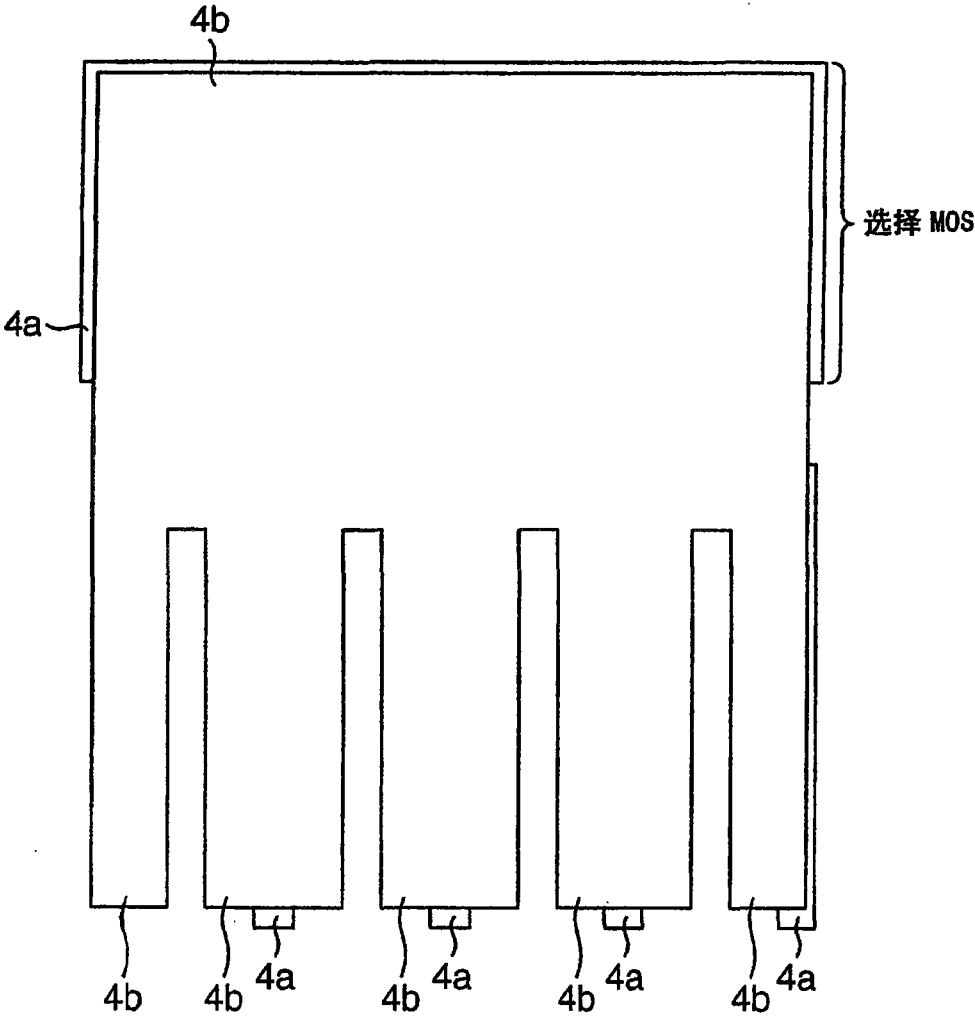


图 30

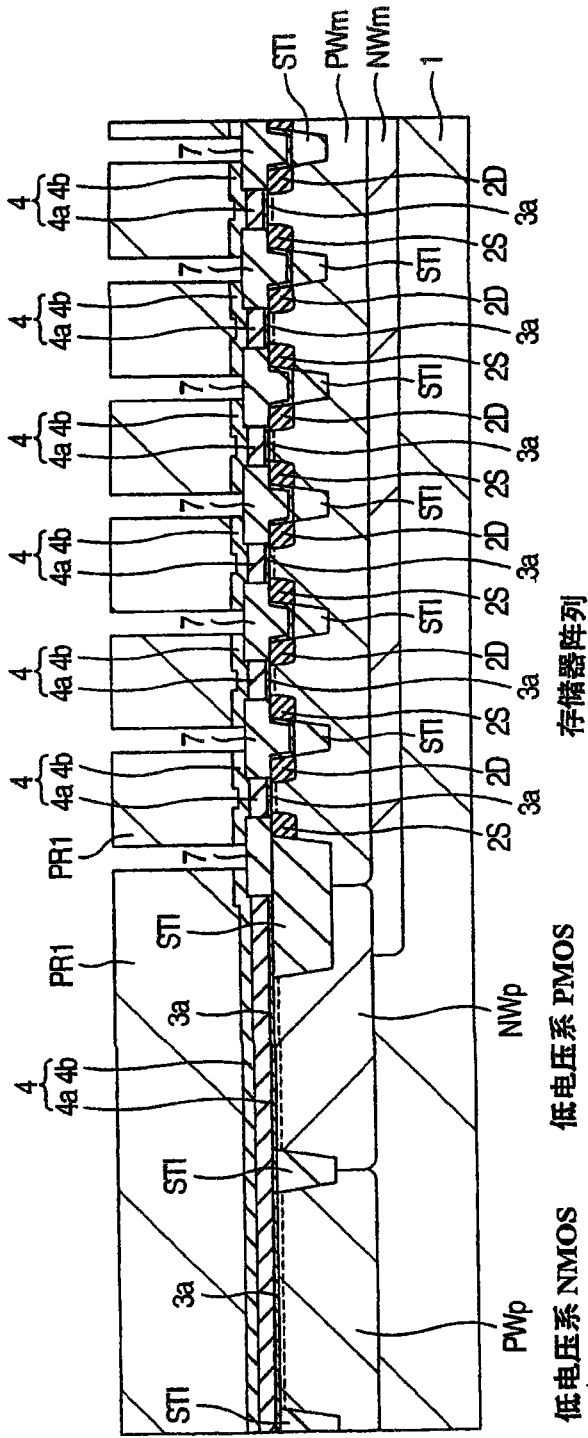


图 31

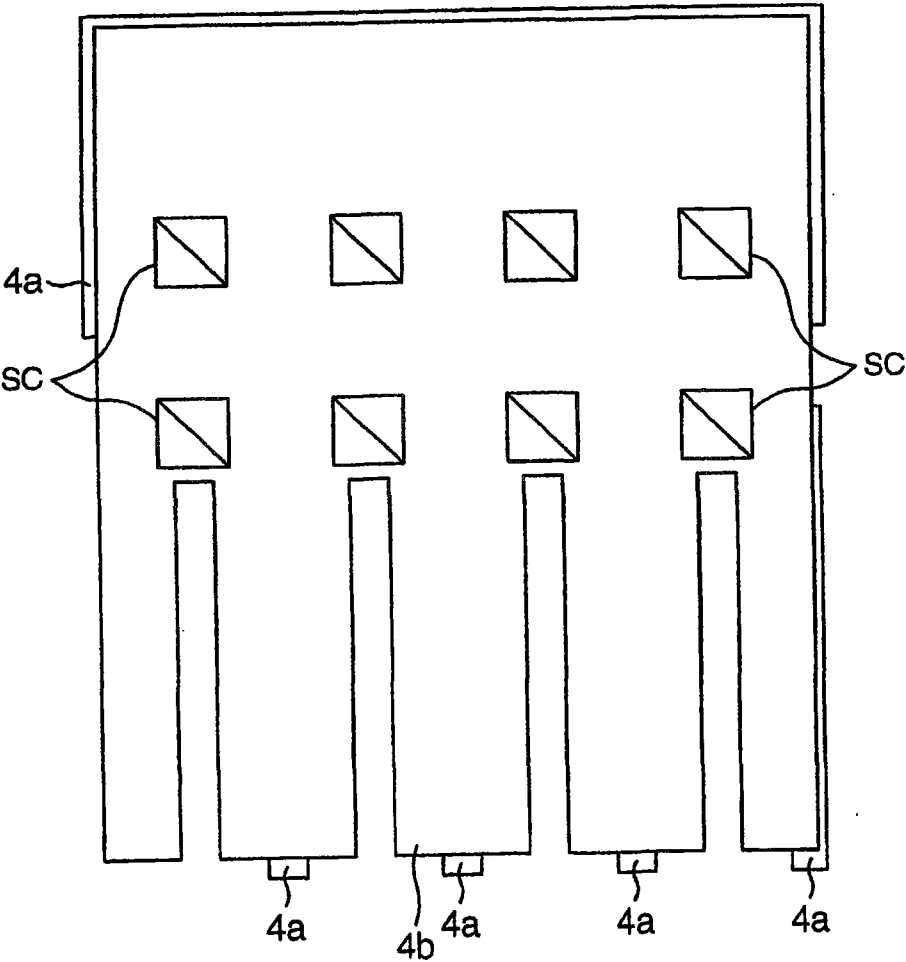


图 33

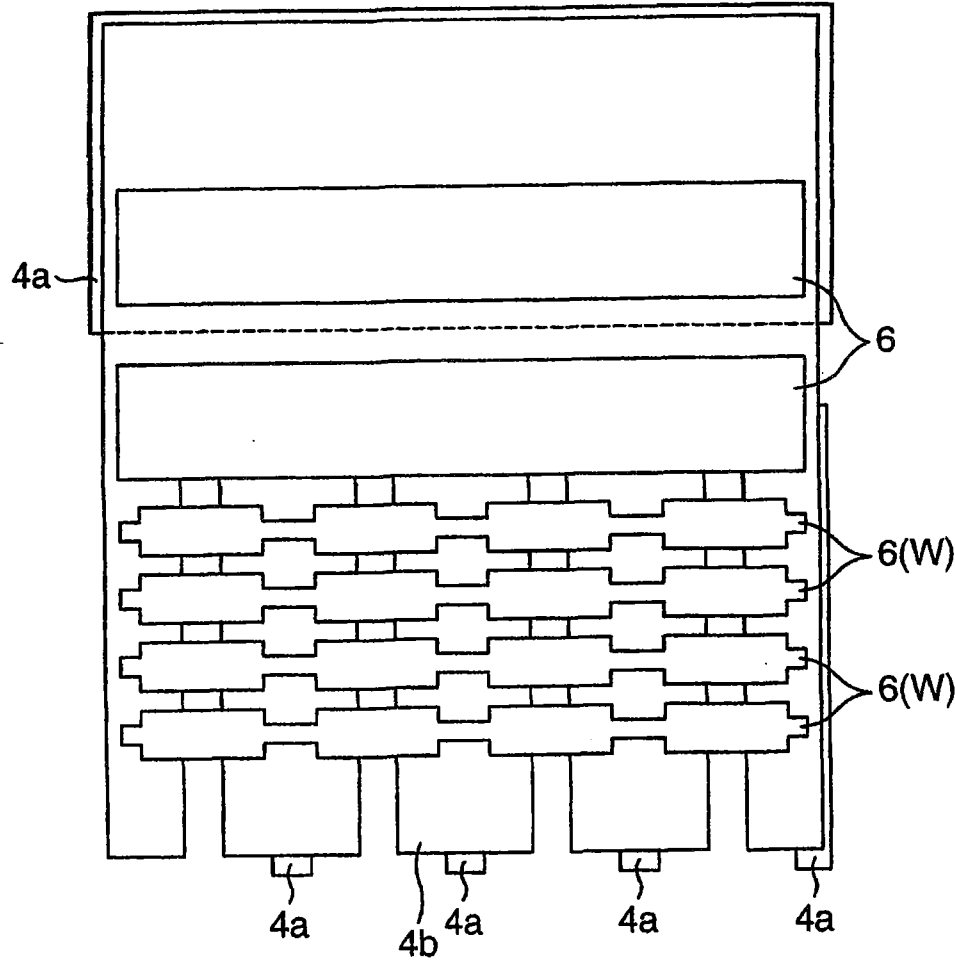
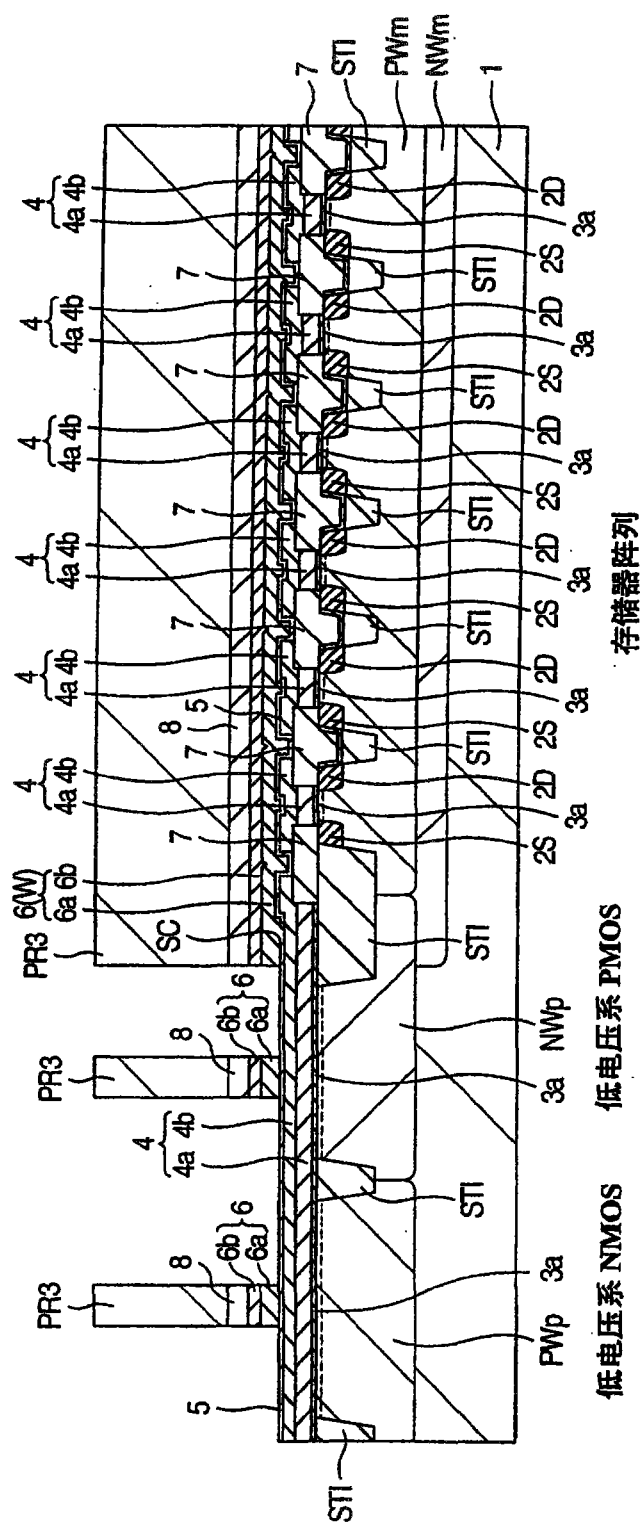


图 34



35

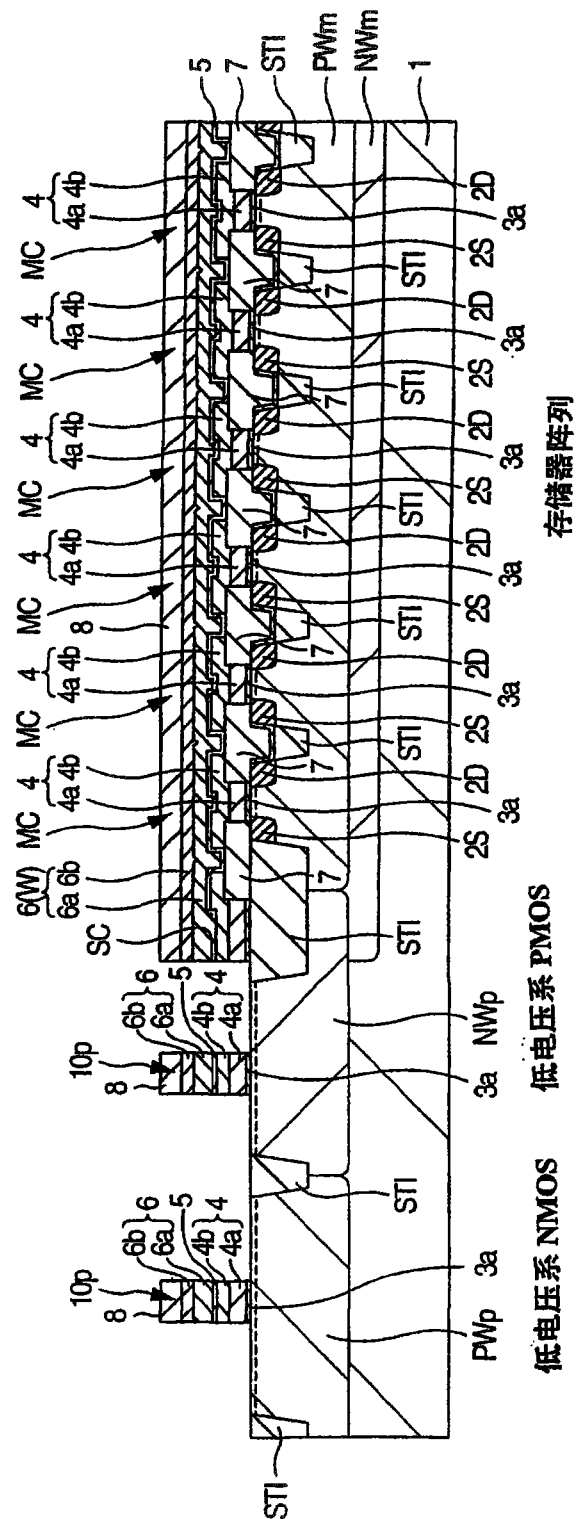


图 37

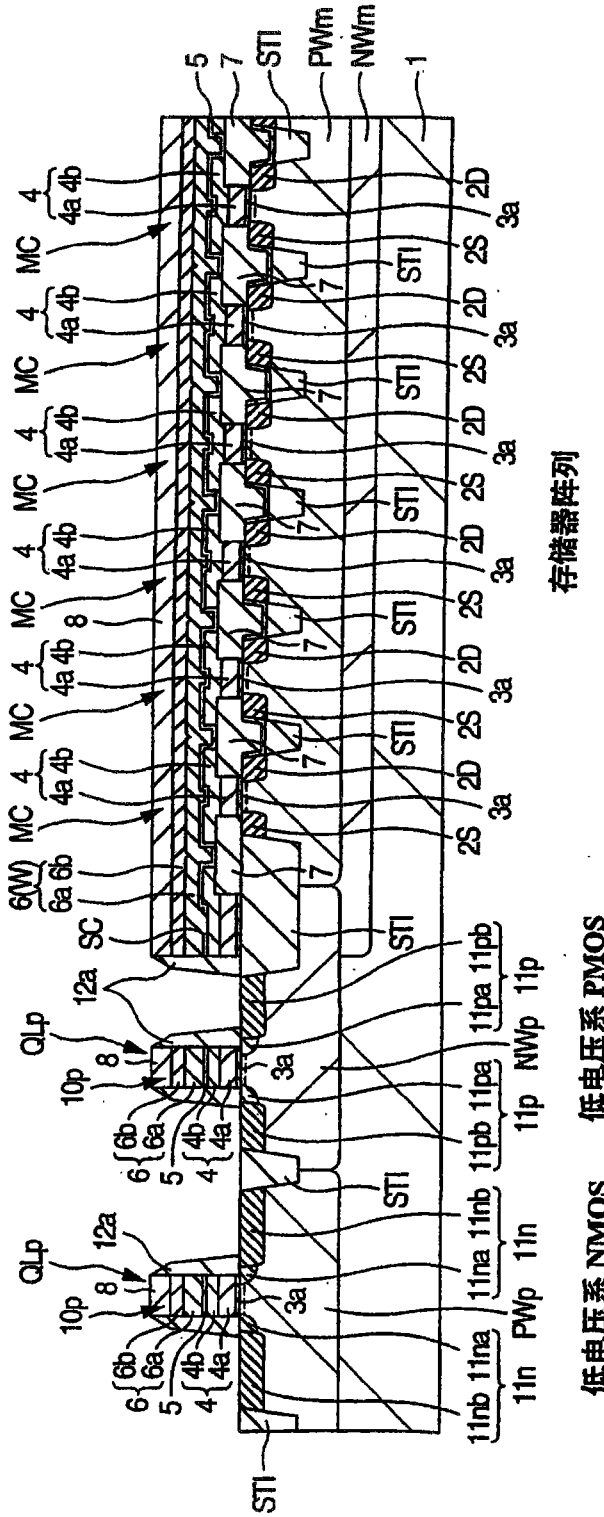


图 38

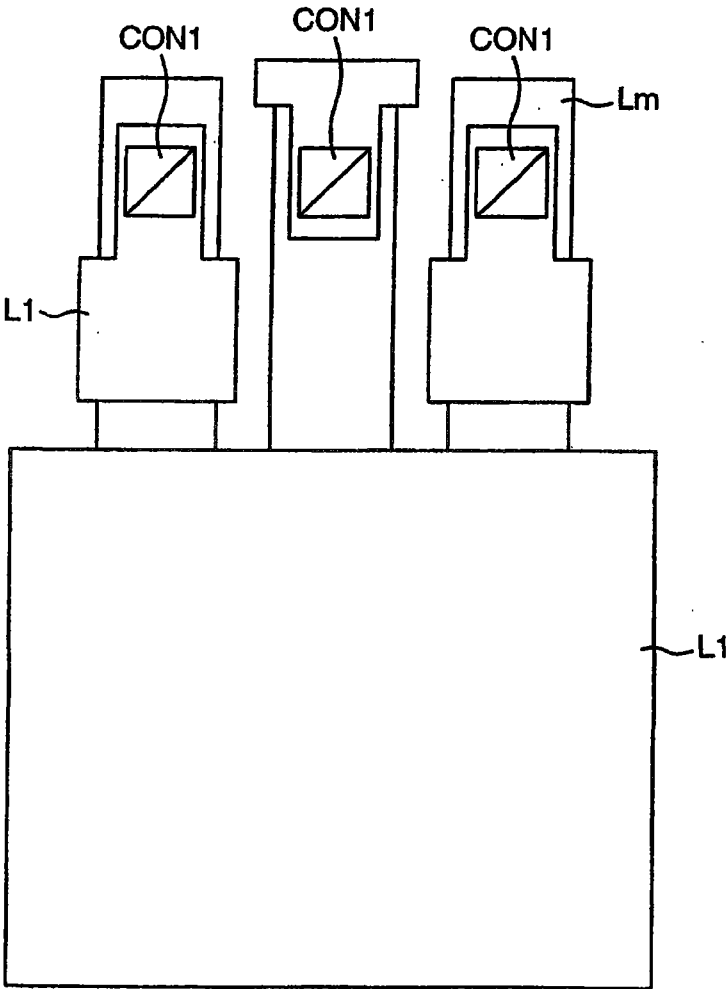


图 40

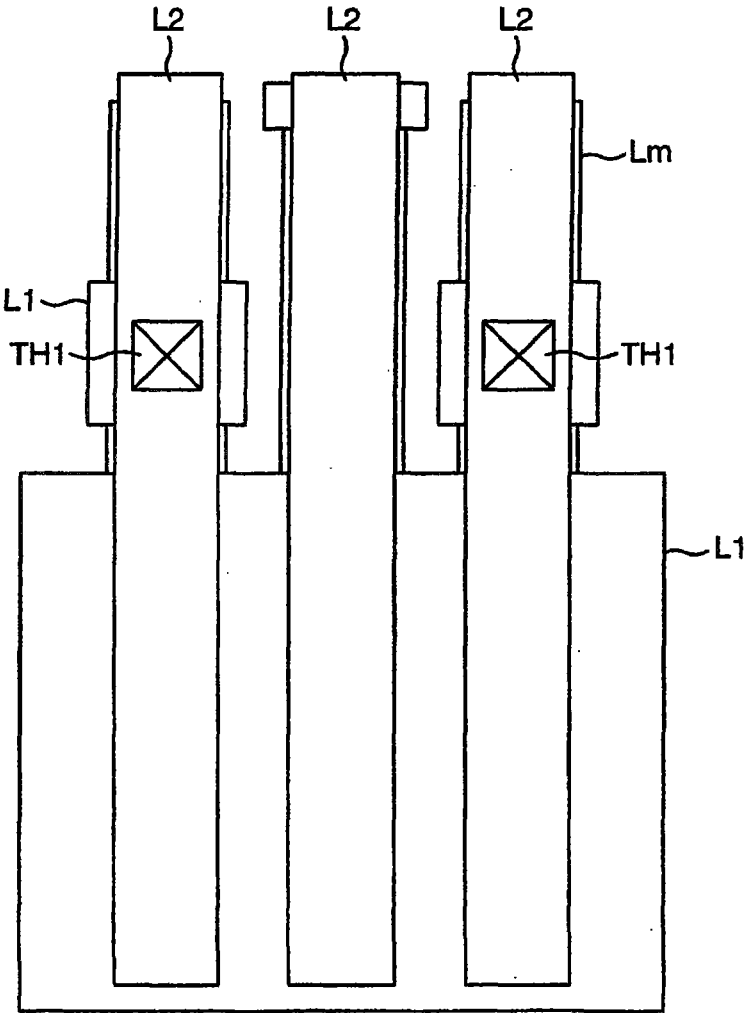


图 41

