



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2009년03월19일
(11) 등록번호 10-0889509
(24) 등록일자 2009년03월12일

(51) Int. Cl.

H01L 21/324 (2006.01)

(21) 출원번호 10-2002-0039925
(22) 출원일자 2002년07월10일
심사청구일자 2007년06월12일
(65) 공개번호 10-2003-0007093
(43) 공개일자 2003년01월23일

(30) 우선권주장

JP-P-2001-00209877 2001년07월10일 일본(JP)
JP-P-2001-00234302 2001년08월01일 일본(JP)

(56) 선행기술조사문현

KR1019960036137 A
JP2001007335 A
JP11204435 A

전체 청구항 수 : 총 52 항

(73) 특허권자

가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와Ken 아쓰기시 하세 398

(72) 발명자

야마자키순페이

일본국가나가와Ken아쓰기시하세398가부시키가이샤
한도오따이에네루기Ken큐쇼나이

미쓰키토루

일본국가나가와Ken아쓰기시하세398가부시키가이샤
한도오따이에네루기Ken큐쇼나이

카사하라켄지

일본국가나가와Ken아쓰기시하세398가부시키가이샤
한도오따이에네루기Ken큐쇼나이

(74) 대리인

권태복, 이화의

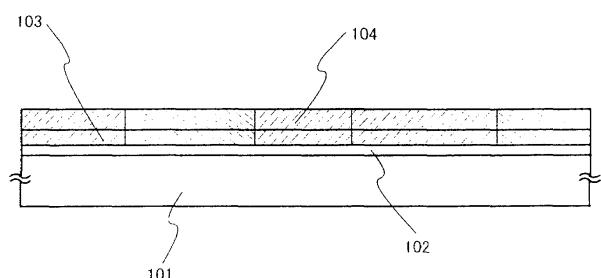
심사관 : 김희주

(54) 반도체장치 및 그 제작방법

(57) 요 약

본 발명은 유리 등의 내열성이 낮은 재료를 기판으로서 사용하면서도, 비정질 반도체막을 결정화하여 얻어진 결정질 반도체막의 배향율을 높여, 단결정과 같은 고품질의 결정질 반도체막을 사용한 반도체장치를 제공하는 것을 목적으로 한다. 기판 상에 제 1 결정질 반도체막과 제 2 결정질 반도체막이 적층 형성되어 그것이 일체 구조로 되어 결정질 반도체층을 구성한다. 제 1 및 제 2 결정질 반도체막은, 복수의 결정립이 집합한 다결정체이다. 그러나, 그 결정립은, 30% 이상, 바람직하게는 80% 이상의 비율에서 (101)면 방위로 정렬되어 있다. 또한, 제 1 결정질 반도체막의 결정립의 면 방위에 의존하여, 제 2 결정질 반도체막도, 그 확률이 60% 이상의 동일 방향으로 정렬된 면 방위를 갖는다.

대 표 도 - 도1



특허청구의 범위

청구항 1

실리콘에 대해 0.1 내지 10 atom%의 비율로 게르마늄을 포함하는 제 1 비정질 반도체막을 형성하는 단계와, 제 1 비정질 반도체막에 결정화의 촉매작용을 갖는 원소를 첨가하는 단계와, 불활성 가스 중에서 가열처리를 사용한 제 1 결정화처리를 수행하는 단계와, 산화 분위기 중에서 레이저 광의 조사를 사용하여 제 2 결정화처리를 수행하여 제 1 결정질 반도체막을 형성하는 단계와, 식각처리에 의해 제 1 결정질 반도체막의 두께를 감소시키는 단계와, 제 1 결정질 반도체막 상에 실리콘을 주성분으로 하는 제 2 비정질 반도체막을 형성하는 단계와, 불활성 가스에서 제 2 비정질 반도체막을 결정화하여, 제 2 결정질 반도체막을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체장치의 제작방법.

청구항 2

제 1항에 있어서,
상기 식각처리는 습식식각에 의해 행해지는 것을 특징으로 하는 반도체장치의 제작방법.

청구항 3

제 1항에 있어서,
상기 식각처리는 건식식각에 의해 행해지는 것을 특징으로 하는 반도체장치의 제작방법.

청구항 4

제 2항에 있어서,
상기 습식식각은 HNO_3 , HF, CH_3COOH 및 Br_2 를 포함하는 식각액으로 행해지는 것을 특징으로 하는 반도체장치의 제작방법.

청구항 5

제 2항에 있어서,
상기 습식식각은 HNO_3 , HF, CH_3COOH 및 I_2 를 포함하는 식각액으로 행해지는 것을 특징으로 하는 반도체장치의 제작방법.

청구항 6

제 1항에 있어서,
상기 제 2 비정질 반도체막의 결정화는 퍼니스 어닐링 또는 RTA에 의해 행해지는 것을 특징으로 하는 반도체장치의 제작방법.

청구항 7

제 1항에 있어서,
상기 제 2 비정질 반도체막의 결정화는 레이저 조사에 의해 행해지는 것을 특징으로 하는 반도체장치의 제작방법.

청구항 8

제 1항에 있어서,

상기 제 2 결정화처리 후, 게터링 공정이 행해지는 것을 특징으로 하는 반도체장치의 제작방법.

청구항 9

제 1항에 있어서,

상기 제 2 결정질 반도체막을 형성한 후, 게터링 공정이 행해지는 것을 특징으로 하는 반도체장치의 제작방법.

청구항 10

제 1항에 있어서,

상기 제 2 비정질 반도체막을 형성하기 전에, 상기 제 1 결정질 반도체막의 표면을 불산을 함유하는 용액으로 처리하는 것을 특징으로 하는 반도체장치의 제작방법.

청구항 11

실리콘에 대해 0.1 내지 10 atom%의 비율로 게르마늄을 포함하는 제 1 비정질 반도체막을 형성하는 단계와,

제 1 비정질 반도체막에 결정화의 촉매작용을 갖는 원소를 첨가하는 단계와,

불활성 가스 중에서 가열처리를 사용한 제 1 결정화처리를 수행하는 단계와,

산화 분위기 중에서 레이저 광의 조사를 사용하여 제 2 결정화처리를 수행하여 제 1 결정질 반도체막을 형성하는 단계와,

식각처리에 의해 제 1 결정질 반도체막의 두께를 감소시키는 단계와,

상기 제 1 결정화처리, 제 2 결정화처리 및 식각처리를 순차 복수회 반복하는 단계와,

제 1 결정질 반도체막 상에 실리콘을 주성분으로 하는 제 2 비정질 반도체막을 형성하는 단계와,

불활성 가스 중에서 제 2 비정질 반도체막을 결정화하여, 제 2 결정질 반도체막을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체장치의 제작방법.

청구항 12

제 11항에 있어서,

상기 식각처리는 습식식각에 의해 행해지는 것을 특징으로 하는 반도체장치의 제작방법.

청구항 13

제 11항에 있어서,

상기 식각처리는 건식식각에 의해 행해지는 것을 특징으로 하는 반도체장치의 제작방법.

청구항 14

제 12항에 있어서,

상기 습식식각은 HNO_3 , HF, CH_3COOH 및 Br_2 를 포함하는 식각액으로 행해지는 것을 특징으로 하는 반도체장치의 제작방법.

청구항 15

제 12항에 있어서,

상기 습식식각은 HNO_3 , HF, CH_3COOH 및 I_2 를 포함하는 식각액으로 행해지는 것을 특징으로 하는 반도체장치의 제작방법.

청구항 16

제 11항에 있어서,

상기 제 2 비정질 반도체막의 결정화는 퍼니스 어닐링 또는 RTA에 의해 행해지는 것을 특징으로 하는 반도체장치의 제작방법.

청구항 17

제 11항에 있어서,

상기 제 2 비정질 반도체막의 결정화는 레이저 조사에 의해 행해지는 것을 특징으로 하는 반도체장치의 제작방법.

청구항 18

제 11항에 있어서,

상기 제 2 결정화처리 후, 게터링 공정이 행해지는 것을 특징으로 하는 반도체장치의 제작방법.

청구항 19

제 11항에 있어서,

상기 제 2 결정질 반도체막을 형성한 후, 게터링 공정이 행해지는 것을 특징으로 하는 반도체장치의 제작방법.

청구항 20

제 11항에 있어서,

상기 제 2 비정질 반도체막을 형성하기 전에, 상기 제 1 결정질 반도체막의 표면을 불산을 함유하는 용액으로 처리하는 것을 특징으로 하는 반도체장치의 제작방법.

청구항 21

실리콘에 대해 0.1 내지 10 atom%의 비율로 게르마늄을 포함하는 제 1 비정질 반도체막을 형성하는 단계와,

제 1 비정질 반도체막에 결정화의 촉매작용을 갖는 원소를 첨가하는 단계와,

불활성 가스 중에서 가열처리를 사용한 제 1 결정화처리를 수행하는 단계와,

산화 분위기 중에서 레이저 광의 조사를 사용하여 제 2 결정화처리를 수행하여 제 1 결정질 반도체막을 형성하는 단계와,

화학적 기계적 연마에 의해 제 1 결정질 반도체막의 두께를 감소시키는 단계와,

제 1 결정질 반도체막 상에 실리콘을 주성분으로 하는 제 2 비정질 반도체막을 형성하는 단계와,

불활성 가스 중에서 제 2 비정질 반도체막을 결정화하여, 제 2 결정질 반도체막을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체장치의 제작방법.

청구항 22

제 21항에 있어서,

상기 제 2 비정질 반도체막의 결정화는 퍼니스 어닐링 또는 RTA에 의해 행해지는 것을 특징으로 하는 반도체장치의 제작방법.

청구항 23

제 21항에 있어서,

상기 제 2 비정질 반도체막의 결정화는 레이저 조사에 의해 행해지는 것을 특징으로 하는 반도체장치의 제작방법.

청구항 24

제 21항에 있어서,

상기 제 2 결정화처리 후, 게터링 공정이 행해지는 것을 특징으로 하는 반도체장치의 제작방법.

청구항 25

제 21항에 있어서,

상기 제 2 결정질 반도체막을 형성한 후, 게터링 공정이 행해지는 것을 특징으로 하는 반도체장치의 제작방법.

청구항 26

제 21항에 있어서,

상기 제 2 비정질 반도체막을 형성하기 전에, 상기 제 1 결정질 반도체막의 표면을 불산을 함유하는 용액으로 처리하는 것을 특징으로 하는 반도체장치의 제작방법.

청구항 27

실리콘에 대해 0.1 내지 10 atom%의 비율로 게르마늄을 포함하는 제 1 비정질 반도체막을 형성하는 단계와,

제 1 비정질 반도체막에 결정화의 촉매작용을 갖는 원소를 첨가하는 단계와,

불활성 가스 중에서 가열처리를 사용한 제 1 결정화처리를 수행하는 단계와,

산화 분위기 중에서 레이저 광의 조사를 사용하여 제 2 결정화처리를 수행하여 제 1 결정질 반도체막을 형성하는 단계와,

화학적 기계적 연마에 의해 제 1 결정질 반도체막의 두께를 감소시키는 단계와,

상기 제 1 결정화처리, 제 2 결정화처리 및 화학적 기계적 연마를 순차 복수회 반복하는 단계와,

제 1 결정질 반도체막 상에 실리콘을 주성분으로 하는 제 2 비정질 반도체막을 형성하는 단계와,

불활성 가스 중에서 제 2 비정질 반도체막을 결정화하여, 제 2 결정질 반도체막을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체장치의 제작방법.

청구항 28

제 27항에 있어서,

상기 제 2 비정질 반도체막의 결정화는 퍼니스 어닐링 또는 RTA에 의해 행해지는 것을 특징으로 하는 반도체장치의 제작방법.

청구항 29

제 27항에 있어서,

상기 제 2 비정질 반도체막의 결정화는 레이저 조사에 의해 행해지는 것을 특징으로 하는 반도체장치의 제작방법.

청구항 30

제 27항에 있어서,

상기 제 2 결정화처리 후, 게터링 공정이 행해지는 것을 특징으로 하는 반도체장치의 제작방법.

청구항 31

제 27항에 있어서,

상기 제 2 결정질 반도체막을 형성한 후, 게터링 공정이 행해지는 것을 특징으로 하는 반도체장치의 제작방법.

청구항 32

제 27항에 있어서,

상기 제 2 비정질 반도체막을 형성하기 전에, 상기 제 1 결정질 반도체막의 표면을 불산을 함유하는 용액으로

처리하는 것을 특징으로 하는 반도체장치의 제작방법.

청구항 33

삭제

청구항 34

삭제

청구항 35

삭제

청구항 36

삭제

청구항 37

삭제

청구항 38

삭제

청구항 39

삭제

청구항 40

삭제

청구항 41

삭제

청구항 42

삭제

청구항 43

삭제

청구항 44

삭제

청구항 45

삭제

청구항 46

삭제

청구항 47

삭제

청구항 48

삭제

청구항 49

실리콘보다도 큰 원자 반경을 갖는 원소가 첨가된 실리콘을 포함하는 제 1 반도체층과, 실리콘을 포함하는 제 2 반도체층을 구비한 반도체장치에 있어서, 상기 제 1 반도체층은, (101)면의 배향율이 30% 이상인 반도체 영역을 갖는 것을 특징으로 하는 반도체장치.

청구항 50

제 49항에 있어서, 실리콘보다 큰 원자 반경을 갖는 원소는 게르마늄인 것을 특징으로 하는 반도체장치.

청구항 51

실리콘과 게르마늄을 포함하는 제 1 결정질 반도체막과, 실리콘을 포함하고 제 1 결정질 반도체막과 밀접하게 설치된 제 2 결정질 반도체막을 구비한 반도체장치에 있어서, 상기 제 1 반도체막은, (101)면의 배향율이 30% 이상인 것을 특징으로 하는 반도체장치.

청구항 52

제 51항에 있어서, 상기 제 1 결정질 반도체막과 제 2 결정질 반도체막 사이에, $1 \times 10^{19} / \text{cm}^3$ 이상의 농도로 산소, 탄소 및 질소 중에서 적어도 1종이 포함되어 있는 것을 특징으로 하는 반도체장치.

청구항 53

제 51항에 있어서, 상기 제 1 결정질 반도체막과 제 2 결정질 반도체막은 결정 방위가 60% 이상의 비율로 일치하고 있는 것을 특징으로 하는 반도체장치.

청구항 54

실리콘과 게르마늄을 포함하는 제 1 결정질 반도체막과, 실리콘을 포함하고 제 1 결정질 반도체막과 밀접하게 설치된 제 2 결정질 반도체막을 구비한 반도체장치에 있어서, 상기 제 2 반도체막은, (101)면의 배향율이 20% 이상인 것을 특징으로 하는 반도체장치.

청구항 55

제 54항에 있어서, 상기 제 1 결정질 반도체막과 제 2 결정질 반도체막 사이에, $1 \times 10^{19} / \text{cm}^3$ 이상의 농도로 산소, 탄소 및 질소 중에서 적어도 1종이 포함되어 있는 것을 특징으로 하는 반도체장치.

청구항 56

제 54항에 있어서, 상기 제 1 결정질 반도체막과 제 2 결정질 반도체막은 결정 방위가 60% 이상의 비율로 일치하고 있는 것을 특징으로 하는 반도체장치.

청구항 57

실리콘과 게르마늄을 포함하는 제 1 결정질 반도체막과,

실리콘을 포함하고 제 1 결정질 반도체막과 밀접하게 설치된 제 2 결정질 반도체막을 구비한 반도체장치에 있어서,

상기 제 1 결정질 반도체막은 (101)면의 배향율이 30% 이상이고, 상기 제 2 반도체막은 (101)면의 배향율이 20% 이상인 것을 특징으로 하는 반도체장치.

청구항 58

제 57항에 있어서,

상기 제 1 결정질 반도체막은 $1 \times 10^{20} / \text{cm}^3$ 이하의 농도로 게르마늄을 함유하고 있는 것을 특징으로 하는 반도체장치.

청구항 59

제 57항에 있어서,

상기 제 2 결정질 반도체막은 $1 \times 10^{19} / \text{cm}^3$ 이하의 농도로 게르마늄을 함유하고 있는 것을 특징으로 하는 반도체장치.

청구항 60

제 57항에 있어서,

상기 제 1 결정질 반도체막과 제 2 결정질 반도체막 사이에, $1 \times 10^{19} / \text{cm}^3$ 이상의 농도로 산소, 탄소 및 질소 중에서 적어도 1종이 포함되어 있는 것을 특징으로 하는 반도체장치.

청구항 61

제 57항에 있어서,

상기 제 1 결정질 반도체막과 제 2 결정질 반도체막은 결정 방위가 60% 이상의 비율로 일치하고 있는 것을 특징으로 하는 반도체장치.

청구항 62

실리콘과 게르마늄을 포함하는 제 1 결정질 반도체막과,

실리콘을 포함하고 제 1 결정질 반도체막과 밀접하게 설치된 제 2 결정질 반도체막을 구비한 반도체장치에 있어서,

상기 제 1 결정질 반도체막은 $1 \times 10^{20} / \text{cm}^3$ 이하의 농도로 게르마늄을 함유하고 있는 것을 특징으로 하는 반도체장치.

청구항 63

제 62항에 있어서,

상기 제 2 결정질 반도체막은 $1 \times 10^{19} / \text{cm}^3$ 이하의 농도로 게르마늄을 함유하고 있는 것을 특징으로 하는 반도체장치.

청구항 64

제 62항에 있어서,

상기 제 1 결정질 반도체막과 제 2 결정질 반도체막 사이에, $1 \times 10^{19} / \text{cm}^3$ 이상의 농도로 산소, 탄소 및 질소 중에서 적어도 1종이 포함되어 있는 것을 특징으로 하는 반도체장치.

청구항 65

제 62항에 있어서,

상기 제 1 결정질 반도체막과 제 2 결정질 반도체막은 결정 방위가 60% 이상의 비율로 일치하고 있는 것을 특징으로 하는 반도체장치.

청구항 66

실리콘과 게르마늄을 포함하는 제 1 결정질 반도체막과,

실리콘을 포함하고 제 1 결정질 반도체막과 밀접하게 설치된 제 2 결정질 반도체막을 구비한 반도체장치에 있어서,

상기 제 2 결정질 반도체막은 $1 \times 10^{19}/\text{cm}^3$ 이하의 농도로 게르마늄을 함유하고 있는 것을 특징으로 하는 반도체장치.

청구항 67

제 66항에 있어서,

상기 제 1 결정질 반도체막과 제 2 결정질 반도체막 사이에, $1 \times 10^{19}/\text{cm}^3$ 이상의 농도로 산소, 탄소 및 질소 중에서 적어도 1종이 포함되어 있는 것을 특징으로 하는 반도체장치.

청구항 68

제 66항에 있어서,

상기 제 1 결정질 반도체막과 제 2 결정질 반도체막은 결정 방위가 60% 이상의 비율로 일치하고 있는 것을 특징으로 하는 반도체장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<45>

본 발명은, 결정구조를 갖는 반도체막, 이 반도체막을 사용한 반도체장치 및 그 제작방법에 관한 것으로, 특히 결정 방위가 단일방향으로 정렬되고 결정성이 우수한 반도체막, 이 반도체막을 사용한 반도체장치 및 그 제작방법에 관한 것이다.

<46>

유리 등의 절연 기판 상에 형성한 비정질 실리콘막을 결정화시키는 방법으로서, 레이저 어닐링방법이라고 불리는 기술이 개발되었다. 레이저 어닐링방법은, 약 $100\sim500\text{mJ}/\text{cm}^2$ 의 에너지를 갖는 레이저 광을 비정질 실리콘막에 조사함으로써 결정화를 실현하고 있다.

<47>

비정질 실리콘을 결정화하기 위해서는, 통상 600°C 이상으로 가열해야 한다. 그러나, 레이저 어닐링방법은, 기판을 거의 실온에서 유지하는 동안, 비정질 실리콘막을 결정화할 수 있는 매우 뛰어난 특징을 갖는다. 레이저에는, 엑시머 레이저나 YAG 레이저로 대표되는 고체 레이저가 사용된다. 여하튼, 빔 사이즈가 한정되기 때문에, 대면적 기판을 처리하기 위해서는, 빔 주사와 합쳐서 조사해야 한다. 따라서, 이렇게 이어 합친 부분에서 결정성이 변화되어, 균일한 결정을 얻을 수 없다고 하는 결점이 지적되었다. 또한, 레이저 어닐링의 경우에는, 레이저 발진기의 출력이 불안정하기 때문에, 역시 균질한 결정을 얻는 것이 곤란하다. 이러한 결정 품질의 차이는, 박막 트랜지스터(이후, TFT로 기재함)의 특성 차이가 원인이다.

<48>

한편, 일본국 특개평 7-231100호 공보, 특개평 7-130652호 공보, 특개평 8-78329호 공보에는, 비정질 실리콘막의 결정화를 촉진하는 촉매원소를 사용하여, $450^\circ\text{C}\sim650^\circ\text{C}$ 의 온도에서 가열처리를 하여 비정질 실리콘막의 일부 또는 전부를 결정화시키고, 상기 가열온도보다도 높은 온도로 더 가열하여 대입경의 결정성 실리콘막을 얻는 기술이 개시되어 있다.

발명이 이루고자 하는 기술적 과제

- <49> 고품질의 결정질 실리콘막을 얻기 위해서는, 결정립 크기를 크게 하는 것외에, 결정 방위를 정렬하는 것이 중요하다. 그렇지만, 레이저 어닐링법에서는 비정질 실리콘막과 기판의 계면에서 자연스럽게 발생하는 결정핵이 기초로 되어 결정화가 진행한다고 생각되고 있다. 이 방법으로 결정화된 실리콘막은, X선 회절로 그 결정구조를 해석하면, 통상은 (111), (220), (311) 등의 회절 피크가 관측된다. 여러 가지의 방위를 갖고서 집합한 다결정체인 것이 확인되었다. 다결정체에 있어서, 개개의 결정립은 임의의 결정면이 석출한다. 이 경우에, 하지 산화 실리콘과의 계면에너지가 최소로 되는 (111)면의 결정이 석출할 확률이 많다.
- <50> 또한, 실리콘의 결정화를 촉진하는 촉매원소를 비정질 실리콘막에 도입하여 결정화를 하는 경우에는, 자연핵이 발생하는 보다 낮은 온도에 도입한 원소의 실리사이드화물이 형성되어, 해당 실리사이드를 기초로 한 결정성장이 발생한다. 예를 들면, 형성되는 NiSi_2 는 특정한 배향성을 갖지 않는다. 그러나, 비정질 반도체막의 두께를 200nm 이하로 하면, 기판표면에 대하여 평행한 방향만 거의 성장하는 것이 허용된다. 이 경우, NiSi_2 와 결정 실리콘의 (111)면이 접하는 계면 에너지가 최소이다. 이 때문에, 결정질 실리콘막의 표면과 평행한 면은 (110)면이 되어, 이 격자면이 우선적으로 배향한다. 결정성장 방향이 기판표면에 대하여 평행한 방향에, 원주형태로 성장하는 경우에는, 그 원주형 결정을 축으로 한 회전방향에는 자유도가 존재한다. 그래서, 반드시 (110)면이 배향하지는 않기 때문에, 그 밖의 격자면도 석출한다. 그러나, 전체적으로 보면 (110)면에 배향하는 비율이 20% 더 미만이다.
- <51> 배향율이 낮은 경우에, 다른 방위의 결정이 서로에 대해 충돌하는 결정입계에서 격자의 연속성을 유지하는 것이 거의 불가능해진다. 댱글링 본드(dangling bond)수가 형성되는 것이 용이하게 추정된다. 입계에서 댱글링 본드 수는 재결합중심 또는 포획중심으로서 작용하여, 캐리어(전자/홀)의 수송특성을 저하시킨다. 그 결과, 캐리어가 재결합으로 소멸하거나 결함에 트랩되거나 하기 때문에, 이러한 결정질 반도체막을 사용하더라도 높은 이동도를 기대할 수 없다고 하는 문제가 있다.
- <52> 결정의 배향율을 높이기 위해서, 실리콘막에 게르마늄을 적량 첨가하여 결정화를 하는 기술이 일본특허공개 2000-114172호 공보에 개시되어 있다. 동 공보에 의하면, 복수의 결정립이 집합하여 형성된 반도체막임에도 불구하고, 개개의 결정립이 면 방위 순으로 정렬되어 있는 결정성을 나타낸 실질적으로 단결정이라고 볼 수 있는 반도체막이 얻어지는 것이 기재되어 있다. 그러나, 그것을 얻기 위해서는, 게르마늄의 첨가 외에, 900~1200°C의 열처리를 필요로 한다.
- <53> 이와 같이, 900°C를 넘는 고온으로 열처리를 함으로써 결정의 품질을 향상할수 있다. 그러나, 내열성이 낮은 유리기판 상에 형성한 결정질 실리콘막에 대해 그러한 열처리를 할 수 없다. 또한, 게르마늄을 첨가하여 배향율을 높였다고 하여도, 게르마늄은 수소와의 결합에너지가 낮아 수소화가 용이하지 않다고 하는 문제도 있다. 즉, 수소화 처리에 의해서 게르마늄에 기인하는 댱글링 본드를 보상할 수 없게 된다.
- <54> 본 발명은 상기와 같은 문제점을 해결하는 수단을 제공하는 것을 목적으로 하고, 유리 등의 내열성이 낮은 재료를 기판으로서 사용하면서도, 비정질 반도체막을 결정화하여 얻어진 결정질 반도체막의 배향율을 높여, 단결정에 필적하는 고품질의 결정질 반도체막을 사용한 반도체장치를 제공하는 것을 목적으로 한다.

발명의 구성 및 작용

- <55> 상기 문제점을 해결하기 위해서, 본 발명에서는, 제 1 원소에 의거하고 높은 배향율을 갖는 제 2 결정질 반도체층이 형성된 결정 방위에 의존하여, 제 1 및 제 2 원소를 함유하고 고 결정 방위를 갖는 제 1 결정질 반도체막을 형성한다. 이 제 2 원소를 사용하여 배향율이 향상된다. 고품질의 결정질 반도체막과 이 반도체막을 사용하여 반도체장치를 얻기 위해서는, 제 1 원소에만 의거한 결정질 반도체막을 실질적으로 사용하는 것이 바람직하다. 이러한 점에서, 본 발명은 이하의 구성을 갖는다.
- <56> 본 발명은, 절연표면을 갖는 기판 상에 형성한 제 1 비정질 반도체막을 결정화한 후, 그 위에 제 2 비정질 반도체막을 퇴적하여 결정화시킨다. 제 2 비정질 반도체막은, 하지의 제 1 결정질 반도체막의 결정에 의존하여 에피택셜적으로 결정화시킨다.
- <57> 따라서, 제 1 결정질 반도체막의 결정성은, 중요한 특성 파라미터가 된다. 제 1 결정질 반도체막의 배향성을 높이는 수단은, 실리콘에 대하여 0.1 내지 10atom%의 비율로 게르마늄을 포함한 비정질 반도체막을 적용하는

것과, 해당 비정질 반도체막의 결정화를 촉진하는 작용이 있는 촉매원소를 적용한다.

<58> 결정화를 촉진하는 원소(촉매원소)로서는, Fe, Co, Ni, Ru, Rh, Pd, Os, Ir, Pt, Cu, Au에서 선택된 일종 또는 복수종을 사용한다. 또한, 비정질 반도체막의 두께는 10nm 내지 200nm에서 형성한다. 비정질 실리콘막에 해당 금속원소를 첨가하여 가열처리를 함으로써, 실리콘과 해당 금속원소와의 화합물(실리사이드화물)을 형성한다. 그것이 확산함에 의해 결정화가 진행한다. 비정질 실리콘막에 첨가한 게르마늄은 이 화합물과 반응하지 않고, 그 주위에 존재함에 의해 국소적인 왜곡을 생기게 한다. 이 왜곡은, 핵생성의 경계 반경을 크게 하는 방향으로 작용하여, 핵생성밀도를 감소시킴과 동시에, 결정 방위를 제한하는 효력을 갖는다.

<59> 이러한 작용을 일으키는 데 필요한 게르마늄의 농도는, 실험의 결과, 실리콘에 대하여 0.1atom% 이상 10atom%이하, 바람직하게는 1atom% 이상 5atom% 이하인 것이 밝혀졌다. 게르마늄의 농도가 이 상한치 이상의 농도가 되면, 실리콘과 게르마늄의 합금재료로서 발생하는 자연핵(첨가된 금속원소와의 화합물에 상관없는 핵)의 발생이 현저해져, 다결정 반도체막의 배향율을 높일 수 없다. 또한, 하한치이하일 경우, 충분한 왜곡을 발생시킬 수 없어, 역시 배향율을 높일 수 없다.

<60> 게르마늄이 첨가된 비정질 실리콘막은, 간헐방전 또는 펠스방전을 사용한 플라즈마 CVD법에 의해 형성한다. 간헐방전 또는 펠스방전은, 발진주파수 1~120 MHz, 바람직하게는 13.56~60MHz의 고주파전력을, 반복주파수 10Hz ~10kHz로 변조하여 캐소드에 공급함으로써 이루어진다. 반복주파수의 1주기에서 고주파전력이 인가되는 시간의 비율을 듀티비로 하면, 그 값은 1~50%으로 한다.

<61> 이러한 간헐방전 또는 펠스방전은, 비정질 반도체막의 퇴적과정에서의 래디컬종(radical species)(여기서는, 전기적으로 중성이며, 화학적으로 활성 원자 또는 분자를 말한다)을 선택하여, 비교적 긴 수명의 래디컬종에 의한 막을 성장한다. 예를 들면, SiH_4 를 방전 공간속에서 분해할 때, 여러 가지 래디컬종이나 이온종이 생성된다. 래디컬종은 생성과 소멸반응을 반복한다. 정상적으로 지속하는 방전은, 래디컬종의 존재비율이 일정하게 유지되고 있다. 그러나, 간헐방전 또는 펠스방전과 같이 방전이 오프가 되는 시간이 존재하는 경우에는, 래디컬종이나 이온종의 긴 수명의 차이로 인해 긴 수명의 래디컬종만이 피막의 퇴적표면에 공급되어 막형성에 기여하게 된다.

<62> 긴 수명의 래디컬을 선택하는 이유는, 막 성장표면을 불활성화 하기 위해서다. 게르마늄을 비정질 실리콘막중에 분산시켜 포함시키는 데 적합하다. 게르마늄의 소스인 GeH_4 는 SiH_4 와 비교하여 분해 에너지가 작기 때문에, 같은 공급전력으로 분해하면 원자형 게르마늄이 생성되어, 가스상 반응 또는 표면반응에 의해 게르마늄 클러스터가 생성된다. 전술한 결정성장모델에 의하면, 게르마늄은 분산하는 편이 좋기 때문에, 클러스터가 발생하지 않은 간헐방전이 바람직하게 된다.

<63> 비정질 반도체막을 결정화하면, 원자의 재배열에 의해 막의 체적은 감소한다. 그 결과, 기판 상에 형성되는 다결정 반도체막은 인장 응력이 내재하게 된다. 그러나, 실리콘에 원자반경이 큰 게르마늄을 0.1 atom% 이상 10 atom%이하, 바람직하게는 1 atom% 이상 5 atom% 이하의 범위로 함유시킴으로써, 결정화에 따른 체적감소는 억제되어, 발생된 내부 응력을 작게 할 수 있다. 이때, 피막전체에 걸쳐 균질한 효과를 얻기 위해서는, 게르마늄이 분산된 상태로 존재하는 것이 바람직하다.

<64> 그렇지만, 게르마늄은 실리콘과 비교하여 원자반경이 크다. 이것은, 실리콘 내에 포함되면, 결정을 왜곡하는 요인�이 된다. 또한, 게르마늄은 수소화에 의한 결함의 보상이 곤란하기 때문에, 결정화 후는 가능한 그 농도를 낮게 하는 것이 바람직하다. 구체적으로는, 실리콘과 게르마늄을 포함하는 반도체가 용융-고화할 때에 게르마늄이 분리하는 현상을 이용한다. 이러한 반도체막은, 레이저 조사에 의해 용이하게 용융-고화시킬 수 있다. 게르마늄이 분리한 고농도 게르마늄 영역은, 화학에칭이나 화학적 기계연마에 의해 제거하여도 된다. 제 1 결정질 반도체막의 표면은, 불산을 함유하는 수용액으로 처리하여 청정한 표면을 형성한 후, 그 위에 제 2 비정질 반도체막을 퇴적하는 것이 바람직하다. 그러나, 표면에는 흡착한 산소, 탄소, 질소 등의 대기성분의 원소가 약간 남아 있어도 된다.

<65> 이렇게 해서, 배향율이 높은 제 1 결정질 반도체막 상에 제 2 비정질 반도체막을 형성하고, 퍼너스(furnace) 어닐링 또는 급속 열적 어닐링(Rapid Thermal Anneal; RTA) 등의 가열처리 또는 레이저 조사에 의해 결정화시킨다. 결정은 하지 결정 방위에 따라서 동일 면 방위에 성장시킨다.

<66> 이상과 같이, 본 발명에 따른 반도체장치의 제작방법은, 실리콘에 대하여, 0.1 내지 10 atom%의 비율로 게르마늄을 포함하는 제 1 비정질 반도체막을 형성하는 단계와, 제 1 비정질 반도체막에 결정화의 촉매작용을 갖는 원소를 첨가하는 단계와, 그 후 불활성 가스 내에서 가열처리에 의한 제 1 결정화처리와, 산화 분위기중에서 레이

저 광의 조사에 의한 제 2 결정화처리를 하여 제 1 결정질 반도체막을 형성하는 단계와, 제 1 결정질 반도체막을 그 표면으로부터 소정의 두께만큼 제거하는 단계와, 그 후, 제 1 결정질 반도체막 상에 실리콘을 주성분으로 하는 제 2 비정질 반도체막을 형성하는 단계와, 불활성 가스 중에서 제 2 비정질 반도체막을 결정화하여, 제 2 결정질 반도체막을 형성하는 단계를 포함한다.

<67> 또한, 다른 구성은, 실리콘에 대하여, 0.1 내지 10 atom%의 비율로 게르마늄을 포함하는 제 1 비정질 반도체막을 형성하는 단계와, 제 1 비정질 반도체막에 결정화의 촉매작용을 갖는 원소를 첨가하는 단계와, 불활성 가스 중에서 가열처리에 의한 제 1 결정화처리와, 산화 분위기 속에서 레이저 광의 조사에 의한 제 2 결정화처리를 하여 제 1 결정질 반도체막을 형성하는 단계와, 제 1 결정질 반도체막을 그 표면으로부터 소정의 두께만큼 제거하는 단계와, 제 1 결정화처리, 제 2 결정화처리 및 식각처리를 순차로 복수회 반복하는 단계와, 그 후 제 1 결정질 반도체막상에, 실리콘을 주성분으로 하는 제 2 비정질 반도체막을 형성하는 단계와, 불활성 가스 속에서 제 2 비정질 반도체막을 결정화하여, 제 2 결정질 반도체막을 형성하는 단계를 포함한다.

<68> 제 1 결정질 반도체막을 소정의 두께만큼 제거하는 수단으로서는, 습식식각 또는 건식식각, 혹은 화학적 기계적 연마 중 어느 하나를 적용하여도 된다. 습식식각을 사용하는 경우에는, HNO_3 , HF , CH_3COOH , Br_2 를 포함하는 식각액, 또는 HNO_3 , HF , CH_3COOH 및 I_2 를 포함하는 식각액으로 할 수 있다.

<69> 또한, 제 1 비정질 반도체막도 결정화시에 사용한 촉매원소는 게터링에 의해 제거한다. 게터링은, 상기 제 2 결정화처리 후, 혹은 제 2 결정질 반도체막을 형성한 후 하여도 된다.

<70> 이렇게 하여 얻어진 결정질 반도체층은, 실리콘과 게르마늄을 함유한 제 1 결정질 반도체막에 밀접하게, 실리콘을 주성분으로 하는 제 2 결정질 반도체막이 형성되고, 상기 제 1 결정질 반도체막은 (101)면의 배향율이 30% 이상이고, 제 2 결정질 반도체막은 (101)면의 배향율이 20% 이상이다. 또한, 제 1 결정질 반도체막은, $1 \times 10^{20}/\text{cm}^3$ 이하의 농도로 게르마늄을 함유하고, 제 2 결정질 반도체막은 $1 \times 10^{19}/\text{cm}^3$ 이하의 농도로 게르마늄을 함유한다. 또한, 제 1 결정질 반도체막과 제 2 결정질 반도체막의 결정방위에 있어서 60% 이상의 비율로 일치하고 있는 결정질 반도체층이 제공된다.

<71> 또한, 본 발명은, 기판 위에 배향율이 높은 제 1 결정질 반도체막을 형성하여, 그 위에 제 2 반도체층으로서 비정질 실리콘막을 형성한다. 결정화를 위한 레이저 조사처리를 함으로써, 제 1 결정질 반도체층의 높은 배향율의 영향을 받아, 높은 배향율을 갖는 반도체층이 얻어진다. 특히, 제 1 반도체층은, 실리콘 게르마늄($\text{Si}_{1-x}\text{Ge}_x$)막을 사용하는 것이 적합하다.

<72> 또한, 동일한 면 방향으로 배향성이 높은 $\text{Si}_{1-x}\text{Ge}_x$ 막은, 플라즈마 CVD 법에 의해 형성된 $\text{Si}_{1-x}\text{Ge}_x$ ($x=0.001 - 0.05$)막에 촉매원소를 첨가하여 가열처리를 함으로써 얻어진다. 이와 같이 촉매원소를 첨가하여 가열처리를 함으로써 얻어진 제 1 결정질 반도체층(결정질 $\text{Si}_{1-x}\text{Ge}_x$ 막)은, (110)면의 배향성이 높다.

<73> 이어서, 제 1 결정질 반도체층 상에 제 2 반도체층으로서, 비정질 실리콘막을 형성하여, 레이저 광을 조사한다. 이때, 제 1 결정질 반도체층의 배향성이, 제 2 반도체층(비정질 실리콘막)의 결정 방위에 영향을 주어, (110)면의 배향성이 높은 결정질 실리콘막을 얻을 수 있다. 제 1 결정질 반도체층을 제 2 반도체층의 결정화공정에서의 시드(핵)로서 사용함으로써, 배향율이 높은 양호한 결정질 반도체층을 형성하는 것이 가능하다.

<74> 그 후, 제 1 결정질 반도체층을 형성할 때에 사용한 촉매원소가 그 반도체층내에 잔류함으로써, 이 반도체층을 사용하여 제작된 TFT의 특성에 악영향을 미치게 할 가능성이 있기 때문에, 반도체층으로부터 촉매원소를 이동시키기 위한 처리를 한다.

<75> 이렇게 하여 제 2 반도체층상에 게터링 영역을 형성한다. 또한, 게터링 영역을 형성하기 전에, 제 2 반도체층상에 장벽층으로서, 오존 함유 수용액으로 처리하여 형성되는 화학적 산화막을 사용하여도 된다. 이 장벽층 위에 게터링 영역으로서, 스퍼터링법 또는 플라즈마 CVD 법을 사용하여, 반도체층을 형성한다. 또, 게터링 영역은, 후에 식각에 의해 제거하기 때문에, 결정질 반도체층과의 선택비가 높은 비정질 실리콘막 등의 저밀도막을 사용하는 것이 바람직하다.

<76> 계속해서, 게터링 영역에 희가스(inert gas)원소를 첨가한다. 희가스 원소로서는, 헬륨(He), 네온(He), 아르곤(Ar), 크립톤(Kr), 크세논(Xe)으로부터 선택된 일종 또는 복수종을 사용하여도 된다. 이때, 게터링 영역의 반도체층을 형성할 때에, 반도체층 내에 이것들의 희가스 원소를 받아들이면, 그것에 의하여 게터링 영역을 형성할 수 있다.

- <77> 다음으로, 촉매원소를 게터링 영역으로 이동시키기 위한 가열처리를 한다. 가열처리는, 광원의 복사열을 사용하여 가열처리를 하는 방법, 가열한 불활성 가스에 의해 가열처리를 하는 방법, 퍼니스를 사용하여 가열처리를 하는 방법 중 어느하나를 사용하여도 된다. 이러한 게터링을 위한 가열처리를 하는 것에 의해, 게터링 영역으로 촉매원소가 이동되어, 반도체층에 잔류하는 촉매원소의 농도를 $1 \times 10^{17}/\text{cm}^3$ 이하로 감소시킬 수 있다. 게터링 공정이 종료하면, 게터링 영역을 제거한다.
- <78> 이상과 같이, 배향율이 높은 제 1 결정질 반도체층을 형성하고, 그 위에 제 2 반도체층을 형성하고, 결정화를 위해 순차로 레이저 광을 조사한다. 이로 인해, 제 1 결정질 반도체층의 배향성의 영향을 받아, 제 2 반도체층도 배향율이 높은 결정질 반도체층으로 만들 수 있다.
- <79> [발명의 실시예]
- <80> (실시예 1)
- <81> 본 발명에서 얻어진 (101)면의 배향율이 높은 결정질 반도체층은, 실리콘을 주성분으로 하는 복수의 반도체막으로 이루어지는 것을 특징으로 한다. 이러한 결정질 반도체층의 전형적인 실시예는, 실리콘을 주성분으로 하여, 게르마늄을 포함하는 제 1 결정질 반도체막과, 실리콘을 주성분으로 하는 제 2 결정질 반도체막으로 이루어진다. 제 1 결정질 반도체막은, 제 1 비정질 반도체막을 절연표면상에 형성하여, 그 후 결정화를 촉진하는 촉매원소를 첨가하여 결정화시킴으로써 형성하는 것이다. 제 2 결정질 반도체막은, 제 1 결정질 반도체막 상에 제 2 비정질 반도체막을 형성한 후, 가열처리 또는 레이저 조사에 의해 에피택셜적으로 결정을 성장함으로써 형성된다.
- <82> 도 1은 본 발명의 결정질 반도체층의 구성을 설명하는 도면이다. 기판(101)상에는 블록킹층(102)이 형성되고, 그 위에 제 1 결정질 반도체막(103)과 제 2 결정질 반도체막(104)이 적층 형성된다. 이들이 일체로 되어 결정질 반도체층을 구성한다. 제 1 및 제 2 결정질 반도체막은, 복수의 결정립이 집합한 다결정체이다. 그러나, 각각의 결정립의 면 방위는 (101)면에서 30% 이상, 바람직하게는 80% 이상의 비율로 정렬된다. 또한, 제 1 결정질 반도체막의 결정립의 면 방위에 의존하여, 제 2 결정질 반도체막의 면 방위도 같은 방향으로 정렬되고, 그 확률은 60% 이상이다. 즉, 제 1 결정질 반도체막의 결정상에 제 2 결정질 반도체막의 결정이 에피택셜적으로 성장된다. 도 1에서는, 개개의 결정립을 서로 다른 해칭으로 나타내어, 제 1 결정질 반도체막의 결정립과 제 2 결정질 반도체막의 결정립이 같은 방위를 갖고 성장하고 있는 모양을 모식적으로 보이고 있다.
- <83> 이러한 결정질 반도체층을 형성하기 위한 기판은, 알루미나 보로실리케이트산 유리나 바륨 보로실리케이트산 유리의 유리 기판으로 적용된다. 이들 외에도 석영, 실리콘, 게르마늄, 갈륨 또는 비소의 반도체기판의 표면에 절연막을 형성한 것을 기판으로 하는 것도 가능하다.
- <84> 상기 유리기판을 사용하는 경우에는, 반도체막과 유리기판의 사이에, 질화실리콘, 산화실리콘 또는 산화질화실리콘으로 블록킹층을 형성한다. 이렇게 해서, 유리 기판 중에 포함되는 알칼리 금속원소 등의 불순물원소가 반도체막 내로 확산하는 것을 막는다. 블록킹층의 바람직한 일례는, 플라즈마 CVD 법으로 SiH_4 , N_2O , NH_3 을 반응가스로서 사용하여 형성된 산화질화실리콘막이나, 또는 SiH_4 , NH_3 , N_2 을 반응가스로서 사용하여 형성된 질화실리콘막이다. 블록킹층은, 20~200nm의 두께로 형성한다.
- <85> 블록킹층의 표면에 형성하는 제 1 비정질 반도체막은, 실리콘에 0.1~10 atom%, 바람직하게는 1~5 atom%의 게르마늄을 첨가한 것이다. 게르마늄의 함유량은, 대표적인 반응가스로서 사용되는 SiH_4 와 GeH_4 의 혼합비에 의해 조절할 수 있다. 그 외에도 적용 가능한 반응가스는, Si_2H_6 , SiF_4 , GeF_4 등이 있고, 적절히 조합하여 쓸 수 있다. 제 1 비정질 반도체는, 질소 및 탄소의 농도는 $5 \times 10^{18}/\text{cm}^3$ 미만, 산소의 농도는 $1 \times 10^{18}/\text{cm}^3$ 미만을 포함한다. 이는, 비정질 반도체막의 결정화의 과정에서, 또는 제작되는 결정질 반도체막의 전기적 특성에 악영향이 미치지 않도록 한다.
- <86> 제 1 비정질 반도체막의 형성은, 플라즈마 CVD법, 감압 CVD법 및 스팍터링법의 각 종 막 형성법을 적용할 수 있다. 전형적인 막 형성법으로서 플라즈마 CVD 법을 적용하는 경우에는, SiH_4 와 GeH_4 로 이루어진 반응가스 또는 SiH_4 와 H_2 로 희석한 GeH_4 로 이루어진 반응가스를 반응실에 도입하여, 1~200MHz의 고주파방전을 10Hz~100KHz의 반복주파수로 변조한 간헐방전에 의해 막을 형성하는 것이 바람직하다. 간헐방전으로 함으로써, 래디칼을 주체

로 한 성장에 의해 균질한 피막을 형성할 수 있다. 퇴적된 비정질 반도체막의 두께는 20~100nm으로 한다.

<87> 감압 CVD 법을 사용하는 경우에도 마찬가지의 반응가스를 적용할 수 있다. 바람직하게는, He으로 반응가스를 희석하여, 400~500°C의 온도에서 기판 상에 비정질 반도체막을 퇴적한다. 어쨌든, 본 발명에서 사용된 상기 가스는, 퇴적된 비정질 반도체막에 혼합되는 산소, 질소, 탄소의 불순물원소의 농도를 감소하기 위해서 고순도로 정제된 가스를 사용한다.

<88> 결정화에 있어서는, 제 1 비정질 반도체막의 표면에, 해당 비정질 반도체막(촉매원소)의 결정화를 촉진하는 원소를 도입한다. 그 원소로서는, Fe, Ni, Co, Ru, Rh, Pd, Os, Ir, Pt, Cu 및 Au로부터 선택된 일종 또는 복수 종의 원소를 사용한다. 이들의 원소는, 본 명세서에 기재된 어느 하나의 발명에 있어서도 비정질 반도체막의 결정화를 촉진하는 원소로서 사용할 수 있다. 상기 어떠한 원소를 사용하더라도 동일한 효과를 얻을 수 있지만, 대표적으로는 니켈을 사용한다.

<89> 그 원소를 도입하는 부분은, 제 2 비정질 반도체막의 전체면 또는 제 1 비정질 반도체막의 전체면으로 하거나, 제 2 비정질 반도체막의 적절한 표면 점에서 슬릿형의 면 또는 점형의 면으로 한다. 후자의 경우에는, 바람직하게는 비정질 반도체막 상에 절연막이 형성되어, 그 절연막에 설치된 개구를 이용하여 해당 원소를 도입할 수 있다. 개구의 크기에 특별히 한정은 없지만, 그 폭은 10~40μm로 할 수 있다. 또한, 그 길이방향의 길이는 임의로 결정하면 좋고, 수십 μm~수십 cm의 범위로 할 수 있다.

<90> 그 원소를 도입하는 방법은, 그 원소를 포함하는 박막을 비정질 반도체막의 표면 또는 내부에 존재시키는 기술이면 특별히 한정하지 않는다. 예를 들면, 스퍼터링법, 증착법, 플라즈마처리법(플라즈마 CVD 법을 포함), 흡착법 또는 금속염 용액을 도포하는 방법을 사용할 수 있다. 플라즈마처리법은, 불활성 가스에 의한 글로우(glow) 방전 분위기에서, 캐소드로부터 스퍼터링된 원소를 이용한다. 또한, 금속염 용액을 도포하는 방법은 간단하고, 그 원소의 농도 조정이 용이한 점에서 유용하다.

<91> 금속염으로서는 각 종 염을 사용할 수 있다. 그 용매는, 물, 알코올류, 알데히드류, 에테르류, 그 밖의 유기용매, 또는 물과 이를 유기용매의 어느 하나의 혼합물을 사용할 수 있다. 또한, 금속염이 완전히 용해한 용액으로는 한정하지 않고, 금속염의 일부 또는 전부가 혼탁 상태로 존재하는 용액이어도 된다. 임의의 방법을 사용하더라도, 그 원소는 비정질 반도체막의 표면 또는 내부로 분산시켜 도입한다.

<92> 상기 방법 중 어느 하나로 실리콘의 결정화를 촉진하는 원소를 도입한 후, 그 원소를 이용하여 비정질 반도체막의 결정화를 한다. 결정화는 어닐링 퍼니스를 사용하여 가열처리 외에, RTA법을 사용하여도 된다. RTA 법에서의 가열수단으로서는, 할로겐 램프 등을 사용한 복사가열 또는, 가열된 가스를 사용하여 반도체막을 가열하는 수단을 사용하여도 된다. RTA 법의 경우는, 단시간으로 가열처리가 진행하기 때문에, 가열온도는 600~750°C으로 한다. 한편, 어닐링 퍼니스를 사용하는 경우에는, 500~600°C로 1~12시간 동안 가열처리를 하는 것이 적합하다. 이상의 가열처리는 공기중이나 수소 분위기 중에서도 좋지만, 적합하게는 질소 혹은 불활성 가스 분위기 중에서 한다.

<93> 그 후, 레이저 빔, 자외선 또는 적외선 등의 강광 조사에 의해 결정성을 높이는 처리를 한다. 가열처리만으로도 {101}로 우선적으로 배향하는 결정질 반도체막을 얻을 수 있다. 그러나, 바람직하게는, 가열처리를 한 후 레이저 광 등의 강광을 조사한다. 가열처리 후의 레이저 어닐링은, 결정입체 내에 남겨진 결정결함을 보수하여 소멸시킬 수 있다. 이는 결정의 품질을 향상시키기 위해서 효과적인 방법이다.

<94> 레이저 어닐링은, 파장 400nm 이하의 엑시머 레이저나 아르곤 레이저 등의 가스 레이저, 또는 YAG, YVO₄, YA10₃, YLF 레이저로 대표되는 고체 레이저의 제 2 고조파~제 4 고조파를 사용한다. 예를 들면, Nd:YAG 레이저의 제 2 고조파는 532nm이고, 반도체의 밴드간 천이의 흡수대역에서의 빛을 인가한다. 레이저 자체는, 펄스발진 또는 연속발진의 어느 쪽의 레이저를 인가하여도 된다. 이 레이저 광은, 광학계에 의해 선형 또는 스포트형으로 집광하여, 그 에너지 밀도를 100~700 mJ/cm²로 조사한다. 상기한 바와 같이 집광한 레이저 광을 기판의 소정의 영역에 걸쳐 주사시켜 그 처리를 한다. 레이저 대신에, 할로겐램프, 크세논램프, 수은램프, 금속할로겐 램프 또는 엑시머 발광 램프 광원으로 사용하여 강광을 조사하더라도 동일한 효과를 얻을 수 있다.

<95> 연속 발진 레이저를 사용하는 바람직한 예는, 연속발진모드에서 YVO₄ 레이저 발진기를 사용한다. 그 레이저의 제 2 고조파(파장: 532nm)의 출력 5-10W는, 광학계에 의해 길이방향 대 폭 방향의 비가 10 이상인 선형 레이저 광으로 집광된다. 또한, 길이방향의 방향으로 균일하게 에너지 밀도가 분포하도록 집광하여, 결정화를 위한 순서로 10-200cm/sec의 속도로 주사를 한다. 균일한 에너지 밀도 분포는, 완벽한 상수; 즉, 에너지 밀도 분포에서

±10%내에 속하는 허용 범위를 배제하지 않는다는 의미다.

<96> 이상과 같은 공정에 의해, (101)면의 배향율이 높은 제 1 결정질 반도체막을 얻는 메카니즘은, 개략 아래와 같이 추측할 수 있다.

<97> 제 1 비정질 반도체막에 도입된 촉매원소는, 탈수소처리중에 빠르게 비정질반도체내에 확산한다. 그리고, 불균질한 핵형성이 시작된다. 그리고, 해당 원소와 실리콘이 반응하여 실리사이드가 형성된다. 이것이 결정핵이 되어 그 후의 결정성장에 기여한다. 예를 들면, 대표적인 원소로서 니켈을 사용한 경우, 니켈 실리사이드(이하, NiSi_2 로 기재됨)가 형성된다. 제 1 비정질 반도체막에서는, NiSi_2 중에 게르마늄이 거의 사용되지 않기 때문에, 제 1 비정질 반도체막 내의 게르마늄을 주위에 배제하면서 핵이 형성된다.

<98> NiSi_2 는 특정한 배향성을 갖지 않는다. 그러나, 이것으로, 제 1 비정질 반도체막의 두께를 20~100nm으로 하면 기판표면에 대하여 평행한 방향만으로 성장하는 것이 허용된다. 이 경우, NiSi_2 와 결정 반도체의(111)면이 접하는 계면 에너지가 가장 작기 때문에, 결정질 반도체막의 표면과 평행한 면은 (110)면이 된다. 이 격자면이 우선적으로 배향한다. 결정성장방향이 기판 표면에 대하여 평행한 방향으로, 더구나 원주형으로 성장하는 경우에는, 그 원주형 결정에 대한 방향으로 자유도가 존재한다. 따라서, 반드시 (110)면으로 배향하지 않는다. 그 밖의 격자면도 석출한다고 생각된다.

<99> NiSi_2 로부터 보면, 주위의 비정질영역에만 원자반경이 큰 게르마늄이 존재하고 있기 때문에, 큰 왜곡(인장 응력)이 발생하는 것이 예상된다. 이 왜곡 에너지는, 핵형성의 경계 반경을 크게 하는 방향으로 작용한다. 또한, 이 왜곡(인장 응력)은, NiSi_2 에 의한 핵의 결정방위에 제한을 주어, 특정한 결정면(구체적으로는, (101)면)의 배향율을 높이는 작용이 있다고 추측된다.

<100> NiSi_2 구조는 형석구조로, 다이아몬드형 구조의 실리콘 격자 사이에 니켈원자를 배치한 구조로 되어 있다. NiSi_2 로부터 니켈원자가 없어지면, 실리콘의 결정구조가 남게 된다. 수많은 실험의 결과로부터, 니켈원자는 비정질 반도체측으로 이동해가는 것이 판명되었다. 이 이유는 비정질 반도체의 고체 용해도가 결정질 반도체의 그것보다도 높다고 생각되기 때문이다. 따라서, 마치 니켈이 비정질 반도체내에서 이동하면서 결정질 반도체를 형성한다고 하는 모델을 입안할 수 있다. 이상의 고찰로부터, 가열처리에 의해서, 제 1 비정질 반도체막은 (101)면의 배향율이 높은 결정이 성장한다.

<101> 비정질 실리콘이 0.1~10 atom%의 게르마늄을 함유하는 경우, 결정 핵발생 밀도가 저하한다. 도 2a 및 2b는 결정핵의 인접간 거리에 관해서, GeH_4 의 첨가 의존성에 관해서 조사한 결과로, 세로축은 그 누적도수(cumulative frequency)를 보이고 있다. 도 2a는 실리콘 결정화를 촉진하는 원소로서, 아세트산 니켈염이 3ppm인 수용액을 사용한 결과이다. 도 2b는 1ppm의 결과를 보이고 있다. GeH_4 의 첨가량의 증가는, 비정질 반도체막중에 포함되는 대응한 게르마늄 농도의 증가를 의미한다. 도 2a 및 도 2b의 결과는, 어느 것이나 GeH_4 의 첨가량이 많은 쪽이 결정핵의 인접간 거리가 길어지는 것을 보이고 있다. 도 3은, 이 결과를 기초로, GeH_4 의 첨가량에 대한 결정핵의 밀도를 보이고 있다. GeH_4 의 량이 증가하는 것에 따라서, 결정핵 밀도가 내려가는 경향이 도시되고 있다. 이 결과는, 상기 고찰에 있어서, 비정질 반도체막중에 게르마늄이 존재함으로써 핵생성의 경계반경을 크게 하는 방향으로 작용하는 것을 뒷받침하고 있다.

<102> 게르마늄 농도의 타당성은 제작되는 결정질 반도체막의 특성으로부터 추측할 수 있다. 도 14는 퇴적시의 GeH_4 유량을 변화시킨 경우의 라만 분광분석의 데이터를 보이고 있다. SIMS에 의해 GeH_4 유량이 5 SCCM일 경우 게르마늄 함유량은 1.5 atom%, 10 SCCM의 경우는 3 atom%, 30 SCCM의 경우는 11 atom%이 되는 것이 판명되어 있다. 그러나, 라만 스펙트럼으로부터 보면 게르마늄 농도의 증가에 따라서 저 주파수측에 피크위치가 시프트하고 있는 것이 도시되어 있다. 단결정 실리콘의 520.7cm^{-1} 에서의 시프트는 결정의 왜곡을 나타내고, 게르마늄 농도의 증가에 따라서 왜곡이 증대하고 있다. GeH_4 를 첨가하지 않은 막의 516cm^{-1} 에 대하여, 5 SCCM에서는 515cm^{-1} , 10 SCCM에서는 514cm^{-1} 인 데 대하여, 30 SCCM에서는 506cm^{-1} 과 크게 멀리 떨어져 있다. 따라서, 결정의 왜곡이라는 관점으로부터도 게르마늄의 최대 함유량은 10 atom%이하, 바람직하게는 5 atom% 이하인 것을 알 수 있다.

<103> 일단 용융상태를 거쳐서 고화하는 레이저 어닐링에 의해, 결정의 배향율이 향상함과 동시에, 융점이 낮은 게르마늄은 막의 표면으로 분리한다. 도 4는 고상 성장 후와 레이저 어닐링 후의 게르마늄 농도 분포를 SIMS로 측정

한 결과로, 레이저 어닐링 후에 있어서 게르마늄 농도가 표면층으로 높아지고 있는 것을 보이고 있다. 이에 따라, 막 중에서는 게르마늄 농도의 저하가 확인된다. 분명히 막 표면으로 게르마늄이 분리하고 있는 것을 확인할 수 있다.

<104> 게르마늄은 상술한 것처럼 결정화에 있어서, 실리콘 결정의 배향율을 높이는 데 유효하게 작용한다고 생각된다. 그러나, 게르마늄의 존재에 의해, 결함이 생성된다. 결함은 실리콘 네트워크의 불규칙성에 기인하는 것으로, 게르마늄 자신은 수소로 보상되기 어렵다고 하는 성질에 기인하는 것이다. 따라서, 결정화 후에 있어서 게르마늄은 반드시 필요하지 않다.

<105> 도 4에 나타낸 것처럼 레이저 어닐링 후는 게르마늄이 표면에 분리하기 때문에, 고농도가 된 층을 식각 제거하는 수단을 꾀할 수 있다. 식각은, HNO_3 , HF, CH_3COOH , Br_2 (CP-4라 함) 또는 HNO_3 , HF, CH_3COOH 및 I_2 (CP-8라 함)로 이루어진 식각액에 의해서 할 수 있다. 그 외에도 세코(Secco)액, 대쉬(Dash)액 등을 사용하여도 된다.

<106> 또한, 레이저 어닐링과 식각처리를 복수회 반복함으로써, 결정의 배향을 유지한 채로, 제 1 결정질 반도체막의 게르마늄 농도를 더욱 감소시킬 수 있다. 물론, 제 1 결정질 반도체막의 두께는 감소하지만, 50nm의 막두께에 대하여, 5nm씩 3회의 식각처리에 의해 잔존하는 게르마늄 농도를 $1 \times 10^{21}/\text{cm}^3$ 이하로 감소시킬 수 있다.

<107> 그 후, 제 1 결정질 반도체막 상에 제 2 비정질 반도체막을 플라즈마 CVD 법 또는 감압 CVD 법 등의 퇴적법으로 형성한다. 제 2 비정질 반도체막은 실리콘을 주성분으로 하는 반도체막이고, 대표적으로는 비정질 실리콘막으로 형성한다. 제 2 비정질 반도체막의 두께는 10~100nm, 바람직하게는 30~60nm의 두께로 형성한다. 제 1 결정질 반도체막의 표면은 불산으로 산화막을 제거한다. 그러나, 공정상 막 표면에 부착된 공기로 의해 산소, 탄소 등의 부착원소가 남아 그것이 계면에 유지된 채로 남는다.

<108> 제 2 비정질 반도체막은, 가열처리 또는 레이저 어닐링에 의해 결정화시킨다. 결정화는 하지 결정에 의존하여 에피택셜 성장으로 한다. 즉, 하지층 배향성을 그대로 남겨, 배향율이 높은 결정질 반도체층을 얻을 수 있다.

<109> 다음에, 본 발명에 의거한 결정질 반도체층을 형성하는 방법의 일례를 나타낸다. 제 1 비정질 반도체막을 형성하기 위한 반응ガ스는 SiH_4 와 수소로 10%로 희석된 GeH_4 를 사용한다. 이들의 반응ガ스는, 형성되는 비정질 반도체막에 포함되는 산소, 질소, 탄소의 불순물 농도를 감소시키기 위해서 고순도로 정제된 것을 사용한다. SiH_4 의 순도는 99.9999% 이상의 것을, 또한 GeH_4 는 질소, 탄화수소화합물이 1 ppm이하, CO_2 가 2ppm 이하를 적용한다. 제 1 비정질 반도체막에 있어서, 실리콘에 대한 게르마늄의 함유량을 변화시키고 싶은 경우에는, 합계 유량이 일정하게 되도록 하여, SiH_4 와 H_2 로 10%로 희석한 GeH_4 의 가스유량의 혼합비를 변화시킨다. 게다가, 공통조건으로서는, 고주파전력이 $0.2\sim0.5\text{W}/\text{cm}^2$, 바람직하게는 $0.35\text{W}/\text{cm}^2$ (27 MHz)이며, 반복주파수 1-10kHz(듀티비: 30%)의 펄스방전으로 변조하여 평행 평판형 플라즈마 CVD장치의 캐소드에 전원 공급한다. 반응압력 20~50Pa, 바람직하게는 33.25Pa, 기판온도 300°C, 전극간격 35mm로 한다.

<110> 도 5는 제 1 및 제 2 비정질 반도체막을 형성하기 위해서 사용하는 플라즈마 CVD장치의 구성의 일례를 보이고 있다. 플라즈마 CVD장치는 반응실(501)내에 고주파 전력원(505)이 접속하는 캐소드(502) 및 애노드(503)가 설치된 평행 평판형이다. 캐소드(502)는 샤워판 형태로 되어 있어, 가스공급수단(506)으로부터의 반응ガ스는, 이 샤워판을 통해서 반응실내로 공급된다. 애노드(503)에는 시드(seeds) 히터 등에 의한 가열수단이 설치되고, 기판(515)이 설치되어 있다. 가스 공급계의 상세한 것은 생략하지만, SiH_4 나 GeH_4 등이 충전된 실린더(514), 가스의 유량을 제어하는 대량 생산 콘트롤러(512), 스탑밸브(513)등으로 구성되어 있다. 배기수단(507)은, 게이트밸브(508), 자동 압력제어밸브(509), 터보 분자펌프(또는 복합 분자펌프)(510), 건식펌프(511)로 이루어진다. 터보 분자펌프(또는 복합 분자펌프)(510) 및 건식펌프(507)는 윤활유를 사용하지 않으므로, 기름의 확산에 의한 반응실내의 오염을 완전히 없애고 있다. 배기속도는, 반응실의 용적 13리터의 반응실에 대하여, 제 1 단에 배기속도 300리터/sec의 터보 분자펌프, 제 2 단에 배기속도 $40\text{m}^3/\text{hr}$ 의 건식펌프를 설치하여, 배기계로부터 유기물의 증기가 역학산하는 것을 방지함과 동시에, 반응실의 도달 진공도를 높인다. 그래서, 비정질 반도체막의 형성시에 불순물 원소가 막 속에 혼합되는 것을 철저히 막고 있다.

<111> 절연 표면 상에 형성하는 제 1 비정질 반도체막의 두께는 5~30nm으로 한다. 제 1 비정질 반도체막에는 실리콘에 대하여 원자반경이 큰 게르마늄을 첨가함으로써, 결정핵의 생성밀도를 작게 하는 효과를 얻을 수 있다. 동일한 효과는 주석이나 실리콘과 결합하지 않는 불활성 가스인 Ar, Kr 또는 Xe으로 대용할 수도 있다. 이 경우, 실

리콘의 결정화가 곤란해지지만, 촉매원소를 사용하여 결정화함으로써 그 문제는 해소된다.

<112> 제 1 비정질 반도체막의 결정화는, 실리콘의 결정화를 촉진하는 원소로서 니켈을 사용하여, 500~600°C의 가열처리와 레이저 어닐링을 한다. 대표적인 형성조건으로서, 질소 분위기에서 550°C로써 4시간의 가열처리 및 레이저 어닐링을 하는 방법이 있다. 니켈은 아세트산 니켈을 10ppm의 농도로 함유하는 수용액을 사용하여, 스피너로 도포한다. 또한, 레이저 어닐링은, XeCl 액시머 레이저(파장: 308nm)를 사용하여, 조사 에너지 밀도 300~600mJ/cm², 오버랩을 90~95%로 조사한다. 레이저 어닐링은, 가열처리에 의해 결정화한 막의 미결정화 부분의 결정화나, 결정입계내의 결함을 보수하기 위해서 한다. 또한, 게르마늄을 막 표면으로 분리시키기 위해서 한다.

<113> 제 1 결정질 반도체막은, 표면에서 1~10nm, 바람직하게는 약 5nm의 두께로 제거하여 박막화한다. 박막화의 방법은 습식식각 또는 건식식각 등의 화학식각 또는 화학적 기계적 연마에 의한 제거 등의 방법으로 한다. 이렇게 해서, 게르마늄이 분리한 표면층을 제거함으로써 제 1 결정질 반도체막은 얇게 되지만, 게르마늄 농도를 감소할 수 있다. 이 레이저 어닐링과 식각처리를 반복함으로써 제 1 결정질 반도체막에 남는 게르마늄 농도를 감소시킬 수 있다.

<114> 제 1 결정질 반도체막의 표면에 형성된 산화막을 제거한다. 산화막의 제거는, 불산 또는 완충 불산에 의해 한다. 그 후, 플라즈마 CVD 법에 의해 제 2 비정질 반도체막을 형성한다. 제 2 비정질 반도체막은, SiH₄ 또는 SiH₄와 수소의 혼합가스, 혹은 Si₂H₆을 사용하여 형성한다. 퇴적하는 두께는 10~50 nm이다. 그 후, 레이저 어닐링 또는 가열처리에 의한 고상 성장에 의해 결정화시킨다. 이 경우, 하지에 형성되어 있는 제 1 결정질 반도체막의 결정 방위에 따라서, 에피택셜 결정 성장을 이용할 수 있다.

<115> 이렇게 해서, 유리 등의 내열성이 낮은 재료를 기판으로서 사용하면서도, (101)면에 대하여 높은 배향성을 나타낸 결정질 반도체층을 얻을 수 있다. 이 반도체층은, 제 1 결정질 반도체막과 제 2 결정질 반도체막을 포함한다. 상기 레이저 어닐링과 식각처리에 의해, 이 높은 배향율을 가지면서도 게르마늄 농도가 낮은 결정질 반도체층을 얻을 수 있다. 그래서, 단결정에 필적하는 고품질의 결정질 반도체층을 얻을 수 있다.

<116> 물론, 이 결정질 반도체층은, 2층으로 한정되는 것이 아니라, 3층 또는 그 이상의 적층 구조로 하여도 된다. 그 경우에는 기판으로부터 점차 게르마늄의 함유량이 감소된 반도체층을 복수로 적층한 형태로 하는 것이 바람직하다. 그와 같은 구성에 의해, 게르마늄량이 점차 감소하면서, (101)면 배향율이 높은 결정질 반도체막을 형성할 수 있다. 이러한 (101)면의 배향율이 높은 결정질 반도체막은, 채널영역, 광기전력소자의 광전 변환층 등의 소자 특성을 결정하는 채널영역에 사용할 수 있다.

<117> (실시예 2)

<118> 도 21a에 도시된 것처럼, 기판(10) 상에 하지 절연막(11), 그 하지 절연막(11) 상에 제 1 반도체층으로서 비정질 실리콘 게르마늄(Si_{1-x}Ge_x: x=0.001 ~ 0.05)막(12)을 형성한다. 하지 절연막(11)으로서는, SiH₄, NH₃ 및 N₂O를 반응가스로서 사용하여 형성되는 산화질화실리콘막 및 SiH₄ 및 N₂O를 반응가스로서 사용하여 형성되는 산화질화실리콘막을 적층하여 사용한다.

<119> 제 1 반도체층(12)은, 플라즈마 CVD 법 또는 감압 CVD법에 의해 실시예 1과 유사하게 형성된 비정질 실리콘 게르마늄막이다. 퇴적되는 비정질 반도체막의 두께는 20~100nm의 범위로 한다.

<120> 계속하여, 제 1 반도체층의 결정화처리를 한다. 결정화시에, 제 1 반도체층(12)의 표면에, 실시예 1과 같은 촉매원소(13)를 첨가한다. 상술한 촉매원소 중 어느 하나의 사용으로, 동질, 동일한 효과를 얻을 수 있다. 하지만, 대표적으로는 니켈을 사용한다. 이들 촉매원소를 반도체층에 첨가하는 방법은, 실시예 1과 유사하게 반도체층의 표면 또는 내부에 존재시키는 기술이면 특별히 제한은 없다(도 21a).

<121> 상기 어느 하나의 방법으로 반도체층에 촉매원소를 첨가한 후, 가열처리를 하여, 제 1 결정질 반도체(Si_{1-x}Ge_x: x=0.001 ~ 0.05)층(14)을 형성한다. 광원의 복사열을 사용하여 가열처리를 하는 방법, 가열된 불활성 가스에 의해 가열처리를 하는 방법, 퍼니스를 사용하여 가열처리를 하는 방법 중 어느 하나를 사용하여도 만족스럽다(도 21b 및 도 21c).

<122> 이어서, 산소 분위기 또는 대기 분위기에 있어서, 제 1 결정질 반도체(Si_{1-x}Ge_x: x=0.001 ~ 0.05)층(14)에 제 1 레이저 광을 조사한다. 이상의 공정에 의해, (101)에 우선적으로 배향하여, 결정립이 큰 제 1 결정질 반도체층(15)을 얻는다(도 21d). 이때, 산소를 포함하는 분위기에서의 레이저 광 조사 공정에 의해, 제 1 결정질 반도체

층(15) 표면은, 요철형상이 된다. 또한, 산화막(16)이 형성된다.

<123> 레이저 광으로서는, 파장 400nm 이하의 엑시머 레이저나, YAG 레이저 또는 YVO_4 레이저의 제 2 고조파(파장 : 532nm)~제 4 고조파(파장 : 266nm)를 광원으로서 사용하여 한다. 이 레이저 광은, 광학계에 의해 선형 또는 스포트형으로 집광하여, 그 에너지 밀도를 $200\sim500\text{mJ/cm}^2$ 로서 조사한다. 이 집광된 레이저 광을 기판의 소정의 영역에 걸쳐 주사시키고, 90~98%의 오버랩율을 갖고 결정질 반도체막에 조사한다.

<124> 레이저 광 조사 후, 제 1 결정질 반도체층(15) 표면에 형성된 산화막(16)을 제거하여, 제 1 결정질 반도체층상에 제 2 반도체층(17)을 형성한다. 제 2 반도체층(17)은, 플라즈마 CVD 법에 의해 비정질 실리콘막을 두께 20~100nm로 형성한다.

<125> 계속해서, 도 22a에 도시된 것처럼, 제 2 반도체층에 레이저 광을 조사하여, 제 1 결정질 반도체층의 배향성의 영향을 받아 결정화를 한다. 제 2 레이저 광 조사의 공정은, 질소분위기 또는 진공에서 조사를 한다. 제 2 레이저 광으로서는, 파장 400nm 이하의 엑시머 레이저나, YAG 레이저 또는 YVO_4 레이저의 제 2 고조파(파장: 532nm)~제 4 고조파(파장 : 266nm)를 광원으로서 사용하여 한다. 이 레이저 광은, 광학계에 의해 선형 또는 스포트형으로 집광하여, 그 에너지 밀도를 $400\sim800\text{mJ/cm}^2$ 로서 조사한다. 상기 집광한 레이저 광을 기판의 소정의 영역에 걸쳐 주사시키고, 90~98%의 오버랩율을 갖고 결정질 반도체막에 조사한다.

<126> 이와 같이 하여, 제 1 결정질 반도체층(결정질 실리콘 게르마늄막) 및 제 2 결정질 반도체층(18)(결정질 실리콘막)의 적층인 결정질 반도체층(19)이 형성된다. 이때, 제 2 레이저 광 조사 공정에서, 얻어진 결정질 반도체층의 표면에는, 요철이 형성되는 경우는 없다.

<127> 다음으로, 도 22b에 도시된 것처럼, 반도체층에 포함되는 촉매원소를 제거하기 위한 공정을 설명한다. 결정질 반도체층상에 장벽층(20)을 형성한다. 장벽층의 두께는 특별히 한정되지 않지만, 간단히 오존 함유 수용액으로 처리함으로써 형성되는 화학적 산화막으로 대용하여도 된다. 또한, 황산, 염산 또는 질산 등으로 과산화 수소수를 혼합시킨 수용액으로 처리하더라도 마찬가지로 화학적 산화막을 형성할 수 있다. 다른 방법으로서는, 산소 분위기에서의 플라즈마 처리나, 산소 함유 분위기에서의 자외선조사에 의해 오존을 발생시켜 산화 처리를 하여도 된다. 또한, 클린 오븐을 사용하여, 약 200~350°C로 가열하여 얇은 산화막을 형성하고 장벽층으로서 사용하여도 된다. 또한, 플라즈마 CVD 법, 스퍼터링법 또는 증착법으로 1~5nm 정도의 산화막을 퇴적하여 장벽층으로서 사용하여도 된다.

<128> 그 장벽층 위에, 플라즈마 CVD 법이나 스퍼터링법으로 게터링 영역(21)이 되는 반도체막을 형성한다. 대표적으로는, 아르곤을 사용한 스퍼터링법으로 아르곤을 0.01~20 atom% 포함하는 비정질 실리콘막으로 형성한다. 이 반도체막은, 게터링 공정 후에 제거하기 때문에, 결정질 반도체층과 식각 선택비를 높게 하기 위해서, 저밀도 막으로서 하는 것이 바람직하다. 비정질 실리콘막 내에 희가스 원소를 첨가시켜, 막 내에 희가스 원소를 동시에 혼합하면, 그것에 의하여 게터링 영역을 형성할 수 있다. 희가스 원소로서는, 헬륨(He), 네온(He), 아르곤(Ar), 크립톤(Kr) 및 크세논(Xe)으로부터 선택된 일종 또는 복수종을 사용한다.

<129> 이어서, 게터링을 위한 가열처리를 한다. 가열처리는, 퍼니스를 사용한 방법(질소 분위기에서 450~600°C로 0.5~12 시간), 가열용 광원을 사용한 RTA 법(순간적으로 실리콘막에 600~1000°C로, 1~60초) 및 가열한 불활성 가스에 의한 RTA 법(550~700°C으로, 1~5분) 중 어느 하나의 방법을 사용하여도 된다. 이 가열처리에 의해, 촉매원소가 확산에 의해 게터링 영역으로 이동한다.

<130> 그 후, 반도체막(21)을 선택적으로 식각하여 제거한다. 식각 방법으로서는, ClF_3 에 의한 플라즈마를 사용하지 않은 건식식각, 또는 히드라진 또는 테트라에틸 암모늄 히드록시드(화학식 : $(\text{CH}_3)_4\text{NOH}$)를 포함하는 수용액 등 알칼리 용액에 의한 습식식각으로 할 수 있다. 이때, 장벽층(20)은, 식각 스토퍼로서 기능한다. 또한, 장벽층(20)은, 그 후 불산에 의해 제거하여도 된다.

<131> 이과과 같이 본 발명을 사용함으로써, 결정질 반도체층에 포함되는 촉매원소의 농도를 $1\times10^{17}/\text{cm}^3$ 이하까지 감소시킬 수 있다. 또한, 상기 얻어진 결정질 반도체층은, 높은 배향율을 갖는 제 1 결정질 반도체층 및 그 제 1 결정질 반도체층의 영향을 받아 결정 성장한 제 2 결정질 반도체층의 적층으로 이루어진다. 이 적층은, 배향율이 높고 입경이 큰 결정립이 집합한 양호한 결정질 반도체층이다.

<132> 이와 같이 하여 얻어진 반도체막을 반사전자회절패턴(EBSP:Electron Backscatter diffraction Pattern, 이하,

EBSP라 함)에 의해 관찰한 결과를 나타낸다.

<133> EBSP는, 주사형 전자 현미경(SEM:Scanning Electron Microscopy)에 전용 검출기를 설치하여, 일차 전자의 후방 산란으로부터 결정방위를 분석하는 수단이다. 시료의 전자선이 충돌하는 위치를 이동시키면서 방위해석을 반복함으로써(맵핑 측정), 면형 시료의 결정방위 또는 배향 정보를 얻을 수 있다. 일례로서, 본 실시예에서 나타낸 것처럼, 각 측정포인트의 결정립이 표면으로 향하고 있는 결정방위를 색별로 나타낼 수 있다. 도 23 및 도 24에서 설명을 위한 주석의 세 개의 상부는, (111)면, (001)면 및 (101)면을 각각 나타낸다. 이 설명을 위한 주석에서, 상기 결정 방위를 나타내는 색이 상기 상부에 근접함에 따라, 그 배향율은 커진다. 본 발명에서는, 상기 (111)면은 파란색으로 되고, (001)면은 빨간색으로 되고, (101)면은 초록색으로 되어 있다. 또한, 어떤 측정포인트에 착안하여, 인접한 포인트에서, 측정자가 설정한 결정방위 편차각(허용 가능한 편차각)의 범위내인 영역을 구별하여 나타낼 수 있다.

<134> 상기 허용 가능한 편차각은, 측정자가 자유롭게 설정할 수 있다. 상기 허용 가능한 편차각을 10도로 설정하여, 인접 포인트에서 결정방위 편차각이 10도 이하의 범위내인 영역을 결정립으로 칭하고, 결정립이 복수로 집합한다 결정구조의 결정질 반도체막이 형성되어 있다.

<135> 도 23 및 도 24에서, 같은 색의 영역은 한 개의 결정립이라고 간주할 수 있다. 이때, 결정립은, 실제로는 복수의 결정립에 의해 형성되지만, 결정립 내에서의 결정 방위 허용 가능한 편차각이 작기 때문에 거시적으로는 하나의 결정립으로서 간주할 수 있다.

<136> 도 23에 본 발명을 사용하여 제작된 결정질 반도체층을 관찰한 결과를 나타낸다. 이하, 제작방법을 간단히 설명한다. 우선, 제 1 반도체층으로서, 게르마늄을 3.5 atom% 포함한 실리콘 게르마늄막을 CVD 법에 의해 두께 55nm로 형성한다. 이어서, 제 1 반도체층에 촉매원소로서 니켈을 첨가한다. 제 1 반도체층 표면에 중량환산으로 10ppm의 니켈을 포함하는 수용액을 스픬 도포법에 의해 도포한다. 제 1 반도체층을 500°C로 1시간 가열처리하여 수소를 이탈시킨 후, 퍼니스를 사용하여, 580°C로 4시간의 가열처리를 한다. 이에 따라, 제 1 반도체층은 결정화되어, (101)면의 배향율이 높은 제 1 결정질 반도체층이 형성된다.

<137> 계속해서, 제 1 결정질 반도체층 표면에 형성된 산화막을 제거한다. 그 표면을 깨끗이 한 후, 제 1 레이저 광을 조사한다. 제 1 레이저 광 조사는, 산화분위기에서 한다. 이 처리에 의해, 제 1 결정질 반도체층의 표면은 요철 형상이 된다. 계속해서, 제 1 결정질 반도체층 표면에 형성된 산화막을 다시 제거한다. 표면을 청정하게 하고 나서, 제 2 반도체층으로서 비정질 실리콘막을 두께 30nm로 형성한다. 이어서, 제 2 반도체층에 제 2 레이저 광을 조사하여, 제 2 반도체층을 결정화시킨다. 이때, 제 2 레이저 광 조사는, 질소를 포함하는 분위기하에서 하여도 된다. 이 처리에서는, 제 1 결정질 반도체층의 배향성의 영향을 받아, 제 2 반도체층이 결정 성장하여, 높은 배향율을 가져, 입경이 큰 결정립이 집합한 결정성장을 한다. 이러한 결정질 반도체층을 EBSP에 의해 관찰한 바, 도 23에 나타낸 것처럼, (101)면을 나타낸 색을 갖는 영역이, 많이 (101)면의 배향율이 30~40% 만큼 높다. 도 24에는, 비교를 위해 제 1 반도체층에 비정질 실리콘막을 사용하여, 촉매원소를 사용한 결정화방법(본 발명과 같은 처리)에 의해 결정화하여, 제 2 반도체층으로서 다시 비정질 실리콘막을 형성하여, 이하, 레이저 광 조사를 본 발명과 같은 처리를 시행하여 제작된 결정질 실리콘막을 관찰한 결과를 보이고 있다.

<138> 도 23과 도 24 사이의 비교로부터 분명한 것처럼, 본 발명을 사용하여 제작된 결정질 반도체막은, (101)면의 배향율이 높고, 또한, 입경이 큰 결정립을 얻을 수 있다. 이러한 입경이 큰 결정립이 집합한 결정성이 높은 결정질 반도체막을 얻을 수 있다.

<139> [예]

<140> (예 1)

<141> 본 발명의 일례를 도 6a-6f와 도 7a-7c를 참조하여 설명한다. 우선, 도 6a에 도시된 것처럼, 기판(10) 상에 블록킹층(11)으로서, SiH₄, NH₃ 및 N₂O를 반응가스로서 사용하여 형성되는 산화질화실리콘막 및 SiH₄ 및 N₂O를 반응 가스로서 사용하여 형성되는 산화질화실리콘막을 순차로 적층한 절연층을 형성한다. 그 위에 제 1 비정질 반도체막(12)으로서, 실리콘에 3atom%의 게르마늄이 첨가된 막을 사용한다. 이 비정질 반도체막은, 플라즈마 CVD 법으로 SiH₄와, H₂로 10%로 희석된 GeH₄를 사용하여, 그 유량비를 9 : 1로 한다. 기판 가열온도는 300°C, 반응실내의 압력은 33.25Pa로 하고, 27MHz, 0.35W/cm²의 고주파전력으로 반응가스를 분해하여, 비정질 반도체막을 퇴적 한다. 이때, 방전은 반복하여 주파수 10KHz, 듀티비(전력이 공급되는 온과 오프의 시간비) 30%에서 간헐방전으

로 한다.

<142> 어쨌든, 본 발명에서 사용하는 상기 가스는, 퇴적된 비정질 실리콘 게르마늄막에 혼합된 산소, 질소, 탄소 등의 불순물원소의 농도를 감소하기 위해서 고순도로 정제된 것을 사용한다. 퇴적된 제 1 비정질 반도체막(12) 두께는 20~100nm의 범위로 한다.

<143> 계속해서, 도 6b에 나타낸 것처럼, 제 1 비정질 반도체막(12) 결정화처리를 한다. 결정화에 있어서는, 제 1 비정질 반도체막의 표면에 촉매원소로서 니켈을 첨가한다. 니켈의 첨가방법은, 니켈 재료로 형성된 캐소드를 사용하여, 아르곤 등의 불활성 가스의 글로우 방전에 의해, 캐소드를 스퍼터링하여 미량의 니켈을 제 1 비정질 반도체막(12)에 퇴적시킨다. 그 밖의 수법으로서, 금속염 용액을 도포하는 방법을 적용하여도 된다.

<144> 촉매원소를 첨가한 후, 가열처리를 하여 결정화 한다. 가열처리는, 광원의 복사열을 사용하여 가열처리를 하는 방법, 가열한 불활성 가스에 의해 가열처리를 하는 방법, 어닐링 퍼니스를 사용하여 가열처리를 하는 방법 중 어느 하나를 사용하여도 된다. 이렇게 해서, 도 6c에 나타낸 것처럼, 제 1 결정질 반도체막(14)이 형성된다.

<145> 이어서, 산소 분위기 또는 대기 분위기에서, 제 1 결정질 반도체막(14)에 레이저 광을 조사한다. 레이저 광으로서는, 파장 400nm 이하의 엑시머 레이저나, YAG 레이저의 제 2 고조파(파장 : 532nm)~제 4 고조파(파장 : 266nm)로부터 출력되는 펄스 레이저 광 또는 연속발진 레이저 광을 사용한다. 레이저 광은, 광학계에 의해 선형 또는 스포트형으로 집광하여, 그 에너지 밀도를 200~500mJ/cm²로서 조사한다. 이 집광한 레이저 광을 기판의 소정의 영역에 걸쳐 주사시켜, 90~98%의 오버랩율을 갖고서 제 1 결정질 반도체막에 조사한다. 이때, 산소를 포함하는 분위기에서 레이저 광 조사 공정에 의해, 제 1 결정질 반도체막(15) 표면에는, 돌기부(리지(ridge)라고 칭함)가 형성된다. 또한, 대기 분위기 내에서 용융 고화를 하기 때문에, 표면에는 산화막이 형성된다(도 6d).

<146> 레이저 광 조사 후, 제 1 결정질 반도체막(15) 표면에 형성된 산화막(16)은 완충 불산으로 제거한다. 그 후, 5HNO₃, 3HF, 3CH₃COOH, 0.1Br₂(CP-4라 칭함)를 혼합한 식각액으로 제 1 결정질 반도체막(15)의 표면층을 5nm 정도의 두께로 제거한다. 그것에 의하여, 게르마늄이 분리된 고농도영역을 제거할 수 있어, 남겨진 제 1 결정질 반도체막의 게르마늄 농도를 감소할 수 있다. 이상의 공정에 의해, 도 6e에 나타낸 것처럼 (101)에 우선적으로 배향하여, 결정립이 큰 제 1 결정질 실리콘 게르마늄막(17)을 얻을 수 있다.

<147> 그 후, 제 1 결정질 반도체막(17) 상에 제 2 비정질 반도체막을 형성한다. 제 2 비정질 반도체막(18)은, 플라즈마 CVD 법에 의해 비정질 실리콘으로 형성하되, 그 두께는 50nm으로 한다(도 6f).

<148> 그 후, 상술한 것처럼, 레이저 광을 조사하여, 제 2 비정질 반도체막(18)을 결정화한다. 결정성장은, 하지에 있는 제 1 결정질 반도체막으로부터 에피택셜 성장하여, 같은 배향을 갖고서 결정 성장한다. 이에 따라, (101)의 배향율이 높은 제 2 결정질 반도체막(19)을 얻는다(도 7a).

<149> 결정화에 따라, 제 1 결정질 반도체막에 잔존하는 니켈의 일부는, 제 2 결정질 반도체막내까지 확산할 가능성이 있다. 어쨌든, 결정질 반도체층에 잔존하는 니켈은, 결정화 후 게터링하여 제거하는 것이 바람직하다.

<150> 도 7b는 게터링공정을 설명하는 도면으로, 제 2 결정질 반도체막의 표면에 얇은 장벽층(20)을 형성한다. 얇은 장벽층(20)은, 화학적 산화막, 오존 분위기 혹은 대기중에서 정제되는 산화막, 증착이나 스퍼터링 법으로 형성되는 얇은 산화막등에 의해 형성한다. 그 두께는 1~5nm 정도로 한다. 그 위에는 아르곤을 $1 \times 10^{20} / \text{cm}^3$ 이상 포함하는 비정질 실리콘막(21)을 형성한다. 고농도로 아르곤을 포함함으로써, 비정질 실리콘막에 왜곡 필드가 형성되어 이것이 게터링 사이트로서 기능한다.

<151> 게터링의 가열처리는, 가스 가열형 열처리장치를 사용하여, 650°C, 10분의 처리에 의해 한다. 어닐링 퍼니스를 사용하는 경우에는, 550°C으로 4시간의 열처리를 한다. 결정질 반도체층에 잔존하는 니켈은, 이 처리에 의해 비정질 실리콘막(21)에서 분리될 수 있다(도면에서 화살표 방향). 니켈의 함유량은 $1 \times 10^{18} / \text{cm}^3$ 이하로 할 수 있다.

<152> 그 후, 비정질 실리콘막(21)을 선택적으로 식각함으로써 제거한다. 식각 방법으로서는, ClF₃에 의한 플라즈마를 사용하지 않은 건식식각, 혹은 히드라진이나, 테트라에틸 암모늄 히드록시드(화학식 : (CH₃)₄N⁺OH⁻)를 포함하는 수용액 등 알칼리용액에 의한 습식식각으로 할 수 있다. 이때, 얇은 절연막(20)은, 식각 스토퍼로서 기능한다. 이 얇은 절연막(20)은 불산에 의해 제거하여도 된다. 이에 따라 청정한 결정질 반도체층의 표면을 얻을 수 있다.

<153> 또한, 도 7c에 나타낸 것처럼, 결정질 반도체층 내에 잔존하는 왜곡을 완화하는 열처리를 하는 것이

바람직하다. 열처리온도는, 400~500°C이고, 이 열처리는, RTA 법으로 한다. 이상과 같이 하여, 배향율이 높은 결정질 반도체막을 얻을 수 있다.

<154> 상기 설명을 위한 주석을 도 23과 도 24로서 사용하여 도 15a 및 15b를 설명할 수 있다. 도 15a에 제 1 결정질 반도체막으로서 게르마늄을 3.5atom% 포함한 막 위에 EBSP 측정의 결과를 나타낸다. 그 막 두께는 55nm이다. 중량환산으로 10ppm의 니켈을 포함하는 수용액을 스펀 도포법에 의해 도포하여, 500°C로 1시간 가열처리함으로써 수소를 이탈시킨다. 그 후, 어닐링 퍼니스를 사용하여, 580°C로 4시간의 가열처리를 하고, 레이저 어닐링을 한다. 이 결정질 반도체막을 EBSP에 의해 관찰한 바, 도 15a에 나타낸 것처럼, (101)면을 나타낸 색의 많은 영역이, (101)면의 배향율이 60% 정도로 되어 있다.

<155> 계속해서, 제 1 결정질 반도체막 표면에 형성된 산화막을 다시 제거하여, 표면을 청정하게 하고 나서, 제 2 비정질 반도체막으로서 비정질 실리콘막을 두께 30 nm로 형성한다. 그 후, 580°C로 4시간의 가열처리에 의해 결정화시킨 막의 EBSP 측정 결과를 도 15b에 나타낸다. (101)의 배향율은 약간 저하하지만, 30~40%의 배향율을 얻어진다. 제 1 결정질 반도체막의 배향성의 영향을 받아, 제 2 결정질 반도체막이 결정 성장한다. 그래서, 높은 배향율을 갖고 입경이 큰 결정립이 집합한 결정 성장을 할 수 있다.

<156> 도 15a 및 15b로부터 분명한 것처럼, 본 발명을 사용하여 제작된 결정질 반도체막은, (101)면의 배향율이 높고, 또한 입경이 큰 결정립이 얻어진다. 그래서, 이러한 입경이 큰 결정립이 집합한 결정성이 높은 결정질 반도체막을 얻을 수 있다.

<157> (예 2)

<158> 상기 예 1과 마찬가지로, 제 1 결정질 반도체막(15)을 형성한 후에 게터링을 하여도 된다. 도 8a에 나타낸 것처럼, 장벽층(30)을 통해 왜곡 필드를 갖는 비정질 실리콘막(31)으로 이루어진 게터링 사이트를 형성한다. 장벽층(30)은, 레이저 어닐링시에 형성되는 산화막을 적용할 수도 있고, 전술한 것처럼 화학적 산화막을 사용하여도 된다.

<159> 그 후, 불활성 가스 내에서 650°C, 30분의 가열처리를 하여 게터링을 한다. 비정질 실리콘막(31) 및 장벽층(30)을 제거한 후, HNO₃, HF, CH₃COOH 및 I₂(CP-8라 청함)를 갖는 식각액을 사용하여, 제 1 결정질 반도체막(15)의 표면을 5nm 정도 식각하여 표면을 평탄화함과 동시에 게르마늄이 분리한 고농도 층을 제거한다. 그것에 의하여, 제 1 결정질 반도체막의 게르마늄 농도를 감소시킬 수 있다(도 8b).

<160> 그 후, 제 1 결정질 반도체막(32)상에 제 2 비정질 반도체막(33)을 형성한다. 제 2 비정질 반도체막(33)은, 플라즈마 CVD 법으로 비정질 실리콘막을 갖는 50nm의 두께로 형성한다(도 8c).

<161> 그 후, 레이저 광을 조사하여 제 2 비정질 반도체막(33)을 결정화한다. 결정성장은, 하지의 제 1 결정질 반도체막으로부터 에피택설 성장하여, 같은 배향으로 결정 성장한다. 이상의 공정을 거쳐서도, (101)의 배향율이 높은 제 2 결정질 반도체막(34)을 얻을 수 있다(도 8d).

<162> (예 3)

<163> 상기 예 1과 마찬가지로, 도 9a에 나타낸 것처럼, 기판(10), 하지 절연막(11) 및 제 1 비정질 반도체막(12)을 형성한 후, 100nm의 마스크 절연막(40)을 형성하여, 개구(41)를 설치한다. 그 후, 중량환산으로 1~100ppm의 촉매원소(본 예에서는 니켈)를 포함하는 수용액(아세트산 니켈 수용액)을 스펀 도포법으로 도포하여, 촉매원소(니켈) 함유층(42)을 형성한다. 이에 따라, 촉매원소는 개구(41)에 제 1 비정질 반도체막(12)과 접한 위치가 된다.

<164> 이어서, 도 9b에 나타낸 것처럼, 제 1 비정질 반도체막(12)을 결정화하기 위해서 가열처리를 한다. 가열처리로서는, 광원의 복사열을 사용하여 가열처리를 하는 방법, 가열한 불활성 가스에 의해 가열처리를 하는 방법, 퍼니스를 사용하여 가열처리를 하는 방법 중 어느 하나를 사용하여도 된다. 여기서는, 퍼니스를 사용하여, 580°C로 4시간의 가열처리를 하여, 제 1 결정질 반도체막을 형성한다. 가열 처리 후, 제 1 결정질 반도체막(43)상의 마스크 절연막(40)을 제거한다. 이후는, 예 1 또는 예 2와 예 1의 조합에 의해 결정질 반도체층을 얻을 수 있다.

<165> (예 4)

<166> 본 예에서는, 도 31a-31e, 도 32a-32b를 참조하여 제 1 반도체층에 촉매원소를 부분적으로 첨가하여서, 본 발명의 결정질 반도체막을 형성하는 예를 설명한다.

<167> 기판(300) 상에 질화산화실리콘막으로 이루어진 하지 절연막(301), 해당 하지 절연막(301)상에 제 1 반도체층

(302)으로서 $Si_{1-x}Ge_x$ ($x = 0.001 \sim 0.05$) 막을 형성한다. 이때, 하지 절연막(301)으로서,, 1~10nm의 질화실리콘막을 사용하여도 된다. 이어서, 제 1 반도체층(302) 상에 개구(304)를 갖는 산화실리콘으로 이루어진 마스크 절연막(303)을 형성한다.

<168> 다음에, 중량환산으로 1~100ppm의 촉매원소(본 예에서는, 니켈)를 포함하는 수용액(아세트산 니켈 수용액)을 스펀 도포법으로 도포하여 촉매원소(니켈) 함유층(305)을 첨가한다. 촉매원소 함유층(305)은, 마스크 절연막(303)의 개구(304)에서, 선택적으로 제 1 반도체층(302)에 형성된다. 또한, 본 예에서는 촉매원소의 첨가방법에 스펀 도포법을 사용하였지만, 중착법이나 스퍼터링법에 의해 제 1 반도체층(302)에 촉매원소를 포함하는 박막을 형성하여도 된다(도 31a).

<169> 이어서, 제 1 반도체층을 결정화하기 위해서 가열처리를 한다. 가열처리로서는, 광원의 복사열을 사용하여 가열처리를 하는 방법, 가열한 불활성 가스에 의해 가열처리를 하는 방법, 퍼니스를 사용하여 가열처리를 하는 방법 중 어느 하나를 사용하여도 된다. 여기서는, 퍼니스를 사용하여, 580°C로 4시간의 가열처리를 하여, 제 1 결정질 반도체층을 형성한다(도 31b).

<170> 가열 처리 후, 제 1 결정질 반도체층(306)상의 마스크 절연막(303)을 제거한다(도 31c). 계속해서, 제 1 결정질 반도체층(306)에 제 1 레이저 광을 조사한다. 제 1 레이저 광으로서는, 펄스 발진형 또는 연속 발진형의 엑시머 레이저나 YAG 레이저, YVO_4 레이저 등을 사용하여도 된다. 이 레이저들을 사용하는 경우에는, 레이저 발진기로부터 방사된 레이저 광을 광학계에 의해 선형으로 집광하여, 반도체막에 조사하는 방법을 사용하는 것이 바람직하다. 레이저 광의 조사조건은, 실시자가 적절히 결정하여도 된다. 엑시머 레이저를 사용하는 경우에는, 펄스 발진 주파수 300Hz로 하고, 레이저 에너지 밀도를 $200 \sim 500 \text{mJ/cm}^2$ 로 한다. 또한, YAG 레이저를 사용하는 경우에는, 그 제 2 고조파를 사용하여, 펄스 발진 주파수 10~300Hz로 하여, 레이저 에너지 밀도를 250mJ/cm^2 로 한다. 제 1 레이저 광 조사에 의해, 제 1 결정질 반도체층(306)은, 표면에 요철을 갖는 결정질 반도체층(307)이 된다. 또한, 산화막(308)도 형성된다(도 31d).

<171> 다음으로, 제 1 반도체층에 첨가된 촉매원소를 게터링 영역으로 이동시키기 위한 처리를 한다. 이때, 제 1 레이저 광 조사 공정에서, 제 1 결정질 반도체층상에 산화막(308)이 형성되지만, 이 산화막(308)은, 장벽층(309) 형성 전 또는 산화막(308) 상에 장벽층(309)을 형성 후에 제거하여도 된다.

<172> 장벽층(309)상에 게터링 영역(310)이 되는 반도체층을 형성한다. 게터링 영역에서는, 플라즈마 CVD법이나 스퍼터링법으로 반도체막을 25~250nm의 두께로 형성한다. 대표적으로는, 아르곤을 사용한 스퍼터링법으로 아르곤을 0.01~20atom% 포함하는 비정질 실리콘막으로 형성한다. 이 반도체막은, 후에 제거하기 때문에, 식각으로 제거하기 쉽게 결정질 반도체층과 선택비를 높이기 위해서 저밀도막(예를 들면, 비정질 실리콘막)으로서 제조하는 것이 바람직하다. 비정질 실리콘막내에 희가스 원소를 첨가시켜, 그 막 내에 희가스 원소를 동시에 받아들이게 함으로써, 게터링 영역을 형성할 수 있다.

<173> 이어서, 게터링을 위한 가열처리를 한다. 가열처리는, 퍼니스를 사용한 방법(질소 분위기에서 450~600°C로 0.5~12시간), 가열용 광원을 사용한 RTA 법(순간적으로 실리콘막에 600~1000°C로, 1~60초) 및 가열한 불활성 가스에 의한 RTA 법(550~700°C으로, 1~5분) 중 어느 하나의 방법을 사용하여도 된다. 이 가열처리에 의해, 촉매원소를 게터링 영역으로 이동시킨다. 제 1 결정질 반도체층에 포함되는 촉매원소의 농도를 $1 \times 10^{17} / \text{cm}^3$ 이하로 감소할 수 있다(도 31e).

<174> 그 후, 반도체막(310)을 선택적으로 식각하여 제거한다. 식각 방법으로서는, ClF_3 에 의한 플라즈마를 사용하지 않는 건식식각, 혹은 히드라진 또는 테트라에틸 암모늄 히드록시드(화학식 : $(CH_3)_4NOH$)를 포함하는 수용액 등 알칼리 용액에 의한 습식식각으로 할 수 있다. 이 경우에, 장벽층(309)은, 식각 스토퍼로서 기능한다. 또한, 장벽층(309)은, 그 후 불산에 의해 제거하여도 된다.

<175> 이어서, 제 1 결정질 반도체층(307) 상에 제 2 반도체층으로서, 비정질 실리콘막(311)을 형성한다. 비정질 실리콘막은, 플라즈마 CVD법 또는 스퍼터링법 등의 공기의 방법으로 20~100nm의 두께로 형성하여도 된다(도 32a).

<176> 계속해서, 제 2 반도체층(311)에 레이저 광을 조사하고, 제 1 결정질 반도체층의 배향성의 영향을 받아 제 2 반도체층을 결정화 한다. 제 2 레이저 광 조사의 공정은, 질소분위기 또는 진공에서 조사를 한다. 제 2 레이저 광으로서는, 파장 400nm이하의 엑시머 레이저 광이나, YAG 레이저의 제 2고조파 및 제 3 고조파를 사용한다. 또한, 엑시머 레이저 광 대신에 자외광 램프로부터 발하는 빛을 사용하여도 된다. 이때, 제 2 레이저 광의 에너

지 밀도는, 제 1 레이저 광의 에너지 밀도보다 크게 하여, 즉 $400\sim800\text{mJ/cm}^2$ 가 되도록 한다. 이와 같이 하여, 제 1 결정질 반도체층(307)(결정질 실리콘 게르마늄막) 및 제 2 결정질 반도체층(312)(결정질 실리콘막)의 적층으로 형성된 결정질 반도체층(313)이 형성된다(도 32b).

<177> (예 5)

<178> 본 예는, 도 33a-33g를 참조하여 제 1 반도체층에 촉매원소를 부분적으로 첨가하여서 본 발명의 결정질 반도체막을 형성하는 다른 예에 관해서 설명한다.

<179> 상기 예 4(도 31a-31e)에 따라, 제 1 반도체층의 형성으로부터 촉매원소의 첨가까지의 공정을 한다. 기판(400) 상에 질화산화실리콘막으로 이루어진 하지 절연막(401), 그 하지 절연막(401) 상에 제 1 반도체층(402)으로서 $\text{Si}_{1-x}\text{Ge}_x$ 막을 형성한다. 이때, 하지 절연막(401)은, 1~10nm의 질화실리콘막을 사용하여도 된다.

<180> 이어서, 제 1 반도체층(402)상에 개구(404)를 갖는 산화실리콘막으로 이루어지는 마스크 절연막(403)을 형성한다. 다음에, 중량환산으로 1~100ppm의 촉매원소(본 예에서는 니켈)를 포함하는 수용액(아세트산 니켈 수용액)을 스픈 도포법으로 도포하여 촉매원소(니켈) 함유층(405)을 첨가한다. 촉매원소 함유층(405)은, 마스크 절연막(403)의 개구에서, 선택적으로 제 1 반도체층(402)에 형성된다(도 33a).

<181> 계속해서, 도 33b에 도시된 것처럼, 제 1 반도체층을 가열처리하여, 제 1 결정질 반도체층을 형성한다. 가열처리 방법으로서는, 광원의 복사열을 사용하여 가열처리를 하는 방법, 가열한 불활성 가스에 의해 가열처리를 하는 방법, 퍼니스를 사용하여 가열처리를 하는 방법 중 어느 하나를 사용하여도 된다. 여기서는, 퍼니스를 사용하여, 580°C로 4시간의 가열처리를 하여, 제 1 결정질 반도체층(406)을 형성한다(도 33c).

<182> 이어서, 상기 예 4와 마찬가지로, 이 제 1 레이저 광 조사처리에 의해, 표면에 요철을 갖는 제 1 결정질 반도체층(407)과 해당 제 1 결정질 반도체층(407)의 표면에 산화막(408)이 형성된다(도 33d).

<183> 다음으로, 제 1 결정질 반도체층 표면에 형성된 산화막(408)을 제거하여, 제 1 결정질 반도체층상에 제 2 반도체층(409)으로서 비정질 실리콘막을 형성한다. 비정질 실리콘막은, 플라즈마 CVD 법에 의해 비정질 실리콘막을 두께 20~100nm로 형성한다(도 33e).

<184> 계속해서, 제 2 반도체층(409)에 대하여 제 2 레이저 광 조사를 한다. 이때, 제 2 레이저 광 조사 공정에 앞서서, 제 2 반도체층(실리콘막)내에 포함되는 수소를 제거하기 위한 가열처리를 한다. 400~500°C로 1시간 정도의 가열처리를 하여, 비정질 실리콘막 내에 포함되는 수소를 이탈시킨다. 단지, 스퍼터링법에 의해 형성된 비정질 반도체층은, 수소 함유량이 낮아, 수소 이탈 처리를 할 필요는 없다. 이어서, 제 2 반도체층(409)에 레이저 광을 조사하여, 제 1 결정질 반도체층의 배향성의 영향을 받아 결정화를 한다. 제 2 레이저 광 조사 공정은, 예 4와 유사하게 한다. 이 제 2 레이저 광 조사에 의해, 제 2 반도체층도 결정화되어, 제 1 결정질 반도체($\text{Si}_{1-x}\text{Ge}_x$)층 및 제 2 결정질 반도체(Si)층(410)으로 이루어진 결정질 반도체층(411)이 형성된다(도 33f).

<185> 계속해서, 제 1 반도체층의 결정화 처리시에 사용한 촉매원소의 농도를 감소시키기 위해서, 결정질 반도체층으로부터 이동시키기 위한 처리를 한다.

<186> 우선, 결정질 반도체층상에 장벽층(412)을 형성한다. 장벽층(412)은, 특별히 두께에 있어서 한정되지 않는다. 간단히 형성하는 방법으로서는, 결정질 반도체층의 표면을 오존수를 사용하여 처리하는 방법이 있다. 이 처리에 의해, 결정질 반도체층 표면에, 화학적 산화물이 형성된다. 또한, 황산, 염산 또는 초산과 과산화 수소수를 혼합시킨 수용액으로 처리하여도 마찬가지로 화학적 산화물을 형성할 수 있다. 장벽층을 형성하는 다른 방법으로서는, 산화 분위기에서의 플라즈마 처리나, 산소 함유 분위기에서의 자외선조사에 의해 오존을 발생시켜 산화처리하여 형성하는 방법, 클린 오븐을 사용하여 200~350°C 정도로 가열하여, 얇은 산화막을 형성하는 방법, 플라즈마 CVD 법이나 스퍼터링법, 증착법 등으로 1~5nm 정도의 산화막을 퇴적시키는 방법 중 어느 하나를 사용하여도 된다.

<187> 이어서, 그 장벽층상에, 상기 예 4와 마찬가지로 게터링 영역(412)이 되는 반도체층을 형성한다. 특히, 게터링 영역(413)은, 비정질 실리콘막내에 Ar을 첨가시킴과 동시에 그 막내에 희가스 원소를 도입시켜 형성한다(도 33g).

<188> 이후, 결정질 반도체층에 잔류하는 촉매원소를 게터링 영역으로 이동시키기 위해서, 가열처리를 한다. 가열처리는, 퍼니스를 사용한 방법(질소 분위기내에서 450~600°C로 0.5~12시간), 가열용 광원을 사용한 RTA 법(순간적으로 실리콘막에 600~1000°C로, 1~60초) 및 가열한 불활성 가스에 의한 RTA법(550~700°C으로, 1~5분) 중 어

느 하나의 방법을 사용하여도 된다. 이 가열처리에 의해, 촉매원소가 확산에 의해 게터링 영역으로 이동한다. 결정질 반도체층에 포함되는 촉매원소의 농도를 $1\times10^{17}/\text{cm}^3$ 이하로 감소할 수 있다. 이때, 이 가열처리에 의해서도, 게터링 영역은, $1\times10^{20}/\text{cm}^3$ 이상의 농도로 희가스 원소를 포함하고 있고, 결정화하는 일은 없을 것이다.

<189> 그래서, 상기 예 4와 마찬가지로, 게터링 영역(413)인 반도체막을 선택적으로 식각하여 제거한다. 이때, 장벽층(412)은, 결정질 반도체층이 식각되지 않도록 보호하는 식각 스토퍼로서 기능한다. 게터링 영역의 식각처리가 종료한 후, 장벽층(412)은, 불산에 의해 제거하여도 된다.

<190> 이렇게 해서, 촉매원소 농도가 감소되어, 배향율이 높고 입경이 큰 결정립이 집합한 제 1 결정질 반도체층 및 제 2 결정질 반도체층의 적층으로 이루어진 결정질 반도체층이 형성된다.

<191> (예 6)

<192> 본 실시예에서는, 도 34a-34g를 참조하여 제 1 반도체층의 전면에 촉매원소를 첨가시켜 본 발명의 결정질 반도체막을 형성하는 일례를 설명한다.

<193> 기판(1550) 상에 하지 절연막(1551), 그 하지 절연막(1551) 상에 제 1 반도체층으로서 비정질의 실리콘 게르마늄($\text{Si}_{1-x}\text{Ge}_x$: $x=0.001 - 0.05$)막(1552)을 형성한다. 하지 절연막(1551)으로서는, SiH_4 , NH_3 및 N_2O 를 반응가스로서 형성되는 산화질화실리콘막 및 SiH_4 및 N_2O 를 반응가스로서 형성되는 산화질화실리콘막을 적층하여 사용한다.

<194> 비정질 실리콘 게르마늄막(제 1 반도체층)(1552)은, 플라즈마 CVD 법 또는 감압 CVD법, 기타 적절한 방법에 의해 하여도 된다. 퇴적되는 비정질 반도체층의 두께는 20~100nm의 범위로 한다.

<195> 계속해서, 제 1 반도체층(1552)에 결정화처리를 한다. 결정화시에, 제 1 반도체층(1552) 표면에, 촉매원소를 첨가하여 촉매원소 함유층(1553)을 형성한다(도 34a).

<196> 반도체층에 촉매원소를 첨가한 후, 가열처리를 하여, 제 1 결정질 반도체($\text{Si}_{1-x}\text{Ge}_x$: $x=0.001 - 0.05$)층(1554)을 형성한다. 광원의 복사열을 사용하여 가열처리를 하는 방법, 가열한 불활성 가스에 의해 가열처리를 하는 방법, 퍼니스를 사용하여 가열처리를 하는 방법 중 어느 하나를 사용하여도 된다(도 34b 및 도 34c).

<197> 이어서, 예 4와 마찬가지로, 산소분위기 또는 대기분위기에서, 제 1 결정질 반도체층(1554)에 제 1 레이저 광을 조사한다. 이상의 공정에 의해, (101)에 우선적으로 배향하여, 입경이 큰 결정립을 갖는 제 1 결정질 반도체층(1555)을 얻게 된다. 이와 같이 하여 얻은 제 1 결정질 반도체층(1555)의 표면은, 요철을 갖고 있고, 산화막(1556)이 더 형성되어 있다(도 34d).

<198> 이어서, 제 1 결정질 반도체층(1555)에 포함되는 촉매원소농도를 감소시키기 위해서 게터링 처리를 한다. 제 1 결정질 반도체층상에 장벽층(1557)을 형성한다. 장벽층(1557)으로서, 제 1 결정질 반도체층의 표면에 화학적 산화물을 형성한다.

<199> 이어서, 장벽층(1557)상에, 게터링 영역(1558)이 되는 반도체막을 형성한다. 게터링 영역을 위해, 플라즈마 CVD 법이나 스퍼터링 법으로 반도체막을 25~250nm의 두께로 형성한다. 대표적으로는, 아르곤을 사용한 스퍼터링 법으로 아르곤을 0.01~20atom% 포함하는 비정질 실리콘막으로 형성한다(도 34e).

<200> 이후, 예 5와 마찬가지로, 제 1 결정질 반도체층에 잔류하는 촉매원소를 게터링 영역으로 이동시키기 위해서, 가열처리를 한다.

<201> 이어서, 게터링 영역(1558)의 반도체막을 선택적으로 식각하여 제거한다. 게터링 영역의 식각처리를 종료한 후, 장벽층(1557)은, 불산에 의해 제거한다. 제 1 결정질 반도체층의 표면에 형성된 산화막을 제거하여, 그 표면을 청정하게 한 후, 제 1 결정질 반도체층(1555)상에 제 2 반도체층(1559)으로서 비정질 실리콘막을 플라즈마 CVD 법 또는 스퍼터링 법에 의해 형성한다.

<202> 계속해서, 제 2 레이저 광 조사공정에 앞서서, 제 2 반도체층(실리콘막)내에 포함되는 수소를 제거하기 위해 가열처리를 한다. 400~500°C로 1시간 정도의 가열처리를 하여, 비정질 실리콘막 내에 포함되는 수소를 이탈시킨다. 그러나, 스퍼터링 법에 의해 형성된 비정질 반도체층은, 수소 함유량이 낮기 때문에, 수소 이탈의 처리를 할 필요는 없다. 이어서, 제 2 반도체층에 레이저 광을 조사하여, 제 1 결정질 반도체층의 배향성의 영향을 받아 결정화를 한다. 제 2 레이저 광 조사의 공정은, 실시예 4와 마찬가지로 조사를 한다. 이 제 2 레이저 광 조사에 의해, 제 2 반도체층도 결정화되어, 제 1 결정질 반도체층(1555) 및 제 2 결정질 반도체층(1560)으로 이루어진

결정질 반도체층(1561)이 형성된다.

<203> 제 2 레이저 광의 조사에 의해, (101)면의 배향율이 높은 제 1 결정질 반도체층의 영향을 받아, 제 2 반도체층을 결정화시킬 수 있다. 결정질 반도체층 전체의 배향율이 높다. 그 결과, 입경이 큰 결정립이 집합한 결정질 반도체층을 형성할 수 있다.

<204> (예 7)

<205> 상기 예 1~4에 의해 제작되는 결정질 반도체층을 사용하여 TFT를 제작하는 일례를 도 10a-10e를 사용하여 설명한다. 우선, 도 10a에 있어서, 알루미늄 보로실리케이트산 유리 또는 바륨 보로실리케이트산 유리의 유리기판(200)상에 예 2에서 제작된 반도체막으로부터 섬 형상으로 분리된 반도체층(202, 203)을 형성한다. 또한, 기판(200)과 반도체층의 사이에는, 질화산화실리콘으로 이루어진 블록킹층(201)을 200nm의 두께로 형성한다. 반도체층(202, 203)은, 예 1~4에 나타낸 방법에 의해 형성된 결정질 반도체층을 식각하여 섬 형상으로 분할한 것이 적용된다.

<206> 또한, 게이트 절연막(204)을 80 nm의 두께로 형성한다. 게이트 절연막(204)은, 플라즈마 CVD 법을 사용하여, SiH₄, N₂O 및 O₂를 반응가스로서 사용하여 산화질화실리콘막으로 형성한다. 본 예에 있어서 적용되는 결정질 반도체층은, (101)면의 배향율이 높기 때문에, 그 위에 형성된 게이트 절연막의 막 품질의 변동을 감소시킬 수 있다. 따라서, TFT 임계값 전압의 변동을 작게 할 수 있다.

<207> 게이트 절연막(204)상에는, 게이트전극을 형성하기 위한 제 1 도전막(205) 및 제 2 도전막(206)을 형성한다. 제 1 도전막은, 질화탄탈 또는 질화티타늄으로 30nm의 두께로 형성한다. 제 2 도전막은, Al, Ta, Ti, W, Mo 등의 도전성 재료 또는 이것들의 합금을 적용하여, 300nm의 두께로 형성한다. 그 후, 도 10b에 도시된 것처럼, 레지스트패턴(207)을 형성하여, 건식식각에 의해 제 1 형상의 게이트전극(208, 209)을 형성한다. 또한, 도시하지 않았지만, 게이트전극에 접속하는 배선도 동시에 형성할 수 있다.

<208> 이 게이트전극을 마스크로 사용하여 자기 정합적으로 n형 반도체영역을 형성한다. 도우평시에, 이온주입법 또는 이온도핑법(여기서는, 질량 분리하지 않은 이온을 주입하는 방법을 말함)으로 인을 주입한다. 이 영역의 인 농도는, $1 \times 10^{20} \sim 1 \times 10^{21} / \text{cm}^3$ 의 범위가 되도록 한다. 이렇게 해서 제 1 불순물영역(210, 211)을 형성한다.

<209> 이어서, 도 10c에 나타낸 것처럼, 건식식각에 의해 게이트전극의 제 2 도전막을 선택적으로 식각하여 제 2 형상의 게이트전극(212, 213)을 형성한다. 그리고, 제 1 도전막의 표면이 노출된 영역을 통과시켜 인 이온을 주입하여, 제 2 불순물영역(214, 215)을 형성한다.

<210> 계속해서, 도 10d에 나타낸 것처럼, 한쪽의 반도체층(202)을 덮는 마스크(216)를 형성하여, 반도체막(203)에 봉소이온을 주입한 제 3 불순물영역(217)을 형성한다. 첨가하는 불순물은 봉소를 사용하고, p형으로 반전시키는 인 보다도 1.5~3배의 농도로 첨가한다. 이 영역의 봉소 농도는 $1.5 \times 10^{20} \sim 3 \times 10^{21} / \text{cm}^3$ 의 범위가 되도록 한다.

<211> 그 후, 도 10e에 나타낸 것처럼, 질화실리콘막(218) 및 산화실리콘막(219)을 플라즈마 CVD 법으로 형성한다. 그리고, 제 1 내지 제 3 불순물영역의 결정성의 회복과, 활성화를 위해 열처리를 한다. 활성화에 알맞은 온도는 $450 \pm 50^\circ\text{C}$ 이고, 1~10분의 열처리를 하여도 된다. 가열용 가스에는, 질소, 아르곤등을 사용할 수 있다. 또한, 가스에 수소를 첨가한 환원 분위기이어도 된다. 첨가한 수소에 의해 수소화를 동시에 할 수도 있다.

<212> 이어서, 각 반도체층의 불순물영역에 달하는 콘택홀을 형성한다. Al, Ti, Ta 등을 사용하여 배선(220, 221)을 형성한다. 이렇게 해서, n 채널형 TFT(222)와 p 채널형 TFT(223)을 형성할 수 있다. 여기서는, 각각의 TFT를 단체로서 보이고 있지만, 이 TFT를 사용하여 CMOS 회로, NMOS회로 및/또는 PMOS 회로를 형성할 수 있다.

<213> 본 예에서는, LDD 구조의 TFT에 관해서 설명하였지만, 물론, 단일 드레인구조를 형성하는 것도 가능하다. 본 발명에서 얻어진 결정질 반도체층은, (101)면의 배향율이 높기 때문에, 결정입계에서의 결합밀도가 감소하여, 높은 전계 효과 이동도를 얻는다. 이렇게 해서 제작되는 TFT는, 액티브 매트릭스형 액정표시장치나 발광소자를 사용한 표시장치를 제작하기 위한 TFT로서, 또한, 유리기판 상에 메모리나 마이크로프로세서를 형성하기 위한 TFT로서 사용할 수 있다.

<214> 이러한 TFT를 사용하여 액티브 매트릭스 구동형 표시장치를 실현하기 위한 TFT 기판(TFT가 형성된 기판)을 형성하는 일례를 도 11을 참조하여 설명한다. 도 11에서는, n 채널형 TFT(1501), p 채널형 TFT(1502) 및 n 채널형 TFT(1503)을 갖는 구동회로부(1506)와, n 채널형 TFT(1504) 및 용량소자(1505)를 갖는 화소부(1507)가 동일

기판상에 형성되어 있다.

<215> 구동회로부(1506)의 n 채널형 TFT(1501)은, 채널영역(1262), 게이트전극(1210)과 일부가 겹치는 제 2 불순물영역(1263)과 소스영역 또는 드레인영역으로서 기능하는 제 1 불순물영역(1264)을 갖고 있다. p 채널형 TFT(1502)에는, 채널영역(1265), 게이트전극(1211)과 일부가 겹치는 제 4 불순물영역(1266)과 소스영역 또는 드레인영역으로서 기능하는 제 3 불순물영역(1267)을 갖는다. n 채널형 TFT(1503)에는, 채널영역(1268), 게이트전극(1212)과 일부가 겹치는 제 2 불순물영역(1269)과 소스영역 또는 드레인영역으로서 기능하는 제 1 불순물영역(1270)을 갖는다. 이러한 n 채널형 TFT 및 p 채널형 TFT에 의해, 시프트 레지스터회로, 버퍼회로, 레벨 시프터회로, 래치회로 등을 형성할 수 있다. 특히, 구동전압이 높은 버퍼회로에는, 핫 캐리어 효과에 의한 열화를 막을 목적으로, n 채널형 TFT 1501 또는 1503의 구조가 적합하다.

<216> 화소부(1507)의 화소 TFT(1504)에는, 채널영역(1271), 게이트전극(1213)의 외측에 형성되는 제 2 불순물영역(1272)과 소스영역 또는 드레인영역으로서 기능하는 제 1 불순물영역(1273)을 갖는다. 또한, 용량소자(1505)의 한쪽의 전극으로서 기능하는 반도체막에는, 봉소가 첨가된 제 3 불순물영역(1276)이 형성되어 있다. 용량소자(1505)는, 절연막(게이트 절연막과 동일막)을 유전체로 하여서, 전극(1214)과 반도체막(1206)으로 형성되어 있다. 이때, 1253~1260은 각 종 배선이고, 1261은 화소 전극에 해당하는 것이다.

<217> 이들 TFT는, 채널영역이나 불순물영역을 형성하는 반도체층의 배향율이 높고, (101)면에 우선적으로 배향하고 있기 때문에, 그 위에 형성하는 게이트 절연막의 막 품질의 변동을 적게 할 수 있어, TFT의 임계값 전압의 변동을 작게 할 수 있다. 그에 따라서, 저전압으로 TFT를 구동하는 것이 가능하고, 소비전력을 감소하는 이점이 있다. 또한, 표면이 평활화되어 있기 때문에, 전계가 볼록부에 집중하지 않음으로써, 특히 드레인단에서 발생하는 핫 캐리어 효과에 기인하는 열화를 억제하는 것이 가능해진다. 또한, 소스와 드레인 사이를 흐르는 캐리어의 농도분포는 게이트 절연막과의 계면 근방에서 높아지지만, 평활화되어 있기 때문에 캐리어가 산란되는 경우 없이 부드럽게 이동할 수 있어, 전계 효과 이동도를 높일 수 있다.

<218> 도 12는 그와 같은 액티브 매트릭스 기판의 회로 구성을 나타낸다. 화소부(701)의 TFT(700)를 구동하는 구동회로부는, X 드라이버(702)와 Y 드라이버(703)를 갖고, 필요에 따라서 시프트 레지스터회로, 버퍼회로, 레벨 시프터회로, 래치회로 등이 배치되어 있다. 이 경우, 영상신호를 보내는 X 드라이버(702)는, 콘트롤러(704)로부터의 영상신호와, 타이밍 발생기(707)로부터의 X 드라이버용 타이밍 신호가 입력된다. Y 드라이버(703)에는, 타이밍 발생기(707)로부터의 Y 드라이버용 타이밍 신호가 입력되어, 주사선에 신호를 출력한다. 마이크로프로세서(706)는, 콘트롤러(704)의 제어나, 메모리(705)에의 영상신호 등의 데이터의 기록, 외부 인터페이스(708)로부터의 입출력, 이들 시스템 전체의 동작 관리 등을 한다.

<219> 이 회로들을 구성하기 위한 TFT는 본 예에서 나타낸 것과 같은 구성의 TFT에 의해 형성할 수 있다. TFT의 채널영역을 형성하는 결정질 반도체층의 배향율을 높임으로써, TFT의 특성을 향상시켜, 여러 가지 기능회로를 유리 등의 기판 상에 형성할 수 있다.

<220> (예 8)

<221> 본 발명의 일례를, 이하 도 25a~도 28c를 참조하여 상기 예 4-6에 따른 결정질 반도체층을 사용하여 제작된 TFT에 의해 배치된 액티브 매트릭스 기판으로 예를 들어 설명한다. 여기서는, 동일 기판 상에 화소부와, 화소부의 주변에 설치하는 구동회로의 TFT(n 채널형 TFT 및 p 채널형 TFT)을 동시에 제작하는 방법에 관해서 상세히 설명한다.

<222> 도 25a에 있어서, 기판(110)은, 알루미노보로실리케이트산 유리를 사용한다. 이 기판(110) 상에 하지 절연막을 형성한다. 본 예에서는, SiH₄, NH₃ 및 N₂O를 반응가스로서 사용하여 형성되는 제 1 산화질화실리콘막(111a)을 50nm, SiH₄ 및 N₂O를 반응가스로서 사용하여 형성되는 제 2 산화질화실리콘막(111b)을 100nm의 두께로 적층 형성한다.

<223> 이어서, 하지 절연막(111) 상에 비정질 반도체막을 형성하여, 결정화처리를 한 후 분할하여, 반도체층(120~123)(본 예에서는, 편의상, 제 1 반도체층(120), 제 2 반도체층(121), 제 3 반도체층(122) 및 제 4 반도체층(123))을 형성한다.

<224> 결정화방법은 아래와 같다. 하지 절연막(111) 상에 제 1 반도체층(112)으로서 비정질 실리콘 게르마늄(Si_{1-x}Ge_x:x=0.001 ~ 0.05)막을 형성한다. 제 1 비정질 반도체막은, 실리콘을 주성분으로 하고 게르마늄을 0.1atom%

이상, 75atom% 미만(본 예에서는, 3.5 atom%의 게르마늄을 포함하는 $Si_{1-x}Ge_x$ 막을 형성)의 범위로 함유하는 비정질 반도체막을 사용한다. 게르마늄의 함유량은, 대표적인 반응가스로서 사용된 SiH_4 와 GeH_4 의 혼합비에 의해 조절할 수 있다.

<225> 상기 제 1 반도체층(112)은, 플라즈마 CVD 법 또는 감압 CVD법 등의 적절한 방법에 의해 형성한다. 플라즈마 CVD 법을 적용하는 경우에는, SiH_4 와 GeH_4 로 이루어진 반응가스, 혹은 SiH_4 와 H_2 로 희석한 GeH_4 로 이루어진 반응가스를 아울러 반응실에 도입하여, 1~200MHz의 고주파방전에 의해 분해하여 기판 상에 비정질 반도체막을 퇴적시킨다. 퇴적된 제 1 반도체층(112) 두께는 20~100nm의 범위로 한다(도 25a).

<226> 이어서, 제 1 반도체층(112)에, 촉매원소로서 니켈을 첨가한다. 이후, 가열처리를 하여, 제 1 반도체층을 결정화시켜 제 1 결정질 반도체($Si_{1-x}Ge_x$)층(113)을 형성한다. 가열처리로서는, 광원의 복사열을 사용하여 가열처리를 하는 방법, 가열한 불활성 가스에 의해 가열처리를 하는 방법, 퍼니스를 사용하여 가열처리를 하는 방법 중 어느 하나를 사용하여도 된다. 여기서는, 퍼니스를 사용하여, 580°C로 4시간의 가열처리를 하여, 제 1 결정질 반도체층을 형성한다(도 25b).

<227> 다음으로, 상기 예 4와 마찬가지로, 제 1 결정질 반도체층(113)에 제 1 레이저 광을 조사한다. 이때, 이 제 1 레이저 광 조사공정에서, 제 1 결정질 반도체층(113)의 표면은, 요철 형상이 된다. 또한, 그 표면에 산화막(114)이 형성된다(도 25c).

<228> 상기 제 1 레이저 광 조사 후, 제 1 결정질 반도체층(113) 표면에 형성된 산화막(114)을 제거하여, 제 1 결정질 반도체층상에 제 2 반도체층(115)으로서 비정질 실리콘막을 형성한다. 비정질 실리콘막은, 플라즈마 CVD 법에 의해 비정질 실리콘막을 두께 20~100nm로 형성한다. 이때, 제 2 반도체층(115)을 형성하기 전에, TMAH(테트라메틸 암모늄 히드록시드)를 사용하는 습식식각법, ClF_3 를 사용한 건식식각법 또는 CMP법을 사용하여, 제 1 결정질 반도체층(113)을 박막화하여도 된다. 이와 같이 함으로써, 반도체층 전체의 막 두께를 억제할 수 있기 때문에, 게이트 절연막을 형성할 때에 문제가 되는 단자를 억제하는 것이 가능하다(도 25d).

<229> 계속해서, 제 2 레이저 광 조사공정에 앞서서, 제 2 반도체층(실리콘막) 내에 포함되는 수소를 제거하기 위한 가열처리를 한다. 400~500°C로 1시간 정도의 가열처리를 하여, 비정질 실리콘막 내에 포함되는 수소를 이탈시킨다. 이때, 스퍼터링법에 의해 형성된 비정질 반도체막은, 수소 함유량이 낮아, 수소이탈의 처리를 할 필요는 없다. 이어서, 상기 예 4와 마찬가지로 제 2 반도체층에 레이저 광을 조사하여, 제 1 결정질 반도체층의 배향성의 영향을 받아 결정화를 한다. 이 제 2 레이저 광 조사에 의해, 제 2 반도체층도 결정화되어, 제 1 결정질 반도체($Si_{1-x}Ge_x$)층(113) 및 제 2 결정질 반도체(Si)층(116)으로 이루어진 결정질 반도체층(117)이 형성된다(도 26a).

<230> 계속해서, 제 1 반도체층의 결정화 처리시에 사용한 촉매원소의 결정질 반도체층에 포함되는 농도를 감소시키기 위해서, 결정질 반도체층으로부터 이동시키기 위한 처리를 한다. 우선, 결정질 반도체층 상에 장벽층(118)을 형성한다. 장벽층(118)은, 특별히 두께는 한정되지 않는다. 간단하게 형성하는 방법으로서는, 결정질 반도체층의 표면을 오존수로 사용하여 처리하는 방법이 있다. 이 처리에 의해, 결정질 반도체층 표면에, 화학적 산화물이 형성된다. 장벽층을 형성하는 다른 방법으로서는, 산화 분위기에서의 플라즈마처리나, 산소 함유 분위기에서의 자외선조사에 의해 오존을 발생시켜 산화처리하여 형성하는 방법, 클린 오븐을 사용하여 200~350°C 정도로 가열하여, 얇은 산화막을 형성하는 방법, 플라즈마 CVD 법이나 스퍼터링법, 증착법으로 1~5nm 정도의 산화막을 퇴적시키는 방법 중 어느 하나를 사용하여도 된다.

<231> 그래서, 그 장벽층상에, 게터링 영역이 되는 반도체층(119)을 형성한다. 게터링 영역(119)에서는, 플라즈마 CVD 법이나 스퍼터링법으로 반도체막을 25~250nm의 두께로 형성한다. 대표적으로는, 아르곤을 사용한 스퍼터링법으로 아르곤을 0.01~20atom% 포함하는 비정질 실리콘막으로 형성한다.

<232> 이후, 결정질 반도체층에 잔류하는 촉매원소를 게터링 영역으로 이동시키기 위해서 가열처리를 한다. 가열처리는, 퍼니스를 사용한 방법(질소 분위기에서 450~600°C로 0.5~12시간) 또는 가열용 광원을 사용한 RTA법(순간적으로 실리콘막에 600~1000°C로, 1~60초), 가열한 불활성 가스에 의한 RTA 법(550~700°C으로, 1~5분) 중 어느 하나의 방법을 사용하여도 된다. 이 가열처리에 의해, 촉매원소가 확산에 의해 게터링 영역으로 이동하여, 결정질 반도체층에 포함되는 촉매원소의 농도를 $1\times 10^{17}/cm^3$ 이하로 감소시킬 수 있다. 이때, 이 가열처리에 의해서도, 게터링 영역은, $1\times 10^{20}/cm^3$ 이상의 농도로 희가스 원소를 포함하고 있어 결정화하는 일은 없을

것이다.

<233> 이어서, 게터링 공정 종료 후, 상기 예 5와 마찬가지로 게터링 영역(119)의 반도체막을 선택적으로 식각하여 제거한다. 게터링 영역의 식각처리가 종료한 후, 장벽층(118)은, 불산에 의해 제거하여도 된다.

<234> 이렇게 해서, 촉매원소가 감소되고, 배향율이 높고 입경이 큰 결정립이 집합한 구조의 제 1 결정질 반도체층 및 제 2 결정질 반도체층의 적층으로 이루어진 결정질 반도체층이 형성된다. 이때, 결정화 후, TFT의 임계값 전압을 제어하기 위해서, 억셉터형 불순물로서 봉소를 이온도핑법에 의해 반도체막에 첨가한다. 첨가 농도는, 실시자가 적절히 결정하여도 된다.

<235> 이렇게 해서 형성된 다결정실리콘막을 식각처리에 의해 분할하여, 반도체막(120~123)을 형성한다. 그 위에, 게이트 절연막(124)으로서, SiH₄ 및 N₂O를 사용하여 플라즈마 CVD 법에 의해 제작되는 산화질화실리콘막을 110nm의 두께로 형성한다(도 26c).

<236> 또한, 게이트 절연막(124) 상에 제 1 도전막(125)으로서 질화탄탈막을 스퍼터링법으로 30nm의 두께로 형성하고, 그 위에 제 2 도전막(126)으로서 텅스텐을 300nm의 두께로 형성한다(도 26d).

<237> 다음에, 도 27a에 나타낸 것처럼, 감광성 레지스트 재료를 사용하여, 마스크(127~130)를 형성한다. 그리고, 제 1 도전막(125) 및 제 2 도전막(126)에 대한 제 1 식각처리를 한다. 식각에는 ICP(Inductively Coupled Plasma: 유도결합형 플라즈마) 식각법을 사용한다. 식각용 가스로 한정은 없지만, W막이나 질화탄탈막의 식각에는 CF₄, Cl₂ 및 O₂를 사용한다. 각각의 가스유량을 25:25:10으로 하고, 1Pa의 압력으로 코일형 전극에 500W의 RF(13.56 MHz)전력을 투입하여 식각한다. 이 경우, 기판(시료 스테이지)에도 150W의 RF(13.56MHz)전력을 투입하여, 실질적으로 네가티브 자기 바이어스전압을 인가한다. 이 제 1 식각조건에 의해 주로 W막을 소정 형상으로 식각한다.

<238> 이후, 식각용 가스를 CF₄과 Cl₂로 변경하여, 각각의 가스 유량비를 30:30으로 한다. 1Pa의 압력으로 코일형 전극에 500W의 RF(13.56MHz)전력을 투입하여 플라즈마를 생성하여 약 30초 정도의 식각을 한다. 기판(시료 스테이지)에도 20W의 RF(13.56MHz)전력을 투입하여, 실질적으로 네가티브 자기 바이어스전압을 인가한다. CF₄와 Cl₂의 혼합가스는, 질화탄탈막과 W막을 같은 정도의 속도로 식각한다. 이렇게 해서, 단부에 테이퍼를 갖는 제 1 전극(131a~134a) 및 제 2 전극(131b~134b)으로 이루어진 제 1 형상의 게이트전극(131~134)을 형성한다. 테이퍼는 45~75도로 형성한다. 이때, 게이트 절연막(124)의 제 1 형상의 게이트전극(131~134)에 의해 덮이지 않은 영역의 표면은 20~50nm 정도로 식각되어 얇게 된 영역이 형성된다(도 27a).

<239> 다음에, 마스크(127~130)를 제거하지 않고서 도 27b에 나타낸 것처럼 제 2 식각처리를 한다. 식각용 가스에 CF₄, Cl₂ 및 O₂를 사용하여, 각각의 가스 유량비를 20:20:20으로 한다. 1Pa의 압력으로 코일형 전극에 500W의 RF(13.56MHz)전력을 투입하여 플라즈마를 생성하여 식각을 한다. 기판(시료 스테이지)에는, 20W의 RF(13.56MHz)전력을 투입하여, 제 1 식각처리와 비교하여 낮은 자기 바이어스전압을 인가한다. 이 식각조건에 의해, 제 2 도전막으로서 사용한 W막을 식각한다. 이렇게 해서, 제 3 전극(135a~138a)과 제 4 전극(135b~138b)으로 이루어진 제 2 형상의 게이트전극(135~138)을 형성한다. 게이트 절연막(124)의 제 2 형상의 게이트전극(135~138)으로 덮이지 않은 영역 표면은 20~50nm 정도로 식각되어 얇게 된다. 이때, 제 3 전극 및 제 4 전극을, 편의상 전극(A) 및 전극(B)으로서 칭한다.

<240> 계속해서, n 형을 부여하는 불순물원소(n 형 불순물원소)를 반도체층에 첨가하는 제 1 도핑처리를 한다. 제 1 도핑처리는, 질량분리를 하지 않고 이온을 주입하는 이온도핑법에 의해 한다. 도핑은, 제 1 형상의 전극(135~138)을 마스크로서 사용한다. 수소가 희석된 포스핀(PH₃) 가스 또는 희가스로 희석한 포스핀 가스를 사용하여, 반도체막(120~123)에 제 1 농도의 n 형 불순물원소를 포함하는 n 형 불순물영역(139~142)을 형성한다. 이 도핑에 의해 형성하는 제 1 농도의 n 형 불순물원소를 포함하는 n 형 불순물영역의 인 농도가 $1 \times 10^{16} - 1 \times 10^{17} / \text{cm}^3$ 이 되도록 한다(도 27b).

<241> 그 후, 제 2 반도체층(121)을 덮는 마스크 143, 제 3 반도체층(122)의 일부를 노출하는 마스크 144, 제 4 반도체층(123)을 덮는 마스크 145를 형성하여, 제 2 도핑처리를 한다. 제 2 도핑처리로서는, 제 3 전극(전극(A))(135a)을 통해서 제 1 반도체층(120)에 제 2 농도의 n 형 불순물원소를 포함하는 n 형 불순물영역(146)을 형성한다. 이 도핑에 의해 형성하는 제 2 농도의 n 형 불순물원소를 포함하는 n 형 불순물영역의 인 농도는 $1 \times$

$10^{17} - 1 \times 10^{19} / \text{cm}^3$ 이 되도록 한다.

<242> 계속해서, 마스크 143, 144, 145를 그대로 제 3 도핑처리를 한다. 제 1 반도체층(120) 및 제 3 반도체층(122)에 게이트 절연막(124)을 통해서 n 형 불순물원소를 첨가하여, 제 3 농도의 n 형 불순물원소를 포함하는 n 형 불순물영역(147, 148)을 형성한다. 이 도핑에 의해 형성하는 제 3 농도의 n 형 불순물원소를 포함하는 n 형 불순물영역의 인 농도는 $1 \times 10^{20} - 1 \times 10^{21} / \text{cm}^3$ 이 되도록 한다(도 27c).

<243> 이때, 본 예에서는, 이상과 같이 2회로 나누어 불순물원소를 첨가하고 있지만, 게이트 절연막 또는 게이트 전극을 형성하는 제 3 전극의 막 두께를 제어하거나, 도핑을 위해 가속전압을 조정하거나 함으로써, 1회의 도핑공정에서, 제 2 농도의 n 형 불순물원소를 포함하는 n 형 불순물영역 및 제 3 농도의 n 형 불순물원소를 포함하는 n 형 불순물영역을 형성할 수도 있다.

<244> 다음으로, 도 28a에 나타낸 것처럼, 제 1 반도체층(120) 및 제 3 반도체층(122)을 덮는 마스크 149, 150을 형성하여 제 4 도핑처리를 한다. 도핑은 수소희석의 디보란(B_2H_6)가스 또는 희가스로 희석한 디보란 가스를 사용하여, 제 2 반도체층(121)에 제 1 농도의 p 형 불순물영역 152 및 제 2 농도의 p 형 불순물영역 151을 형성한다. 또한, 화소부에서 유지 용량을 형성하는 제 4 반도체층(123)에는, 제 1 농도의 p 형 불순물영역 154 및 제 2 농도의 p 형 불순물영역 153이 형성된다. 제 1 농도의 p 형 불순물영역 152, 154는, 전극(A) 136a, 138a 와 겹치는 영역에 형성되는 것이고, $1 \times 10^{18} - 1 \times 10^{20} / \text{cm}^3$ 의 농도범위로 봉소를 첨가되도록 한다. 제 2 농도의 p 형 불순물영역 151, 153에는, $2 \times 10^{20} - 3 \times 10^{21} / \text{cm}^3$ 의 농도범위로 봉소가 첨가되도록 한다.

<245> 이상까지의 공정에서, 각각의 반도체막에 인 또는 봉소가 첨가된 영역이 형성된다. 제 2 형상의 게이트전극(135 ~ 137)은, 게이트전극이 된다. 또한, 제 2 형상의 전극(138)은 화소부에서 유지용량을 형성하는 한쪽의 용량전극이 된다.

<246> 이어서, 도 28b에 나타낸 것처럼, 각각의 반도체막에 첨가된 불순물원소를 활성화처리하기 위해서, YAG 레이저의 제 2 고조파(532nm)의 빛을 반도체막에 조사한다. 이때, 반도체층에 첨가된 불순물원소를 활성화하는 방법으로서, 퍼니스를 사용하여 550°C로 4시간 가열처리를 하는 방법, 또는 RTA에 의한 가열처리방법(가스 또는 빛을 열원으로서 사용하는 RTA 법도 포함한다)이어도 된다.

<247> 또한, 활성화를 위한 가열처리와 게터링 처리를 조합하여서, 반도체막을 결정화할 때에 사용한 촉매원소를 TFT의 소스영역 또는 드레인영역(고농도로 인이 첨가되어 있는 영역)으로 이동시켜, 채널영역의 촉매원소농도를 감소할 수 있다.

<248> 그 후, 도 28b에 나타낸 것처럼, 플라즈마 CVD 법으로 질화실리콘막 또는 질화산화실리콘막으로 이루어지는 제 1 층간절연막(155)을 50nm의 두께로 형성한다. 클린 오븐을 사용하여, 410°C에서 가열처리를 하여, 질화실리콘막 또는 질화산화실리콘막으로부터 방출되는 수소로 반도체막의 수소화를 한다.

<249> 다음으로, 제 1 층간절연막(155)상에 제 2 층간절연막(156)을 아크릴로 형성한다. 그리고, 콘택홀을 형성한다. 이 식각처리에서는, 외부 입력단자의 제 1 층간절연막 및 제 3 층간절연막도 제거한다. 그리고, 티타늄막과 알루미늄막을 적층하여 형성되는 배선(157 ~ 164)을 형성한다(도 28c).

<250> 이상과 같이 하여, 동일 기판 상에 n 채널형 TFT(81), p 채널형 TFT(82)를 갖는 구동회로(85)와, TFT(83)와 유지용량(84)을 갖는 화소부(86)를 형성할 수 있다. 유지용량(84)은 반도체(123), 게이트 절연막(124), 용량배선(168)으로 형성되어 있다.

<251> 구동회로(85)의 n 채널형 TFT(81)은, 채널영역(165)과, 게이트전극을 형성하는 전극(A)(135a)과 겹치는 제 2 농도의 n 형 불순물원소를 함유하는 n 형 불순물영역(146)(L_{0v} 영역)과, 소스영역 또는 드레인영역으로서 기능하는 제 3 농도의 n 형 불순물원소를 포함하는 n 형 불순물영역(147)을 갖는다. L_{0v} 영역의 채널길이방향의 길이는 0.5 ~ 2.5 μm , 바람직하게는 1.5 μm 로 형성한다. 이러한 L_{0v} 영역의 구성은, 주로 핫 캐리어 효과에 의한 TFT의 열화를 막는 것을 목적으로 한다. 이들 n 채널형 TFT 및 p 채널형 TFT에 의해 시프트 레지스터회로, 버퍼회로, 레벨 시프터회로, 래치회로 등을 형성할 수 있다. 특히, 구동전압이 높은 버퍼회로에는, 핫 캐리어 효과에 의한 열화를 막기 위해, n 채널형 TFT(81) 구조가 적합하다.

<252> 구동회로(85)의 p 채널형 TFT(82)에는 채널영역(166)과, 게이트전극을 형성하는 전극(A)(136a)의 외측에 제 1 농도의 p 형 불순물원소를 포함하는 p 형 불순물영역(151)(소스영역 또는 드레인영역으로서 기능하는 영역)과,

전극(A)(136a)과 겹치는 제 2 농도의 p 형 불순물원소를 포함하는 p 형 불순물영역(152)을 갖는다.

<253> 화소부(86)의 TFT(화소 TFT)(83)에는 채널영역(167)과, 이 채널영역의 외측에 형성되는 제 1농도의 n 형 불순물원소를 포함하는 n 형 불순물영역(141)과, 소스영역 또는 드레인영역으로서 기능하는 제 3 농도의 n 형 불순물원소를 포함하는 n 형 불순물영역(148)을 갖는다. 또한, 유지용량(214)의 한쪽의 전극으로서 기능하는 반도체층(123)에는 p 형 불순물영역(153, 154)이 형성되어 있다.

<254> 이상과 같이, 본 발명은 구동회로부와 화소부라는 동작조건이 다른 회로에 대응하게 적절한 배치를 결정할 수 있다.

<255> 도 29는 액티브 매트릭스 기판의 회로구성의 일례를 나타낸 회로 블록이다. TFT를 포함하여 형성되는 화소부(601), 데이터 신호선 구동회로(602) 및 주사신호선 구동회로(606)가 형성되어 있다. 데이터 신호선 구동회로(602)는, 시프트 레지스터(603), 래치(604, 605) 및 버퍼회로 등으로 구성된다. 시프트 레지스터(603)에는 클록신호, 스타트신호가 입력하고, 래치에는 디지털 데이터신호와 래치신호가 입력한다. 또한, 주사신호선 구동회로(606)도 시프트 레지스터, 버퍼회로 등으로 구성되어 있다. 화소부(601)는 임의의 수의 화소를 갖고, XGA이면 1024×768 개의 화소가 설치된다.

<256> 이러한 액티브 매트릭스 기판을 사용하여, 액티브 매트릭스 구동을 위해 표시장치를 형성할 수 있다. 본 예에서는 화소전극을 광 반사성의 재료로 형성했기 때문에, 액정표시장치에 적용하면 반사형의 표시장치를 형성할 수 있다. 이러한 기판으로부터 액정표시장치나 유기발광소자로 화소부를 형성하는 발광장치를 형성하는 것이 가능하다. 이렇게 해서 반사형 표시장치에 대응한 액티브 매트릭스 기판을 제작할 수 있다.

<257> 이하, 상기 액티브 매트릭스 기판으로부터 액티브 매트릭스 액정표시장치를 제작하는 공정을 설명한다.

<258> 먼저, 도 28c의 상태의 액티브 매트릭스 기판을 제작한 후, 액티브 매트릭스 기판 상에 배향막(180)을 형성하여 러빙처리를 한다. 다음으로, 대향기판(181)을 준비하여, 대향기판(180)상에 착색층(182, 183) 및 평탄화막(184)을 형성한다. 적색 착색층(182)과 청색 착색층(183)을 일부 중첩함으로써, 차광막으로서 기능시키고 있다. 이 때, 도 30에서는 도시하지 않지만, 적색 착색층과 녹색 착색층을 거듭 차광막으로서 기능시키고 있는 영역도 있다.

<259> 이어서, 대향전극(185)을 화소부에 형성한 후, 전체면에 배향막(186)을 형성하여 러빙처리를 한다. 그리고, 화소부 및 구동회로가 형성된 액티브 매트릭스 기판과, 착색층과 화소전극이 형성된 대향기판을 밀봉재(187)로 함께 접합한다. 밀봉재(187)에는, 충전제가 혼입되어 있고, 이 충전제와 원주형 스페이서에 의해서 균일한 간격을 갖는 2장의 기판을 함께 접합할 수 있다. 그 후, 접합된 기판 사이에 액정재료(188)를 주입하여, 밀봉재(도시하지 않음)에 의해서 완전히 밀봉한다. 액정재료(188)에는, 공지의 액정재료를 사용하여도 된다. 이와 같이 하여도 30에 나타낸 액티브 매트릭스형 액정표시장치가 완성된다.

<260> (예 9)

<261> 본 발명은, TFT의 형상에 관계없이 적용할 수 있다. 본 예에서는, 도 38a-38f 및 도 39a-39e를 참조하여 보텀(bottom) 게이트형 TFT의 제작공정에 본 발명을 적용한 예를 설명한다.

<262> 기판(50)상에 산화실리콘막, 질화실리콘막, 산화질화실리콘막 등의 절연막을 형성한다(도시하지 않음). 게이트전극을 형성하기 위해서 도전막을 형성하여, 원하는 형상으로 패터닝하여 게이트전극(51)을 얻는다. 도전막에는, Ta, Ti, W, Mo, Cr 및 Al로부터 선택된 하나의 원소 또는 복수의 원소를 주성분으로 하는 도전막을 사용하여도 된다(도 38a).

<263> 다음으로, 게이트 절연막(52)을 형성한다. 게이트 절연막은, 산화실리콘막, 질화실리콘막 또는 산화질화실리콘막의 단층 또는 이들 막의 적층 구조이어도 된다. 비정질 반도체막은, 제 1 반도체층으로서 실리콘 게르마늄막(53)을 형성한다. 반응가스에 SiH₄와 GeH₄를 사용하여, 플라즈마 CVD 법 또는 감압 CVD 법 등에 의해 막 두께를 20~100nm로 형성하여도 된다(도 38b).

<264> 계속해서, 제 1 반도체층에 촉매원소를 첨가하여 촉매원소 함유층(54)을 형성한다. 가열처리 하여, 제 1 결정질 반도체층을 형성한다. 가열처리로서는, 광원의 복사열을 사용하여 가열처리를 하는 방법, 가열한 불활성 가스에 의해 가열처리를 하는 방법, 퍼니스를 사용하여 가열처리를 하는 방법 중 어느 하나를 사용하여도 된다(도 38c).

<265> 이어서, 상기 예 4와 마찬가지로, 제 1 결정질 반도체층에 제 1 레이저 광을 조사한다. 제 1 레이저

광으로서는, 파장 400nm이하의 엑시머 레이저나, YAG 레이저 또는 YVO_4 레이저의 제 2 고조파(파장 : 532nm)~제 4 고조파(파장 : 266nm)를 광원으로서 사용하여 한다. 이 레이저 광은, 광학계에 의해 선형 또는 스포트형으로 집광하여, 그 에너지 밀도를 460mJ/cm^2 로서 조사한다. 이와 같이 집광된 레이저 광을 기판의 소정의 영역에 걸쳐 주사시키고, 90~98%의 오버랩율로 제 1 결정질 반도체층에 조사하여, 표면이 요철형상이 된 제 1 결정질 반도체층(55)을 형성한다. 또한, 제 1 결정질 반도체층(55) 표면에는, 산화막(56)이 형성된다(도 38d).

<266> 이어서, 산화막(56)을 제거한 후, 제 2 반도체층으로서, 비정질 실리콘막(57)을 형성한다. 플라즈마 CVD 법을 사용하여, 막 두께가, 20~100nm가 되도록 형성하여도 된다(도 38e).

<267> 계속해서, 상기 예 4와 마찬가지로, 제 2 반도체층(57)에 제 2 레이저 광을 조사하여, 제 2 반도체층(57)을 결정화한다. 제 2 반도체층은, 제 1 결정질 반도체층(55)의 높은 배향성의 영향을 받아, 높은 배향성을 갖는 제 2 결정질 반도체층(58)이 형성된다. 이때, 제 2 레이저 광의 에너지 밀도는, 제 1 레이저 광의 에너지 밀도보다 크게 한다. 본 예에서는, 553mJ/cm^2 로 주어진다. 이 제 2 레이저 광 조사에 의해, 제 2 반도체층도 결정화되어, 제 1 결정질 반도체($\text{Si}_{1-x}\text{Ge}_x$)층(55) 및 제 2 결정질 반도체(Si)층(58)으로 이루어진 결정질 반도체층(59)이 형성된다(도 38f).

<268> 이어서, 제 1 반도체층의 결정화시에 사용한 촉매원소를 게터링 영역으로 이동시키기 위한 공정을 한다. 결정질 반도체층(59)상에 장벽층(60)을 형성한다. 이 장벽층(60)상에 게터링 영역(61)을 형성한다. 장벽층(60)은, 특별히 두께는 한정되지 않는다. 간단히 형성하는 방법으로서는, 결정질 반도체층의 표면을 오존수로 처리하여도 된다. 이 처리에 의해, 결정질 반도체층 표면에, 화학적 산화물이 형성되기 때문에 이 막을 사용하여도 된다. 게터링 영역이 되는 반도체층(61)으로서는, 플라즈마 CVD 법이나 스팍터링법으로 아르곤 0.01-20atom%를 포함하는 25~250nm의 두께의 비정질 실리콘막을 형성한다. 이 반도체막은, 후에 제거하기 때문에, 각각의 제거하기 위해 결정질 반도체층에 대해 선택비를 높게 하기 위해서, 저밀도막(예를 들면, 비정질 실리콘막)으로서 제작하는 것이 바람직하다.

<269> 다음, 촉매원소를 게터링 영역으로 이동시키기 위해서, 가열처리를 한다. 광원의 복사열을 사용하여 가열처리를 하는 방법, 가열한 불활성 가스에 의해 가열처리를 하는 방법, 퍼니스를 사용하여 가열처리를 하는 방법 중 어느 하나를 사용하여도 된다. 이 가열처리에 의해, 촉매원소가 확산에 의해 게터링 영역으로 이동하여, 결정질 반도체층에 포함되는 촉매원소의 농도를 $1\times 10^{17}/\text{cm}^3$ 이하로 할 수 있다(도 39a).

<270> 게터링 공정이 종료한 후, 게터링 영역(61) 및 장벽층(60)은, 순차로 제거하여도 된다. 이렇게 해서, 촉매원소 농도가 감소되어, 배향율이 높고 입경이 큰 결정립이 집합한 양호한 구조의 제 1 결정질 반도체층 및 제 2 결정질 반도체층의 적층으로 이루어지는 결정질 반도체층이 형성된다.

<271> 결정화 공정이 종료한 후, 나중의 불순물 첨가공정으로 결정성 실리콘막(채널영역)을 보호하는 절연막(62)을 100~400nm 두께로 형성한다. 이어서, 레지스트 마스크를 사용하여, 후의 n 채널형 TFT의 활성층이 되는 결정성 실리콘막에 n 형을 부여하는 불순물원소를 $1\times 10^{20}\sim 1\times 10^{21}/\text{cm}^3$ 의 농도로, 후의 p 채널형 TFT의 활성층이 되는 결정성 실리콘막에 p 형 불순물원소를 $1\times 10^{20}\sim 5\times 10^{21}/\text{cm}^3$ 의 농도로, 희가스 원소를 $1\times 10^{19}\sim 1\times 10^{22}/\text{cm}^3$ 의 농도로 첨가하여, 소스영역, 드레인영역 및 LDD 영역을 형성한다(도 39b 및 도 39c).

<272> 다음으로, 결정성 실리콘막상의 절연막을 제거하여, 결정성 실리콘막을 원하는 형상으로 패터닝한 후, 층간절연막(63)을 형성한다(도 39d). 층간절연막은, 산화실리콘막, 질화실리콘막, 산화질화실리콘막 등의 절연막으로 500~1500nm 두께로 형성한다. 그 후, 각각의 TFT의 소스영역 또는 드레인영역에 달하는 콘택홀을 형성하여, 각 TFT를 전기적으로 접속하기 위한 배선(64~67)을 형성한다(도 39e).

<273> 이때, 본 예에서는, 제 1 반도체층에 포함되는 촉매원소의 농도를 감소하는 게터링 처리를 하기 전에 제 2 반도체층을 형성하였지만, 제작공정은, 상기 예 4~6 중 어느 하나를 조합하여 사용할 수 있다. 이상과 같이 본 발명은, TFT의 형상에 관계없이 적용할 수 있다.

<274> (예 10)

<275> 본 예에서는, 도 40a-40f 및 도 41a-41d를 참조하여 반도체층을 한 쌍의 게이트 배선 사이에 삽입한 TFT의 제작공정에 본 발명을 적용한 예를 설명한다.

<276> 기판(1000)상에, 산화실리콘막, 질화실리콘막, 산화질화실리콘막 등의 절연막을 상기 예 6과 마찬가지로 형성한

다(도시하지 않음). 게이트전극을 형성하기 위해서 도전막을 형성하여, 소정 형상으로 패터닝하여 제 1 게이트 배선(1001)을 얻는다(도 40a).

<277> 이어서, 하지 절연막(1002)을 형성한다. 이 하지 절연막은, 산화실리콘막, 질화실리콘막 또는 산화질화실리콘막의 단층, 또는 이들 막의 적층 구조이어도 된다. 이어서, 제 1 반도체층으로서 실리콘 게르마늄막(1003)을 형성한다. 반응가스로서 SiH₄와 GeH₄를 사용하여, 플라즈마 CVD 법 또는 감압 CVD 법 등에 의해 막 두께를 20~100nm로 형성하여도 된다(도 40b).

<278> 계속해서, 제 1 반도체층에 촉매원소를 첨가하여 촉매원소 함유층(54)을 형성한다. 가열처리를 하여, 제 1 결정질 반도체층을 형성한다. 가열처리로서는, 광원의 복사열을 사용하여 가열처리를 하는 방법, 가열한 불활성 가스에 의해 가열처리를 하는 방법, 퍼니스를 사용하여 가열처리를 하는 방법 중 어느 하나를 사용하여도 된다(도 40c).

<279> 이어서, 상기 예 6과 마찬가지로 제 1 결정질 반도체층에 제 1 레이저 광을 조사하여, 그 표면에 요철형상이 된 제 1 결정질 반도체층(1004)을 형성한다. 또한, 제 1 결정질 반도체층(1004) 표면에는, 산화막(1005)이 형성된다(도 40d).

<280> 이어서, 산화막(1005)을 제거한 후, 제 2 반도체층으로서, 비정질 실리콘막(1006)을 형성한다. 플라즈마 CVD 법을 사용하여, 막두께가 20~100nm가 되도록 형성하여도 된다(도 40e).

<281> 계속해서, 제 2 반도체층(1006)에 상기 예 6과 마찬가지로 제 2 레이저 광을 조사하여, 제 2 반도체층(1006)을 결정화한다. 제 2 반도체층은, 제 1 결정질 반도체층(1004)의 높은 배향성의 영향을 받아, 높은 배향성을 갖는 제 2 결정질 반도체층(1007)으로 형성된다. 그래서, 제 1 결정질 반도체(Si_{1-x}Ge_x)층(1004) 및 제 2 결정질 반도체층(Si)층(1007)을 갖는 결정질 반도체층(1008)이 형성된다(도 40f).

<282> 이어서, 제 1 반도체층(1003)의 결정화시에 사용한 촉매원소를 게터링 영역으로 이동시키기 위한 공정을 한다. 결정질 반도체층(1008)상에 장벽층(1009)을 형성하여, 장벽층(1009)상에 게터링 영역(1010)을 형성한다. 게터링 영역이 되는 반도체층(1010)으로서는, 25~250nm 두께의 아르곤을 0.01~20atom% 포함하는 비정질 실리콘막으로 형성한다. 이 반도체막은, 후에 제거하기 때문에, 식각으로 제거하기 쉽게 결정질 반도체층에 대한 선택비를 높게 하기 위해서, 저밀도막(예를 들면, 비정질 실리콘막)으로서 만드는 것이 바람직하다.

<283> 그 후, 상기 예 6과 마찬가지로 촉매원소를 게터링 영역으로 이동시키기 위해서 가열처리를 한다(도 41a).

<284> 게터링 공정이 종료한 후, 게터링 영역(1010) 및 장벽층(1009)은, 순차로 제거하여도 된다. 이렇게 해서, 촉매원소 농도가 감소되고, 배향율이 높고 입경이 큰 결정립이 집합한 양호한 구조의 제 1 결정질 반도체층 및 제 2 결정질 반도체층의 적층으로 이루어지는 결정질 반도체층이 형성된다.

<285> 계속해서, 결정질 반도체층(1008)을 덮는 게이트 절연막(1011)을 형성한다. 게이트 절연막(1011)은, 플라즈마 CVD 법이나 스퍼터링법으로 실리콘을 포함하는 절연물로 형성하되, 그 두께는 40~150nm으로 한다. 그 위에는 제 2 게이트배선(1012, 1013)을 형성한다. 제 2 게이트배선을 형성하는 재료에 한정은 없지만, 몰리브덴 또는 텅스텐 등의 고용접 금속, 및 그 위에 형성하는 고용접 금속 또는 알루미늄이나 구리 또는 폴리실리콘 등의 저저항 금속의 질화물로 형성된 제 1 층을 갖는 적층 구조에도 좋다.

<286> 그 후, 이온 도핑법에 의해 각 반도체막에 도전형을 부여하는 불순물원소를 첨가하여, 후의 소스영역, 드레인영역 및 LDD 영역이 되는 불순물영역을 형성한다. 또한, 활성화나 수소화의 가열처리를 한다. 다음으로, 아크릴, 폴리이미드, 폴리아미드, 폴리이미드아미드로부터 선택된 유기수지재료로 이루어진 층간절연막(1014)을 형성한다. 층간절연막의 표면은, CMP에 의해 평탄화 처리하는 것이 바람직하다. 그 후, 결정질 반도체층(1008)에 달하는 콘택홀을 형성하여, 배선(1015~1018)을 형성한다.

<287> 이때, 본 예에서는, 제 1 반도체층에 포함되는 촉매원소의 함유량을 감소하는 게터링 공정을 수행하기 전에 제 2 반도체층을 형성하였지만, 제작공정은, 상기 예 4~6 중 어느 하나를 조합하여 사용할 수 있다.

<288> (예 11)

<289> 도 35는 본 발명에 적용 가능한 레이저 처리장치의 일 형태를 도시한 도면이다. 이 장치는 레이저(1400), 광학계(1401), 기판 스테이지(1402), 기판반송수단(1404) 및 송풍기(blower)(1410) 등으로 구성된다. 또한, 액세서리로서, 기판(1411)을 보관하는 카셋트(1408), 카셋트 홀더(1707), 기판 상의 레이저 광 조사영역을 송풍기로부터 공급하는 가스로 치환하는 노즐(1409)이 구비되어 있다.

- <290> 레이저는 파장 400nm 이하의 빛을 발진하는 엑시머 레이저 등의 기체 레이저나, YAG레이저, YLF레이저 등의 고체 레이저를 사용한다. YAG 레이저로서는, 기본파(1060nm) 외에, 제 2 고조파(532nm)나 제 3 고조파(353.3nm)등을 사용할 수 있다. 이것들의 레이저는 펄스 발진하는 것을 사용하여, 발진주파수는 5~300Hz 정도의 것이 채용된다.
- <291> 광학계(1401)는, 레이저(1400)로부터 방출된 레이저 광을 집광 및 신장하여, 피조사면에 작은 단면형상의 선형 레이저 광을 조사하는데 있다. 그 구성은, 임의로 하여도 되지만, 원통렌즈 어레이(1412), 원통렌즈(14130, 미러(1414), 타블렛 원통렌즈(1415) 등을 사용하여 구성한다. 렌즈의 크기에도 의존하지만, 길이방향은 100~400mm정도, 폭 방향은 100~500 μ m 정도의 선형 레이저 빔을 조사하는 것이 가능하다.
- <292> 스테이지(1402)는 처리용 기판(1411)을 보유하고, 레이저와 동기하여 이동시키기 위한 것이다. 기판(1411)은 카셋트(1408)로부터 받아들여져, 레이저 처리에 따라 반송수단(1404)에 의해 이동한다. 반송수단(1404)에는 암(1405)이 구비되어 있다. 암(1405)은 기판(1411) 일단을 쥐어 일방향으로 움직임으로써, 선형 레이저 광을 기판의 전체면에 조사하는 것이 가능해진다.
- <293> 이러한 레이저 조사장치는, 특히 한번이 1000mm을 넘고, 또한 두께가 1mm이하의 유리기판을 처리하는 경우에 유용하다. 예를 들면, 1200mm×160mm 또는 2000 mm×2500mm이고, 두께가 0.4~0.7mm인 유리기판을 처리하는 것이 가능하다.
- <294> 본 예에 나타낸 레이저 조사장치는, 노즐로부터 내뿜는 가스를 산화성 가스, 또는 불활성 가스로 사용함으로써, 예 1~5에 나타낸 공정에 적용된다. 이러한 레이저 조사장치의 구성은, 레이저 광의 조사시의 분위기 제어를 하기 위한 챔버를 필요로 하지 않는다. 기판이 대형화하더라도 레이저 조사장치의 소형화를 꾀할 수 있다. 본 예는, 상기 예 1~10에 적용 가능하다.
- <295> (예 12)
- <296> TFT 기판을 사용한 다른 예로서, 발광소자를 사용한 표시장치의 일례를 도면을 참조하여 설명한다. 도 13a 및 13b는, 각 화소마다 TFT를 배치하여 형성되는 표시장치의 화소구조를 평면도로 나타낸 것이다. 이때, 도 13a 및 13b에 나타낸 n 채널형 TFT(1600, 1602) 및 p 채널형 TFT(1601)은 상기 예 5와 같은 구성이고, 본 예에서는 상세한 설명은 생략한다.
- <297> 도 13a는 기판(1101)상에 블록킹층(1602)을 통해 n 채널형 TFT(1600)과 p 채널형 TFT(1601)가 화소에 형성된 구성을 보이고 있다. 이 경우, n 채널형 TFT(1600)은 스위칭용 TFT이고, p 채널형 TFT(1601)은 전류제어용 TFT이고, 그 드레인측은 발광소자(1605)의 한쪽 전극과 접속하고 있다. p 채널형 TFT(1602)은 발광소자에 흐르는 전류를 제어하는 동작을 목적으로 하고 있다. 물론, 하나의 화소에 설치하는 TFT의 수에 한정은 없고, 표시장치의 구동방식에 따라서 적절한 회로구성으로 하는 것이 가능하다.
- <298> 도 13a에 나타낸 발광소자(1605)는, 애노드층(1111), 발광체를 포함하는 유기 화합물층(1112) 및 캐소드층(1113)으로 이루어지고, 그 위에 패시베이션층(1114)이 형성되어 있다. 유기 화합물층은, 발광층, 정공 주입층, 전자 주입층, 정공 수송층, 전자 수송층 등을 포함한다. 또한, 유기 화합물에서의 루미네센스에는, 단일항 여기 상태로부터 기저상태로 되돌아갈 때의 발광(형광)과, 3중항 여기상태로부터 기저상태로 되돌아갈 때의 발광(인광)이 있다. 이를 중 어느 하나 또는 양쪽을 포함하고 있다.
- <299> 애노드 형성 재료는, 산화인듐, 산화주석 또는 산화아연 등의 일함수가 높은 재료를 사용한다. 캐소드에는, MgAg, AlMg, Ca, Mg, Li, AlLi, AlLiAg 등의 알칼리금속 또는 알칼리토류 금속, 대표적으로는 마그네슘 화합물로 형성되는 일함수가 낮은 재료를 사용한다. 또한, 두께 1~20nm가 얇은 플루오르화 리튬층과 Al층의 조합과, 얇은 세슘층과 Al층의 조합에 의해서 캐소드를 구성하여도 된다. 애노드는, p 채널형 TFT(1601) 드레인측의 배선(1110)과 접속하고, 애노드(1111) 단부를 덮도록 파티션층(1103)이 형성되어 있다.
- <300> 발광소자(1605)상에는 패시베이션막(1114)이 형성되어 있다. 패시베이션막(1114)에는 질화실리콘, 산화질화실리콘, 다이아몬드형 카본(DLC) 등 산소나 수증기에 대하여 장벽이 높은 재료를 사용하여 형성한다. 이러한 구성에 의해 발광소자로부터 발하는 빛은 애노드측으로부터 방사되는 구성이 된다.
- <301> 한편, 도 13b는, 기판(1101)상에 블록킹층(1102)을 통해 n 채널형 TFT 1600과 n 채널형 TFT 1602가 화소에 형성된 구성을 보이고 있다. 이 경우, n 채널형 TFT 1600은 스위칭용 TFT이고, n 채널형 TFT 1602는 전류제어용 TFT이고, 그 드레인측은 발광소자(1606)의 한쪽의 전극과 접속한다.
- <302> 발광소자(1606)는, n 채널형 TFT(1602) 드레인측에 접속하는 배선(1115)상에 애노드 재료로서 산화인듐, 산화주

석 또는 산화아연 등의 일함수가 높은 재료의 막을 형성하고 있다. 그 위에 형성하는 유기 화합물층은, 도 13a의 유기 화합물층(1112)과 마찬가지의 구성이 적용된다.

<303> 캐소드의 구성은, 1~2nm의 저일함수의 재료로 형성되는 제 1 캐소드층(1118)과, 캐소드층(1118)상에 형성되어, 캐소드의 저저항화를 피하기 위해서 설치하는 제 2 캐소드층(1119)으로 형성된다. 제 1 캐소드층(1118)은, 세슘, 세슘과 은의 합금, 플루오르화리튬 외에, MgAg, AlMg, Ca, Mg, Li, AlLi 또는 AlLiAg 등의 알칼리금속 또는 알칼리토류 금속, 대표적으로는 마그네슘화합물로 형성된다. 제 2 캐소드층(1119)은, 10~20nm의 Al, Ag 등의 금속재료 또는, 10~100 nm의 산화인듐, 산화주석 또는 산화아연 등의 투명 도전막으로 형성된다. 발광소자(1606)상에는 패시베이션막(1120)이 형성되어 있다. 이러한 구성에 의해 발광소자로 방출하는 빛은 캐소드층으로부터 방사되는 구성이 된다.

<304> 또한, 도 13b의 발광소자(1606)의 다른 형태로서, n 채널형 TFT(1602) 드레인측에 접속하는 배선(1115)상에 캐소드재료로서 세슘, 세슘과 은의 합금, 플루오르화리튬 외에 MgAg, AlMg, Ca, Mg, Li, AlLi, AlLiAg 등의 알칼리금속 또는 알칼리토류 금속, 대표적으로는 마그네슘화합물로 이루어지는 캐소드층(1116), 유기 화합물층(1117), 1~2nm 정도가 얇은 제 1 애노드층(1118), 투명 도전막으로 형성되는 제 2 애노드층(1119)으로 된 구성으로 할 수도 있다. 제 1 애노드층은 니켈, 백금 또는 납 등의 일함수가 높은 재료를 진공 증착법으로 형성한다.

<305> 이상과 같이 하여, 액티브 매트릭스 구동의 발광소자를 사용한 표시장치를 형성할 수 있다. 본 발명에 의해 얻어진 결정질 반도체층은, (101)면의 배향율이 높기 때문에, 결정입계에서의 결함밀도가 감소하여, 높은 전계 효과와 이동도를 얻을 수 있다. 이 표시장치에서는, 발광소자에 접속하는 전류제어용 TFT에 높은 전류구동능력이 요구되기 때문에, 그 용도에 적합하다. 또한, 여기서는 나타내지 않지만, 화소부의 주변에 구동회로부를 설치하는 구성은, 상기 예 6과 마찬가지로 하여도 된다.

<306> (예 13)

<307> 도 16a 및 16b에 전압보상회로를 갖는 발광소자를 사용한 표시장치의 화소의 구성에 관해서 나타낸다. 도 16a에 나타낸 것처럼, 스위칭용 TFT(1301), 구동용 TFT(1302), 발광소자(1304), 소스 신호선(S), 게이트 신호선(G) 및 전류공급선(Current)에 관해서는 종래와 마찬가지로 구성된다. 이 화소의 구성은, 스위칭용 TFT(1301) 출력전극과, 구동용 TFT(1302) 게이트전극의 사이에, 전압보상회로(1310)를 갖고 있는 점을 특징으로 한다.

<308> 도 16b는, 전압보상회로(1310)의 구성을 포함하는 회로도이다. 전압보상회로(1310)는, 제 1 TFT(1351), 제 2 TFT(1352), 제 3 TFT(1353), 제 1 용량(1354) 및 제 2 용량(1355)을 갖는다. 또한, G(m)은 m행번째에 주사되는 게이트 신호선, G(m-1)은, (m-1)번째선에 주사되는 게이트 신호선이다.

<309> 제 1 용량(1354)과 제 2 용량(1355)은, 직렬로 배치된다. 제 1 용량(1354)의 제 1 전극은, 스위칭용 TFT(1301) 출력전극과 접속된다. 제 1 용량(1354)의 제 2 전극은, 제 2 용량(1355)의 제 1 전극과 접속된다. 제 2 용량(1355)의 제 2 전극은, 전류 공급선과 접속되어 있다.

<310> 제 1 TFT(1351) 게이트전극은, 게이트 신호선 G(m-1)와 접속되고, 입력전극은, 게이트 신호선 G(m)와 접속되고, 출력전극은 스위칭용 TFT(1301) 출력전극과 접속되어 있다. 제 2 TFT(1352) 게이트전극은 게이트 신호선 G(m-1)와 접속되고, 입력전극은 게이트 신호선 G(m)와 접속되고, 출력전극은 제 1 용량(1354)의 제 2 전극 및 제 2 용량(1355)의 제 1 전극과 접속되어 있다. 제 3 TFT(1353)의 게이트전극은 스위칭용 TFT(1351) 출력전극과 접속되고, 입력전극은 전류 공급선과 접속되고, 출력전극은 제 1 용량(1354)의 제 2 전극 및 제 2 용량(1355)의 제 1 전극과 접속되어 있다.

<311> 이때, 화소를 구성하는 TFT(1301, 1302, 1351~1353)는, 모두 동일극성의 TFT를 사용하고 있고, 그 극성은 n 채널형 또는 p 채널형이어야 된다. 이 TFT들을 본 발명의 결정질 반도체층으로 형성하면, (101)면의 배향율이 높기 때문에, 결정입계에서의 결함밀도가 감소하여, 높은 전계 효과와 이동도를 얻을 수 있다. 고속으로 동작시킬 수 있음과 동시에, 높은 전류구동능력을 갖고서 발광소자를 구동시킬 수 있다.

<312> 또한, 제 1 용량(1354)은, 제 3 TFT(1353)의 출력전극과 게이트전극 사이에 배치되고, 그 용량결합을 이용하여 구동용 TFT(1302) 게이트전극 전위를 상승시키기 위해서 사용되는 용량이다. 제 2 용량(1355)은, 제 1 용량(1354)과 직렬로 배치되고, 전위가 안정한 전류 공급선과 구동용 TFT(1302) 사이를 용량 결합하여, 구동용 TFT(1302) 게이트전극의 전위를 유지하기 위해서 사용되는 용량이다.

<313> 여기서, 제 2 용량(1355)의 또 하나의 기능으로서, 전압보상회로의 부트스트랩을 정상으로 기능시키기 위한 부

하로서 사용하고 있는 점을 부기해 둔다. 이 부하가 없는 경우, 제 3 TFT(1353)의 게이트전극의 전위가, 소스 신호선으로부터의 디지털 영상신호의 입력에 의해서 상승을 시작하면, 용량결합에 의해서 즉시 제 3 TFT(1353)의 출력전극의 전위가 상승한다. 이 동작이 발생한 경우, 먼저 서술한 부트스트랩이 정상으로 동작하지 않을 가능성이 있다. 따라서, 제 2 용량(1355)을 배치함으로써, 제 3 TFT(1353)의 게이트전극의 전위 상승에 대하여, 제 3 TFT(1353)의 출력전극의 용량결합에 의한 전위 상승을 자연시킨다. 이와 같이 하면, 제 3 TFT의 출력전극의 전위상승은, 제 3 TFT(1353) 자신이 온 하여 흐르는 드레인 전류에 의한 것이 지배적이고, 부트스트랩을 정상으로 동작시킬 수 있다.

<314> 이상의 방법에 의해, 통상, 소스 신호선에 입력되는 디지털 영상신호의 전압진폭보다도 큰 전압진폭이 필요한 게이트 신호선 선택 펄스를, 디지털 영상신호와 동등한 전압진폭으로 감소시킬 수 있다. 따라서, 게이트 신호선 구동회로측의 소비전력을 감소하는 것이 가능해진다. 이때, 여기서 나타낸 동작의 경우, 전류공급선의 전위는 동작상 높게 해 두는 것이 바람직하기 때문에, 발광소자(1304)의 전극 방향은, 도면부호 1305를 애노드, 1306을 캐소드로 하는 것이 바람직하다. 이 경우, 종래 예의 것과는 반대로, n 채널형 TFT에 의해서 구성한 경우에는 하면출사, p 채널형 TFT에 의해서 구성한 경우에는 상면출사가 된다.

<315> (예 14)

<316> 본 예에서는, 상기 예 6 또는 예 7에서의 유기발광소자를 구비한 표시장치의 형태를 도 17a 및 도 17b에 나타낸다. 도 17a는 표시장치를 나타낸 평면도이고, 그 A-A' 선의 단면도를 도 17b에 나타낸다. 절연표면을 갖는 기판(250)(예를 들면, 유리기판, 결정화 유리기판 또는 플라스틱 기판 등)에, 화소영역(252), 소스측 구동회로(251) 및 게이트측 구동회로(253)를 형성한다.

<317> 도면부호 268은 밀봉부재이고, 269는 DLC막을 나타낸다. 화소영역 및 구동회로는 밀봉부재(268)로 덮어지고, 그 밀봉부재는 보호막(269)으로 덮어진다. 또한, 접착재를 사용하여 커버부재(270)로 밀봉되어 있다. 열이나 외력 등에 의한 변형에 견디기 위해서 커버부재(270)는 기판(250)과 같은 재질의 것, 예를 들면 유리기판을 사용하는 것이 바람직하다. 상기 커버부재(270)는, 샌드 블라스트법 등에 의해 도 17b에 나타낸 오목부 형상(깊이 3~10 μm)으로 가공한다. 또한, 커버부재(270)는 가공하여 전조제(271)가 설치될 수 있는 오목부(깊이 50~200 μm)를 형성하는 것이 바람직하다. 이때, 도면부호 258은 소스측 구동회로(251) 및 게이트측 구동회로(253)에 입력되는 신호를 전송하기 위한 배선으로, 외부입력단자가 되는 FPC(플렉시블 프린트회로)(259)로부터 비디오신호나 클록 신호를 받아들인다.

<318> 다음에, 단면구조에 관해서 도 17b를 참조하여 설명한다. 기판(250)상에 절연막(260)이 형성되고, 절연막(260)의 위쪽에는 화소영역(252) 및 게이트측 구동회로(253)가 형성되어 있다. 화소영역(252)은, 전류제어용 박막 트랜지스터(261)와 이 트랜지스터의 드레인에 전기적으로 접속된 발광소자의 한쪽의 전극(262)을 포함하는 복수의 화소에 의해 형성된다. 또한, 게이트측 구동회로(253)는 n 채널형 박막 트랜지스터(263)와 p 채널형 박막 트랜지스터(264)를 조합한 CMOS 회로를 사용하여 형성된다. 이것들의 박막 트랜지스터(261, 263, 264를 포함함)는, 공자의 기술에 따라서 제작하여도 된다.

<319> 화소전극(262)은 유기발광소자의 애노드로서 기능한다. 또한, 화소전극(262) 양단에는 파티션 벽(265)이 형성되고, 발광소자의 전극(262)상에는 유기 화합물층(266) 및 유기발광소자의 캐소드(267)가 형성된다. 이 유기 화합물층(266)은 정공 주입층, 발광층, 전자 주입층 등을 적절히 조합하여 형성한다. 유기 화합물층은, 잉크젯방식의 인쇄기술로 형성하여도 되고, 스픈 도포법과 잉크젯방식을 조합하여 형성하여도 된다.

<320> 예를 들면, 정공 주입층으로서 PEDOT로 이루어지는 제 1 유기 화합물층을 형성하고, 그 위에 본 발명의 잉크젯 방식 인쇄장치를 사용하여 선형 또는 스트라이프형의 제 2 유기 화합물층을 형성할 수 있다. 이 경우, 제 2 유기 화합물층이 발광층이 된다. 적용하는 유기 화합물재료는, 고분자계 또는 중분자계의 것이어도 된다.

<321> 캐소드(267)은 모든 화소에 공통의 배선으로서도 기능하고, 접속배선(258)을 경유하여 FPC(259)에 전기적으로 접속되어 있다. 또한, 화소영역(252) 및 게이트측 구동회로(253)에 포함되는 소자는, 모두 캐소드(267), 밀봉부재(268) 및 보호막(269)으로 덮여 있다. 또한, 밀봉부재(268)를 사용하여 유기발광소자를 완전히 덮은 후, 적어도 도 17a 및 17b에 나타낸 것처럼 다이아몬드형 탄소(DLC)막 등으로 이루어지는 보호막(269)을 밀봉부재(268)의 표면(노정면)에 설치하는 것이 바람직하다. 또한, 기판의 이면을 포함하는 전체면에 보호막을 설치하여도 된다. 여기서, 외부입력단자(FPC)가 설치되는 부분에 보호막이 형성되지 않도록 조심해야 한다. 마스크를 사용하여 보호막이 형성되지 않도록 하여도 된다. 또한, 마스킹 테이프로 외부 입력단자부분을 덮는 것으로 보호막이 형성되지 않도록 하여도 된다.

- <322> 이상과 같은 구조로 유기발광소자를 밀봉부재(268) 및 보호막으로 봉입함으로써, 유기발광소자를 외부로부터 완전히 차단할 수 있어, 외부로부터 수분이나 산소 등의 유기 화합물층의 산화에 의한 열화를 제축하는 물질이 침입하는 것을 막을 수 있다. 따라서, 신뢰성이 높은 표시장치를 얻을 수 있다. 또한, 화소전극을 캐소드로 하여, 유기 화합물층과 애노드를 적층하여 도 17b과는 역방향으로 발광하는 구조으로 하여도 된다.
- <323> (예 15)
- <324> 본 예에서는, 상기 예 8의 액티브 매트릭스 기판을 사용하여 발광소자를 형성하는 예에 관해서 설명한다. 발광장치란, 기판 상에 형성된 발광소자를 해당 기판과 커버부재 사이에 봉입한 표시용 패널 및 해당 표시용 패널에 IC를 실장한 표시용 모듈을 총칭한 것이다. 이때, 발광소자는, 전계를 가함으로써 발생하는 전계발광을 얻을 수 있는 유기 화합물을 포함하는 층(EL 층), 애노드층 및 캐소드층을 갖는다. 또한, 유기 화합물에 있어서의 루미네센스는, 단일항 여기상태로부터 기저상태로 되돌아갈 때의 발광(형광)과 3중항 여기상태로부터 기저상태로 되돌아갈 때의 발광(인광)을 포함한다. 이들 중 어느 하나 또는 양쪽의 발광을 포함한다.
- <325> EL층은, 구체적으로, 발광층, 정공 주입층, 전자 주입층, 정공 수송층, 전자 수송층 등을 포함한다. 기본적으로, 발광소자는, 애노드층, 발광층, 캐소드층이 순차로 적층된 구조를 갖는다. 이 구조에 추가하여, 애노드층, 정공 주입층, 발광층 및 캐소드층 또는, 애노드층, 정공 주입층, 발광층, 전자 수송층 및 캐소드층 등의 순차로 적층한 구조이어도 된다.
- <326> 도 36은 본 예의 발광장치의 단면도이다. 도 36에서, 기판 상에 설치된 스위칭 TFT(73)은 도 28c의 화소 TFT(83)을 사용하여 형성된다. 계속해서, 구조의 설명은, 화소 TFT(83)에 관한 설명을 참조하여도 된다. 기판(1650) 상에 설치된 구동회로는, 도 28c의 구동회로를 사용하여 형성된다. 따라서, n 채널형 TFT(71) 및 p 채널형 TFT(72)의 구조는, n 채널형 TFT(81)와 p 채널형 TFT(82)에 관한 설명을 참조하여도 된다. 전류제어용 TFT(74)는, 도 28c의 p 채널형 TFT(82)를 사용하여 형성된다. 따라서, 구조의 설명은 p 채널형 TFT(82)에 관한 설명을 참조하여도 된다.
- <327> 또한, 배선(1658)은 전류제어용 TFT의 소스배선(전류 공급선에 해당함)이다. 도면부호 1657은, 전류제어 TFT의 화소전극(1660) 상에 포개는 배선으로, 화소전극(1660)과 전기적으로 접속된다. 이때, 화소전극(1660)은, 투명 도전막으로 이루어지는 화소전극(발광소자의 애노드)이다. 투명 도전막으로서는, 산화인듐과 산화주석과의 화합물, 산화인듐과 산화아연과의 화합물, 산화아연, 산화주석 또는 산화인듐을 사용할 수 있다. 또한, 상기 투명 도전막에 갈륨을 도입한 것을 사용하여도 된다. 화소전극(1660)은, 상기 배선을 형성하기 전에 평탄한 층간절연막(1659) 상에 형성한다. 나중에 형성할 EL 층은, 가능한 매우 얇게 하여 단차의 존재로 인해 발광 불량이 일어날 수 있다. 따라서, EL 층을 될 수 있는 한 평탄면에 형성할 수 있도록 화소전극을 형성하기 전에 평탄화해 두는 것이 바람직하다.
- <328> 배선(1651~1658)을 형성 후, 도 36에 나타낸 것처럼 뱅크(1661)를 형성한다. 이 뱅크(1661)는, 100~400nm의 절연막 또는 유기 수지막을 패터닝하여 형성하여도 된다. 이때, 뱅크(1661)는 절연막이기 때문에, 막 형성시에 소자의 정전파괴에는 주의가 필요하다. 본 예에서는, 뱅크(1661) 재료가 되는 절연막 내에 카본 입자나 금속입자를 도입하여 저항율을 하강시켜, 정전기의 발생을 억제한다. 이 경우, $1 \times 10^6 \sim 1 \times 10^{12} \Omega\text{m}$ (바람직하게는, $1 \times 10^8 \sim 1 \times 10^{10} \Omega\text{m}$)가 되도록 카본입자나 금속입자의 도입량을 조절하여도 된다.
- <329> 화소전극(1660) 위에는 발광층(1662)이 형성된다. 도 36에서는 하나의 화소밖에 도시하지 않았지만, R(빨강), G(초록) 및 B(파랑)의 각 색에 대응한 발광층을 만들어 나누고 있다. 구체적으로는, 정공 주입층으로서 20nm의 두께의 구리 프탈로시아닌(CuPc)막을 설치하여, 그 위에 발광층으로서 70nm 두께의 트리스-8-키노리노라토 알루미늄 착체(tris-8-quinolinolato aluminum complex)(Alq₃)막을 설치한 적층구조로 제작한다. Alq₃에 퀴나크리돈, 페릴렌 또는 DCM1이라고 한 형광색소를 도입함으로써 발광색을 제어할 수 있다.
- <330> 그러나, 이상의 예는 발광층으로서 사용할 수 있는 유기발광재료의 일례이고, 이것으로 한정할 필요는 없다. 발광층, 전하 수송층 또는 전하 주입층을 자유롭게 조합하여 EL 층(발광 및 그 때문에 캐리어를 이동시키기 위한 층)을 형성하여도 된다. 예를 들면, 본 예는 저분자계 유기 발광재료를 발광층으로서 사용하는 예를 나타내었지만, 중분자계 유기 발광재료나 고분자계 유기 발광재료를 사용하여도 된다. 또한, 승화성을 갖지 않고, 분자수가 20 이하 또는 연쇄하는 분자의 길이가 10μm 이하의 유기 발광재료를 중분자계 유기 발광재료로 한다. 또한, 고분자계 유기발광재료를 사용하는 예로서, 정공 주입층으로서 20nm의 폴리티오펜(PEDOT)막을 스핀 도포법에 의해 설치하고, 그 위에 발광층으로서 100nm 정도의 파라 페닐렌 비닐렌(PPV)막을 설치한 적층구조이어도 된다.

또한, 전하 수송층이나 전하 주입층으로서 사용된 탄화규소 등의 무기재료를 사용할 수도 있다. 이것들의 유기 발광재료와 무기재료는 공지의 재료를 사용할 수 있다.

<331> 다음에, EL 층(1662) 위에는 알루미늄과 리튬의 합금의 캐소드(1663)가 설치된다. 이 캐소드(1663)까지 형성된 시점에서 발광소자(1664)가 완성된다. 발광소자(1664)는, 화소전극(1660), EL 층(1662) 및 캐소드(1663)로 이루어진다.

<332> 발광소자(1664)를 완전히 덮도록 하여 패시베이션막(1665)을 형성한다. 패시베이션막(1665)으로서는, 탄소막, 질화실리콘막 또는 산화질화실리콘막을 포함하는 절연막으로 이루어진다. 그 절연막을 단층 또는 조합한 적층으로 사용한다. 특히, DLC(다이아몬드형 카본)막을 사용하는 것이 유효하다. DLC막은 실온으로부터 100°C 이하의 온도범위에서 형성 가능하기 때문에, 내열성이 낮은 EL 층(1662) 위에도 용이하게 형성할 수 있다. 또한, DLC막은 산소에 대한 블록킹 효과가 높고, EL 층(1662) 산화를 억제할 수 있다. 계속해서, 계속되는 밀봉공정 동안 EL 층(1662)이 산화한다고 하는 문제를 방지할 수 있다.

<333> 또한, 패시베이션막(1665)상에 밀봉부재(1666)를 설치하여, 커버부재(1667)를 접합한다. 밀봉부재(1666)는, 자외선 경화수지를 사용하면 좋고, 내부에 흡습효과를 갖는 물질 또는 산화방지효과를 갖는 물질을 설치하는 것이 유효하다. 또한, 커버부재(1667)는, 유리기판, 합성석영 유리기판 또는 플라스틱기판(플라스틱막을 포함)의 각각의 표면에 탄소막(바람직하게는, 다이아몬드형 탄소막)을 형성한 것을 사용한다.

<334> 이렇게 해서 도 36에 나타낸 것과 같은 구조의 발광소자를 완성한다. 이때, 뱅크(1661)를 형성한 후, 패시베이션막(1665)을 형성하기까지의 공정을 다중 챔버방식(또는 인-라인 방식)의 퇴적장치를 사용하여, 대기에 노출하지 않고서 연속적으로 처리하는 것이 유효하다. 또한, 더욱 발전시켜 커버부재(1667)를 접합하는 공정까지를 대기에 노출하지 않고서 연속적으로 처리하는 것도 가능하다. 이렇게 해서, 기판에 n 채널형 TFT(71), p 채널형 TFT(72), 스위칭 TFT(n 채널형 TFT)(73) 및 전류제어용 TFT(p 채널형 TFT)(74)가 형성된다.

<335> 본 예에서는 화소부와 구동회로의 구성만 도시하였지만, 신호분할회로, D/A컨버터, 연산 증폭기 및 γ-보정회로 등의 논리회로를 동일한 절연체상에 형성 가능하다. 또한, 메모리나 마이크로프로세서를 형성할 수 있다.

<336> 또한, 발광소자를 보호하기 위한 밀봉(또는 봉입)공정까지 종료한 후의 본 예의 발광소자에 관해서 도 37a 및 도 37b를 참조하여 설명한다. 이때, 필요에 따라서, 도면부호는 도 36에서 사용한 부호를 인용한다.

<337> 도 37a는 밀봉까지 수행한 발광소자의 평면도이다. 도 37b는 도 37a를 C-C'로 절단한 단면도이다. 점선으로 도시된 도면부호 801은 소스측 구동회로, 806은 화소부, 807은 게이트측 구동회로이다. 또한, 도면부호 901은 커버부재, 902는 제 1 밀봉부재, 903은 제 2 밀봉부재이고, 제 1 밀봉부재(902)로 둘러싸인 내측에는 밀봉재(716)가 설치된다. 이때, 도면부호 904는 소스측 구동회로(801) 및 게이트측 구동회로(807)에 입력된 신호를 전송하기 위한 배선으로, 외부 입력단자가 되는 FPC(플렉시블 프린트회로)(905)로부터 비디오신호나 클록신호를 받아들인다. 이때, 여기서는 FPC만을 도시하였지만, 이 FPC에는 프린트배선기반(PWB)이 부착되어도 된다.

<338> 다음에, 단면구조에 관해서 도 37b를 참조하여 설명한다. 기판(700)의 위쪽에는 화소부(806) 및 게이트측 구동회로(807)가 형성되어 있다. 화소부(806)는, 전류제어용 TFT(1604)와 그 드레인에 전기적으로 접속된 화소전극(710)을 포함하는 복수의 화소에 의해 형성된다. 또한, 게이트측 구동회로(807)는, n 채널형 TFT(1601)와 p 채널형 TFT(1602)를 조합한 CMOS 회로(도 36 참조)를 사용하여 형성된다.

<339> 화소전극(710)은, 발광소자의 애노드로서 기능한다. 또한, 화소전극(710)의 양단에는 뱅크(711)가 형성된다. 화소전극(710) 상에는 EL 층(712) 및 발광소자의 캐소드(713)가 형성된다. 캐소드(713)는, 모든 화소에 공통의 배선으로서도 기능하고, 배선(904)을 경유하여 FPC(905)에 전기적으로 접속된다. 또한, 화소부(806) 및 게이트측 구동회로(807)에 포함되는 소자는 모두 캐소드(713) 및 패시베이션막(715)으로 덮여 있다.

<340> 또한, 제 1 밀봉부재(902)에 의해 커버부재(901)가 접합된다. 이때, 커버부재(901)와 발광소자 사이의 간격을 확보하기 위해서 수지막의 스페이서를 설치하여도 된다. 그리고, 제 1 밀봉부재(902) 내측에는 밀봉재(716)가 충전되어 있다. 이때, 제 1 밀봉부재(902) 및 밀봉재(716)로서는 에폭시계 수지를 사용하는 것이 바람직하다. 또한, 제 1 밀봉부재(902)는 될 수 있는 한 수분이나 산소를 투과하지 않는 재료인 것이 바람직하다. 또한, 밀봉재(716)의 내부에 흡습효과 또는 산화방지효과를 갖는 물질을 포함하여도 된다.

<341> 발광소자를 덮도록 하여 설치된 밀봉재(716)는, 커버부재(901)를 접착하기 위한 접착제로서도 기능한다. 또한, 본 예에서는 커버부재(901)를 구성하는 플라스틱 기판의 재료로서 FRP(Fiberglass-reinforced plastics), PVF(폴리비닐 플로라이드), 마일러(Mylar), 폴리에스테르 또는 아크릴을 사용할 수 있다. 또한, 밀봉재(716)를 사

용하여 커버부재(901)를 접착한 후, 제1 밀봉부재(902)의 측면(노정면)을 덮도록 제 2 밀봉부재(903)를 설치한다. 제 2 밀봉부재(903)는 제 1 밀봉부재(902)와 같은 재료를 사용할 수 있다.

<342> 이상과 같은 구조로 발광소자를 밀봉재(716)내에 봉입함으로써, 발광소자를 외부로부터 완전히 차단할 수 있어, 외부로부터 수분이나 산소 등의 EL 층의 산화에 의한 열화를 재촉하는 물질이 침입하는 것을 막을 수 있다. 따라서, 신뢰성 있는 발광장치를 얻을 수 있다. 그리고, 이러한 발광장치는, 각 종 전자제품의 표시부로서 사용할 수 있다. 이때, 본 예는 상기 예 1~13을 조합하여 제작할 수 있다.

<343> (예 16)

<344> 반도체장치 또는 표시장치를 여러 가지 전자제품에 적용할 수 있다. 그와 같은 전자제품으로서는, 비디오카메라, 디지털 카메라, 프로젝터(리어형 또는 프론트형), 헤드 실장 디스플레이(고글형 디스플레이), 퍼스널컴퓨터, 휴대정보단말(모바일 컴퓨터, 휴대전화, 전자서적 등) 등을 들 수 있다. 그것들의 일례를 도 18a-도 20c에 나타낸다.

<345> 도 18a는 퍼스널컴퓨터로, 본체(2001), 화상 입력부(2002), 표시부(2003), 키보드(2004) 등을 포함한다. 이 퍼스널컴퓨터는, 상기 표시부(2003)에 대해 본 발명에 의해 제작된 액티브 매트릭스 구동 표시장치를 사용하여 완성될 수 있다.

<346> 도 18b는 비디오 카메라로, 본체(2101), 표시부(2102), 음성 입력부(2103), 조작 스위치(2104), 배터리(2105), 화상 수신부(2106) 등을 포함한다. 비디오 카메라는, 상기 표시부(2102)에 대해 본 발명에 의해 제작된 액티브 매트릭스 구동 표시장치를 사용하여 완성될 수 있다.

<347> 도 18c는 모바일 컴퓨터로, 본체(2201), 카메라부(2202), 화상 수신부(2203), 조작스위치(2204), 표시부(2205) 등을 포함한다. 이 모바일 컴퓨터는, 상기 표시부(2205)에 대해 본 발명에 의해 제작된 액티브 매트릭스 구동 표시장치를 사용하여 완성될 수 있다.

<348> 도 18d는 고글형 디스플레이로, 본체(2301), 표시부(2302), 암부(2303) 등을 포함한다. 이 고글형 디스플레이에는, 상기 표시부(2302)에 대해 본 발명에 의해 제작된 액티브 매트릭스 구동 표시장치를 사용하여 완성될 수 있다.

<349> 도 18e는 프로그램을 기록한 기록매체(이하, 기록매체라고 칭함)를 사용하는 재생기로, 본체(2401), 표시부(2402), 스피커부(2403), 기록매체(2404), 조작스위치(2405) 등을 포함한다. 이때, 이 재생기는, 기록매체로서 DVD(Digital Versatile Disc), CD 등을 사용하여, 음악감상, 영화감상 및 게임이나 인터넷을 할 수 있다. 이 재생기는, 상기 표시부(2402)에 대해 본 발명에 의해 제작된 액티브 매트릭스 구동 표시장치를 사용하여 완성될 수 있다.

<350> 도 18f는 디지털 카메라로, 본체(2501), 표시부(2502), 접안부(2503), 조작스위치(2504), 화상 수신부(도시하지 않음) 등을 포함한다. 이 디지털 카메라는, 상기 표시부(2502)에 대해 본 발명에 의해 제작된 액티브 매트릭스 구동 표시장치를 사용하여 완성될 수 있다.

<351> 도 19a는 프론트형 프로젝터로, 투사장치(2601), 스크린(2602) 등을 포함한다. 도 19b는 리어형 프로젝터로, 본체(2701), 투사장치(2702), 미러(2703), 스크린(2704) 등을 포함한다.

<352> 또한, 도 19c는, 도 19a 및 도 19b에서의 투사장치(2601, 2702) 구조의 일례를 나타낸 도면이다. 투사장치(2601, 2702)는, 광원 광학계(2801), 미러(2802, 2804~2806), 다이크로익 미러(2803), 프리즘(2807), 액정표시장치(2808), 위상차판(2809) 및 투사 광학계(2810)로 구성된다. 투사 광학계(2810)는, 투사렌즈를 포함하는 광학계로 구성된다. 본 예는 3판식의 예를 나타내었지만, 특별히 한정되지 않고, 예를 들면 단판식이어도 된다. 또한, 도 19c에서 화살표로 나타낸 광로에 실시자가 적절히, 광학렌즈, 편광기능을 갖는 막 또는 위상차를 조절하기 위한 막, IR 막 등의 광학계를 설치하여도 된다.

<353> 또한, 도 19d는, 도 19c에서의 광원 광학계(2801) 구조의 일례를 나타낸 도면이다. 본 예에서는, 광원 광학계(2801)는, 반사기(2811), 광원(2812), 렌즈 어레이(2813, 2814), 편광 변환소자(2815) 및 집광렌즈(2816)로 구성된다. 이때, 도 19d에 나타낸 광원 광학계는, 일례에 있어서 특별히 한정되지 않는다. 예를 들면, 광원 광학계에 실시자가 적절히, 광학렌즈, 편광기능을 갖는 막, 위상차를 조절하는 막, IR 막 등의 광학계를 설치하여도 된다. 그러나, 도 19e에 나타낸 프로젝터에 있어서는, 투과형 전기광학장치를 사용한 경우를 나타내고 있고, 반사형 액정표시장치의 적용예는 도시하지 않았다.

<354> 도 20a는 휴대전화로, 표시용 패널(3001), 조작용 패널(3002)을 포함한다. 표시용 패널(3001)과 조작용 패널

(3002)은, 접속부(3003)에 있어서 접속되어 있다. 접속부(3003)에서의, 표시용 패널(3001)의 표시부(3004)가 설치되는 면과 조작용 패널(3002)의 조작키(3006)가 설치되는 면과의 각도는, 임의로 바꿀 수 있다. 또한, 음성 출력부(3005), 조작키(3006), 전원 스위치(3007), 음성 입력부(3008)를 갖는다. 이 개인휴대전화는, 상기 표시부(3004)에 대해 본 발명에 의해 제작된 액티브 매트릭스 구동 표시장치를 사용하여 완성될 수 있다.

<355> 도 20b는 휴대서적(전자서적)으로, 본체(3101), 표시부(3102, 3103), 기억매체(3104), 조작 스위치(3105), 안테나(3106) 등을 포함한다. 이 휴대서적은, 상기 표시부(3102, 3103)에 대해 본 발명에 의해 제작된 액티브 매트릭스 구동 표시장치를 사용하여 완성될 수 있다.

<356> 도 20c는 텔레비전으로, 본체(3201), 지지 베이스(3202), 표시부(3203) 등을 포함한다. 본 발명에 따른 디스플레이에는, 특히 대화면화한 경우에 있어서 유리하고, 대각 10인치 이상(특히, 30인치 이상)의 디스플레이에는 유리하다. 이 텔레비전은, 상기 표시부(3203)에 대해 본 발명에 의해 제작된 액티브 매트릭스 구동 표시장치를 사용하여 완성될 수 있다.

<357> 이상과 같이, 본 발명의 적용범위는 매우 넓리, 모든 분야의 전자제품에 적용할 수 있다.

발명의 효과

<358> 본 발명은, 우선 높은 배향성을 갖는 제 1 결정질 반도체막을 형성하기 위해서, 제 1 비정질 반도체막으로서 게르마늄을 함유하는 실리콘막을 사용한다. 그리고, 이 제 1 비정질 반도체막을 촉매원소를 사용하여 결정화시킴으로써, (110)면의 배향성이 높은 제 1 결정질 반도체막을 형성한다. 또한, 제 1 레이저 광을 조사함으로써, 결정성을 향상시켜 비정질영역을 잃음과 동시에, 고농도 게르마늄 함유 영역을 제거한다.

<359> 계속해서, 제 1 결정질 반도체층 상에 제 2 반도체층으로서, 실리콘막을 형성한다. 가열처리 또는 레이저 광의 조사에 의해 제 1 결정질 반도체막을 결정화의 시드(핵)로서 제 2 결정질 반도체막을 형성한다. 제 2 결정질 반도체막은, 제 1 결정질 반도체막의 배향성의 영향을 받아, 높은 배향율로 결정 성장한다.

<360> 이와 같이, 높은 배향율로 결정 성장함으로써, 인접한 다른 배향을 갖는 핵으로부터의 결정 성장이 부딪힘에 따라 발생하는 결정입계가 감소하여, 개개의 결정립의 입경을 크게 할 수 있다. 또한, 제 1 결정질 반도체층을 형성할 때에 사용한 촉매원소는, 게터링 공정에 의해 게터링 영역으로 이동되어, 결정질 반도체층에 포함되는 촉매원소의 농도를 감소시킨다. 이상과 같이, 본 발명을 사용하면, 촉매원소농도가 낮고, 배향성이 높고, 입경이 큰 결정립이 집합한 양호한 결정질 반도체막을 얻을 수 있다.

<361> 또한, 본 발명에 의하면, 높은 배향성을 갖는 제 1 반도체층을 형성하기 위해서, 제 1 반도체층으로서 실리콘 게르마늄막을 사용한다. 그리고, 이 실리콘 게르마늄막을 촉매원소를 사용하여 결정화시킴으로써, (110)면의 배향성이 높은 제 1 결정질 반도체층을 얻을 수 있다. 또한, 제 1 레이저 광을 조사함으로써, 결정성을 향상시켜, 비정질영역을 잃는다. 계속해서, 제 1 결정질 반도체층상에 제 2 반도체층으로서, 실리콘막을 형성한다. 레이저 광을 조사함으로써, 제 1 결정질 반도체층이 결정화의 시드(핵)가 되어 제 2 반도체층이 결정 성장한다. 이때, 제 2 반도체층은, 제 1 결정질 반도체층의 배향성의 영향을 받아, 높은 배향율로 결정 성장한다.

<362> 이와 같이, 높은 배향율로 결정 성장함으로써, 인접한 다른 배향을 갖는 핵으로부터의 결정성장이 부딪힘에 따라 발생하는 결정입계가 감소하여, 개개의 결정립의 입경을 크게 할 수 있다. 또한, 제 1 결정질 반도체층을 형성할 때에 사용한 촉매원소는, 게터링 공정에 의해 게터링 영역으로 이동되어, 결정질 반도체층에 포함되는 촉매원소의 농도를 감소시킨다. 이상과 같이, 본 발명을 사용하면, 촉매원소농도가 낮고, 배향성이 높고, 입경이 큰 결정립이 집합한 양호한 결정질 반도체막을 얻을 수 있다.

도면의 간단한 설명

- <1> 도 1은 본 발명의 실시예를 설명하는 단면도,
- <2> 도 2는 결정핵의 인접간 거리를 나타낸 누적도수 그래프,
- <3> 도 3은 GeH_4 의 첨가량과 결정핵발생 밀도의 관계를 나타낸 그래프,
- <4> 도 4는 레이저 어닐링 전후의 제 1 결정질 반도체막의 게르마늄 농도 분포를 나타낸 그래프,
- <5> 도 5는 본 발명에 사용하는 플라즈마 CVD 장치의 구성도,

- <6> 도 6은 본 발명에 따른 결정질 반도체막의 제작 공정을 설명하는 단면도,
- <7> 도 7은 본 발명에 따른 결정질 반도체막의 제작공정을 설명하는 단면도,
- <8> 도 8은 본 발명에 따른 결정질 반도체막의 제작공정을 설명하는 단면도,
- <9> 도 9는 본 발명에 따른 결정질 반도체막의 제작공정을 설명하는 단면도,
- <10> 도 10은 본 발명에 따른 TFT의 제작공정을 설명하는 단면도,
- <11> 도 11은 액티브 매트릭스 기판의 구성을 나타낸 단면도,
- <12> 도 12는 액티브 매트릭스 기판의 회로구성을 나타낸 블록도,
- <13> 도 13은 발광소자를 사용한 액티브 매트릭스형 표시장치의 화소의 구성을 나타낸 단면도,
- <14> 도 14는 게르마늄을 함유시킨 결정질 반도체막의 라만 스펙트럼을 나타낸 그래프,
- <15> 도 15는 EBSP에 의한 결정질 반도체막의 표면 관찰 결과도,
- <16> 도 16은 발광소자를 사용한 액티브 매트릭스형 표시장치의 화소의 회로 구성을 나타낸 회로도,
- <17> 도 17은 발광소자를 사용한 액티브 매트릭스형 표시장치의 구성을 나타낸 평면도 및 단면도,
- <18> 도 18은 전자제품의 일 예시도,
- <19> 도 19는 프로젝터의 일 예시도,
- <20> 도 20은 전자제품의 일 예시도,
- <21> 도 21은 본 발명의 실시예를 도시한 도면,
- <22> 도 22는 본 발명의 실시예를 도시한 도면,
- <23> 도 23은 EBSP에 의한 관찰 결과도,
- <24> 도 24는 EBSP에 의한 관찰 결과도,
- <25> 도 25는 본 발명을 사용하여 TFT를 제작하는 공정을 도시한 도면,
- <26> 도 26은 본 발명을 사용하여 TFT를 제작하는 공정을 도시한 도면,
- <27> 도 27은 본 발명을 사용하여 TFT를 제작하는 공정을 도시한 도면,
- <28> 도 28은 본 발명을 사용하여 TFT를 제작하는 공정을 도시한 도면,
- <29> 도 29는 본 발명의 실제 적용예를 도시한 도면,
- <30> 도 30은 본 발명의 실제 적용예를 도시한 도면,
- <31> 도 31은 본 발명의 실제 적용예를 도시한 도면,
- <32> 도 32는 본 발명의 실제 적용예를 도시한 도면,
- <33> 도 33은 본 발명의 실제 적용예를 도시한 도면,
- <34> 도 34는 본 발명의 실제 적용예를 도시한 도면,
- <35> 도 35는 본 발명의 실제 적용예를 도시한 도면,
- <36> 도 36은 발광장치의 일 예시도,
- <37> 도 37은 발광장치의 일 예시도,
- <38> 도 38은 본 발명의 실제 적용예를 도시한 도면,
- <39> 도 39는 본 발명의 실제 적용예를 도시한 도면,
- <40> 도 40은 본 발명의 실제 적용예를 도시한 도면,
- <41> 도 41은 본 발명의 실제 적용예를 도시한 도면.

<42> *도면의 주요 부분에 대한 부호의 설명*

<43> 101 : 기판

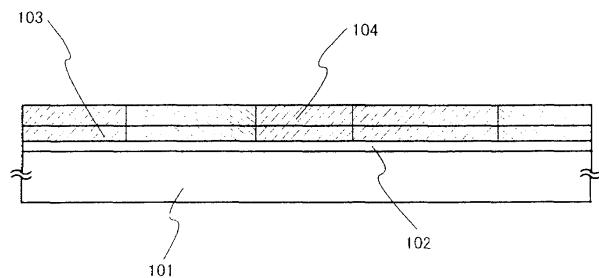
102 : 블록킹층

<44> 103 : 제 1 결정질 반도체막

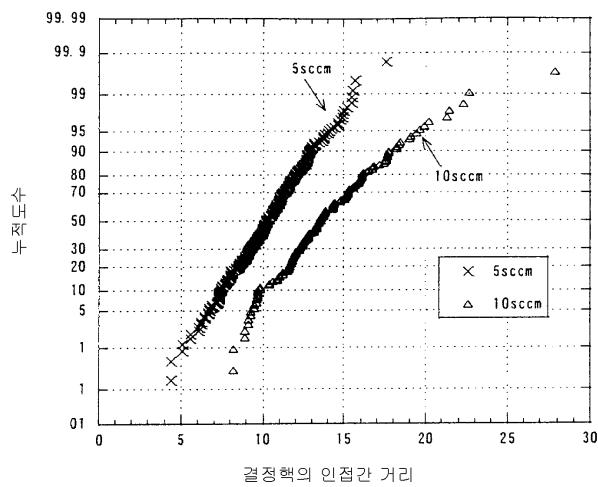
104 : 제 2 결정질 반도체막

도면

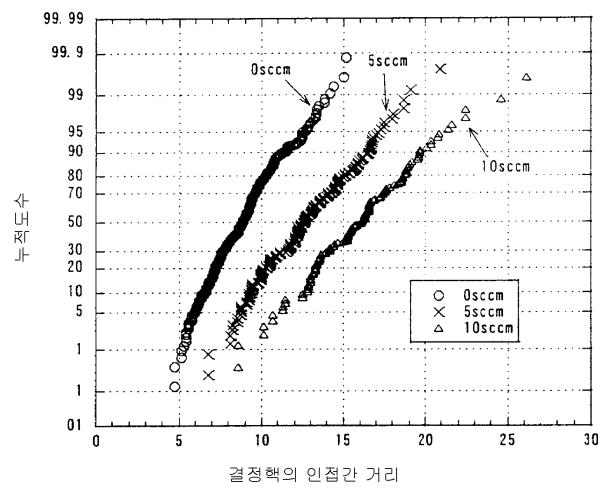
도면1



도면2

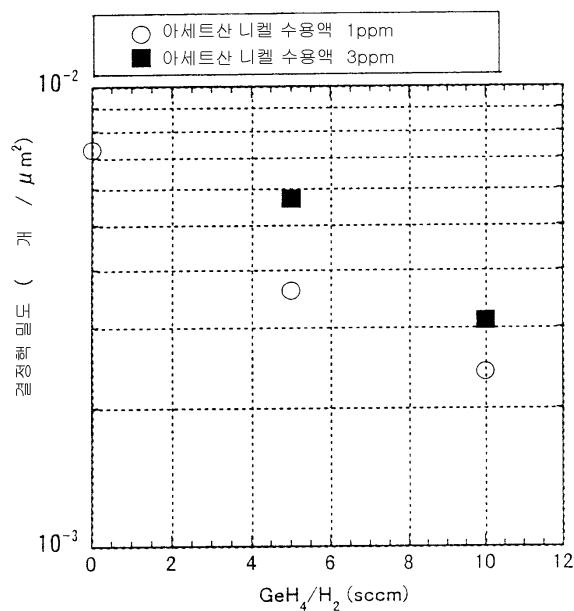


(a)

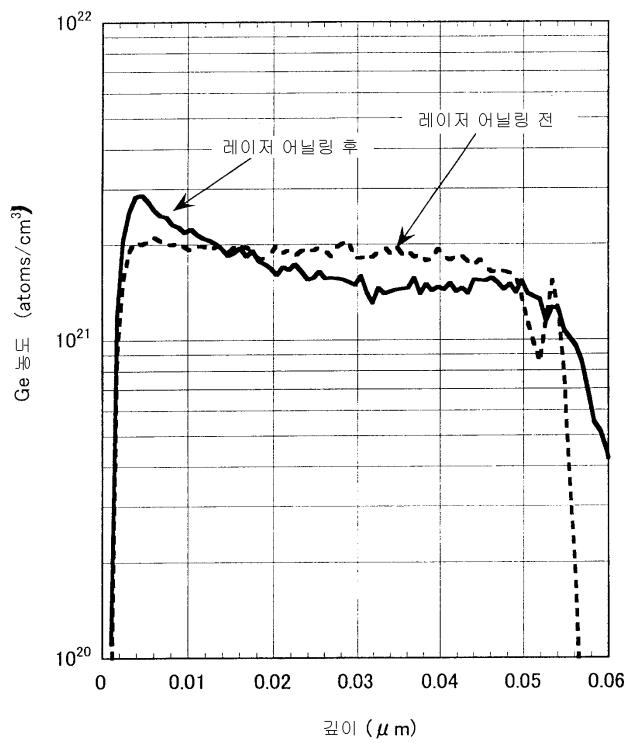


(b)

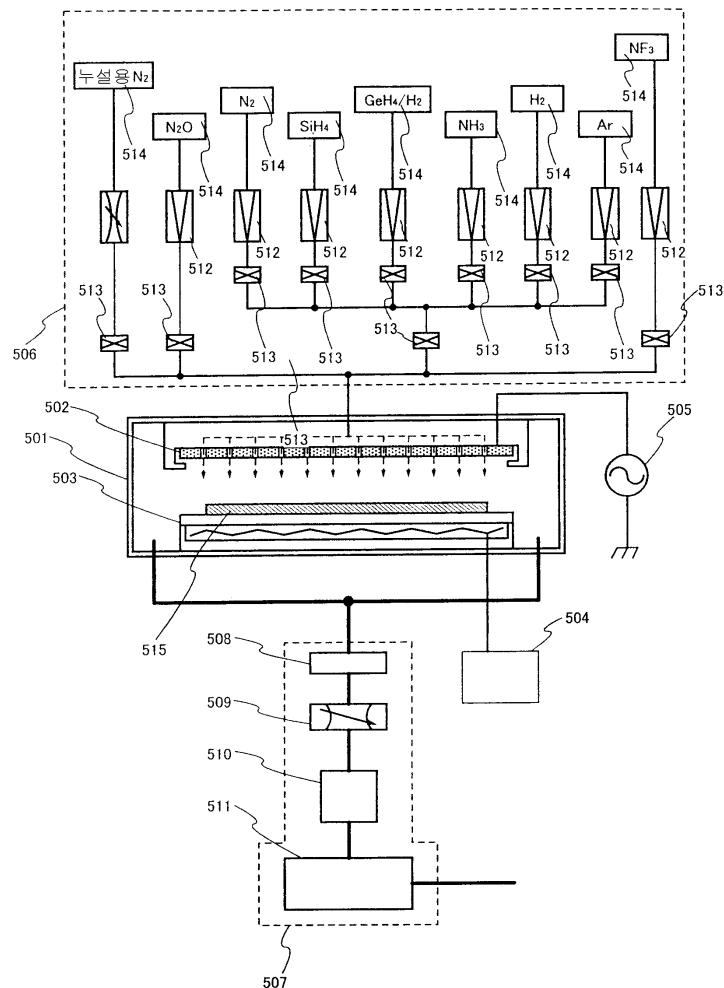
도면3



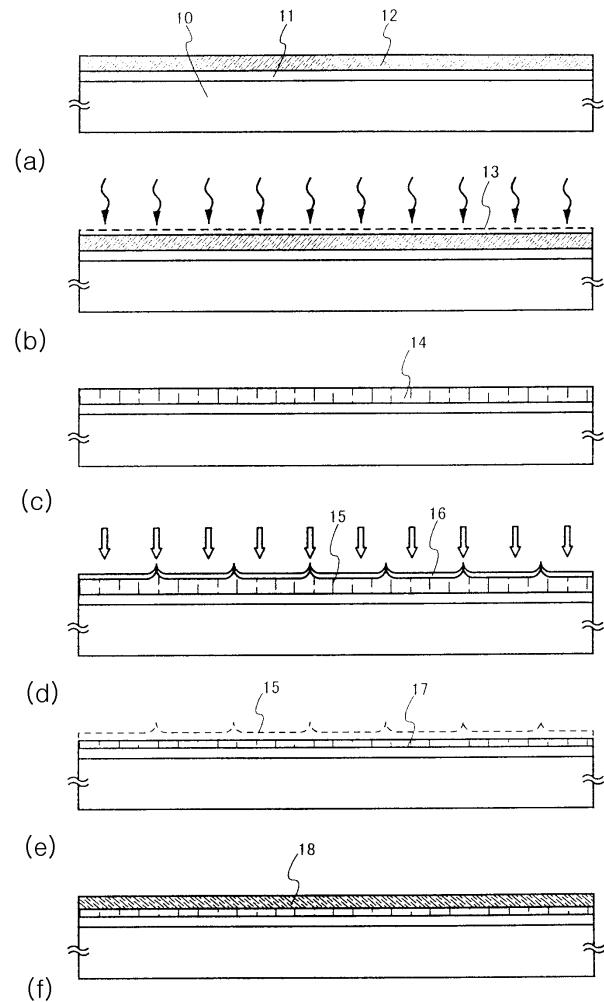
도면4



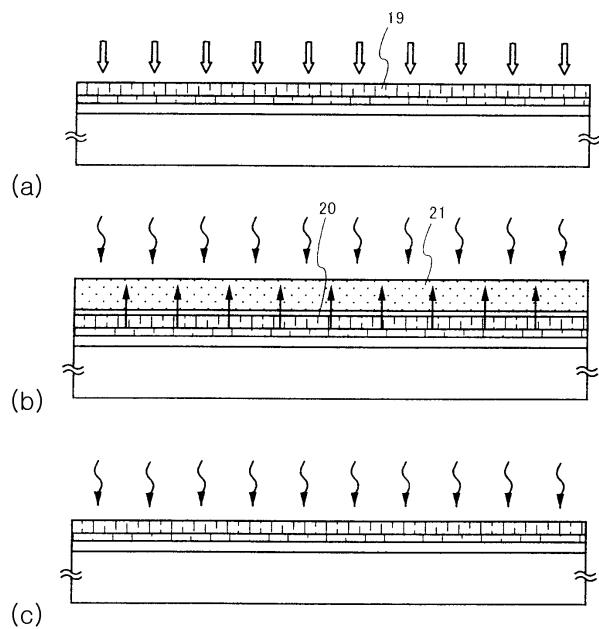
도면5



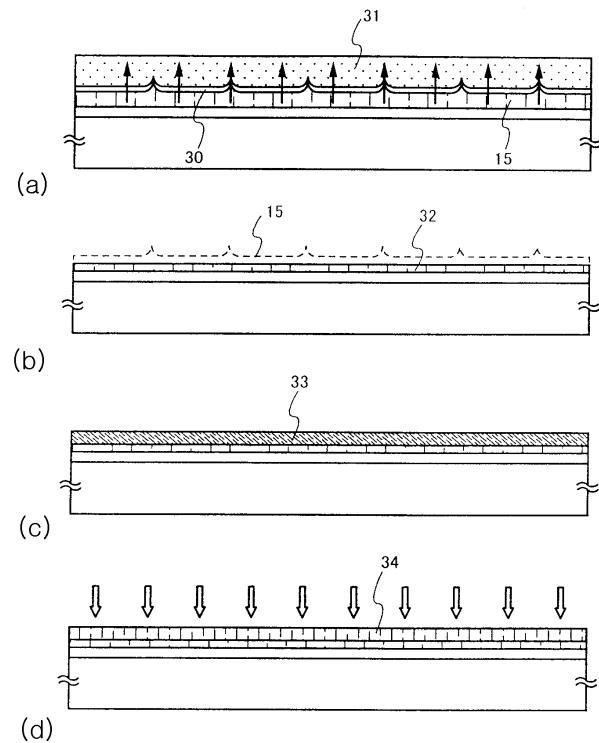
도면6



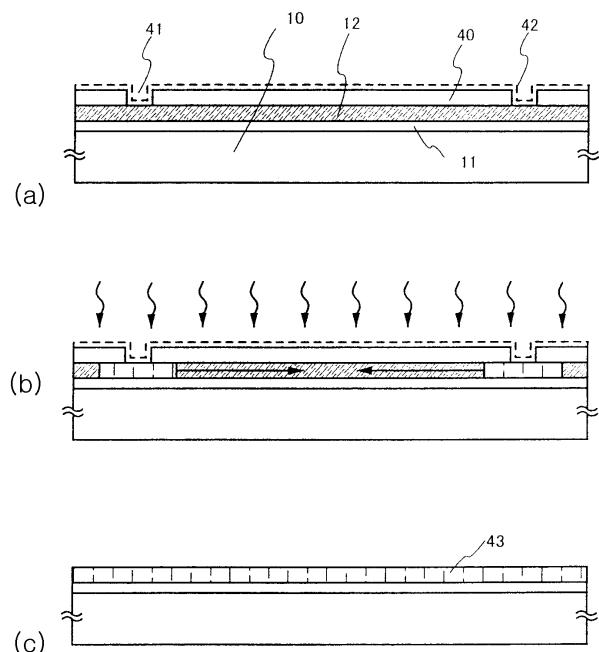
도면7



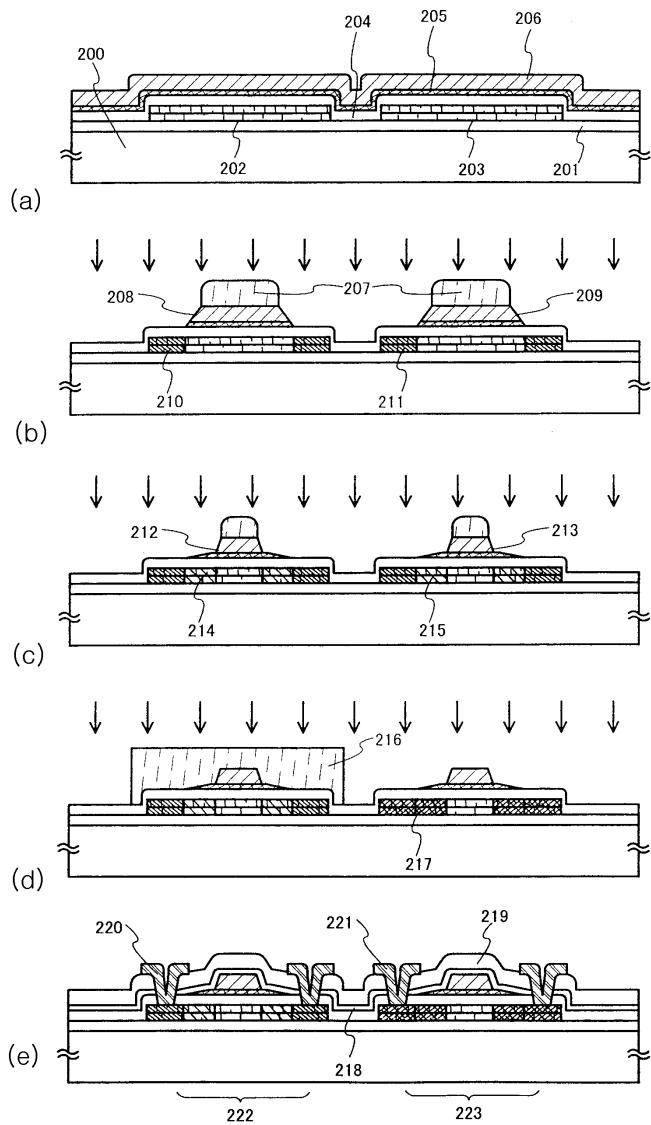
도면8



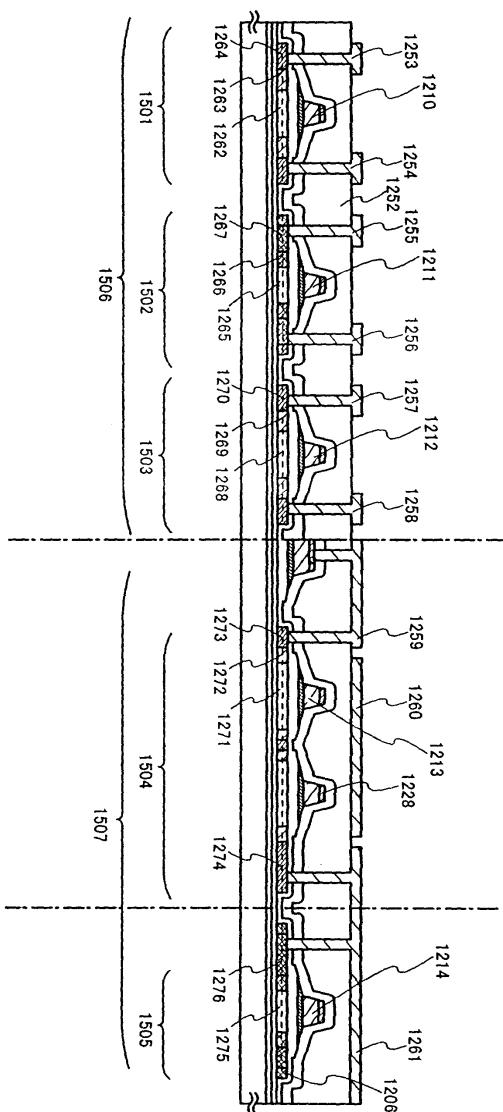
도면9



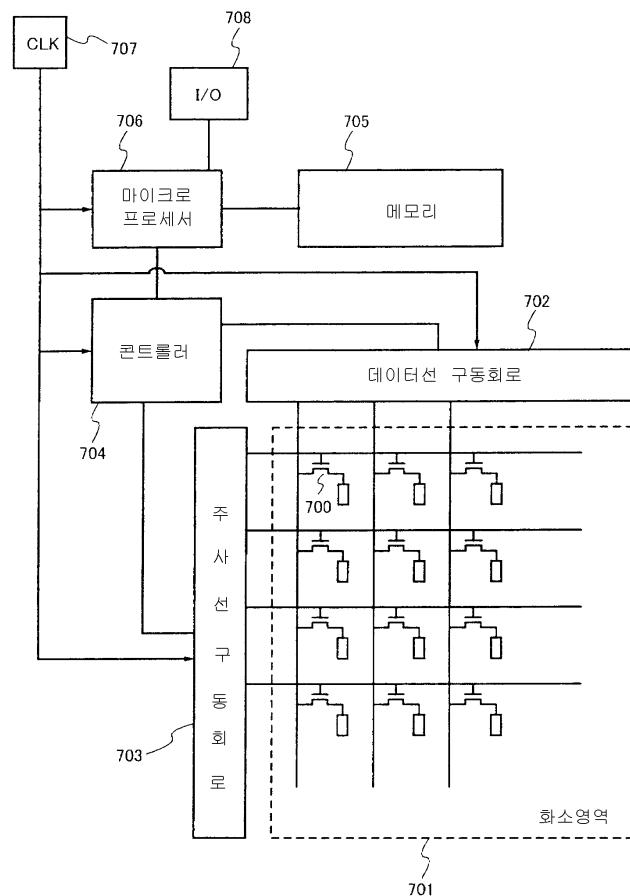
도면10



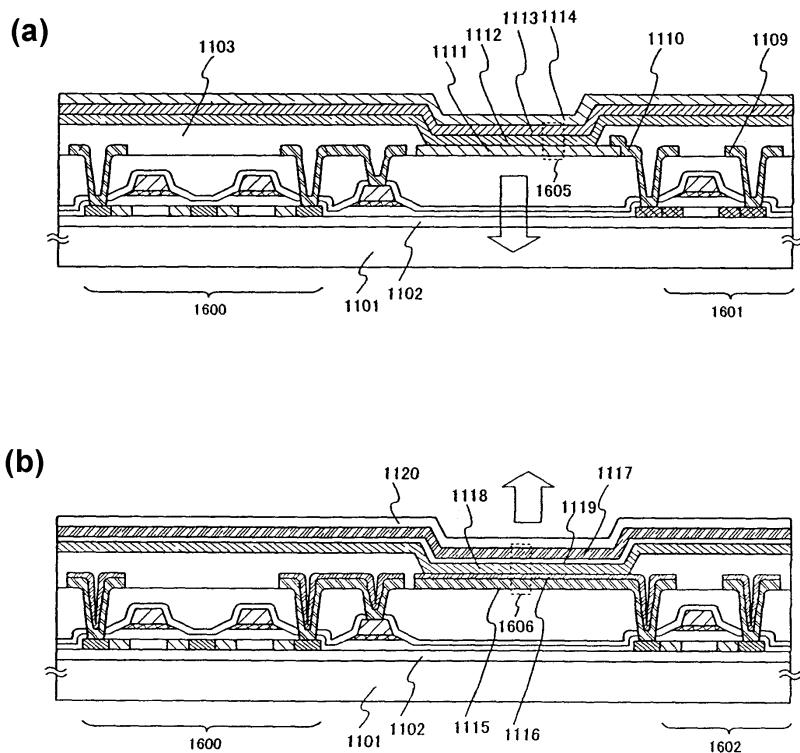
도면11



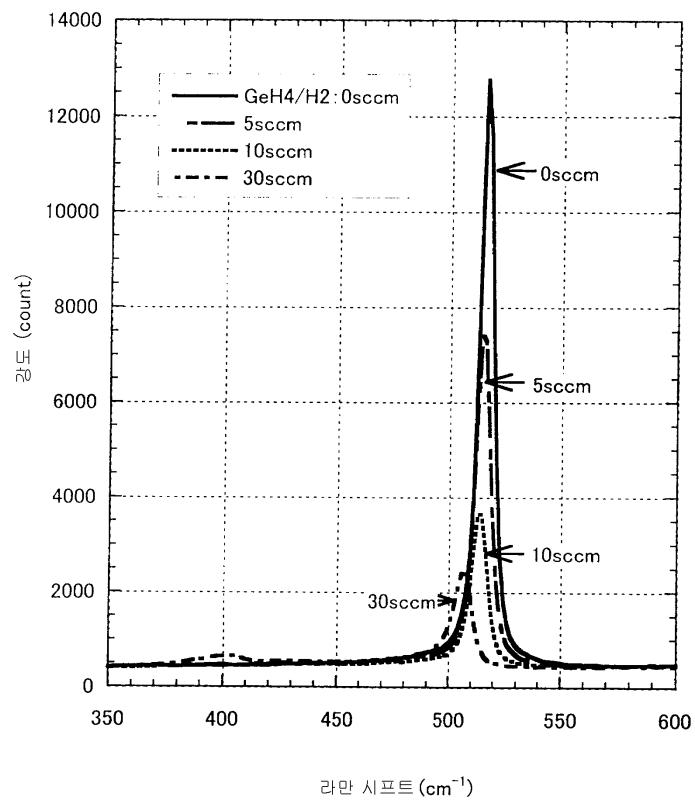
도면12



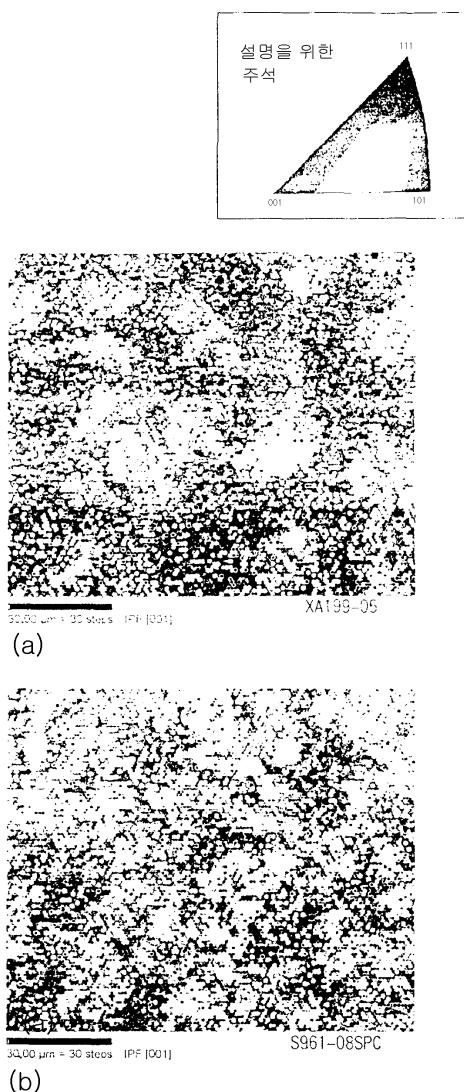
도면13



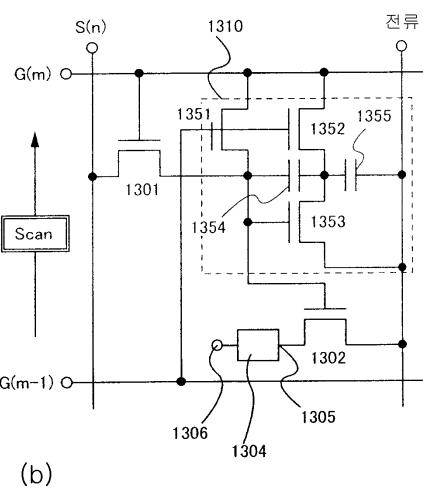
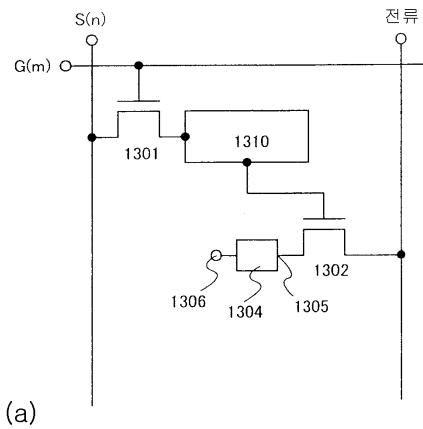
도면14



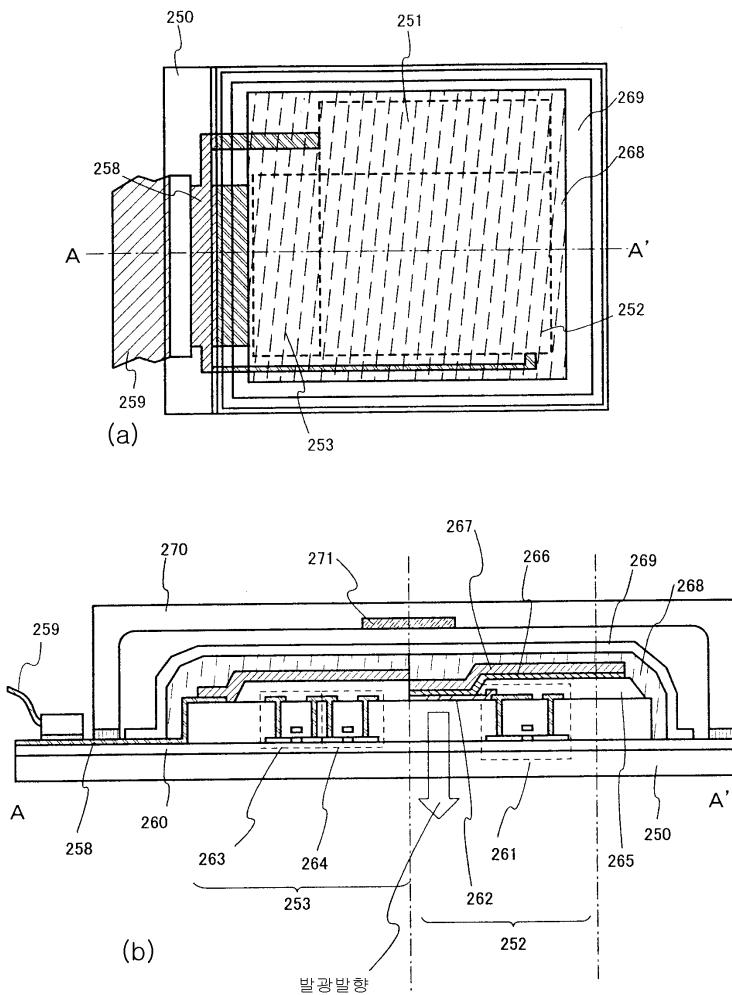
도면15



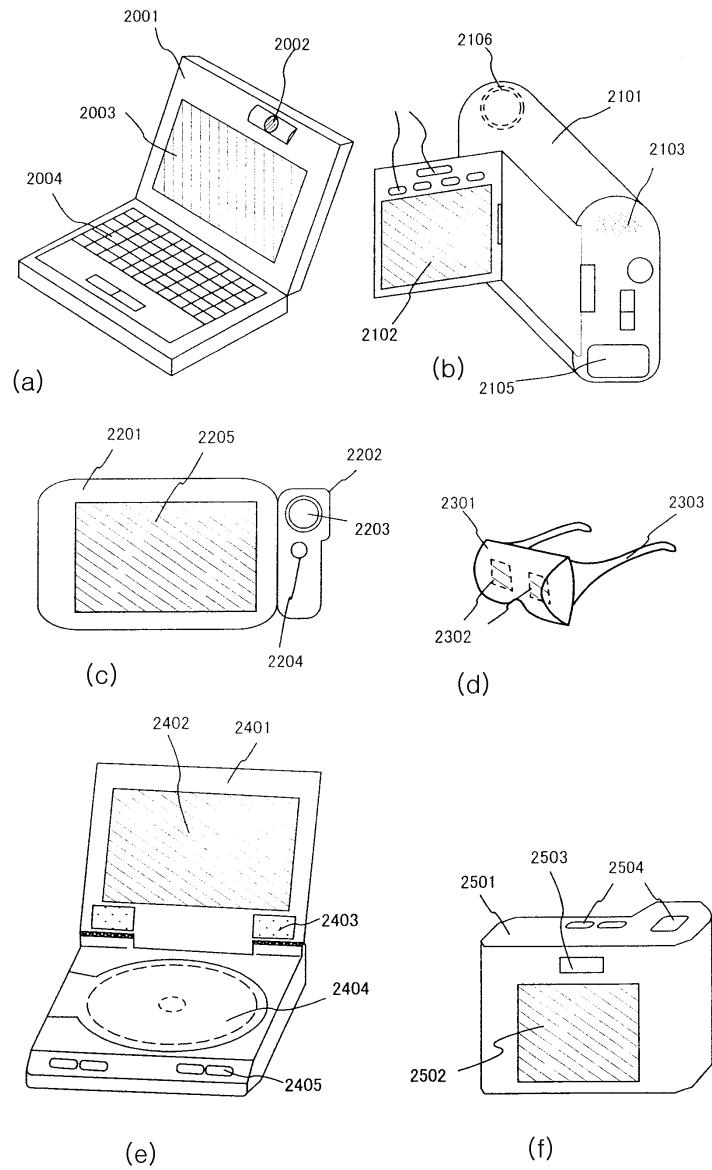
도면16



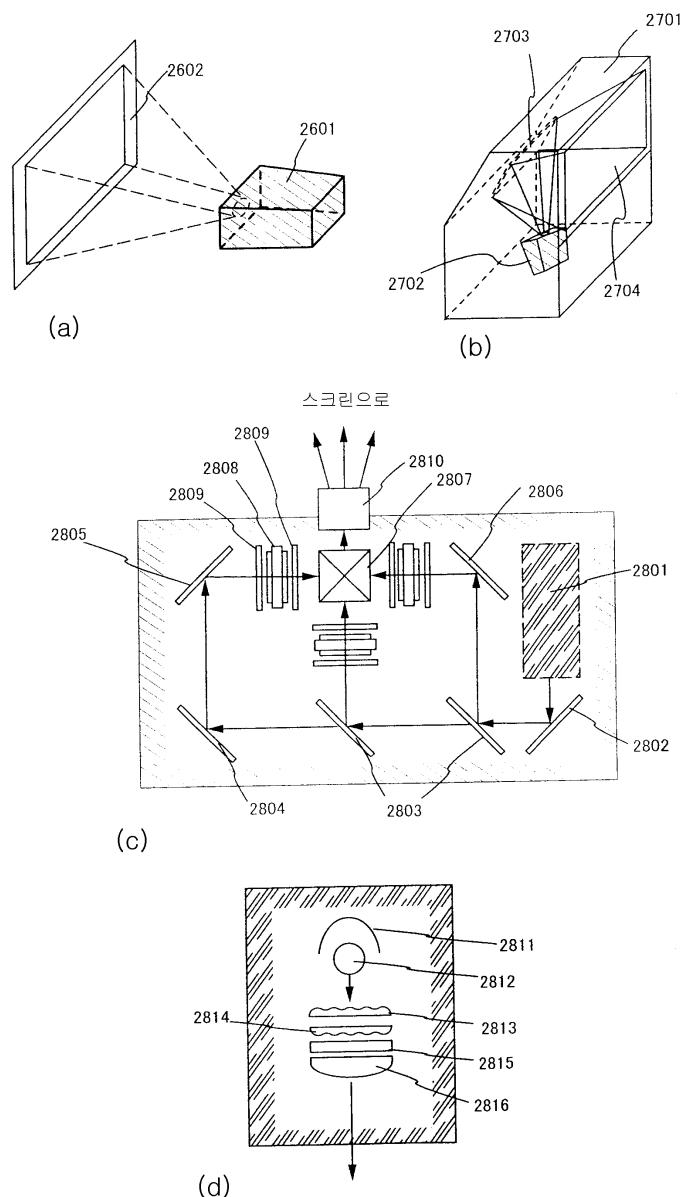
도면17



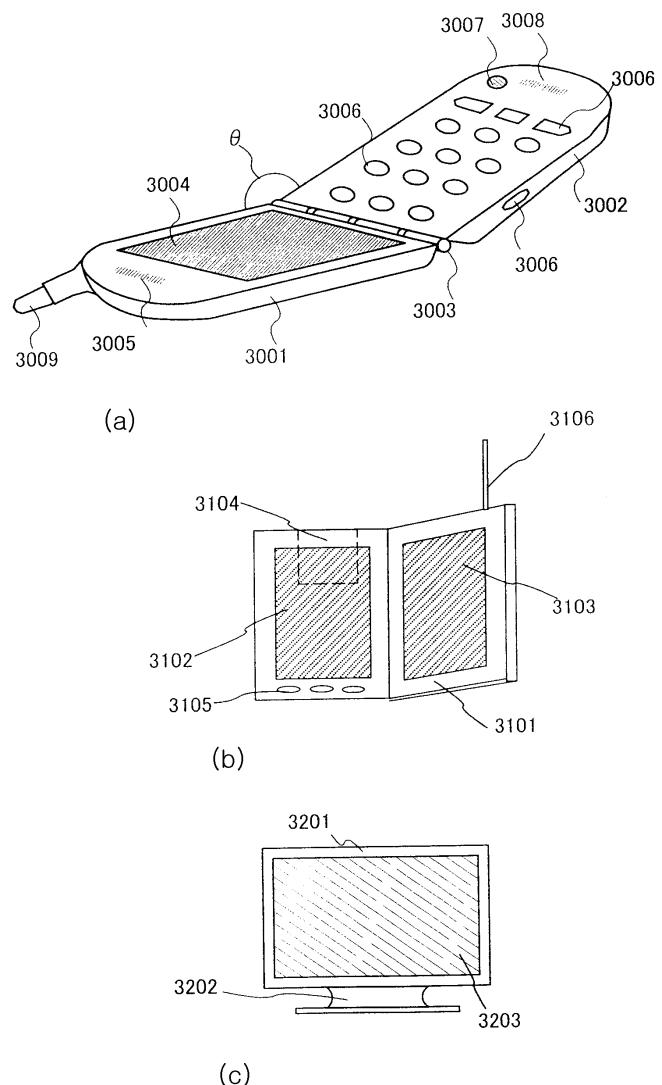
도면18



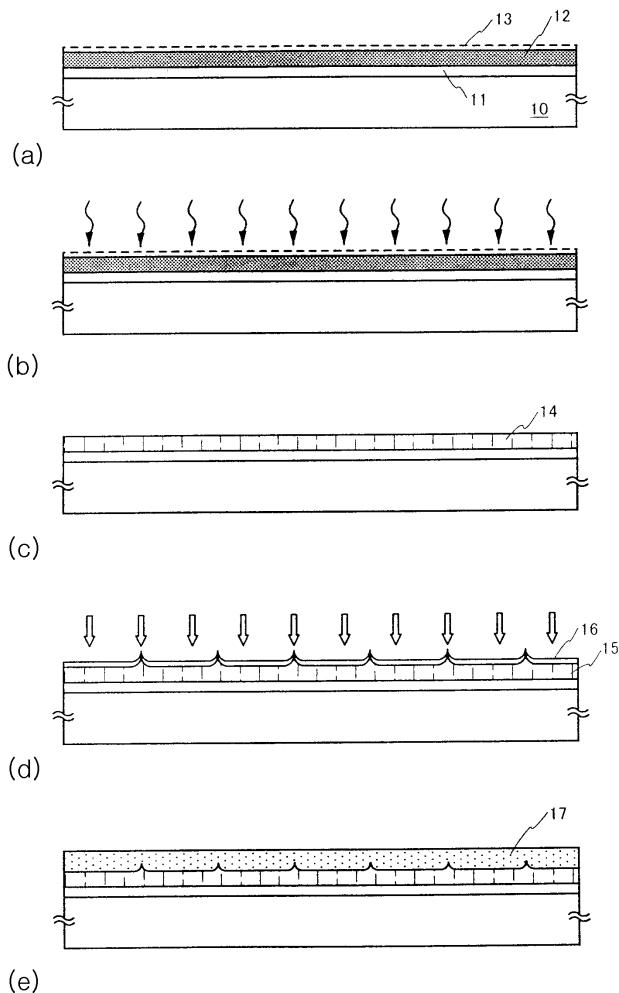
도면19



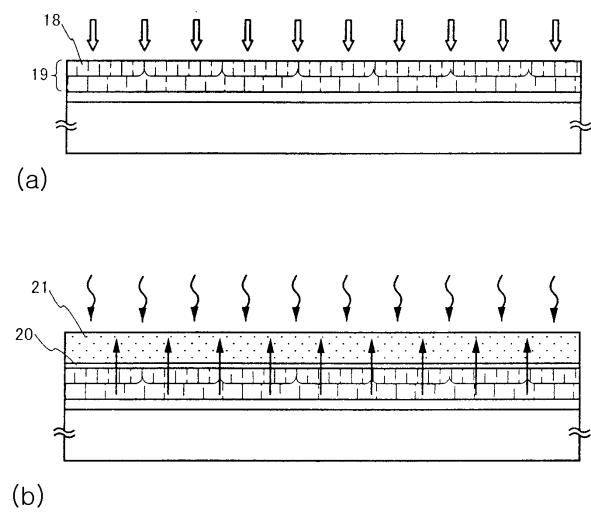
도면20



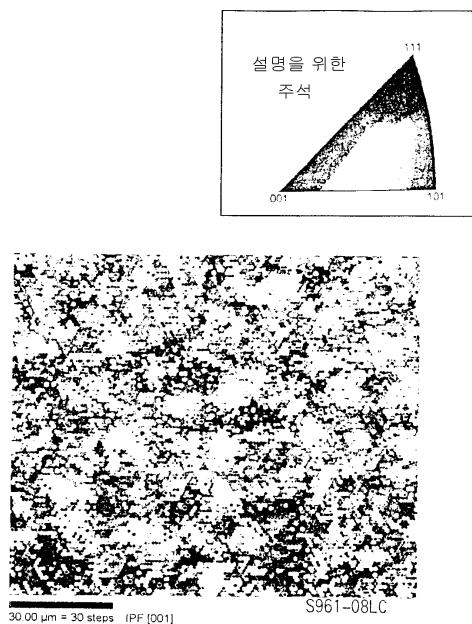
도면21



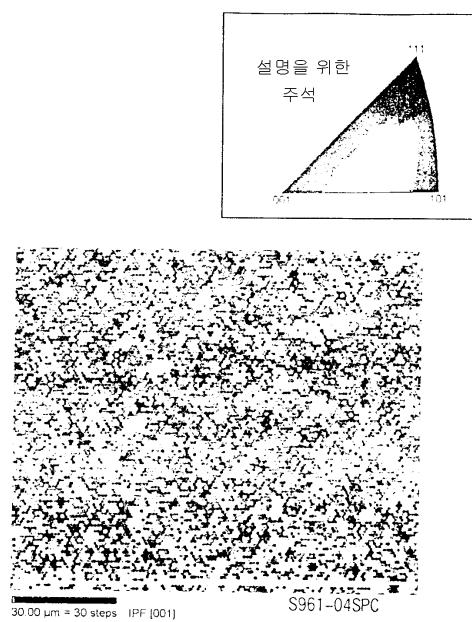
도면22



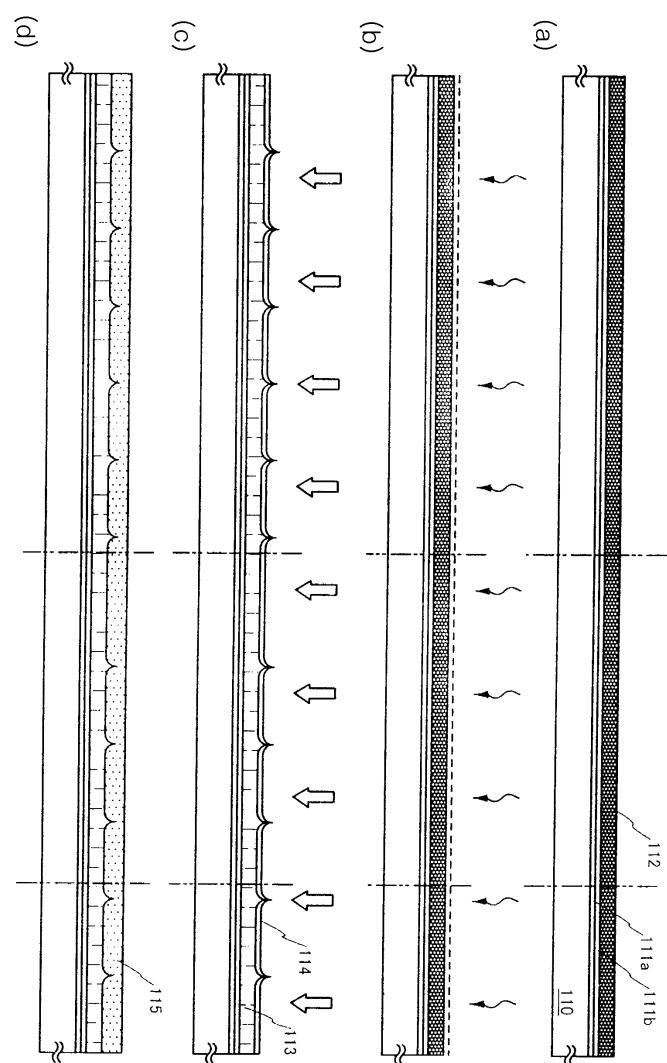
도면23



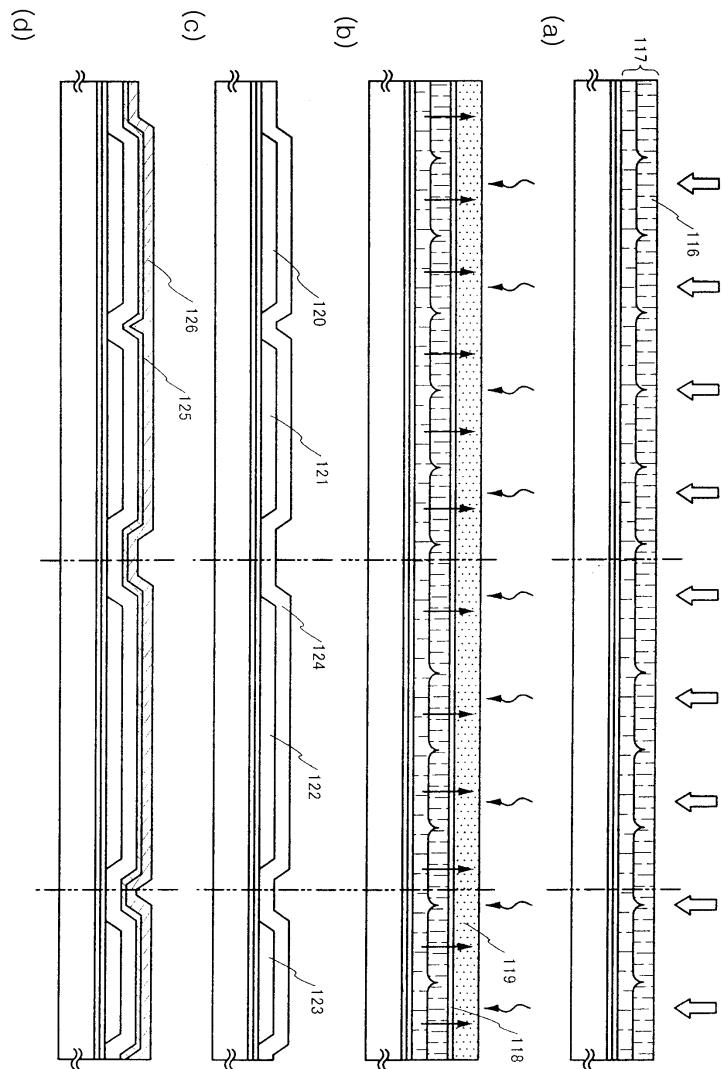
도면24



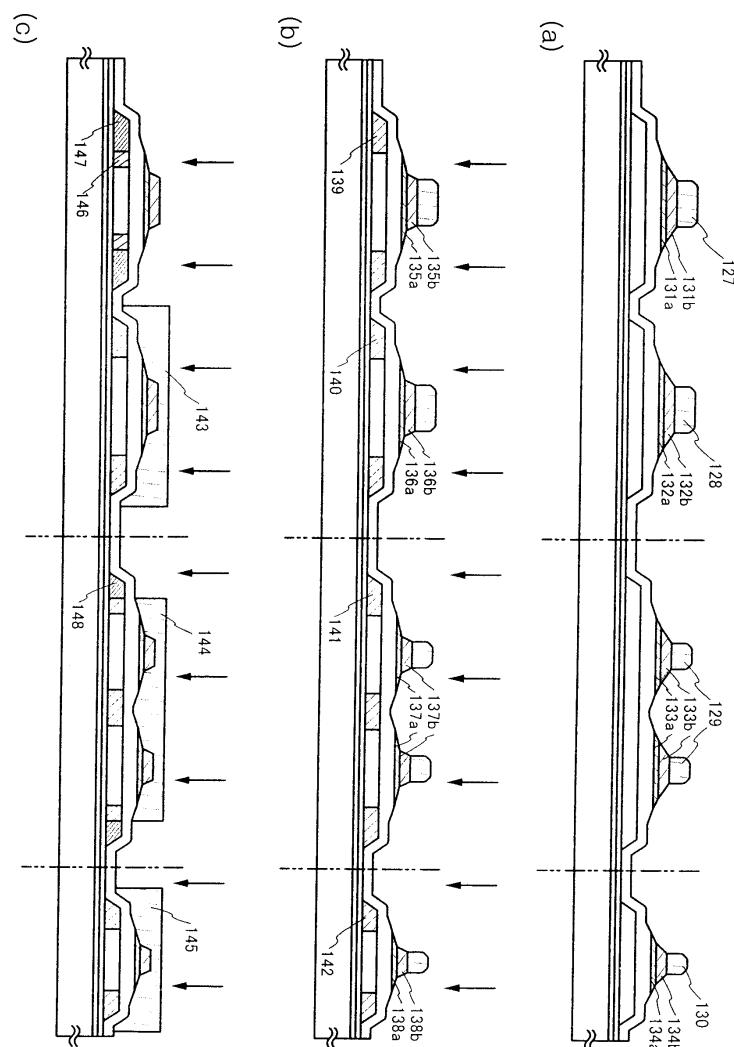
도면25



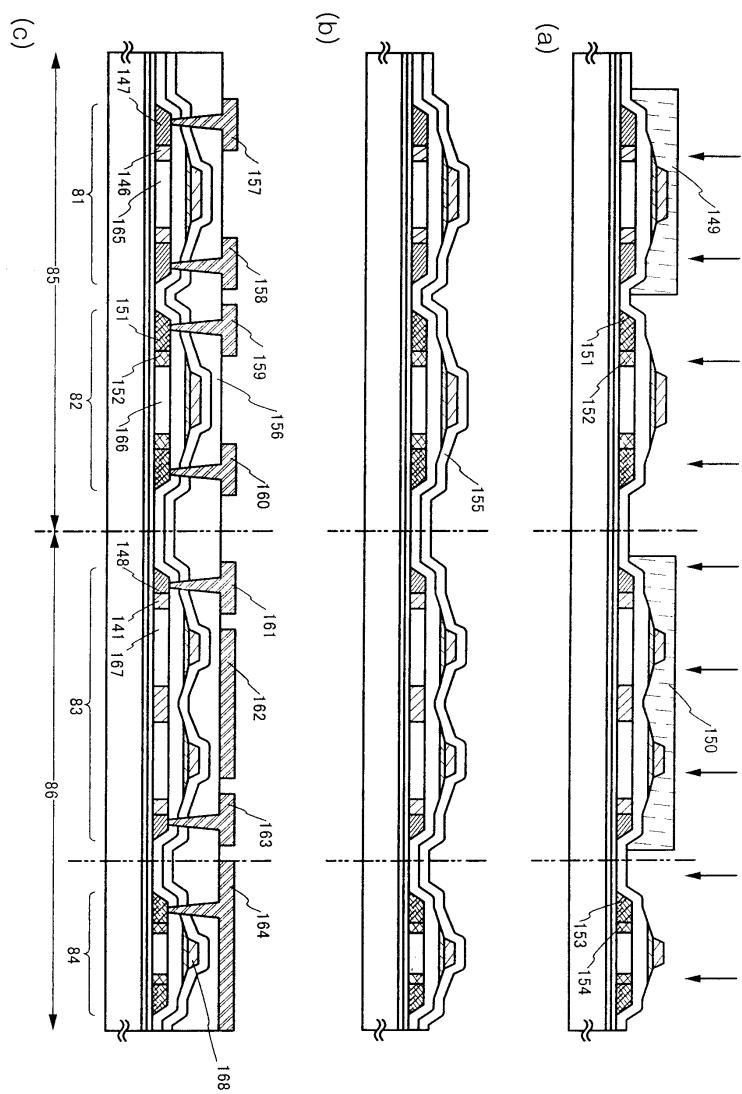
도면26



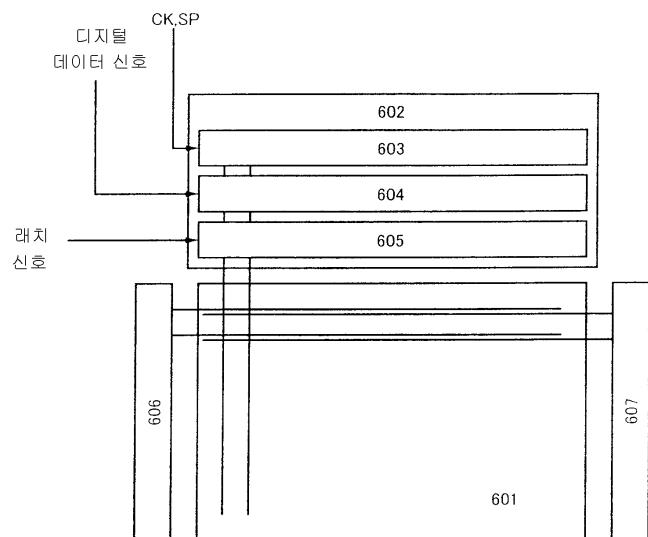
도면27



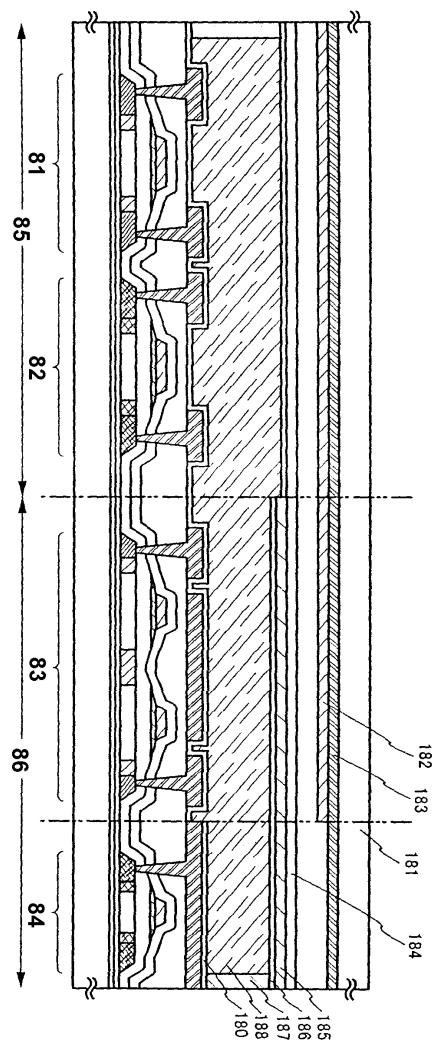
도면28



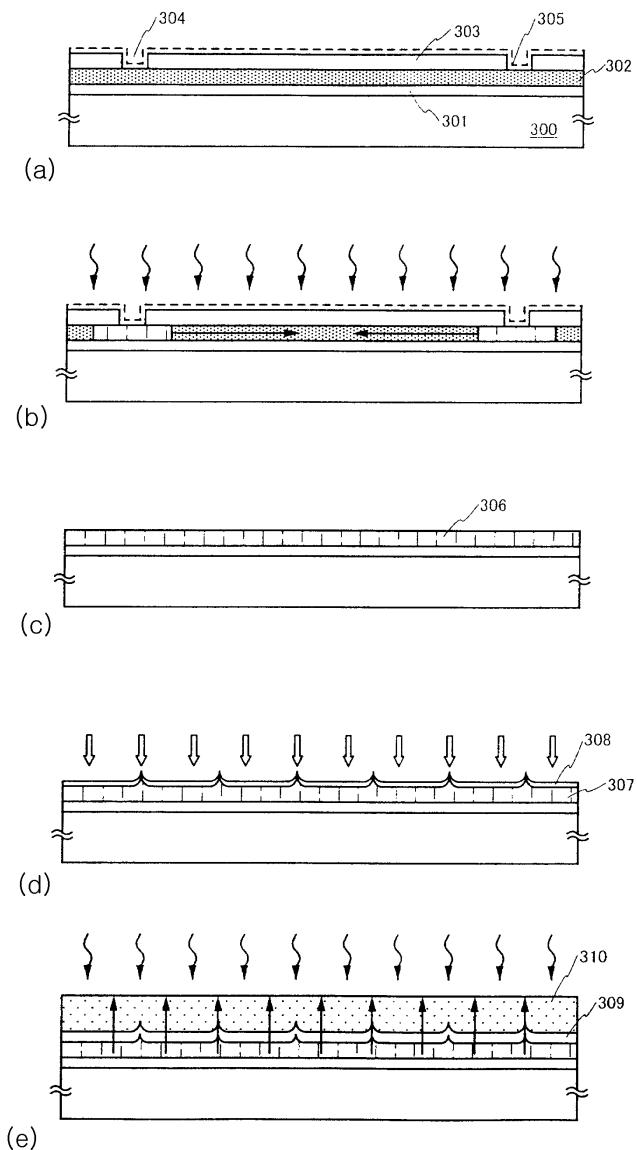
도면29



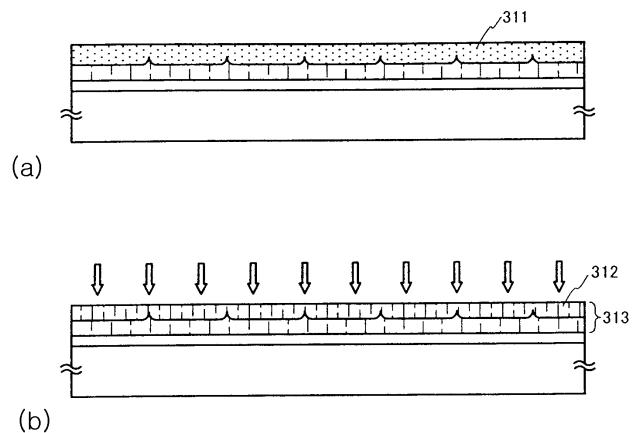
도면30



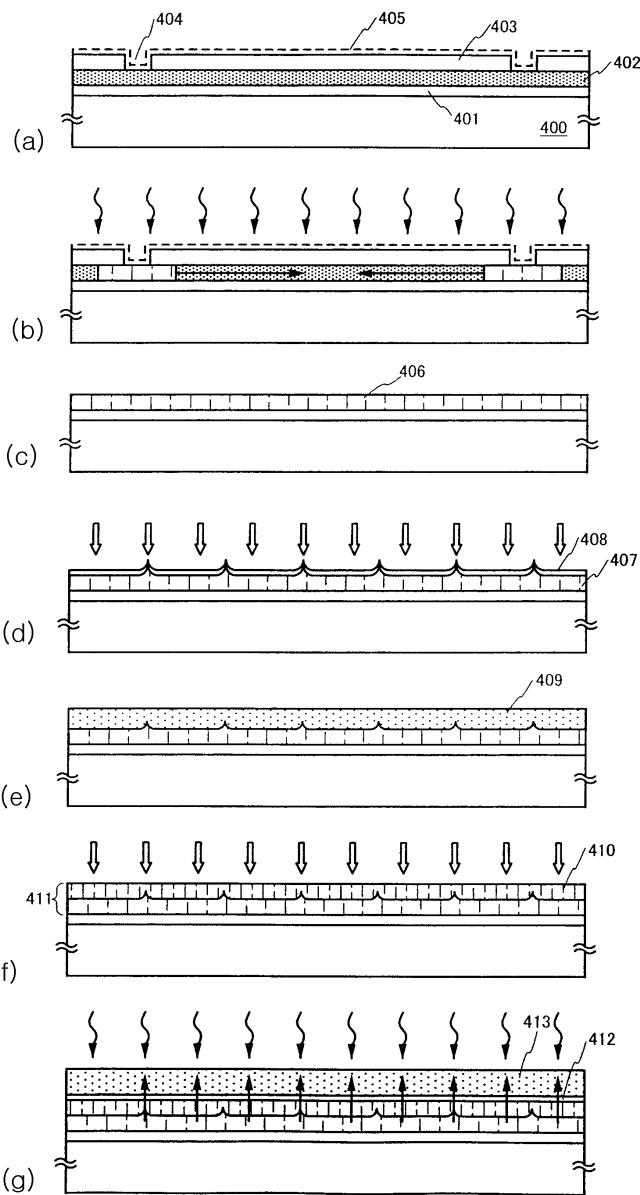
도면31



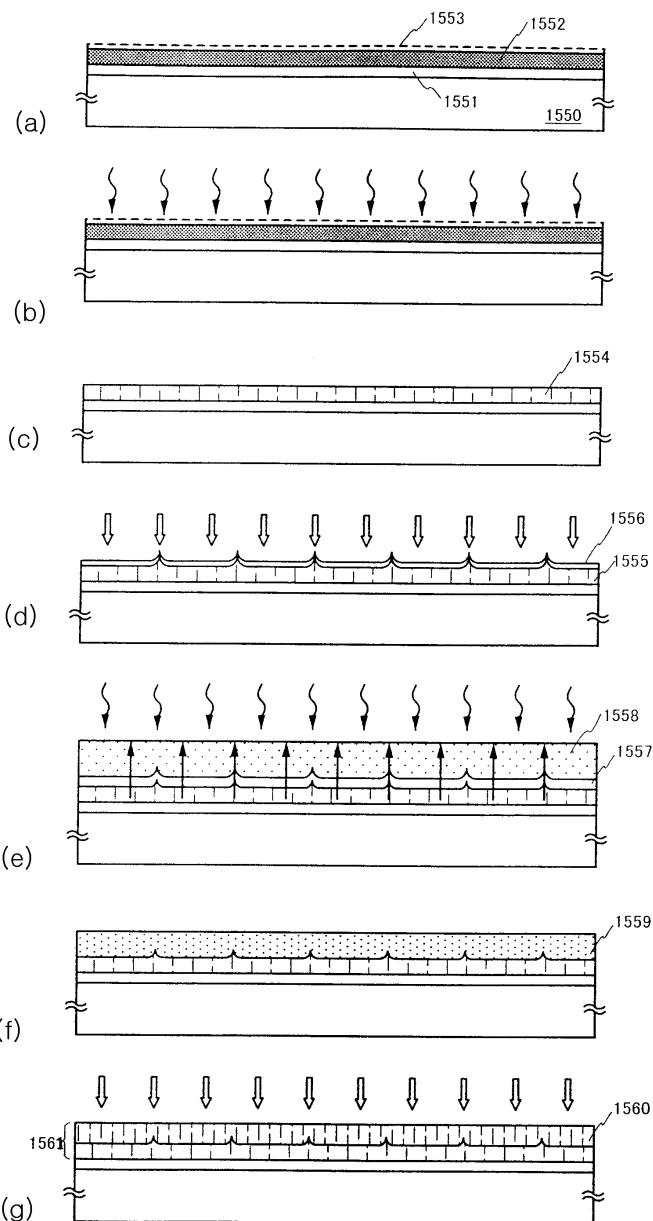
도면32



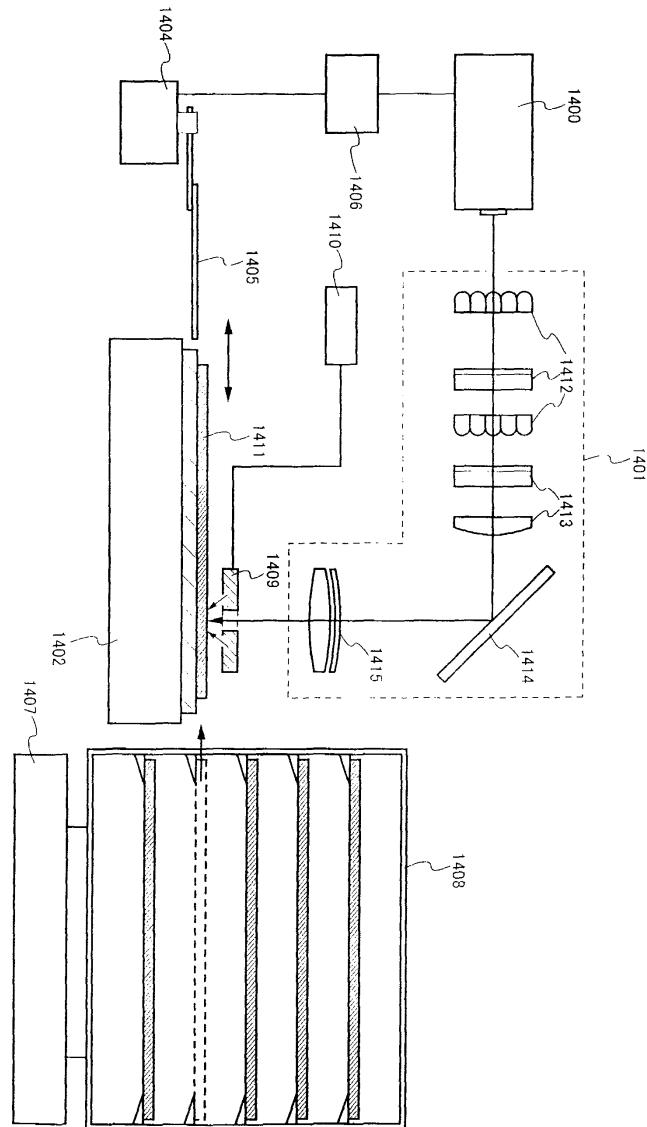
도면33



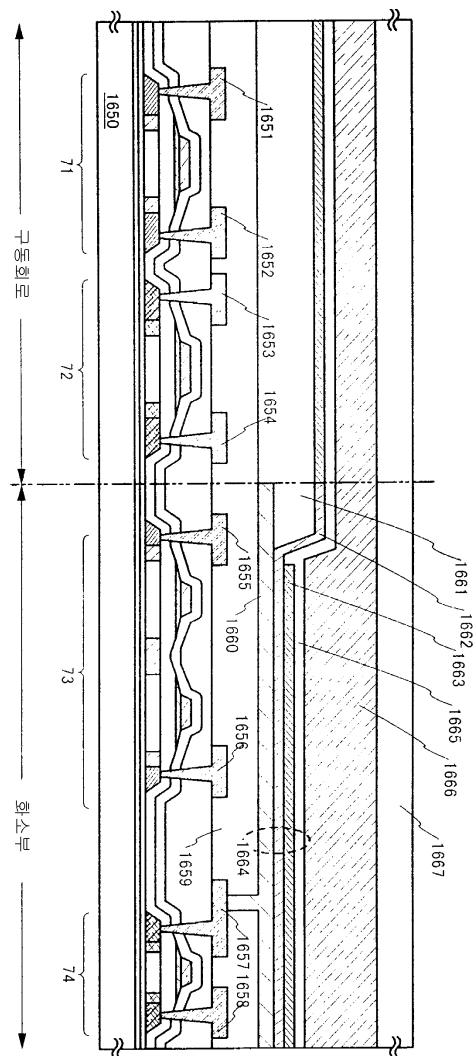
도면34



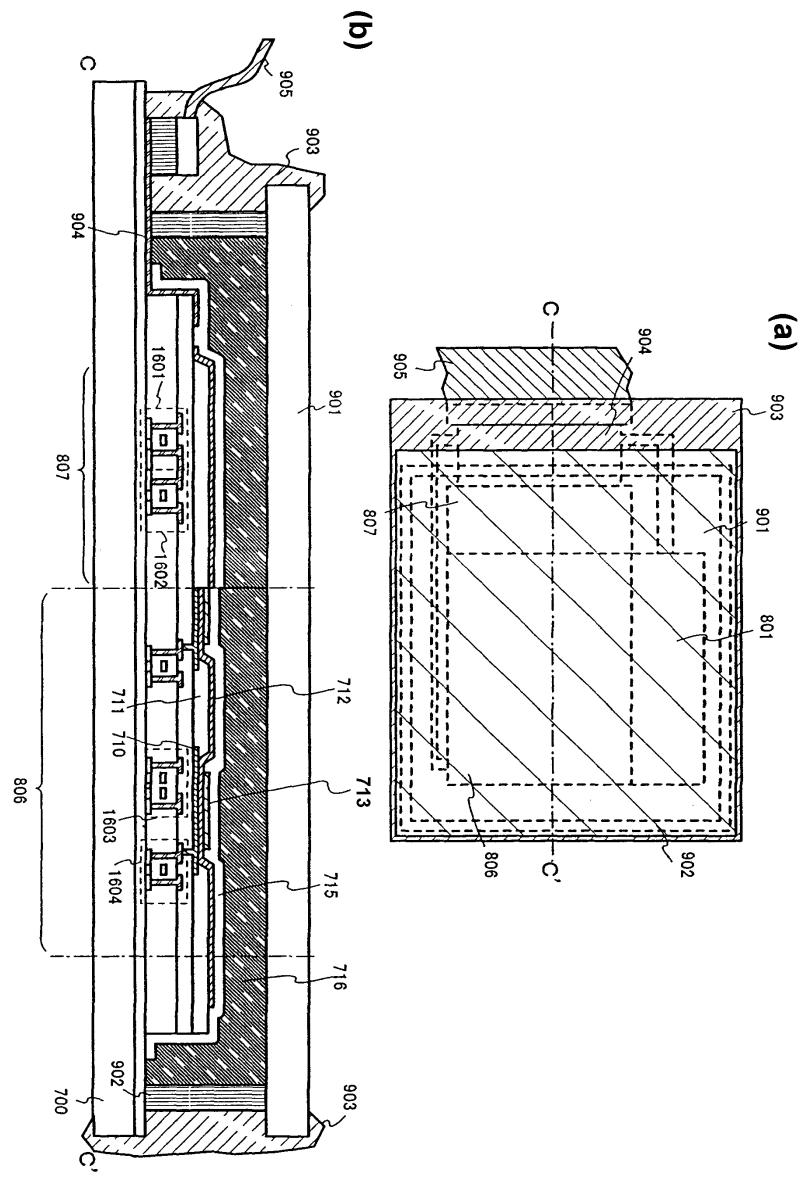
도면35



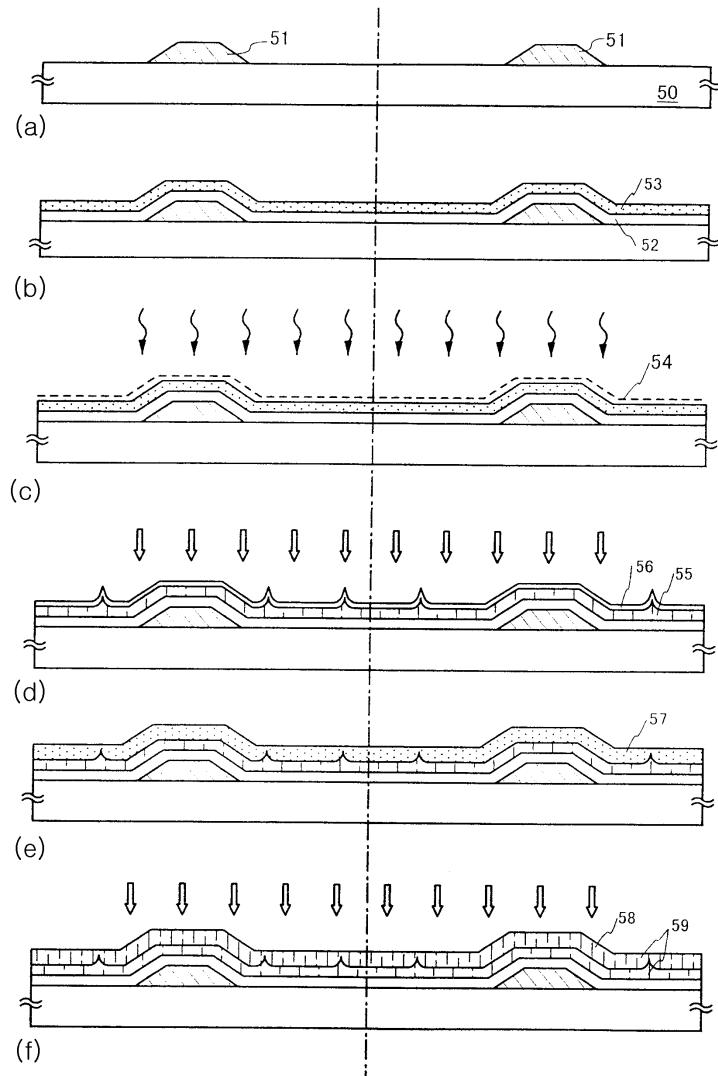
도면36



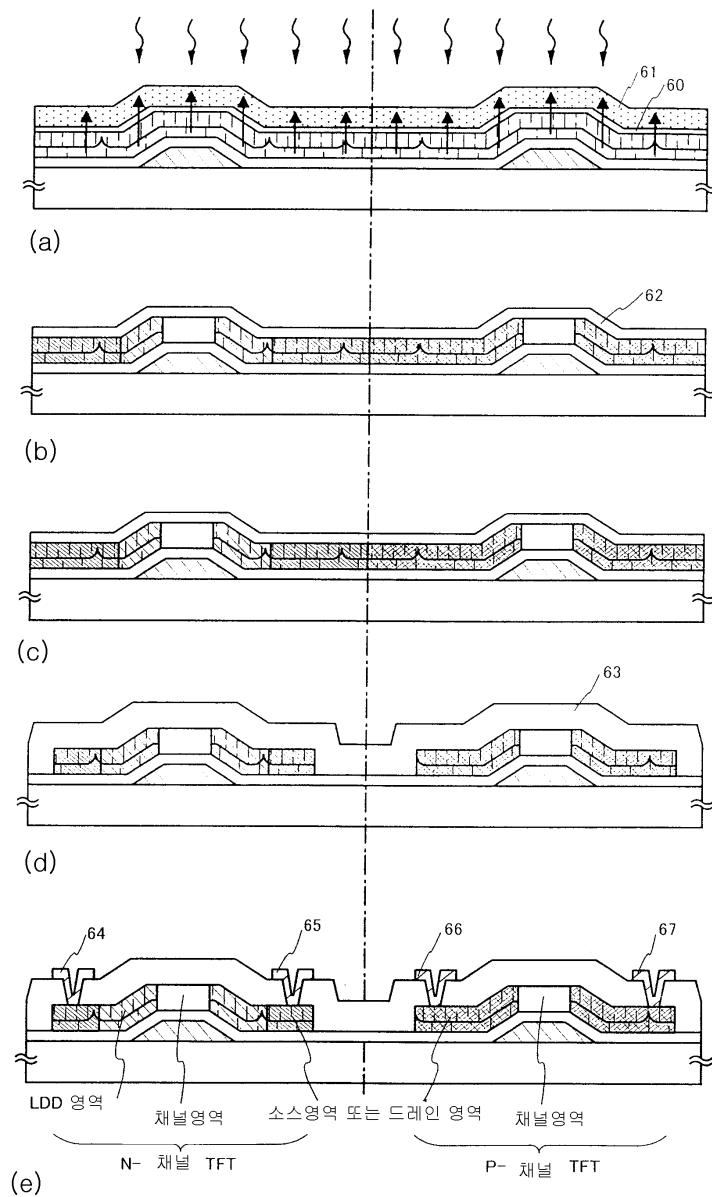
도면37



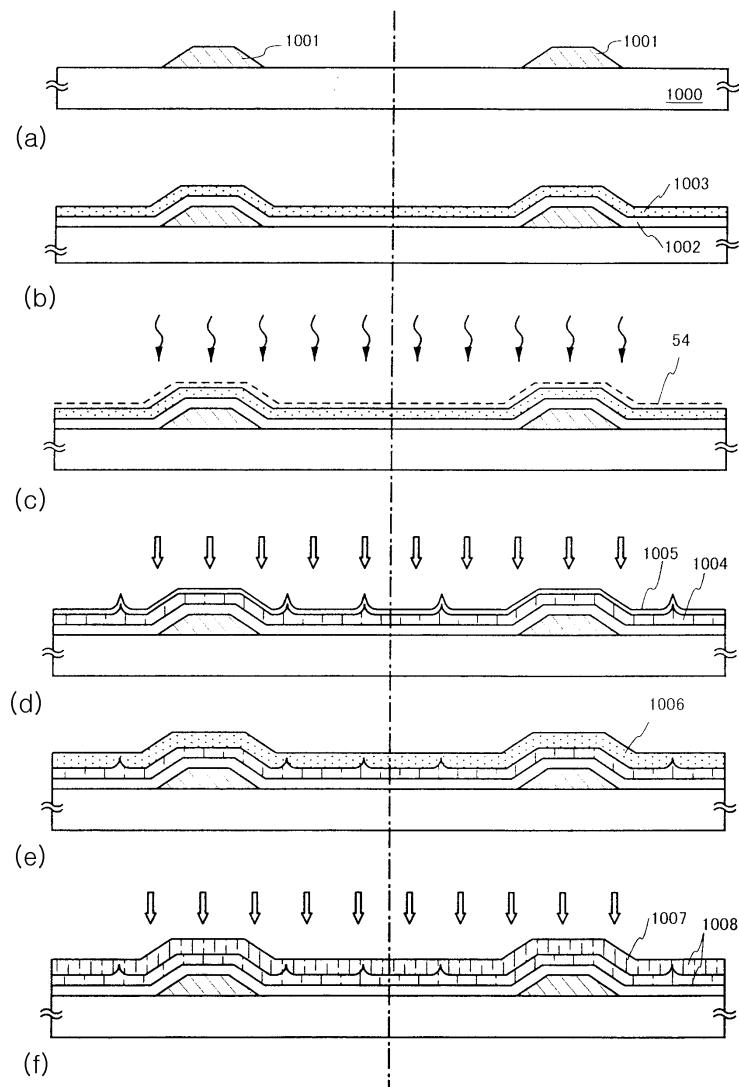
도면38



도면39



도면40



도면41

