

(19) 日本国特許庁 (JP)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開2020-136426

(P2020-136426A)

(43) 公開日 令和2年8月31日 (2020.8.31)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 27/11548 (2017.01)	HO 1 L 27/11548	5 F 0 3 3
HO 1 L 27/11582 (2017.01)	HO 1 L 27/11582	5 F 0 3 8
HO 1 L 27/11575 (2017.01)	HO 1 L 27/11575	5 F 0 6 4
HO 1 L 27/11556 (2017.01)	HO 1 L 27/11556	5 F 0 8 3
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 3 7 1	5 F 1 0 1
審査請求 未請求 請求項の数 7 O L (全 15 頁) 最終頁に続く		

(21) 出願番号 特願2019-26286 (P2019-26286)
 (22) 出願日 平成31年2月18日 (2019.2.18)

(71) 出願人 318010018
 キオクシア株式会社
 東京都港区芝浦三丁目1番21号
 (74) 代理人 110001612
 きさらぎ国際特許業務法人
 (72) 発明者 市川 真也
 東京都港区芝浦一丁目1番1号 東芝メモ
 リ株式会社内
 (72) 発明者 杉原 隆司
 東京都港区芝浦一丁目1番1号 東芝メモ
 リ株式会社内
 (72) 発明者 白井 開渡
 東京都港区芝浦一丁目1番1号 東芝メモ
 リ株式会社内

最終頁に続く

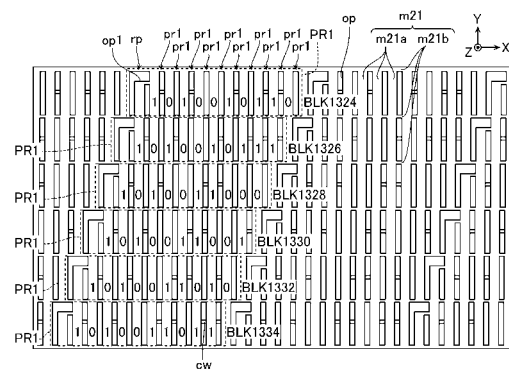
(54) 【発明の名称】 半導体チップ

(57) 【要約】

【課題】 解析の容易な半導体チップを提供する。

【解決手段】 一の実施形態に係る半導体チップは、メモリセルアレイ及び配線層を備える。メモリセルアレイは、第1方向に並ぶ複数のブロックを備える。配線層は、一又は複数のブロックに対応して設けられ第1方向における位置がお互いに異なる複数の第1パターン領域を備える。複数の第1パターン領域は、お互いに異なるパターンを含む。

【選択図】 図4



【特許請求の範囲】

【請求項 1】

メモリセルアレイ及び配線層を備え、
前記メモリセルアレイは第 1 方向に並ぶ複数のブロックを備え、
前記配線層は、一又は複数の前記ブロックに対応して設けられ前記第 1 方向における位置が互いに異なる複数の第 1 パターン領域を備え、
前記複数の第 1 パターン領域は互いに異なるパターンを含む
半導体チップ。

【請求項 2】

前記第 1 パターン領域のパターンは、前記ブロックのアドレスに対応する N 進数（N は 2 以上の整数）の情報を含み、
前記第 1 パターン領域は、前記 N 進数の情報の各桁に対応する複数のパターン小領域を備える
請求項 1 記載の半導体チップ。 10

【請求項 3】

第 1 配線層及び第 2 配線層を備え、
前記第 1 配線層は、前記第 1 方向に延伸し前記第 1 方向と交差する第 2 方向に並ぶ複数の第 1 配線を備え、
前記第 2 配線層は、一又は複数の前記第 1 配線に対応して設けられ前記第 2 方向における位置が互いに異なる複数の第 2 パターン領域を備え、
前記複数の第 2 パターン領域は互いに異なるパターンを含む
請求項 1 又は 2 記載の半導体チップ。 20

【請求項 4】

メモリセルアレイ、第 1 配線層及び第 2 配線層を備え、
前記メモリセルアレイは第 1 方向に並ぶ複数のブロックを備え、
前記第 1 配線層は、前記第 1 方向に延伸し前記第 1 方向と交差する第 2 方向に並ぶ複数の第 1 配線を備え、
前記第 2 配線層は、一又は複数の前記第 1 配線に対応して設けられ前記第 2 方向における位置が互いに異なる複数の第 2 パターン領域を備え、
前記複数の第 2 パターン領域は互いに異なるパターンを含む
半導体チップ。 30

【請求項 5】

前記第 2 パターン領域のパターンは、前記第 1 配線のアドレスに対応する M 進数（M は 2 以上の整数）の情報を含み、
前記第 2 パターン領域は、前記 M 進数の情報の各桁に対応する複数のパターン小領域を備える
請求項 3 又は 4 記載の半導体チップ。

【請求項 6】

前記第 1 配線層は前記第 2 配線層及び前記メモリセルアレイの間に設けられている
請求項 3～5 のいずれか 1 項記載の半導体チップ。 40

【請求項 7】

前記第 2 配線層は前記第 1 配線層及び前記メモリセルアレイの間に設けられている
請求項 3～5 のいずれか 1 項記載の半導体チップ。

【発明の詳細な説明】

【技術分野】

【0001】

以下に記載された実施形態は、半導体チップに関する。

【背景技術】

【0002】

メモリセルアレイ及び配線層を備える半導体チップが知られている。メモリセルアレイ 50

は、所定の方向に並ぶ複数のメモリブロックを備える。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2017-174866

【発明の概要】

【発明が解決しようとする課題】

【0004】

解析の容易な半導体チップを提供する。

【課題を解決するための手段】

【0005】

一の実施形態に係る半導体チップは、メモリセルアレイ及び配線層を備える。メモリセルアレイは、第1方向に並ぶ複数のブロックを備える。配線層は、一又は複数のブロックに対応して設けられ第1方向における位置がお互いに異なる複数の第1パターン領域を備える。複数の第1パターン領域は、お互いに異なるパターンを含む。

【0006】

一の実施形態に係る半導体チップは、メモリセルアレイ、第1配線層及び第2配線層を備える。メモリセルアレイは、第1方向に並ぶ複数のブロックを備える。第1配線層は、第1方向に延伸し第1方向と交差する第2方向に並ぶ複数の第1配線を備える。第2配線層は、一又は複数の第1配線に対応して設けられ第2方向における位置がお互いに異なる複数の第2パターン領域を備える。複数の第2パターン領域は、お互いに異なるパターンを含む。

【発明の効果】

【0007】

解析の容易な半導体チップが提供される。

【図面の簡単な説明】

【0008】

【図1】第1実施形態に係る半導体チップの模式的な平面図である。

【図2】図1のAで示した部分の拡大図である。

【図3】図1のB-B'線に対応する模式的な断面図である。

【図4】図1のCで示した部分の拡大図である。

【図5】第2実施形態に係る半導体チップの模式的な平面図である。

【図6】第3実施形態に係る半導体チップの模式的な平面図である。

【図7】第3実施形態の変形例を示す模式的な平面図である。

【図8】第3実施形態の変形例を示す模式的な平面図である。

【図9】第4実施形態に係る半導体チップの模式的な平面図である。

【図10】第5実施形態に係る半導体チップの模式的な平面図である。

【図11】図10の一部の拡大図である。

【図12】図11のD-D'線に対応する模式的な断面図である。

【図13】図11の一部の拡大図である。

【発明を実施するための形態】

【0009】

次に、実施形態に係る半導体チップを、図面を参照して詳細に説明する。尚、以下の実施形態はあくまでも一例であり、本発明を限定する意図で示されるものではない。また、各図面は模式的なものであり、構成の一部が省略されている場合がある。また、複数の実施形態について共通の構成等については共通の符号を付し、説明を省略する場合がある。

【0010】

また、本明細書においては、基板の表面に対して平行な所定の方向をX方向、基板の表面に対して平行で、X方向と垂直な方向をY方向、基板の表面に対して垂直な方向をZ方向と呼ぶ。

10

20

30

40

50

【0011】

また、本明細書においては、所定の面に沿った方向を第1方向、この所定の面に沿って第1方向と交差する方向を第2方向、この所定の面と交差する方向を第3方向と呼ぶことがある。これら第1方向、第2方向及び第3方向は、X方向、Y方向及びZ方向のいずれかに対応していても良いし、対応していなくても良い。

【0012】

また、本明細書において、「上」や「下」等の表現は、基板を基準とする。例えば、上記第1方向が基板の表面と交差する場合、この第1方向に沿って基板から離れる向きを上と、第1方向に沿って基板に近づく向きを下と呼ぶ。また、ある構成について下面や下端と言う場合には、この構成の基板側の面や端部を意味する事とし、上面や上端と言う場合には、この構成の基板と反対側の面や端部を意味する事とする。また、第2方向又は第3方向と交差する面を側面等と呼ぶ。

【0013】

〔第1実施形態〕

図1は、本実施形態に係る半導体チップの模式的な平面図である。本実施形態に係る半導体チップは、基板Sを備える。また、基板S上には、X方向に並ぶ2つのメモリセルアレイMCAが設けられる。メモリセルアレイMCAは、Y方向に配設された複数のメモリブロックMBを備える。また、メモリセルアレイMCAの外部の領域には、メモリセルアレイMCAのX方向の端部に沿ってY方向に延伸するロウデコーダRDと、メモリセルアレイMCAのY方向の端部に沿ってX方向に延伸するセンスアンプモジュールSAMと、
。が設けられる。また、基板Sの端部近傍には、複数のパッド電極が設けられるパッド領域PAが設けられる。また、これらの外部の領域には、その他の周辺回路PCが設けられる。

【0014】

図2は、図1のAで示した部分の拡大図である。図示の通り、メモリブロックMBは、Y方向に並ぶ2つのブロック構造BSを備える。Y方向に並ぶ2つのブロック構造BSの間には、ブロック構造間絶縁部STが設けられる。ブロック構造BSは、Y方向に並ぶ2つのサブブロックSBを備える。Y方向に並ぶ2つのサブブロックSBの間には、サブブロック間絶縁部SHEが設けられる。また、各ブロック構造BSは、導電層110と、千鳥状に配設された複数の半導体層120と、を備える。また、図2には、X方向に並び、Y方向に延伸する複数のビット線BLを図示している。各ビット線BLは、Y方向に延伸し、各サブブロックSBに属する1の半導体層120に接続される。

【0015】

図3は、図1に示す構造をB-B'線に沿って切断し、矢印の方向に見た模式的な断面図である。

【0016】

本実施形態に係る半導体チップは、基板Sと、基板S上に設けられたメモリセルアレイMCAと、ロウデコーダRDと、メモリセルアレイMCA及びロウデコーダRDを接続するフックアップHUと、を備える。また、本実施形態に係る半導体チップは、これらの上方に設けられた配線層M0、M1、M2を備える。

【0017】

基板Sは、例えば、P型の不純物を含む単結晶シリコン等の半導体基板である。基板Sの上面には、N型の不純物を含むN型ウェル101が設けられている。N型ウェル101の上面には、P型の不純物を含むP型ウェル102が設けられている。また、基板Sの上面には、絶縁部STIが設けられている。

【0018】

メモリセルアレイMCAは、Z方向に並ぶ複数の導電層110と、Z方向に延伸する複数の半導体層120と、を備える。導電層110は、例えばタングステン(W)等を含み、ワード線WL及びメモリトランジスタのゲート電極として機能する。半導体層120は、例えば多結晶シリコン(Si)等を含み、メモリトランジスタのチャンネル領域として機

能する。図示の例において、半導体層 120 の下端は基板 S の P 型ウェル 102 に接続される。また、導電層 110 及び半導体層 120 の間には、図示しないゲート絶縁膜が設けられる。ゲート絶縁膜は、例えば、窒化シリコン (Si_3N_4) 等の絶縁性の電荷蓄積膜、不純物を含む多結晶シリコン等のフローティングゲート、又は、その他のデータを記録可能なメモリ部を含む。

【0019】

ロウデコーダ RD は、X 方向に並ぶ複数のトランジスタ Tr と、これらトランジスタ Tr に接続された複数のコンタクト CS と、を備える。トランジスタ Tr は、P 型ウェル 102 をチャンネル領域とする N 型の電界効果トランジスタである。コンタクト CS は Z 方向に延伸し、トランジスタ Tr のソース領域、ドレイン領域及びゲート電極に接続されている。

10

【0020】

フックアップ HU は、複数の導電層 110 の端部と、これらに接続された複数のコンタクト CC と、を備える。複数の導電層 110 の端部の X 方向における位置は、それぞれ異なっている。コンタクト CC は Z 方向に延伸し、これら複数の導電層 110 に接続されている。

【0021】

配線層 M0 は、複数の配線 m0 を備える。配線 m0 は、例えば、タングステン (W) 等を含む。配線 m0 は、例えば、コンタクト CC 及びコンタクト CS を接続する。

【0022】

配線層 M1 は、配線層 M0 の上方に設けられ、複数の配線 m1 を備える。配線 m1 は、例えば、銅 (Cu) 等を含む。配線 m1 は、例えば、コンタクト CC 及びコンタクト CS を接続する。また、一部の配線 m1 はビット線 BL として機能し、コンタクト Vy 及びコンタクト Ch を介して半導体層 120 の上端に接続される。

20

【0023】

配線層 M2 は、配線層 M1 の上方に設けられ、複数の配線 m2 を備える。配線 m2 は、例えば、アルミニウム (Al) 等を含む。一部の配線 m2 はパッド領域 PA (図 1) に設けられ、パッド電極として機能する。また、一部の配線 m2 はパッド電極に接続され、各構成に信号、電源電圧及び接地電圧を供給する。例えば、複数の配線 m2 のうちの配線 m21 はメモリセルアレイ MCA の上方に設けられ、メモリセルアレイ MCA 等に接地電圧を供給する。

30

【0024】

図 4 は、図 1 の C で示した部分に対応する拡大平面図であり、メモリセルアレイ MCA の上方に設けられた配線 m21 の一部を示している。

【0025】

配線 m21 の形状は、略網状の形状と考えることも可能であるし、複数の貫通孔を有する略板状の形状と考えることも可能である。配線 m21 の形状が略網状であると考えた場合、配線 m21 は、X 方向に並び Y 方向に延伸する複数の配線部 m21a と、Y 方向に並び X 方向に延伸する複数の配線部 m21b と、を備える。これら複数の配線部 m21a, m21b はお互いに交差し、略網状の形状を構成している。配線 m21 の形状が略板状の形状であると考えた場合、配線 m21 は、X 方向及び Y 方向に並ぶ複数の貫通孔 op を備える。これら複数の貫通孔 op のうちの一部の貫通孔 op1 は、その他の貫通孔 op よりも大きい。この様な貫通孔 op1 は、XY 平面において斜め方向 (X 方向及び Y 方向の間の方向) に並ぶ。この様な貫通孔 op1 は、例えば、図 1 に例示する様な蛇行するパターン SP に沿って設けられる。このパターン SP は、例えば、半導体装置の解析に際してメモリブロック MB のアドレスを特定する目安とすることが出来る。

40

【0026】

また、配線 m21 は、図 4 に例示する様に、一又は複数のメモリブロック MB に対応して設けられた複数のパターン領域 PR1 を含む。図示の例において、パターン領域 PR1 は、Y 方向において隣り合う 2 つのメモリブロック MB に対応して設けられている。パタ

50

ーン領域 P R 1 は、Z 方向から見て、対応する 2 つのメモリブロック M B と重なる位置に設けられている。

【0027】

パターン領域 P R 1 は、パターン小領域 r p、及び、X 方向に並ぶ複数のパターン小領域 p r 1 を備える。

【0028】

パターン小領域 r p は、参照パターンを含む。参照パターンは、複数のパターン小領域 p r 1 におけるパターンと異なるパターンを含む。これにより、パターン小領域 r p の範囲を特定可能である。図示の例では、参照パターンが上記貫通孔 o p 1 を含む。また、図示の例において、参照パターンは Y 方向に不対象な形状を有する。これにより、Y 方向に

10

【0029】

複数のパターン小領域 p r 1 には、それぞれ、“0”を示すパターン又は“1”を示すパターンが設けられる。図示の例では、一部の貫通孔 o p に接続配線 c w が設けられている。図示の例では、接続配線 c w が設けられない貫通孔 o p が“0”を示すパターンであり、接続配線 c w が設けられた貫通孔 o p が“1”を示すパターンである。図示の例では、10 個のパターン小領域 p r 1 によって 10 桁の 2 進数を表現し、これによってメモリブロック M B のアドレスを表現するパターンを形成する。尚、Y 方向の位置が異なるパターン領域 P R 1 において表現されるメモリブロック M B のアドレスは、全て異なる。従って、Y 方向の位置が異なるパターン領域 P R 1 に含まれるパターンは、全て異なる。

20

【0030】

この様な構成では、Y 方向の位置が異なるパターン領域 P R 1 に含まれるパターンが全て異なる。従って、例えば半導体チップの一部を切断して解析を行う場合等に、観察されている構成がどのメモリブロック M B に対応する部分であるのかを容易に特定可能である。

【0031】

また、配線 m 2 1 は略網状又は略板状の形状を有する。この様な態様においては、配線 m 2 1 に比較的容易にパターンを形成可能である。

【0032】

〔第 2 実施形態〕

30

図 5 は、第 2 実施形態に係る半導体チップの一部の構成を示す平面図である。

【0033】

本実施形態に係る半導体チップは、基本的には第 1 実施形態に係る半導体チップと同様に構成されているが、配線層 M 2 に、配線 m 2 1 でなく配線 m 2 2 が含まれている。配線 m 2 2 は、基本的には配線 m 2 1 と同様に構成されているが、複数のパターン領域 P R 1 に加えて、複数のビット線 B L に対応して設けられた複数のパターン領域 P R 2 を含む。図示の例において、パターン領域 P R 1 は、Y 方向に並ぶ 4 つのメモリブロック M B に対応して設けられている。パターン領域 P R 1 は、Z 方向から見て、対応する 4 つのメモリブロック M B のうちの 2 つのメモリブロック M B の一部と重なる位置に設けられている。パターン領域 P R 2 は、X 方向に並ぶ 4 本のビット線 B L に対応して設けられている。パ

40

【0034】

パターン領域 P R 2 は、X 方向に並ぶ複数のパターン小領域 p r 2 を備える。

【0035】

複数のパターン小領域 p r 2 には、それぞれ、“0”を示すパターン、“1”を示すパターン又は“2”を示すパターンが設けられる。図示の例においては、接続配線 c w が設けられない貫通孔 o p が“0”を示すパターンであり、接続配線 c w が 1 つ設けられる貫通孔 o p が“1”を示すパターンであり、接続配線 c w が 2 つ設けられる貫通孔 o p が“2”を示すパターンである。図示の例では、11 個のパターン小領域 p r 2 によって 11

50

桁の3進数を表現し、これによってビット線BLのアドレスを表現するパターンを形成する。尚、X方向の位置が異なるパターン領域PR2において表現されるビット線BLのアドレスは、全て異なる。従って、X方向の位置が異なるパターン領域PR2に含まれるパターンは、全て異なる。

【0036】

このような構成によれば、X方向の位置が異なるパターン領域PR2に含まれるパターンが全て異なる。従って、例えばビット線BLを観察する場合等に、観察されているビット線BLがどのビット線BLであるのかを容易に特定可能である。

【0037】

また、本実施形態においては、メモリブロックMBの特定に用いるパターン領域PR1が2進数を表現するパターンを含み、ビット線BLの特定に用いるパターン領域PR2が3進数を表現するパターンを含む。従って、パターン領域PR1及びパターン領域PR2を容易に判別可能である。

【0038】

〔第3実施形態〕

図6は、第3実施形態に係る半導体チップの一部の構成を示す平面図である。

【0039】

本実施形態に係る半導体チップは、基本的には第2実施形態に係る半導体チップと同様に構成されているが、配線層M2に、配線m22でなく配線m23が含まれている。配線m23は、基本的には配線m22と同様に構成されているが、複数のメモリブロックMBに対応して設けられた複数のパターン領域PR3と、複数のビット線BLに対応して設けられた複数のパターン領域PR4と、を含む。図示の例において、パターン領域PR3は、Y方向に並ぶ4つのメモリブロックMBに対応して設けられている。パターン領域PR3は、Z方向から見て、対応する4つのメモリブロックMBのうちの2つのメモリブロックMBの一部と重なる位置に設けられている。また、図示の例において、パターン領域PR4は、X方向に並ぶ4本のビット線BLに対応して設けられている。パターン領域PR4は、Z方向から見て、対応する4本のビット線BLを含む複数のビット線BLの一部と重なる位置に設けられている。

【0040】

パターン領域PR3は、パターン小領域pr、及び、X方向に並ぶ複数のパターン小領域pr3を備える。また、パターン領域PR4は、X方向に並ぶ複数のパターン小領域pr4を備える。

【0041】

複数のパターン小領域pr3には、それぞれ、“0”～“9”を示すパターンが設けられる。図示の例においては、各パターン小領域pr3に、各数字を示す7セグメントのパターンが設けられる。図示の例では、4個のパターン小領域pr3によって4桁の10進数を表現し、これによってメモリブロックMBのアドレスを表現するパターンを形成する。尚、Y方向の位置が異なるパターン領域PR3において表現されるメモリブロックMBのアドレスは、全て異なる。従って、Y方向の位置が異なるパターン領域PR3に含まれるパターンは、全て異なる。

【0042】

複数のパターン小領域pr4にも、複数のパターン小領域pr3と同様の態様で、“0”～“9”を示すパターンが設けられる。尚、X方向の位置が異なるパターン領域PR4において表現されるビット線BLのアドレスは、全て異なる。従って、X方向の位置が異なるパターン領域PR4に含まれるパターンは、全て異なる。

【0043】

尚、図6には、7セグメントのアラビア数字のパターンによってメモリブロックMBを特定するパターン領域PR3、及び、ビット線BLを特定するパターン領域PR4を例示した。しかしながら、パターン小領域内のパターンは適宜変更可能である。例えば、図7に示す様にローマ数字によってメモリブロックMBを特定するパターン領域PR5を利用

10

20

30

40

50

することも可能であるし、図 8 に示す様にアルファベットによってメモリブロック MB を特定するパターン領域 PR 6 を利用することも可能であるし、その他のパターンによってメモリブロック MB 又はビット線 BL を特定することも可能である。

【0044】

〔第 4 実施形態〕

図 9 は、第 4 実施形態に係る半導体チップの一部の構成を示す平面図である。

【0045】

本実施形態に係る半導体チップは、基本的には第 1 実施形態に係る半導体チップと同様に構成されているが、配線層 M 2 に、配線 m 2 1 でなく配線 m 2 4 が含まれている。

【0046】

図 9 には、配線 m 2 4 に設けられた 4 つの領域 AR, BR, CR, DR を示している。領域 AR 及び領域 BR は、Y 方向に並んでいる。領域 CR 及び領域 DR は、Y 方向に並んでいる。領域 AR 及び領域 CR は、X 方向に並んでいる。領域 BR 及び領域 DR は、X 方向に並んでいる。また、配線 m 2 4 の領域 AR, BR, CR, DR は、それぞれ、X 方向に並び Y 方向に延伸する複数の配線部 m 2 4 a と、Y 方向に並び X 方向に延伸する複数の配線部 m 2 4 b と、を備える。これら複数の配線部 m 2 4 a, m 2 4 b はお互いに交差し、略網状の形状を構成している。領域 AR, DR では、配線部 m 2 4 a 間の X 方向における間隔が、配線部 m 2 4 b 間の Y 方向における間隔よりも大きい。即ち、領域 AR, DR に設けられる開口 op の X 方向における幅は、貫通孔 op の Y 方向における幅よりも大きい。一方、領域 BR, CR では、配線部 m 2 4 a 間の X 方向における間隔が、配線部 m 2 4 b 間の Y 方向における間隔よりも小さい。即ち、領域 BR, CR に設けられる開口 op の X 方向における幅は、貫通孔 op の Y 方向における幅よりも小さい。

【0047】

また、配線 m 2 4 の領域 BR, CR は、一又は複数のメモリブロック MB に対応して設けられた複数のパターン領域 PR 7 を含む。図示の例において、パターン領域 PR 7 は、Z 方向から見て、対応する複数のメモリブロック MB の少なくとも一部と重なる位置に設けられている。また、配線 m 2 4 の領域 AR, DR は、複数のビット線 BL に対応して設けられた複数のパターン領域 PR 8 を含む。図示の例において、パターン領域 PR 8 は、Z 方向から見て、対応する複数のビット線 BL の少なくとも一部と重なる位置に設けられている。

【0048】

パターン領域 PR 7 は、X 方向に並ぶ複数のパターン小領域 pr 7 を備える。また、パターン領域 PR 8 は、Y 方向に並ぶ複数のパターン小領域 pr 8 を備える。

【0049】

複数のパターン小領域 pr 7 には、それぞれ、“0”を示すパターン又は“1”を示すパターンが設けられる。図示の例では、貫通孔 op が設けられた領域が“0”を示すパターンであり、貫通孔 op が設けられていない領域が“1”を示すパターンである。図示の例では、複数のパターン小領域 pr 7 によって複数桁の 2 進数を表現し、これによってメモリブロック MB のアドレスを表現するパターンを形成する。尚、Y 方向の位置が異なるパターン領域 PR 7 において表現されるメモリブロック MB のアドレスは、全て異なる。従って、Y 方向の位置が異なるパターン領域 PR 7 に含まれるパターンは、全て異なる。

【0050】

複数のパターン小領域 pr 8 にも、複数のパターン小領域 pr 7 と同様の態様で、“0”又は“1”を示すパターンが設けられる。尚、X 方向の位置が異なるパターン領域 PR 8 において表現されるビット線 BL のアドレスは、全て異なる。従って、X 方向の位置が異なるパターン領域 PR 8 に含まれるパターンは、全て異なる。

【0051】

このような構成によれば、配線 m 2 4 における X 方向及び Y 方向の応力差を低減可能である。

【0052】

10

20

30

40

50

尚、配線m 2 4を構成する配線部m 2 4 a, m 2 4 b等の幅や間隔等は、適宜変更可能である。

【0053】

〔第5実施形態〕

図10は、第5実施形態に係る半導体チップの模式的な平面図である。本実施形態に係る半導体チップは、基本的には第1実施形態に係る半導体チップと同様に構成されているが、本実施形態に係る半導体チップでは、メモリセルアレイMCAが基板Sの上方に設けられており、センスアンプモジュールSAMと重なる領域にビット線接続領域BLTが設けられている。また、メモリセルアレイMCAの領域内に、X方向に設けられY方向に延伸する複数の配線接続領域Eを備える。

10

【0054】

図11は、図10の一部の拡大図である。図11には、メモリセルアレイMCAの一部及びビット線接続領域BLTの一部の構成を図示している。図示の通り、ビット線BLはメモリセルアレイMCAからビット線接続領域BLTにかけてY方向に延伸している。メモリセルアレイMCAにおいて、ビット線BLはコンタクトVy及びコンタクトChを介して半導体層120に接続されている。ビット線接続領域BLTにおいて、ビット線BLはコンタクトVy、コンタクトCh及びコンタクト103を介してセンスアンプモジュールSAM(図10)に接続されている。また、メモリセルアレイMCA及びビット線接続領域BLTの間の領域R1において、ビット線BLには複数のコンタクトVyが接続されている。

20

【0055】

図12は、図11に示す構造をD-D'線に沿って切断し、矢印の方向に見た模式的な断面図である。図12に示す通り、メモリセルアレイMCA及びビット線接続領域BLTの間の領域R1において、ビット線BLにはコンタクトVyが接続されている。しかしながら、領域R1において、ビット線BLは他の配線には接続されていない。尚、図12には、複数の半導体層120の下端に接続された配線140を図示している。配線140は、基板Sの上面よりも上方に設けられている。

【0056】

図13は、図11の一部の拡大図平面図であり、メモリセルアレイMCA及びビット線接続領域BLTの間の領域R1におけるビット線BL及びコンタクトVyを図示している。

30

【0057】

本実施形態において、コンタクトVyを含む配線層は、各ビット線BLに対応して設けられた複数のパターン領域PR9を含む。図示の例において、パターン領域PR9は全てのビット線BLに対応して設けられている。しかしながら、パターン領域PR9は、例えば、1つおきに設けても良いし、5つごとに設けても良いし、複数のビット線BLのうちの一部のビット線BLのみに設けても良い。

【0058】

パターン領域PR9は、ビット線BLに沿って方向に並ぶ複数のパターン小領域pr9を備える。複数のパターン小領域pr9には、それぞれ、“0”を示すパターン又は“1”を示すパターンが設けられる。図示の例においては、コンタクトVyが設けられない領域が“0”を示すパターンであり、コンタクトVyが設けられた領域が“1”を示すパターンである。図示の例では、15個のパターン小領域pr9によって15桁の2進数を表現し、これによってビット線BLのアドレスを表現するパターンを形成する。尚、X方向の位置が異なるパターン領域PR7において表現されるビット線BLのアドレスは、全て異なる。従って、X方向の位置が異なるパターン領域PR9に含まれるパターンは、全て異なる。

40

【0059】

このような構成では、コンタクトVyを含む配線層が、上述した配線層M0、M1及びM2よりも下方に位置し、メモリセルアレイMCAに近い。従って、解析等に際して配線層

50

M0、M1及びM2が除去されてしまった状態においても、容易にビット線BLを特定可能である。

【0060】

また、コンタクトVyのX方向の幅はビット線BLのX方向の幅と同程度とすることが可能である。従って、コンタクトVyによってビット線BLに対応するパターンを形成しやすい。この様な構成は、コンタクトVyのパターンの変更によって容易に実現可能である。

【0061】

尚、本実施形態に係る半導体チップは、第1実施形態～第3実施形態に係る配線m21、配線m22、配線m23等を備えていても良いし、備えていなくても良い。

10

【0062】

また、本実施形態では、メモリセルアレイMCA及びビット線接続領域BLTの間の領域R1に、X方向に並ぶ複数のパターン領域PR9が設けられている。しかしながら、この様な領域R1以外の領域に、複数のパターン領域PR9を設けても良い。

【0063】

[その他の実施形態]

以上、第1実施形態～第5実施形態について説明した。しかしながら、以上の説明はあくまでも例示に過ぎず、具体的な構成等については適宜変更可能である。

【0064】

例えば、以上の実施形態においては、パターン領域PR1～パターン領域PR9のみによって半導体チップに設けられた全てのメモリブロックMBから一のメモリブロックを特定可能であり、又は、全てのビット線BLから一のビット線BLを特定可能である態様について説明した。しかしながら、パターン領域PR1～パターン領域PR9のみによってメモリブロックMB又はビット線BLの特定を行うのではなく、他の情報も利用してメモリブロックMB又はビット線BLの特定を行う様な構成を採用することも可能である。

20

【0065】

例えば、図1に例示する様に、半導体チップが2以上のメモリセルアレイMCAを含む場合、メモリブロックMB又はビット線BLが属するメモリセルアレイMCAの特定は、比較的容易な場合がある。この様な場合には、パターン領域PR1～パターン領域PR9からメモリセルアレイMCAを特定する情報を省略することも可能である。

30

【0066】

また、例えば図10に例示する様に、メモリセルアレイMCAに複数の配線接続領域Eが設けられる場合、メモリセルアレイMCAはY方向に延伸する複数の配線接続領域Eによって複数の領域に区画され、これらの区画された領域にそれぞれ複数のビット線BLが設けられる。この様な場合、ビット線BLが属する区画の特定は、比較的容易な場合がある。この様な場合には、パターン領域PR2、PR4、PR8、PR9から区画を特定する情報を省略することも可能である。

【0067】

また、第1実施形態～第4実施形態ではメモリセルアレイMCAが基板Sの表面に設けられており、第5実施形態ではメモリセルアレイMCAが基板Sから離れていた。しかしながら、第1実施形態～第4実施形態に係るメモリセルアレイMCAが基板Sから離れていても良いし、第5実施形態に係るメモリセルアレイMCAが基板Sの表面に設けられていても良い。

40

【0068】

[その他]

本発明のいくつかの実施形態を説明したが、これらの実施形態は例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことが出来る。これら実施形態やその変形は、発明の範囲や要旨に含まれると共に、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

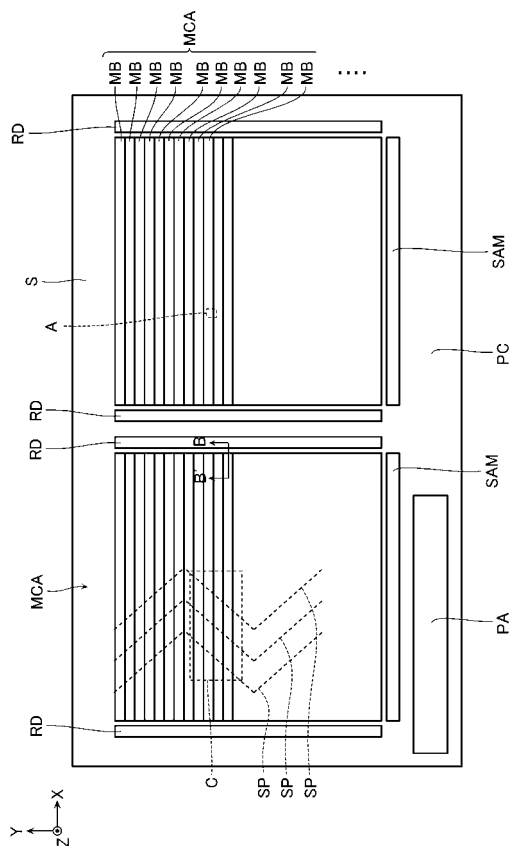
50

【符号の説明】

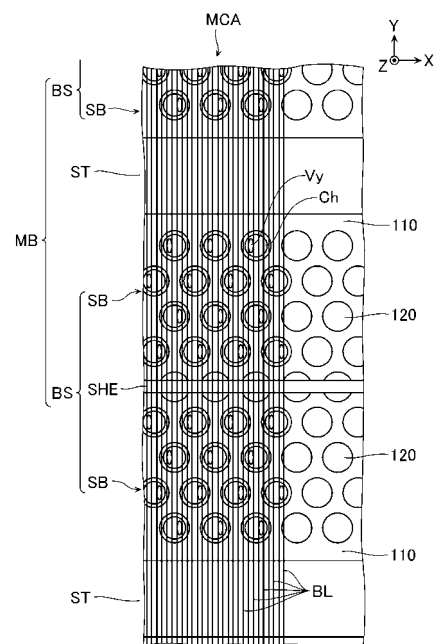
【0069】

S…基板、MCA…メモリセルアレイ、MB…メモリブロック、BL…ビット線、PR
1～PR 9…パターン領域。

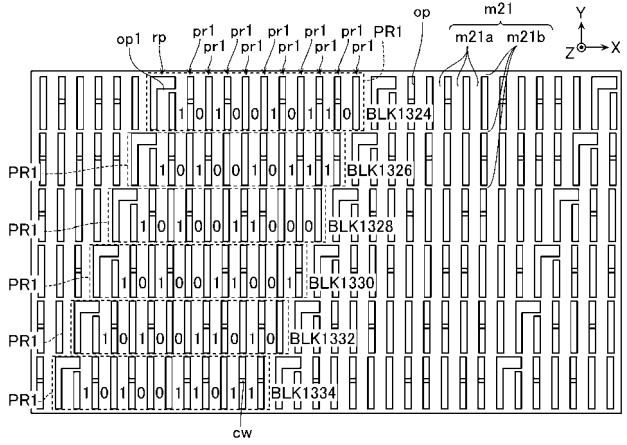
【図 1】



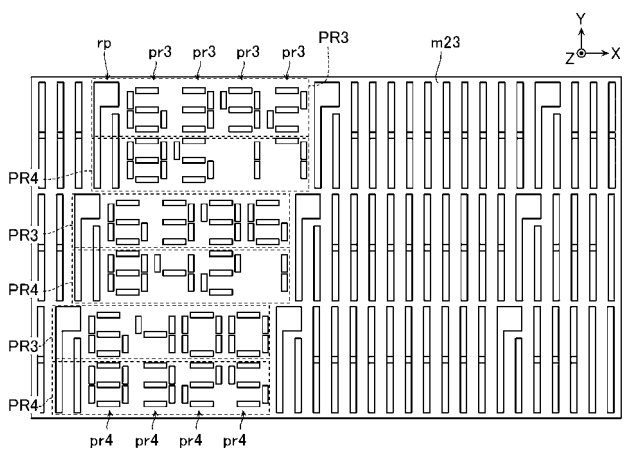
【図 2】



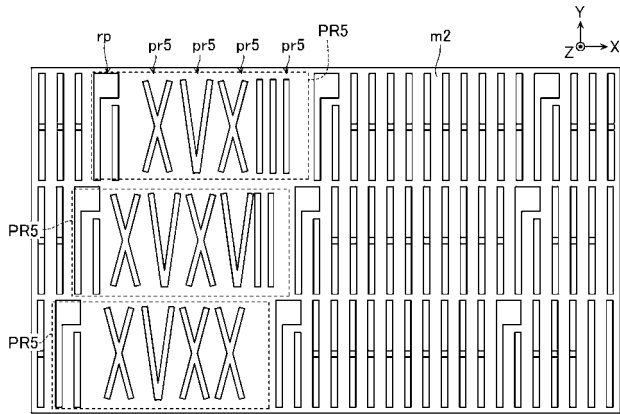
【図 4】



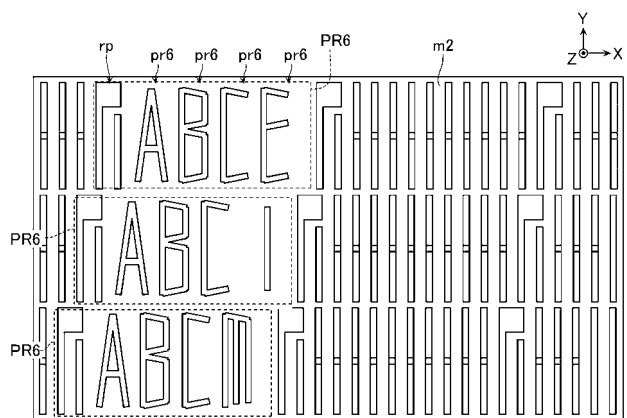
【図 6】



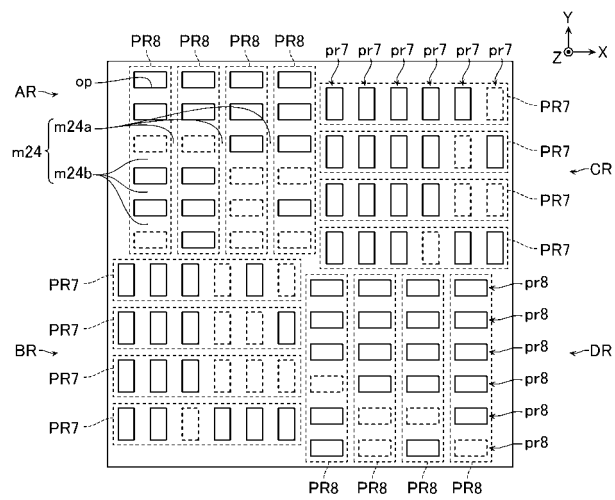
【図 7】



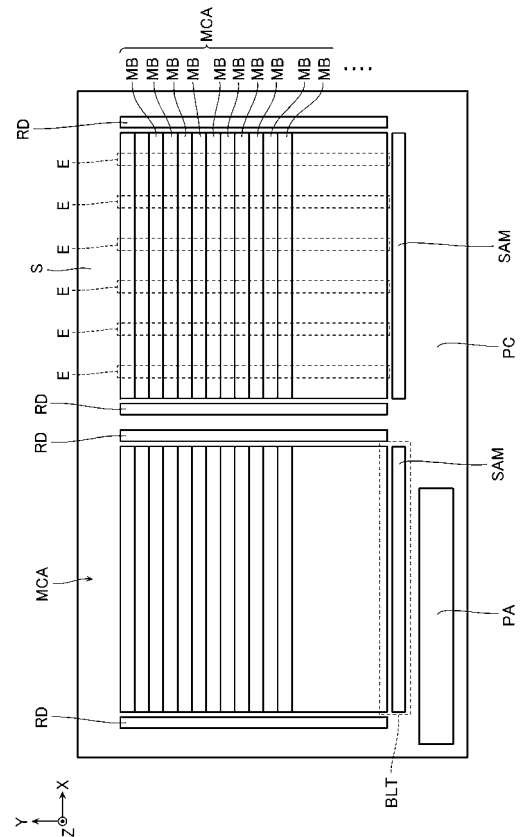
【図 8】



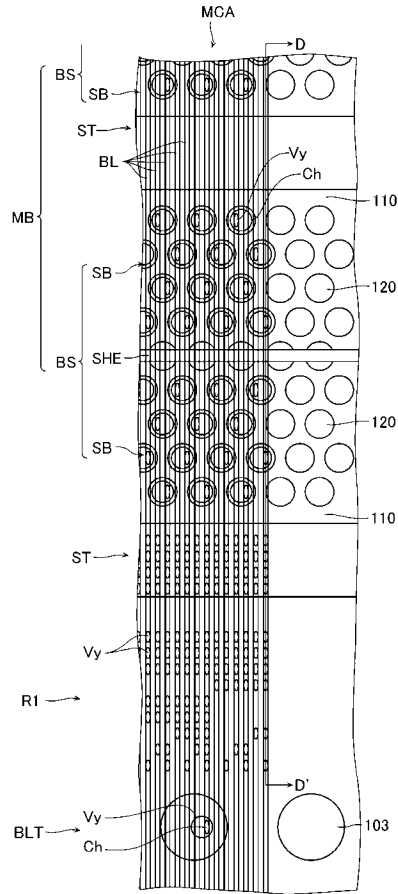
【図 9】



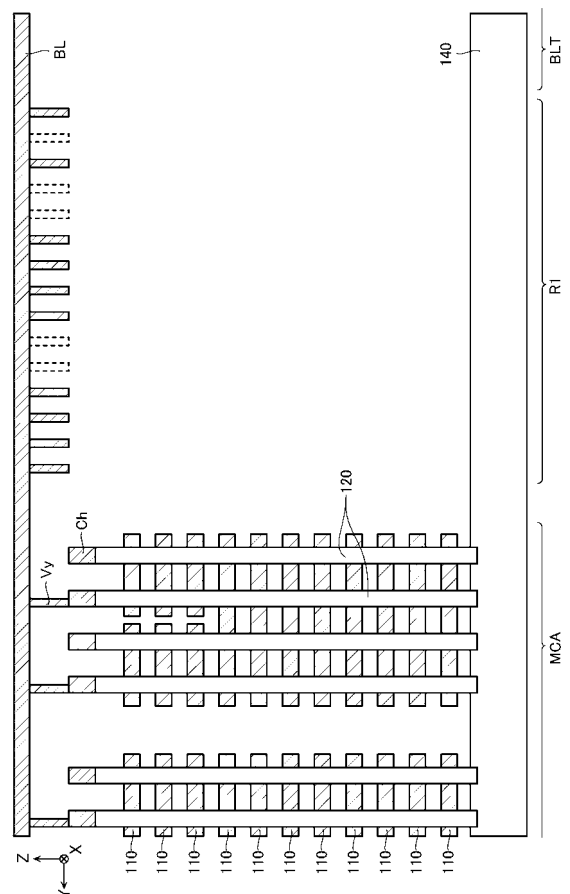
【図 10】



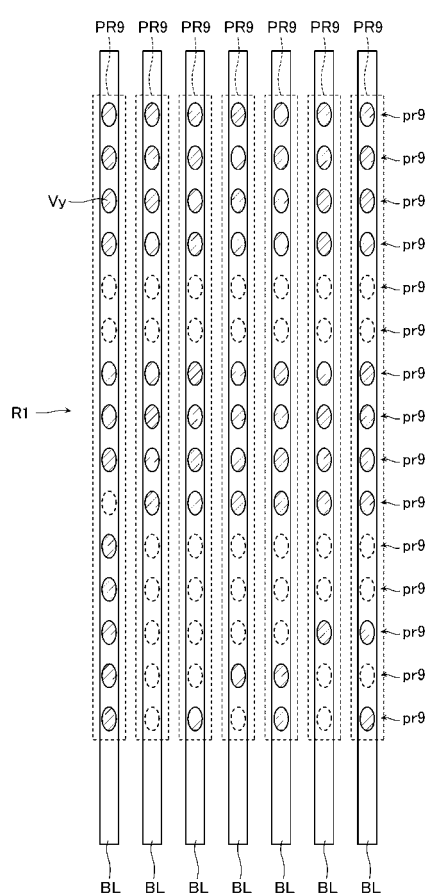
【図 1 1】



【図 1 2】



【図 1 3】



フロントページの続き

(51)Int.Cl.	F I			テーマコード (参考)
<i>H O 1 L 29/788 (2006.01)</i>	H O 1 L	21/88		Z
<i>H O 1 L 29/792 (2006.01)</i>	H O 1 L	21/82		L
<i>H O 1 L 21/3205 (2006.01)</i>	H O 1 L	27/04		D
<i>H O 1 L 21/768 (2006.01)</i>				
<i>H O 1 L 23/522 (2006.01)</i>				
<i>H O 1 L 21/82 (2006.01)</i>				
<i>H O 1 L 21/822 (2006.01)</i>				
<i>H O 1 L 27/04 (2006.01)</i>				

(72)発明者 小泊 聡史

東京都港区芝浦一丁目1番1号 東芝メモリ株式会社内

Fターム(参考) 5F033 HH08 HH11 HH19 KK19 MM21 NN34 UU03 UU04 VV04 VV05
VV06 VV07 VV16 XX19
5F038 CA06 CA16 CA20 CD02 CD04 CD05 CD10
5F064 AA13 BB12 BB16 BB23 CC09 CC12 EE12 EE17 EE18 EE22
EE23 EE27 EE32 EE33 EE34 EE52 EE60
5F083 EP02 EP17 EP22 ER21 GA10 GA30 JA19 JA32 JA36 JA37
JA39 LA11 MA06 MA16 MA19 ZA20
5F101 BA02 BA45 BB02 BD30 BE07