

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5132330号  
(P5132330)

(45) 発行日 平成25年1月30日 (2013. 1. 30)

(24) 登録日 平成24年11月16日 (2012. 11. 16)

(51) Int. Cl.	F I
HO 1 L 21/336 (2006. 01)	HO 1 L 29/78 3 7 1
HO 1 L 29/788 (2006. 01)	HO 1 L 27/10 4 3 4
HO 1 L 29/792 (2006. 01)	
HO 1 L 21/8247 (2006. 01)	
HO 1 L 27/115 (2006. 01)	

請求項の数 5 (全 17 頁)

(21) 出願番号	特願2008-8301 (P2008-8301)	(73) 特許権者	000003078
(22) 出願日	平成20年1月17日 (2008. 1. 17)		株式会社東芝
(65) 公開番号	特開2009-170719 (P2009-170719A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成21年7月30日 (2009. 7. 30)	(74) 代理人	110000567
審査請求日	平成22年2月17日 (2010. 2. 17)		特許業務法人 サトー国際特許事務所
		(72) 発明者	松尾 和展
			東京都港区芝浦一丁目1番1号 株式会社
			東芝内
		(72) 発明者	田中 正幸
			東京都港区芝浦一丁目1番1号 株式会社
			東芝内
		審査官	堀江 義隆

最終頁に続く

(54) 【発明の名称】 不揮発性半導体記憶装置およびその製造方法

(57) 【特許請求の範囲】

【請求項 1】

半導体基板と、  
前記半導体基板上に形成された第1のゲート絶縁膜と、  
前記第1のゲート絶縁膜上に形成された電荷蓄積層と、  
前記電荷蓄積層上に形成された第2のゲート絶縁膜と、  
前記第2のゲート絶縁膜上に形成された制御ゲート電極層とを備え、  
前記第2のゲート絶縁膜は、前記電荷蓄積層と前記制御ゲート電極層との間において、  
シリコン酸化膜と、シリコン窒化膜の比誘電率よりも高い比誘電率を有する第1の高誘電体絶縁膜と、シリコン窒化膜の比誘電率よりも高い比誘電率を有する第2の高誘電体絶縁膜とを備え、前記第1および第2の高誘電体絶縁膜が前記シリコン酸化膜を挟んだ層構造を備えると共に前記電荷蓄積層と前記層構造との間に下層シリコン窒化膜を備えることを特徴とする不揮発性半導体記憶装置。

【請求項 2】

半導体基板と、  
前記半導体基板上に形成された第1のゲート絶縁膜と、  
前記第1のゲート絶縁膜上に形成された電荷蓄積層と、  
前記電荷蓄積層上に形成された第2のゲート絶縁膜と、  
前記第2のゲート絶縁膜上に形成された制御ゲート電極層とを備え、  
前記第2のゲート絶縁膜は、前記電荷蓄積層と前記制御ゲート電極層との間に前記電荷

10

20

蓄積層側から前記制御ゲート電極層側にかけて、第1のシリコン窒化膜、第1のシリコン酸化膜、比誘電率がシリコン窒化膜の比誘電率よりも高い比誘電率を有する第1の高誘電体絶縁膜、第2のシリコン酸化膜、第2のシリコン窒化膜の積層構造を備えると共に、第1のシリコン窒化膜および第1のシリコン酸化膜間、または、第2のシリコン窒化膜および第2のシリコン酸化膜間の少なくとも何れか一方に比誘電率がシリコン窒化膜の比誘電率よりも高い比誘電率を有する第2の高誘電体絶縁膜を備えたことを特徴とする不揮発性半導体記憶装置。

【請求項3】

半導体基板と、

前記半導体基板上に形成された第1のゲート絶縁膜と、

前記第1のゲート絶縁膜上に形成された電荷蓄積層と、

前記電荷蓄積層上に形成された第2のゲート絶縁膜と、

前記第2のゲート絶縁膜上に形成された制御ゲート電極層とを備え、

前記第2のゲート絶縁膜は、前記電荷蓄積層と前記制御ゲート電極層との間において、第1ないし第3のシリコン酸化膜の3層シリコン酸化膜構造を備えると共に、比誘電率がシリコン窒化膜の比誘電率よりも高い比誘電率を有する第1の高誘電体絶縁膜と、比誘電率がシリコン窒化膜の比誘電率よりも高い比誘電率を有する第2の高誘電体絶縁膜とを備え、前記第1の高誘電体絶縁膜が前記3層シリコン酸化膜構造間に介在する2層のうちの何れか一方に形成されていると共に前記第2の高誘電体絶縁膜が前記3層シリコン酸化膜構造間に介在する2層のうちの他方に形成されていることを特徴とする不揮発性半導体記憶装置。

【請求項4】

前記第1の高誘電体絶縁膜は遷移金属元素の酸化膜を含んでいることを特徴とする請求項1ないし3の何れかに記載の不揮発性半導体記憶装置。

【請求項5】

半導体基板上に第1のゲート絶縁膜を形成する工程と、

前記第1のゲート絶縁膜上に電荷蓄積層を形成する工程と、

前記電荷蓄積層上に第1のシリコン窒化膜を形成する工程と、

前記第1のシリコン窒化膜上に第1のシリコン酸化膜を形成する工程と、

前記第1のシリコン酸化膜上に比誘電率がシリコン窒化膜の比誘電率よりも高い比誘電率を有する第1の高誘電体絶縁膜を形成する工程と、

前記第1の高誘電体絶縁膜上に第2のシリコン酸化膜を形成する工程と、

前記第2のシリコン酸化膜上に比誘電率がシリコン窒化膜の比誘電率よりも高い比誘電率を有する第2の高誘電体絶縁膜を形成する工程と、

前記第2の高誘電体絶縁膜上に第2のシリコン窒化膜を形成する工程と、

前記第2のシリコン窒化膜上に制御ゲート電極層を形成する工程とを備えたことを特徴とする不揮発性半導体記憶装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電荷蓄積層および制御ゲート電極層が絶縁膜を挟んで構成されたメモリセルを備えた不揮発性半導体記憶装置およびその製造方法に関する。

【背景技術】

【0002】

不揮発性半導体記憶装置は、メモリセルがワード線方向およびビット線方向に多数配列されており、これにより高集積化が図られている。近年の高集積化の傾向に伴い、メモリセルの幅寸法や長さ寸法、隣接するメモリセル間の間隔が縮小化してきており隣接セル干渉が増大する。隣接セルの干渉が大きくなると、素子の誤動作、書込/消去動作スピードの低下などの問題を生じる。

【0003】

隣接セルの干渉効果を低減するため、隣接セル間の寄生容量の低減、隣接セル間の対向面積を縮小化する必要があり、電荷蓄積層の高さを低くする必要がある。電荷蓄積層の高さを低くするとメモリセル特性の一指標であるカップリング比の値も低下してしまう。このため、電荷蓄積層を低く適度な高さに調整しながらゲート間絶縁膜（第２のゲート絶縁膜に相当）の電氣的膜厚を薄くする必要がある。ゲート間絶縁膜の電氣的膜厚を薄くすれば、電荷蓄積層および制御ゲート電極層間の容量値を増すことができ、カップリング比を所望の値に確保することができる（例えば、特許文献１参照）。

【０００４】

しかしながら、ゲート間絶縁膜の薄膜化の傾向に伴い、ゲート間絶縁膜に印加される電界が増加するため、書込または／および消去時に高電界を印加するときにゲート間絶縁膜のリーク電流がトンネル絶縁膜（第１のゲート絶縁膜に相当）のリーク電流とほぼ同等まで増加してしまい、書込または／および消去時に必要な高い所望のしきい値電圧を印加することができない虞がある。

【特許文献１】特開２００３－２８９１１４号公報

【発明の開示】

【発明が解決しようとする課題】

【０００５】

本発明は、電荷蓄積層および制御ゲート電極層間に設けられる第２のゲート絶縁膜を通じて流れるリーク電流を抑制できるようにした不揮発性半導体記憶装置およびその製造方法を提供する。

【課題を解決するための手段】

【０００６】

本発明の一態様は、半導体基板と、前記半導体基板上に形成された第１のゲート絶縁膜と、前記第１のゲート絶縁膜上に形成された電荷蓄積層と、前記電荷蓄積層上に形成された第２のゲート絶縁膜と、前記第２のゲート絶縁膜上に形成された制御ゲート電極層とを備え、前記第２のゲート絶縁膜は、前記電荷蓄積層と前記制御ゲート電極層との間において、シリコン酸化膜と、シリコン窒化膜の比誘電率よりも高い比誘電率を有する第１の高誘電体絶縁膜と、シリコン窒化膜の比誘電率よりも高い比誘電率を有する第２の高誘電体絶縁膜とを備え、前記第１および第２の高誘電体絶縁膜が前記シリコン酸化膜を挟んだ層構造を備えると共に前記電荷蓄積層と前記層構造との間に下層シリコン窒化膜を備えることを特徴としている。

【０００７】

本発明の別の態様は、半導体基板と、前記半導体基板上に形成された第１のゲート絶縁膜と、前記第１のゲート絶縁膜上に形成された電荷蓄積層と、前記電荷蓄積層上に形成された第２のゲート絶縁膜と、前記第２のゲート絶縁膜上に形成された制御ゲート電極層とを備え、前記第２のゲート絶縁膜は、前記電荷蓄積層と前記制御ゲート電極層との間に前記電荷蓄積層側から前記制御ゲート電極層側にかけて、第１のシリコン窒化膜、第１のシリコン酸化膜、比誘電率がシリコン窒化膜の比誘電率よりも高い比誘電率を有する第１の高誘電体絶縁膜、第２のシリコン酸化膜、第２のシリコン窒化膜の積層構造を備えると共に、第１のシリコン窒化膜および第１のシリコン酸化膜間、または、第２のシリコン窒化膜および第２のシリコン酸化膜間の少なくとも何れか一方に比誘電率がシリコン窒化膜の比誘電率よりも高い比誘電率を有する第２の高誘電体絶縁膜を備えたことを特徴としている。

【０００８】

本発明の別の態様は、半導体基板と、前記半導体基板上に形成された第１のゲート絶縁膜と、前記第１のゲート絶縁膜上に形成された電荷蓄積層と、前記電荷蓄積層上に形成された第２のゲート絶縁膜と、前記第２のゲート絶縁膜上に形成された制御ゲート電極層とを備え、前記第２のゲート絶縁膜は、前記電荷蓄積層と前記制御ゲート電極層との間において、第１ないし第３のシリコン酸化膜の３層シリコン酸化膜構造を備えると共に、比誘電率がシリコン窒化膜の比誘電率よりも高い比誘電率を有する第１の高誘電体絶縁膜と、

10

20

30

40

50

比誘電率がシリコン窒化膜の比誘電率よりも高い比誘電率を有する第２の高誘電体絶縁膜とを備え、前記第１の高誘電体絶縁膜が前記３層シリコン酸化膜構造間に介在する２層のうちの何れか一方に形成されていると共に前記第２の高誘電体絶縁膜が前記３層シリコン酸化膜構造間に介在する２層のうちの他方に形成されていることを特徴としている。

#### 【０００９】

本発明の別の態様は、半導体基板上に第１のゲート絶縁膜を形成する工程と、前記第１のゲート絶縁膜上に電荷蓄積層を形成する工程と、前記電荷蓄積層上に第１のシリコン窒化膜を形成する工程と、前記第１のシリコン窒化膜上に第１のシリコン酸化膜を形成する工程と、前記第１のシリコン酸化膜上に比誘電率がシリコン窒化膜の比誘電率よりも高い比誘電率を有する第１の高誘電体絶縁膜を形成する工程と、前記第１の高誘電体絶縁膜上に第２のシリコン酸化膜を形成する工程と、前記第２のシリコン酸化膜上に比誘電率がシリコン窒化膜の比誘電率よりも高い比誘電率を有する第２の高誘電体絶縁膜を形成する工程と、前記第２の高誘電体絶縁膜上に第２のシリコン窒化膜を形成する工程と、前記第２のシリコン窒化膜上に制御ゲート電極層を形成する工程とを備えたことを特徴としている。

10

#### 【発明の効果】

#### 【００１０】

本発明によれば、電荷蓄積層および制御ゲート電極層間に設けられる第２のゲート絶縁膜を通じて流れるリーク電流を抑制できる。

20

#### 【発明を実施するための最良の形態】

#### 【００１１】

以下、本発明の不揮発性半導体記憶装置の一実施形態について図面を参照しながら説明する。尚、以下に参照する図面内の記載において、同一または類似の部分には同一又は類似の符号を付して表している。但し、図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率等は現実のものとは異なる。

#### 【００１２】

図１は、不揮発性半導体記憶装置のメモリセル領域における平面図を示している。図１に示すように、メモリセル領域Ｍ内には、多数のメモリセルトランジスタ $T_{rm}$ がワード線方向およびビット線方向にマトリクス状に配列されており、図示しない周辺回路がメモリセルトランジスタ $T_{rm}$ に記憶保持されたデータを読み出、書込、消去可能に構成されている。このようなメモリセル構造を有する不揮発性半導体記憶装置としては、２つの選択ゲートトランジスタ間に複数のメモリセルトランジスタを直列接続したセルユニット構造を備えた $NAND$ 型のフラッシュメモリ装置が挙げられる。

30

#### 【００１３】

図２Ａは、各メモリセルのワード線方向（チャネル幅方向）に沿う断面図（図１のＡ－Ａ線に沿う断面図）を示しており、図２Ｂは、図２ＡのＢ部分の拡大断面図を示している。また、図２Ｃは、各メモリセルのビット線方向（チャネル長方向）に沿う断面図（図１のＣ－Ｃ線に沿う断面図）を示している。図２Ａに示すように、 $p$ 型のシリコン基板２の上部には $N$ ウェル２ａが構成されており、当該 $N$ ウェル２ａのさらに表層には $P$ ウェル２ｂが構成されている。当該シリコン基板２の $P$ ウェル２ｂの表層には素子分離溝３が複数形成されている。これらの素子分離溝３は複数の活性領域 $S_a$ を図２Ａのワード線方向に分離する。

40

#### 【００１４】

素子分離溝３内には素子分離絶縁膜４が形成されており素子分離領域 $S_b$ を構成している。この素子分離絶縁膜４は、素子分離溝３内に埋め込まれた下部と、シリコン基板２の表面から上方に突出した上部とから構成されている。この素子分離絶縁膜４は、その上端がシリコン基板２の表面付近（シリコン基板２の表面上方）に位置して形成されている。素子分離絶縁膜４は、その上端がシリコン基板２の表面下方に位置して構成されていても良い。

50

## 【 0 0 1 5 】

他方、素子分離領域 S b により区画されたシリコン基板 2 の複数の活性領域 S a 上のそれぞれには、ゲート絶縁膜 5 ( 第 1 のゲート絶縁膜に相当 ) が形成されている。ゲート絶縁膜 5 は、例えばシリコン酸化膜により形成されている。ゲート絶縁膜 5 は、その端部がそれぞれ素子分離絶縁膜 4 の上部側面の一部に接触して構成されている。これらのゲート絶縁膜 5 上には電荷蓄積層として浮遊ゲート電極 F G が形成されている。

## 【 0 0 1 6 】

この浮遊ゲート電極 F G は例えばリン等の不純物がドーブされた多結晶シリコン層 6 ( 導電層、半導体層 ) により構成されている。多結晶シリコン層 6 は、素子分離絶縁膜 4 の上部側面に接触する接触面となる下部側面と、当該素子分離絶縁膜 4 の上面 4 a より上方に突出した上部側面とを有する。シリコン基板 2 の表面から上方に突出した素子分離絶縁膜 4 の上部側面は、ゲート絶縁膜 5 の側面および多結晶シリコン層 6 の側面下部と面一に形成されている。素子分離絶縁膜 4 は例えばシリコン酸化膜により形成されている。

## 【 0 0 1 7 】

ゲート間絶縁膜 7 は、素子分離絶縁膜 4 の上面、浮遊ゲート電極 F G の上部側面、および、浮遊ゲート電極 F G の上面に沿って形成されており、インターポリ絶縁膜、導電層間絶縁膜、電極間絶縁膜として機能する。

## 【 0 0 1 8 】

図 2 B に拡大図を示すように、このゲート間絶縁膜 7 は、下層側 ( 素子分離絶縁膜 4 の上面側、浮遊ゲート電極 F G の側面側および上面側 ) からその上層側にかけて、下層絶縁膜 7 a / 高誘電体絶縁膜 7 b / 上層絶縁膜 7 c の積層構造により構成されている。下層絶縁膜 7 a は、下層側から上層側にかけて、下層シリコン窒化膜 7 a a / 高誘電体絶縁膜 7 a b / 下層シリコン酸化膜 7 a c の積層構造により構成されている。上層絶縁膜 7 c は、下層側から上層側にかけて、上層シリコン酸化膜 7 c a / 上層シリコン窒化膜 7 c b の積層構造によって構成されている。

## 【 0 0 1 9 】

高誘電体絶縁膜 7 b は、アルミニウム酸化物 (  $Al_2O_3$  ) 膜により中間絶縁膜として構成されている。このアルミニウム酸化物膜は ONO 膜 ( 比誘電率 : 5 程度 ) よりも比誘電率が大きい。このようなアルミニウム ( Al ) のような遷移金属以外の金属の酸化物を適用すると、トラップされた電荷の再放出を防止することができ閾値変動を抑制できる。

## 【 0 0 2 0 】

また下層シリコン窒化膜 7 a a が設けられているため、高誘電体絶縁膜 7 b に含まれる金属元素やシリコン酸化膜 7 a c 、 7 c a の成膜時の酸化剤などがゲート絶縁膜 5 や素子分離絶縁膜 4 に拡散することを効果的に防止できる。また、上層シリコン窒化膜 7 c b が設けられているため、高誘電体絶縁膜 7 b に含まれる金属元素などがその上方に拡散することを効果的に防止できる。

## 【 0 0 2 1 】

ゲート間絶縁膜 7 上にはワード線方向に沿って導電層 8 が形成されている。この導電層 8 は、個々のメモリセルトランジスタ T r m の制御ゲート電極 C G を連結するワード線 W L として機能する。導電層 8 は例えば多結晶シリコン層と当該多結晶シリコン層の直上に形成されたタングステン、コバルト、ニッケルなどの何れかの金属がシリサイド化されたシリサイド層とからなっている。このようにして、メモリセルトランジスタ T r m のゲート電極 M G が、ゲート絶縁膜 5 上に浮遊ゲート電極 F G 、ゲート間絶縁膜 7 、制御ゲート電極 C G の積層ゲート構造によって構成されている。

## 【 0 0 2 2 】

図 2 C に示すように、メモリセルトランジスタ T r m のゲート電極 M G は、ビット線方向に並設されており、各ゲート電極 M G は分断領域 G V において電氣的に分断されている。なお、図示しないが、分断領域 G V 内には層間絶縁膜などが成膜される。

## 【 0 0 2 3 】

メモリセルトランジスタ T r m のゲート電極 M G の両脇にはシリコン基板 2 の表層に位

10

20

30

40

50

置して拡散層（ソース／ドレイン領域）2cが形成されている。メモリセルトランジスタT<sub>rm</sub>が、ゲート絶縁膜5およびゲート電極MG並びにソース／ドレイン領域2cを含んで構成されている。

【0024】

不揮発性半導体記憶装置1は、図示しない周辺回路からワード線WLおよびPウェル2b間に高電界を印加すると共に、各電気的要素（ソース／ドレイン）に適切な所定電圧を与えることによってメモリセルのデータを消去／書込可能に構成されている。尚、近年の要求に伴い1個のメモリセルに多値の情報を記憶する多値記憶技術も発達している。多値記憶は、各メモリセルトランジスタT<sub>rm</sub>のしきい値を例えば3または4以上の複数分布に制御することによって行われるが、ここでは説明の簡単化のため2値記憶の場合について説明する。

10

【0025】

書込時には、周辺回路が書込選択のワード線WLに高電圧（例えば20V）を印加すると共にPウェル2b等に低電圧（例えば0V～中間電圧10V）を印加する。するとFNTトンネル電流がゲート絶縁膜5を通じて流れるため電子が浮遊ゲート電極（電荷蓄積層）FGに注入され、メモリセルトランジスタT<sub>rm</sub>のしきい値電圧が正方向にシフトする。

【0026】

また、消去時には、周辺回路が消去対象のワード線WLに低電圧（例えば0V～2.5V）を印加すると共にPウェル2bに高電圧を印加する。すると、電子が浮遊ゲート電極FGからPウェル2bに抜けるため、メモリセルトランジスタT<sub>rm</sub>のしきい値電圧が負方向にシフトする。これによりデータを消去できる。

20

【0027】

特に書込時にワード線WLに正の高電界を印加すると浮遊ゲート電極FGからゲート間絶縁膜7を通じてワード線WL側に電子が抜けることに起因したリーク電流が生じる。すると浮遊ゲート電極FGの電子の蓄積量が飽和し、メモリセルトランジスタT<sub>rm</sub>の書込時のしきい値電圧が飽和する。そこで、本実施形態では、上記したゲート間絶縁膜7の構造を採用している。

【0028】

図3は、書込時のしきい値電圧の時間依存性を示している。この図3に示すように、書込時間の増加に応じて各メモリセルトランジスタT<sub>rm</sub>のしきい値電圧が上昇する。発明者らは、高誘電体絶縁膜7abを設けることなくゲート間絶縁膜7の下層絶縁膜7aとしてシリコン窒化膜7aa／シリコン酸化膜7acの積層構造を採用した場合と、シリコン窒化膜7aa／シリコン酸化膜7ac間に高誘電体絶縁膜7abを設けた積層構造を採用した場合とを比較している。

30

【0029】

この図3に示すように、高誘電体絶縁膜7abを設けていない場合には、書込時間を長くしても、しきい値電圧が飽和するが、高誘電体絶縁膜7abを設けた場合には、書込時間を長くすると、しきい値電圧の飽和状態を抑制し飽和電圧を上昇させることができることを見出している。

【0030】

40

しきい値電圧が飽和する理由は、制御ゲート電極CGに書込時の正の高電圧が与えられたときに、電子がゲート絶縁膜5を通じて浮遊ゲート電極FGに注入されるものの、飽和状態に達すると、電子がゲート間絶縁膜7を通じて制御ゲート電極CG側に抜けてしまい、ゲート絶縁膜5を通じて流れるトンネル電流とゲート間絶縁膜7を通じて流れるリーク電流とが釣り合うためであり、この場合、浮遊ゲート電極FGから制御ゲート電極CG側に抜ける電子のトンネル確率が上昇し、しきい値電圧が飽和する。

【0031】

高誘電体絶縁膜7abを設けると、書込時間を長くしても、しきい値電圧の飽和現象を確認することはできない。この理由は、高誘電体絶縁膜7abを挿入することで、高誘電率化に伴い、高電界印加時の電界が高誘電体絶縁膜7ab領域で緩和されるためと推定さ

50

れている。この場合、従来構造に比較して電子のトンネル距離を増加させることができ、電子のトンネル確率の低下、高電界印加時のリーク電流を低減することができる。

【 0 0 3 2 】

図 4 は、ゲート間絶縁膜に流れるリーク電流の印加電界依存性を示している。この図 4 に示すように、低電界領域ではほぼ同等であったリーク電流値は、中電界領域からそれ以上の高電界領域にかけて、リーク電流に差が生じていることが判明している。

【 0 0 3 3 】

これは、比誘電率の高い高誘電体絶縁膜 7 a b を中間絶縁膜 7 b よりも浮遊ゲート電極 F G 側に設けることによって物理膜厚が増加し、電子が直接トンネルする距離が大きくなっているためである。この効果は、より比誘電率が高くかつバリアハイトの高い材料で高誘電体絶縁膜 7 a b を構成することで、より顕著に現れることが確認されている。

10

【 0 0 3 4 】

また、図 5 は、 $10 \text{ [MV/cm]}$  の電界をゲート間絶縁膜に印加したときのリーク電流値の膜厚依存性を示している。この図 5 に示すように、リーク電流値は、高誘電体絶縁膜 7 a b の膜厚が  $0 \text{ [nm]}$  を超える膜厚で且つ  $3 \text{ [nm]}$  以下の所定膜厚に設定されている場合にはリーク電流が低減している。また、高誘電体絶縁膜 7 a b が、 $5 \text{ [nm]}$  の膜厚に設定されている場合にはリーク電流が逆に上昇している。したがって、この図 5 に示すデータからは、リーク電流を低減するためには、高誘電体絶縁膜 7 a b を  $3 \text{ [nm]}$  以下の数 nm の所定膜厚で形成すると良い。

【 0 0 3 5 】

20

このように、リーク電流値が高誘電体絶縁膜 7 a b の膜厚に依存して下限値を得る理由は、以下の理由によるものと推定されている。図 6 は、高電界印加時の禁制帯および導電帯付近のバンド構造を概略的に示している。ゲート間絶縁膜 7 が、浮遊ゲート電極 F G から制御ゲート電極 C G 側にかけて、SiN (シリコン窒化膜 7 a a)、 $\text{Al}_2\text{O}_3$  膜 (高誘電体絶縁膜 7 a b)、 $\text{SiO}_2$  (シリコン酸化膜 7 a c)、... の順に形成されていると、バリアハイトの高さは、アルミニウム酸化物 ( $\text{Al}_2\text{O}_3$ ) 膜の高さよりもシリコン酸化膜のほうが高く、図 6 (a) に示すように、高誘電体絶縁膜 7 a b が適切な膜厚 (例えば  $3 \sim 4 \text{ nm}$ ) に設定されていると、高誘電体絶縁膜 7 a b の上層に成膜されたシリコン酸化膜 7 a c もトンネル絶縁膜として機能する。したがって、ゲート間絶縁膜 7 は所定のトンネル膜厚 D 1 の特性が得られる。

30

【 0 0 3 6 】

しかし、図 6 (b) に示すように、高誘電体絶縁膜 7 a b が所定膜厚 (例えば  $3 \sim 4 \text{ [nm]}$ ) を超える膜厚で形成されていると、高誘電体絶縁膜 7 a b の上層のシリコン酸化膜 7 a c がトンネル絶縁膜として機能しない。するとトンネル膜厚 D 2 が前述のトンネル膜厚よりも薄くなってしまう。したがって、高誘電体絶縁膜 7 a b は、リーク電流特性を考慮すると所定の下限値を得ると推定されている。

【 0 0 3 7 】

尚、高誘電体絶縁膜 7 a b としては、アルミニウム酸化物膜以外にもイットリウムまたはハフニウムなどの他の金属による酸化物膜を適用できるが、ゲート間絶縁膜 7 に印加される電界を  $10 \text{ [MV/cm]}$  としたときの最適な膜厚は、アルミニウム酸化物膜を適用した場合  $3 \text{ [nm]}$  程度の所定膜厚、イットリウム酸化物膜を適用した場合  $4 \text{ [nm]}$  程度の膜厚、ハフニウム酸化物膜を適用した場合  $8 \text{ [nm]}$  程度の膜厚となることが確認されている。

40

【 0 0 3 8 】

上記構成の製造方法について説明する。

図 7 に示すように、p 型の単結晶のシリコン基板 2 の表層に N ウェル 2 a および P ウェル 2 b を順に形成し、シリコン基板 2 上にゲート絶縁膜 5 (絶縁膜) を  $1 \sim 15 \text{ [nm]}$  範囲の所定膜厚で形成する。次に、図 8 に示すように、ゲート絶縁膜 5 上に非晶質シリコンを化学気相成長法により  $10 \sim 200 \text{ [nm]}$  範囲の所定膜厚で堆積する。この非晶質シリコンは後の熱処理によって多結晶化することで多結晶シリコンに変成され導電層 6 (

50

浮遊ゲート電極FG)として構成される。次に、図9に示すように、化学気相成長法によってシリコン窒化膜9を50~200[nm]範囲の所定膜厚で堆積し、次に、化学気相成長法によってシリコン酸化膜10をハードマスクとして50~400[nm]範囲の所定膜厚で堆積する。

【0039】

次に、図10に示すように、フォトリソスト11を塗布した後、リソグラフィ技術によってパターンニングし、当該レジスト11をマスクとしてシリコン酸化膜10をRIE(Reactive Ion Etching)法により異方性エッチング処理する。次に、レジスト11をアッシングなどにより剥離する。次に、シリコン酸化膜10をマスクとしてシリコン窒化膜9をRIE法により異方性エッチングし、導電層6、ゲート絶縁膜5、シリコン基板2の上部をRIE法により異方性エッチング処理する。これにより、シリコン基板2の表層に素子分離溝3を形成する。

10

【0040】

次に、図11に示すように、塗布技術または/およびHDP-CVD(High Density Plasma Chemical Vapor Deposition)法などの絶縁膜成膜技術を用いて素子分離溝3内に絶縁膜としてシリコン酸化膜4を200~1500[nm]範囲の所定膜厚で埋込む。このとき、シリコン酸化膜4の上面はシリコン酸化膜10の上面よりも上方に位置するように成膜される。このとき、塗布技術によりポリシラザン系溶剤を塗布して形成した場合には、当該ポリシラザン系溶剤を酸素雰囲気もしくは水蒸気雰囲気下で熱処理を行い高密度化することで塗布型絶縁膜に焼成することでシリコン酸化膜に転換し素子分離絶縁膜4として形成する。

20

【0041】

次に、図12に示すように、化学的機械的研磨(CMP:Chemical Mechanical Polishing)法によりシリコン窒化膜9をストッパーとしてシリコン酸化膜4の上面を平坦化処理する。

【0042】

次に、図13に示すように、シリコン窒化膜9との間で高選択性を有する条件において、水で希釈したフッ酸(HF)溶液によって処理することで、シリコン酸化膜4の上面をゲート絶縁膜5の上面より上方位置で且つ導電層6の上面より下方位置の所定の深さまでエッチバック処理して除去する。次に、図14に示すように、シリコン窒化膜9を化学薬液等によりエッチング除去して多結晶シリコン層6の上面を露出させる。

30

【0043】

次に、図15に示すように、減圧化学気相成長法(LP-CVD法)により温度条件800程度でシリコン窒化膜7aを1~5[nm]の範囲の所定膜厚で成膜する。このシリコン窒化膜7aは、シリコン酸化膜4の上面、多結晶シリコン層6の上部側面および上面に沿った領域に形成される。このシリコン窒化膜7aはプラズマ窒化(ラジカル窒化)により形成しても良い。

【0044】

次に、図16に示すように、原子層成長法(ALD法)により高誘電体絶縁膜7abを前述の所定膜厚以下の膜厚(例えば3nm)で形成する。次に、図17に示すように、減圧化学気相成長法(LP-CVD法)によりジクロロシランと亜酸化窒素(N<sub>2</sub>O)を例えば800程度の温度で反応させてCVD法により高誘電体絶縁膜7abの上にシリコン酸化膜7acを例えば1~10[nm]範囲の所定膜厚で堆積する。

40

【0045】

次に、図18に示すように、シリコン酸化膜7ac上に高誘電体絶縁膜7bをALD(Atomic Layer Deposition)法により1~20nm範囲の所定膜厚で形成する。なお、ALD法のほか、CVD法またはスパッタリング法などの方法で形成しても良い。このアルミニウム酸化物膜7bは、シリコン窒化膜の比誘電率である約7よりも高い比誘電率特性を有している。

【0046】

50



次に、図 19 に示すように、減圧化学気相成長法によりジクロロシランと亜酸化窒素 ( $N_2O$ ) を 800 程度の温度で反応させることにより高誘電体絶縁膜 7b 上にシリコン酸化膜 7ca を CVD 法により 1 ~ 10 nm 範囲の所定膜厚で堆積する。

【0047】

次に、図 2A および図 2B に示すように、減圧化学気相成長法により 800 の温度条件下でシリコン窒化膜 7cb を 1 ~ 5 nm 範囲の所定膜厚で堆積し、次に、その上に導電層 8 を形成する。尚、シリコン窒化膜 7cb は、プラズマ窒化 (ラジカル窒化) 処理によって形成しても良い。

【0048】

次に、導電層 8 の上にマスクパターン (図示せず) を形成し、積層膜 5 ~ 8 のうち導電層 8、ゲート間絶縁膜 7、多結晶シリコン層 6 を RIE 法などの異方性エッチング技術を用いて図 2A の掲載面に平行な方向に沿ってエッチング処理し図 2A の掲載面に対し垂直な方向に分断する。すると、図 2C に示すように、分断領域 GV がゲート電極 MG を分断するように形成される。

【0049】

次に、図 2C に示すように、分断領域 GV を通じてシリコン基板 2 の表層にソース/ドレイン領域 2c を形成するための不純物をイオン注入する。この後、分断領域 GV 内に層間絶縁膜 (図示せず) を堆積し、層間絶縁膜内に各種配線用のコンタクトを形成し、上層配線の形成工程に移行するが、本実施形態の特徴には直接関係しないため、その詳細説明を省略する。なお、導電層 8 は、シリコン層とその上部に形成される金属のシリサイドによって構成されるが、分断領域 GV の形成前にシリコン層を堆積するものの、金属による上部シリサイド化工程は、適用する金属材料等に応じて各ゲート電極 MG を分断領域 GV で分断する前または後の何れのタイミングで行っても良い。

【0050】

本実施形態によれば、ゲート間絶縁膜 7 が、浮遊ゲート電極 FG と制御ゲート電極 CG との間に、浮遊ゲート電極 FG 側から制御ゲート電極 CG 側にかけて、シリコン窒化膜 7aa / 高誘電体絶縁膜 7ab / シリコン酸化膜 7ac / 高誘電体絶縁膜 7b / シリコン酸化膜 7ca / シリコン窒化膜 7cb による積層構造により構成されているため、リーク電流を抑制できる。

高誘電体絶縁膜 7ab が非遷移金属元素 (Al) の酸化膜により形成されているため、高誘電体絶縁膜 7b にトラップされた電荷の再放出を防ぐことができ閾値変動を抑制させることができる。

【0051】

高誘電体絶縁膜 7ab がシリコン窒化膜 7aa とシリコン酸化膜 7ac との間に形成されているため、特に書込時のリーク電流を抑制できる。

(第2の実施形態)

図 20 は、本発明の第2の実施形態を示すもので、前述実施形態と異なるところは、ゲート間絶縁膜の積層構造にある。前述実施形態と同一部分については同一符号を付して説明を省略し、以下、異なる部分についてのみ説明する。

【0052】

前述実施形態で説明したように、各メモリセルの消去時には、周辺回路が消去対象のワード線 WL に低電圧 (例えば 0 V ~ 2.5 V) を印加すると共に P ウェル 2b に高電圧を印加する。すると、電子が電荷蓄積層 FG から P ウェル 2b に抜けることによってデータが消去される。この場合、導電層 8 から電荷蓄積層 FG に電子が注入されることになるため、メモリセルトランジスタ Trm の消去時のしきい値電圧が飽和する虞がある。

【0053】

そこで本実施形態では、図 20 に示すゲート間絶縁膜 17 の層構造を採用している。図 20 は、図 2B に代わる断面図を模式的に示している。この図 20 に示すように、ゲート間絶縁膜 7 に代わるゲート間絶縁膜 17 は、下層絶縁膜 7a に代わる下層絶縁膜 17a / 高誘電体絶縁膜 7b / 上層絶縁膜 7c に代わる上層絶縁膜 17c の積層構造により構成さ

10

20

30

40

50

れている。

【0054】

具体的には、ゲート間絶縁膜17は、シリコン窒化膜7aa / シリコン酸化膜7ac / 高誘電体絶縁膜7b / シリコン酸化膜7ca / 高誘電体絶縁膜7cc / シリコン窒化膜7cbの積層構造により構成されている。下層絶縁膜17aは、シリコン窒化膜7aa / シリコン酸化膜7acの積層構造により構成されており、高誘電体絶縁膜7abが形成されていない。

【0055】

上層絶縁膜17cは、シリコン酸化膜7ca / 高誘電体絶縁膜7cc / シリコン窒化膜7cbの積層構造により構成されており、高誘電体絶縁膜7ccを備えている。すなわち、高誘電体絶縁膜7ccは、上層絶縁膜17cを構成するシリコン窒化膜7cbとシリコン酸化膜7caとの間に形成されている。高誘電体絶縁膜7ccは、前述実施形態の高誘電体絶縁膜7abと同様の構成となっており、例えばアルミニウム酸化物 ( $Al_2O_3$ ) 膜などの非遷移元素の酸化物膜により形成されている。その他の構造については前述実施形態と同様となっている。

10

【0056】

このようなゲート間絶縁膜17を製造する場合には、シリコン窒化膜7aa / シリコン酸化膜7ac / 高誘電体絶縁膜7b / シリコン酸化膜7ca / 高誘電体絶縁膜7cc / シリコン窒化膜7cbを順に積層することによって前述実施形態で示した方法と同一方法および同一膜厚によって形成する。高誘電体絶縁膜7ccを形成するときには、ALD法により所定膜厚 (例えば3nm以下) で形成すると良い。

20

【0057】

本実施形態においては、ゲート間絶縁膜17が、浮遊ゲート電極FGと制御ゲート電極CGとの間に、浮遊ゲート電極FG側から制御ゲート電極CG側にかけて、シリコン窒化膜7aa / シリコン酸化膜7ac / 高誘電体絶縁膜7b / シリコン酸化膜7ca / 高誘電体絶縁膜7cc / シリコン窒化膜7cbによる積層構造により構成されているため、ゲート間絶縁膜17を介して流れるリーク電流を抑制することができる。

【0058】

特に、高誘電体絶縁膜7ccがシリコン窒化膜7cbとシリコン酸化膜7caとの間に形成されているため、消去時にゲート間絶縁膜17を介して流れるリーク電流を抑制することができる。

30

【0059】

高誘電体絶縁膜7ccが非遷移金属元素 (Al) の酸化物により形成されているため、高誘電体絶縁膜7bにトラップされた電荷の再放出を防ぐことができ閾値変動を抑制させることができる。

【0060】

(他の実施形態)

本発明は、上記実施形態にのみ限定されるものではなく、次のように変形または拡張できる。

浮遊ゲート電極FG、ゲート間絶縁膜7、制御ゲート電極CGの積層構造を備えた不揮発性半導体記憶装置1に適用したが、その他のNOR型の不揮発性半導体記憶装置などにも適用できる。また、浮遊ゲート電極に代えて電荷トラップ層としてシリコン窒化膜を適用した電荷トラップ型のセル構造 (MONOS、SONOSと称される) を具備した不揮発性半導体記憶装置においても同様に適用できる。

40

【0061】

高誘電体絶縁膜7bとしてアルミニウム酸化物 ( $Al_2O_3$ ) 膜を適用した実施形態を示したが、シリコン窒化膜の比誘電率よりも高い比誘電率を備えた絶縁膜を適用すると良い。例えば、ストロンチウム (Sr)、アルミニウム (Al)、マグネシウム (Mg)、スカンジウム (Sc)、ガドリニウム (Gd)、イットリウム (Y)、サマリウム (Sm)、ハフニウム (Hf)、ジルコニウム (Zr)、タンタル (Ta)、ランタン (La)

50

、バリウム (Ba)、ビスマス (Bi) 等の酸化物又は窒化物のいずれかの単層膜、若しくはこれらのいくつかを積層した複合膜を適用できる。例えば、比誘電率が 7 程度のシリコン窒化 ( $\text{Si}_3\text{N}_4$ ) 膜、比誘電率が 10 程度のマグネシウム酸化物 ( $\text{MgO}$ ) 膜、比誘電率が 16 程度のイットリウム酸化物 ( $\text{Y}_2\text{O}_3$ ) 膜、比誘電率が 22 程度のハフニウム酸化物 ( $\text{HfO}_2$ ) 膜、ジルコニウム酸化物 ( $\text{ZrO}_2$ ) 膜、およびランタン酸化物 ( $\text{La}_2\text{O}_3$ ) などを適用できる。高誘電体絶縁膜 7b として、シリコン (Si)、アルミニウム (Al)、マグネシウム (Mg)、イットリウム (Y)、ハフニウム (Hf)、ジルコニウム (Zr)、ランタン (La) の何れか 1 種の元素を少なくとも含む酸化物もしくは窒化物の膜を適用しても良い。

【0062】

10

高誘電体絶縁膜 7b として、ハフニウム酸化物 ( $\text{HfO}_2$ ) 膜、ジルコニウム酸化物 ( $\text{ZrO}_2$ ) 膜や、ハフニウムまたはジルコニウムなどの遷移金属を含むハフニウムシリケート ( $\text{HfSiO}$ ) 膜、ハフニウムアルミネート ( $\text{HfAlO}$ ) 膜、ジルコニウムアルミネート ( $\text{ZrAlO}$ )、ジルコニウムシリケート ( $\text{ZrSiO}$ ) のような三元系の化合物からなる電荷トラップを有する膜を適用しても良い。遷移金属を含む金属酸化物膜は電子トラップ量が多くトラップによる電界緩和効果が高いためであり、当該電界緩和効果の影響によってトンネル距離を増大させて高電界リーク電流を低減できるためである。

【0063】

また、高誘電体絶縁膜 7ab または 7cc としては、シリコン窒化膜の比誘電率よりも高い比誘電率を備えた絶縁膜を適用すると良い。例えば、マグネシウム (Mg)、ストロンチウム (Sr)、バリウム (Ba)、ビスマス (Bi) による非遷移金属の酸化物のいずれかの単層膜を適用すると良い。このような非遷移金属の酸化物の単層膜を適用すると、トラップ量を高誘電体絶縁膜 7b よりも少なくできるため、高誘電体絶縁膜 7b にトラップされた電荷の制御ゲート電極層 CG または浮遊ゲート電極 FG に対する再放出を防止することができ閾値変動を抑制できる。

20

【0064】

ゲート間絶縁膜 7、17 の積層構造は次のような変形または拡張が可能である。例えば、第 1 の実施形態のシリコン窒化膜 7aa に代えてシリコン酸化膜を適用すると共に、上層絶縁膜 7c 中のシリコン窒化膜 7cb を設けることなく形成してもよい。すなわち、下層側から上層側にかけて、シリコン酸化膜 / 高誘電体絶縁膜 7ab / シリコン酸化膜 7a 30 c / 高誘電体絶縁膜 7b / シリコン酸化膜 7ca による積層構造を適用しても良い。

30

【0065】

また、高誘電体絶縁膜 7ab / シリコン酸化膜 7ac / 高誘電体絶縁膜 7b、高誘電体絶縁膜 7b / シリコン酸化膜 7ac / 高誘電体絶縁膜 7ab、による積層構造を適用しても良い。

【0066】

前述実施形態では、下層絶縁膜 7a 中のみ、上層絶縁膜 17c 中のみ、それぞれ、高誘電体絶縁膜 7ab、7cc を設けた実施形態を示したが、下層絶縁膜 7a、上層絶縁膜 17c の構造をそれぞれ高誘電体絶縁膜 7b の下層、上層の構造として組み合わせて高誘電体絶縁膜 7b の上層および下層の何れにも高誘電体絶縁膜 7ab、7cc を設けて構成しても良い。すなわち、シリコン窒化膜 7aa / 高誘電体絶縁膜 7ab / シリコン酸化膜 7ac / 高誘電体絶縁膜 7b / シリコン酸化膜 7ca / 高誘電体絶縁膜 7cc / シリコン窒化膜 7cb の積層構造を適用しても良い。また、必要に応じてシリコン窒化膜 7aa の下層側の浮遊ゲート電極 FG との間にシリコン酸化膜を設けて構成しても良い。このような構成の場合、書込 / 消去特性の両特性を良化できる。

40

【0067】

また、下層側から上層側にかけて、シリコン酸化膜 / シリコン窒化膜 7aa / 高誘電体絶縁膜 7ab / シリコン酸化膜 7ac / 高誘電体絶縁膜 7b / シリコン酸化膜 7ca / シリコン窒化膜 7cb、シリコン酸化膜 / シリコン窒化膜 7aa / シリコン酸化膜 7ac / 高誘電体絶縁膜 7b / シリコン酸化膜 7ca / 高誘電体絶縁膜 7cc / シリコン窒化膜 7 50

c bなどの積層構造を適用しても良い。すなわち、シリコン酸化膜を例えば1 nm程度の膜厚でシリコン窒化膜7 a aの下層側に設けた構造にも適用できる。

【0068】

この場合には、浮遊ゲート電極F G上に直接シリコン窒化膜7 a aを形成すると固定電荷の増加に伴う閾値の変動や界面準位の増加などがデバイス上許容できない場合に特に有効な構成となる。すなわち、シリコン酸化膜をシリコン窒化膜7 a aの下層側に設けることによって固定電荷の増加を抑制することができ、しきい値の変動を抑制できる。

【図面の簡単な説明】

【0069】

【図1】本発明の一実施形態について不揮発性半導体記憶装置内の構造を模式的に示す平面図 10

【図2A】図1のA - A線に沿って示す模式的な断面図

【図2B】図2AのB部分の拡大断面図

【図2C】図1のC - C線に沿って示す模式的な断面図

【図3】書込時のしきい値電圧の書込時間依存性を示す図

【図4】リーク電流の印加電界依存性を示す特性図

【図5】リーク電流特性の膜厚依存性を示す特性図

【図6】ゲート間絶縁膜における浮遊ゲート電極側のバンドモデルを概略的に示す図

【図7】製造途中における図1のA - A線に沿って示す断面図(その1)

【図8】製造途中における図1のA - A線に沿って示す断面図(その2) 20

【図9】製造途中における図1のA - A線に沿って示す断面図(その3)

【図10】製造途中における図1のA - A線に沿って示す断面図(その4)

【図11】製造途中における図1のA - A線に沿って示す断面図(その5)

【図12】製造途中における図1のA - A線に沿って示す断面図(その6)

【図13】製造途中における図1のA - A線に沿って示す断面図(その7)

【図14】製造途中における図1のA - A線に沿って示す断面図(その8)

【図15】製造途中における図1のA - A線に沿って示す断面図(その9)

【図16】製造途中における図1のA - A線に沿って示す断面図(その10)

【図17】製造途中における図1のA - A線に沿って示す断面図(その11)

【図18】製造途中における図1のA - A線に沿って示す断面図(その12) 30

【図19】製造途中における図1のA - A線に沿って示す断面図(その13)

【図20】本発明の第2の実施形態に係る図2B相当図

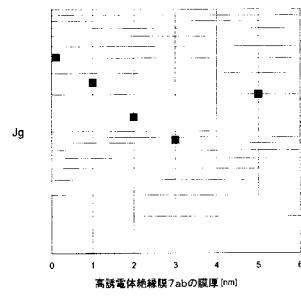
【符号の説明】

【0070】

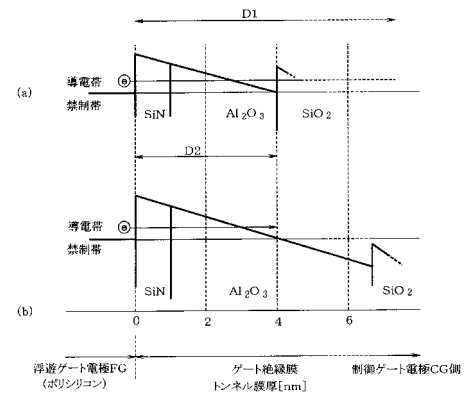
図面中、2はシリコン基板(半導体基板)、5はゲート絶縁膜(第1のゲート絶縁膜)、6、F Gは浮遊ゲート電極(電荷蓄積層)、7はゲート間絶縁膜(第2のゲート絶縁膜)、7 a aはシリコン窒化膜、7 a bは高誘電体絶縁膜、7 a cはシリコン酸化膜、7 bは高誘電体絶縁膜、7 c aはシリコン酸化膜、7 c bはシリコン窒化膜、7 aは下層絶縁膜、7 cは上層絶縁膜、8は導電層(制御ゲート電極層)、C Gは制御ゲート電極層を示す。



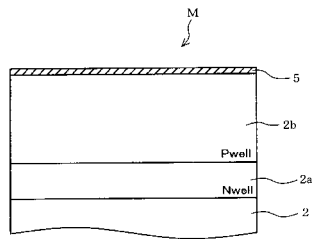
【図 5】



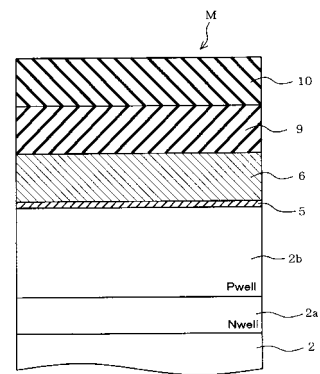
【図 6】



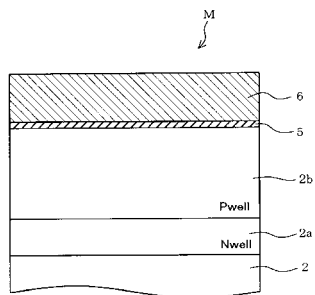
【図 7】



【図 9】

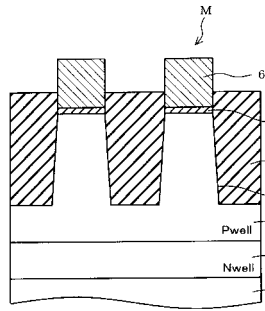


【図 8】

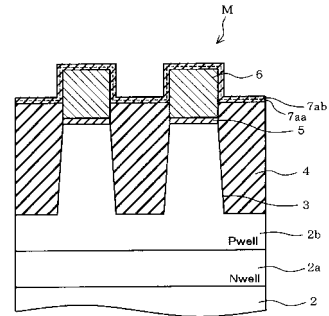




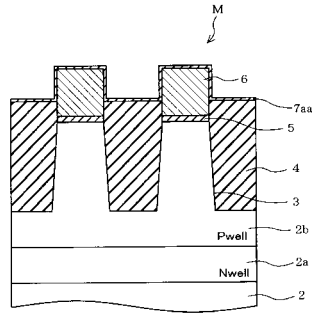
【図14】



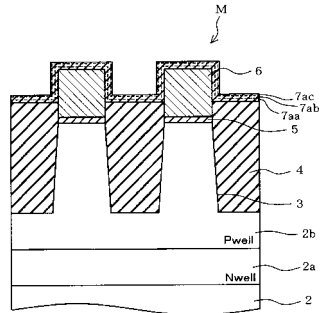
【図16】



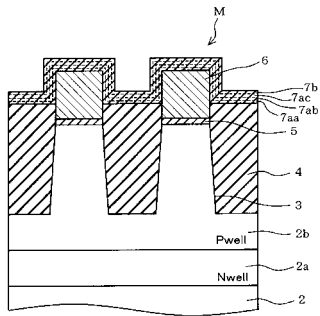
【図15】



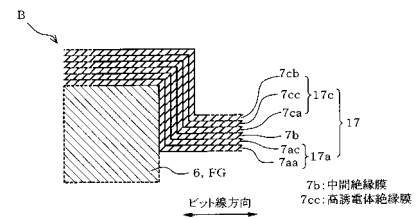
【図17】



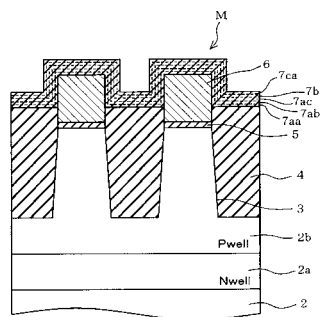
【図18】



【図20】



【図19】





---

フロントページの続き

(56)参考文献 特開 2 0 0 7 - 0 7 3 9 2 6 ( J P , A )  
特開 2 0 0 7 - 0 1 2 9 2 2 ( J P , A )

(58)調査した分野(Int.Cl. , D B 名)

H 0 1 L	2 1 / 3 3 6
H 0 1 L	2 1 / 8 2 4 7
H 0 1 L	2 7 / 1 1 5
H 0 1 L	2 9 / 7 8 8
H 0 1 L	2 9 / 7 9 2