

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3714762号

(P3714762)

(45) 発行日 平成17年11月9日(2005.11.9)

(24) 登録日 平成17年9月2日(2005.9.2)

(51) Int.Cl.⁷

F I

H03K 5/13

H03K 5/13

G11C 19/28

G11C 19/28

B

H03K 17/28

H03K 17/28

請求項の数 13 (全 17 頁)

(21) 出願番号	特願平9-66296	(73) 特許権者	000005223
(22) 出願日	平成9年3月19日(1997.3.19)		富士通株式会社
(65) 公開番号	特開平10-261941		神奈川県川崎市中原区上小田中4丁目1番1号
(43) 公開日	平成10年9月29日(1998.9.29)	(74) 代理人	100077517
審査請求日	平成15年12月19日(2003.12.19)		弁理士 石田 敬
		(74) 代理人	100100871
			弁理士 土屋 繁
		(74) 代理人	100088269
			弁理士 戸田 利雄
		(74) 代理人	100082898
			弁理士 西山 雅也
		(72) 発明者	鈴木 康一
			神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
			最終頁に続く

(54) 【発明の名称】 遅延回路および半導体記憶装置

(57) 【特許請求の範囲】

【請求項 1】

入力信号の切り替わりを緩やかに変化させる充放電手段と、

該充放電手段のからの充放電信号を受け取り、該充放電信号がしきい値を越えると出力信号が切り替わる論理回路とを備えた遅延回路であって、

前記充放電手段は、前記論理回路の入力に一端が接続されたスイッチ手段と、該スイッチ手段の他端に一端が接続された容量手段とを備え、前記論理回路の出力信号により前記スイッチ手段のスイッチングを制御して該容量手段による時定数を変化させるようにしたことを特徴とする遅延回路。

【請求項 2】

請求項 1 に記載の遅延回路であって、前記スイッチ手段は、前記充放電信号がしきい値を越えて切り替わる前記論理回路の出力信号を受けてスイッチオフとなるように制御されていることを特徴とする遅延回路。

【請求項 3】

請求項 1 に記載の遅延回路であって、前記スイッチ手段により前記論理回路の入力との接続が制御される前記容量手段は、複数個並列に設けられていることを特徴とする遅延回路。

【請求項 4】

請求項 3 に記載の遅延回路であって、前記複数の容量手段のうちの少なくとも 1 つは、一端が前記スイッチ手段の他端に接続され、他端が所定の電源線に接続されていることを

10

20

特徴とする遅延回路。

【請求項 5】

請求項 3 に記載の遅延回路であって、前記複数の容量手段のうちの少なくとも 1 つは、一端が前記スイッチ手段の他端に接続され、他端が所定の制御信号が供給されたドライバ回路の出力に接続されていることを特徴とする遅延回路。

【請求項 6】

請求項 1 に記載の遅延回路であって、前記充放電手段は、前記論理回路の入力に挿入され、さらに、前記入力信号を該抵抗手段を介して供給する抵抗手段と、該抵抗手段に並列に設けられた他のスイッチ手段とを備え、前記論理回路の出力信号により前記他のスイッチ手段のスイッチングを制御して該抵抗手段による時定数を変化させるようにしたことを特徴とする遅延回路。

10

【請求項 7】

請求項 6 に記載の遅延回路であって、前記他のスイッチ手段は、前記充放電信号がしきい値を越えて切り替わる前記論理回路の出力信号を受けてスイッチオンとなるように制御されていることを特徴とする遅延回路。

【請求項 8】

請求項 6 に記載の遅延回路であって、前記他のスイッチ手段および該他のスイッチ手段により前記論理回路の入力との短絡が制御される前記抵抗手段は、それぞれ複数個直列に設けられていることを特徴とする遅延回路。

【請求項 9】

20

請求項 8 に記載の遅延回路であって、前記複数の抵抗手段の短絡を制御する前記複数の他のスイッチ手段は、それぞれ前記論理回路の出力信号によりスイッチングが制御されるようになっていることを特徴とする遅延回路。

【請求項 10】

請求項 1 ~ 9 のいずれか 1 項に記載の遅延回路であって、前記論理回路は、CMOS インバータを備えて構成されていることを特徴とする遅延回路。

【請求項 11】

請求項 1 ~ 10 のいずれか 1 項に記載の遅延回路であって、前記容量手段は、MOS 容量として構成されていることを特徴とする遅延回路。

【請求項 12】

30

複数のメモリセルを有するセルマトリクスと、
該セルマトリクスから出力された読み出しデータをラッチするデータラッチと、
アドレス信号の切り替わりを検出するアドレストランスファ検出回路と、
該アドレストランスファ検出回路の出力信号に従って前記データラッチにラッチ制御信号を出力し、該ラッチ制御信号に同期して前記読み出しデータを出力するように前記データラッチを制御する遅延回路とを備え、該遅延回路は、請求項 1 ~ 11 のいずれか 1 項に記載の遅延回路であることを特徴とする半導体記憶装置。

【請求項 13】

請求項 12 に記載の半導体記憶装置であって、該半導体記憶装置は、フラッシュEEPROMであることを特徴とする半導体記憶装置。

40

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は遅延回路および半導体記憶装置に関し、特に、オートパワーダウン機能を有する半導体記憶装置に適用される遅延回路に関する。

近年、様々な回路における機能の複雑化に伴って、信号のタイミングを遅延して供給することが広く行われている。そして、遅延回路の遅延時間を変化させることができ、部品数および消費電流が少なく、さらに、ノイズや電源変動に影響されることなく遅延信号を出力することのできる遅延回路の提供が要望されている。

【0002】

50

【従来の技術】

図1は従来の遅延回路の一例を示す回路図である。

図1に示されるように、従来の遅延回路（CR遅延回路）は、例えば、抵抗1、容量2およびインバータ3を備えて構成されている。すなわち、遅延回路の入力（IN）とノードN1（インバータ3の入力）との間に抵抗1を設けると共に、該ノードN1と接地線（GND；V_{ss}）との間に容量2を設けるようになっている。そして、該抵抗1と容量2の時間定数（ $T = CR$ ）により入力信号INの電圧変化を鈍らせて（緩慢化して）、次段のインバータ3の入力電圧（ノードN1の電圧）が該インバータ3のしきい値電圧V_{th}を越えるタイミング遅らせるようになっている。これにより、遅延回路の入力信号INを遅延した出力信号（入力信号を反転した出力信号）OUTを得ることができる。なお、抵抗1および容量2は充電回路（充放電手段）を構成している。また、インバータ3としては、所定のしきい値を有するインバータ以外の論理回路等を使用してもよい。

10

【0003】

図2は図1に示す遅延回路の課題を説明するための波形図である。

図2に示されるように、入力信号INが低レベル“L”（低電位電源電圧V_{ss}）から高レベル“H”（高電位電源電圧V_{cc}）へ変化すると、インバータ3の入力電圧（N1）は、抵抗1および容量2の時間定数に応じて緩やかに上昇し、そして、該インバータ3のしきい値電圧V_{th}を越えると、反転したレベルの出力信号OUTが出力される。

【0004】

しかしながら、図1に示す従来の遅延回路では、抵抗1および容量2の時間定数だけによりインバータ3の入力電圧（N1）が決まるため、しきい値電圧を越えた後も電圧（N1）の変化は緩やかなままとなる。そのため、例えば、ノイズや電源電圧の変動等の影響により入力信号INが変動し（図2中の符号F参照）、その結果、インバータ3の入力電圧（N1）が再度しきい値電圧V_{th}よりも低くなると、出力信号OUTに不要な部分（不要パルスP）が含まれることになり、該出力信号（遅延出力）OUTを受け取る回路が誤動作を起こす危険がある。

20

【0005】

図3は従来の遅延回路の他の例を示す回路図である。

図3に示されるように、遅延回路は、例えば、抵抗1、Nチャネル型MOSトランジスタ20、21、CMOSインバータ3、および、ドライバ（CMOSインバータ）5を備えて構成されている。ここで、トランジスタ20および21は、それぞれソース・ドレイン間を接続したMOS容量として使用されている。なお、MOS容量（トランジスタ）20および21の一端はインバータ3の入力（ノードN1）に接続され、また、MOS容量20の他端（ソースおよびドレイン）は高電位の電源線（V_{cc}）に接続され、そして、MOS容量21の他端（ソースおよびドレイン）は制御信号S1が供給されたインバータ（ドライバ）5の出力に接続されている。ここで、抵抗1およびMOS容量20、21は充電回路（充放電手段）を構成している。

30

【0006】

この図3に示す遅延回路は、制御信号S1によりMOS容量21の寄与（接続）を制御し、インバータ3の入力電圧（N1）の立ち上がりの傾斜を変化させるようになっている。

40

【0007】**【発明が解決しようとする課題】**

図4は図3に示す遅延回路の課題を説明するための波形図である。

図4に示されるように、制御信号S1が低レベル“L”（低電位電源電圧V_{ss}）のとき、インバータ5の出力（MOS容量21の他端）は、高レベル“H”（高電位電源電圧V_{cc}）となっている。ここで、MOS容量20の他端にも高電位電源電圧V_{cc}が印加されているため、入力信号INが低レベル“L”から高レベル“H”へ変化すると、2つのMOS容量20および21の両方が寄与してノードN1のレベル（インバータ3の入力電圧）は、図4中の符号L1に示すように、緩やかに立ち上がる。

【0008】

50

さらに、インバータ3の入力電圧(N1)が該インバータ3のしきい値電圧 V_{th} を越えた後、制御信号S1が低レベル" L " から高レベル" H " へ変化すると、インバータ5の出力(MOS容量21の他端)は、低レベル" L " となるため、該MOS容量21を介してノードN1の電荷(MOS容量20および21に蓄積された電荷)が放電されることになる。その結果、図4中の符号Fで示されるように、インバータ3の入力電圧(N1)が再度インバータ3のしきい値電圧 V_{th} を下回って、出力電圧OUTに不要な部分(不要パルス)Pが含まれることになってしまう。

【0009】

すなわち、MOS容量21を制御信号S1で切り離すように構成した場合、制御信号S1のタイミングによっては切り離されたMOS容量21の放電に起因してインバータ3の入力電圧(N1)再度しきい値電圧 V_{th} を下回ることになり、回路動作上のタイミングの制約を受けるという問題がある。

上記の図3および図4を参照して説明した問題は、例えば、遅延回路をフラッシュEEPROMに適用した場合に生じる。

【0010】

図5は遅延回路が適用される半導体記憶装置の一例としてのフラッシュEEPROMの構成を示すブロック図である。図5において、参照符号100は遅延回路、101はコマンドレジスタ・ステートマシン、102はチップイネーブル・出力イネーブルロジック、103はアドレスレジスタ、104はアドレストランスファ検出回路、105はタイマ、106は消去電圧発生回路、そして、107はプログラム電圧(書込電圧)発生回路を示している。さらに、参照符号108は列デコーダ、109は行デコーダ、110は入出力バッファ、111はデータラッチ、112はY選択回路、そして、113はセルマトリクスを示している。

【0011】

図5に示されるように、コマンドレジスタ・ステートマシン101には、リセット信号/RESET、ライトイネーブル信号/WE、および、チップイネーブル信号/CEが供給されると共に、タイマ105の出力およびチップイネーブル・出力イネーブルロジック102の出力信号が供給され、各信号/RESET、/WE、/CEに応じて消去電圧発生回路106およびプログラム電圧発生回路107等へ所定の制御信号を供給して制御するようになっている。チップイネーブル・出力イネーブルロジック102は、チップイネーブル信号/CEおよび出力イネーブル信号/OEを受け取り、入出力バッファ110等の制御を行うようになっている。

【0012】

入出力バッファ110は、I/O回路との間でデータの遣り取りを行うもので、データラッチ111からのデータ(読み出された出力データDD2)をI/O回路へ出力すると共に、I/O回路からのデータ(書き込みデータおよびコマンドデータ等)をデータラッチ111およびコマンドレジスタ・ステートマシン101へ供給するようになっている。

【0013】

アドレスレジスタ103は、アドレス信号ADDを受け取って、列アドレスおよび行アドレスをそれぞれ列デコーダ108および行デコーダ109へ供給し、セルマトリクス(メモリセルアレイ)113における該アドレス信号ADDに対応したセル(メモリセル)が選択される。すなわち、行デコーダ109により所定のワード線が選択され、且つ、列デコーダ108に制御されるY選択回路112により所定のビット線が選択されて、アドレス信号ADDに対応したセルに対してデータの書き込み或いは読み出しが行われる。ここで、書き込み時に使用する高電圧(プログラム電圧)は、プログラム電圧発生回路107から列デコーダ108へ供給され、Y選択回路112を介してアドレス信号ADDに対応したセルへ印加される。なお、消去電圧発生回路106の出力電圧(消去電圧)は、行デコーダ109へ供給され、セルマトリクス113の一斉消去を行うために使用される。

【0014】

アドレス信号ADDは、アドレストランスファ検出回路104にも供給され、これにより

10

20

30

40

50

アドレス信号の伝達を検出するようになっている。このアドレストランスファ検出回路 104 の出力 (アドレストランスファ検出信号 S S 1) は遅延回路 100 に供給され、該遅延回路 100 の出力 (S S 2) によりデータラッチ 111 の動作 (ラッチ動作) を制御するようになっている。すなわち、データラッチ 111 は、Y 選択回路 112 を介して供給されるメモリ読み出しデータ D D 1 を遅延回路 100 の出力信号 (ラッチ制御信号) S S 2 に従ってラッチし、出力データ D D 2 を入出力バッファ 110 を介して出力するようになっている。

【 0015 】

このように、上記した遅延回路 (本発明が対象とする遅延回路) は、例えば、フラッシュ E E P R O M における遅延回路 100 として適用されるものである。このフラッシュ E E P R O M は、以下に説明するように、例えば、一定時間内にアドレスの切り替えが無い場合には、内部回路がパワーダウンするオートパワーダウンの機能を備えている。

10

【 0016 】

図 6 は図 5 に示すフラッシュ E E P R O M の読み出し動作を説明するための波形図である。ここで、オートパワーダウン機能を有するフラッシュ E E P R O M の読み出し動作は、例えば、素子選択 (メモリセルの選択) をしてアドレスが切り替わり、その後一定時間以内に再度アドレスが切り替わらないと、内部回路がパワーダウンするようになっているため、メモリセル (セルマトリクス 113) の出力をデータラッチ 111 によりラッチする必要がある。具体的に、メモリセルの読み出しデータが安定するまでには、例えば、数 10 ナノ秒以上かかるため、アドレスの切り替え (変化) を検出してから数 10 ナノ秒以上

20

【 0017 】

図 6 に示されるように、通常の読み出し動作では、アドレス信号 A D D が変化すると、アドレストランスファ検出回路 104 は該アドレス信号 A D D の変化 (伝達) を検出して、アドレストランスファ検出信号 S S 1 を遅延回路 100 へ出力する。なお、遅延回路 100 には、パワーダウン信号 (制御信号) S 1 も供給されている。遅延回路 100 は、ノード N 1 (図 3 におけるインバータ 3 の入力信号) がしきい値 V_{th} を越えると、パルス P 0 を有するラッチ制御信号 S S 2 がデータラッチ 111 へ供給される。そして、データラッチ 111 は、例えば、ラッチ制御信号 S S 2 のパルス P 0 に応じて読み出しデータ D D 1

30

【 0018 】

ここで、ラッチ制御信号 S S 2 は、例えば、アドレストランスファ検出信号 S S 1 を入力信号 I N とする図 3 に示すような R C 遅延回路の出力信号 O U T として得られる。この遅延回路は、デバイスのアクセス時間がプロセス条件の変動により実力的に速くできる場合や、デバイス評価時に安定した D C 的な測定を行う場合等を考えて、抵抗および容量による時定数 (遅延時間) を可変にできるように構成されている。そして、遅延時間を切り替えるための制御信号 (S 1) をメモリ (フラッシュ E E P R O M) にプログラムすることにより、容量 (M O S 容量) の寄与 (接続) を制御するようになっている。

【 0019 】

40

図 7 は図 5 に示すフラッシュ E E P R O M のオートパワーダウン動作を説明するための波形図である。

上述した遅延時間切替用の制御信号 (S 1) は、通常、切り替わることはないが、例えば、オートパワーダウン機能が働くと、遅延時間切替用の制御信号 S 1 も、メモリ (セルマトリクス 113) からの読み出し回路がパワーダウンするため、正常に読み出されなくなる。その結果、図 7 (符号 N 1 参照) に示されるように、図 3 および図 4 を参照して説明したのと同様の問題が生じることある。すなわち、遅延回路 100 からデータラッチ 111 へ供給されるラッチ制御信号 S S 2 (遅延回路の出力信号 O U T) が、正常なパルス P 0 の他にパルス (不要パルス) P 1 を有することになり、該ラッチ制御信号 S S 2 のパルス (P 0 , P 1) に応じて動作するデータラッチ 111 が誤動作を起こすか、或いは、該

50

誤動作を防ぐために動作タイミングを制約する必要が生じている。

【0020】

このように、従来の遅延回路は、例えば、図2を参照して説明したように、次段の回路（インバータ）のしきい値を越えてからもノイズや電源電圧の変動等の影響を受けやすく、再度次段の回路のしきい値を下回ってしまうことがあった。これは、容量の値を大きくして遅延時間を遅くすればするほど生じやすく、回路の誤動作を招き易くなる。

【0021】

さらに、図3或いは図7を参照して説明したように、従来の遅延回路および該遅延回路を適用した半導体記憶装置（フラッシュEEPROM）は、例えば、容量をNチャネル型MOSトランジスタ等の能動素子で構成し、制御信号（S1）で切り離すように構成した場合、能動素子がオフしてから制御信号を入力しないと放電によって次段の回路のしきい値を下回るとい現象が生じる危険があり、それを防止するためには、回路動作上のタイミングの制約を受けることになっていた。

【0022】

本発明は、上記の課題に鑑みてなされ、次段の回路のしきい値を越えてからの誤動作およびタイミングの制約を軽減することのできる遅延回路および該遅延回路を適用した半導体記憶装置の提供を目的とする。

【0023】

【課題を解決するための手段】

本発明によれば、入力信号の切り替わりを緩やかに変化させる充放電手段と、該充放電手段のからの充放電信号を受け取り、該充放電信号がしきい値を越えると出力信号が切り替わる論理回路とを備えた遅延回路であって、前記充放電手段は、前記論理回路の入力に一端が接続されたスイッチ手段と、該スイッチ手段の他端に一端が接続された容量手段とを備え、前記論理回路の出力信号により前記スイッチ手段のスイッチングを制御して該容量手段による時定数を変化させるようにしたことを特徴とする遅延回路が提供される。

【0024】

本発明の遅延回路によれば、充放電手段により、入力信号の切り替わりが緩やかに変化され、また、論理回路により、充放電手段のからの充放電信号がしきい値を越えると出力信号が切り替えられる。そして、充放電手段は、論理回路の入力に一端が接続されたスイッチ手段と、該スイッチ手段の他端に一端が接続された容量手段とを備える。このスイッチ手段のスイッチングを論理回路の出力信号により制御することにより、容量手段による時定数を変化させるようになっている。

【0025】

また、充放電手段は、論理回路の入力に挿入され、入力信号を該抵抗手段を介して供給する抵抗手段と、該抵抗手段に並列に設けられたスイッチ手段とを備えて構成することができる。このスイッチ手段のスイッチングを論理回路の出力信号により制御することにより、抵抗手段による時定数を変化させるようになっている。

【0026】

さらに、充放電手段は、電流源を備え、論理回路の出力信号により該電流源を流れる電流を制御してもよい。

また、論理回路は、CMOSインバータにより構成することができる。さらに、論理回路は、コンパレータにより構成し、該コンパレータの第1の入力端子に充放電回路からの充放電信号を供給し、該コンパレータの第2の入力端子に参照電圧を印加して、論理回路の出力信号を受けて該参照電圧を変化させるように制御してもよい。

【0027】

これにより、次段の回路（論理回路）のしきい値を越えてからの誤動作およびタイミングの制約を軽減することが可能となる。

なお、本発明の遅延回路は、半導体記憶装置に適用され得るものであり、例えば、フラッシュEEPROMにおいて、アドレス信号の切り替わりを検出するアドレ스트ランスファ検出回路の出力信号を受け取り、セルマトリクスから読み出されたデータをラッチするデ

10

20

30

40

50

ータラッチの制御を行うラッチ制御信号を出力するために使用される。

【 0 0 2 8 】

【 発明の実施の形態 】

以下、図面を参照して本発明に係る遅延回路の実施例を説明する。

図 8 は本発明に係る遅延回路の原理構成を示す回路図である。図 8 において、参照符号 1 は抵抗、2 は容量、3 はインバータ、そして、4 はスイッチ手段（スイッチ素子）を示している。

【 0 0 2 9 】

前述した図 1 に示す従来の遅延回路との比較から明らかなように、図 8 に示す本発明の遅延回路は、図 1 の遅延回路に対してインバータ 3 の出力信号により制御されるスイッチ素子 4 を容量 2 の一端とノード N 1 との間に設けるようにしたものである。

すなわち、遅延回路の入力（I N）とノード N 1（インバータ 3 の入力）との間に抵抗 1 を設けると共に、該ノード N 1 と接地線（G N D、V ss）との間にスイッチ素子 4 および容量 2 を直列に設けるようになっている。ここで、スイッチ素子 4 は、初期状態においてはスイッチオンとなっており、図 1 に示す従来の遅延回路と同様に、抵抗 1 と容量 2 の時定数（ $T = CR$ ）により入力信号 I N の電圧変化を鈍らせて（緩慢化して）、次段のインバータ 3 の入力電圧（ノード N 1 の電圧：充放電信号）が該インバータ 3 のしきい値電圧 V_{th} を越えるタイミング遅らせるようになっている。これにより、遅延回路の入力信号 I N を遅延した出力信号（入力信号を反転した出力信号）O U T が出力されることになる。なお、抵抗 1 および容量 2 は充電回路（充放電手段）を構成している。また、インバータ 3 としては、他のしきい値を有する論理回路等を使用してもよい。

【 0 0 3 0 】

このように、本発明の遅延回路は、出力信号 O U T の変化を受けて、スイッチ素子 4 をスイッチオンからスイッチオフへ切り替え、これにより、容量 2 をノード N 1 から切り離して、入力信号 I N の変化を直接にノード N 1（インバータ 3 の入力）へ伝えるようになっている。

図 9 は図 8 に示す遅延回路の動作を説明するための波形図である。

【 0 0 3 1 】

図 9 に示されるように、入力信号（ステップ信号）I N が低レベル " L "（低電位電源電圧 V ss）から高レベル " H "（高電位電源電圧 V cc）へ変化すると、インバータ 3 の入力電圧（N 1）は、抵抗 1 および容量 2 の時定数に応じて緩やかに上昇し、該インバータ 3 のしきい値電圧 V_{th} を越えると、反転したレベル（低レベル " L "）の出力信号 O U T が出力される。この高レベル " H " から低レベル " L " へ変化する出力信号 O U T を受けて、スイッチ素子 4 はスイッチオン状態からスイッチオフ状態へ変化し、容量 2 はノード N 1 から切り離される。

【 0 0 3 2 】

その結果、入力信号 I N は、容量 2 により緩慢化されることなくインバータ 3 の入力へ供給される。これにより、例えば、ノイズや電源電圧の変動等の影響により入力信号 I N が変動（図 9 中の符号 F 参照）した場合でも、インバータ 3 の入力電圧（N 1）は、すでに高レベル " H " まで立ち上がっているため、該入力信号 I N の変動がインバータ 3 のしきい値電圧 V_{th} よりも低くならず、出力信号 O U T に不要な部分が含まれることが無い。従って、出力信号が変化した後（遅延出力が出力された後）、ノイズや電源電圧の変動等の影響により入力信号 I N が変動しても、ノイズに対するマージンが大きくなるため、出力信号 O U T に不要な変化が生じることがなく、該出力信号 O U T を受け取る回路の誤動作を防止することが可能となる。

【 0 0 3 3 】

図 10 は本発明の遅延回路の第 1 実施例を示す回路図である。

図 10 に示されるように、遅延回路は、例えば、抵抗 1、N チャネル型 MOS トランジスタ 4、20、21、インバータ（CMOS インバータ）3、および、ドライバ（CMOS インバータ）5 を備えて構成されている。ここで、トランジスタ 20 および 21 は、それ

ぞれソース - ドレイン間を接続したMOS容量として使用されている。なお、MOS容量（トランジスタ）20および21の一端はインバータ3の入力（ノードN1）に接続され、また、MOS容量20の他端（ソースおよびドレイン）は高電位の電源線（Vcc）に接続され、そして、MOS容量21の他端（ソースおよびドレイン）は制御信号S1が供給されたインバータ（ドライバ）5の出力に接続されている。また、抵抗1およびMOS容量20, 21は充電回路（充放電手段）を構成している。

【0034】

この図10に示す遅延回路は、前述した図3に示す従来の遅延回路に対して、MOS容量21の一端とノードN1との間にトランジスタ（スイッチ素子）4をさらに設けたもので、該トランジスタ4のゲートにはインバータ3の出力（出力信号OUT）が供給されるようになっている。すなわち、制御信号S1によりMOS容量21の寄与（接続）を制御してインバータ3の入力電圧（N1：充放電信号）の立ち上がりの傾斜を変化させると共に、インバータ3がしきい値電圧Vthを越えてその出力が反転したのを捉えてトランジスタ4をスイッチオフとしてMOS容量21をノードN1から切り離すようになっている。

10

【0035】

図11は図10に示す遅延回路の動作を説明するための波形図である。

図11に示されるように、制御信号S1が低レベル“L”（Vss）のとき、インバータ5の出力（MOS容量21の他端）は、高レベル“H”（Vcc）となっている。また、MOS容量20の他端にも高電位電源電圧Vccが印加されている。ここで、Nチャネル型MOSトランジスタ4のゲートに供給される信号（出力信号OUT）は高レベル“H”となっているので、該トランジスタ4はスイッチオンとなっている。従って、入力信号INが低レベル“L”から高レベル“H”へ変化すると、2つのMOS容量20および21の両方に電荷が蓄積（両方が寄与）してノードN1の電位（インバータ3の入力電圧）は、図11中の符号L1に示すように、緩やかに立ち上がる。

20

【0036】

さらに、インバータ3の入力電圧（N1）が該インバータ3のしきい値電圧Vthを越えると、出力信号OUTは高レベル“H”から低レベル“L”へ反転し、この低レベル“L”の出力信号OUTを受けてトランジスタ4はスイッチオフとなる。これにより、2つのMOS容量20および21は、ノードN1から切り離され、該ノード1のレベルは急峻に高レベル“H”へ立ち上がる。

30

【0037】

そして、制御信号S1が低レベル“L”から高レベル“H”へ変化すると、インバータ5の出力（MOS容量21の他端）は、低レベル“L”（Vss）となるが、既にトランジスタ4はスイッチオフとなっているため、ノードN1の電荷が放電されることはない。従って、ノードN1（インバータ3の入力電圧）は、高レベル“H”を保持することになる。すなわち、インバータ3の入力電圧（N1）が再度インバータ3のしきい値電圧Vthを下回ることがなく、出力電圧OUTに不要な部分（不要パルスP）が含まれることもない。その結果、回路動作上のタイミングの制約を受けることがないため、回路の自由度を向上させることができる。

【0038】

このように、本発明の第1実施例によれば、インバータ3の入力電圧がしきい値電圧Vthを越えると、トランジスタ4はスイッチオフとなって、MOS容量20および21がノードN1から切り離される。その結果、ノードN1の時定数が速くなり、該ノードN1のレベルは急峻に高レベル“H”へ立ち上がり、しきい値Vthから速く離れることになる。これにより、ノイズ等の影響を受ける機会を減らすことができ、さらに、制御信号S1によるMOS容量21の放電の影響も受けないようにすることができる。

40

【0039】

図12は図10に示す遅延回路の変形例を示す回路図である。図12に示す遅延回路と図10の遅延回路との比較から明らかなように、本変形例は、制御信号S1により接続（寄与）が制御されるMOS容量21が複数個（3つ）設けて構成されている。すなわち、図

50

12の変形例では、ソース・ドレイン間を接続したNチャネル型MOSトランジスタ(MOS容量)20, 211~213が設けられ、これらMOS容量の一端は、トランジスタ4を介してノードN1(インバータ3の入力)に接続されている。また、MOS容量20の他端には高電位電源電圧Vccが印加され、また、MOS容量211~213の他端にはそれぞれ制御信号S11~S13がドライバ(MOSインバータ)51~53を介して供給されている。なお、抵抗1およびMOS容量20, 211~213は充電回路(充放電手段)を構成している。

【0040】

ここで、MOS容量211~213の容量値は、それぞれ同一であってもよいが、例えば、容量値の比が1:2:4と2の巾乗となるように設定してもよく、また、必要に応じて様々な値に設定してもよい。これらのMOS容量211~213の接続(寄与)は制御信号S11~S13によって行われ、必要に応じた遅延時間を得るように構成されている。なお、トランジスタ4の動作等は、前述した図10および図11に示す第1実施例と同様である。

10

【0041】

図13は本発明の遅延回路の第2実施例を示す回路図である。

図13に示されるように、遅延回路は、例えば、抵抗1, 容量2, インバータ(CMOSインバータ)3, および、Pチャネル型MOSトランジスタ6を備えて構成されている。この図13に示す遅延回路は、抵抗1と並列にトランジスタ6を接続し、該トランジスタ6のゲートに対して出力信号OUTを供給するようになっている。すなわち、出力信号OUTのレベル変化により抵抗1をトランジスタ6で短絡して入力信号INを直接(トランジスタ6を介して)ノードN1へ供給するようになっている。なお、抵抗1および容量2は充電回路(充放電手段)を構成している。

20

【0042】

図14は図13に示す遅延回路の動作を説明するための波形図である。

図14に示されるように、入力信号INが低レベル" L " から高レベル" H " へ変化すると、インバータ3の入力電圧(N1:充放電信号)は、抵抗1および容量2の時定数($T = RC$)に応じて緩やかに上昇し、該インバータ3のしきい値電圧 V_{th} を越えると、反転したレベル(低レベル" L ")の出力信号OUTが出力される。この高レベル" H " から低レベル" L " へ変化する出力信号OUTを受けて、Pチャネル型MOSトランジスタ6はスイッチオフ状態からスイッチオン状態へ変化し、抵抗1はトランジスタ6により短絡される。すなわち、入力信号INは、トランジスタ6を介してノードN1へ供給され、抵抗1および容量2による時定数($T = RC$)の値を減少して、ノードN1を高速に高レベル" H " (V_{cc})へ立ち上げるようになっている。

30

【0043】

これにより、出力信号が変化した後、ノイズや電源電圧の変動等の影響により入力信号INが変動しても、ノイズに対するマージンが大きくなるため、出力信号OUTに不要な変化が生じることがなく、該出力信号OUTを受け取る回路の誤動作を防止することが可能となる。

図15は図13に示す遅延回路の変形例を示す回路図である。図15に示す遅延回路と図13の遅延回路との比較から明らかなように、本変形例では、抵抗1およびPチャネル型MOSトランジスタ6を複数個(2つ)ずつ設けて構成されている。すなわち、図15に示す変形例では、図13に示す抵抗1, 容量2およびトランジスタ6を2組直列に接続し(入力INとノードN11の間の抵抗11, 容量21およびトランジスタ61、並びに、ノードN11とノードN12の間の抵抗12, 容量22およびトランジスタ62)、各Pチャネル型MOSトランジスタ61および62のゲートに対して出力信号OUTを供給するようになっている。これにより、トランジスタ61および62がオフ状態での時定数を大きくして回路の遅延時間を長く設定するように構成されている。なお、抵抗11, 12および容量21, 22は充電回路(充放電手段)を構成している。また、トランジスタ61および62の動作等は、前述した図13および図14に示す第2実施例と同様である。

40

50

【 0 0 4 4 】

図 1 6 は本発明の遅延回路の第 3 実施例を示す回路図であり、また、図 1 7 は図 1 6 に示す遅延回路の動作を説明するための波形図である。

図 1 6 に示されるように、本第 3 実施例の遅延回路は、容量 2 , インバータ 3 , 7 9 , 複数の P チャネル型 MOS トランジスタ 7 1 ~ 7 5 , N チャネル型 MOS トランジスタ 7 6 , および、抵抗 7 7 , 7 8 を備えて構成されている。

ここで、トランジスタ 7 2 とトランジスタ 7 5 とはカレントミラー接続され、リファレンス側のトランジスタ 7 2 を流れる電流 i_r と電流を流し込む側のトランジスタ 7 5 を流れる電流 i_0 とが等しくなるようになっている。抵抗 7 8 は基準電流を設定するための抵抗であり、電流 i_1 を流すようになっている。また、抵抗 7 7 は、基準電流調節用の制御信号 S 3 がゲートに供給されたトランジスタ 7 1 を介して電流 i_2 を流すようになっている。なお、制御信号 S 3 としては、インバータ 3 の出力信号 OUT が使用されるようになっている。従って、トランジスタ 7 1 は、制御信号 S 3 (出力信号 OUT) が高レベル " H " のときにスイッチオフで、低レベル " L " のときにスイッチオンとなる。ここで、電流源 7 5 および容量 2 は充電回路 (充放電手段) を構成している。

10

【 0 0 4 5 】

トランジスタ 7 3 および 7 4 は、入力信号 IN により電流源の切り離しを制御するスイッチとして機能し、また、トランジスタ 7 6 はプルダウントランジスタとして機能するようになっている。

図 1 7 に示されるように、入力信号 IN が低レベル " L " (V_{ss}) のとき、N チャネル型 MOS トランジスタ 7 6 はスイッチオンとなって、ノード N 1 の電圧は低レベル " L " にプルダウンされる。また、P チャネル型 MOS トランジスタ 7 3 はスイッチオンでトランジスタ 7 4 はスイッチオフとなる。従って、P チャネル型 MOS トランジスタ 7 5 のゲートには高レベル " H " (V_{cc}) が印加され、該トランジスタ 7 5 はスイッチオフとなる。なお、トランジスタ 7 4 は、トランジスタ 7 2 のゲートとドレインが接続されていると抵抗 7 8 に高電位電源 V_{cc} 側から電流が供給されてしまうので、これを防ぐためのスイッチである。

20

【 0 0 4 6 】

次に、入力信号 IN が高レベル " H " になると、トランジスタ 7 6 はスイッチオフとなり、さらに、トランジスタ 7 3 はスイッチオフでトランジスタ 7 4 はスイッチオンとなる。従って、抵抗 7 8 には電流 $i_1 = (V_{cc} - V_{th0}) / R_1$ が流れる。また、トランジスタ 7 5 には、トランジスタ 7 2 とトランジスタ 7 5 が同じサイズならば、電流 i_1 が流れる。そして、ノード N 1 の電圧 (充放電信号) は、 $(i_1 / C) t$ で立ち上がることになる。なお、 t は時間を示している。

30

【 0 0 4 7 】

ノード N 1 の電圧がインバータ 3 のしきい値 V_{th} を越えると、出力 OUT は高レベル " H " から低レベル " L " になり、トランジスタ 7 1 がスイッチオンとなる。これにより、電流 i は

$$i = i_1 + i_2 = (V_{cc} - V_{th0}) / (R_1 // R_2) \text{ となる。}$$

ここで、トランジスタ 7 2 とトランジスタ 7 5 とはカレントミラー接続されているため、 $i_r = i_0$ となり、電流 i_2 を十分大きくすれば、ノード N 1 の立ち上がりは急峻になる。

40

【 0 0 4 8 】

このようにして、本第 3 実施例も、前述した第 2 実施例と同様の効果が得られることになる。なお、インバータ 3 の入力容量が大きければ、電流 i_1 を十分小さくし、且つ、電流 i_2 を十分大きくすれば、容量 2 は設けなくてもよい。また、電流源は、様々な回路構成とすることができるのはいうまでもない。

図 1 8 は本発明の遅延回路の第 4 実施例を示す回路図である。

【 0 0 4 9 】

図 1 8 に示す第 4 実施例の遅延回路は、前述した原理構成 (図 8 参照) および第 2 実施例

50

(図13参照)を組み合わせたものに対応している。すなわち、出力信号OUTがゲートに供給されたNチャンネル型MOSトランジスタ(スイッチ素子)4をインバータ3の入力(ノードN1)と容量(MOS容量)2との間に設け、且つ、出力信号OUTがゲートに供給されたPチャンネル型MOSトランジスタ(スイッチ素子)6を抵抗1と並列に設けるようになっている。ここで、抵抗1および容量2は充電回路(充放電手段)を構成している。

【0050】

図19は図18に示す遅延回路の動作を説明するための波形図である。

図19に示されるように、入力信号INが低レベル" L "で出力信号OUTが高レベル" H "のとき、Nチャンネル型MOSトランジスタ4はスイッチオンでPチャンネル型MOSトランジスタ6はスイッチオフとなっている。従って、入力信号INは、抵抗1およびMOS容量2による時定数($T = RC$)に応じて緩やかに上昇し、該インバータ3のしきい値電圧 V_{th} を越えると、反転したレベル(低レベル" L ")の出力信号OUTが出力される。この高レベル" H "から低レベル" L "へ変化する出力信号OUTを受けて、Nチャンネル型MOSトランジスタ4はスイッチオン状態からスイッチオフ状態へ変化し、且つ、Pチャンネル型MOSトランジスタ6はスイッチオフ状態からスイッチオン状態へ変化する。これにより、MOS容量2はノードN1から切り離され、且つ、抵抗1はトランジスタ6により短絡される。その結果、ノードN1は、急速に高レベル" H " (V_{cc})へ立ち上がることになる。

【0051】

そして、出力信号が変化した後、ノイズや電源電圧の変動等の影響により入力信号INが変動しても、ノイズに対するマージンが大きくなるため、出力信号OUTに不要な変化が生じることがなく、該出力信号OUTを受け取る回路の誤動作を防止することが可能となる。

図20は本発明の遅延回路の第5実施例を示す回路図である。

【0052】

図20に示されるように、本第5実施例の遅延回路は、コンパレータ9を使用するもので、入力信号INは抵抗1を介してコンパレータ9の正論理入力(ノードN1)に供給され、また、ノードN1には容量2が接続され、該容量2の他端は接地(低電位電源線(GND ; V_{ss}))に接続)されている。出力信号OUTは、Nチャンネル型MOSトランジスタ(スイッチ素子)84のゲートに供給され、抵抗83の一端と高電位電源線(V_{cc})との接続を制御するようになっている。抵抗83の他端はコンパレータ9の負論理入力(ノードN2)に接続されると共に、抵抗R81を介して高電位電源線(V_{cc})へ接続され、且つ、抵抗R82を介して低電位電源線(V_{ss})へ接続されている。すなわち、コンパレータ9の負論理入力には、抵抗R81および83と抵抗82により抵抗分割された電圧 V_1 (トランジスタ84がオン状態のとき)、或いは、抵抗R81と抵抗82により抵抗分割された電圧 V_2 (トランジスタ84がオフ状態のとき)が印加されることになる。なお、電圧 V_1 と電圧 V_2 との間には、 $V_1 > V_2$ の関係が成立している。

【0053】

図21は図20に示す遅延回路の動作を説明するための波形図である。

図21に示されるように、入力信号INが低レベル" L "で出力信号OUTが高レベル" H "のとき、Nチャンネル型MOSトランジスタ84はスイッチオンとなっており、ノードN2の電圧(コンパレータ9の負論理入力の電圧)は、抵抗R81および83と抵抗82により抵抗分割された電圧 V_1 ($> V_2$)となっている。

【0054】

入力信号INは、抵抗1およびMOS容量2による時定数($T = RC$)に応じて緩やかに上昇し、ノードN1の電圧(コンパレータ9の正論理入力の電圧)がノードN2の電圧(コンパレータ9の負論理入力の電圧)を越えると、出力信号OUTは、高レベル" H "から低レベル" L "へ変化する。この出力信号OUTの低レベル" L "への変化を受けて、Nチャンネル型MOSトランジスタ84はスイッチオフし、抵抗83は、高電位電源線(

Vcc) から切り離される。従って、ノードN2の電圧(コンパレータ9の負論理入力)の電圧)は、抵抗R81と抵抗82により抵抗分割された電圧V2(<V1)となる。これにより、出力信号が変化した後、ノイズや電源電圧の変動等の影響により入力信号INが変動しても、ノイズに対するマージンが大きくなるため、出力信号OUTに不要な変化が生じることがなく、該出力信号OUTを受け取る回路の誤動作を防止することが可能となる。

【0055】

以上において、上述の各実施例では、入力信号の立ち上がりを利用した遅延回路に適用しているが、極性を逆にして入力信号の立ち上がりを利用した遅延回路、或いは、入力信号の立ち上がりおよび立ち下りの双方を利用した遅延回路に対して適用してもよいのはもちろんである。なお、入力信号の立ち上がりを利用する場合は、上述した充電回路は、放電回路(充放電手段)として構成されることになる。さらに、上記した遅延回路の各実施例は、例えば、図5に示すフラッシュEEPROMの遅延回路100として使用され得るものである。

【0056】

【発明の効果】

以上、詳述したように、本発明によれば、遅延回路の遅延に寄与することのない信号を次段の回路の入力しきい値より速く引き離すことによって、ノイズ等の影響を受ける機会を減少することができ、回路の信頼性を向上させることができる。さらに、例えば、オートパワーダウン機能を有する半導体記憶装置等に適用することにより、設計の自由度が向上

【図面の簡単な説明】

【図1】従来の遅延回路の一例を示す回路図である。

【図2】図1に示す遅延回路の課題を説明するための波形図である。

【図3】従来の遅延回路の他の例を示す回路図である。

【図4】図3に示す遅延回路の課題を説明するための波形図である。

【図5】本発明の遅延回路が適用される半導体記憶装置の一例としてのフラッシュEEPROMの構成を示すブロック図である。

【図6】図5に示すフラッシュEEPROMの読み出し動作を説明するための波形図である。

【図7】図5に示すフラッシュEEPROMのオートパワーダウン動作を説明するための波形図である。

【図8】本発明に係る遅延回路の原理構成を示す回路図である。

【図9】図8に示す遅延回路の動作を説明するための波形図である。

【図10】本発明の遅延回路の第1実施例を示す回路図である。

【図11】図10に示す遅延回路の動作を説明するための波形図である。

【図12】図10に示す遅延回路の変形例を示す回路図である。

【図13】本発明の遅延回路の第2実施例を示す回路図である。

【図14】図13に示す遅延回路の動作を説明するための波形図である。

【図15】図13に示す遅延回路の変形例を示す回路図である。

【図16】本発明の遅延回路の第3実施例を示す回路図である。

【図17】図16に示す遅延回路の動作を説明するための波形図である。

【図18】本発明の遅延回路の第4実施例を示す回路図である。

【図19】図18に示す遅延回路の動作を説明するための波形図である。

【図20】本発明の遅延回路の第5実施例を示す回路図である。

【図21】図20に示す遅延回路の動作を説明するための波形図である。

【符号の説明】

- 1, 11, 12, 81, 82, 83 ... 抵抗
- 2 ... 容量(MOS容量)
- 3 ... インバータ

10

20

30

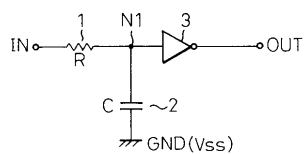
40

50

4 ... スイッチ素子 (Nチャネル型 MOS トランジスタ)
 5 , 5 1 ~ 5 3 ... ドライバ (インバータ)
 6 ... スイッチ素子 (Pチャネル型 MOS トランジスタ)
 9 ... コンパレータ
 2 0 , 2 1 , 2 1 1 ~ 2 1 3 ... トランジスタ (MOS 容量)
 I N ... 入力信号
 O U T ... 出力信号

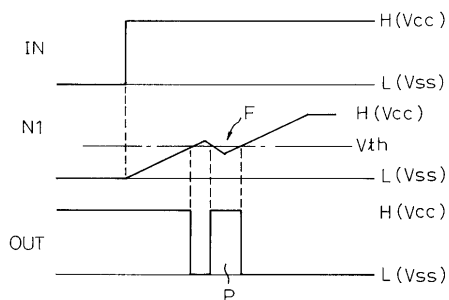
【 図 1 】

従来の遅延回路の一例を示す回路図



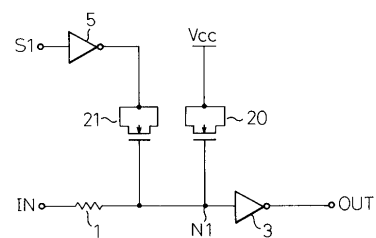
【 図 2 】

図 1 に示す遅延回路の課題を説明するための波形図



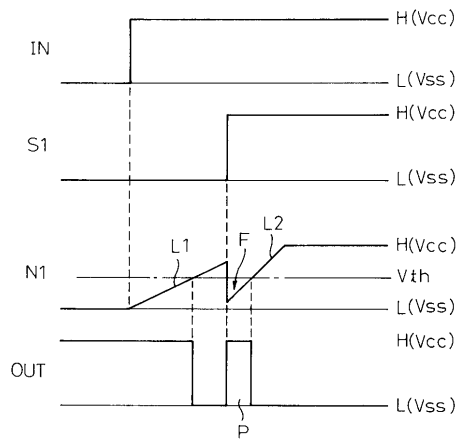
【 図 3 】

従来の遅延回路の他の例を示す回路図



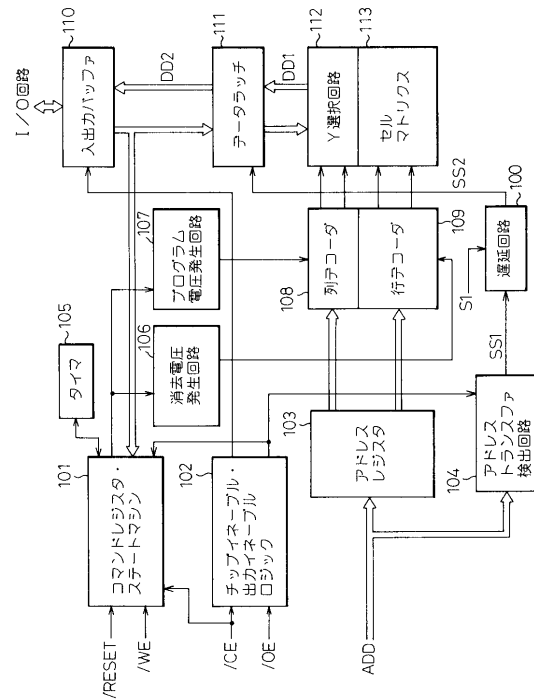
【図 4】

図 3 に示す遅延回路の課題を説明するための波形図



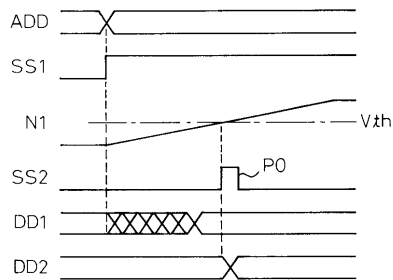
【図 5】

遅延回路が適用される半導体記憶装置の一例としてのフラッシュEEPROMの構成を示すブロック図



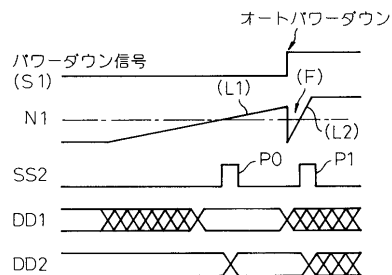
【図 6】

図 5 に示すフラッシュEEPROMの読み出し動作を説明するための波形図



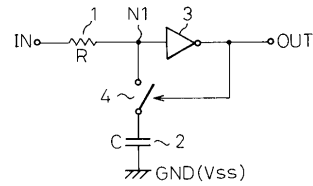
【図 7】

図 5 に示すフラッシュEEPROMのオートパワーダウン動作を説明するための波形図



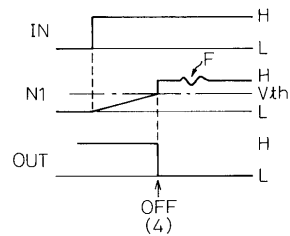
【図 8】

本発明に係る遅延回路の原理構成を示す回路図



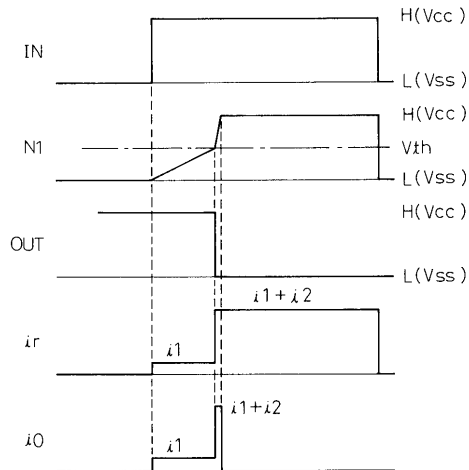
【図 9】

図 8 に示す遅延回路の動作を説明するための波形図



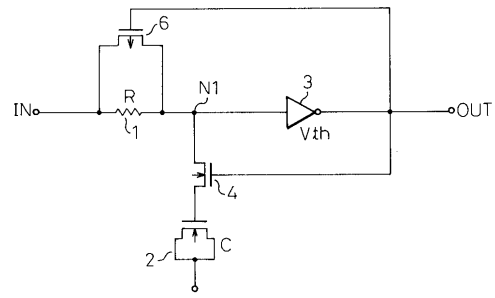
【図 17】

図16に示す遅延回路の動作を説明するための波形図



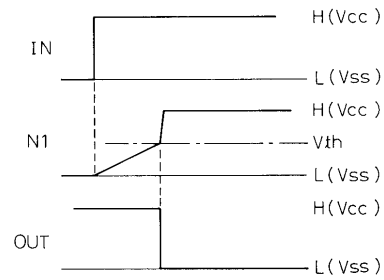
【図 18】

本発明の遅延回路の第4実施例を示す回路図



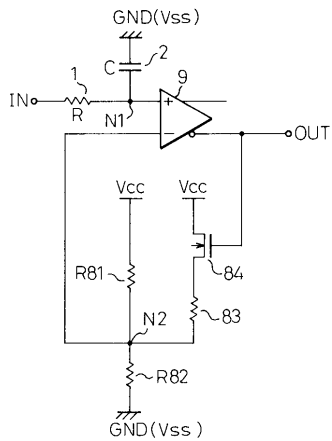
【図 19】

図18に示す遅延回路の動作を説明するための波形図



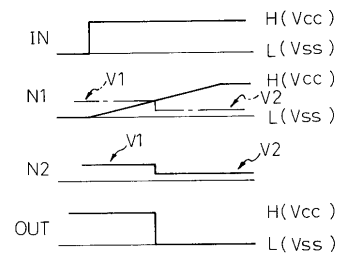
【図 20】

本発明の遅延回路の第5実施例を示す回路図



【図 21】

図20に示す遅延回路の動作を説明するための波形図



フロントページの続き

審査官 清水 稔

- (56)参考文献 特開平4 - 1 2 9 3 2 1 (J P , A)
特開平7 - 2 9 7 6 9 2 (J P , A)
特開平07 - 2 9 7 6 9 2 (J P , A)
特開平06 - 2 9 6 1 2 3 (J P , A)
特開平08 - 3 3 0 9 2 1 (J P , A)
特開平05 - 1 3 6 6 6 4 (J P , A)

(58)調査した分野(Int.Cl.⁷, D B名)

H03K 5/13

G11C 19/28

H03K 17/28