

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7395566号
(P7395566)

(45)発行日 令和5年12月11日(2023.12.11)

(24)登録日 令和5年12月1日(2023.12.1)

(51)国際特許分類	F I		
H 0 1 L 21/66 (2006.01)	H 0 1 L 21/66	J	
H 0 1 J 37/22 (2006.01)	H 0 1 J 37/22	5 0 2 H	
G 0 6 T 7/00 (2017.01)	G 0 6 T 7/00	3 5 0 C	
	G 0 6 T 7/00	6 1 0 C	

請求項の数 2 (全96頁)

(21)出願番号	特願2021-510577(P2021-510577)	(73)特許権者	000153878
(86)(22)出願日	令和2年3月20日(2020.3.20)		株式会社半導体エネルギー研究所
(86)国際出願番号	PCT/IB2020/052564		神奈川県厚木市長谷398番地
(87)国際公開番号	WO2020/201880	(72)発明者	郷戸 宏充
(87)国際公開日	令和2年10月8日(2020.10.8)		神奈川県厚木市長谷398番地 株式会
審査請求日	令和5年3月2日(2023.3.2)		社半導体エネルギー研究所内
(31)優先権主張番号	特願2019-70529(P2019-70529)	(72)発明者	林 健太郎
(32)優先日	平成31年4月2日(2019.4.2)		神奈川県厚木市長谷398番地 株式会
(33)優先権主張国・地域又は機関	日本国(JP)		社半導体エネルギー研究所内
		審査官	堀江 義隆

最終頁に続く

(54)【発明の名称】 検査方法

(57)【特許請求の範囲】

【請求項1】

教師データにノイズを付加して第1のデータを生成し、
前記教師データと、前記第1のデータと、ジェネレータと、を用い、前記第1のデータを入力データとし、出力データが前記教師データに近づくように前記ジェネレータの重みを更新して学習を行い、
電子顕微鏡が撮影した第1の画像を取得し、
前記第1の画像にノイズを付加して第2の画像を生成し、
前記第2の画像を、前記学習を行ったジェネレータに入力し、第3の画像を取得し、
前記第1の画像に対して平滑化処理を行うことにより第4の画像を取得し、
前記第3の画像に対して平滑化処理を行うことにより第5の画像を取得し、
前記第4の画像と、前記第5の画像と、の差分をとることにより、第6の画像を取得し、
前記第6の画像の外れ値検出を行い、前記第6の画像を異常データ又は正常データとして分類する検査方法。

【請求項2】

異常箇所を含まない教師データにノイズを付加して第1のデータを生成し、
前記教師データと、前記第1のデータと、ジェネレータと、を用い、前記第1のデータを入力データとし、出力データが前記教師データに近づくように前記ジェネレータの重みを更新して学習を行い、
電子顕微鏡が撮影した、異常箇所を有する第1の画像を取得し、

前記異常箇所を有する第 1 の画像にノイズを付加して、前記異常箇所を有する第 2 の画像を生成し、

前記第 2 の画像を、前記学習を行ったジェネレータに入力し、前記異常箇所が消失した第 3 の画像を取得し、

前記異常箇所を有する第 1 の画像に対して平滑化処理を行うことにより、前記異常箇所を有する第 4 の画像を取得し、

前記異常箇所が消失した第 3 の画像に対して平滑化処理を行うことにより、前記異常箇所が消失した第 5 の画像を取得し、

前記異常箇所を有する第 4 の画像と、前記異常箇所が消失した第 5 の画像と、の差分をとることにより、第 6 の画像を取得し、

前記第 6 の画像の外れ値検出を行い、前記第 6 の画像を異常データ又は正常データとして分類する検査方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の一形態は、検査装置及び検査方法に関する。

【0002】

また、本発明の一形態は半導体装置に関する。なお、本発明の一形態は上記の技術分野に限定されない。本明細書等で開示する発明の技術分野は、物、方法、又は、製造方法に関するものである。又は、本発明の一形態は、プロセス、マシン、マニュファクチャ、又は、組成物（コンポジション・オブ・マター）に関するものである。

【0003】

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指す。表示装置、発光装置、記憶装置、電気光学装置、蓄電装置、半導体回路、及び電子機器は、半導体装置を有する場合がある。

【背景技術】

【0004】

近年、人工ニューラルネットワーク（以下、ニューラルネットワークと呼ぶ）を用いた人工知能（AI: Artificial Intelligence）の開発が盛んに行われ、主に画像認識の分野で成功例が報告されている。

【0005】

また、製造工程における外観検査において、人工知能を活用した事例が報告されている。特に、検査画像と、ニューラルネットワークが生成した画像との差分を解析することで、異常を自動的に判定するシステムが報告されている（特許文献 1）。

【0006】

また、近年、チャネル形成領域に酸化物半導体、又は金属酸化物を用いたトランジスタ（Oxide Semiconductor トランジスタ、以下、OSTランジスタと呼ぶ）が注目されている。OSTランジスタのオフ電流が極めて小さいことを利用して、OSTランジスタを用いたアプリケーションが提案されている。

【0007】

例えば、特許文献 2 には、OSTランジスタを、DRAM（Dynamic Random Access Memory）に用いた例が開示されている。また、特許文献 3 には、OSTランジスタを用いた不揮発性メモリが開示されている。本明細書等では、OSTランジスタを用いたメモリをOSメモリと呼ぶ。OSメモリは、書き換え可能回数に制限がなく、消費電力も少ない。

【0008】

また、OSメモリを用いたマルチビットメモリが提案されている（非特許文献 1）。マルチビットメモリはアナログデータをデジタルデータに変換することなく、アナログデータのまま記憶することができる。すなわち、マルチビットメモリはアナログメモリとして機能することができる。上記マルチビットメモリを備えた、アナログニューラルネットワー

10

20

30

40

50

クが提案されている（非特許文献2）。アナログニューラルネットワークは、取得したデータをアナログデータのまま記憶し、計算することができる。そのため、従来のデジタル回路でニューラルネットワークを計算するよりも、電力消費量が少ない。

【先行技術文献】

【特許文献】

【0009】

【文献】国際公開第2018-105028

【文献】特開2013-168631

【文献】特開2012-069932

【非特許文献】

【0010】

【文献】T. Onuki, et al., Symp. VLSI Circuit Dig. Tech. Papers, pp. 124-125, 2016

【文献】T. Aoki, et al., International Conference on Solid State Devices and Materials (SSDM), Dig. Tech. Papers, pp. 191-192, 2017

【発明の概要】

【発明が解決しようとする課題】

【0011】

半導体デバイスの製造現場では、例えば、配線及びコンタクトホール等の微細な部分の外観検査に、走査型電子顕微鏡（SEM：Scanning Electron Microscope）が用いられる。しかし、SEM等の電子顕微鏡で取得した画像は、試料のチャージアップ、及び加速電圧のばらつき等の影響で、光学顕微鏡で取得した画像よりもノイズを多く含む。そうしたノイズは、SEM画像を自動解析するシステムを構築する際の妨げになる。

【0012】

また、ニューラルネットワークを用いたシステムを構築する場合、計算機にGPU（Graphics Processing Unit）を用いるのが一般的であるが、GPUを用いた計算機は消費電力が大きく、維持費がかかる。

【0013】

本発明の一形態は、画像に含まれる異常を高精度に検知することが可能な検査装置を提供することを課題の一とする。また、本発明の一形態は、画像に含まれる異常を高精度に検知することが可能な検査方法を提供することを課題の一とする。また、本発明の一形態は、画像に含まれる異常を低消費電力で検知することが可能な検査装置を提供することを課題の一とする。また、本発明の一形態は、画像に含まれる異常を低消費電力で検知することが可能な検査方法を提供することを課題の一とする。また、本発明の一形態は、新規な検査装置を提供することを課題の一とする。また、本発明の一形態は、新規な検査方法を提供することを課題の一とする。

【0014】

なお本発明の一形態の課題は、上記列挙した課題に限定されない。上記列挙した課題は、他の課題の存在を妨げるものではない。なお他の課題は、以下の記載で述べる、本項目で言及していない課題である。本項目で言及していない課題は、当業者であれば明細書又は図面等の記載から導き出せるものであり、これらの記載から適宜抽出することができる。なお、本発明の一形態は、上記列挙した課題、及び他の課題のうち、少なくとも一つの課題を解決するものである。なお、本発明の一形態は、上記列挙した課題、及び他の課題の全てを解決する必要はない。

【課題を解決するための手段】

【0015】

本発明の一形態は、電子顕微鏡と、画像処理装置と、計算機と、を有し、電子顕微鏡は、試料の表面形状に対応する信号を発生させる機能を有し、画像処理装置は、信号に対応す

10

20

30

40

50

る第1の画像を生成する機能を有し、計算機は、第1の画像を基にして第2の画像を取得する機能を有し、計算機は、第1の画像に対して平滑化処理を行うことにより、第3の画像を取得する機能を有し、計算機は、第2の画像に対して平滑化処理を行うことにより、第4の画像を取得する機能を有し、計算機は、第3の画像と、第4の画像と、の差分をとることにより、第5の画像を取得する機能を有する検査装置である。

【0016】

又は、上記態様において、計算機は、ニューラルネットワークが構成された回路を有し、計算機は、ニューラルネットワークにより、第1の画像を基にして第2の画像を取得する機能を有してもよい。

【0017】

又は、上記態様において、第3の画像は、第1の画素値によって表され、第4の画像は、第2の画素値によって表され、第5の画像は、第3の画素値によって表され、計算機は、第1の画素値と、第2の画素値と、の差分をとることにより、第3の画素値を取得する機能を有し、計算機は、第3の画素値を基に、第4の画素値を取得する機能を有し、第4の画素値は、第3の画素値が閾値以上である場合は、第1の値となり、第4の画素値は、第3の画素値が閾値未満である場合は、第2の値となってもよい。

【0018】

又は、上記態様において、計算機は、第4の画素値によって表される第6の画像の外れ値検出を行うことにより、第6の画像を、異常データ又は正常データに分類する機能を有してもよい。

【0019】

又は、上記態様において、計算機は、入出力装置を有し、計算機は、外れ値検出を行うことにより、第6の画像の異常度を算出する機能を有し、計算機は、複数の第1の画像のそれぞれに対して、第6の画像を取得して、取得した第6の画像のそれぞれに対して異常度を算出する機能を有し、入出力装置は、異常度の順に、第6の画像に対応する第1の画像を並べて表示する機能を有してもよい。

【0020】

又は、上記態様において、入出力装置は、第1の画像に第6の画像を合成させた第7の画像を表示する機能を有してもよい。

【0021】

又は、上記態様において、第1の画像が、異常箇所を含む場合、第1の画像を基に計算機が取得した第2の画像は、異常箇所を含まなくてもよい。

【0022】

又は、上記態様において、ニューラルネットワークが構成された回路は、チャネル形成領域に金属酸化物を用いたトランジスタを有してもよい。

【0023】

又は、本発明の一態様は、計算機と、電子顕微鏡と、を有する検査装置を用いた検査方法であって、電子顕微鏡が撮影した第1の画像を、計算機が取得し、計算機が、第1の画像を基にして第2の画像を取得し、計算機が、第1の画像に対して平滑化処理を行うことにより第3の画像を取得し、また第2の画像に対して平滑化処理を行うことにより第4の画像を取得し、計算機が、第3の画像と、第4の画像と、の差分をとることにより、第5の画像を取得する検査方法である。

【0024】

又は、上記態様において、計算機は、ニューラルネットワークが構成された回路を有し、計算機は、ニューラルネットワークにより、第1の画像を基にして第2の画像を取得してもよい。

【0025】

又は、上記態様において、計算機が、第3の画像を表す第1の画素値と、第4の画像を表す第2の画素値と、の差分である第3の画素値を取得することにより、第5の画像を表す第3の画素値を取得し、計算機が、第3の画素値が閾値以上である場合は第1の値となり

10

20

30

40

50

、閾値未満である場合は第２の値となる第４の画素値を取得してもよい。

【００２６】

又は、上記態様において、計算機が、第４の画素値によって表される第６の画像の外れ値検出を行うことにより、第６の画像を、異常データ又は正常データに分類してもよい。

【００２７】

又は、上記態様において、計算機は、入出力装置を有し、計算機が、複数の第１の画像のそれぞれに対して、第６の画像を取得して、取得した第６の画像の外れ値検出を行うことにより、第６の画像のそれぞれに対して異常度を算出し、入出力装置が、異常度の順に、第６の画像に対応する第１の画像を並べて表示してもよい。

【００２８】

又は、上記態様において、入出力装置が、第１の画像に第６の画像を合成させた第７の画像を表示してもよい。

【００２９】

又は、上記態様において、第１の画像が、異常箇所を含む場合、第１の画像を基に計算機が取得する第２の画像は、異常箇所を含まなくてもよい。

【００３０】

又は、上記態様において、ニューラルネットワークが構成された回路は、チャネル形成領域に金属酸化物を用いたトランジスタを有してもよい。

【発明の効果】

【００３１】

本発明の一形態により、画像に含まれる異常を高精度に検知することが可能な検査装置を提供することができる。また、本発明の一形態により、画像に含まれる異常を高精度に検知することが可能な検査方法を提供することができる。また、本発明の一形態により、画像に含まれる異常を低消費電力で検知することができる。また、本発明の一形態により、画像に含まれる異常を低消費電力で検知することができる。また、本発明の一形態により、新規な検査装置を提供することができる。また、本発明の一形態により、新規な検査方法を提供することができる。

【００３２】

なお本発明の一態様の効果は、上記列挙した効果に限定されない。上記列挙した効果は、他の効果の存在を妨げるものではない。なお他の効果は、以下の記載で述べる、本項目で言及していない効果である。本項目で言及していない効果は、当業者であれば明細書又は図面等の記載から導き出せるものであり、これらの記載から適宜抽出することができる。なお、本発明の一態様は、上記列挙した効果、及び他の効果のうち、少なくとも一つの効果を有するものである。従って本発明の一態様は、場合によっては、上記列挙した効果を有さない場合もある。

【図面の簡単な説明】

【００３３】

図１は、検査装置の構成例を示すブロック図である。

図２は、検査方法の一例を示すフローチャートである。

図３Ａ乃至図３Ｃは、検査方法の一例を示す模式図である。

図４は、検査方法の一例を示すフローチャートである。

図５Ａ乃至図５Ｃは、検査方法の一例を示す模式図である。

図６Ａ及び図６Ｂは、検査方法の一例を示す模式図である。

図７Ａ及び図７Ｂは、検査方法の一例を示す模式図である。

図８は、検査装置の構成例を示すブロック図である。

図９は、検査装置の構成例を示すブロック図である。

図１０Ａ及び図１０Ｂは、階層型のニューラルネットワークを示す図である。

図１１は、演算回路の構成例を示すブロック図である。

図１２は、演算回路が有する回路の構成例を示す回路図である。

図１３は、演算回路の動作例を示すタイミングチャートである。

10

20

30

40

50

図 1 4 は、演算回路の構成例を示すブロック図である。
図 1 5 は、演算回路の構成例を示すブロック図である。
図 1 6 は、演算回路の動作例を示すタイミングチャートである。
図 1 7 A は、記憶装置の構成例を示すブロック図である。図 1 7 B は、記憶装置の構成例を示す斜視図である。
図 1 8 A 乃至図 1 8 H は、記憶装置の構成例を示す回路図である。
図 1 9 は、半導体装置の構成例を示す断面模式図である。
図 2 0 は、半導体装置の構成例を示す断面模式図である。
図 2 1 A 乃至図 2 1 C は、半導体装置の構成例を示す断面模式図である。
図 2 2 A 及び図 2 2 B は、トランジスタの構成例を示す断面模式図である。
図 2 3 は、半導体装置の構成例を示す断面模式図である。
図 2 4 A 及び図 2 4 B は、トランジスタの構成例を示す断面模式図である。
図 2 5 は、半導体装置の構成例を示す断面模式図である。
図 2 6 A は容量の構成例を示す上面図である。図 2 6 B 及び図 2 6 C は、容量の構成例を示す断面斜視図である。
図 2 7 A は、容量の構成例を示す上面図である。図 2 7 B は、容量の構成例を示す断面図である。図 2 7 C は、容量の構成例を示す断面斜視図である。
図 2 8 A は、I G Z O の結晶構造の分類を示す図である。図 2 8 B は、石英ガラスの X R D スペクトルを示す図である。図 2 8 C は、結晶性 I G Z O の X R D スペクトルを示す図である。図 2 8 D は、結晶性 I G Z O の極微電子線回折パターンを示す図である。
図 2 9 は、実施例で用いたジェネレータの構成である。
図 3 0 は、実施例に係る画像である。
図 3 1 A 及び図 3 1 B は、実施例に係る画像である。
図 3 2 は、実施例に係る画像である。

【発明を実施するための形態】

【0034】

(実施の形態 1)

本実施の形態では、本発明の一形態である検査装置とその検査方法について説明を行う。

【0035】

なお、本明細書等において、D O S R A M (登録商標) とは、「D y n a m i c O x i d e S e m i c o n d u c t o r R A M」の略称であり、1 T (トランジスタ) 1 C (容量) 型のメモリセルを有する R A M を指す。

【0036】

また、本明細書等において、N O S R A M (登録商標) とは「N o n v o l a t i l e O x i d e S e m i c o n d u c t o r R A M」の略称であり、ゲインセル型 (2 T 型、3 T 型) のメモリセルを有する R A M を指す。D O S R A M、N O S R A M は、O S トランジスタのオフ電流が低いことを利用したメモリである。

【0037】

本発明の一態様は、電子顕微鏡と、P C (P e r s o n a l C o m p u t e r) と、サーバーと、を有する検査装置、及び当該検査装置を用いた検査方法である。本発明の一態様により、例えば半導体デバイス等、微細な試料の形状を検査することができる。具体的には、例えば試料に異常箇所があるか否かを検査することができる。

【0038】

本明細書等において、P C と、サーバーと、をまとめて計算機と呼ぶ。

【0039】

電子顕微鏡は、試料を撮影する機能を有する。電子顕微鏡によって撮影された画像は、検査画像として計算機に送られる。計算機は、ニューラルネットワークが構成された回路である A I チップを有し、当該ニューラルネットワークは、例えば異常箇所がない試料の画像のみを教師データとして、あらかじめ学習がなされている。

【0040】

計算機に送られた検査画像は、上記ニューラルネットワークが構成された回路に入力される。これにより、当該回路は画像を生成する。よって、当該回路は、ジェネレータとしての機能を有するといえることができる。

【0041】

前述のように、上記ニューラルネットワークの学習は、例えば異常箇所がない試料の画像のみを教師データとして行われる。よって、上記ニューラルネットワークが構成された回路に入力された検査画像が異常箇所を含む画像であっても、出力される画像から当該異常箇所は消失する。

【0042】

本発明の一態様の検査装置が有する計算機は、上記検査画像と、上記ニューラルネットワークから出力された画像と、に対して平滑化処理を行う。そして、平滑化処理を行った検査画像と、ニューラルネットワークから出力された画像と、の差分をとることにより、検査画像に含まれる異常箇所を検出する。

10

【0043】

電子顕微鏡によって撮影された検査画像は、ノイズを含む場合が多い。よって、上記平滑化処理を行わずに上記差分をとると、異常箇所の検出を正しく行えない可能性がある。そこで、上記平滑化処理を行った後に上記差分をとることにより、特に検査画像が電子顕微鏡によって撮影された場合に、異常箇所の検出を正しく行うことができる。以上より、本発明の一態様の検査装置は、検査画像に含まれる異常を、高精度に自動検知することができる。

20

【0044】

<検査装置の構成>

図1は、本発明の一形態である検査装置1の構成例を示すブロック図である。検査装置1は、電子顕微鏡10と、画像処理装置80と、PC20と、サーバー30を備えている。ここで、PC20と、サーバー30と、をまとめて計算機40とする。

【0045】

図1に示す構成の検査装置1は、半導体デバイス等、微細な試料の形状を検査するのに適している。特に、数 μm 以下の試料の形状を検査するのに適している。

【0046】

以降の説明において、電子顕微鏡10はSEMを想定して説明を行うが、これに限定されず、本発明の一形態は、透過型電子顕微鏡(TEM: Transmission Electron Microscope)又は走査型透過電子顕微鏡(STEM: Scanning Transmission Electron Microscope)にも適用可能である。

30

【0047】

電子顕微鏡10は、電子銃11と、集束レンズ12と、対物レンズ13と、走査コイル14と、検出器15と、ステージ16を有している。また、図示されていないが、電子顕微鏡10は、真空ポンプを有し、試料室内を真空状態に保つことができる。

【0048】

電子銃11から放出された電子線17が、集束レンズ12と対物レンズ13で絞られ、試料18に照射される。試料18は信号電子19を放出し、信号電子19は検出器15で検出される。信号電子19として、二次電子と反射電子が含まれる。なお、二次電子と反射電子は、別々の検出器で検出してもよい。検査装置1は、信号電子19の強度を解析することで、試料18の表面形状等を観察することができる。

40

【0049】

以上より、電子顕微鏡10は、試料18の表面形状等に対応する信号を発生させる機能を有するといえることができる。

【0050】

画像処理装置80は、信号を画像に変換する機能を有する。検査装置1では、画像処理装置80は、検出器15が検出した信号を画像に変換する。画像処理装置80が生成した画

50

像は、P C 2 0 に送られる。P C 2 0 は、入出力装置 2 1 を有する。検査装置 1 のユーザーは、入出力装置 2 1 を通して、画像処理装置 8 0 が生成した画像を確認することができる。

【0051】

本明細書等において、画像は、画素値によって表されるものとする。画素値とは、例えば画素が射出する光の輝度を表す値である。ここで、例えば1つの画素が射出する光の輝度を、1つの画素値によって表すものとする。よって、画像は、解像度と同数の画素値により表すことができる。例えば、解像度が1920×1080の画像は、1920×1080個の画素値により表すことができる。

【0052】

入出力装置 2 1 は、いわゆるインターフェースであり、ディスプレイ、キーボード、マウス等を含む。入出力装置 2 1 にディスプレイが含まれる場合は、当該ディスプレイにタッチセンサを設けてもよい。

【0053】

また、P C 2 0 は、電子顕微鏡 1 0 を制御する機能を有し、電子線の加速電圧、及びステージの位置等を制御することができる。

【0054】

P C 2 0 は、ネットワークを介してサーバー 3 0 と接続され、電子顕微鏡 1 0 が撮影した画像をサーバー 3 0 に送ることができる。

【0055】

サーバー 3 0 は、CPU (Central Processing Unit) 3 1 と、A I チップ 3 2 と、主記憶装置 3 3 と、補助記憶装置 3 4 と、バス 3 5 を有している。

【0056】

サーバー 3 0 は、P C 2 0 から送られた画像信号を解析し、解析結果を P C 2 0 に送ることができる。

【0057】

主記憶装置 3 3 は、D R A M を用いることができる。また、主記憶装置 3 3 として、D O S R A M 又は N O S R A M を用いてもよい。D O S R A M 又は N O S R A M を用いることで、サーバー 3 0 の消費電力を抑えることができる。

【0058】

補助記憶装置 3 4 は、H D D (Hard Disk Drive)、又は S S D (Solid State Drive) を用いることができる。また、補助記憶装置 3 4 として、N O S R A M を用いてもよい。N O S R A M を用いることで、サーバー 3 0 の消費電力を抑えることができる。

【0059】

A I チップ 3 2 は、ニューラルネットワークが構成された回路である。A I チップ 3 2 は、O S トランジスタを用いることが好ましい。A I チップ 3 2 は、O S トランジスタを用いることで、アナログニューラルネットワークが可能になり、サーバー 3 0 の消費電力を抑えることができる。

【0060】

なお、サーバー 3 0 の役割を P C 2 0 に持たせてもよい。その場合、P C 2 0 は A I チップ 3 2 を有することが好ましい。

【0061】

電子顕微鏡 1 0 で撮影された画像は、サーバー 3 0 で解析される。サーバー 3 0 は画像に含まれる異常箇所を自動で検知し、P C 2 0 と入出力装置 2 1 を介して、検査装置 1 のユーザーに知らせることができる。

【0062】

<検査方法>

次に、図 1 に示す検査装置 1 が、撮影した画像から異常箇所を特定する方法の一例について、図 2 乃至図 7 を用いて説明を行う。なお、本実施の形態において、試料 1 8 は半導体

10

20

30

40

50

デバイスを想定しているが、これに限定されない。試料 18 としては、一般的に電子顕微鏡で形状確認が行われる試料全般が当てはまる。

【0063】

《学習》

本発明の一形態である検査方法では、事前に教師データを用いて学習を行う。図 2 は学習処理の流れの一例を示すフローチャートを示し、図 3 A 乃至図 3 C は図 2 の処理の一部を説明するための模式図である。なお、本実施の形態は、半導体デバイスにおける配線形状を検査する場合を例示して説明を行う。

【0064】

図 2 に示す処理は、サーバー 30 で行われることが好ましいが、場合によっては、一部又は全ての処理を PC 20 で行ってもよい。

【0065】

まず、ステップ S 11 において、教師データ 101 を取得する。教師データ 101 は、異常箇所を含まない複数の良品画像のみで構成されることが好ましい。良品画像の枚数は、好ましくは 1 千枚以上、さらに好ましくは 5 千枚以上、より好ましくは 1 万枚以上とする。良品画像の枚数が多ければより精度の高い学習が可能であるが、実際は学習を行うサーバー 30 の性能によって制限される。具体的には、CPU 31 及び AI チップ 32 の処理能力、並びに主記憶装置 33 の記憶容量によって制限される。

【0066】

また、ステップ S 11 において、教師データ 101 を構成する画像の解像度を適切な値に変換しておくことが好ましい。画像の解像度が高いほどより精度の高い学習が可能であるが、実際は学習を行うサーバー 30 の性能によって制限される。具体的には、CPU 31 及び AI チップ 32 の処理能力、並びに主記憶装置 33 の記憶容量によって制限される。

【0067】

また、ステップ S 11 において、教師データ 101 を構成する画像のチャンネル数は 1、すなわちグレースケールに変換しておくことが好ましい。

【0068】

次に、ステップ S 12 において、教師データ 101 の画像全てにノイズを付加し、データ 102 を生成する（図 3 A）。付加するノイズとしては、ガウシアンノイズ等が挙げられる。

【0069】

次に、ステップ S 13 において、学習を行う。学習は、教師データ 101、データ 102、及びジェネレータ 100 を用いて行われる（図 3 B）。

【0070】

ジェネレータ 100 は、ニューラルネットワークを用いたプログラムであり、入力されたデータに対して、画像を生成することができる。ジェネレータ 100 として、例えば、Autoencoder (AE)、Convolutional Autoencoder (CAE) 等が挙げられる。また、ジェネレータ 100 として、Deep Convolutional Generative Adversarial Networks (DCGAN) 等、Generative Adversarial Networks (GAN) を応用したモデルを用いてもよい。AI チップ 32 は、ジェネレータ 100 としての機能を有することができる。

【0071】

ジェネレータ 100 は、データ 102 を入力データとし、出力データが教師データ 101 に近づくように学習を行う（ニューラルネットワークの重みを更新する）。

【0072】

次に、ステップ S 14 において、学習結果 103 を保存する（図 3 B）。より具体的には、学習によって取得したジェネレータ 100 の重みを保存する。上述の学習は、検査する配線形状ごとに行われる。すなわち、検査する配線形状の種類に応じた学習結果が取得される。例えば、図 3 C は、3 種類の配線形状を示し、それぞれを教師データ 101 a、教

10

20

30

40

50

師データ101b、教師データ101cとしている。また、それぞれの教師データを学習に用いた結果、学習結果103a、学習結果103b、学習結果103cが取得される。これら学習結果は、サーバー30の補助記憶装置34に保存される。

【0073】

以上で学習が終了する。

【0074】

≪検査≫

次に、上述の学習結果を用いて、検査画像から異常を判定する方法について、図4乃至図7を用いて説明を行う。

【0075】

図4は、上述した検査処理の流れの一例を示すフローチャートであり、図5A乃至図5C、図6A、図6B、及び図7A、図7Bは図4の処理の一部を説明するための模式図である。

【0076】

図4に示す処理は、サーバー30で行われることが好ましいが、場合によっては、一部又は全ての処理をPC20で行ってもよい。特に、PC20とサーバー30との間のデータ伝送に時間を要する場合、図4の処理はPC20で行うことが好ましい。その場合、PC20はAIチップ32を有することが好ましい。

【0077】

まず、ステップS21において、電子顕微鏡10が撮影した画像をサーバー30が取得する。次に、ステップS22において、サーバー30は取得した画像に対応する学習済みモデルが、補助記憶装置34の中に存在するかどうか調べる。存在する場合はステップS23へ進み、存在しない場合は検査を終了させる。なお、検査を終了させる前に、学習済みデータが存在しない旨のメッセージを入出力装置21へ出力し、検査装置1のユーザーに知らせることが好ましい。

【0078】

また、ステップS21において、検査画像110の解像度及びチャンネル数を、図2のステップS13における教師データ101と合わせおくことが好ましい。

【0079】

本実施の形態では、図5Aに示すように、異常箇所111を含む検査画像110が取得した場合を想定する。

【0080】

次に、ステップS23において、検査画像110にノイズを付加し、画像120を生成する(図5A)。付加するノイズは、図2のステップS12で付加したものと同一であることが望ましい。

【0081】

次に、ステップS24において、画像120を学習済みのジェネレータ100に入力し、画像112を取得する(図5A)。ジェネレータ100は、事前の学習によって取得した学習結果103を読み込んだ状態にあり、重みが更新されている。

【0082】

ジェネレータ100は、良品画像の集合である教師データ101のみで学習を行ったため、異常箇所111に関する情報は与えられていない。そのため、ジェネレータ100は異常箇所111を再現することができず、異常箇所111は、画像112から消失している。

【0083】

次に、ステップS25において、検査画像110に対して平滑化処理を行い、画像113を取得する。同様に、画像112に対して平滑化処理を行い、画像114を取得する(図5B)。検査画像110と画像112に対して行う平滑化処理は同じであることが好ましい。

【0084】

上記平滑化処理の方法として、画像と、カーネルと呼ばれるフィルタとの畳み込みを計算

10

20

30

40

50

する方法が挙げられる。また、上記フィルタとして、平均フィルタと、ガウシアンフィルタの2つが挙げられる。平滑化処理の方法の一例として、 3×3 サイズの平均フィルタを用いる場合について説明を行う。

【0085】

【数1】

$$K = \frac{1}{9} \begin{bmatrix} 1 & 1 & 1 \\ 1 & 1 & 1 \\ 1 & 1 & 1 \end{bmatrix} \quad \dots(1)$$

10

【0086】

式1で表される平均フィルタを使った平滑化処理を行うと、各画素に対してその画素を中心にした 3×3 のウィンドウを選択し、ウィンドウ内の全画素の画素値の合計を9で割る。すなわち、ウィンドウ内の画素値の平均を取る。この計算を全画素に対して適用することで、平滑化された画像を取得することができる。なお、フィルタのサイズは、式1に限らず、 5×5 、 7×7 等、奇数の二乗で表されるサイズを必要に応じて設ければよい。

【0087】

平均フィルタの重み（式1の行列成分）は全て1であったが、フィルタの重みを、注目画素を中心にしたガウス分布に従って与えたものがガウシアンフィルタである。ガウシアンフィルタを適用する場合は、ガウス分布の分散（又は標準偏差）を指定する。

20

【0088】

検査画像110は、電子顕微鏡10に由来するノイズを含む場合が多い。上述の平滑化処理を施すことで、検査画像110からノイズを取り除くことができる。

【0089】

次に、ステップS26において、画像113と画像114の差分をとる。具体的には、画像113を表す画素値と、画像114を表す画素値と、の差分をとり、画像115を取得する（図5B）。当該差分は、画素値1つ1つに対してとる。つまり、画像113と画像114がそれぞれ例えば 1920×1080 個の画素値によって表される場合、 1920×1080 個の画素値それぞれについて差分をとる。よって、画像113と画像114がそれぞれ 1920×1080 個の画素値によって表される場合、画像115も 1920×1080 個の画素値によって表すことができる。

30

【0090】

異常箇所111以外の箇所では、画像113と画像114との差分は0に近い。よって、画像115は、異常箇所111以外の箇所は、輝度が0に近い。

【0091】

次に、ステップS27において、画像115の画素の輝度を、ある閾値を基準に、1又は0の2値に変換する。こうすることで、異常箇所111が白く塗りつぶされ、異常箇所111以外の部分は黒く塗り潰された画像116を取得することができる（図5C）。画像116は、異常箇所111が強調された画像である。

【0092】

次に、ステップS28において、画像116の外れ値検出を行い、画像116を、異常データ又は正常データのいずれかに分類する。すなわち、機械が検査画像110の良否判定を行う。外れ値検出には、k-近傍法、k-平均法、LOF (Local Outlier Factor)、SVM (Support Vector Machine) 法等、適切な方法を用いればよい。

40

【0093】

また、このときに、画像116の異常度を、ある数値で表しておくことが好ましい。例えば、画像116において、輝度が1で表される画素の数（白く塗り潰された画素の数）を、異常度として用いればよい。異常度の数が大きいほど、検査画像は教師データとの乖離が大きく、異常性が高いことを示している。

50

【0094】

他にも、例えば、正常データとしてクラスタリングされた集合の重心からの距離を、異常度として用いてもよい。この場合、重心からの距離が遠いほど、データの異常性が高いことを示している。

【0095】

また、例えば、機械が判定した正常と異常の境界からの距離を異常度として用いてもよい。

【0096】

また、異常に対して重み付けを行ってもよい。重みの大きさは、例えば異常の種類ごとに異ならせることができる。例えば、検査試料の品質に与える影響が大きい異常には、大きな重みを与えるものとすることができる。異常に対して重み付けを行う場合、例えば検査画像110から検出された全ての異常箇所111に対して重み付けを行い、重みの合計を異常度とすることができる。

10

【0097】

図6A、図6Bは、異常に対する重み付けの方法の一例を説明するための模式図である。図6Aは、学習方法の一例を説明するための模式図であり、事前に行う。図6Bは、学習結果を用いて、異常を含む検査画像から異常の種類を判定する方法の一例を説明するための模式図である。

【0098】

図6A、図6Bに示す処理は、サーバー30で行われることが好ましいが、場合によっては、一部又は全ての処理をPC20で行ってもよい。特に、PC20とサーバー30との間のデータ伝送に時間を要する場合、図6Bの処理はPC20で行うことが好ましい。その場合、PC20はAIチップ32を有することが好ましい。

20

【0099】

学習方法の一例について説明する。まず、画像データ131を取得し、取得した画像データ131のそれぞれにラベル132を紐付ける。画像データ131は、異常箇所を含む複数の不良品画像のみで構成されることが好ましい。ラベル132は、例えば画像データ131に示されている異常の種類を表すものとすることができる。異常の種類は、例えば断線、短絡、異物付着、空洞形成等とすることができる。

【0100】

不良品画像の枚数は、例えば1種類の異常につき好ましくは1千枚以上、さらに好ましくは5千枚以上、より好ましくは1万枚以上とする。不良品画像の枚数が多ければより精度の高い学習が可能であるが、実際は学習を行うサーバー30の性能によって制限される。具体的には、CPU31及びAIチップ32の処理能力、並びに主記憶装置33の記憶容量によって制限される。

30

【0101】

また、画像データ131を構成する画像の解像度を適切な値に変換しておくことが好ましい。画像の解像度が高いほどより精度の高い学習が可能であるが、実際は学習を行うサーバー30の性能によって制限される。具体的には、CPU31及びAIチップ32の処理能力、並びに主記憶装置33の記憶容量によって制限される。

【0102】

また、画像データ131を構成する画像のチャンネル数は1、すなわちグレースケールに変換しておくことが好ましい。

40

【0103】

次に、学習を行う。学習は、画像データ131、ラベル132、及び分類器130を用いて行われる(図6A)。

【0104】

分類器130は、ニューラルネットワークを用いたプログラムであり、入力された画像の特徴量を抽出し、特徴マップを生成することができる。分類器130としては、例えば畳み込みニューラルネットワーク(CNN: Convolutional Neural Network)等が挙げられる。AIチップ32は、分類器130としての機能を有する

50

ということができる。

【0105】

分類器130は、画像データ131及びラベル132を教師データとし、出力されるデータが所望のものとなるように学習を行う（ニューラルネットワークの重みを更新する）。例えば、分類器130が特徴マップを出力する場合、分類器130に入力した画像データ131の特徴量を、ラベル132に応じて適切に分類器130が抽出できるように学習を行う。

【0106】

次に、学習結果133を保存する（図6A）。より具体的には、学習によって取得した分類器130の重みを保存する。以上で学習が終了する。

10

【0107】

異常の種類を判定する方法の一例について説明する。図4に示すステップS28で異常が検出された場合は、異常が検出された検査画像を学習済みの分類器130に入力する。図6Bでは、異常箇所111を含む検査画像110が、分類器130に入力される例を示している。ここで、分類器130は、事前の学習によって取得した学習結果133を読み込んだ状態にあり、重みが更新されている。

【0108】

検査画像110を分類器130に入力することにより、学習結果133に基づき、検査画像に含まれる異常の種類を表すデータ134が分類器130から出力される。

【0109】

次に、データ134に基づき、異常箇所111を含む検査画像110の異常度を算出する。例えば、異常の個数に、データ134に対応する重みを乗じた値を、異常度とすることができる。

20

【0110】

本発明の一態様の検査方法は、検査画像110に対して平滑化処理を行って画像113を取得し、また画像112に対して平滑化処理を行って画像114を取得した後、画像113と画像114の差分をとる。前述のように、検査画像110は、電子顕微鏡10に由来するノイズを含む場合が多い。よって、上記平滑化処理を行わずに上記差分をとると、異常箇所111の検出が正しく行われな可能性もある。そこで、上記平滑化処理を行った後に上記差分をとることにより、検査装置1は、検査画像110に含まれる異常箇所111を、高精度に自動検知することができる。

30

【0111】

次に、ステップS29において、入出力装置21に検査結果を表示する。図7Aは、入出力装置21に上述の検査結果を表示させた例を示す模式図である。図7Aは、入出力装置21の例として、タッチパネルとディスプレイを備えた端末を示している。

【0112】

画面下型の領域122は、検査画像が、ステップS28で取得した異常度の順に並んで表示されている。図7Aでは、左側にある画像ほど異常度が小さく、右側にある画像ほど異常度が大きい（Abnormal）例を示している。すなわち、良品ほど左側に存在し、不良品ほど右側に存在している。また、それぞれの画像には、ステップS28の機械による良否判定の結果（Good/Bad）が表示されている。

40

【0113】

領域122で表示されている画像を検査装置1のユーザーがタッチすると、タッチされた画像が、画面上側の領域121に拡大表示される。図7Aは、検査装置1のユーザーがタッチした検査画像110と、画像117の2つが表示されている例を示している。画像117は、検査画像110に図5Cの画像116を合成させたものである。すなわち、検査画像110の異常箇所を強調させた画像である。領域121に検査画像110と画像117を表示させることで、検査装置1のユーザーは検査画像に含まれる異常箇所を容易に判断することができる。なお、画像117は、図5Bの画像115の輝度にあわせて、異常箇所の色をグラデーションで表示させてもよい。

50

【0114】

図7Aのように結果を表示させることで、機械でも判断が難しい画像を近くを集めることができる。機械による判定と、検査装置1のユーザーの目視による判定は、必ずしも一致するわけではない。入出力装置21は、機械が判定したGood/Badの結果を、ユーザーが訂正することができる。また、その訂正結果をサーバー30に伝えて、今後の良否判定に反映させることができる。

【0115】

図7Aの領域122において、左右の両端近くに存在する画像（異常度が極端に小さい画像、又は極端に大きい画像）は、機械と検査装置1のユーザーとの間で判断が異なることは少ない。一方、画面中央付近に存在する画像は、機械と検査装置1のユーザーとの間で判断が異なる場合が多い。図7Aのように検査画像を配置することで、検査装置1のユーザーは画面中央付近の画像についてのみ注意すればよく、検査装置1のユーザーが確認に要する時間を短縮することができる。

【0116】

図7Bは、検査画像110の異常箇所に着目（Weight）を付ける場合の入出力装置21の表示例を示す模式図である。当該重みは、前述のように例えば検査試料の品質に与える影響が大きいほど、大きな値とすることができる。重み付けは、図6A、図6Bに示す方法で行うことができる。図7Bは、検査装置1のユーザーがタッチした検査画像110に対応する画像117が表示されている例を示している。

【0117】

図7Bに示す画像117には、異常箇所が2か所含まれている。ここで、一方の異常箇所は、断線、短絡等を発生させておらず、異常が検査試料の品質に与える影響は小さいものとする。また、他方の異常箇所は、例えば断線を発生させており、異常が検査試料の品質に与える影響は大きいものとする。よって、他方の異常箇所の重みを、一方の異常箇所の重みより大きくする。図7Bは、一方の異常箇所の重みを2とし、他方の異常箇所の重みを10とする場合の入出力装置21の表示例を示している。図7Bに示すように、異常箇所ごとに重みを表示することができる。

【0118】

異常箇所に重み付けをする場合、例えば重みの合計（Total）が閾値以下の場合良品（Good）と判定し、閾値以上の場合不良品（Bad）とすることができる。図7Bは、重みの合計が5以下の場合良品（Good）と判定し、6以上の場合不良品（Bad）と判定する場合の入出力装置21の表示例を示している。図7Bに示す場合では、重みの合計が12であるため、不良品（Bad）であると判定され、その旨が入出力装置21に表示されている。また、良品（Good）と不良品（Bad）の判定基準を入出力装置21に表示することができる。

【0119】

異常箇所に重み付けをすることにより、検査試料の良否判定を高精度に行うことができる。また、重みを入出力装置21に表示することにより、検査装置1のユーザーが、試料の不良要因を認識しやすくなる。

【0120】

以上、本実施の形態の検査装置を用いることで、検査画像に含まれる異常を、高精度に自動検知することができる。また、少ない消費電力で自動検知することができる。又は、本実施の形態の検査方法を用いることで、検査画像に含まれる異常を、高精度に自動検知することができる。また、少ない消費電力で自動検知することができる。

【0121】

本実施の形態に示した構成例は、互いに適宜組み合わせることができる。また、本実施の形態は、本明細書で示す他の実施の形態等と適宜組み合わせることができる。

【0122】

（実施の形態2）

実施の形態1では、本発明の一態様の検査装置が異常判定を行う検査画像として、電子顕

10

20

30

40

50

微鏡によって撮影された画像を想定しているが、本発明の一態様はこれに限らない。本実施の形態では、電子顕微鏡によって撮影された画像以外の画像を検査画像とする場合の、本発明の一態様の検査装置の構成例について説明を行う。

【0123】

図8は、検査装置1aの構成例を示すブロック図である。検査装置1aは、電子顕微鏡10の代わりにコンピュータ断層撮影装置50を有する点が、実施の形態1に示す検査装置1と異なる。

【0124】

コンピュータ断層撮影装置50は、ガントリ51と、クレードル52を有している。ガントリ51には開口部61が設けられ、開口部61の側壁と接する領域を有するようにX線管71と、検出器72と、が設けられる。クレードル52には被検体62が配置される。被検体62は、例えば人体とすることができる。

【0125】

X線管71は、例えばX線（例えば波長1 pm以上10 nm以下の電磁波）を発する機能を有する。検出器72は、例えばX線を検出する機能を有する。

【0126】

X線管71から発せられた電磁波が被検体62に照射されると、照射された電磁波の一部が被検体62に吸収される。被検体62に吸収されずに透過した電磁波は、検出器72に照射される。検出器72に照射された電磁波の強度を表す信号が、画像処理装置80により画像に変換される。

【0127】

PC20及びサーバー30の機能等は、実施の形態1に示す検査装置1を参照することができる。ここで、検査装置1aが有するPC20は、コンピュータ断層撮影装置50を制御する機能を有し、例えばX線管71の位置を制御することができる。

【0128】

検査装置1aを用いた検査方法は、例えば電子顕微鏡10をコンピュータ断層撮影装置50と読み替え、試料を被検体と読み替えること等により、実施の形態1に示す検査装置1を用いた検査方法の説明を参照することができる。

【0129】

図9は、検査装置1bの構成例を示すブロック図である。検査装置1bは、電子顕微鏡10の代わりに核磁気共鳴装置210を有する点が、実施の形態1に示す検査装置1と異なる。

【0130】

核磁気共鳴装置210は、ガントリ211と、クレードル212を有している。ガントリ211には開口部221が設けられる。開口部221の側壁を覆うようにガントリ211の内部にコイル231が設けられる。クレードル212には被検体222が配置される。被検体222は、図8に示す被検体62と同様に例えば人体とすることができる。なお、被検体222は、生体とすることが好ましい。

【0131】

コイル231は、磁場を発する機能を有する。コイル231が発した磁場が被検体222に照射されると、被検体222に含まれる水素原子と磁場との間で共鳴現象が発生する。これにより、核磁気共鳴信号が発生する。核磁気共鳴信号は、画像処理装置80により画像に変換される。

【0132】

PC20及びサーバー30の機能等は、実施の形態1に示す検査装置1を参照することができる。ここで、検査装置1bが有するPC20は、核磁気共鳴装置210を制御する機能を有し、例えばコイル231が発する磁場の向きを切り替えることができる。

【0133】

検査装置1bを用いた検査方法は、例えば電子顕微鏡10を核磁気共鳴装置210と読み替え、試料を被検体と読み替えること等により、実施の形態1に示す検査装置1を用いた

10

20

30

40

50

検査方法の説明を参照することができる。

【0134】

本実施の形態に示した構成例は、互いに適宜組み合わせることができる。また、本実施の形態は、本明細書で示す他の実施の形態等と適宜組み合わせることができる。

【0135】

(実施の形態3)

本実施の形態では、本発明の一態様の検査装置に用いられる、ニューラルネットワークの演算を行う回路である演算回路の一例について説明する。

【0136】

<階層型のニューラルネットワーク>

初めに、階層型のニューラルネットワークについて説明する。階層型のニューラルネットワークは、一例としては、一の入力層と、一又は複数の中間層（隠れ層）と、一の出力層と、を有し、合計3以上の層によって構成されている。図10Aに示す階層型のニューラルネットワーク200はその一例を示しており、ニューラルネットワーク200は、第1層乃至第R層（ここでのRは4以上の整数とすることができる。）を有している。特に、第1層は入力層に相当し、第R層は出力層に相当し、それら以外の層は中間層に相当する。なお、図10Aには、中間層として第(k-1)層、第k層（ここでのkは3以上R-1以下の整数とする。）を図示しており、それ以外の中間層については図示を省略している。

【0137】

ニューラルネットワーク200の各層は、一又は複数のニューロンを有する。図10Aにおいて、第1層はニューロン $N_1^{(1)}$ 乃至ニューロン $N_p^{(1)}$ （ここでのpは1以上の整数である。）を有し、第(k-1)層はニューロン $N_1^{(k-1)}$ 乃至ニューロン $N_m^{(k-1)}$ （ここでのmは1以上の整数である。）を有し、第k層はニューロン $N_1^{(k)}$ 乃至ニューロン $N_n^{(k)}$ （ここでのnは1以上の整数である。）を有し、第R層はニューロン $N_1^{(R)}$ 乃至ニューロン $N_q^{(R)}$ （ここでのqは1以上の整数である。）を有する。

【0138】

なお、図10Aには、ニューロン $N_1^{(1)}$ 、ニューロン $N_p^{(1)}$ 、ニューロン $N_1^{(k-1)}$ 、ニューロン $N_m^{(k-1)}$ 、ニューロン $N_1^{(k)}$ 、ニューロン $N_n^{(k)}$ 、ニューロン $N_1^{(R)}$ 、ニューロン $N_q^{(R)}$ に加えて、第(k-1)層のニューロン $N_i^{(k-1)}$ （ここでのiは1以上m以下の整数である。）、第k層のニューロン $N_j^{(k)}$ （ここでのjは1以上n以下の整数である。）も図示しており、それ以外のニューロンについては図示を省略している。

【0139】

m及びnの値は、p以上であってもよいし、p未満であってもよい。また、m及びnの値は、q以上であってもよいし、q未満であってもよい。例えば、ニューラルネットワーク200がAutoencoder(AE)としての機能を有する場合、m及びnの値は、p及びq未満とすることができる。

【0140】

次に、前層のニューロンから次層のニューロンへの信号の伝達、及びそれぞれのニューロンにおいて入出力される信号について説明する。なお、本説明では、第k層のニューロン $N_j^{(k)}$ に着目している。

【0141】

図10Bは、第k層のニューロン $N_j^{(k)}$ と、ニューロン $N_j^{(k)}$ に入力される信号と、ニューロン $N_j^{(k)}$ から出力される信号と、を示している。

【0142】

具体的には、第(k-1)層のニューロン $N_1^{(k-1)}$ 乃至ニューロン $N_m^{(k-1)}$ のそれぞれの出力信号である $z_1^{(k-1)}$ 乃至 $z_m^{(k-1)}$ が、ニューロン $N_j^{(k)}$ に向けて出力されている。そして、ニューロン $N_j^{(k)}$ は、 $z_1^{(k-1)}$ 乃至 $z_m^{(k-1)}$ に応じて $z_j^{(k)}$ を生成して、 $z_j^{(k)}$ を出力信号として第(k+1)層（図示しない。

) の各ニューロンに向けて出力する。

【0143】

前層のニューロンから次層のニューロンに入力される信号は、それらのニューロン同士を接続するシナプスの結合強度（以後、重み係数と呼ぶ。）によって、信号の伝達の度合いが定まる。ニューラルネットワーク200では、前層のニューロンから出力された信号は、対応する重み係数を乗じられて、次層のニューロンに入力される。i を1以上m以下の整数として、第(k-1)層のニューロン $N_i^{(k-1)}$ と第k層のニューロン $N_j^{(k)}$ との間のシナプスの重み係数を $w_{ij}^{(k-1)}$ としたとき、第k層のニューロン $N_j^{(k)}$ に入力される信号は、式(D1)で表すことができる。

【0144】

【数2】

$$w_{ij}^{(k-1)} \cdot z_i^{(k-1)} \quad \dots(D1)$$

【0145】

つまり、第(k-1)層のニューロン $N_1^{(k-1)}$ 乃至ニューロン $N_m^{(k-1)}$ のそれぞれから第k層のニューロン $N_j^{(k)}$ に信号が伝達するとき、当該信号である $z_1^{(k-1)}$ 乃至 $z_m^{(k-1)}$ には、それぞれの信号に対応する重み係数($w_{1j}^{(k-1)}$ 乃至 $w_{mj}^{(k-1)}$)が乗じられる。そして、第k層のニューロン $N_j^{(k)}$ には、 $w_{1j}^{(k-1)} \cdot z_1^{(k-1)}$ 乃至 $w_{mj}^{(k-1)} \cdot z_m^{(k-1)}$ が入力される。このとき、第k層のニューロン $N_j^{(k)}$ に入力される信号の総和 $u_j^{(k)}$ は、式(D2)となる。

【0146】

【数3】

$$u_j^{(k)} = \sum_{i=1}^m w_{ij}^{(k-1)} \cdot z_i^{(k-1)} \quad \dots(D2)$$

【0147】

また、重み係数 $w_{1j}^{(k-1)}$ 乃至 $w_{mj}^{(k-1)}$ と、ニューロンの信号 $z_1^{(k-1)}$ 乃至 $z_m^{(k-1)}$ と、の積和の結果には、偏りとしてバイアスを与えてもよい。バイアスをbとしたとき、式(D2)は、次の式に書き直すことができる。

【0148】

【数4】

$$u_j^{(k)} = \sum_{i=1}^m w_{ij}^{(k-1)} \cdot z_i^{(k-1)} + b \quad \dots(D3)$$

【0149】

ニューロン $N_j^{(k)}$ は、 $u_j^{(k)}$ に応じて、出力信号 $z_j^{(k)}$ を生成する。ここで、ニューロン $N_j^{(k)}$ からの出力信号 $z_j^{(k)}$ を次の式で定義する。

【0150】

【数5】

10

20

30

40

50

$$z_j^{(k)} = f(u_j^{(k)}) \quad \dots (D4)$$

【0151】

関数 $f(u_j^{(k)})$ は、階層型のニューラルネットワークにおける活性化関数であり、ステップ関数、線形ランプ関数、シグモイド関数等を用いることができる。なお、活性化関数は、全てのニューロンにおいて同一でもよいし、又は異なってもよい。加えて、ニューロンの活性化関数は、層毎において、同一でもよいし、異なってもよい。

10

【0152】

ところで、各層のニューロンが出力する信号、重み係数 w 、又は、バイアス b は、アナログ値としてもよいし、デジタル値としてもよい。デジタル値としては、例えば、2 値としてもよいし、3 値としてもよい。さらに大きなビット数の値でもよい。一例として、アナログ値の場合、活性化関数として、例えば、線形ランプ関数、シグモイド関数等を用いればよい。デジタル値の 2 値の場合、例えば、出力を -1 若しくは 1 、又は、 0 若しくは 1 、とするステップ関数を用いればよい。また、各層のニューロンが出力する信号は 3 値以上としてもよく、この場合、活性化関数は 3 値以上、例えば出力は -1 、 0 、若しくは 1 とするステップ関数、又は、 0 、 1 、若しくは 2 とするステップ関数等を用いればよい。また、例えば、5 値以上を出力する活性化関数として、 -2 、 -1 、 0 、 1 、若しくは 2 とするステップ関数等を用いてもよい。各層のニューロンが出力する信号、重み係数 w 、又は、バイアス b について、少なくとも一つについて、デジタル値を用いることにより、回路規模を小さくすること、消費電力を低減すること、又は、演算スピードを速くすること、等が出来る。また、各層のニューロンが出力する信号、重み係数 w 、又は、バイアス b のうち、少なくとも一つについてアナログ値を用いることにより、演算の精度を向上させることが出来る。

20

【0153】

ニューラルネットワーク 200 は、第 1 層（入力層）に入力信号が入力されることによって、第 1 層（入力層）から最後の層（出力層）までの各層において順次に、前層から入力された信号を基に、式 (D1)、式 (D2)（又は式 (D3)）、式 (D4) を用いて出力信号を生成して、当該出力信号を次層に出力する動作を行う。最後の層（出力層）から出力された信号が、ニューラルネットワーク 200 によって計算された結果に相当する。

30

【0154】

<演算回路の構成例 1>

次に、上述のニューラルネットワーク 200 において、積和演算及び活性化関数の演算を行う回路の一例について説明する。

【0155】

図 11 は、演算回路 MAC1 の構成例を示している。図 11 に示す演算回路 MAC1 は、後述するメモリセルに保持された第 1 データと、入力された第 2 データと、の積和演算を行い、かつ当該積和演算の結果を用いて活性化関数の演算を行う回路である。なお、第 1 データ、及び第 2 データは、一例としては、アナログデータ、又は多値のデータ（離散的なデータ）とすることができる。

40

【0156】

演算回路 MAC1 は、電流源回路 CS と、カレントミラー回路 CM と、回路 WDD と、回路 WLD と、回路 CLD と、回路 OFST と、活性化関数回路 ACTV と、メモリセルアレイ CA を有する。

【0157】

メモリセルアレイ CA は、メモリセル AM[1] と、メモリセル AM[2] と、メモリセル AMref[1] と、メモリセル AMref[2] と、を有する。メモリセル AM[1]、及びメモリセル AM[2] は、第 1 データを保持する役割を有し、メモリセル AMr

50

e f [1]、及びメモリセルAM r e f [2]は、積和演算を行うために必要になる参照データを保持する機能を有する。なお、参照データも、第1データ、及び第2データと同様に、アナログデータ、又は多値のデータ（離散的なデータ）とすることができる。

【0158】

なお、図11のメモリセルアレイCAは、メモリセルが行方向に2個、列方向に2個、マトリクス状に配置されているが、メモリセルアレイCAは、メモリセルが行方向に3個以上、列方向に3個以上、マトリクス状に配置されている構成としてもよい。また、積和演算でなく乗算を行う場合、メモリセルアレイCAは、メモリセルが行方向に1個、列方向に2個以上、マトリクス状に配置されている構成としてもよい。

【0159】

メモリセルAM [1]と、メモリセルAM [2]と、メモリセルAM r e f [1]と、メモリセルAM r e f [2]と、は、それぞれトランジスタTr 1 1と、トランジスタTr 1 2と、容量C 1と、を有する。

【0160】

なお、トランジスタTr 1 1は、OSトランジスタであることが好ましい。加えて、トランジスタTr 1 1のチャネル形成領域は、インジウム、元素M（元素Mとしては、例えば、アルミニウム、ガリウム、イットリウム、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、又はマグネシウム等から選ばれた一種、又は複数種等が挙げられる。）、亜鉛の少なくとも一を含む酸化物であることがより好ましい。トランジスタTr 1 1は、特に以降の実施の形態に記載するトランジスタの構造であることが更に好ましい。

【0161】

トランジスタTr 1 1として、OSトランジスタを用いることにより、トランジスタTr 1 1のリーク電流を抑えることができるため、計算精度の高い積和演算回路を実現できる場合がある。また、トランジスタTr 1 1として、OSトランジスタを用いることにより、トランジスタTr 1 1が非導通状態である場合における、保持ノードから書き込みワード線へのリーク電流を非常に小さくすることができる。つまり、保持ノードの電位のリフレッシュ動作を少なくすることができるため、積和演算回路の消費電力を低減することができる。

【0162】

また、トランジスタTr 1 2としてもOSトランジスタを用いることで、トランジスタTr 1 2をトランジスタTr 1 1と同時に作製することができるため、積和演算回路の作製工程を短縮することができる場合がある。また、トランジスタTr 1 2のチャネル形成領域には、酸化物でなく、シリコンが含まれていてもよい。シリコンとしては、例えば、非晶質シリコン、微結晶シリコン、多結晶シリコン、単結晶シリコン、水素化アモルファスシリコン等としてもよい。

【0163】

メモリセルAM [1]と、メモリセルAM [2]と、メモリセルAM r e f [1]と、メモリセルAM r e f [2]と、のそれぞれにおいて、トランジスタTr 1 1の第1端子は、トランジスタTr 1 2のゲートと電氣的に接続されている。トランジスタTr 1 2の第1端子は、配線V Rと電氣的に接続されている。容量C 1の第1端子は、トランジスタTr 1 2のゲートと電氣的に接続されている。

【0164】

メモリセルAM [1]において、トランジスタTr 1 1の第2端子は、配線WDと電氣的に接続され、トランジスタTr 1 1のゲートは、配線WL [1]と電氣的に接続されている。トランジスタTr 1 2の第2端子は、配線BLと電氣的に接続され、容量C 1の第2端子は、配線CL [1]と電氣的に接続されている。なお、図11では、メモリセルAM [1]において、トランジスタTr 1 1の第1端子と、トランジスタTr 1 2のゲートと、容量C 1の第1端子と、の接続箇所をノードNM [1]としている。加えて、配線BL

からトランジスタ $Tr12$ の第2端子に流れる電流を $I_{AM}[1]$ とする。

【0165】

メモリセル $AM[2]$ において、トランジスタ $Tr11$ の第2端子は、配線 WD と電氣的に接続され、トランジスタ $Tr11$ のゲートは、配線 $WL[2]$ と電氣的に接続されている。トランジスタ $Tr12$ の第2端子は、配線 BL と電氣的に接続され、容量 $C1$ の第2端子は、配線 $CL[2]$ と電氣的に接続されている。なお、図11では、メモリセル $AM[2]$ において、トランジスタ $Tr11$ の第1端子と、トランジスタ $Tr12$ のゲートと、容量 $C1$ の第1端子と、の接続箇所をノード $NM[2]$ としている。加えて、配線 BL からトランジスタ $Tr12$ の第2端子に流れる電流を $I_{AM}[2]$ とする。

【0166】

メモリセル $AMref[1]$ において、トランジスタ $Tr11$ の第2端子は、配線 $WDr ef$ と電氣的に接続され、トランジスタ $Tr11$ のゲートは、配線 $WL[1]$ と電氣的に接続されている。トランジスタ $Tr12$ の第2端子は、配線 $BLref$ と電氣的に接続され、容量 $C1$ の第2端子は、配線 $CL[1]$ と電氣的に接続されている。なお、図11では、メモリセル $AMref[1]$ において、トランジスタ $Tr11$ の第1端子と、トランジスタ $Tr12$ のゲートと、容量 $C1$ の第1端子と、の接続箇所をノード $NMref[1]$ としている。加えて、配線 $BLref$ からトランジスタ $Tr12$ の第2端子に流れる電流を $I_{AMref}[1]$ とする。

【0167】

メモリセル $AMref[2]$ において、トランジスタ $Tr11$ の第2端子は、配線 $WDr ef$ と電氣的に接続され、トランジスタ $Tr11$ のゲートは、配線 $WL[2]$ と電氣的に接続されている。トランジスタ $Tr12$ の第2端子は、配線 $BLref$ と電氣的に接続され、容量 $C1$ の第2端子は、配線 $CL[2]$ と電氣的に接続されている。なお、図11では、メモリセル $AMref[2]$ において、トランジスタ $Tr11$ の第1端子と、トランジスタ $Tr12$ のゲートと、容量 $C1$ の第1端子と、の接続箇所をノード $NMref[2]$ としている。加えて、配線 $BLref$ からトランジスタ $Tr12$ の第2端子に流れる電流を $I_{AMref}[2]$ とする。

【0168】

上述したノード $NM[1]$ 、ノード $NM[2]$ 、ノード $NMref[1]$ 、及びノード $NMref[2]$ は、それぞれのメモリセルの保持ノードとして機能する。

【0169】

配線 VR は、メモリセル $AM[1]$ 、メモリセル $AM[2]$ 、メモリセル $AMref[1]$ 、及びメモリセル $AMref[2]$ のそれぞれのトランジスタ $Tr12$ の第1端子ー第2端子間に電流を流すための配線である。そのため、配線 VR は、所定の電位を与えるための配線として機能する。なお、本実施の形態では、配線 VR が与える電位は、基準電位、又は基準電位よりも低い電位とすることができる。

【0170】

電流源回路 CS は、配線 BL と、配線 $BLref$ と、に電氣的に接続されている。電流源回路 CS は、配線 BL 及び配線 $BLref$ に対して電流を供給する機能を有する。なお、配線 BL 、配線 $BLref$ のそれぞれに対して供給する電流量は、互いに異なってもよい。本構成例では、電流源回路 CS から配線 BL に流れる電流を I_c とし、電流源回路 CS から配線 $BLref$ に流れる電流を I_{cref} とする。

【0171】

カレントミラー回路 CM は、配線 IL と、配線 $ILref$ と、を有する。配線 IL は、配線 BL と電氣的に接続され、図11では、配線 IL と配線 BL の接続箇所をノード NP として図示している。配線 $ILref$ は、配線 $BLref$ と電氣的に接続され、図11では、配線 $ILref$ と配線 $BLref$ の接続箇所をノード $NPre f$ としている。カレントミラー回路 CM は、ノード $NPre f$ の電位に応じた電流を、配線 $BLref$ のノード $NPre f$ から配線 $ILref$ に排出し、且つ当該電流と同じ量の電流を配線 BL のノード NP から配線 IL に排出する機能を有する。なお、図11では、ノード NP から配線 IL

10

20

30

40

50

に排出する電流、及びノード N_{Pref} から配線 I_{Lref} に排出する電流を I_{CM} と記している。加えて、配線 BL において、カレントミラー回路 CM からメモリセルアレイ CA に流れる電流を I_B と記し、配線 BL_{ref} において、カレントミラー回路 CM からメモリセルアレイ CA に流れる電流を I_{Bref} と記す。

【0172】

回路 WDD は、配線 WD と、配線 WD_{ref} と、に電氣的に接続されている。回路 WDD は、メモリセルアレイ CA が有するそれぞれのメモリセルに格納するためのデータを送信する機能を有する。

【0173】

回路 WLD は、配線 $WL[1]$ と、配線 $WL[2]$ と、に電氣的に接続されている。回路 WLD は、メモリセルアレイ CA が有するメモリセルにデータを書き込む際に、データの書き込み先となるメモリセルを選択する機能を有する。

10

【0174】

回路 CLD は、配線 $CL[1]$ と、配線 $CL[2]$ と、に電氣的に接続されている。回路 CLD は、メモリセルアレイ CA が有するそれぞれのメモリセルの容量 $C1$ の第2端子に対して、電位を印加する機能を有する。

【0175】

回路 OFS T は、配線 BL と、配線 OL と、に電氣的に接続されている。回路 OFS T は、配線 BL から回路 OFS T に流れる電流量、及び／又は配線 BL から回路 OFS T に流れる電流の変化量を計測する機能を有する。加えて、回路 OFS T は、当該計測の結果を配線 OL に出力する機能を有する。なお、回路 OFS T は、当該計測の結果をそのまま電流として配線 OL に出力する構成としてもよいし、当該計測の結果を電圧に変換して、配線 OL に出力する構成としてもよい。なお、図11では、配線 BL から回路 OFS T に流れる電流を I_α と記している。

20

【0176】

例えば、回路 OFS T は、図12に示す構成とすることができる。図12において、回路 OFS T は、トランジスタ $Tr21$ と、トランジスタ $Tr22$ と、トランジスタ $Tr23$ と、容量 $C2$ と、抵抗素子 $R1$ と、を有する。

【0177】

容量 $C2$ の第1端子は、配線 BL と電氣的に接続され、抵抗素子 $R1$ の第1端子は、配線 BL と電氣的に接続されている。容量 $C2$ の第2端子は、トランジスタ $Tr21$ の第1端子と電氣的に接続され、トランジスタ $Tr21$ の第1端子は、トランジスタ $Tr22$ のゲートと電氣的に接続されている。トランジスタ $Tr22$ の第1端子は、トランジスタ $Tr23$ の第1端子と電氣的に接続され、トランジスタ $Tr23$ の第1端子は、配線 OL と電氣的に接続されている。なお、容量 $C2$ の第1端子と、抵抗素子 $R1$ の第1端子と、の電氣的接続点をノード Na とし、容量 $C2$ の第2端子と、トランジスタ $Tr21$ の第1端子と、トランジスタ $Tr22$ のゲートと、の電氣的接続点をノード Nb とする。

30

【0178】

抵抗素子 $R1$ の第2端子は、配線 V_{refL} と電氣的に接続されている。トランジスタ $Tr21$ の第2端子は、配線 V_{aL} と電氣的に接続され、トランジスタ $Tr21$ のゲートは、配線 RST と電氣的に接続されている。トランジスタ $Tr22$ の第2端子は、配線 $VDDL$ と電氣的に接続されている。トランジスタ $Tr23$ の第2端子は、配線 $VSSL$ と電氣的に接続され、トランジスタ $Tr23$ のゲートは、配線 V_{bL} と電氣的に接続されている。

40

【0179】

配線 V_{refL} は、電位 V_{ref} を与える配線であり、配線 V_{aL} は、電位 V_a を与える配線であり、配線 V_{bL} は、電位 V_b を与える配線である。配線 $VDDL$ は、電位 VDD を与える配線であり、配線 $VSSL$ は、電位 VSS を与える配線である。特に、ここでの回路 OFS T の構成例では、電位 VDD を高レベル電位とし、電位 VSS を低レベル電位としている。配線 RST は、トランジスタ $Tr21$ の導通状態、非導通状態を切り替える

50

ための電位を与える配線である。

【0180】

図12に示す回路OFFSTより、トランジスタTr22と、トランジスタTr23と、配線VDDLと、配線VSSLと、配線VbLと、によって、ソースフォロワ回路が構成されている。

【0181】

図12に示す回路OFFSTより、抵抗素子R1と、配線VrefLと、によって、ノードNaには、配線bLから流れてくる電流、及び抵抗素子R1の抵抗に応じた電位が与えられる。

【0182】

図12に示す回路OFFSTの動作例について説明する。配線bLから1回目の電流（以後、第1電流と呼ぶ。）が流れたとき、抵抗素子R1と、配線VrefLと、により、ノードNaに第1電流と抵抗素子R1の抵抗に応じた電位が与えられる。また、このとき、トランジスタTr21を導通状態として、ノードNbに電位Vaを与える。その後、トランジスタTr21を非導通状態とする。

【0183】

次に、配線bLから2回目の電流（以後、第2電流と呼ぶ。）が流れたとき、第1電流が流れたときと同様に、抵抗素子R1と、配線VrefLと、により、ノードNaに第2電流と抵抗素子R1の抵抗に応じた電位が与えられる。このとき、ノードNbはフローティング状態となっているため、ノードNaの電位が変化することで、容量結合によって、ノードNbの電位も変化する。ノードNaの電位の変化を ΔV_{Na} とし、容量結合係数を1としたとき、ノードNbの電位は $Va + \Delta V_{Na}$ となる。トランジスタTr22のしきい値電圧を V_{th} としたとき、配線OLから電位 $Va + \Delta V_{Na} - V_{th}$ が出力される。ここで、電位Vaをしきい値電圧 V_{th} とすることで、配線OLから電位 ΔV_{Na} を出力することができる。

【0184】

電位 ΔV_{Na} は、第1電流から第2電流への変化量と、抵抗素子R1の抵抗値と、電位Vrefと、に応じて定まる。抵抗素子R1の抵抗値と、電位Vrefと、は既知とすることができるため、図12に示す回路OFFSTを用いることにより、電位 ΔV_{Na} から、配線bLに流れる電流の変化量を求めることができる。

【0185】

活性化関数回路ACTVは、配線OLと、配線NILと、に電氣的に接続されている。活性化関数回路ACTVには、配線OLを介して、回路OFFSTで計測した電流の変化量の結果が入力される。活性化関数回路ACTVは、当該結果に対して、あらかじめ定義された関数系に従った演算を行う回路である。当該関数系としては、例えば、シグモイド関数、 $\tanh$ 関数、softmax関数、ReLU関数、しきい値関数等を用いることができ、これらの関数は、ニューラルネットワークにおける活性化関数として適用される。

【0186】

<演算回路の動作例1>

次に、演算回路MAC1の動作例について説明する。

【0187】

図13に演算回路MAC1の動作例のタイミングチャートを示す。図13のタイミングチャートは、時刻T01乃至時刻T09における、配線WL[1]、配線WL[2]、配線WD、配線WDref、ノードNM[1]、ノードNM[2]、ノードNMref[1]、ノードNMref[2]、配線CL[1]、及び配線CL[2]の電位の変動を示し、電流 $I_B - I_\alpha$ 、及び電流 I_{Bref} の大きさの変動を示している。特に、電流 $I_B - I_\alpha$ は、配線bLから、メモリセルアレイCAのメモリセルAM[1]、メモリセルAM[2]に流れる電流の総和を示している。

【0188】

<<時刻T01から時刻T02まで>>

時刻T01から時刻T02までの間において、配線WL[1]に高レベル電位(図13ではHighと表記している。)が印加され、配線WL[2]に低レベル電位(図13ではLowと表記している。)が印加されている。加えて、配線WDには接地電位(図13ではGNDと表記している。)よりも $V_{PR}-V_{W[1]}$ 大きい電位が印加され、配線WDrefには接地電位よりも V_{PR} 大きい電位が印加されている。更に、配線CL[1]、及び配線CL[2]にはそれぞれ基準電位(図13ではREFPと表記している。)が印加されている。

【0189】

なお、電位 $V_{W[1]}$ は、第1データの一に対応する電位である。また、電位 V_{PR} は、参照データに対応する電位である。

【0190】

このとき、メモリセルAM[1]、及びメモリセルAMref[1]のそれぞれのトランジスタTr11のゲートに高レベル電位が印加されるため、メモリセルAM[1]、及びメモリセルAMref[1]のそれぞれのトランジスタTr11は、オン状態となる。そのため、メモリセルAM[1]において、配線WDとノードNM[1]との間が導通状態になるため、ノードNM[1]の電位は、 $V_{PR}-V_{W[1]}$ となる。同様に、メモリセルAMref[1]において、配線WDrefとノードNMref[1]との間が導通状態になるため、ノードNMref[1]の電位は、 V_{PR} となる。

【0191】

ここで、メモリセルAM[1]、及びメモリセルAMref[1]のそれぞれのトランジスタTr12の第2端子から第1端子に流れる電流を考える。配線BLからメモリセルAM[1]のトランジスタTr12の第2端子を介して第1端子に流れる電流を $I_{AM[1]}$ 、 $I_{AM[1],0}$ としたとき、 $I_{AM[1],0}$ は次の式で表すことができる。

【0192】

【数6】

$$I_{AM[1],0} = k(V_{PR} - V_{W[1]} - V_{th})^2 \quad \cdots(E1)$$

【0193】

k は、トランジスタTr12のチャンネル長、チャンネル幅、移動度、及びゲート絶縁膜の容量等で決まる定数である。また、 V_{th} は、トランジスタTr12のしきい値電圧である。

【0194】

配線BLrefからメモリセルAMref[1]のトランジスタTr12の第2端子を介して第1端子に流れる電流を $I_{AMref[1]}$ 、 $I_{AMref[1],0}$ としたとき、同様に、 $I_{AMref[1],0}$ は次の式で表すことができる。

【0195】

【数7】

$$I_{AMref[1],0} = k(V_{PR} - V_{th})^2 \quad \cdots(E2)$$

【0196】

なお、メモリセルAM[2]、及びメモリセルAMref[2]のそれぞれのトランジスタTr11のゲートに低レベル電位が印加されるため、メモリセルAM[2]、及びメモリセルAMref[2]のそれぞれのトランジスタTr11は、オフ状態となる。このため、ノードNM[2]、及びノードNMref[2]への電位の書き込みは行われない。

【0197】

<<時刻T02から時刻T03まで>>

時刻T02から時刻T03までの間において、配線WL[1]に低レベル電位が印加され

10

20

30

40

50

る。このとき、メモリセルAM [1]、及びメモリセルAMref [1]のそれぞれのトランジスタTr11のゲートに低レベル電位が印加されるため、メモリセルAM [1]、及びメモリセルAMref [1]のそれぞれのトランジスタTr11はオフ状態となる。

【0198】

また、配線WL [2]には、時刻T02以前から引き続き、低レベル電位が印加されている。このため、メモリセルAM [2]、及びメモリセルAMref [2]のそれぞれのトランジスタTr11は、時刻T02以前から引き続きオフ状態となっている。

【0199】

上述のとおり、メモリセルAM [1]、メモリセルAM [2]、メモリセルAMref [1]、及びメモリセルAMref [2]のそれぞれのトランジスタTr11はオフ状態となっているため、時刻T02から時刻T03までの間では、ノードNM [1]、ノードNM [2]、ノードNMref [1]、及びノードNMref [2]のそれぞれの電位が保持される。

【0200】

特に、演算回路MAC1の回路構成の説明で述べたとおり、メモリセルAM [1]、メモリセルAM [2]、メモリセルAMref [1]、及びメモリセルAMref [2]のそれぞれのトランジスタTr11にOSトランジスタを適用することによって、トランジスタTr11の第1端子ー第2端子間に流れるリーク電流を小さくすることができるため、ノードNM [1]、ノードNM [2]、ノードNMref [1]、及びノードNMref [2]のそれぞれの電位を長時間保持することができる。

【0201】

時刻T02から時刻T03までの間において、配線WD、及び配線WDrefには接地電位が印加されている。メモリセルAM [1]、メモリセルAM [2]、メモリセルAMref [1]、及びメモリセルAMref [2]のそれぞれのトランジスタTr11は、オフ状態となっているため、配線WD、及び配線WDrefからの電位の印加によって、ノードNM [1]、ノードNM [2]、ノードNMref [1]、及びノードNMref [2]のそれぞれに保持されている電位が書き換えられることは無い。

【0202】

<<時刻T03から時刻T04まで>>

時刻T03から時刻T04までの間において、配線WL [1]に低レベル電位が印加され、配線WL [2]に高レベル電位が印加されている。加えて、配線WDには接地電位よりも $V_{PR} - V_{W[2]}$ 大きい電位が印加され、配線WDrefには接地電位よりも V_{PR} 大きい電位が印加されている。更に、時刻T02以前から引き続き、配線CL [1]、及び配線CL [2]には、それぞれ基準電位が印加されている。

【0203】

なお、電位 $V_{W[2]}$ は、第1データの一に対応する電位である。

【0204】

このとき、メモリセルAM [2]、及びメモリセルAMref [2]のそれぞれのトランジスタTr11のゲートに高レベル電位が印加されるため、メモリセルAM [2]、及びメモリセルAMref [2]のそれぞれのトランジスタTr11は、オン状態となる。そのため、メモリセルAM [2]において、配線WDとノードNM [2]との間が導通状態になるため、ノードNM [2]の電位は、 $V_{PR} - V_{W[2]}$ となる。同様に、メモリセルAMref [2]において、配線WDrefとノードNMref [2]との間が導通状態になるため、ノードNMref [2]の電位は、 V_{PR} となる。

【0205】

ここで、メモリセルAM [2]、及びメモリセルAMref [2]のそれぞれのトランジスタTr12の第2端子から第1端子に流れる電流を考える。配線BLからメモリセルAM [2]のトランジスタTr12の第2端子を介して第1端子に流れる電流を $I_{AM[2]}$ 、0としたとき、 $I_{AM[2]}$ 、0は次の式で表すことができる。

【0206】

【数 8】

$$I_{AM[2],0} = k(V_{PR} - V_{W[2]} - V_{th})^2 \quad \dots(E3)$$

【0207】

配線 BLref からメモリセル AMref [2] のトランジスタ Tr12 の第 2 端子を介して第 1 端子に流れる電流を $I_{AMref[2],0}$ としたとき、同様に、 $I_{AMref[2],0}$ は次の式で表すことができる。

【0208】

【数 9】

$$I_{AMref[2],0} = k(V_{PR} - V_{th})^2 \quad \dots(E4)$$

【0209】

<<時刻 T04 から時刻 T05 まで>>

ここで、時刻 T04 から時刻 T05 までの間における、配線 BL 及び配線 BLref に流れる電流について説明する。

【0210】

配線 BLref には、電流源回路 CS からの電流が供給される。加えて、配線 BLref には、カレントミラー回路 CM、メモリセル AMref [1]、及びメモリセル AMref [2] によって電流が排出される。配線 BLref において、電流源回路 CS から供給される電流を I_{Cref} とし、カレントミラー回路 CM によって排出される電流を $I_{CM,0}$ としたとき、キルヒホッフの法則により次の式が成り立つ。

【0211】

【数 10】

$$I_{Cref} - I_{CM,0} = I_{AMref[1],0} + I_{AMref[2],0} \quad \dots(E5)$$

【0212】

配線 BL には、電流源回路 CS からの電流が供給される。加えて、配線 BL には、カレントミラー回路 CM、メモリセル AM [1]、メモリセル AM [2] によって電流が排出される。さらに、配線 BL から回路 OFST にも電流が流れる。配線 BL において、電流源回路 CS から供給される電流を I_C とし、配線 BL から回路 OFST に流れる電流を $I_{\alpha,0}$ としたとき、キルヒホッフの法則により次の式が成り立つ。

【0213】

【数 11】

$$I_C - I_{CM,0} = I_{AM[1],0} + I_{AM[2],0} + I_{\alpha,0} \quad \dots(E6)$$

【0214】

<<時刻 T05 から時刻 T06 まで>>

時刻 T05 から時刻 T06 までの間において、配線 CL [1] に基準電位よりも $V_{X[1]}$ 高い電位が印加される。このとき、メモリセル AM [1]、及びメモリセル AMref [1] のそれぞれの容量 C1 の第 2 端子に、電位 $V_{X[1]}$ が印加されるため、トランジスタ Tr12 のゲートの電位が上昇する。

【0215】

なお、電位 $V_{X[1]}$ は、第2データの一に対応する電位である。

【0216】

なお、トランジスタ T_{r12} のゲートの電位の増加分は、配線 $CL[1]$ の電位変化に、メモリセルの構成によって決まる容量結合係数を乗じた電位となる。該容量結合係数は、容量 $C1$ の容量、トランジスタ T_{r12} のゲート容量、寄生容量等によって算出される。本動作例では、説明の煩雑さを避けるため、配線 $CL[1]$ の電位の増加分もトランジスタ T_{r12} のゲートの電位の増加分も同じ値として説明する。これは、メモリセル $AM[1]$ 、及びメモリセル $AM_{ref}[1]$ におけるそれぞれの容量結合係数を1としていることに相当する。

【0217】

容量結合係数を1としているため、メモリセル $AM[1]$ 、及びメモリセル $AM_{ref}[1]$ のそれぞれの容量 $C1$ の第2端子に、電位 $V_{X[1]}$ が印加されることによって、ノード $NM[1]$ 、及びノード $NM_{ref}[1]$ の電位は、それぞれ $V_{X[1]}$ 上昇する。

【0218】

ここで、メモリセル $AM[1]$ 、及びメモリセル $AM_{ref}[1]$ のそれぞれのトランジスタ T_{r12} の第2端子から第1端子に流れる電流を考える。配線 BL からメモリセル $AM[1]$ のトランジスタ T_{r12} の第2端子を介して第1端子に流れる電流を $I_{AM[1]}$ 、 $_1$ としたとき、 $I_{AM[1]}{}_1$ は次の式で表すことができる。

【0219】

【数12】

$$I_{AM[1],1} = k(V_{PR} - V_{W[1]} + V_{X[1]} - V_{th})^2 \quad \dots(E7)$$

【0220】

つまり、配線 $CL[1]$ に電位 $V_{X[1]}$ を印加することによって、配線 BL からメモリセル $AM[1]$ のトランジスタ T_{r12} の第2端子を介して第1端子に流れる電流は、 $I_{AM[1]}{}_1 - I_{AM[1]}{}_0$ (図13では、 $\Delta I_{AM[1]}$ と表記する。) 増加する。

【0221】

同様に、配線 BL_{ref} からメモリセル $AM_{ref}[1]$ のトランジスタ T_{r12} の第2端子を介して第1端子に流れる電流を $I_{AM_{ref}[1]}{}_1$ としたとき、 $I_{AM_{ref}[1]}{}_1$ は次の式で表すことができる。

【0222】

【数13】

$$I_{AM_{ref}[1],1} = k(V_{PR} + V_{X[1]} - V_{th})^2 \quad \dots(E8)$$

【0223】

つまり、配線 $CL[1]$ に電位 $V_{X[1]}$ を印加することによって、配線 BL_{ref} からメモリセル $AM_{ref}[1]$ のトランジスタ T_{r12} の第2端子を介して第1端子に流れる電流は、 $I_{AM_{ref}[1]}{}_1 - I_{AM_{ref}[1]}{}_0$ (図13では、 $\Delta I_{AM_{ref}[1]}$ と表記する。) 増加する。

【0224】

ここで、配線 BL 及び配線 BL_{ref} に流れる電流について説明する。

【0225】

配線 BL_{ref} には、時刻 T_{04} から時刻 T_{05} までの間と同様に、電流源回路 CS からの電流 I_{cref} が供給される。同時に、配線 BL_{ref} には、カレントミラー回路 CM 、メモリセル $AM_{ref}[1]$ 、及びメモリセル $AM_{ref}[2]$ によって電流が排出され

10

20

30

40

50

る。配線 BL_{ref} において、カレントミラー回路 CM によって排出される電流を $I_{CM,1}$ としたとき、キルヒホッフの法則により次の式が成り立つ。

【0226】

【数14】

$$I_{Cref} - I_{CM,1} = I_{AMref[1],1} + I_{AMref[2],0} \quad \dots(E9)$$

【0227】

配線 BL には、時刻 $T04$ から時刻 $T05$ までの間と同様に、電流源回路 CS からの電流 I_C が供給される。同時に、配線 BL には、カレントミラー回路 CM 、メモリセル $AM[1]$ 、メモリセル $AM[2]$ によって電流が排出される。さらに、配線 BL から回路 $OFFST$ にも電流が流れる。配線 BL において、配線 BL から回路 $OFFST$ に流れる電流を $I_{\alpha,1}$ としたとき、キルヒホッフの法則により次の式が成り立つ。

【0228】

【数15】

$$I_C - I_{CM,1} = I_{AM[1],1} + I_{AM[2],0} + I_{\alpha,1} \quad \dots(E10)$$

【0229】

時刻 $T04$ から時刻 $T05$ までの間における、配線 BL から回路 $OFFST$ に流れる電流 $I_{\alpha,0}$ と、時刻 $T05$ から時刻 $T06$ までの間における、配線 BL から回路 $OFFST$ に流れる電流 $I_{\alpha,1}$ と、の差を ΔI_{α} とする。以後、 ΔI_{α} を、演算回路 $MAC1$ における、差分電流と呼ぶ。差分電流 ΔI_{α} は、式 (E1) 乃至式 (E10) を用いて、次の式のとおりに表すことができる。

【0230】

【数16】

$$\Delta I_{\alpha} = I_{\alpha,0} - I_{\alpha,1} = 2kV_{W[1]}V_{X[1]} \quad \dots(E11)$$

【0231】

<<時刻 $T06$ から時刻 $T07$ まで>>

時刻 $T06$ から時刻 $T07$ までの間において、配線 $CL[1]$ には基準電位が印加されている。このとき、メモリセル $AM[1]$ 、及びメモリセル $AM_{ref}[1]$ のそれぞれの容量 $C1$ の第2端子に、基準電位が印加されるため、ノード $NM[1]$ 、及びノード $NM_{ref}[1]$ の電位は、それぞれ時刻 $T04$ から時刻 $T05$ までの間の電位に戻る。

【0232】

<<時刻 $T07$ から時刻 $T08$ まで>>

時刻 $T07$ から時刻 $T08$ までの間において、配線 $CL[1]$ に基準電位よりも $V_{X[1]}$ 高い電位が印加され、配線 $CL[2]$ に基準電位よりも $V_{X[2]}$ 高い電位が印加される。このとき、メモリセル $AM[1]$ 、及びメモリセル $AM_{ref}[1]$ のそれぞれの容量 $C1$ の第2端子に電位 $V_{X[1]}$ が印加され、メモリセル $AM[2]$ 、及びメモリセル $AM_{ref}[2]$ のそれぞれの容量 $C1$ の第2端子に電位 $V_{X[2]}$ が印加される。このため、メモリセル $AM[1]$ 、メモリセル $AM[2]$ 、メモリセル $AM_{ref}[1]$ 、及びメモリセル $AM_{ref}[2]$ のそれぞれのトランジスタ $Tr12$ のゲートの電位が上昇する。

【0233】

メモリセル $AM[1]$ 、及びメモリセル $AM_{ref}[1]$ のそれぞれのノードの電位の変化は、時刻 $T05$ から時刻 $T06$ までの間の動作を参酌する。メモリセル $AM[2]$ 、及

10

20

30

40

50

びメモリセルAMref[2]についても同様に、それぞれのメモリセルの容量結合係数を1として説明する。

【0234】

容量結合係数を1としているため、メモリセルAM[2]、及びメモリセルAMref[2]のそれぞれの容量C1の第2端子に、電位Vx[2]が印加されることによって、ノードNM[2]、及びノードNMref[2]の電位は、それぞれVx[2]上昇する。

【0235】

ここで、メモリセルAM[2]、及びメモリセルAMref[2]のそれぞれのトランジスタTr12の第2端子から第1端子に流れる電流を考える。配線BLからメモリセルAM[1]のトランジスタTr12の第2端子を介して第1端子に流れる電流をIAM[2]₁としたとき、IAM[2]₁は次の式で表すことができる。

【0236】

【数17】

$$I_{AM[2],1} = k(V_{PR} - V_{W[2]} + V_{X[2]} - V_{th})^2 \quad \cdots(E12)$$

【0237】

つまり、配線CL[2]に電位Vx[2]を印加することによって、配線BLからメモリセルAM[2]のトランジスタTr12の第2端子を介して第1端子に流れる電流は、IAM[2]₁ - IAM[2]₀（図13では、ΔIAM[2]と表記する。）増加する。

【0238】

同様に、配線BLrefからメモリセルAMref[2]のトランジスタTr12の第2端子を介して第1端子に流れる電流をIAMref[2]₁としたとき、IAMref[2]₁は次の式で表すことができる。

【0239】

【数18】

$$I_{AMref[2],1} = k(V_{PR} + V_{X[2]} - V_{th})^2 \quad \cdots(E13)$$

【0240】

つまり、配線CL[2]に電位Vx[2]を印加することによって、配線BLrefからメモリセルAMref[2]のトランジスタTr12の第2端子を介して第1端子に流れる電流は、IAMref[2]₁ - IAMref[2]₀（図13では、ΔIAMref[2]と表記する。）増加する。

【0241】

ここで、配線BL及び配線BLrefに流れる電流について説明する。

【0242】

配線BLrefには、時刻T04から時刻T05までの間と同様に、電流源回路CSからの電流Icrefが供給される。同時に、配線BLrefには、カレントミラー回路CM、メモリセルAMref[1]、及びメモリセルAMref[2]によって電流が排出される。配線BLrefにおいて、カレントミラー回路CMによって排出される電流をICM₂としたとき、キルヒホッフの法則により次の式が成り立つ。

【0243】

【数19】

$$I_{Cref} - I_{CM,2} = I_{AMref[1],1} + I_{AMref[2],1} \quad \cdots(E14)$$

10

20

30

40

50

【0244】

配線BLには、時刻T04から時刻T05までの間と同様に、電流源回路CSからの電流 I_C が供給される。同時に、配線BLには、カレントミラー回路CM、メモリセルAM[1]、メモリセルAM[2]によって電流が排出される。さらに、配線BLから回路OFFSTにも電流が流れる。配線BLにおいて、配線BLから回路OFFSTに流れる電流を $I_{\alpha,3}$ としたとき、キルヒホッフの法則により次の式が成り立つ。

【0245】

【数20】

$$I_C - I_{CM,2} = I_{AM[1],1} + I_{AM[2],1} + I_{\alpha,3} \quad \dots(E15)$$

10

【0246】

時刻T04から時刻T05までの間における、配線BLから回路OFFSTに流れる電流 $I_{\alpha,0}$ と、時刻T07から時刻T08までの間における、配線BLから回路OFFSTに流れる電流 $I_{\alpha,3}$ と、の差となる差分電流 ΔI_{α} は、式(E1)乃至式(E8)、式(E12)乃至式(E15)を用いて、次の式のとおりに表すことができる。

【0247】

【数21】

$$\Delta I_{\alpha} = I_{\alpha,0} - I_{\alpha,3} = 2k(V_{W[1]}V_{X[1]} + V_{W[2]}V_{X[2]}) \quad \dots(E16)$$

20

【0248】

式(E11)、式(E16)に示すとおり、回路OFFSTに入力される差分電流 ΔI_{α} は、複数の第1データである電位 V_W と、複数の第2データである電位 V_X と、の積の和に応じた値となる。つまり、差分電流 ΔI_{α} を回路OFFSTで計測することによって、第1データと第2データとの積和の値を求めることができる。

【0249】

<<時刻T08から時刻T09まで>>

30

時刻T08から時刻T09までの間において、配線CL[1]、及び配線CL[2]には基準電位が印加されている。このとき、メモリセルAM[1]、メモリセルAM[2]、メモリセルAMref[1]、及びメモリセルAMref[2]のそれぞれの容量C1の第2端子に、基準電位が印加されるため、ノードNM[1]、ノードNM[2]、ノードNMref[1]、及びノードNMref[2]の電位は、それぞれ時刻T06から時刻T07までの間の電位に戻る。

【0250】

時刻T05から時刻T06までの間において、配線CL[1]に $V_{X[1]}$ を印加し、時刻T07から時刻T08までの間において、配線CL[1]及び配線CL[2]にそれぞれ $V_{X[1]}$ 、 $V_{X[2]}$ を印加したが、配線CL[1]及び配線CL[2]に印加する電位は、基準電位REFPよりも低くてもよい。配線CL[1]、及び／又は配線CL[2]に、基準電位REFPよりも低い電位を印加した場合、配線CL[1]、及び／又は配線CL[2]に接続されているメモリセルの保持ノードの電位を、容量結合によって低くすることができる。これにより、積和演算において、第1データと、負の値である第2データの一との積を行うことができる。例えば、時刻T07から時刻T08までの間において、配線CL[2]に、 $V_{X[2]}$ でなく $-V_{X[2]}$ を印加した場合、差分電流 ΔI_{α} は、次の式の通りに表すことができる。

40

【0251】

【数22】

50

$$\Delta I_{\alpha} = I_{\alpha,0} - I_{\alpha,3} = 2k(V_{W[1]}V_{X[1]} - V_{W[2]}V_{X[2]}) \quad \dots(E17)$$

【0252】

なお、本動作例では、2行2列のマトリクス状に配置されているメモリセルを有するメモリセルアレイCAについて扱ったが、1行、且つ2列以上のメモリセルアレイ、又は3行以上、且つ3列以上のメモリセルアレイについても同様に、積和演算を行うことができる。この場合の積和演算回路は、複数列のうち1列を、参照データ（電位 V_{PR} ）を保持するメモリセルとすることで、複数列のうち残りの列の数だけ積和演算処理を同時に実行することができる。つまり、メモリセルアレイの列の数を増やすことで、高速な積和演算処理を実現する半導体装置を提供することができる。また、行数を増やすことによって、積和演算における、足し合わせる項数を増やすことができる。行数を増やした場合の、差分電流 ΔI_{α} は、次の式で表すことができる。

【0253】

【数23】

$$\Delta I_{\alpha} = 2k \sum_i V_{W[i]} V_{X[i]} \quad \dots(E18)$$

【0254】

本実施の形態で述べた積和演算回路を、上述した隠れ層として適用する場合、重み係数 $w_{s[k]s[k-1]}^{(k)}$ を第1データとして、同じ列の各メモリセルAMに格納し、第 $(k-1)$ 層の第 $s[k-1]$ ニューロンからの出力信号 $z_{s[k-1]}^{(k-1)}$ を各行の配線CLから印加する電位（第2データ）とすることで、差分電流 ΔI_{α} から第1データと第2データとの積和を求めることができる。加えて、当該積和の値を用いて活性化関数の値を求めることによって、活性化関数の値を信号として第 k 層の第 $s[k]$ ニューロンの出力信号 $z_{s[k]}^{(k)}$ とすることができる。

【0255】

また、本実施の形態で述べた積和演算回路を、上述した出力層として適用する場合、重み係数 $w_{s[L]s[L-1]}^{(L)}$ を第1データとして、同じ列の各メモリセルAMに格納し、第 $(L-1)$ 層の第 $s[L-1]$ ニューロンからの出力信号 $z_{s[L-1]}^{(L-1)}$ を各行の配線CLから印加する電位（第2データ）とすることで、差分電流 ΔI_{α} から、第1データと第2データとの積和を求めることができる。加えて、当該積和の値を用いて活性化関数の値を求めることによって、活性化関数の値を信号として第 L 層の第 $s[L]$ ニューロンの出力信号 $z_{s[L]}^{(L)}$ とすることができる。

【0256】

なお、本実施の形態で述べた入力層は、入力信号を第2層に出力するバッファ回路として機能してもよい。

【0257】

ところで、本実施の形態で述べた演算回路では、メモリセルAMの行数が前層のニューロンの数となる。換言すると、メモリセルAMの行数は、次層の1つのニューロンに入力される前層のニューロンの出力信号の数に対応する。そして、メモリセルAMの列数が、次層のニューロンの数となる。換言すると、メモリセルAMの列数は、次層のニューロンから出力される出力信号の数に対応する。つまり、前層、次層のそれぞれのニューロンの個数によって、演算回路のメモリセルアレイの行数、及び列数が定まるため、構成したいニューラルネットワークに応じて、メモリセルアレイの行数、及び列数を定めて、設計すればよい。

【0258】

また、本実施の形態で述べた演算回路は、状況に応じて、構成を変更してもよい。例えば、図 1 1 に示した演算回路 M A C 1 は、図 1 4 に示す演算回路 M A C 1 に変更してもよい。図 1 4 の演算回路 M A C 1 は、図 1 1 の演算回路 M A C 1 に対して、メモリセルアレイ C A のメモリセル A M [1] 及びメモリセル A M [1] が含まれる列にメモリセル A M B を加えた構成となっている。

【 0 2 5 9 】

メモリセル A M B は、配線 W D と、配線 B L と、配線 W L B と、配線 C L B と、に電氣的に接続されている。また、配線 W L B は、回路 W L D に電氣的に接続され、配線 C L B は、回路 C L D に電氣的に接続されている。

【 0 2 6 0 】

メモリセル A M B において、トランジスタ T r 1 1 の第 1 端子と、トランジスタ T r 1 2 のゲートと、容量 C 1 の第 1 端子と、の接続箇所をノード N M B としている。

【 0 2 6 1 】

配線 W L B は、メモリセル A M B にデータを書き込む際に、回路 W L D からメモリセル A M B に対して、選択信号を供給する配線として機能する。また、配線 C L B は、メモリセル A M B の容量 C 1 の第 2 端子に対して、定電位を印加する配線として機能する。当該定電位としては、接地電位、又は低レベル電位とするのが好ましい。

【 0 2 6 2 】

図 1 4 の演算回路 M A C 1 の動作例としては、例えば、図 1 3 のタイミングチャートにおいて、時刻 T 0 1 から時刻 T 0 5 までの間では、メモリセル A M B のトランジスタ T r 1 2 がオフ状態となるように、ノード N M B に接地電位、低レベル電位、又は配線 V R が与える電位を保持する。そして、図 1 3 のタイミングチャートにおいて、時刻 T 0 5 から時刻 T 0 9 までの間では、メモリセル A M B のトランジスタ T r 1 2 のソースドレイン間に任意の電流 I B I A S が流れるように、ノード N M B に電位 V B I A S を保持する。このとき、I B I A S は次の式で表される。

【 0 2 6 3 】

【数 2 4】

$$I_{BIAS} = k(V_{PR} - V_{BIAS} - V_{th})^2 \quad \dots(E19)$$

【 0 2 6 4 】

このとき、式 (E 1 6) 、式 (E 1 8) は、次の式に書き換えることができる。

【 0 2 6 5 】

【数 2 5】

$$\Delta I_{\alpha} = I_{\alpha,0} - I_{\alpha,3} = 2k(V_{W[1]}V_{X[1]} + V_{W[2]}V_{X[2]}) - I_{BIAS} \quad \dots(E20)$$

【 0 2 6 6 】

【数 2 6】

$$\Delta I_{\alpha} = 2k \sum_i V_{W[i]}V_{X[i]} - I_{BIAS} \quad \dots(E21)$$

【 0 2 6 7 】

式 (E 2 0) 、式 (E 2 1) は、積和演算の結果に対して、更に任意のバイアスを与える演算に相当する。つまり、図 1 4 の演算回路 M A C 1 を用いることによって、式 (D 3) の演算を行うことができる。なお、I B I A S は、ノード N M B の電位でなく、配線 C L B が与える電位によっても決まるため、例えば、図 1 3 のタイミングチャートにおいて、時

10

20

30

40

50

刻 T_{01} から時刻 T_{05} までの間では、メモリセル AMB のトランジスタ Tr_{12} がオフ状態となるように、配線 CLB に接地電位を与え、時刻 T_{05} から時刻 T_{09} までの間に、配線 CLB の電位を接地電位から任意の電位に変化させて、メモリセル AMB のトランジスタ Tr_{12} のソースドレイン間に任意の電流 I_{BIAS} が流れるようにしてもよい。

【0268】

＜演算回路の構成例2＞

次に、上述のニューラルネットワーク200において、演算回路 $MAC1$ とは回路構成が異なる、積和演算及び活性化関数の演算を行う回路の一例について説明する。

【0269】

図15は、演算回路 $MAC2$ の構成例を示している。図15に示す演算回路 $MAC2$ は、各セルに保持した電圧に応じた第1データと、入力された第2データと、の積和演算を行い、かつ当該積和演算の結果を用いて活性化関数の演算を行う回路である。なお、第1データ、及び第2データは、一例としては、アナログデータ、又は多値のデータ（離散的なデータ）とすることができる。

【0270】

演算回路 $MAC2$ は、回路 WCS と、回路 XCS と、回路 WSD と、回路 $SWS1$ と、回路 $SWS2$ と、セルアレイ $CA2$ と、変換回路 $ITRZ[1]$ 乃至変換回路 $ITRZ[m]$ と、を有する。

【0271】

セルアレイ $CA2$ は、セル $IM[1, 1]$ 乃至セル $IM[m, n]$ （ここでの、 m は1以上の整数であり、 n は1以上の整数である。）と、セル $IMref[1]$ 乃至セル $IMref[m]$ と、を有する。セル $IM[1, 1]$ 乃至セル $IM[m, n]$ は、第1データに応じた電流量に相当する電位を保持する機能を有し、セル $IMref[1]$ 乃至セル $IMref[m]$ は、保持した電位と積和演算を行うために必要になる第2データに応じた電圧を信号線 $XCL[1]$ 乃至 $XCL[m]$ に供給する機能を有する。

【0272】

なお、図15のセルアレイ $CA2$ は、セルが行方向に $n+1$ 個、列方向に m 個、マトリクス状に配置されているが、セルアレイ $CA2$ は、セルが行方向に2個以上、列方向に1個以上、マトリクス状に配置されている構成としてもよい。

【0273】

セル $IM[1, 1]$ 乃至セル $IM[m, n]$ は、トランジスタ $F1$ と、トランジスタ $F2$ と、容量 $C5$ と、を有し、セル $IMref[1]$ 乃至セル $IMref[m]$ は、それぞれトランジスタ $F1m$ と、トランジスタ $F2m$ と、容量 $C5m$ と、を有する。

【0274】

なお、トランジスタ $F1$ 及びトランジスタ $F1m$ は、特に断りの無い場合は、オン状態の場合は最終的に線形領域で動作する場合を含むものとする。すなわち、上述したそれぞれのトランジスタのゲート電圧、ソース電圧、及びドレイン電圧は、線形領域で動作する範囲での電圧に適切にバイアスされている場合を含むものとする。ただし、本発明の一態様は、これに限定されない。例えば、トランジスタ $F1$ 、トランジスタ $F1m$ は、オン状態のときは飽和領域で動作してもよく、また、線形領域で動作する場合と飽和領域で動作する場合とが混在してもよい。

【0275】

また、トランジスタ $F2$ 及びトランジスタ $F2m$ は、特に断りの無い場合は、サブスレッショルド領域で動作する場合（つまり、トランジスタ $F2$ 又はトランジスタ $F2m$ において、ゲート−ソース間電圧がしきい値電圧よりも低い場合）を含むものとする。すなわち、上述したそれぞれのトランジスタのゲート電圧、ソース電圧、及びドレイン電圧は、サブスレッショルド領域で動作する範囲での電圧に適切にバイアスされている場合を含むものとする。このため、トランジスタ $F2$ 及びトランジスタ $F2m$ は、ソースドレイン間にオフ電流が流れるように動作する場合を含む。

【0276】

10

20

30

40

50

また、トランジスタF 1、及び／又はトランジスタF 1 mは、トランジスタTr 1 1と同様に、OSトランジスタであることが好ましい。加えて、トランジスタF 1、及び／又はトランジスタF 1 mのチャンネル形成領域は、インジウム、元素M（元素Mとしては、例えば、アルミニウム、ガリウム、イットリウム、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、又はマグネシウム等から選ばれた一種、又は複数種等が挙げられる。）、亜鉛の少なくとも一を含む酸化物であることがより好ましい。トランジスタTr 1 1は、特に以降の実施の形態に記載するトランジスタの構造であることが更に好ましい。

【0277】

トランジスタF 1、及び／又はトランジスタF 1 mとして、OSトランジスタを用いることにより、トランジスタF 1、及び／又はトランジスタF 1 mのリーク電流を抑えることができるため、計算精度の高い積和演算回路を実現できる場合がある。また、トランジスタF 1、及び／又はトランジスタF 1 mとして、OSトランジスタを用いることにより、トランジスタF 1、及び／又はトランジスタF 1 mが非導通状態における、保持ノードから書き込みワード線へのリーク電流を非常に小さくすることができる。つまり、保持ノードの電位のリフレッシュ動作を少なくすることができるため、積和演算回路の消費電力を低減することができる。

【0278】

また、トランジスタF 2、及び／又はトランジスタF 2 mに対しても、OSトランジスタを用いることにより、サブスレッショルド領域の広い電流範囲で動作させることができるため、消費電流を低減することができる。また、トランジスタF 2、及び／又はトランジスタF 2 mに対しても、OSトランジスタを用いることで、トランジスタTr 1 1と同時に作製することができるため、積和演算回路の作製工程を短縮することができる場合がある。また、トランジスタF 2、及び／又はトランジスタF 2 mは、チャンネル形成領域にシリコンを含むトランジスタとしてもよい。シリコンとしては、例えば、非晶質シリコン、微結晶シリコン、多結晶シリコン、単結晶シリコン、水素化アモルファスシリコン等を用いることができる。

【0279】

セルIM [1, 1] 乃至セルIM [m, n] のそれぞれにおいて、トランジスタF 1の第1端子は、トランジスタF 2のゲートと電氣的に接続されている。トランジスタF 2の第1端子は、配線VEと電氣的に接続されている。容量C 5の第1端子は、トランジスタF 2のゲートと電氣的に接続されている。

【0280】

ところで、本発明の一態様は、トランジスタのバックゲートの接続構成に依らない。図15において、トランジスタF 1、トランジスタF 2には、バックゲートが図示され、当該を有している構成を示しているが、バックゲートの接続構成については図示されていないが、当該バックゲートの電氣的な接続先は、設計の段階で決めることができる。例えば、バックゲートを有するトランジスタにおいて、そのトランジスタのオン電流を高めるために、ゲートとバックゲートとを電氣的に接続してもよい。つまり、例えば、トランジスタM 2のゲートとバックゲートとを電氣的に接続してもよい。また、例えば、バックゲートを有するトランジスタにおいて、そのトランジスタのしきい値電圧を変動させるため、又は、そのトランジスタのオフ電流を小さくするために、外部回路等と電氣的に接続されている配線を設けて、当該外部回路等によってトランジスタのバックゲートに電位を与えてもよい。なお、これについては、トランジスタF 1 m、トランジスタF 2 m、後述するトランジスタF 3 [1] 乃至トランジスタF 3 [n]、トランジスタF 4 [1] 乃至トランジスタF 4 [n]、更に、図15だけでなく明細書の他の箇所に記載されているトランジスタ、又は他の図面に図示されているトランジスタについても同様である。

【0281】

また、本発明の一態様の半導体装置は、当該半導体装置に含まれるトランジスタの構造に

10

20

30

40

50

依らない。例えば、図 15 に図示しているトランジスタ F 1、トランジスタ F 2 は、図 15 に示すとおり、バックゲートを有さないような構成、つまり、シングルゲート構造のトランジスタとしてもよい。また、一部のトランジスタはバックゲートを有している構成であり、別の一部のトランジスタは、バックゲートを有さない構成であってもよい。なお、これについては、トランジスタ F 1 m、トランジスタ F 2 m、後述するトランジスタ F 3 [1] 乃至トランジスタ F 3 [n]、トランジスタ F 4 [1] 乃至トランジスタ F 4 [n]、更に、図 15 に示す回路図だけでなく、明細書の他の箇所に記載されているトランジスタ、又は他の図面に図示されているトランジスタについても同様である。

【0282】

配線 V E は、セル I M [1, 1]、セル I M [m, 1]、セル I M [1, n]、及びセル I M [m, n] のそれぞれのトランジスタ F 2 の第 1 端子ー第 2 端子間に電流を流すための配線であって、また、セル I M r e f [1]、及びセル I M r e f [m] のそれぞれのトランジスタ F 2 の第 1 端子ー第 2 端子間に電流を流すための配線として機能する。一例としては、配線 V E は、定電圧を供給する配線として機能する。当該定電圧としては、例えば、低レベル電位、接地電位等とすることができる。

【0283】

セル I M [1, 1] において、トランジスタ F 1 の第 2 端子は、配線 W C L [1] と電氣的に接続され、トランジスタ F 1 のゲートは、配線 W S L [1] と電氣的に接続されている。トランジスタ F 2 の第 2 端子は、配線 W C L [1] と電氣的に接続され、容量 C 5 の第 2 端子は、配線 X C L [1] と電氣的に接続されている。なお、図 15 では、セル I M [1, 1] において、トランジスタ F 1 の第 1 端子と、トランジスタ F 2 のゲートと、容量 C 5 の第 1 端子と、の接続箇所をノード N N [1, 1] としている。

【0284】

セル I M [m, 1] において、トランジスタ F 1 の第 2 端子は、配線 W C L [1] と電氣的に接続され、トランジスタ F 1 のゲートは、配線 W S L [m] と電氣的に接続されている。トランジスタ F 2 の第 2 端子は、配線 W C L [1] と電氣的に接続され、容量 C 5 の第 2 端子は、配線 X C L [m] と電氣的に接続されている。なお、図 15 では、セル I M [m, 1] において、トランジスタ F 1 の第 1 端子と、トランジスタ F 2 のゲートと、容量 C 5 の第 1 端子と、の接続箇所をノード N N [m, 1] としている。

【0285】

セル I M [1, n] において、トランジスタ F 1 の第 2 端子は、配線 W C L [n] と電氣的に接続され、トランジスタ F 1 のゲートは、配線 W S L [1] と電氣的に接続されている。トランジスタ F 2 の第 2 端子は、配線 W C L [n] と電氣的に接続され、容量 C 5 の第 2 端子は、配線 X C L [1] と電氣的に接続されている。なお、図 15 では、セル I M [1, n] において、トランジスタ F 1 の第 1 端子と、トランジスタ F 2 のゲートと、容量 C 5 の第 1 端子と、の接続箇所をノード N N [1, n] としている。

【0286】

セル I M [m, n] において、トランジスタ F 1 の第 2 端子は、配線 W C L [n] と電氣的に接続され、トランジスタ F 1 のゲートは、配線 W S L [m] と電氣的に接続されている。トランジスタ F 2 の第 2 端子は、配線 W C L [n] と電氣的に接続され、容量 C 5 の第 2 端子は、配線 X C L [m] と電氣的に接続されている。なお、図 15 では、セル I M [m, n] において、トランジスタ F 1 の第 1 端子と、トランジスタ F 2 のゲートと、容量 C 5 の第 1 端子と、の接続箇所をノード N N [m, n] としている。

【0287】

セル I M r e f [1] において、トランジスタ F 1 m の第 2 端子は、配線 X C L [1] と電氣的に接続され、トランジスタ F 1 m のゲートは、配線 W S L [1] と電氣的に接続されている。トランジスタ F 2 m の第 2 端子は、配線 X C L [1] と電氣的に接続され、容量 C 5 の第 2 端子は、配線 X C L [1] と電氣的に接続されている。なお、図 15 では、セル I M r e f [1] において、トランジスタ F 1 m の第 1 端子と、トランジスタ F 2 m のゲートと、容量 C 5 の第 1 端子と、の接続箇所をノード N N r e f [1] としている。

【0288】

セルIMref[m]において、トランジスタF1mの第2端子は、配線XCL[m]と電氣的に接続され、トランジスタF1mのゲートは、配線WSL[m]と電氣的に接続されている。トランジスタF2mの第2端子は、配線XCL[m]と電氣的に接続され、容量C5の第2端子は、配線XCL[m]と電氣的に接続されている。なお、図15では、セルIMref[m]において、トランジスタF1mの第1端子と、トランジスタF2mのゲートと、容量C5の第1端子と、の接続箇所をノードNNref[m]としている。

【0289】

上述したノードNN[1,1]、ノードNN[m,1]、ノードNN[1,n]、ノードNN[m,n]、ノードNNref[1]、及びノードNMref[m]は、それぞれのセルの保持ノードとして機能する。

10

【0290】

回路SWS1は、トランジスタF3[1]乃至トランジスタF3[n]を有する。トランジスタF3[1]の第1端子は、配線WCL[1]に電氣的に接続され、トランジスタF3[1]の第2端子は、回路WCSに電氣的に接続され、トランジスタF3[1]のゲートは、配線SWL1に電氣的に接続されている。トランジスタF3[m]の第1端子は、配線WCL[m]に電氣的に接続され、トランジスタF3[m]の第2端子は、回路WCSに電氣的に接続され、トランジスタF3[m]のゲートは、配線SWL1に電氣的に接続されている。

【0291】

トランジスタF3[1]乃至トランジスタF3[n]は、トランジスタTr11と同様に、OSトランジスタであることが好ましい。加えて、トランジスタF1、及び／又はトランジスタF1mのチャネル形成領域は、インジウム、元素M（元素Mとしては、例えば、アルミニウム、ガリウム、イットリウム、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、又はマグネシウム等から選ばれた一種、又は複数種等が挙げられる。）、亜鉛の少なくとも一を含む酸化物であることがより好ましい。トランジスタF4[1]乃至トランジスタF4[n]は、特に以降の実施の形態に記載するトランジスタの構造であることが更に好ましい。

20

【0292】

回路SWS1は、回路WCSと、配線WCL[1]乃至配線WCL[n]のそれぞれと、の間の導通状態、非導通状態の切り替えを行う回路として機能する。

30

【0293】

回路SWS2は、トランジスタF4[1]乃至トランジスタF4[n]を有する。トランジスタF4[1]の第1端子は、配線WCL[1]に電氣的に接続され、トランジスタF4[1]の第2端子は、変換回路ITRZ[1]に電氣的に接続され、トランジスタF4[1]のゲートは、配線SWL2に電氣的に接続されている。トランジスタF4[m]の第1端子は、配線WCL[m]に電氣的に接続され、トランジスタF4[m]の第2端子は、変換回路ITRZ[1]に電氣的に接続され、トランジスタF4[m]のゲートは、配線SWL2に電氣的に接続されている。

40

【0294】

トランジスタF4[1]乃至トランジスタF4[n]は、トランジスタTr11と同様に、OSトランジスタであることが好ましい。加えて、トランジスタF1、及び／又はトランジスタF1mのチャネル形成領域は、インジウム、元素M（元素Mとしては、例えば、アルミニウム、ガリウム、イットリウム、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、又はマグネシウム等から選ばれた一種、又は複数種等が挙げられる。）、亜鉛の少なくとも一を含む酸化物であることがより好ましい。トランジスタF4[1]乃至トランジスタF4[n]は、特に以降の実施の形態に記載するトランジスタの構造であることが更に好ましい。

50

【0295】

回路SWS2は、配線WCL[1]と回路ITRZ[1]との間、及び配線WCL[n]と回路ITRZ[n]との間、の導通状態、非導通状態の切り替えを行う回路として機能する。

【0296】

回路WCSは、セルアレイCA2が有するそれぞれのセルに格納するためのデータを送信する機能を有する。

【0297】

回路XCSは、配線XCL[1]乃至配線XCL[m]に電氣的に接続されている。回路XCSは、セルアレイCA2が有するセルIMref[1]乃至セルIMref[m]のそれぞれに対して、参照データに応じた電流、又は第2データに応じた電流を流す機能を有する。

10

【0298】

回路WSDは、配線WSL[1]乃至配線WSL[m]に電氣的に接続されている。回路WSDは、セルアレイCA2が有するセルに第1データを書き込む際に、配線WSL[1]乃至配線WSL[m]に所定の信号を送信することによって、データの書き込み先となるメモリセルを選択する機能を有する。

【0299】

また、回路WSDは、配線SWL1と、配線SWL2と、に電氣的に接続されている。回路WSDは、配線SWL1に所定の信号を送信することによって、回路WCSとセルアレイCA2との間を導通状態、非導通状態にする機能と、配線SWL2に所定の信号を送信することによって、変換回路ITRZ[1]乃至変換回路ITRZ[m]とセルアレイCA2との間を導通状態、非導通状態にする機能と、を有する。

20

【0300】

変換回路ITRZ[1]乃至変換回路ITRZ[m]のそれぞれは、入力端子と、出力端子と、を有する。変換回路ITRZ[1]乃至変換回路ITRZ[m]のそれぞれは、入力端子に入力された電流に応じた電圧に変換して、出力端子から出力する機能を有する。変換回路ITRZ[1]乃至変換回路ITRZ[m]のそれぞれは、一例として、回路OFSTを適用することができる。また、変換回路ITRZ[1]乃至変換回路ITRZ[m]のそれぞれは、活性化関数回路ACTVを有してもよく、変換された電圧を用いて、活性化関数の演算を行って、当該演算の結果を出力端子に出力してもよい。

30

【0301】

<演算回路の動作例2>

次に、演算回路MAC2の動作例について説明する。

【0302】

図16に演算回路MAC2の動作例のタイミングチャートを示す。図16のタイミングチャートは、時刻T11から時刻T21までの間、及びそれらの近傍における、配線SWL1、配線SWL2、配線WSL[i] (iは1以上m-1以下の整数とする。)、配線WSL[i+1]、配線XCL[i]、配線XCL[i+1]、ノードNN[i, j]、ノードNN[i+1, j]、ノードNNref[i]、ノードNN[i+1]の電位の変動を示している。更に、図16のタイミングチャートには、セルIM[i, j]に含まれているトランジスタF2の第1端子-第2端子間に流れる電流量IF2[i, j]と、セルIMref[i]に含まれているトランジスタF2mの第1端子-第2端子間に流れる電流量IF2m[i]と、セルIM[i+1, j]に含まれているトランジスタF2の第1端子-第2端子間に流れる電流量IF2[i+1, j]と、セルIMref[i+1]に含まれているトランジスタF2mの第1端子-第2端子間に流れる電流量IF2m[i+1]と、のそれぞれの変動についても示している。

40

【0303】

なお、本動作例において、配線VEの電位は接地電位GNDとする。また、時刻T11より前において、セルIM[i, j]、セルIM[i+1, j]に含まれているそれぞれの

50

トランジスタF1、セルIMref[i]、セルIMref[i+1]に含まれているトランジスタF1mをオン状態にして、ノードNN[i, j]、ノードNN[i+1, j]、ノードNNref[i]、ノードNN[i+1]のそれぞれの電位を、接地電位GNDにしているものとする。

【0304】

また、初期設定として、セルIM[1, 1]乃至セルIM[m, n]に含まれているそれぞれのトランジスタF1、セルIMref[1]乃至セルIMref[m]に含まれているトランジスタF1mをオン状態にして、ノードNN[1, 1]乃至ノードNN[m, n]、ノードNNref[1]乃至ノードNNref[m]の電位を接地電位GNDとする。

【0305】

<<時刻T11から時刻T12まで>>

時刻T11から時刻T12までの間において、配線SWL1に高レベル電位（図16ではHighと表記している。）が印加され、配線SWL2に低レベル電位（図16ではLowと表記している。）が印加されている。これにより、トランジスタF3[1]乃至トランジスタF3[n]のそれぞれのゲートに高レベル電位が印加されて、トランジスタF3[1]乃至トランジスタF3[n]のそれぞれがオン状態となり、トランジスタF4[1]乃至トランジスタF4[n]のそれぞれのゲートに低レベル電位が印加されて、トランジスタF4[1]乃至トランジスタF4[n]のそれぞれがオフ状態となる。

【0306】

また、時刻T11から時刻T12の間では、配線WSL[i]、配線WSL[i+1]には低レベル電位が印加されている。これにより、セルアレイCA2のi行目のセルIM[i, 1]乃至セルIM[i, n]に含まれているトランジスタF1のゲートと、セルIMref[i]に含まれているトランジスタF1mのゲートと、に低レベル電位が印加されて、それぞれのトランジスタF1とトランジスタF1mとがオフ状態となる。また、セルアレイCA2のi+1行目のセルIM[i+1, 1]乃至セルIM[i+1, n]に含まれているトランジスタF1のゲートと、セルIMref[i+1]に含まれているトランジスタF1mのゲートと、に低レベル電位が印加されて、それぞれのトランジスタF1とトランジスタF1mとがオフ状態となる。

【0307】

また、時刻T11から時刻T12の間では、配線XCL[i]、配線XCL[i+1]には接地電位GNDが印加されている。

【0308】

また、時刻T11から時刻T12の間では、配線WCL[j]、配線XCL[i]、配線XCL[i+1]には電流が流れない。そのため、IF2[i, j]、IF2m[i]、IF2[i+1, j]、IF2m[i+1]は0となる。

【0309】

<<時刻T12から時刻T13まで>>

時刻T12から時刻T13までの間において、配線WSL[i]に高レベル電位が印加される。これにより、セルアレイCA2のi行目のセルIM[i, 1]乃至セルIM[i, n]に含まれているトランジスタF1のゲートと、セルIMref[i]に含まれているトランジスタF1mのゲートと、に高レベル電位が印加されて、それぞれのトランジスタF1とトランジスタF1mとがオン状態となる。また、時刻T12から時刻T13までの間において、配線WSL[i]を除く配線WSL[1]乃至配線WSL[m]には低レベル電位が印加されており、セルアレイCA2のi行目以外のセルIM[1, 1]乃至セルIM[m, n]に含まれているトランジスタF1と、i行目以外のセルIMref[1]乃至セルIMref[m]に含まれているトランジスタF1mは、オフ状態になっているものとする。

【0310】

更に、配線XCL[1]乃至配線XCL[m]には低レベル電位が印加される。

【0311】

10

20

30

40

50

<<時刻 T 1 3 から時刻 T 1 4 まで>>

時刻 T 1 3 から時刻 T 1 4 までの間において、回路 W C S から、トランジスタ F 3 [j] を介してセルアレイ C A 2 に電流量として $I_0 [i, j]$ の電流が流れる。このとき、セルアレイ C A 2 の i 行目のセル I M [i, j] に含まれているトランジスタ F 1 の第 1 端子と配線 W C L [j] との間が導通状態となっており、かつセルアレイ C A 2 の i 行目以外のセル I M [1, j] 乃至セル I M [m, j] に含まれているトランジスタ F 1 の第 1 端子と配線 W C L [j] との間が非導通状態となっているため、配線 W C L [j] からセル I M [i, j] に電流量 $I_0 [i, j]$ の電流が流れる。

【 0 3 1 2 】

ところで、セル I M [i, j] に含まれているトランジスタ F 1 がオン状態になることによって、セル I M [i, j] に含まれているトランジスタ F 2 はダイオード接続の構成となる。そのため、配線 W C L [j] からセル I M [i, j] に電流が流れるとき、トランジスタ F 2 のゲートと、トランジスタ F 2 の第 2 端子と、のそれぞれの電位はほぼ等しくなる。当該電位は、配線 W C L [j] からセル I M [i, j] に流れる電流量とトランジスタ F 2 の第 1 端子の電位（ここでは G N D）等によって定められる。本動作例では、配線 W C L [j] からセル I M [i, j] に電流量 $I_0 [i, j]$ の電流が流れることによって、トランジスタ F 2 のゲート（ノード N N [i, j]）の電位は、 $V_g [i, j]$ になるものとする。つまり、トランジスタ F 2 において、ゲートーソース間電圧が $V_g [i, j] - G N D$ となり、トランジスタ F 2 の第 1 端子ー第 2 端子間には、電流量 $I_0 [i, j]$ の電流が流れる。

【 0 3 1 3 】

ここで、トランジスタ F 2 のしきい値電圧を V_{th} としたとき、トランジスタ F 2 がサブスレッショルド領域で動作する場合の電流量 $I_0 [i, j]$ は次の式の通りに記述できる。

【 0 3 1 4 】

【数 2 7】

$$I_0 [i, j] = I_a \exp \{ K (V_g [i, j] - V_{th} [i, j]) \} \quad \cdots (F1)$$

【 0 3 1 5 】

なお、 I_a は V_g が $V_{th} [i, j]$ であるときのドレイン電流であって、 K は温度、デバイス構造等によって定められる補正係数である。

【 0 3 1 6 】

また、時刻 T 1 3 から時刻 T 1 4 までの間において、回路 X C S から、配線 X C L [i] に電流量として I_{ref0} の電流が流れる。このとき、セル I M r e f [i] に含まれているトランジスタ F 1 m の第 1 端子と配線 X C L [i] との間が導通状態となるため、配線 X C L [i] からセル I M r e f [i] に電流量 I_{ref0} の電流が流れる。

【 0 3 1 7 】

セル I M [i, j] と同様に、セル I M r e f [i] に含まれているトランジスタ F 1 m がオン状態になることによって、セル I M r e f [i, j] に含まれているトランジスタ F 2 m はダイオード接続の構成となる。そのため、配線 X C L [i] からセル I M r e f [i] に電流が流れるとき、トランジスタ F 2 m のゲートと、トランジスタ F 2 m の第 2 端子と、のそれぞれの電位はほぼ等しくなる。当該電位は、配線 X C L [i] からセル I M r e f [i] に流れる電流量とトランジスタ F 2 m の第 1 端子の電位（ここでは G N D）等によって定められる。本動作例では、配線 X C L [i] からセル I M r e f [i] に電流量 I_{ref0} の電流が流れることによって、トランジスタ F 2 のゲート（ノード N N r e f [i]）は $V_{gm} [i]$ になるものとし、また、このときの配線 X C L [i] の電位も $V_{gm} [i]$ とする。つまり、トランジスタ F 2 m において、ゲートーソース間電圧が $V_{gm} [i] - G N D$ となり、トランジスタ F 2 m の第 1 端子ー第 2 端子間には、電流量 I_{ref0} の電流が流れる。

【0318】

ここで、トランジスタF2mのしきい値電圧を $V_{thm}[i]$ としたとき、トランジスタF2mがサブスレッショルド領域で動作する場合の電流量 I_{ref0} は次の式の通りに記述できる。なお、補正係数Kは、セルIM[i, j]に含まれているトランジスタF2と同一とする。例えば、トランジスタのデバイス構造、サイズ（チャネル長、チャネル幅）を同一とする。また、製造上のばらつきにより、各トランジスタの補正係数Kはばらつくが、後述の議論が実用上十分な精度で成り立つ程度にばらつきが抑えられているものとする。

【0319】

【数28】

$$I_{ref0} = I_a \exp\{K(V_{gm}[i] - V_{thm}[i])\} \quad \dots(F2)$$

10

【0320】

ここで、第1データである重み係数 $w[i, j]$ を次の通りに定義する。

【0321】

【数29】

$$w[i, j] = \exp\{K(V_g[i, j] - V_{th}[i, j] - V_{gm}[i] + V_{thm}[i])\} \quad \dots(F3)$$

20

【0322】

したがって、式(F1)は、次の式に書き換えることができる。

【0323】

【数30】

$$I_0[i, j] = w[i, j] I_{ref0} \quad \dots(F4)$$

30

【0324】

<<時刻T14から時刻T15まで>>

時刻T14から時刻T15までの間において、配線WSL[i]に低レベル電位が印加される。これにより、セルアレイCA2のi行目のセルIM[i, 1]乃至セルIM[i, n]に含まれているトランジスタF1のゲートと、セルIMref[i]に含まれているトランジスタF1mのゲートと、に低レベル電位が印加されて、それぞれのトランジスタF1とトランジスタF1mとがオフ状態となる。

【0325】

セルIM[i, j]に含まれているトランジスタF1がオフ状態になることによって、容量C5には、トランジスタF2のゲート（ノードNN[i, j]）の電位と、配線XCL[i]の電位と、の差である $V_g[i, j] - V_{gm}[i]$ が保持される。また、セルIMref[i]に含まれているトランジスタF1がオフ状態になることによって、容量C5mには、トランジスタF2mのゲート（ノードNNref[i]）の電位と、配線XCL[i]の電位と、の差である0が保持される。なお、容量C5mが保持する電位は、時刻T13から時刻T14の動作においてトランジスタF1m、トランジスタF2mのそれぞれのトランジスタ特性等に応じて0ではない電位（ここでは Δ とする。）となる場合もある。しかし、ノードNNref[i]の電位は、配線XCL[i]の電位に Δ を加えた電位になると考えることで、以下の議論が成り立つ。

40

【0326】

<<時刻T15から時刻T16まで>>

50

時刻 T_{15} から時刻 T_{16} までの間において、配線 $XCL[i]$ に GND が印加される。このため、 i 行目のセル $IM[i, 1]$ 乃至セル $IM[i, n]$ のそれぞれに含まれている容量 $C5$ による容量結合によってノード $NN[i, 1]$ 乃至ノード $NN[i, n]$ の電位が変化し、セル $IMref[i]$ に含まれている容量 $C5$ による容量結合によってノード $NNref[i]$ の電位が変化する。

【0327】

ノード $NN[i, 1]$ 乃至ノード $NN[i, n]$ の電位の変化量は、配線 $XCL[i]$ の電位の変化量に、セルアレイ $CA2$ に含まれているそれぞれのセル $IM[i, 1]$ 乃至セル $IM[i, n]$ の構成によって決まる容量結合係数を乗じた電位となる。該容量結合係数は、容量 $C5$ の容量、トランジスタ $F2$ のゲート容量、寄生容量等によって算出される。セル $IM[i, 1]$ 乃至セル $IM[i, n]$ のそれぞれにおいて、容量 $C5$ による容量結合係数を p としたとき、セル $IM[i, j]$ のノード $NN[i, j]$ の電位は、時刻 T_{14} から時刻 T_{15} までの期間における電位から、 $p(V_{gm}[i] - GND)$ 低下する。

【0328】

同様に、配線 $XCL[i]$ の電位が変化することによって、セル $IMref[i]$ に含まれている容量 $C5m$ による容量結合によって、ノード $NNref[i]$ の電位も変化する。容量 $C5m$ による容量結合係数を、容量 $C5$ と同様に p としたとき、セル $IMref[i]$ のノード $NNref[i]$ の電位は、時刻 T_{14} から時刻 T_{15} までの期間における電位から、 $p(V_{gm}[i] - GND)$ 低下する。

【0329】

これによって、セル $IM[i, j]$ のノード $NN[i, j]$ の電位が低下するため、トランジスタ $F2$ はオフ状態となり、同様に、セル $IMref[i]$ のノード $NNref[i]$ の電位が低下するため、トランジスタ $F2m$ もオフ状態となる。そのため、時刻 T_{15} から時刻 T_{16} までの間において、 $IF2[i, j]$ 、 $IF2m[i]$ のそれぞれは 0 となる。

【0330】

<<時刻 T_{16} から時刻 T_{17} まで>>

時刻 T_{16} から時刻 T_{17} までの間において、配線 $WSL[i+1]$ に高レベル電位が印加される。これにより、セルアレイ $CA2$ の $i+1$ 行目のセル $IM[i+1, 1]$ 乃至セル $IM[i+1, n]$ に含まれているトランジスタ $F1$ のゲートと、セル $IMref[i+1]$ に含まれているトランジスタ $F1m$ のゲートと、に高レベル電位が印加されて、それぞれのトランジスタ $F1$ とトランジスタ $F1m$ とがオン状態となる。また、時刻 T_{16} から時刻 T_{17} までの間において、配線 $WSL[i+1]$ を除く配線 $WSL[1]$ 乃至配線 $WSL[m]$ には低レベル電位が印加されており、セルアレイ $CA2$ の $i+1$ 行目以外のセル $IM[1, 1]$ 乃至セル $IM[m, n]$ に含まれているトランジスタ $F1$ と、 $i+1$ 行目以外のセル $IMref[1]$ 乃至セル $IMref[m]$ に含まれているトランジスタ $F1m$ は、オフ状態になっているものとする。

【0331】

更に、配線 $XCL[1]$ 乃至配線 $XCL[m]$ には低レベル電位が印加される。

【0332】

<<時刻 T_{17} から時刻 T_{18} まで>>

時刻 T_{17} から時刻 T_{18} までの間において、回路 WCS から、トランジスタ $F3[j]$ を介してセルアレイ $CA2$ に電流量として $I_0[i+1, j]$ の電流が流れる。このとき、セルアレイ $CA2$ の $i+1$ 行目のセル $IM[i+1, j]$ に含まれているトランジスタ $F1$ の第 1 端子と配線 $WCL[j]$ との間が導通状態となっており、かつセルアレイ $CA2$ の $i+1$ 行目以外のセル $IM[1, j]$ 乃至セル $IM[m, j]$ に含まれているトランジスタ $F1$ の第 1 端子と配線 $WCL[j]$ との間が非導通状態となっているため、配線 $WCL[j]$ からセル $IM[i+1, j]$ に電流量 $I_0[i+1, j]$ の電流が流れる。

【0333】

ところで、セル $IM[i+1, j]$ に含まれているトランジスタ $F1$ がオン状態になるこ

10

20

30

40

50

とによって、セルIM [i + 1, j] に含まれているトランジスタF 2はダイオード接続の構成となる。そのため、配線WCL [j] からセルIM [i + 1, j] に電流が流れるとき、トランジスタF 2のゲートと、トランジスタF 2の第2端子と、のそれぞれの電位はほぼ等しくなる。当該電位は、配線WCL [j] からセルIM [i + 1, j] に流れる電流量とトランジスタF 2の第1端子の電位（ここではGND）等によって定められる。本動作例では、配線WCL [j] からセルIM [i + 1, j] に電流量I₀ [i + 1, j] の電流が流れることによって、トランジスタF 2のゲート（ノードNN [i + 1, j]）の電位は、V_g [i + 1, j] になるものとする。つまり、トランジスタF 2において、ゲートソース間電圧がV_g [i + 1, j] - GNDとなり、トランジスタF 2の第1端子-第2端子間には、電流量I₀ [i + 1, j] の電流が流れる。

10

【0334】

ここで、トランジスタF 2のしきい値電圧をV_{th} [i + 1, j] としたとき、トランジスタF 2がサブスレッショルド領域で動作する場合の電流量I₀ [i + 1, j] は次の式の通りに記述できる。なお、補正係数は、セルIM [i, j] に含まれているトランジスタF 2、セルIMref [i] に含まれているトランジスタF 2mと同様のKとしている。

【0335】

【数31】

$$I_0[i+1,j] = I_a \exp\{K(V_g[i+1,j] - V_{th}[i+1,j])\} \quad \cdots(F5)$$

20

【0336】

また、時刻T17から時刻T18までの間において、回路XCSから、配線XCL [i + 1] に電流量としてI_{ref0}の電流が流れる。このとき、セルIMref [i + 1] に含まれているトランジスタF 1mの第1端子と配線XCL [i + 1] との間が導通状態となるため、配線XCL [i + 1] からセルIMref [i + 1] に電流量I_{ref0}の電流が流れる。

【0337】

セルIM [i + 1, j] と同様に、セルIMref [i + 1] に含まれているトランジスタF 1mがオン状態になることによって、セルIMref [i + 1, j] に含まれているトランジスタF 2mはダイオード接続の構成となる。そのため、配線XCL [i + 1] からセルIMref [i + 1] に電流が流れるとき、トランジスタF 2mのゲートと、トランジスタF 2mの第2端子と、のそれぞれの電位はほぼ等しくなる。当該電位は、配線XCL [i + 1] からセルIMref [i + 1] に流れる電流量とトランジスタF 2mの第1端子の電位（ここではGND）等によって定められる。本動作例では、配線XCL [i + 1] からセルIMref [i + 1] に電流量I_{ref0}の電流が流れることによって、トランジスタF 2のゲート（ノードNNref [i + 1]）はV_{gm} [i + 1] になるものとし、また、このときの配線XCL [i + 1] の電位もV_{gm} [i + 1] とする。つまり、トランジスタF 2mにおいて、ゲートソース間電圧がV_{gm} [i + 1] - GNDとなり、トランジスタF 2mの第1端子-第2端子間には、電流量I_{ref0}の電流が流れる。

30

40

【0338】

ここで、トランジスタF 2mのしきい値電圧をV_{thm} [i + 1, j] としたとき、トランジスタF 2mがサブスレッショルド領域で動作する場合の電流量I_{ref0}は次の式の通りに記述できる。なお、補正係数Kは、セルIM [i + 1, j] に含まれているトランジスタF 2と同一とする。

【0339】

【数32】

50

$$I_{\text{ref0}} = I_a \exp\{K(V_{\text{gm}}[i+1] - V_{\text{thm}}[i+1])\} \quad \dots(\text{F6})$$

【0340】

ここで、第1データである重み係数 $w[i+1, j]$ を次の通りに定義する。

【0341】

【数33】

$$w[i+1, j] = \exp\{K(V_g[i+1, j] - V_{\text{th}}[i+1, j] - V_{\text{gm}}[i+1] + V_{\text{thm}}[i+1])\} \quad \dots(\text{F7})$$

10

【0342】

したがって、式(F5)は、次の式に書き換えることができる。

【0343】

【数34】

$$I_0[i+1, j] = w[i+1, j] I_{\text{ref0}} \quad \dots(\text{F8})$$

20

【0344】

<<時刻T18から時刻T19まで>>

時刻T18から時刻T19までの間において、配線WSL[i+1]に低レベル電位が印加される。これにより、セルアレイCA2のi行目のセルIM[i+1, 1]乃至セルIM[i+1, n]に含まれているトランジスタF1のゲートと、セルIMref[i+1]に含まれているトランジスタF1mのゲートと、に低レベル電位が印加されて、それぞれのトランジスタF1とトランジスタF1mとがオフ状態となる。

【0345】

セルIM[i+1, j]に含まれているトランジスタF1がオフ状態になることによって、容量C5には、トランジスタF2のゲート(ノードNN[i+1, j])の電位と、配線XCL[i+1]の電位と、の差である $V_g[i+1, j] - V_{\text{gm}}[i+1]$ が保持される。また、セルIMref[i+1]に含まれているトランジスタF1がオフ状態になることによって、容量C5mには、トランジスタF2mのゲート(ノードNNref[i+1])の電位と、配線XCL[i+1]の電位と、の差である0が保持される。なお、C5mが保持する電位は、時刻T18から時刻T19の動作においてF1mやF2mのトランジスタ特性等に応じて0ではない電位(ここでは、 Δ とする。)となる場合もある。しかし、ノードNNref[i]の電位は、配線XCL[i]の電位に Δ を加えた電位になると考えることで、以下の議論が成り立つ。

30

【0346】

<<時刻T19から時刻T20まで>>

時刻T19から時刻T20までの間において、配線XCL[i+1]にGNDが印加される。このため、i+1行目のセルIM[i+1, 1]乃至セルIM[i+1, n]のそれぞれに含まれている容量C5による容量結合によってノードNN[i, 1]乃至ノードNN[i+1, n]の電位が変化し、セルIMref[i+1]に含まれている容量C5による容量結合によってノードNNref[i+1]の電位が変化する。

40

【0347】

ノードNN[i+1, 1]乃至ノードNN[i+1, n]の電位の変化量は、配線XCL[i+1]の電位の変化量に、セルアレイCA2に含まれているそれぞれのセルIM[i

50

+1, 1] 乃至セルIM [i+1, n] の構成によって決まる容量結合係数を乗じた電位となる。該容量結合係数は、容量C5の容量、トランジスタF2のゲート容量、寄生容量等によって算出される。セルIM [i+1, 1] 乃至セルIM [i+1, n] のそれぞれにおいて、容量C5による容量結合係数を、セルIM [i, 1] 乃至セルIM [i, n] のそれぞれにおける容量C5による容量結合係数と同様の、pとしたとき、セルIM [i+1, j] のノードNN [i+1, j] の電位は、時刻T18から時刻T19までの間の時点における電位から、 $p(V_{gm}[i+1] - GND)$ 低下する。

【0348】

同様に、配線XCL [i+1] の電位が変化することによって、セルIMref [i+1] に含まれている容量C5mによる容量結合によって、ノードNNref [i+1] の電位も変化する。容量C5mによる容量結合係数を、容量C5と同様にpとしたとき、セルIMref [i+1] のノードNNref [i+1] の電位は、時刻T18から時刻T19までの間の時点における電位から、 $p(V_{gm}[i+1] - GND)$ 低下する。

10

【0349】

これによって、セルIM [i+1, j] のノードNN [i+1, j] の電位が低下するため、トランジスタF2はオフ状態となり、同様に、セルIMref [i+1] のノードNNref [i] の電位が低下するため、トランジスタF2mもオフ状態となる。そのため、時刻T19から時刻T20までの間において、 $I_{F2}[i+1, j]$ 、 $I_{F2m}[i+1]$ のそれぞれは0となる。

【0350】

20

<<時刻T20から時刻T21まで>>

時刻T20から時刻T21までの間において、配線SWL1に低レベル電位が印加されている。これにより、トランジスタF3 [1] 乃至トランジスタF3 [n] のそれぞれのゲートに低レベル電位が印加されて、トランジスタF3 [1] 乃至トランジスタF3 [n] のそれぞれがオフ状態となる。

【0351】

<<時刻T21から時刻T22まで>>

時刻T21から時刻T22までの間において、配線SWL2に高レベル電位が印加されている。これにより、トランジスタF4 [1] 乃至トランジスタF4 [n] のそれぞれのゲートに高レベル電位が印加されて、トランジスタF4 [1] 乃至トランジスタF4 [n] のそれぞれがオフ状態となる。

30

【0352】

<<時刻T22から時刻T23まで>>

時刻T22から時刻T23までの間において、回路XCSから、配線XCL [i] に電流量として I_{ref0} のx [i] 倍である $x[i] I_{ref0}$ の電流が流れる。なお、本動作例では、xは、第2データであるニューロンの信号の値に相当する。このとき、配線XCL [i] の電位は、0から $V_{gm}[i] + \Delta V[i]$ に変化するものとする。

【0353】

配線XCL [i] の電位が変化することによって、セルアレイCA2のi行目のセルIM [i, 1] 乃至セルIM [i, n] のそれぞれに含まれている容量C5による容量結合によって、ノードNN [i, 1] 乃至ノードNN [i, n] の電位も変化する。そのため、セルIM [i, j] のノードNN [i, j] の電位は、 $V_g[i, j] + p\Delta V[i]$ となる。

40

【0354】

同様に、配線XCL [i] の電位が変化することによって、セルIMref [i] に含まれている容量C5mによる容量結合によって、ノードNNref [i] の電位も変化する。そのため、セルIMref [i] のノードNNref [i] の電位は、 $V_{gm}[i] + p\Delta V[i]$ となる。

【0355】

これによって、時刻T22から時刻T23までの間において、トランジスタF2の第1端

50

子ー第2端子間に流れる電流 $I_1[i, j]$ 、トランジスタ F 2 m の第1端子ー第2端子間に流れる電流 $I_{ref1}[i, j]$ は、次の通りに記述できる。

【0356】

【数35】

$$\begin{aligned} I_1[i, j] &= I_a \exp\{K(V_g[i, j] + p\Delta V[i] - V_{th}[i, j])\} \\ &= I_0[i, j] \exp(Kp\Delta V[i]) \end{aligned} \quad \dots(F9)$$

10

【0357】

【数36】

$$\begin{aligned} I_{ref1}[i] &= I_a \exp\{K(V_{gm}[i] + p\Delta V[i] - V_{thm}[i])\} \\ &= x[i] I_{ref0} \end{aligned} \quad \dots(F10)$$

【0358】

式(F9)、式(F10)より、 $x[i]$ は次の式で表すことができる。

20

【0359】

【数37】

$$x[i] = \exp(Kp\Delta V[i]) \quad \dots(F11)$$

【0360】

そのため、式(F9)は、次の式に書き換えることができる。

【0361】

【数38】

$$I_1[i, j] = x[i] w[i, j] I_{ref0} \quad \dots(F12)$$

30

【0362】

つまり、セルIM[i, j]に含まれているトランジスタF2の第1端子ー第2端子間に流れる電流は、第1データである重み係数 $w[i, j]$ と、第2データであるニューロンの信号の値 $x[i]$ と、の積に比例する。

【0363】

また、時刻T22から時刻T23までの間において、回路XCSから、配線XCL[i+1]に電流量として I_{ref0} の $x[i+1]$ 倍である $x[i+1] I_{ref0}$ の電流が流れる。なお、本動作例では、 x は、第2データであるニューロンの信号の値に相当する。このとき、配線XCL[i+1]の電位は、0から $V_{gm}[i+1] + \Delta V[i+1]$ に変化するものとする。

40

【0364】

配線XCL[i+1]の電位が変化することによって、セルアレイCA2のi+1行目のセルIM[i+1, 1]乃至セルIM[i+1, n]のそれぞれに含まれている容量C5による容量結合によって、ノードNN[i+1, 1]乃至ノードNN[i+1, n]の電位も変化する。そのため、セルIM[i+1, j]のノードNN[i+1, j]の電位は、 $V_g[i+1, j] + p\Delta V[i+1]$ となる。

50

【0365】

同様に、配線XCL[i+1]の電位が変化することによって、セルIMref[i+1]に含まれている容量C5mによる容量結合によって、ノードNNref[i+1]の電位も変化する。そのため、セルIMref[i+1]のノードNNref[i+1]の電位は、 $V_{gm}[i+1] + p\Delta V[i+1]$ となる。

【0366】

これによって、時刻T22から時刻T23までの間において、トランジスタF2の第1端子－第2端子間に流れる電流 $I_1[i+1, j]$ 、トランジスタF2mの第1端子－第2端子間に流れる電流 $I_{ref1}[i+1, j]$ は、次の通りに記述できる。

【0367】

【数39】

$$\begin{aligned} I_1[i+1, j] \\ &= I_a \exp\{K(V_g[i+1, j] + p\Delta V[i+1] - V_{th}[i+1, j])\} \\ &= I_0[i+1, j] \exp(Kp\Delta V[i+1]) \end{aligned} \quad \dots(F13)$$

【0368】

【数40】

$$\begin{aligned} I_{ref1}[i+1] \\ &= I_a \exp\{K(V_{gm}[i+1] + p\Delta V[i+1] - V_{thm}[i+1])\} \\ &= x[i+1] I_{ref0} \end{aligned} \quad \dots(F14)$$

【0369】

式(F13)、式(F14)より、 $x[i+1]$ は次の式で表すことができる。

【0370】

【数41】

$$x[i+1] = \exp(Kp\Delta V[i+1]) \quad \dots(F15)$$

【0371】

そのため、式(F13)は、次の式に書き換えることができる。

【0372】

【数42】

$$I_1[i+1, j] = x[i+1] w[i+1, j] I_{ref0} \quad \dots(F16)$$

【0373】

つまり、セルIM[i+1, j]に含まれているトランジスタF2の第1端子－第2端子間に流れる電流は、第1データである重み係数 $w[i+1, j]$ と、第2データである二

ューロンの信号の値 $x[i+1]$ と、の積に比例する。

【0374】

ここで、変換回路 $ITRZ[j]$ から、トランジスタ $F4[j]$ と配線 $WCL[j]$ とを介して、セル $IM[i, j]$ 及びセル $IM[i+1, j]$ に流れる電流の総和を考える。当該電流の総和を $I_s[j]$ とすると、 $I_s[j]$ は、式 (F12) と式 (F16) より、次の式で表すことができる。

【0375】

【数43】

$$\begin{aligned} I_s[j] &= I_1[l, j] + I_1[i+1, j] \\ &= I_{ref0}(x[i]w[l, j] + x[i+1]w[i+1, j]) \quad \dots(F17) \end{aligned}$$

10

【0376】

したがって、変換回路 $ITRZ[j]$ から出力される電流は、第1データである重み係数 $w[i, j]$ 及び $w[i+1, j]$ と、第2データであるニューロンの信号の値 $x[i]$ 及び $x[i+1]$ と、の積和に比例した電流となる。

【0377】

なお、上述の動作例では、セル $IM[i, j]$ 、及びセル $IM[i+1, j]$ に流れる電流の総和について扱ったが、複数のセルとして、セル $IM[1, j]$ 乃至セル $IM[m, j]$ のそれぞれに流れる電流の総和についても扱ってもよい。この場合、式 (F17) は、次の式に書き直すことができる。

20

【0378】

【数44】

$$I_s[j] = I_{ref0} \sum_{i=1}^m x[i]w[l, j] \quad \dots(F18)$$

30

【0379】

このため、3行以上且つ2列以上のセルアレイ $CA2$ を有する演算回路 $MAC2$ の場合でも、上記の通り、積和演算を行うことができる。この場合の積和演算回路は、複数列のうち1列を、電流量として I_{ref0} 、及び $x I_{ref0}$ を保持するセルとすることで、複数列のうち残りの列の数だけ積和演算処理を同時に実行することができる。つまり、メモリセルアレイの列の数を増やすことで、高速な積和演算処理を実現する半導体装置を提供することができる。

【0380】

本実施の形態で述べた積和演算回路を、上述した隠れ層として適用する場合、重み係数 $w_{s[k] s[k-1]}^{(k)}$ を第1データとして、第1データに応じた電流量を同じ列の各セル IM に順次記憶させて、第 $(k-1)$ 層の第 $s[k-1]$ ニューロンからの出力信号 $z_{s[k-1]}^{(k-1)}$ を第2データとして、第2データに応じた電流を回路 XCS から各行の配線 XCL に対して流すことで、回路 $ITRZ$ から出力される電流 I_s から第1データと第2データとの積和を求めることができる。加えて、当該積和の値を用いて活性化関数の値を求めることによって、活性化関数の値を信号として第 k 層の第 $s[k]$ ニューロンの出力信号 $z_{s[k]}^{(k)}$ とすることができる。

40

【0381】

また、本実施の形態で述べた積和演算回路を、上述した出力層として適用する場合、重み係数 $w_{s[L] s[L-1]}^{(L)}$ を第1データとして、第1データに応じた電流量を同じ列

50

の各セル I_M に順次記憶させて、第 $(L-1)$ 層の第 $s [L-1]$ ニューロンからの出力信号 $z_{s [L-1]}^{(L-1)}$ を第2データとして、第2データに応じた電流を回路 XCS から各行の配線 XCL に対して流すことで、回路 $ITRZ$ から出力される電流 I_s から、第1データと第2データとの積和を求めることができる。加えて、当該積和の値を用いて活性化関数の値を求めることによって、活性化関数の値を信号として第 L 層の第 $s [L]$ ニューロンの出力信号 $z_{s [L]}^{(L)}$ とすることができる。

【0382】

なお、本実施の形態で述べた入力層は、入力信号を第2層に出力するバッファ回路として機能してもよい。

【0383】

また、本実施の形態では、演算回路 $MAC1$ 及び演算回路 $MAC2$ に含まれているトランジスタを OS トランジスタ、又は Si トランジスタとした場合について説明したが、本発明の一態様は、これに限定されない。演算回路 $MAC1$ 及び演算回路 $MAC2$ に含まれているトランジスタは、例えば、 Ge 、 $ZnSe$ 、 CdS 、 $GaAs$ 、 InP 、 GaN 、 $SiGe$ 等の化合物半導体を活性層としたトランジスタ、カーボンナノチューブを活性層としたトランジスタ、有機半導体を活性層としたトランジスタ等を用いることができる。

【0384】

本実施の形態に示した構成例は、互いに適宜組み合わせることができる。また、本実施の形態は、本明細書で示す他の実施の形態等と適宜組み合わせることができる。

【0385】

(実施の形態4)

本実施の形態では、本発明の一態様の検査装置が有する、主記憶装置及び補助記憶装置等の記憶装置の構成例について説明する。

【0386】

本発明の一態様の検査装置が有する記憶装置は、 OS トランジスタ、及び容量素子を有する構成とすることができる。 OS トランジスタのオフ電流は極めて小さいため、 OS メモリは優れた保持特性をもち、不揮発性メモリとして機能させることができる。

【0387】

<記憶装置の構成例>

図17Aに OS メモリの構成の一例を示す。記憶装置1400は、周辺回路1411、及びメモリセルアレイ1470を有する。周辺回路1411は、行回路1420、列回路1430、出力回路1440、及びコントロールロジック回路1460を有する。

【0388】

列回路1430は、例えば、列デコーダ、プリチャージ回路、センスアンプ、書き込み回路等を有する。プリチャージ回路は、配線をプリチャージする機能を有する。センスアンプは、メモリセルから読み出されたデータ信号を増幅する機能を有する。なお、上記配線は、メモリセルアレイ1470が有するメモリセルに接続されている配線であり、詳しくは後述する。増幅されたデータ信号は、出力回路1440を介して、データ信号 $RDATA$ として記憶装置1400の外部に出力される。また、行回路1420は、例えば、行デコーダ、ワード線ドライバ回路等を有し、アクセスする行を選択することができる。

【0389】

記憶装置1400には、外部から電源電圧として低電源電圧 (VSS)、周辺回路1411用の高電源電圧 (VDD)、メモリセルアレイ1470用の高電源電圧 (VIL) が供給される。また、記憶装置1400には、制御信号 (CE 、 WE 、 RE)、アドレス信号 $ADDR$ 、データ信号 $WDATA$ が外部から入力される。アドレス信号 $ADDR$ は、行デコーダ及び列デコーダに入力され、 $WDATA$ は書き込み回路に入力される。

【0390】

コントロールロジック回路1460は、外部からの入力信号 (CE 、 WE 、 RE) を処理して、行デコーダ、列デコーダの制御信号を生成する。 CE は、チップイネーブル信号であり、 WE は、書き込みイネーブル信号であり、 RE は、読み出しイネーブル信号である

10

20

30

40

50

。コントロールロジック回路 1460 が処理する信号は、これに限定されるものではなく、必要に応じて、他の制御信号を入力すればよい。

【0391】

メモリセルアレイ 1470 は、行列状に配置された、複数のメモリセル MC と、複数の配線を有する。なお、メモリセルアレイ 1470 と行回路 1420 とを接続している配線の数、メモリセル MC の構成、一行に有するメモリセル MC の数等によって決まる。また、メモリセルアレイ 1470 と列回路 1430 とを接続している配線の数、メモリセル MC の構成、一行に有するメモリセル MC の数等によって決まる。

【0392】

なお、図 17A において、周辺回路 1411 とメモリセルアレイ 1470 を同一平面上に形成する例について示したが、本実施の形態はこれに限られるものではない。例えば、図 17B に示すように、周辺回路 1411 の一部の上に、メモリセルアレイ 1470 が重なるように設けられてもよい。例えば、メモリセルアレイ 1470 の下に重なるように、センスアンプを設ける構成にしてもよい。

10

【0393】

図 18 に上述のメモリセル MC に適用できるメモリセルの構成例について説明する。

【0394】

<<DOSRAM>>

図 18A 乃至図 18C に、DRAM のメモリセルの回路構成例を示す。本明細書等において、1O5 トランジスタ 1 容量素子型のメモリセルを用いた DRAM を、DOSRAM と呼ぶ場合がある。図 18A に示す、メモリセル 1471 は、トランジスタ M1 と、容量素子 CA と、を有する。なお、トランジスタ M1 は、ゲート（トップゲートと呼ぶ場合がある。）、及びバックゲートを有する。

20

【0395】

トランジスタ M1 の第 1 端子は、容量素子 CA の第 1 端子と接続され、トランジスタ M1 の第 2 端子は、配線 BIL と接続され、トランジスタ M1 のゲートは、配線 WOL と接続され、トランジスタ M1 のバックゲートは、配線 BGL と接続されている。容量素子 CA の第 2 端子は、配線 CAL と接続されている。

【0396】

配線 BIL は、ビット線として機能し、配線 WOL は、ワード線として機能する。配線 CAL は、容量素子 CA の第 2 端子に所定の電位を印加するための配線として機能する。データの書き込み時、及び読み出し時において、配線 CAL には、低レベル電位を印加するのが好ましい。配線 BGL は、トランジスタ M1 のバックゲートに電位を印加するための配線として機能する。配線 BGL に任意の電位を印加することによって、トランジスタ M1 のしきい値電圧を増減することができる。

30

【0397】

また、メモリセル MC は、メモリセル 1471 に限定されず、回路構成の変更を行うことができる。例えば、メモリセル MC は、図 18B に示すメモリセル 1472 のように、トランジスタ M1 のバックゲートが、配線 BGL でなく、配線 WOL と接続される構成にしてもよい。また、例えば、メモリセル MC は、図 18C に示すメモリセル 1473 のように、シングルゲート構造のトランジスタ、つまりバックゲートを有さないトランジスタ M1 で構成されたメモリセルとしてもよい。

40

【0398】

上記実施の形態に示す半導体装置をメモリセル 1471 等に用いる場合、トランジスタ M1 として、以降の実施の形態に示すトランジスタを用いることができる。トランジスタ M1 として OS トランジスタを用いることによって、トランジスタ M1 のリーク電流を非常に低くすることができる。つまり、書き込んだデータをトランジスタ M1 によって長時間保持することができるため、メモリセルのリフレッシュの頻度を少なくすることができる。また、メモリセルのリフレッシュ動作を不要にすることができる。また、リーク電流が非常に低いため、メモリセル 1471、メモリセル 1472、メモリセル 1473 に多値

50

データ、又はアナログデータを保持することができる。

【0399】

また、D O S R A Mにおいて、上記のように、メモリセルアレイ1470の下に重なるように、センスアンプを設ける構成にすると、ビット線を短くすることができる。これにより、ビット線容量が小さくなり、メモリセルの保持容量を低減することができる。

【0400】

<<N O S R A M>>

図18D乃至図18Gに、2トランジスタ1容量素子のゲインセル型のメモリセルの回路構成例を示す。図18Dに示す、メモリセル1474は、トランジスタM2と、トランジスタM3と、容量素子CBと、を有する。なお、トランジスタM2は、トップゲート（単にゲートと呼ぶ場合がある。）、及びバックゲートを有する。本明細書等において、トランジスタM2にO S トランジスタを用いたゲインセル型のメモリセルを有する記憶装置を、N O S R A Mと呼ぶ場合がある。

【0401】

トランジスタM2の第1端子は、容量素子CBの第1端子と接続され、トランジスタM2の第2端子は、配線W B Lと接続され、トランジスタM2のゲートは、配線W O Lと接続され、トランジスタM2のバックゲートは、配線B G Lと接続されている。容量素子CBの第2端子は、配線C A Lと接続されている。トランジスタM3の第1端子は、配線R B Lと接続され、トランジスタM3の第2端子は、配線S Lと接続され、トランジスタM3のゲートは、容量素子CBの第1端子と接続されている。

【0402】

配線W B Lは、書き込みビット線として機能し、配線R B Lは、読み出しビット線として機能し、配線W O Lは、ワード線として機能する。配線C A Lは、容量素子CBの第2端子に所定の電位を印加するための配線として機能する。データの書き込み時、データ保持の最中、データの読み出し時において、配線C A Lには、低レベル電位を印加するのが好ましい。配線B G Lは、トランジスタM2のバックゲートに電位を印加するための配線として機能する。配線B G Lに任意の電位を印加することによって、トランジスタM2のしきい値電圧を増減することができる。

【0403】

また、メモリセルM Cは、メモリセル1474に限定されず、回路の構成を適宜変更することができる。例えば、メモリセルM Cは、図18Eに示すメモリセル1475のように、トランジスタM2のバックゲートが、配線B G Lでなく、配線W O Lと接続される構成にしてもよい。また、例えば、メモリセルM Cは、図18Fに示すメモリセル1476のように、シングルゲート構造のトランジスタ、つまりバックゲートを有さないトランジスタM2で構成されたメモリセルとしてもよい。また、例えば、メモリセルM Cは、図18Gに示すメモリセル1477のように、配線W B Lと配線R B Lを一本の配線B I Lとしてまとめた構成であってもよい。

【0404】

上記実施の形態に示す半導体装置をメモリセル1474等を用いる場合、トランジスタM2として以降の実施の形態に示すトランジスタを用いることができる。トランジスタM2としてO S トランジスタを用いることによって、トランジスタM2のリーク電流を非常に低くすることができる。これにより、書き込んだデータをトランジスタM2によって長時間保持することができるため、メモリセルのリフレッシュの頻度を少なくすることができる。また、メモリセルのリフレッシュ動作を不要にすることができる。また、リーク電流が非常に低いため、メモリセル1474に多値データ、又はアナログデータを保持することができる。メモリセル1475乃至1477も同様である。

【0405】

なお、トランジスタM3は、チャネル形成領域にシリコンを有するトランジスタ（以下、S i トランジスタと呼ぶ場合がある）であってもよい。S i トランジスタの導電型は、nチャネル型としてもよいし、pチャネル型としてもよい。S i トランジスタは、O S トラ

10

20

30

40

50

ンジスタよりも電界効果移動度が高くなる場合がある。よって、読み出しトランジスタとして機能するトランジスタM3として、Siトランジスタを用いてもよい。また、トランジスタM3にSiトランジスタを用いることで、トランジスタM3の上に積層してトランジスタM2を設けることができるため、メモリセルの占有面積を低減し、記憶装置の高集積化を図ることができる。

【0406】

また、トランジスタM3はOSTランジスタであってもよい。トランジスタM2及びトランジスタM3にOSTランジスタを用いた場合、メモリセルアレイ1470をn型トランジスタのみを用いて回路を構成することができる。

【0407】

また、図18Hに3トランジスタ1容量素子のゲインセル型のメモリセルの一例を示す。図18Hに示すメモリセル1478は、トランジスタM4乃至トランジスタM6、及び容量素子CCを有する。容量素子CCは適宜設けられる。メモリセル1478は、配線BIL、配線RWL、配線WWL、配線BGL、及び配線GNDLに電氣的に接続されている。配線GNDLは低レベル電位を与える配線である。なお、メモリセル1478を、配線BILに代えて、配線RBL、配線WBLに電氣的に接続してもよい。

【0408】

トランジスタM4は、バックゲートを有するOSTランジスタであり、バックゲートは配線BGLに電氣的に接続されている。なお、トランジスタM4のバックゲートとゲートとを互いに電氣的に接続してもよい。あるいは、トランジスタM4はバックゲートを有さなくてもよい。

【0409】

なお、トランジスタM5、トランジスタM6はそれぞれ、nチャネル型Siトランジスタ又はpチャネル型Siトランジスタでもよい。或いは、トランジスタM4乃至トランジスタM6がOSTランジスタでもよい、この場合、メモリセルアレイ1470をn型トランジスタのみを用いて回路を構成することができる。

【0410】

上記実施の形態に示す半導体装置をメモリセル1478に用いる場合、トランジスタM4として以降の実施の形態に示すトランジスタを用いることができる。トランジスタM4としてOSTランジスタを用いることによって、トランジスタM4のリーク電流を非常に低くすることができる。

【0411】

なお、本実施の形態に示す、周辺回路1411、メモリセルアレイ1470等の構成は、上記に限定されるものではない。これらの回路、及び当該回路に接続される配線、回路素子等の、配置又は機能は、必要に応じて、変更、削除、又は追加してもよい。

【0412】

本実施の形態に示した構成例は、互いに適宜組み合わせることができる。また、本実施の形態は、本明細書で示す他の実施の形態等と適宜組み合わせることができる。

【0413】

(実施の形態5)

本実施の形態では、上記実施の形態で説明した演算回路の構成例、及び当該演算回路に適用可能なトランジスタの構成例について説明する。

【0414】

<半導体装置の構成例>

図19に示す半導体装置は、トランジスタ300と、トランジスタ500と、容量素子600と、を有している。図21Aはトランジスタ500のチャネル長方向の断面図であり、図21Bはトランジスタ500のチャネル幅方向の断面図であり、図21Cはトランジスタ300のチャネル幅方向の断面図である。

【0415】

トランジスタ500は、チャネル形成領域に金属酸化物を有するトランジスタ（OSTラ

10

20

30

40

50

ンジスタ)である。トランジスタ500は、オフ電流が小さいため、これを半導体装置、例えば、演算回路MAC1等に含まれるメモリセルアレイCAのトランジスタTr11等に用いることにより、長期にわたり書き込んだデータを保持することが可能である。つまり、リフレッシュ動作の頻度が少ない、あるいは、リフレッシュ動作を必要としないため、半導体装置の消費電力を低減することができる。

【0416】

本実施の形態で説明する半導体装置は、図19に示すようにトランジスタ300、トランジスタ500、容量素子600を有する。トランジスタ500はトランジスタ300の上方に設けられ、容量素子600はトランジスタ300、及びトランジスタ500の上方に設けられている。なお、容量素子600は、上記実施の形態で説明した演算回路MAC1等に含まれるメモリセルアレイCAの容量C1、回路OFS Tの容量C2等とすることができる。

10

【0417】

トランジスタ300は、基板311上に設けられる。トランジスタ300は、導電体316及び絶縁体315を有する。また、トランジスタ300は、基板311の一部からなる半導体領域313、ソース領域又はドレイン領域として機能する低抵抗領域314a、及び低抵抗領域314bを有する。なお、トランジスタ300は、例えば、上記実施の形態で説明した演算回路MAC1等に含まれるメモリセルアレイCAのトランジスタTr12等に適用することができる。

【0418】

また、基板311としては、半導体基板(例えば単結晶基板又はシリコン基板)を用いるのが好ましい。

20

【0419】

トランジスタ300は、図21Cに示すように、半導体領域313の上面及びチャネル幅方向の側面が絶縁体315を介して導電体316に覆われている。このように、トランジスタ300をFin型とすることにより、実効上のチャネル幅が増大することによりトランジスタ300のオン特性を向上させることができる。また、ゲート電極の電界の寄与を高くすることができるため、トランジスタ300のオフ特性を向上させることができる。

【0420】

なお、トランジスタ300は、pチャネル型、あるいはnチャネル型のいずれでもよい。

30

【0421】

半導体領域313のチャネルが形成される領域、その近傍の領域、ソース領域、又はドレイン領域となる低抵抗領域314a、及び低抵抗領域314b等において、シリコン系半導体等の半導体を含むことが好ましく、単結晶シリコンを含むことが好ましい。又は、Ge(ゲルマニウム)、SiGe(シリコンゲルマニウム)、GaAs(ガリウムヒ素)、GaAlAs(ガリウムアルミニウムヒ素)等を有する材料で形成してもよい。結晶格子に応力を与え、格子間隔を変化させることで有効質量を制御したシリコンを用いた構成としてもよい。又はGaAsとGaAlAs等を用いることで、トランジスタ300をHEMT(High Electron Mobility Transistor)としてもよい。

40

【0422】

低抵抗領域314a、及び低抵抗領域314bは、半導体領域313に適用される半導体材料に加え、ヒ素、リン等のn型の導電性を付与する元素、又はホウ素等のp型の導電性を付与する元素を含む。

【0423】

ゲート電極として機能する導電体316は、ヒ素、リン等のn型の導電性を付与する元素、もしくはホウ素等のp型の導電性を付与する元素を含むシリコン等の半導体材料を用いることができる。また、金属材料、合金材料、又は金属酸化物材料等の導電性材料を用いることができる。

【0424】

50

なお、導電体の材料によって仕事関数が決まるため、当該導電体の材料を選択することで、トランジスタのしきい値電圧を調整することができる。具体的には、導電体に窒化チタンや窒化タンタル等の材料を用いることが好ましい。さらに導電性と埋め込み性を両立するために導電体にタングステンやアルミニウム等の金属材料を積層として用いることが好ましく、特にタングステンを用いることが耐熱性の点で好ましい。

【0425】

図19に示すトランジスタ300の構成は一例であり、その構造に限定されず、回路構成や動作方法に応じて適切なトランジスタを用いればよい。例えば、半導体装置をOSトランジスタのみの単極性回路とする場合、図20に示すとおり、トランジスタ300の構成を、酸化物半導体を用いているトランジスタ500と同様の構成にすればよい。なお、トランジスタ500の詳細については後述する。

【0426】

トランジスタ300を覆って、絶縁体320、絶縁体322、絶縁体324、及び絶縁体326が順に積層して設けられている。

【0427】

絶縁体320、絶縁体322、絶縁体324、及び絶縁体326として、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウム等を用いればよい。

【0428】

なお、本明細書中において、酸化窒化シリコンとは、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化シリコンとは、その組成として、酸素よりも窒素の含有量が多い材料を指す。また、本明細書中において、酸化窒化アルミニウムとは、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化アルミニウムとは、その組成として、酸素よりも窒素の含有量が多い材料を指す。

【0429】

絶縁体322は、その下方に設けられるトランジスタ300等によって生じる段差を平坦化する平坦化膜としての機能を有していてもよい。例えば、絶縁体322の上面は、平坦性を高めるために化学機械研磨(CMP)法等を用いた平坦化処理により平坦化されていてもよい。

【0430】

また、絶縁体324には、基板311、又はトランジスタ300等から、トランジスタ500が設けられる領域に、水素や不純物が拡散しないようなバリア性を有する膜を用いることが好ましい。

【0431】

水素に対するバリア性を有する膜の一例として、例えば、CVD法で形成した窒化シリコンを用いることができる。ここで、トランジスタ500等の酸化物半導体を有する半導体素子に、水素が拡散することで、当該半導体素子の特性が低下する場合がある。したがって、トランジスタ500と、トランジスタ300との間に、水素の拡散を抑制する膜を用いることが好ましい。水素の拡散を抑制する膜とは、具体的には、水素の脱離量が少ない膜とする。

【0432】

水素の脱離量は、例えば、昇温脱離ガス分析法(TDS)等を用いて分析することができる。例えば、絶縁体324の水素の脱離量は、TDS分析において、膜の表面温度が50℃から500℃の範囲において、水素原子に換算した脱離量が、絶縁体324の面積当りに換算して、 $1.0 \times 10^{15} \text{ atoms/cm}^2$ 以下、好ましくは $5 \times 10^{15} \text{ atoms/cm}^2$ 以下であればよい。

【0433】

なお、絶縁体326は、絶縁体324よりも比誘電率が低いことが好ましい。例えば、絶縁体326の比誘電率は4未満が好ましく、3未満がより好ましい。また例えば、絶縁体326の比誘電率は、絶縁体324の比誘電率の0.7倍以下が好ましく、0.6倍以下

10

20

30

40

50

がより好ましい。比誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。

【0434】

また、絶縁体320、絶縁体322、絶縁体324、及び絶縁体326には容量素子600、又はトランジスタ500と接続する導電体328、及び導電体330等が埋め込まれている。なお、導電体328、及び導電体330は、プラグ又は配線としての機能を有する。また、プラグ又は配線としての機能を有する導電体は、複数の構造をまとめて同一の符号を付与する場合がある。また、本明細書等において、配線と、配線と接続するプラグとが一体物であってもよい。すなわち、導電体の一部が配線として機能する場合、及び導電体の一部がプラグとして機能する場合もある。

10

【0435】

各プラグ、及び配線（導電体328、導電体330等）の材料としては、金属材料、合金材料、金属窒化物材料、又は金属酸化物材料等の導電性材料を、単層又は積層して用いることができる。耐熱性と導電性を両立するタングステンやモリブデン等の高融点材料を用いることが好ましく、タングステンを用いることが好ましい。又は、アルミニウムや銅等の低抵抗導電性材料で形成することが好ましい。低抵抗導電性材料を用いることで配線抵抗を低くすることができる。

【0436】

絶縁体326上、及び導電体330上に、配線層を設けてもよい。例えば、図19において、絶縁体350、絶縁体352、及び絶縁体354が順に積層して設けられている。また、絶縁体350、絶縁体352、及び絶縁体354には、導電体356が埋め込まれている。導電体356は、トランジスタ300と接続するプラグ、又は配線としての機能を有する。なお導電体356は、導電体328、及び導電体330と同様の材料を用いて設けることができる。

20

【0437】

なお、例えば、絶縁体350は、絶縁体324と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体356は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体350が有する開口部に、水素に対するバリア性を有する導電体が形成される構成とすることが好ましい。当該構成により、トランジスタ300とトランジスタ500とは、バリア層により分離することができ、トランジスタ300からトランジスタ500への水素の拡散を抑制することができる。

30

【0438】

なお、水素に対するバリア性を有する導電体としては、例えば、窒化タンタル等を用いるとよい。また、窒化タンタルと、導電性が高いタングステンを積層することで、配線としての導電性を保持したまま、トランジスタ300からの水素の拡散を抑制することができる。この場合、水素に対するバリア性を有する窒化タンタル層が、水素に対するバリア性を有する絶縁体350と接する構造であることが好ましい。

【0439】

絶縁体354上、及び導電体356上に、配線層を設けてもよい。例えば、図19において、絶縁体360、絶縁体362、及び絶縁体364が順に積層して設けられている。また、絶縁体360、絶縁体362、及び絶縁体364には、導電体366が埋め込まれている。導電体366は、プラグ又は配線としての機能を有する。なお導電体366は、導電体328、及び導電体330と同様の材料を用いて設けることができる。

40

【0440】

なお、例えば、絶縁体360は、絶縁体324と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体366は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体360が有する開口部に、水素に対するバリア性を有する導電体が形成される構成とすることが好ましい。当該構成により、トランジスタ300とトランジスタ500とは、バリア層により分

50

離することができ、トランジスタ300からトランジスタ500への水素の拡散を抑制することができる。

【0441】

絶縁体364上、及び導電体366上に、配線層を設けてもよい。例えば、図19において、絶縁体370、絶縁体372、及び絶縁体374が順に積層して設けられている。また、絶縁体370、絶縁体372、及び絶縁体374には、導電体376が埋め込まれている。導電体376は、プラグ又は配線としての機能を有する。なお導電体376は、導電体328、及び導電体330と同様の材料を用いて設けることができる。

【0442】

なお、例えば、絶縁体370は、絶縁体324と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体376は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体370が有する開口部に、水素に対するバリア性を有する導電体が形成される構成とすることが好ましい。当該構成により、トランジスタ300とトランジスタ500とは、バリア層により分離することができ、トランジスタ300からトランジスタ500への水素の拡散を抑制することができる。

【0443】

絶縁体374上、及び導電体376上に、配線層を設けてもよい。例えば、図19において、絶縁体380、絶縁体382、及び絶縁体384が順に積層して設けられている。また、絶縁体380、絶縁体382、及び絶縁体384には、導電体386が埋め込まれている。導電体386は、プラグ又は配線としての機能を有する。なお導電体386は、導電体328、及び導電体330と同様の材料を用いて設けることができる。

【0444】

なお、例えば、絶縁体380は、絶縁体324と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体386は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体380が有する開口部に、水素に対するバリア性を有する導電体が形成される構成とすることが好ましい。当該構成により、トランジスタ300とトランジスタ500とは、バリア層により分離することができ、トランジスタ300からトランジスタ500への水素の拡散を抑制することができる。

【0445】

導電体366、導電体376、および導電体386は、導電体356と同様の構成とすることができる。

【0446】

上記において、本発明の一態様の半導体装置が導電体356を含む配線層と、導電体366を含む配線層と、導電体376を含む配線層と、導電体386を含む配線層を有するとしたが、本発明の一態様の半導体装置はこれに限らない。導電体356を含む配線層と同様の配線層を3層以下にしてもよいし、導電体356を含む配線層と同様の配線層を5層以上にしてもよい。

【0447】

絶縁体384上には絶縁体510、絶縁体512、絶縁体514、及び絶縁体516が、順に積層して設けられている。絶縁体510、絶縁体512、絶縁体514、及び絶縁体516のいずれかは、酸素や水素に対してバリア性のある物質を用いることが好ましい。

【0448】

例えば、絶縁体510、及び絶縁体514には、基板311、又はトランジスタ300を設ける領域等から、トランジスタ500を設ける領域に、水素や不純物が拡散しないようなバリア性を有する膜を用いることが好ましい。したがって、絶縁体324と同様の材料を用いることができる。

【0449】

水素に対するバリア性を有する膜の一例として、CVD法で形成した窒化シリコンを用い

10

20

30

40

50

ることができる。ここで、トランジスタ 500 等の酸化物半導体を有する半導体素子に、水素が拡散することで、当該半導体素子の特性が低下する場合がある。したがって、トランジスタ 500 と、トランジスタ 300 との間に、水素の拡散を抑制する膜を用いることが好ましい。水素の拡散を抑制する膜とは、具体的には、水素の脱離量が少ない膜とする。

【0450】

また、水素に対するバリア性を有する膜として、例えば、絶縁体 510、及び絶縁体 514 には、酸化アルミニウム、酸化ハフニウム、酸化タンタル等の金属酸化物を用いることが好ましい。

【0451】

特に、酸化アルミニウムは、酸素と、トランジスタの電気特性の変動要因となる水素、水分等の不純物と、の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウムは、トランジスタの作製工程中及び作製後において、水素、水分等の不純物のトランジスタ 500 への混入を防止することができる。また、トランジスタ 500 を構成する酸化物からの酸素の放出を抑制することができる。そのため、トランジスタ 500 に対する保護膜として用いることに適している。

【0452】

また、例えば、絶縁体 512、及び絶縁体 516 には、絶縁体 320 と同様の材料を用いることができる。また、これらの絶縁体に、比較的誘電率が低い材料を適用することで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体 512、及び絶縁体 516 として、酸化シリコン膜や酸化窒化シリコン膜等を用いることができる。

【0453】

また、絶縁体 510、絶縁体 512、絶縁体 514、及び絶縁体 516 には、導電体 518、及びトランジスタ 500 を構成する導電体（例えば、導電体 503）等が埋め込まれている。なお、導電体 518 は、容量素子 600、又はトランジスタ 300 と接続するプラグ、又は配線としての機能を有する。導電体 518 は、導電体 328、及び導電体 330 と同様の材料を用いて設けることができる。

【0454】

特に、絶縁体 510、及び絶縁体 514 と接する領域の導電体 518 は、酸素、水素、及び水に対するバリア性を有する導電体であることが好ましい。当該構成により、トランジスタ 300 とトランジスタ 500 とは、酸素、水素、及び水に対するバリア性を有する層で、分離することができ、トランジスタ 300 からトランジスタ 500 への水素の拡散を抑制することができる。

【0455】

絶縁体 516 の上方には、トランジスタ 500 が設けられている。

【0456】

図 21A 及び図 21B に示すように、トランジスタ 500 は、絶縁体 514 及び絶縁体 516 に埋め込まれるように配置された導電体 503 と、絶縁体 516 及び導電体 503 の上に配置された絶縁体 520 と、絶縁体 520 の上に配置された絶縁体 522 と、絶縁体 522 の上に配置された絶縁体 524 と、絶縁体 524 の上に配置された酸化物 530a と、酸化物 530a の上に配置された酸化物 530b と、酸化物 530b 上に互いに離れて配置された導電体 542a 及び導電体 542b と、導電体 542a 及び導電体 542b 上に配置され、導電体 542a と導電体 542b の間に重畳して開口が形成された絶縁体 580 と、開口の底面及び側面と接する領域を有するように配置された酸化物 530c と、酸化物 530c の形成面に配置された絶縁体 550 と、絶縁体 550 の形成面に配置された導電体 560 と、を有する。

【0457】

また、図 21A 及び図 21B に示すように、酸化物 530a、酸化物 530b、導電体 542a、及び導電体 542b と、絶縁体 580 との間に絶縁体 544 が配置されることが好ましい。また、図 21A 及び図 21B に示すように、導電体 560 は、絶縁体 550 の内側に設けられた導電体 560a と、導電体 560a の内側に埋め込まれるように設けら

10

20

30

40

50

れた導電体560bと、を有することが好ましい。また、図21A及び図21Bに示すように、絶縁体580、導電体560、及び絶縁体550の上に絶縁体574が配置されることが好ましい。

【0458】

なお、以下において、酸化物530a、酸化物530b、及び酸化物530cをまとめて酸化物530という場合がある。

【0459】

なお、トランジスタ500では、チャンネルが形成される領域と、その近傍において、酸化物530a、酸化物530b、及び酸化物530cの3層を積層する構成について示しているが、本発明の一態様はこれに限られるものではない。例えば、酸化物530bの単層、酸化物530bと酸化物530aの2層構造、酸化物530bと酸化物530cの2層構造、又は4層以上の積層構造を設ける構成にしてもよい。また、トランジスタ500では、導電体560を2層の積層構造として示しているが、本発明の一態様はこれに限られるものではない。例えば、導電体560が、単層構造であってもよいし、3層以上の積層構造であってもよい。また、図19、図20、図21A及び図21Bに示すトランジスタ500の構成は一例であり、その構造に限定されず、回路構成や動作方法に応じて適切なトランジスタを用いればよい。

【0460】

ここで、導電体560は、トランジスタのゲート電極として機能し、導電体542a及び導電体542bは、それぞれソース電極又はドレイン電極として機能する。上記のように、導電体560は、絶縁体580の開口、及び導電体542aと導電体542bに挟まれた領域に埋め込まれるように形成される。導電体560、導電体542a及び導電体542bの配置は、絶縁体580の開口に対して、自己整合的に選択される。つまり、トランジスタ500において、ゲート電極を、ソース電極とドレイン電極の間に、自己整合的に配置させることができる。よって、導電体560を位置合わせのマージンを設けることなく形成することができるため、トランジスタ500の占有面積の縮小を図ることができる。これにより、半導体装置の微細化、高集積化を図ることができる。

【0461】

さらに、導電体560が、導電体542aと導電体542bの間の領域に自己整合的に形成されるため、導電体560は、導電体542a又は導電体542bと重畳する領域を有さない。これにより、導電体560と導電体542a及び導電体542bとの間に形成される寄生容量を低減することができる。よって、トランジスタ500のスイッチング速度を向上させ、周波数特性を高めることができる。

【0462】

導電体560は、第1のゲート（トップゲートともいう）電極として機能する場合がある。また、導電体503は、第2のゲート（ボトムゲートともいう）電極として機能する場合がある。その場合、導電体503に印加する電位を、導電体560に印加する電位と、連動させず、独立して変化させることで、トランジスタ500のしきい値電圧を制御することができる。特に、導電体503に負の電位を印加することにより、トランジスタ500のしきい値電圧を0Vより大きくし、オフ電流を低減することが可能となる。したがって、導電体503に負の電位を印加したほうが、印加しない場合よりも、導電体560に印加する電位が0Vのときのドレイン電流を小さくすることができる。

【0463】

導電体503は、酸化物530、及び導電体560と重なるように配置する。これにより、導電体560、及び導電体503に電位を印加した場合、導電体560から生じる電界と、導電体503から生じる電界と、がつながり、酸化物530に形成されるチャンネル形成領域を覆うことができる。本明細書等において、第1のゲート電極、及び第2のゲート電極の電界によって、チャンネル形成領域を電氣的に取り囲むトランジスタの構造を、*surrounded channel (s-channel)* 構造とよぶ。

【0464】

また、導電体503は、導電体518と同様の構成であり、絶縁体514及び絶縁体516の開口の内壁に接して導電体503aが形成され、さらに内側に導電体503bが形成されている。なお、トランジスタ500では、導電体503a及び導電体503bを積層する構成について示しているが、本発明の一態様はこれに限られるものではない。例えば、導電体503は、単層、又は3層以上の積層構造として設ける構成にしてもよい。

【0465】

ここで、導電体503aは、水素原子、水素分子、水分子、銅原子等の不純物の拡散を抑制する機能を有する（上記不純物が透過しにくい。）導電性材料を用いることが好ましい。又は、酸素（例えば、酸素原子、酸素分子等の少なくとも一）の拡散を抑制する機能を有する（上記酸素が透過しにくい。）導電性材料を用いることが好ましい。なお、本明細書において、不純物、又は酸素の拡散を抑制する機能とは、上記不純物、又は上記酸素のいずれか一又は、全ての拡散を抑制する機能とする。

【0466】

例えば、導電体503aが酸素の拡散を抑制する機能を持つことにより、導電体503bが酸化して導電率が低下することを抑制することができる。

【0467】

また、導電体503が配線の機能を兼ねる場合、導電体503bは、タングステン、銅、又はアルミニウムを主成分とする、導電性が高い導電性材料を用いることが好ましい。その場合、導電体503aは、必ずしも設けなくともよい。なお、導電体503bを単層で図示したが、積層構造としてもよく、例えば、チタン又は窒化チタンと上記導電性材料との積層としてもよい。

【0468】

絶縁体520、絶縁体522、及び絶縁体524は、導電体503に対するゲート絶縁膜としての機能を有する。

【0469】

ここで、酸化物530と接する絶縁体524は、化学量論的組成を満たす酸素よりも多くの酸素を含む絶縁体を用いることが好ましい。つまり、絶縁体524には、過剰酸素領域が形成されていることが好ましい。このような過剰酸素を含む絶縁体を酸化物530に接して設けることにより、酸化物530中の酸素欠損を低減し、トランジスタ500の信頼性を向上させることができる。

【0470】

過剰酸素領域を有する絶縁体として、具体的には、加熱により一部の酸素が脱離する酸化物材料を用いることが好ましい。加熱により酸素を脱離する酸化物とは、TDS（Thermal Desorption Spectroscopy）分析にて、酸素原子に換算しての酸素の脱離量が $1.0 \times 10^{18} \text{ atoms/cm}^3$ 以上、好ましくは $1.0 \times 10^{19} \text{ atoms/cm}^3$ 以上、さらに好ましくは $2.0 \times 10^{19} \text{ atoms/cm}^3$ 以上、又は $3.0 \times 10^{20} \text{ atoms/cm}^3$ 以上である酸化物膜である。なお、上記TDS分析時における膜の表面温度としては 100°C 以上 700°C 以下、又は 100°C 以上 400°C 以下の範囲が好ましい。

【0471】

また、上記過剰酸素領域を有する絶縁体と、酸化物530と、を接して加熱処理、マイクロ波処理、又はRF処理のいずれか一又は複数の処理を行ってもよい。当該処理を行うことで、酸化物530中の水、又は水素を除去することができる。例えば、酸化物530において、 V-OH の結合が切断される反応が起きる、別言すると「 $\text{V-OH} \rightarrow \text{V-O} + \text{H}$ 」という反応が起きて、脱水素化することができる。このとき発生した水素の一部は、酸素と結合して H_2O として、酸化物530、又は酸化物530近傍の絶縁体から除去される場合がある。また、水素の一部は、導電体542a又は導電体542bに拡散又は捕獲（ゲッタリングともいう）される場合がある。

【0472】

また、上記マイクロ波処理は、例えば、高密度プラズマを発生させる電源を有する装置、

又は、基板側にRFを印加する電源を有する装置を用いると好適である。例えば、酸素を含むガスを用い、且つ高密度プラズマを用いることにより、高密度の酸素ラジカルを生成することができる。そして、基板側にRFを印加することで、高密度プラズマによって生成された酸素ラジカルを、効率良く酸化物530、又は酸化物530近傍の絶縁体中に導入することができる。また、上記マイクロ波処理は、圧力を133Pa以上、好ましくは200Pa以上、さらに好ましくは400Pa以上とすればよい。また、マイクロ波処理を行う装置内に導入するガスとしては、例えば、酸素と、アルゴンとを用い、酸素流量比($O_2 / (O_2 + Ar)$)が50%以下、好ましくは10%以上30%以下で行うとよい。

【0473】

また、トランジスタ500の作製工程中において、酸化物530の表面が露出した状態で、加熱処理を行うと好適である。当該加熱処理は、例えば、100℃以上450℃以下、より好ましくは350℃以上400℃以下で行えばよい。なお、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気、又は酸化性ガスを10ppm以上、1%以上、もしくは10%以上含む雰囲気で行う。例えば、加熱処理は酸素雰囲気で行うことが好ましい。これにより、酸化物530に酸素を供給して、酸素欠損(V_O)の低減を図ることができる。また、加熱処理は減圧状態で行ってもよい。又は、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気で行った後に、脱離した酸素を補うために、酸化性ガスを10ppm以上、1%以上、又は10%以上含む雰囲気で行ってもよい。又は、酸化性ガスを10ppm以上、1%以上、又は10%以上含む雰囲気で行った後に、連続して窒素ガスもしくは不活性ガスの雰囲気で行ってもよい。

【0474】

なお、酸化物530に加酸素化処理を行うことで、酸化物530中の酸素欠損を、供給された酸素により修復させる、別言すると「 $V_O + O \rightarrow null$ 」という反応を促進させることができる。さらに、酸化物530中に残存した水素に供給された酸素が反応することで、当該水素を H_2O として除去する(脱水化する)ことができる。これにより、酸化物530中に残存していた水素が酸素欠損に再結合して V_OH が形成されることを抑制することができる。

【0475】

また、絶縁体524が、過剰酸素領域を有する場合、絶縁体522は、酸素(例えば、酸素原子、酸素分子等)の拡散を抑制する機能を有する(上記酸素が透過しにくい)ことが好ましい。

【0476】

絶縁体522が、酸素や不純物の拡散を抑制する機能を有すると、酸化物530が有する酸素は、絶縁体520側へ拡散することがないため好ましい。また、導電体503が、絶縁体524や、酸化物530が有する酸素と反応することを抑制することができるため好ましい。

【0477】

絶縁体522は、例えば、酸化アルミニウム、酸化ハフニウム、アルミニウム及びハフニウムを含む酸化物(ハフニウムアルミネート)、酸化タンタル、酸化ジルコニウム、チタン酸ジルコニウム酸鉛(PZT)、チタン酸ストロンチウム($SrTiO_3$)、又は(Ba, Sr) TiO_3 (BST)等のいわゆるhigh-k材料(高い比誘電率の材料)を含む絶縁体を単層又は積層で用いることが好ましい。トランジスタの微細化、及び高集積化が進むと、ゲート絶縁膜の薄膜化により、リーク電流等の問題が生じる場合がある。ゲート絶縁膜として機能する絶縁体にhigh-k材料を用いることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減が可能となる。

【0478】

特に、不純物、及び酸素等の拡散を抑制する機能を有する(上記酸素が透過しにくい)絶縁性材料であるアルミニウム、ハフニウムの一方又は双方の酸化物を含む絶縁体を用いるとよい。アルミニウム、ハフニウムの一方又は双方の酸化物を含む絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウム及びハフニウムを含む酸化物(ハフニウムア

10

20

30

40

50

ルミネート)等を用いることが好ましい。このような材料を用いて絶縁体522を形成した場合、絶縁体522は、酸化物530からの酸素の放出や、トランジスタ500の周辺部から酸化物530への水素等の不純物の混入を抑制する層として機能する。

【0479】

又は、これらの絶縁体に、例えば、酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオブ、酸化シリコン、酸化チタン、酸化タングステン、酸化イットリウム、酸化ジルコニウムを添加してもよい。又はこれらの絶縁体を窒化処理してもよい。上記の絶縁体に酸化シリコン、酸化窒化シリコン又は窒化シリコンを積層して用いてもよい。

【0480】

また、絶縁体520は、熱的に安定していることが好ましい。例えば、酸化シリコン及び酸化窒化シリコンは、熱的に安定であるため、好適である。また、high-k材料の絶縁体と、酸化シリコン又は酸化窒化シリコンと、を組み合わせることで、熱的に安定かつ比誘電率の高い積層構造の絶縁体520を取得することができる。

10

【0481】

なお、図21A及び図21Bのトランジスタ500では、導電体503に対する、3層の積層構造からなるゲート絶縁膜として、絶縁体520、絶縁体522、及び絶縁体524が図示されているが、当該ゲート絶縁膜は、単層、2層、又は4層以上の積層構造を有していてもよい。その場合、同じ材料からなる積層構造に限定されず、異なる材料からなる積層構造でもよい。

【0482】

トランジスタ500は、チャンネル形成領域を含む酸化物530に、酸化物半導体として機能する金属酸化物を用いることが好ましい。例えば、酸化物530として、In-M-Zn酸化物(元素Mは、アルミニウム、ガリウム、イットリウム、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、又はマグネシウム等から選ばれた一種、又は複数種)等の金属酸化物を用いるとよい。特に、酸化物530として適用できるIn-M-Zn酸化物は、CAAC-OS(C-Axis Aligned Crystalline Oxide Semiconductor)、CAC-OS(Cloud-Aligned Composite Oxide Semiconductor)であることが好ましい。また、酸化物530として、In-Ga酸化物、In-Zn酸化物、In酸化物等を用いてもよい。

20

30

【0483】

また、トランジスタ500には、キャリア濃度の低い金属酸化物を用いることが好ましい。金属酸化物のキャリア濃度を低くするためには、金属酸化物中の不純物濃度を低くし、欠陥準位密度を低くすればよい。本明細書等において、不純物濃度が低く、欠陥準位密度が低いことを高純度真性、又は実質的に高純度真性という。なお、金属酸化物中の不純物としては、例えば、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。

【0484】

特に、金属酸化物に含まれる水素は、金属原子と結合する酸素と反応して水になるため、金属酸化物中に酸素欠損を形成する場合がある。また、酸化物530中の酸素欠損に水素が入った場合、酸素欠損と水素とが結合しVOHを形成する場合がある。VOHはドナーとして機能し、キャリアである電子が生成されることがある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成する場合がある。従って、水素が多く含まれている金属酸化物を用いたトランジスタは、ノーマリーオン特性となりやすい。また、金属酸化物中の水素は、熱、電界等のストレスによって動きやすいため、金属酸化物に多くの水素が含まれると、トランジスタの信頼性が悪化する恐れもある。本発明の一態様においては、酸化物530中のVOHをできる限り低減し、高純度真性又は実質的に高純度真性にすることが好ましい。このように、VOHが十分低減された金属酸化物を取得するには、金属酸化物中の水分、水素等の不純物を除去すること(脱水、脱水素化

40

50

処理と記載する場合がある。)と、金属酸化物に酸素を供給して酸素欠損を補填すること(加酸素化処理と記載する場合がある。)が重要である。 V_{OH} 等の不純物が十分に低減された金属酸化物をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

【0485】

酸素欠損に水素が入った欠陥は、金属酸化物のドナーとして機能しうる。しかしながら、当該欠陥を定量的に評価することは困難である。そこで、金属酸化物においては、ドナー濃度ではなく、キャリア濃度で評価される場合がある。よって、本明細書等では、金属酸化物のパラメータとして、ドナー濃度ではなく、電界が印加されない状態を想定したキャリア濃度を用いる場合がある。つまり、本明細書等に記載の「キャリア濃度」は、「ドナー濃度」と言い換えることができる場合がある。

10

【0486】

よって、金属酸化物を酸化物530に用いる場合、金属酸化物中の水素はできる限り低減されていることが好ましい。具体的には、金属酸化物において、二次イオン質量分析法(SIMS: Secondary Ion Mass Spectrometry)により取得される水素濃度を、 $1 \times 10^{20} \text{ atoms/cm}^3$ 未満、好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、より好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満とする。水素等の不純物が十分に低減された金属酸化物をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

20

【0487】

また、酸化物530に金属酸化物を用いる場合、当該金属酸化物は、バンドギャップが高く、真性(I型ともいう。)、又は実質的に真性である半導体であって、かつチャネル形成領域の金属酸化物のキャリア濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ 未満であることが好ましく、 $1 \times 10^{17} \text{ cm}^{-3}$ 未満であることがより好ましく、 $1 \times 10^{16} \text{ cm}^{-3}$ 未満であることがさらに好ましく、 $1 \times 10^{13} \text{ cm}^{-3}$ 未満であることがさらに好ましく、 $1 \times 10^{12} \text{ cm}^{-3}$ 未満であることがさらに好ましい。なお、チャネル形成領域の金属酸化物のキャリア濃度の下限値については、特に限定は無いが、例えば、 $1 \times 10^{-9} \text{ cm}^{-3}$ とすることができる。

【0488】

また、酸化物530に金属酸化物を用いる場合、導電体542a及び導電体542bと酸化物530とが接することで、酸化物530中の酸素が導電体542a及び導電体542bへ拡散し、導電体542a及び導電体542bが酸化する場合がある。導電体542a及び導電体542bが酸化することで、導電体542a及び導電体542bの導電率が低下する蓋然性が高い。なお、酸化物530中の酸素が導電体542a及び導電体542bへ拡散することを、導電体542a及び導電体542bが酸化物530中の酸素を吸収する、と言い換えることができる。

30

【0489】

また、酸化物530中の酸素が導電体542a及び導電体542bへ拡散することで、導電体542aと酸化物530bとの間、及び、導電体542bと酸化物530bとの間に異層が形成される場合がある。当該異層は、導電体542a及び導電体542bよりも酸素を多く含むため、当該異層は絶縁性を有すると推定される。このとき、導電体542a又は導電体542bと、当該異層と、酸化物530bとの3層構造は、金属-絶縁体-半導体からなる3層構造とみなすことができ、MIS(Metal-Insulator-Semiconductor)構造と呼ぶ、又はMIS構造を主としたダイオード接合構造と呼ぶ場合がある。

40

【0490】

なお、上記異層は、導電体542a及び導電体542bと酸化物530bとの間に形成されることに限られず、例えば、異層が、導電体542a及び導電体542bと酸化物530cとの間に形成される場合や、導電体542a及び導電体542bと酸化物530bと

50

の間、導電体 5 4 2 a 及び導電体 5 4 2 b と酸化物 5 3 0 c との間に形成される場合がある。

【0491】

酸化物 5 3 0 においてチャネル形成領域として機能する金属酸化物は、バンドギャップが 2 e V 以上のものを用いることが好ましく、2. 5 e V 以上のものを用いることがより好ましい。このように、バンドギャップの大きい金属酸化物を用いることで、トランジスタのオフ電流を低減することができる。

【0492】

酸化物 5 3 0 は、酸化物 5 3 0 b 下に酸化物 5 3 0 a を有することで、酸化物 5 3 0 a よりも下方に形成された構造物から、酸化物 5 3 0 b への不純物の拡散を抑制することができる。また、酸化物 5 3 0 b 上に酸化物 5 3 0 c を有することで、酸化物 5 3 0 c よりも上方に形成された構造物から、酸化物 5 3 0 b への不純物の拡散を抑制することができる。

【0493】

なお、酸化物 5 3 0 は、各金属原子の原子数比が異なる複数の酸化物層の積層構造を有することが好ましい。具体的には、酸化物 5 3 0 a に用いる金属酸化物において、構成元素中の元素 M の原子数比が、酸化物 5 3 0 b に用いる金属酸化物における、構成元素中の元素 M の原子数比より、大きいことが好ましい。また、酸化物 5 3 0 a に用いる金属酸化物において、I n に対する元素 M の原子数比が、酸化物 5 3 0 b に用いる金属酸化物における、I n に対する元素 M の原子数比より大きいことが好ましい。また、酸化物 5 3 0 b に用いる金属酸化物において、元素 M に対する I n の原子数比が、酸化物 5 3 0 a に用いる金属酸化物における、元素 M に対する I n の原子数比より大きいことが好ましい。また、酸化物 5 3 0 c は、酸化物 5 3 0 a 又は酸化物 5 3 0 b に用いることができる金属酸化物を、用いることができる。

【0494】

具体的には、酸化物 5 3 0 a として、I n と G a と Z n との原子数比が $I n : G a : Z n = 1 : 3 : 4$ 、又は $1 : 1 : 0.5$ の金属酸化物を用いればよい。また、酸化物 5 3 0 b として、I n と G a と Z n との原子数比が $I n : G a : Z n = 4 : 2 : 3$ 、又は $1 : 1 : 1$ の金属酸化物を用いればよい。また、酸化物 5 3 0 c として、I n と G a と Z n との原子数比が $I n : G a : Z n = 1 : 3 : 4$ 、また G a と Z n の原子数比が $G a : Z n = 2 : 1$ 、又は $G a : Z n = 2 : 5$ の金属酸化物を用いればよい。また、酸化物 5 3 0 c を積層構造とする場合の具体例としては、I n と G a と Z n との原子数比が $I n : G a : Z n = 4 : 2 : 3$ と、 $I n : G a : Z n = 1 : 3 : 4$ との積層構造、また G a と Z n の原子数比が $G a : Z n = 2 : 1$ と、I n と G a と Z n との原子数比が $I n : G a : Z n = 4 : 2 : 3$ との積層構造、G a と Z n の原子数比が $G a : Z n = 2 : 5$ と、I n と G a と Z n との原子数比が $I n : G a : Z n = 4 : 2 : 3$ との積層構造、酸化ガリウムと、I n と G a と Z n との原子数比が $I n : G a : Z n = 4 : 2 : 3$ との積層構造等が挙げられる。

【0495】

また、例えば、酸化物 5 3 0 a に用いる金属酸化物における元素 M に対する I n の原子数比が、酸化物 5 3 0 b に用いる金属酸化物における元素 M に対する I n の原子数比より小さい場合、酸化物 5 3 0 b として、I n と G a と Z n との原子数比が $I n : G a : Z n = 5 : 1 : 6$ 又はその近傍、 $I n : G a : Z n = 5 : 1 : 3$ 又はその近傍、 $I n : G a : Z n = 10 : 1 : 3$ 又はその近傍等の組成である I n - G a - Z n 酸化物を用いることができる。

【0496】

また、上述した以外の組成としては、酸化物 5 3 0 b には、例えば、 $I n : Z n = 2 : 1$ の組成、 $I n : Z n = 5 : 1$ の組成、 $I n : Z n = 10 : 1$ の組成、これらのいずれか一の近傍の組成等を有する金属酸化物を用いることができる。

【0497】

これらの酸化物 5 3 0 a、酸化物 5 3 0 b、酸化物 5 3 0 c を上記の原子数比の関係を満たして組み合わせることが好ましい。例えば、酸化物 5 3 0 a、及び酸化物 5 3 0 c を、

In : Ga : Zn = 1 : 3 : 4 の組成及びその近傍の組成を有する金属酸化物、酸化物 530b を、In : Ga : Zn = 4 : 2 : 3 から 4.1 の組成及びその近傍の組成を有する金属酸化物とするのが好ましい。なお、上記組成は、基体上に形成された酸化物中の原子数比、又はスパッタターゲットにおける原子数比を示す。また、酸化物 530b の組成として、In の比率を高めることで、トランジスタのオン電流、又は電界効果移動度等を高めることが出来るため好適である。

【0498】

また、酸化物 530a 及び酸化物 530c の伝導帯下端のエネルギーが、酸化物 530b の伝導帯下端のエネルギーより高くなることが好ましい。言い換えると、酸化物 530a 及び酸化物 530c の電子親和力が、酸化物 530b の電子親和力より小さいことが好ましい。

10

【0499】

ここで、酸化物 530a、酸化物 530b、及び酸化物 530c の接合部において、伝導帯下端のエネルギー準位はなだらかに変化する。言い換えると、酸化物 530a、酸化物 530b、及び酸化物 530c の接合部における伝導帯下端のエネルギー準位は、連続的に変化又は連続接合するともいうことができる。このようにするためには、酸化物 530a と酸化物 530b との界面、及び酸化物 530b と酸化物 530c との界面において形成される混合層の欠陥準位密度を低くするとよい。

【0500】

具体的には、酸化物 530a と酸化物 530b、酸化物 530b と酸化物 530c が、酸素以外に共通の元素を有する（主成分とする）ことで、欠陥準位密度が低い混合層を形成することができる。例えば、酸化物 530b が In-Ga-Zn 酸化物の場合、酸化物 530a 及び酸化物 530c として、In-Ga-Zn 酸化物、Ga-Zn 酸化物、酸化ガリウム等を用いるとよい。

20

【0501】

このとき、キャリアの主たる経路は酸化物 530b となる。酸化物 530a、酸化物 530c を上述の構成とすることで、酸化物 530a と酸化物 530b との界面、及び酸化物 530b と酸化物 530c との界面における欠陥準位密度を低くすることができる。そのため、界面散乱によるキャリア伝導への影響が小さくなり、トランジスタ 500 は高いオン電流を取得される。

30

【0502】

酸化物 530b 上には、ソース電極、及びドレイン電極として機能する導電体 542a、及び導電体 542b が設けられる。導電体 542a、及び導電体 542b としては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウム、イリジウム、ストロンチウム、ランタンから選ばれた金属元素、又は上述した金属元素を成分とする合金か、上述した金属元素を組み合わせた合金等を用いることが好ましい。例えば、窒化タンタル、窒化チタン、タングステン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物等を用いることが好ましい。また、窒化タンタル、窒化チタン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物は、酸化しにくい導電性材料、又は、酸素を吸収しても導電性を維持する材料であるため、好ましい。更に、窒化タンタル等の金属窒化物膜は、水素又は酸素に対するバリア性があるため好ましい。

40

【0503】

また、図 21A、図 21B では、導電体 542a、及び導電体 542b を単層構造として示したが、2 層以上の積層構造としてもよい。例えば、窒化タンタル膜とタングステン膜を積層するとよい。また、チタン膜とアルミニウム膜を積層してもよい。また、タングス

50

テン膜上にアルミニウム膜を積層する二層構造、銅－マグネシウム－アルミニウム合金膜上に銅膜を積層する二層構造、チタン膜上に銅膜を積層する二層構造、タングステン膜上に銅膜を積層する二層構造としてもよい。

【0504】

また、チタン膜又は窒化チタン膜と、そのチタン膜又は窒化チタン膜上に重ねてアルミニウム膜又は銅膜を積層し、さらにその上にチタン膜又は窒化チタン膜を形成する三層構造、モリブデン膜又は窒化モリブデン膜と、そのモリブデン膜又は窒化モリブデン膜上に重ねてアルミニウム膜又は銅膜を積層し、さらにその上にモリブデン膜又は窒化モリブデン膜を形成する三層構造等がある。なお、酸化インジウム、酸化錫又は酸化亜鉛を含む透明導電材料を用いてもよい。

10

【0505】

また、図21Aに示すように、酸化物530の、導電体542a（導電体542b）との界面とその近傍には、低抵抗領域として、領域543a、及び領域543bが形成される場合がある。このとき、領域543aはソース領域又はドレイン領域の一方として機能し、領域543bはソース領域又はドレイン領域の他方として機能する。また、領域543aと領域543bに挟まれる領域にチャンネル形成領域が形成される。

【0506】

酸化物530と接するように上記導電体542a（導電体542b）を設けることで、領域543a（領域543b）の酸素濃度が低減する場合がある。また、導電体542a（導電体542b）に含まれる金属と、酸化物530の成分と、を含む金属化合物層が領域543a（領域543b）に形成される場合がある。このような場合、領域543a（領域543b）のキャリア濃度が増加し、領域543a（領域543b）は、低抵抗領域となる。

20

【0507】

絶縁体544は、導電体542a、及び導電体542bを覆うように設けられ、導電体542a、及び導電体542bの酸化を抑制する。このとき、絶縁体544は、酸化物530の側面を覆い、絶縁体524と接するように設けられてもよい。

【0508】

絶縁体544として、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム、ネオジム、ランタン又は、マグネシウム等から選ばれた一種、又は二種以上が含まれた金属酸化物を用いることができる。また、絶縁体544として、窒化酸化シリコン又は窒化シリコン等も用いることができる。

30

【0509】

特に、絶縁体544として、アルミニウム又はハフニウムの酸化物を含む絶縁体である、酸化アルミニウム、又は酸化ハフニウムを用いることが好ましい。又は、アルミニウム及びハフニウムを含む酸化物（ハフニウムアルミネート）等を用いることが好ましい。特に、ハフニウムアルミネートは、酸化ハフニウム膜よりも、耐熱性が高い。そのため、後の工程での熱処理において、結晶化しにくい方が好ましい。なお、導電体542a及び導電体542bが耐酸化性を有する材料である場合、又は、酸素を吸収しても導電性が著しくは低下しない材料である場合は、絶縁体544は必須の構成ではない。求めるトランジスタ特性により、適宜設計すればよい。

40

【0510】

絶縁体544を有することで、絶縁体580に含まれる水、及び水素等の不純物が酸化物530bに拡散することを抑制することができる。また、絶縁体580が有する過剰酸素により、導電体560が酸化することを抑制することができる。

【0511】

絶縁体550は、導電体560に対するゲート絶縁膜として機能する。絶縁体550は、酸化物530cの内側（上面、及び側面）に接して配置することが好ましい。絶縁体550は、上述した絶縁体524と同様に、過剰に酸素を含み、かつ加熱により酸素が放出さ

50

れる絶縁体を用いて形成することが好ましい。

【0512】

具体的には、過剰酸素を有する酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素、及び窒素を添加した酸化シリコン、空孔を有する酸化シリコンを用いることができる。特に、酸化シリコン、及び酸化窒化シリコンは熱に対し安定であるため好ましい。

【0513】

加熱により酸素が放出される絶縁体を、絶縁体550として、酸化物530cの上面に接して設けることにより、絶縁体550から、酸化物530cを通じて、酸化物530bのチャンネル形成領域に効果的に酸素を供給することができる。また、絶縁体524と同様に、絶縁体550中の水又は水素等の不純物濃度が低減されていることが好ましい。絶縁体550の膜厚は、1nm以上20nm以下とするのが好ましい。

【0514】

また、絶縁体550が有する過剰酸素を、効率的に酸化物530へ供給するために、絶縁体550と導電体560との間に金属酸化物を設けてもよい。当該金属酸化物は、絶縁体550から導電体560への酸素拡散を抑制する機能を有することが好ましい。酸素の拡散を抑制する金属酸化物を設けることで、絶縁体550から導電体560への過剰酸素の拡散が抑制される。つまり、酸化物530へ供給する過剰酸素量の減少を抑制することができる。また、過剰酸素による導電体560の酸化を抑制することができる。当該金属酸化物としては、絶縁体544に用いることができる材料を用いればよい。

【0515】

なお、絶縁体550は、導電体503に対するゲート絶縁膜と同様に、積層構造としてもよい。トランジスタの微細化、及び高集積化が進むと、ゲート絶縁膜の薄膜化により、リーク電流等の問題が生じる場合がある。このため、ゲート絶縁膜として機能する絶縁体を、high-k材料と、熱的に安定している材料との積層構造とすることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位を低減することが可能となる。また、熱的に安定かつ比誘電率の高い積層構造とすることができる。

【0516】

第1のゲート電極として機能する導電体560は、図21A及び図21Bでは2層構造として示しているが、単層構造でもよいし、3層以上の積層構造であってもよい。

【0517】

導電体560aは、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子(N_2O 、 NO 、 NO_2 等)、銅原子等の不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。又は、酸素(例えば、酸素原子、酸素分子等の少なくとも一)の拡散を抑制する機能を有する導電性材料を用いることが好ましい。導電体560aが酸素の拡散を抑制する機能を持つことにより、絶縁体550に含まれる酸素により、導電体560bが酸化して導電率が低下することを抑制することができる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、タンタル、窒化タンタル、ルテニウム、又は酸化ルテニウム等を用いることが好ましい。また、導電体560aとして、酸化物530に適用できる酸化物半導体を用いることができる。その場合、導電体560bをスパッタリング法で成膜することで、導電体560aの電気抵抗値を低下させて導電体にすることができる。これをOC(Oxide Conductor)電極と呼ぶことができる。

【0518】

また、導電体560bは、タングステン、銅、又はアルミニウムを主成分とする導電性材料を用いることが好ましい。また、導電体560bは、配線としても機能するため、導電性が高い導電体を用いることが好ましい。例えば、タングステン、銅、又はアルミニウムを主成分とする導電性材料を用いることができる。また、導電体560bは積層構造としてもよく、例えば、チタン又は窒化チタンと上記導電性材料との積層構造としてもよい。

【0519】

絶縁体580は、絶縁体544を介して、導電体542a上、及び導電体542b上に設

けられる。絶縁体580は、過剰酸素領域を有することが好ましい。例えば、絶縁体580として、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素及び窒素を添加した酸化シリコン、空孔を有する酸化シリコン、又は樹脂等を有することが好ましい。特に、酸化シリコン、及び酸化窒化シリコンは、熱的に安定であるため好ましい。また、酸化シリコン、及び空孔を有する酸化シリコンは、後の工程で容易に過剰酸素領域を形成することができるため好ましい。

【0520】

絶縁体580は、過剰酸素領域を有することが好ましい。加熱により酸素が放出される絶縁体580を、酸化物530cと接して設けることで、絶縁体580中の酸素を、酸化物530cを通じて、酸化物530へと効率良く供給することができる。なお、絶縁体580中の、水又は水素等の不純物濃度が低減されていることが好ましい。

10

【0521】

絶縁体580の開口は、導電体542aと導電体542bの間の領域に重畳して形成される。これにより、導電体560は、絶縁体580の開口、及び導電体542aと導電体542bに挟まれた領域に、埋め込まれるように形成される。

【0522】

半導体装置を微細化するにあたり、ゲート長を短くすることが求められる。一方、導電体560の導電性が下がらないようにする必要がある。導電体560の導電性が下がらないようにするために導電体560の膜厚を大きくすると、導電体560はアスペクト比の高い形状となりうる。本実施の形態では、導電体560を絶縁体580の開口に埋め込むように設けるため、導電体560をアスペクト比の高い形状にしても、工程中に導電体560を倒壊させることなく、形成することができる。

20

【0523】

絶縁体574は、絶縁体580の上面、導電体560の上面、及び絶縁体550の上面に接して設けられることが好ましい。絶縁体574をスパッタリング法で成膜することで、絶縁体550、及び絶縁体580に過剰酸素領域を設けることができる。これにより、当該過剰酸素領域から、酸化物530中に酸素を供給することができる。

【0524】

例えば、絶縁体574として、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム、又はマグネシウム等から選ばれた一種、又は二種以上が含まれた金属酸化物を用いることができる。

30

【0525】

特に、酸化アルミニウムはバリア性が高く、0.5nm以上3.0nm以下の薄膜であっても、水素、及び窒素の拡散を抑制することができる。したがって、スパッタリング法で成膜した酸化アルミニウムは、酸素供給源であるとともに、水素等の不純物のバリア膜としての機能も有することができる。

【0526】

また、絶縁体574の上に、層間膜として機能する絶縁体581を設けることが好ましい。絶縁体581は、絶縁体524等と同様に、膜中の水又は水素等の不純物濃度が低減されていることが好ましい。

40

【0527】

また、絶縁体581、絶縁体574、絶縁体580、及び絶縁体544に形成された開口に、導電体540a、及び導電体540bを配置する。導電体540a及び導電体540bは、導電体560を挟んで対向して設ける。導電体540a及び導電体540bは、後述する導電体546、及び導電体548と同様の構成である。

【0528】

絶縁体581上には、絶縁体582が設けられている。絶縁体582は、酸素や水素に対してバリア性のある物質を用いることが好ましい。したがって、絶縁体582には、絶縁体514と同様の材料を用いることができる。例えば、絶縁体582には、酸化アルミニ

50

ウム、酸化ハフニウム、酸化タンタル等の金属酸化物を用いることが好ましい。

【0529】

特に、酸化アルミニウムは、酸素、及びトランジスタの電気特性の変動要因となる水素、水分等の不純物、の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウムは、トランジスタの作製工程中及び作製後において、水素、水分等の不純物のトランジスタ500への混入を防止することができる。また、トランジスタ500を構成する酸化物からの酸素の放出を抑制することができる。そのため、トランジスタ500に対する保護膜として用いることに適している。

【0530】

また、絶縁体582上には、絶縁体586が設けられている。絶縁体586は、絶縁体320と同様の材料を用いることができる。また、これらの絶縁体に、比較的誘電率が低い材料を適用することで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体586として、酸化シリコン膜や酸化窒化シリコン膜等を用いることができる。

【0531】

また、絶縁体520、絶縁体522、絶縁体524、絶縁体544、絶縁体580、絶縁体574、絶縁体581、絶縁体582、及び絶縁体586には、導電体546、及び導電体548等が埋め込まれている。

【0532】

導電体546、及び導電体548は、容量素子600、トランジスタ500、又はトランジスタ300と接続するプラグ、又は配線としての機能を有する。導電体546、及び導電体548は、導電体328、及び導電体330と同様の材料を用いて設けることができる。

【0533】

なお、トランジスタ500の形成後、トランジスタ500を囲むように開口を形成し、当該開口を覆うように、水素、又は水に対するバリア性が高い絶縁体を形成してもよい。上述のバリア性の高い絶縁体でトランジスタ500を包み込むことで、外部から水分、及び水素が侵入することを防止することができる。又は、複数のトランジスタ500をまとめて、水素、又は水に対するバリア性が高い絶縁体で包み込んでもよい。なお、トランジスタ500を囲むように開口を形成する場合、例えば、絶縁体514又は絶縁体522に達する開口を形成し、絶縁体514又は絶縁体522に接するように上述のバリア性の高い絶縁体を形成すると、トランジスタ500の作製工程の一部を兼ねられるため、好適である。なお、水素、又は水に対するバリア性が高い絶縁体としては、例えば、絶縁体522と同様の材料を用いればよい。

【0534】

続いて、トランジスタ500の上方には、容量素子600が設けられている。容量素子600は、導電体610と、導電体620、絶縁体630とを有する。

【0535】

また、導電体546、及び導電体548上に、導電体612を設けてもよい。導電体612は、トランジスタ500と接続するプラグ、又は配線としての機能を有する。導電体610は、容量素子600の電極としての機能を有する。なお、導電体612、及び導電体610は、同時に形成することができる。

【0536】

導電体612、及び導電体610には、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジム、スカンジウムから選ばれた元素を含む金属膜、又は上述した元素を成分とする金属窒化物膜（窒化タンタル膜、窒化チタン膜、窒化モリブデン膜、窒化タングステン膜）等を用いることができる。又は、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物等の導電性材料を適用することもできる。

10

20

30

40

50

【0537】

図19では、導電体612、及び導電体610は単層構造を示したが、当該構成に限定されず、2層以上の積層構造でもよい。例えば、バリア性を有する導電体と導電性が高い導電体との間に、バリア性を有する導電体、及び導電性が高い導電体に対して密着性が高い導電体を形成してもよい。

【0538】

絶縁体630を介して、導電体610と重畳するように、導電体620を設ける。なお、導電体620は、金属材料、合金材料、又は金属酸化物材料等の導電性材料を用いることができる。耐熱性と導電性を両立するタングステンやモリブデン等の高融点材料を用いることが好ましく、特にタングステンを用いることが好ましい。また、導電体等の他の構造と同時に形成する場合は、低抵抗金属材料であるCu（銅）やAl（アルミニウム）等を用いればよい。

10

【0539】

導電体620、及び絶縁体630上には、絶縁体650が設けられている。絶縁体650は、絶縁体320と同様の材料を用いて設けることができる。また、絶縁体650は、その下方の凹凸形状を被覆する平坦化膜として機能してもよい。

【0540】

本構造を用いることで、酸化物半導体を有するトランジスタを用いた半導体装置において、電気特性の変動を抑制するとともに、信頼性を向上させることができる。又は、酸化物半導体を有するトランジスタを用いた半導体装置において、微細化又は高集積化を図ることができる。

20

【0541】

図22A及び図22Bは、図21A及び図21Bに示すトランジスタ500の変形例である。図22Aはトランジスタ500のチャンネル長方向の断面図であり、図22Bはトランジスタ500のチャンネル幅方向の断面図である。図22A及び図22Bに示すトランジスタ500は、絶縁体402及び絶縁体404を有する点が、図21A及び図21Bに示すトランジスタ500と異なる。また、導電体540aの側面に接して絶縁体552が設けられ、導電体540bの側面に接して絶縁体552が設けられる点が、図21A及び図21Bに示すトランジスタ500と異なる。さらに、絶縁体520を有さない点が、図21A及び図21Bに示すトランジスタ500と異なる。なお、図22A及び図22Bに示す構成は、トランジスタ300等、本発明の一態様の半導体装置が有する他のトランジスタにも適用することができる。

30

【0542】

図22A及び図22Bに示す構成のトランジスタ500は、絶縁体512上に絶縁体402が設けられている。また、絶縁体574上、及び絶縁体402上に絶縁体404が設けられている。

【0543】

図22A及び図22Bに示す構成のトランジスタ500では、絶縁体514、絶縁体516、絶縁体522、絶縁体524、絶縁体544、絶縁体580、及び絶縁体574が設けられており、絶縁体404がこれらを覆う構造になっている。つまり、絶縁体404は、絶縁体574の上面、絶縁体574の側面、絶縁体580の側面、絶縁体544の側面、絶縁体524の側面、絶縁体522の側面、絶縁体516の側面、絶縁体514の側面、絶縁体402の上面とそれぞれ接する。これにより、酸化物530等は、絶縁体404と絶縁体402によって外部から隔離される。

40

【0544】

絶縁体402及び絶縁体404は、水素（例えば、水素原子、水素分子等の少なくとも一）又は水分子の拡散を抑制する機能が高いことが好ましい。例えば、絶縁体402及び絶縁体404として、水素バリア性が高い材料である、窒化シリコン又は窒化酸化シリコンを用いることが好ましい。これにより、酸化物530に水素等が拡散することを抑制することができるため、トランジスタ500の特性が低下することを抑制することができる。

50

よって、本発明の一態様の半導体装置の信頼性を高めることができる。

【0545】

絶縁体552は、絶縁体581、絶縁体404、絶縁体574、絶縁体580、及び絶縁体544に接して設けられる。絶縁体552は、水素又は水分子の拡散を抑制する機能を有することが好ましい。例えば、絶縁体552として、水素バリア性が高い材料である、窒化シリコン、酸化アルミニウム、又は窒化酸化シリコン等の絶縁体を用いることが好ましい。特に、窒化シリコンは水素バリア性が高い材料であるため、絶縁体552として用いると好適である。絶縁体552として水素バリア性が高い材料を用いることにより、水又は水素等の不純物が、絶縁体580等から導電体540a又は導電体540bを通じて酸化物530に拡散することを抑制することができる。また、絶縁体580に含まれる酸素が導電体540a及び導電体540bに吸収されることを抑制することができる。以上により、本発明の一態様の半導体装置の信頼性を高めることができる。

10

【0546】

図23は、トランジスタ500及びトランジスタ300を図22A及び図22Bに示す構成とした場合における、半導体装置の構成例を示す断面図である。導電体546の側面に、絶縁体552が設けられている。

【0547】

図24A及び図24Bは、図22A及び図22Bに示すトランジスタの変形例である。図24Aはトランジスタのチャネル長方向の断面図であり、図24Bはトランジスタのチャネル幅方向の断面図である。図24A及び図24Bに示すトランジスタは、酸化物530cが酸化物530c1及び酸化物530c2の2層構造である点が、図22A及び図22Bに示すトランジスタと異なる。

20

【0548】

酸化物530c1は、絶縁体524の上面、酸化物530aの側面、酸化物530bの上面及び側面、導電体542a及び導電体542bの側面、絶縁体544の側面、及び絶縁体580の側面と接する。酸化物530c2は、絶縁体550と接する。

【0549】

酸化物530c1として、例えばIn-Zn酸化物を用いることができる。また、酸化物530c2として、酸化物530cが1層構造である場合に酸化物530cに用いることができる材料と同様の材料を用いることができる。例えば、酸化物530c2として、 $n:Ga:Zn=1:3:4$ [原子数比]、 $Ga:Zn=2:1$ [原子数比]、又は $Ga:Zn=2:5$ [原子数比]の金属酸化物を用いることができる。

30

【0550】

酸化物530cを酸化物530c1及び酸化物530c2の2層構造とすることにより、酸化物530cを1層構造とする場合より、トランジスタのオン電流を高めることができる。そのため、トランジスタは、例えばパワーMOSトランジスタとして適用することができる。なお、図21A及び図21Bに示す構成のトランジスタが有する酸化物530cも、酸化物530c1と酸化物530c2の2層構造とすることができる。

【0551】

図24A及び図24Bに示す構成のトランジスタは、例えば、図19、図20に示すトランジスタ300に適用することができる。また、例えば、トランジスタ300は、前述のとおり、上記実施の形態で説明した演算回路MAC1等に含まれるメモリセルアレイCAのトランジスタTr12等に適用することができる。なお、図24A及び図24Bに示すトランジスタは、トランジスタ500等、本発明の一態様の半導体装置が有する、トランジスタ300以外のトランジスタにも適用することができる。

40

【0552】

図25は、トランジスタ500を図21Aに示すトランジスタの構成とし、トランジスタ300を図24Aに示すトランジスタ構成とした場合における、半導体装置の構成例を示す断面図である。なお、図23と同様に、導電体546の側面に絶縁体552を設ける構成としている。図25に示すように、本発明の一態様の半導体装置は、トランジスタ30

50

0とトランジスタ500を両方とも0ストランジスタとしつつ、トランジスタ300とトランジスタ500のそれぞれを異なる構成にすることができる。

【0553】

次に、図19、図20の半導体装置に適用できる容量素子について説明する。

【0554】

図26A乃至図26Cでは、図19に示す半導体装置に適用できる容量素子600の一例として容量素子600Aについて示している。図26Aは容量素子600Aの上面図であり、図26Bは容量素子600Aの一点鎖線L3-L4における断面を示した斜視図であり、図26Cは容量素子600Aの一点鎖線W3-L4における断面を示した斜視図である。

10

【0555】

導電体610は、容量素子600Aの2対の電極の一方として機能し、導電体620は、容量素子600Aの2対の電極の他方として機能する。また、絶縁体630は、2対の電極に挟まれる誘電体として機能する。

【0556】

絶縁体630としては、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウム、酸化ハフニウム、酸化窒化ハフニウム、窒化酸化ハフニウム、窒化ハフニウム、酸化ジルコニウム等を用いればよく、積層又は単層で設けることができる。

【0557】

また、例えば、絶縁体630には、酸化窒化シリコン等の絶縁耐力が大きい材料と、high-k材料との積層構造を用いてもよい。絶縁体630にhigh-k材料の絶縁体を含むことにより、容量素子600Aは十分な容量を確保することができる。また、絶縁体630に絶縁耐力が大きい絶縁体を含むことにより、容量素子600Aの絶縁耐力が向上し、容量素子600Aの静電破壊を抑制することができる。

20

【0558】

なお、high-k材料の絶縁体としては、酸化ガリウム、酸化ハフニウム、酸化ジルコニウム、アルミニウム及びハフニウムを有する酸化物、アルミニウム及びハフニウムを有する酸化窒化物、シリコン及びハフニウムを有する酸化物、シリコン及びハフニウムを有する酸化窒化物又はシリコン及びハフニウムを有する窒化物等がある。

30

【0559】

又は、絶縁体630は、例えば、酸化アルミニウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛(PZT)、チタン酸ストロンチウム(SrTiO₃)又は(Ba, Sr)TiO₃(BST)等のhigh-k材料を含む絶縁体を単層又は積層で用いてもよい。例えば、絶縁体630を積層とする場合、酸化ジルコニウムと、酸化アルミニウムと、酸化ジルコニウムと、が順に形成された3層積層や、酸化ジルコニウムと、酸化アルミニウムと、酸化ジルコニウムと、酸化アルミニウムと、が順に形成された4層積層等を用いれば良い。また、絶縁体630としては、ハフニウムと、ジルコニウムとが含まれる化合物等を用いても良い。半導体装置の微細化、及び高集積化が進むと、ゲート絶縁体、及び容量素子に用いる誘電体の薄膜化により、トランジスタや容量素子のリーク電流等の問題が生じる場合がある。ゲート絶縁体、及び容量素子に用いる誘電体として機能する絶縁体にhigh-k材料を用いることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減、及び容量素子の容量の確保が可能となる。

40

【0560】

容量素子600は、導電体610の下部において、導電体546及び導電体548と電氣的に接続されている。導電体546と、導電体548は、別の回路素子と接続するためのプラグ、又は配線として機能する。また図26では、導電体546と、導電体548と、をまとめて導電体540と記載している。

【0561】

また、図26では、図を明瞭に示すために、導電体546及び導電体548が埋め込まれ

50

ている絶縁体 5 8 6 と、導電体 6 2 0 及び絶縁体 6 3 0 を覆っている絶縁体 6 5 0 と、を省略している。

【0562】

なお、図 1 9、図 2 0、図 2 3、図 2 5、及び図 2 6 に示す容量素子 6 0 0 はプレーナ型であるが、容量素子の形状はこれに限定されない。例えば、容量素子 6 0 0 は、図 2 7 A 乃至図 2 7 C に示すシリンダ型の容量素子 6 0 0 B としてもよい。

【0563】

図 2 7 A は容量素子 6 0 0 B の上面図であり、図 2 7 B は容量素子 6 0 0 B の一点鎖線 L 3 - L 4 における断面図であり、図 2 7 C は容量素子 6 0 0 B の一点鎖線 W 3 - L 4 における断面を示した斜視図である。

【0564】

図 2 7 B に示すように、容量素子 6 0 0 B は、導電体 5 4 0 が埋め込まれている絶縁体 5 8 6 上の絶縁体 6 3 1 と、開口部を有する絶縁体 6 5 1 と、2 対の電極の一方として機能する導電体 6 1 0 と、2 対の電極の他方として機能する導電体 6 2 0 と、を有する。

【0565】

また、図 2 7 C では、図を明瞭に示すために、絶縁体 5 8 6 と、絶縁体 6 5 0 と、絶縁体 6 5 1 と、を省略している。

【0566】

絶縁体 6 3 1 としては、例えば、絶縁体 5 8 6 と同様の材料を用いることができる。

【0567】

また、絶縁体 6 3 1 には、導電体 5 4 0 に電氣的に接続されるように導電体 6 1 1 が埋め込まれている。導電体 6 1 1 は、例えば、導電体 3 3 0、導電体 5 1 8 と同様の材料を用いることができる。

【0568】

絶縁体 6 5 1 としては、例えば、絶縁体 5 8 6 と同様の材料を用いることができる。

【0569】

また、絶縁体 6 5 1 は、前述の通り、開口部を有し、当該開口部は導電体 6 1 1 に重畳している。

【0570】

導電体 6 1 0 は、当該開口部の底部と、側面と、に形成されている。つまり、導電体 6 2 0 は、導電体 6 1 1 と接する領域を有する。

【0571】

なお、導電体 6 1 0 を形成するためには、まず、エッチング法等によって絶縁体 6 5 1 に開口部を形成する。次に、スパッタリング法、ALD 法等によって導電体 6 1 0 を成膜する。その後、CMP (Chemical Mechanical Polishing) 法等によって、開口部に成膜された導電体 6 1 0 を残して、絶縁体 6 5 1 上に成膜された導電体 6 1 0 を除去すればよい。

【0572】

絶縁体 6 3 0 は、絶縁体 6 5 1 上と、導電体 6 1 0 の形成面上と、に位置する。なお、絶縁体 6 3 0 は、容量素子 6 0 0 B において、2 対の電極に挟まれる誘電体として機能する。

【0573】

導電体 6 2 0 は、絶縁体 6 5 1 の開口部が埋まるように、絶縁体 6 3 0 上に形成されている。

【0574】

絶縁体 6 5 0 は、絶縁体 6 3 0 と、導電体 6 2 0 と、を覆うように形成されている。

【0575】

図 2 7 A 乃至図 2 7 C に示すシリンダ型の容量素子 6 0 0 B は、プレーナ型の容量素子 6 0 0 A よりも静電容量の値を高くすることができる。そのため、例えば、上記の実施の形態で説明した容量 C 1、及び容量 C 2 等として容量素子 6 0 0 B を適用することによって、容量の端子間の電圧を長時間維持することができる。

10

20

30

40

50

【0576】

本実施の形態に示した構成例は、互いに適宜組み合わせることができる。また、本実施の形態は、本明細書で示す他の実施の形態等と適宜組み合わせることができる。

【0577】

(実施の形態6)

本実施の形態では、上記の実施の形態で説明したOSTランジスタに用いることができる金属酸化物であるCAC-OS (Cloud-Aligned Composite Oxide Semiconductor)、及びCAAC-OS (c-axis Aligned Crystalline Oxide Semiconductor)の構成について説明する。

【0578】

<金属酸化物の構成>

CAC-OS又はCAC-metal oxideとは、材料の一部では導電性の機能と、材料の一部では絶縁性の機能とを有し、材料の全体では半導体としての機能を有する。なお、CAC-OS又はCAC-metal oxideを、トランジスタの活性層に用いる場合、導電性の機能は、キャリアとなる電子(又はホール)を流す機能であり、絶縁性の機能は、キャリアとなる電子を流さない機能である。導電性の機能と、絶縁性の機能とを、それぞれ相補的に作用させることで、スイッチングさせる機能(On/Offさせる機能)をCAC-OS又はCAC-metal oxideに付与することができる。CAC-OS又はCAC-metal oxideにおいて、それぞれの機能を分離させることで、双方の機能を最大限に高めることができる。

【0579】

また、CAC-OS又はCAC-metal oxideは、導電性領域、及び絶縁性領域を有する。導電性領域は、上述の導電性の機能を有し、絶縁性領域は、上述の絶縁性の機能を有する。また、材料中において、導電性領域と、絶縁性領域とは、ナノ粒子レベルで分離している場合がある。また、導電性領域と、絶縁性領域とは、それぞれ材料中に偏在する場合がある。また、導電性領域は、周辺がぼけてクラウド状に連結して観察される場合がある。

【0580】

また、CAC-OS又はCAC-metal oxideにおいて、導電性領域と、絶縁性領域とは、それぞれ0.5nm以上10nm以下、好ましくは0.5nm以上3nm以下のサイズで材料中に分散している場合がある。

【0581】

また、CAC-OS又はCAC-metal oxideは、異なるバンドギャップを有する成分により構成される。例えば、CAC-OS又はCAC-metal oxideは、絶縁性領域に起因するワイドギャップを有する成分と、導電性領域に起因するナローギャップを有する成分と、により構成される。当該構成の場合、キャリアを流す際に、ナローギャップを有する成分において、主にキャリアが流れる。また、ナローギャップを有する成分が、ワイドギャップを有する成分に相補的に作用し、ナローギャップを有する成分に連動してワイドギャップを有する成分にもキャリアが流れる。このため、上記CAC-OS又はCAC-metal oxideをトランジスタのチャネル形成領域に用いる場合、トランジスタのオン状態において高い電流駆動力、つまり大きなオン電流、及び高い電界効果移動度を取得することができる。

【0582】

すなわち、CAC-OS又はCAC-metal oxideは、マトリックス複合材(matrix composite)、又は金属マトリックス複合材(metal matrix composite)と呼ぶこともできる。

【0583】

<金属酸化物の構造>

酸化物半導体は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体と、に分けら

10

20

30

40

50

れる。非単結晶酸化物半導体としては、例えば、CAAC-OS、多結晶酸化物半導体、nc-OS (nanocrystalline oxide semiconductor)、擬似非晶質酸化物半導体 (a-like OS: amorphous-like oxide semiconductor) 及び非晶質酸化物半導体等がある。

【0584】

また、酸化物半導体は、結晶構造に着目した場合、上記とは異なる分類となる場合がある。ここで、酸化物半導体における、結晶構造の分類について、図28Aを用いて説明を行う。図28Aは、酸化物半導体、代表的にはIGZO (Inと、Gaと、Znと、を含む金属酸化物) の結晶構造の分類を説明する図である。

【0585】

図28Aに示すように、IGZOは、大きく分けてAmorphous (無定形) と、Crystalline (結晶性) と、Crystal (結晶) と、に分類される。また、Amorphousの中には、completely amorphousが含まれる。また、Crystallineの中には、CAAC (c-axis aligned crystalline)、nc (nanocrystalline)、及びCAC (Cloud-Aligned Composite) が含まれる。なお、Crystallineの分類には、single crystal、poly crystal、及びcompletely amorphousは除かれる (excluding single crystal and poly crystal)。また、Crystalの中には、single crystal、及びpoly crystalが含まれる。

【0586】

なお、図28Aに示す太枠内の構造は、Amorphous (無定形) と、Crystal (結晶) との間の中間状態であり、新しい境界領域 (New crystalline phase) に属する構造である。当該構造は、Amorphousと、Crystalとの間の境界領域にある。すなわち、当該構造は、エネルギー的に不安定なAmorphous (無定形) や、Crystal (結晶) とは全く異なる構造と言い換えることができる。

【0587】

なお、膜又は基板の結晶構造は、X線回折 (XRD: X-Ray Diffraction) 像を用いて評価することができる。ここで、石英ガラス、及びCrystallineに分類される結晶構造を有するIGZO (結晶性IGZOともいう。) のXRDスペクトルを図28B、図28Cに示す。また、図28Bが石英ガラス、図28Cが結晶性IGZOのXRDスペクトルである。なお、図28Cに示す結晶性IGZOの組成は、In: Ga: Zn = 4: 2: 3 [原子数比] 近傍である。また、図28Cに示す結晶性IGZOの厚さは、500 nmである。

【0588】

図28Bの矢印に示すように、石英ガラスは、XRDスペクトルのピークの形状がほぼ左右対称である。一方で、図28Cの矢印に示すように、結晶性IGZOは、XRDスペクトルのピークが左右非対称である。XRDスペクトルのピークの形状が左右非対称であることは、結晶の存在を明示している。別言すると、XRDスペクトルのピークの形状で左右対称でないと、Amorphousであるとは言えない。なお、図28Cには、 $2\theta = 31^\circ$ 、又はその近傍に結晶相 (IGZO crystal phase) を明記してある。XRDスペクトルのピークにおいて、形状が左右非対称となる由来は当該結晶相 (微結晶) に起因すると推定される。

【0589】

具体的には、図28Cに示す、結晶性IGZOのXRDスペクトルにおいて、 $2\theta = 34^\circ$ 又はその近傍にピークを有する。また、微結晶は、 $2\theta = 31^\circ$ 又はその近傍にピークを有する。酸化物半導体膜をX線回折像を用いて評価する場合、図28Cに示すように、 $2\theta = 34^\circ$ 又はその近傍のピークよりも低角度側のスペクトルの幅が広がる。これは、酸化物半導体膜中に、 $2\theta = 31^\circ$ 又はその近傍にピークを有する微結晶が内在するこ

10

20

30

40

50

とを示唆している。

【0590】

また、膜の結晶構造は、極微電子線回折法（NBED：Nano Beam Electron Diffraction）によって観察される回折パターン（極微電子線回折パターンともいう。）にて評価することができる。基板温度を室温として成膜したIGZO膜の回折パターンを図28Dに示す。なお、図28Dに示すIGZO膜は、In：Ga：Zn＝1：1：1〔原子数比〕である酸化物ターゲットを用いて、スパッタリング法によって成膜される。また、極微電子線回折法では、プローブ径を1nmとして電子線回折が行われた。

【0591】

図28Dに示すように、室温成膜したIGZO膜の回折パターンでは、ハローではなく、スポット状のパターンが観察される。このため、室温成膜したIGZO膜は、結晶状態でもなく、非晶質状態でもない、中間状態であり、非晶質状態であると結論することはできないと推定される。

【0592】

CAAC-OSは、c軸配向性を有し、かつa-b面方向において複数のナノ結晶が連結し、歪みを有した結晶構造となっている。なお、歪みとは、複数のナノ結晶が連結する領域において、格子配列の揃った領域と、別の格子配列の揃った領域と、の間で格子配列の向きが変化している箇所を指す。

【0593】

ナノ結晶は、六角形を基本とするが、正六角形状とは限らず、非正六角形状である場合がある。また、歪みにおいて、五角形、及び七角形等の格子配列を有する場合がある。なお、CAAC-OSにおいて、歪み近傍においても、明確な結晶粒界（グレインバウンダリーともいう）を確認することはできない。即ち、格子配列の歪みによって、結晶粒界の形成が抑制されていることがわかる。これは、CAAC-OSが、a-b面方向において酸素原子の配列が稠密でないことや、金属元素が置換することで原子間の結合距離が変化すること等によって、歪みを許容することができるためと考えられる。

【0594】

なお、明確な結晶粒界（グレインバウンダリー）が確認される結晶構造は、いわゆる多結晶（polycrystal）と呼ばれる。結晶粒界は、再結合中心となり、キャリアが捕獲されトランジスタのオン電流の低下、又は電界効果移動度の低下を引き起こす可能性が高い。よって、明確な結晶粒界が確認されないCAAC-OSは、トランジスタの半導体層に好適な結晶構造を有する結晶性の酸化物の一つである。なお、CAAC-OSを構成するには、Znを有する構成が好ましい。例えば、In-Zn酸化物、及びIn-Ga-Zn酸化物は、In酸化物よりも結晶粒界の発生を抑制できるため好適である。

【0595】

また、CAAC-OSは、インジウム、及び酸素を有する層（以下、In層）と、元素M、亜鉛、及び酸素を有する層（以下、（M，Zn）層）とが積層した、層状の結晶構造（層状構造ともいう）を有する傾向がある。なお、インジウムと元素Mは、互いに置換可能であり、（M，Zn）層の元素Mがインジウムと置換した場合、（In，M，Zn）層と表すこともできる。また、In層のインジウムが元素Mと置換した場合、（In，M）層と表すこともできる。

【0596】

CAAC-OSは結晶性の高い酸化物半導体である。一方、CAAC-OSは、明確な結晶粒界を確認することはできないため、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。また、酸化物半導体の結晶性は不純物の混入や欠陥の生成等によって低下する場合があるため、CAAC-OSは不純物や欠陥（酸素欠損等）の少ない酸化物半導体ともいえる。従って、CAAC-OSを有する酸化物半導体は、物理的性質が安定する。そのため、CAAC-OSを有する酸化物半導体は熱に強く、信頼性が高い。また、CAAC-OSは、製造工程における高い温度（所謂サーマルバジェット）に対しても安定

10

20

30

40

50

である。したがって、 OS トランジスタに $CAAC-OS$ を用いると、製造工程の自由度を広げることが可能となる。

【0597】

$nc-OS$ は、微小な領域（例えば、 1 nm 以上 10 nm 以下の領域、特に 1 nm 以上 3 nm 以下の領域）において原子配列に周期性を有する。また、 $nc-OS$ は、異なるナノ結晶間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、 $nc-OS$ は、分析方法によっては、 $a-like\ OS$ や非晶質酸化物半導体と区別が付かない場合がある。

【0598】

$a-like\ OS$ は、 $nc-OS$ と非晶質酸化物半導体との間の構造を有する酸化物半導体である。 $a-like\ OS$ は、鬆又は低密度領域を有する。即ち、 $a-like\ OS$ は、 $nc-OS$ 及び $CAAC-OS$ と比べて、結晶性が低い。

10

【0599】

酸化物半導体は、多様な構造をとり、それぞれが異なる特性を有する。本発明の一態様の酸化物半導体は、非晶質酸化物半導体、多結晶酸化物半導体、 $a-like\ OS$ 、 $nc-OS$ 、 $CAAC-OS$ のうち、二種以上を有していてもよい。

【0600】

<酸化物半導体を有するトランジスタ>

続いて、上記酸化物半導体をトランジスタに用いる場合について説明する。

【0601】

上記酸化物半導体をトランジスタに用いることで、高い電界効果移動度のトランジスタを実現することができる。また、信頼性の高いトランジスタを実現することができる。

20

【0602】

また、トランジスタには、キャリア濃度の低い酸化物半導体を用いることが好ましい。酸化物半導体膜のキャリア濃度を低くする場合においては、酸化物半導体膜中の不純物濃度を低くし、欠陥準位密度を低くすればよい。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性又は実質的に高純度真性という場合があり、また、真性又は実質的に真性という場合がある。

【0603】

また、高純度真性又は実質的に高純度真性である酸化物半導体膜は、欠陥準位密度が低い場合、トラップ準位密度も低くなる場合がある。

30

【0604】

また、酸化物半導体のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い酸化物半導体にチャネル形成領域が形成されるトランジスタは、電気特性が不安定となる場合がある。

【0605】

従って、トランジスタの電気特性を安定にするためには、酸化物半導体中の不純物濃度を低減することが有効である。また、酸化物半導体中の不純物濃度を低減するためには、近接する膜中の不純物濃度も低減することが好ましい。不純物としては、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。

40

【0606】

<不純物>

ここで、酸化物半導体中における各不純物の影響について説明する。

【0607】

酸化物半導体において、第14族元素の一つであるシリコンや炭素が含まれると、酸化物半導体において欠陥準位が形成される。このため、酸化物半導体におけるシリコンや炭素の濃度と、酸化物半導体との界面近傍のシリコンや炭素の濃度（二次イオン質量分析法（SIMS）により取得される濃度）を、 $2 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

50

【0608】

また、酸化物半導体にアルカリ金属又はアルカリ土類金属が含まれると、欠陥準位を形成し、キャリアを生成する場合がある。従って、アルカリ金属又はアルカリ土類金属が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、酸化物半導体中のアルカリ金属又はアルカリ土類金属の濃度を低減することが好ましい。具体的には、SIMSにより取得される酸化物半導体中のアルカリ金属又はアルカリ土類金属の濃度を、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms/cm}^3$ 以下にする。

【0609】

また、酸化物半導体において、窒素が含まれると、キャリアである電子が生じ、キャリア濃度が増加し、n型化しやすい。この結果、窒素が含まれている酸化物半導体を半導体に用いたトランジスタはノーマリーオン特性となりやすい。従って、該酸化物半導体において、窒素はできる限り低減されていることが好ましい、例えば、酸化物半導体中の窒素濃度は、SIMSにおいて、 $5 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

【0610】

また、酸化物半導体に含まれる水素は、金属原子と結合する酸素と反応して水になるため、酸素欠損を形成する場合がある。該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することがある。従って、水素が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、酸化物半導体中の水素はできる限り低減されていることが好ましい。具体的には、酸化物半導体において、SIMSにより取得される水素濃度を、 $1 \times 10^{20} \text{ atoms/cm}^3$ 未満、好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、より好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満とする。

【0611】

不純物が十分に低減された酸化物半導体をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

【0612】

本実施の形態に示した構成例は、互いに適宜組み合わせることができる。また、本実施の形態は、本明細書で示す他の実施の形態等と適宜組み合わせることができる。

【0613】

本明細書に記載の実施の形態（又は実施例）は、図面を参照しながら説明している。但し、実施の形態（又は実施例）は多くの異なる態様で実施することが可能であり、趣旨及びその範囲から逸脱することなく、その形態及び詳細を様々に変更し取得することは当業者であれば容易に理解される。従って、本発明は、実施の形態（又は実施例）の記載内容に限定して解釈されるものではない。なお、実施の形態の発明の構成（又は実施例の構成）において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する場合がある。また、斜視図等において、図面の明確性を期すために、一部の構成要素の記載を省略している場合がある。

【0614】

本明細書の図面において、大きさ、層の厚さ、又は領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。なお図面は、理想的な例を模式的に示したものであり、図面に示す形状又は値等に限定されない。例えば、ノイズによる信号、電圧、若しくは電流のばらつき、又は、タイミングのずれによる信号、電圧、若しくは電流のばらつき等を含むことが可能である。

【0615】

本明細書等において、複数の要素に同じ符号を用いる場合、特に、それらを区別する必要があるときには、符号に“__1”、“[n]”、“[m, n]”等の識別用の符号を付記して記

10

20

30

40

50

載する場合がある。

【0616】

本明細書等において、「電氣的に接続」には、直接接続している場合と、「何らかの電氣的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電氣的作用を有するもの」は、接続対象間での電氣信号の授受を可能とするものであれば、特に制限を受けない。よって、「電氣的に接続する」と表現される場合であっても、現実の回路においては、物理的な接続部分がなく、配線が延在しているだけの場合もある。

【0617】

本明細書等において、「抵抗素子」とは、抵抗値を有する回路素子、配線等とする。そのため、本明細書等において、「抵抗素子」は、抵抗値を有する配線、ソースドレイン間に電流が流れるトランジスタ、ダイオード、コイル等を含むものとする。そのため、「抵抗素子」という用語は、「抵抗」「負荷」「抵抗値を有する領域」等の用語に言い換えることができ、逆に「抵抗」「負荷」「抵抗値を有する領域」という用語は、「抵抗素子」等の用語に言い換えることができる。抵抗値としては、例えば、好ましくは $1\text{ m}\Omega$ 以上 $10\text{ }\Omega$ 以下、より好ましくは $5\text{ m}\Omega$ 以上 $5\text{ }\Omega$ 以下、更に好ましくは $10\text{ m}\Omega$ 以上 $1\text{ }\Omega$ 以下とすることができる。また、例えば、 $1\text{ }\Omega$ 以上 $1\times 10^9\text{ }\Omega$ 以下としてもよい。

【0618】

本明細書等において、「容量素子」とは、静電容量の値を有する回路素子、静電容量の値を有する配線の領域、寄生容量、トランジスタのゲート容量等とする。そのため、本明細書等において、「容量素子」は、1対の電極と、当該電極の間に含まれている誘電体と、を含む回路素子だけでなく、配線と配線との間に現れる寄生容量、トランジスタのソース又はドレインの一方とゲートとの間に現れるゲート容量等を含むものとする。また、「容量素子」「寄生容量」「ゲート容量」等という用語は、「容量」等の用語に言い換えることができ、逆に、「容量」という用語は、「容量素子」「寄生容量」「ゲート容量」等の用語に言い換えることができる。また、「容量」の「1対の電極」という用語は、「1対の導電体」「1対の導電領域」「1対の領域」等に言い換えることができる。なお、静電容量の値としては、例えば、 0.05 fF 以上 10 pF 以下とすることができる。また、例えば、 1 pF 以上 $10\text{ }\mu\text{F}$ 以下としてもよい。

【0619】

本明細書等において、ノードは、回路構成やデバイス構造等に応じて、端子、配線、電極、導電層、導電体、不純物領域等と言い換えることが可能である。また、端子、配線等をノードと言い換えることが可能である。

【0620】

本明細書等において、「電圧」と「電位」は、適宜言い換えることができる。「電圧」は、基準となる電位からの電位差のことであり、例えば基準となる電位をグラウンド電位（接地電位）とすると、「電圧」を「電位」に言い換えることができる。グラウンド電位は必ずしも 0 V を意味するとは限らない。なお電位は相対的なものであり、基準となる電位によっては、配線等に与える電位を変化させる場合がある。

【0621】

本明細書等において、「第1」、「第2」、「第3」という序数詞は、構成要素の混同を避けるために付したものである。従って、構成要素の数を限定するものではない。また、構成要素の順序を限定するものではない。例えば、本明細書等の実施の形態の一において「第1」に言及された構成要素が、他の実施の形態、あるいは特許請求の範囲において「第2」に言及された構成要素とすることもありうる。また例えば、本明細書等の実施の形態の一において「第1」に言及された構成要素を、他の実施の形態、あるいは特許請求の範囲において省略することもありうる。

【0622】

本明細書等において、「上に」、「下に」等の配置を示す語句は、構成同士的位置関係を、図面を参照して説明するために、便宜上用いている場合がある。また、構成同士的位置関係は、各構成を描写する方向に応じて適宜変化するものである。従って、明細書等で説

10

20

30

40

50

明した語句に限定されず、状況に応じて適切に言い換えることができる。例えば、「導電体の上面に位置する絶縁体」の表現では、示している図面の向きを180度回転することによって、「導電体の下面に位置する絶縁体」と言い換えることができる。

【0623】

また、「上」や「下」の用語は、構成要素の位置関係が直上又は直下で、かつ、直接接していることを限定するものではない。例えば、「絶縁層A上の電極B」の表現であれば、絶縁層Aの上に電極Bが直接接して形成されている必要はなく、絶縁層Aと電極Bとの間に他の構成要素を含むものを除外しない。

【0624】

本明細書等において、「膜」、「層」等の語句は、状況に応じて、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能な場合がある。又は、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能な場合がある。又は、場合によっては、又は、状況に応じて、「膜」、「層」等の語句を使わずに、別の用語に入れ替えることが可能である。例えば、「導電層」又は「導電膜」という用語を、「導電体」という用語に変更することが可能な場合がある。又は、例えば、「絶縁層」「絶縁膜」という用語を、「絶縁体」という用語に変更することが可能な場合がある。

【0625】

本明細書等において「電極」「配線」「端子」等の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」の用語は、複数の「電極」や「配線」が一体となって形成されている場合等も含む。また、例えば、「端子」は「配線」や「電極」の一部として用いられることがあり、その逆もまた同様である。更に、「端子」の用語は、複数の「電極」「配線」「端子」等が一体となって形成されている場合等も含む。そのため、例えば、「電極」は「配線」又は「端子」の一部とすることができ、また、例えば、「端子」は「配線」又は「電極」の一部とすることができる。また、「電極」「配線」「端子」等の用語は、場合によって、「領域」等の用語に置き換える場合がある。

【0626】

本明細書等において、「配線」、「信号線」、「電源線」等の用語は、場合によっては、又は、状況に応じて、互いに入れ替えることが可能である。例えば、「配線」という用語を、「信号線」という用語に変更することが可能な場合がある。また、例えば、「配線」という用語を、「電源線」等の用語に変更することが可能な場合がある。また、その逆も同様で、「信号線」「電源線」等の用語を、「配線」という用語に変更することが可能な場合がある。「電源線」等の用語は、「信号線」等の用語に変更することが可能な場合がある。また、その逆も同様で「信号線」等の用語は、「電源線」等の用語に変更することが可能な場合がある。また、配線に印加されている「電位」という用語を、場合によっては、又は、状況に応じて、「信号」等という用語に変更することが可能な場合がある。また、その逆も同様で、「信号」等の用語は、「電位」という用語に変更することが可能な場合がある。

【0627】

ニューラルネットワークにおいて、シナプスの結合強度は、ニューラルネットワークに既存の情報を与えることによって、変化することができる。このように、ニューラルネットワークに既存の情報を与えて、結合強度を決める処理を「学習」と呼ぶ場合がある。

【0628】

本明細書等において、金属酸化物(metal oxide)とは、広い意味での金属の酸化物である。金属酸化物は、酸化物絶縁体、酸化物導電体(透明酸化物導電体を含む)、酸化物半導体(Oxide Semiconductor又は単にOSともいう)等に分類される。例えば、トランジスタの活性層に金属酸化物を用いた場合、当該金属酸化物を酸化物半導体と呼ぶ場合がある。つまり、金属酸化物が増幅作用、整流作用、及びスイ

10

20

30

40

50

ッチング作用の少なくとも1つを有するトランジスタのチャネル形成領域を構成し取得する場合、当該金属酸化物を、金属酸化物半導体 (metal oxide semiconductor)、略してOSと呼ぶことができる。また、OS FET、又はOSTランジスタと記載する場合においては、金属酸化物又は酸化物半導体を有するトランジスタと換言することができる。

【0629】

また、本明細書等において、窒素を有する金属酸化物も金属酸化物 (metal oxide) と総称する場合がある。また、窒素を有する金属酸化物を、金属酸窒化物 (metal oxynitride) と呼称してもよい。

【実施例】

【0630】

本実施例では、実施の形態1に示す検査方法を用いて、SEM画像の機械による良否判定を行った例を示す。

【0631】

図29に本実施例で用いたジェネレータ100の構成を示す。

【0632】

本実施例のジェネレータ100はConvolutional Autoencoderであり、層L1乃至層L8で構成される。層L1乃至層L4は畳み込み層であり、エンコーダとして機能する。また、層L5乃至層L8は逆畳み込み層であり、デコーダとして機能する。層L1乃至L7は、その出力部分に層h1を有し、層L8はその出力部分に層h2を有する。層h1は、畳み込み (又は逆畳み込み) を行ったデータに対して、Batch Normalizationを行い、Leaky relu関数を適用する。層h2は、逆畳み込みを行ったデータに対して、シグモイド関数を適用する。画像120が層L1に入力され、層L8から画像112が出力される。

【0633】

ジェネレータ100を構成する各層のパラメータを表1に示す。表1において、channel(i)は入力チャンネル数、channel(o)は出力チャンネル数、kernelはフィルター (カーネルとも言う) のサイズ数、strideはストライドの値、padはパディングの値をそれぞれ表す。

【0634】

【表1】

layer	channel(i)	channel(o)	kernel	stride	pad
L1	1	16	4×4	2	1
L2	16	32	4×4	2	1
L3	32	64	3×3	1	1
L4	64	128	3×3	1	0
L5	128	64	3×3	1	0
L6	64	32	3×3	1	1
L7	32	16	4×4	2	1
L8	16	1	4×4	2	1

【0635】

実施の形態1に記載の方法で、ジェネレータ100の学習を行った。教師データ101として、半導体デバイスの配線形状を撮影した1024枚のSEM画像を用いた。バッチサイズは128枚、画像の解像度は224×224 pixとし、画像112と画像120の平均二乗誤差が一定値に落ちつくまで学習を行った。

【0636】

次に、上記学習済みのジェネレータ100を用いて、実施の形態1に記載の方法で128

枚のSEM画像の良否判定を行った。

【0637】

図30は、検査画像（図5Aの検査画像110に相当）と、ジェネレータ100の生成画像（図5Aの画像112に相当）と、またこれら2つの画像の差分画像（図5Cの画像116に相当）をそれぞれ表している。

【0638】

図30のAに示す検査画像は、良品画像である。検査画像と生成画像との間に違いは少なく、差分画像は白で表示された箇所が少ない。

【0639】

図30のBに示す検査画像は、配線の上にエッチング残渣と思われる異物が確認されている。差分画像をみると、異物に該当する箇所が白で表示されていることがわかる。

10

【0640】

図30のCに示す検査画像は、配線の中央部分の一部に空洞が確認される。差分画像をみると、空洞に該当する箇所が白で表示されていることがわかる。

【0641】

図30のDに示す検査画像は、中央の配線が良品より太くなっていることが確認される。差分画像をみると、太くなった配線に該当する箇所が白で表示されていることがわかる。

【0642】

図30のEに示す検査画像は、配線の周囲（下地に相当する部分）に異常な模様が確認される。差分画像をみると、異常な模様に該当する箇所が白で表示されていることがわかる。

20

【0643】

以上、図30に示す結果より、検査画像に含まれる異常箇所が、生成画像との差をとることによって抽出できることが確認された。

【0644】

次に、取得した差分画像の外れ値検出を行い、機械による良否判定を行った。外れ値検出にはOne Class SVM法を用いた。判定結果を下表に示す。

【0645】

【表2】

		機械による判定	
		良	不良
人間による判定	良	46	18
	不良	6	58

30

【0646】

判定結果の精度は、 $(46 + 58) / 128 = 0.81$ であった。

【0647】

図31Aは、図30のBに示す検査画像である。図31Bは、図30のBに示す検査画像と、図30のBに示す差分画像を合成させたものである。このように2つの画像を並べることで、ユーザーに異常箇所をわかり易く提示することができる。

40

【0648】

次に、比較として、図4及び図5Bに示すステップS25（平滑化处理）を行わずに、差分画像を取得した場合の例を図32に示す。図32に示す検査画像と生成画像は図30と同一である。

【0649】

図32の差分画像をみると、どれも全体的に白の画素が多く存在し、どこに異常箇所があるか特定することが難しいことがわかる。

【0650】

図30の差分画像と同様に、図32の差分画像についても、機械による良否判定を行った

50

。判定結果を下表に示す。

【0651】

【表3】

		機械による判定	
		良	不良
人間による判定	良	25	39
	不良	26	38

10

【0652】

判定結果の精度は、 $(25 + 38) / 128 = 0.49$ であった。

【0653】

以上の結果より、検査画像と生成画像の差分を取る前に、平滑化処理を行うことで、良否判定の精度が向上することが確認された。

【0654】

本実施例は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【符号の説明】

【0655】

10：電子顕微鏡、11：電子銃、12：集束レンズ、13：対物レンズ、14：走査コイル、15：検出器、16：ステージ、17：電子線、18：試料、19：信号電子、20：PC、21：入出力装置、30：サーバー、31：CPU、32：AIチップ、33：主記憶装置、34：補助記憶装置、35：バス、40：計算機、50：コンピュータ断層撮影装置、51：ガントリ、52：クレードル、61：開口部、62：被検体、71：X線管、72：検出器、80：画像処理装置、100：ジェネレータ、101：教師データ、101a：教師データ、101b：教師データ、101c：教師データ、102：データ、103：学習結果、103a：学習結果、103b：学習結果、103c：学習結果、110：検査画像、111：異常箇所、112：画像、113：画像、114：画像、115：画像、116：画像、117：画像、120：画像、121：領域、122：領域、130：分類器、131：画像データ、132：ラベル、133：学習結果、134：データ、200：ニューラルネットワーク、210：核磁気共鳴装置、211：ガントリ、212：クレードル、221：開口部、222：被検体、231：コイル、300：トランジスタ、311：基板、313：半導体領域、314a：低抵抗領域、314b：低抵抗領域、315：絶縁体、316：導電体、320：絶縁体、322：絶縁体、324：絶縁体、326：絶縁体、328：導電体、330：導電体、350：絶縁体、352：絶縁体、354：絶縁体、356：導電体、360：絶縁体、362：絶縁体、364：絶縁体、366：導電体、370：絶縁体、372：絶縁体、374：絶縁体、376：導電体、380：絶縁体、382：絶縁体、384：絶縁体、386：導電体、402：絶縁体、404：絶縁体、500：トランジスタ、503：導電体、503a：導電体、503b：導電体、510：絶縁体、512：絶縁体、514：絶縁体、516：絶縁体、518：導電体、520：絶縁体、522：絶縁体、524：絶縁体、530：酸化物、530a：酸化物、530b：酸化物、530c：酸化物、530c1：酸化物、530c2：酸化物、540：導電体、540a：導電体、540b：導電体、542a：導電体、542b：導電体、543a：領域、543b：領域、544：絶縁体、546：導電体、548：導電体、550：絶縁体、552：絶縁体、560：導電体、560a：導電体、560b：導電体、574：絶縁体、580：絶縁体、581：絶縁体、582：絶縁体、586：絶縁体、600：容量素子、600A：容量素子、600B：容量素子、610：導電体、611：導電体、612：導電体、620：導電体、630：絶縁体、631：絶縁体、650：絶縁体、651：絶縁体、1400：記憶装置、1411：周辺回路、1420：行回路、1430：列回路、1440：出力回路、14

20

30

40

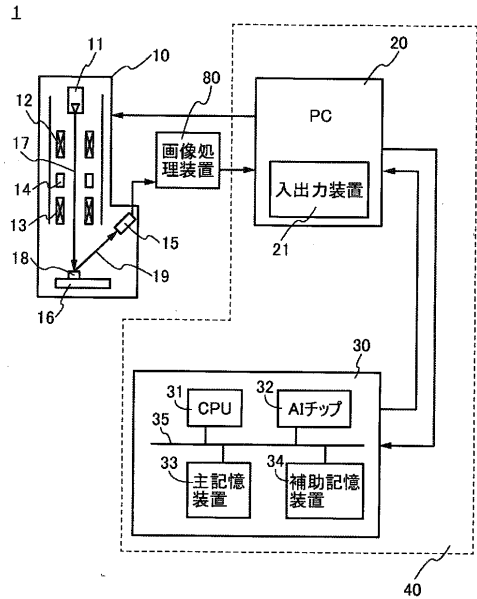
50

60：コントロールロジック回路、1470：メモリセルアレイ、1471：メモリセル、1472：メモリセル、1473：メモリセル、1474：メモリセル、1475：メモリセル、1476：メモリセル、1477：メモリセル、1478：メモリセル

【図面】

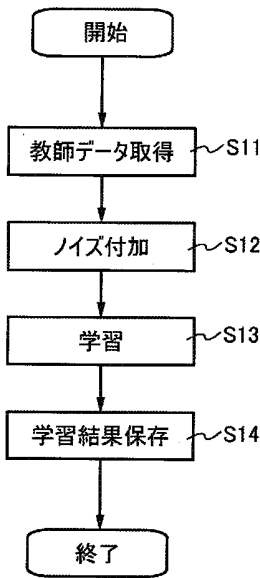
【図1】

図1



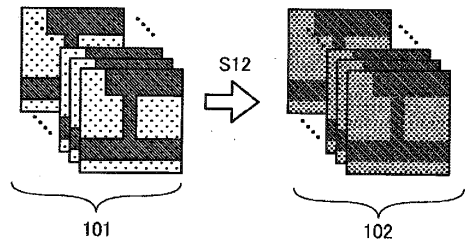
【図2】

図2



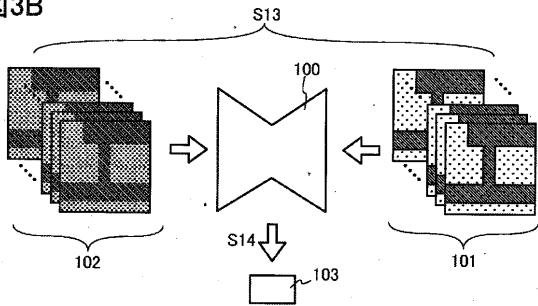
【図3A】

図3A



【図3B】

図3B



10

20

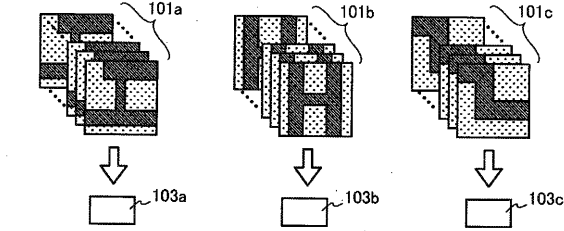
30

40

50

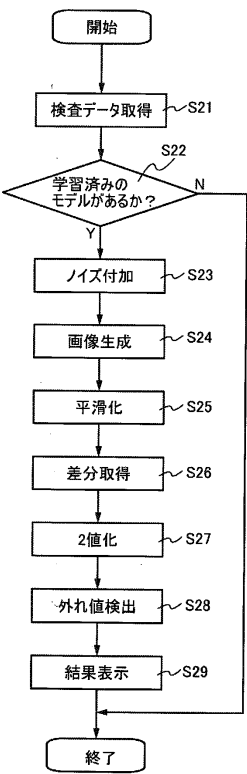
【図 3 C】

図3C



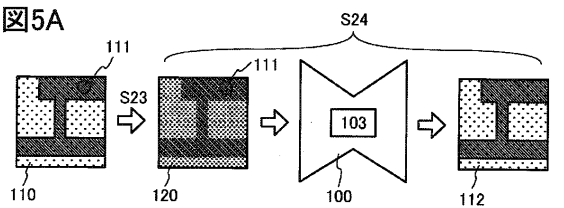
【図 4】

図4



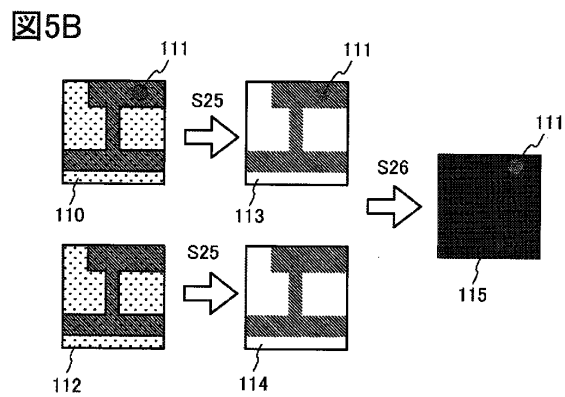
【図 5 A】

図5A



【図 5 B】

図5B



10

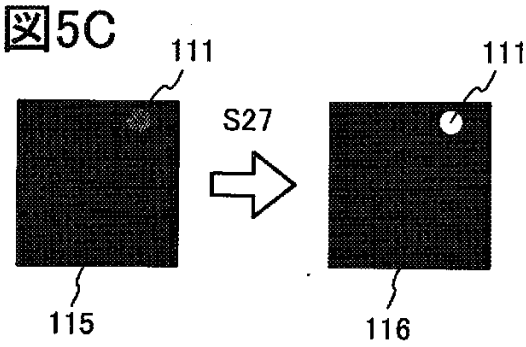
20

30

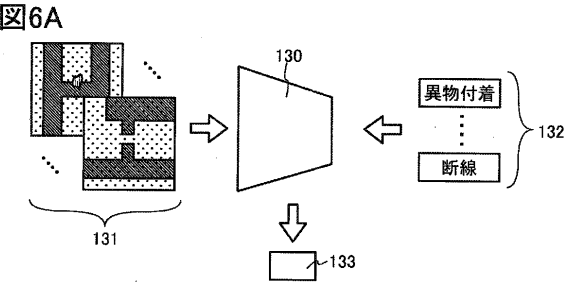
40

50

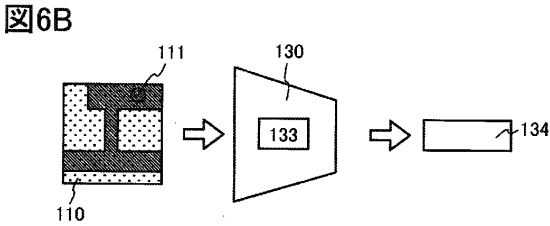
【図 5 C】



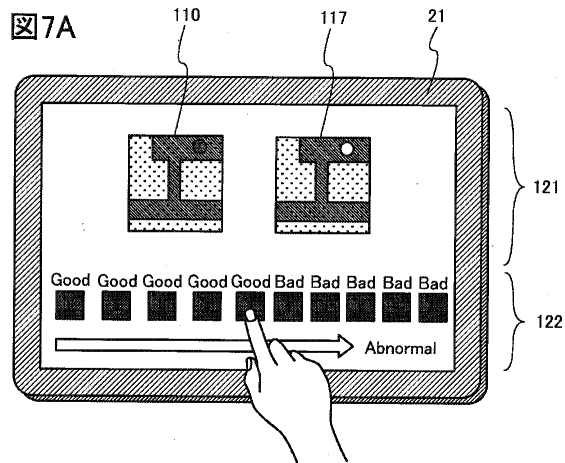
【図 6 A】



【図 6 B】



【図 7 A】



10

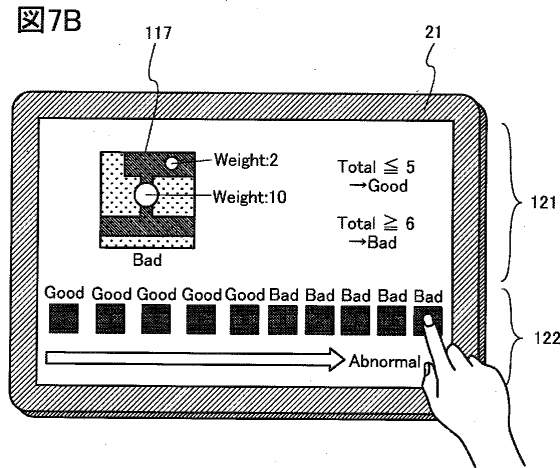
20

30

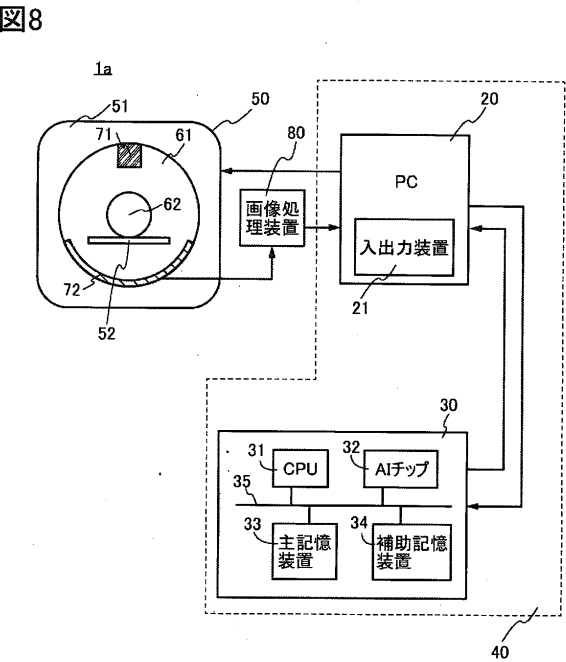
40

50

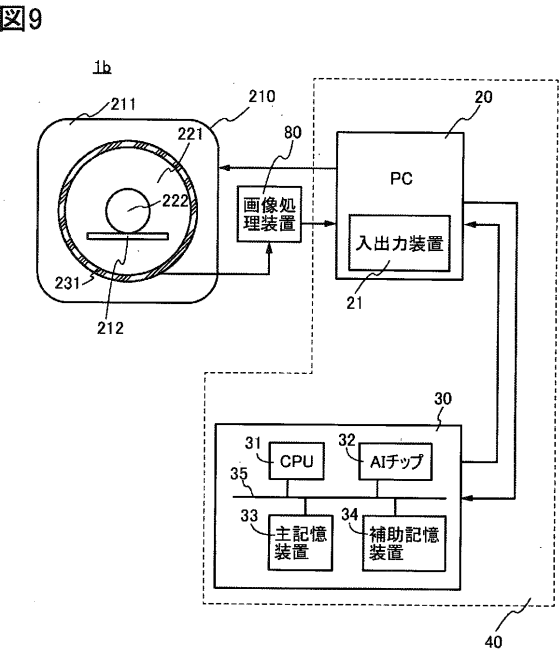
【図 7 B】



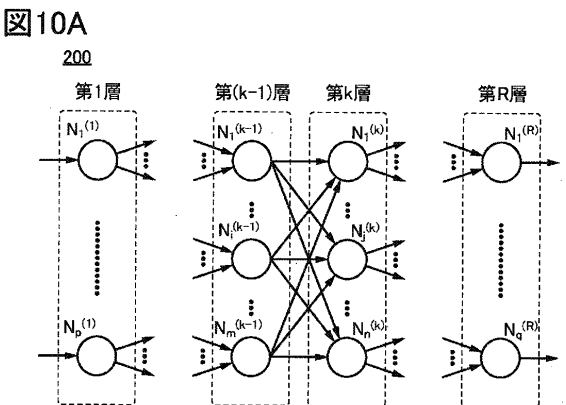
【図 8】



【図 9】



【図 10 A】



10

20

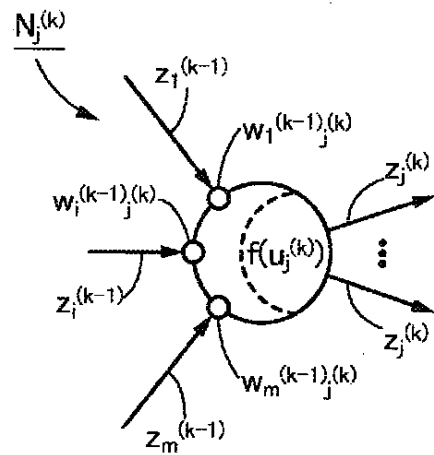
30

40

50

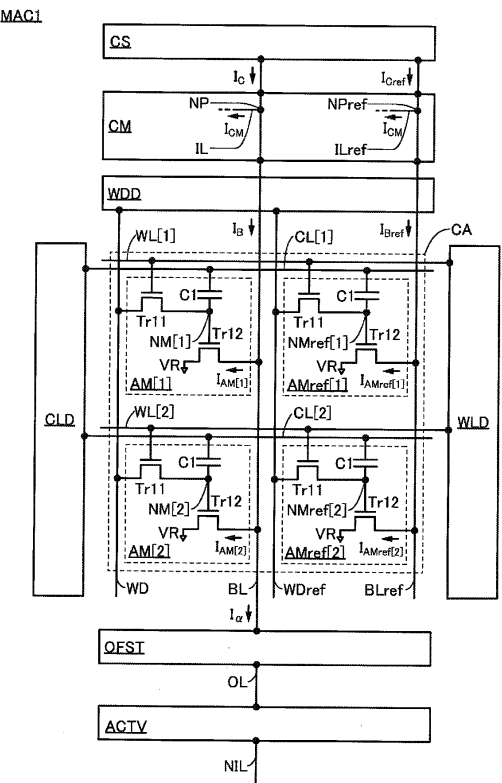
【図10B】

図10B



【図11】

図11

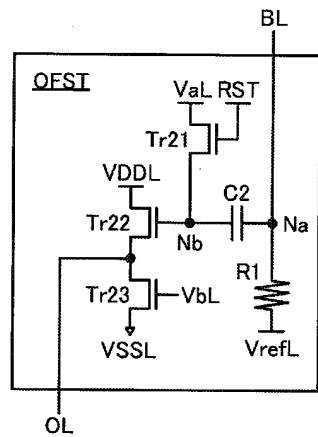


10

20

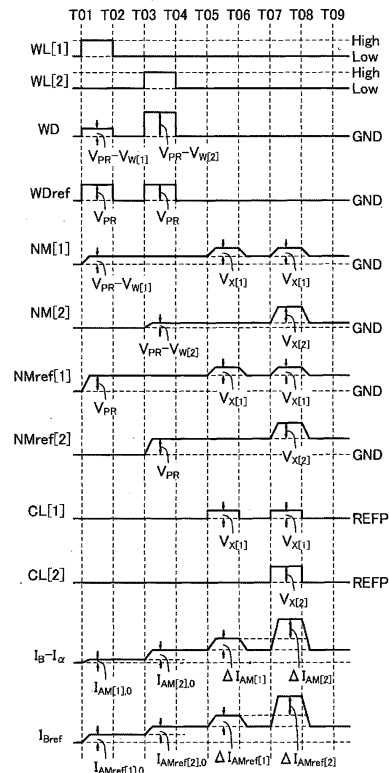
【図12】

図12



【図13】

図13



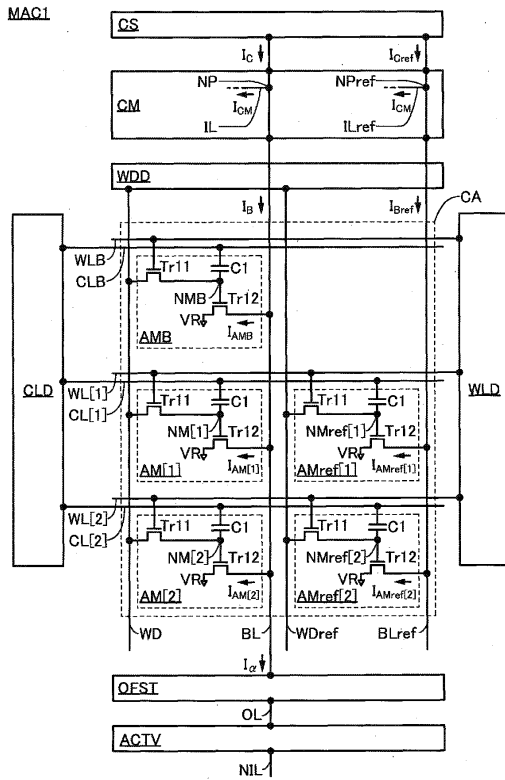
30

40

50

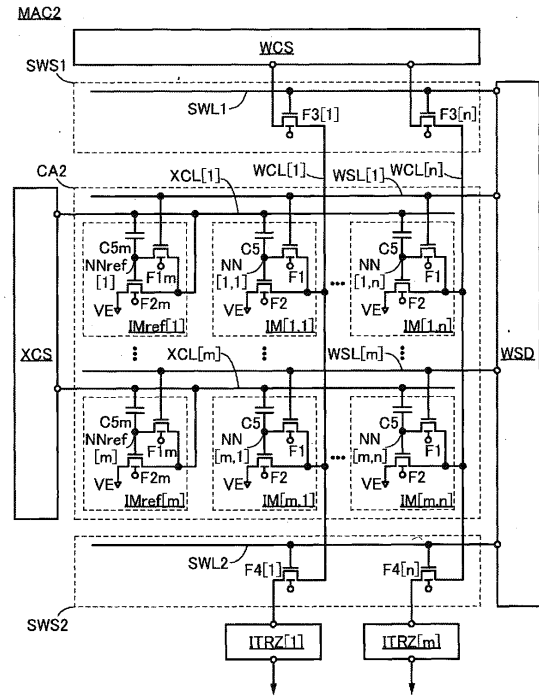
【図 14】

図14



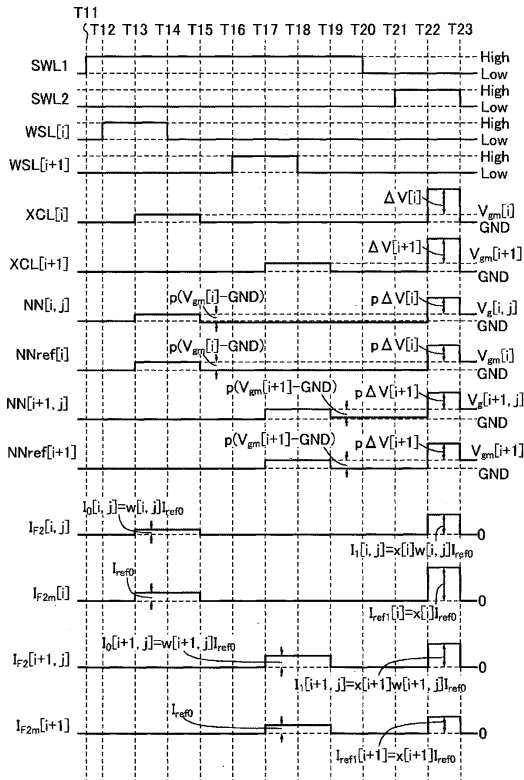
【図 15】

図15



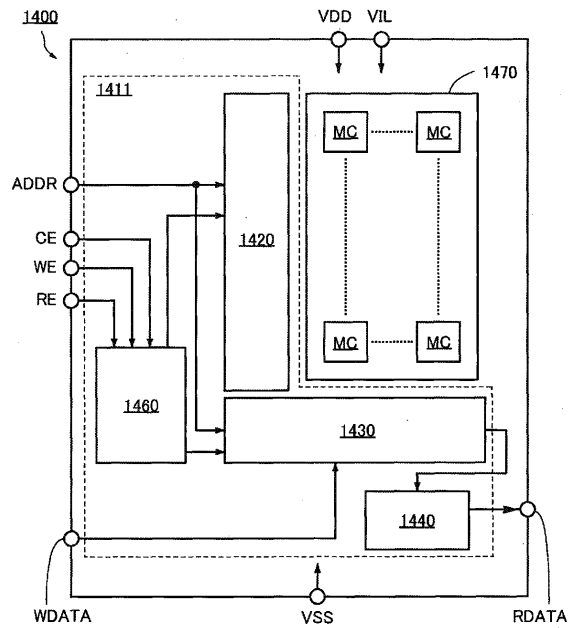
【図 16】

図16



【図 17 A】

図17A



10

20

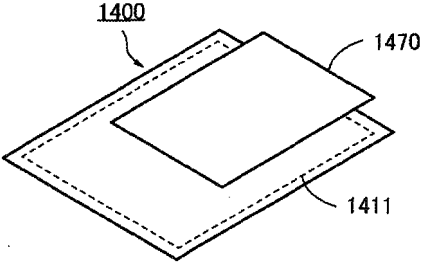
30

40

50

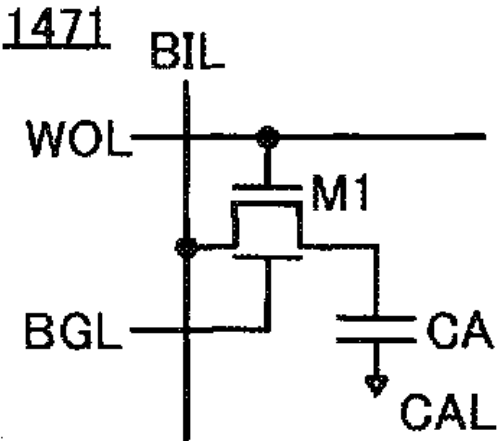
【図 17 B】

図 17B



【図 18 A】

図 18A

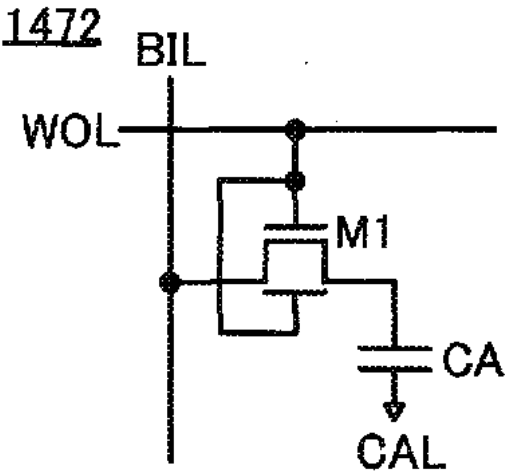


10

20

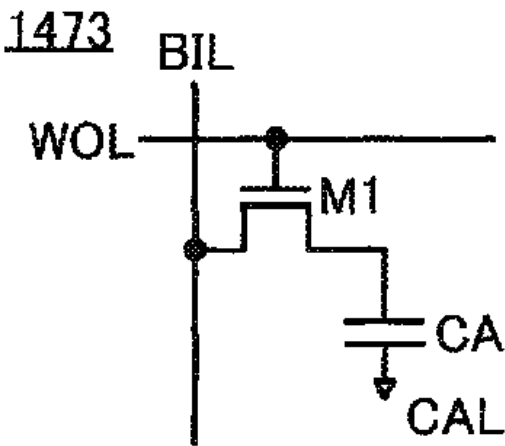
【図 18 B】

図 18B



【図 18 C】

図 18C



30

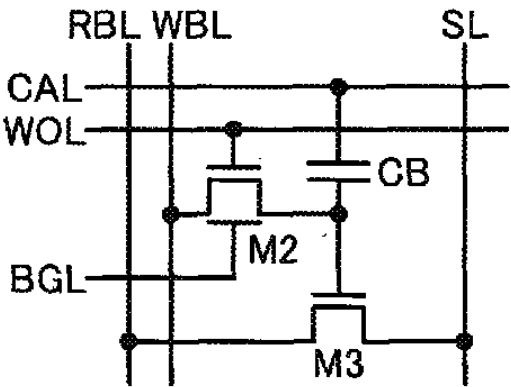
40

50

【図18D】

図18D

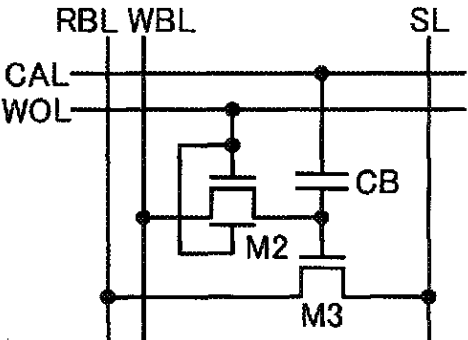
1474



【図18E】

図18E

1475

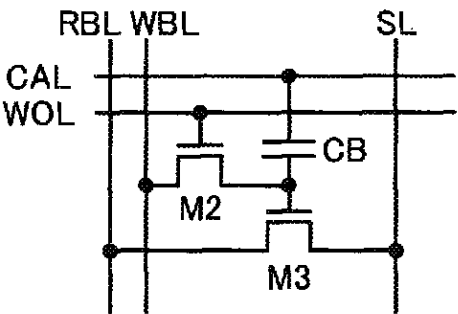


10

【図18F】

図18F

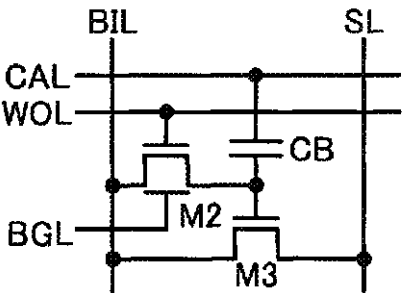
1476



【図18G】

図18G

1477



20

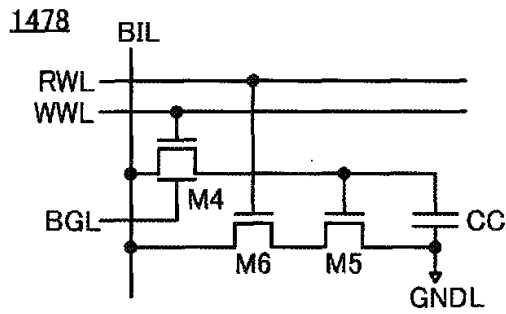
30

40

50

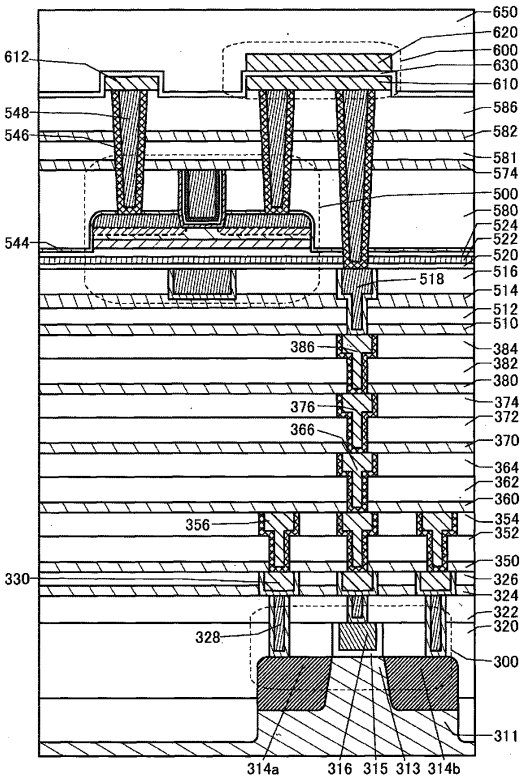
【図 18 H】

図18H



【図 19】

図19

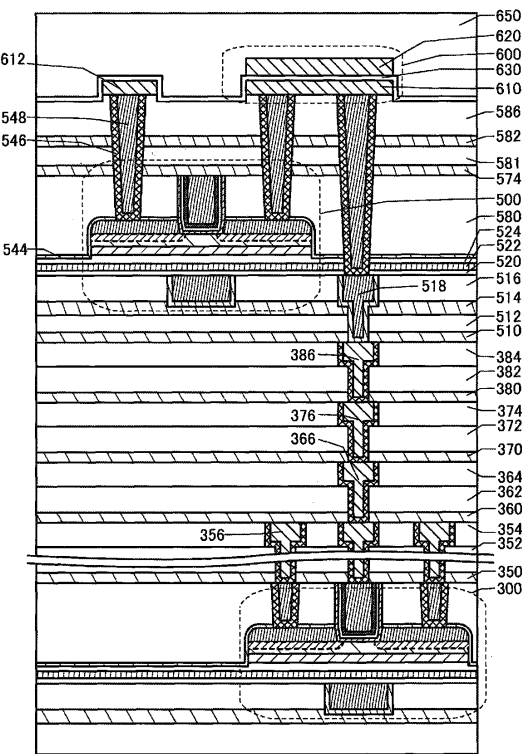


10

20

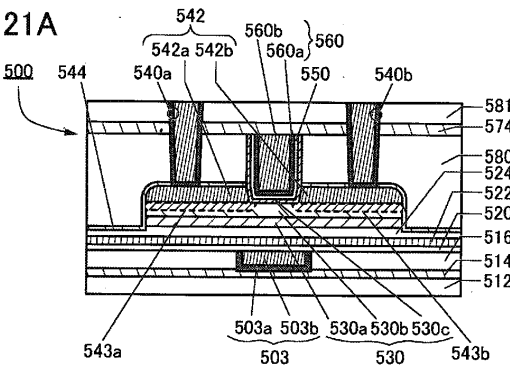
【図 20】

図20



【図 21 A】

図21A



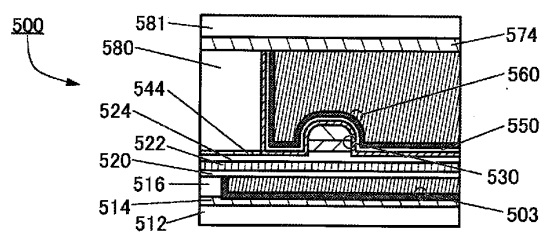
30

40

50

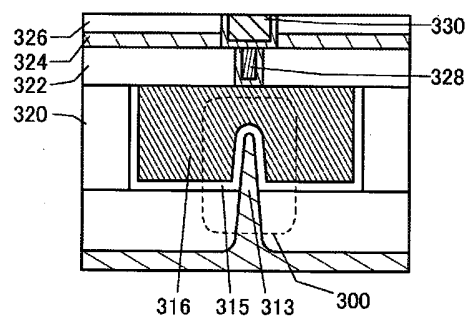
【図 2 1 B】

图21B



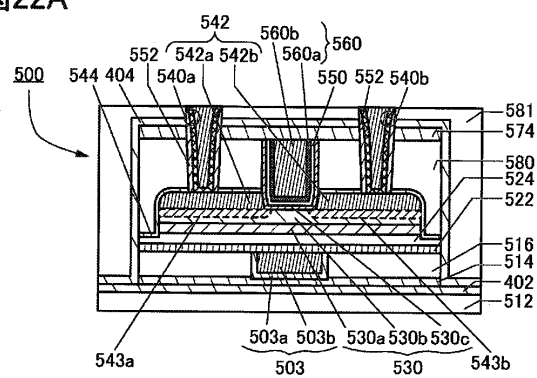
【図 2 1 C】

图21C



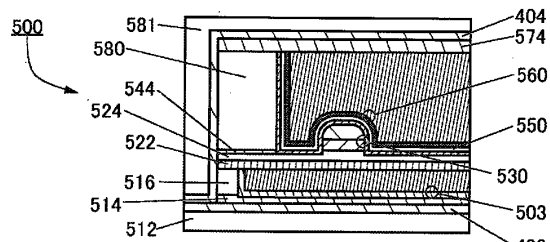
【図 2 2 A】

图22A



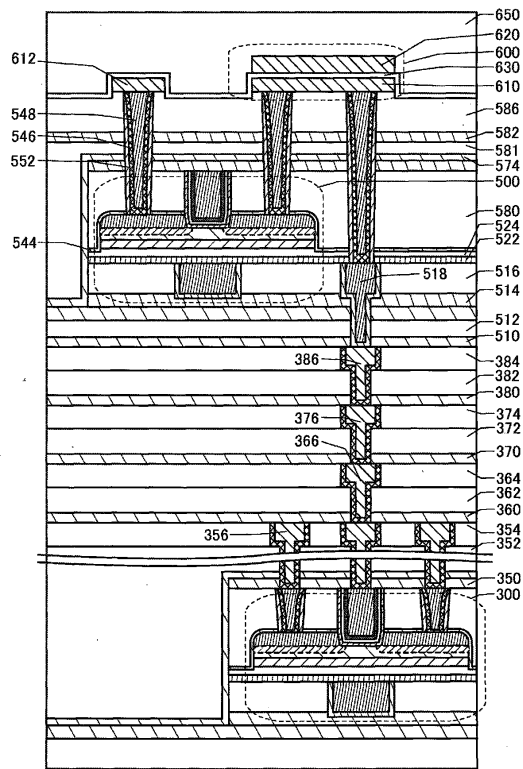
【図 2 2 B】

図22B



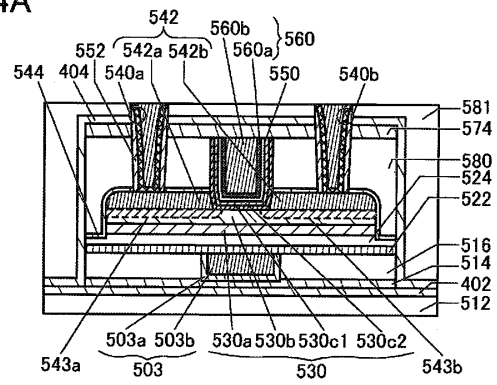
【図 2 3】

図23



【図 2 4 A】

図24A

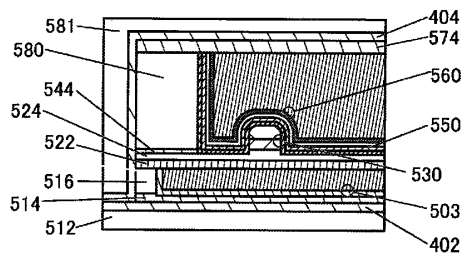


10

20

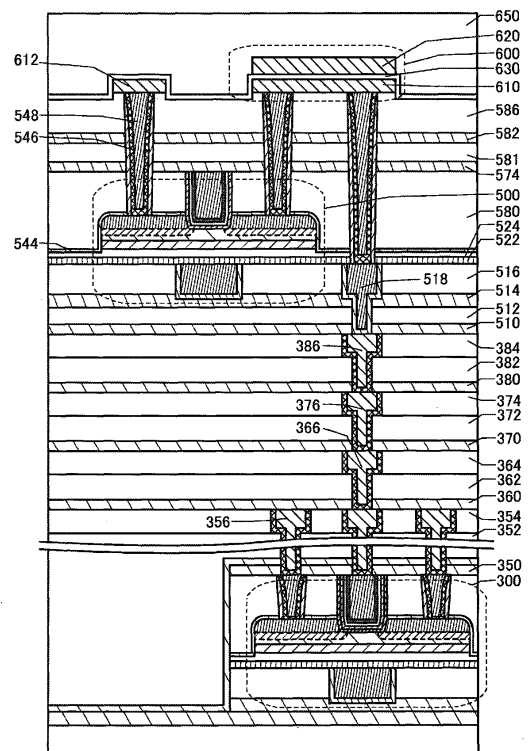
【図 2 4 B】

図24B



【図 2 5】

図25



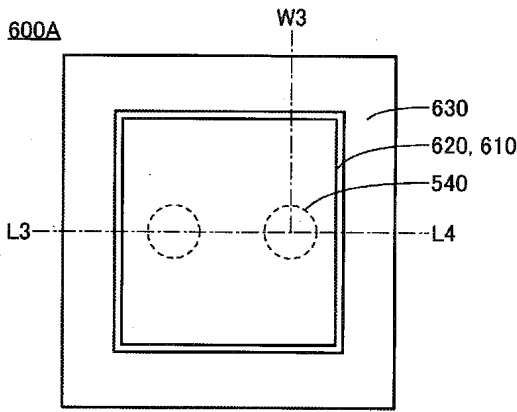
30

40

50

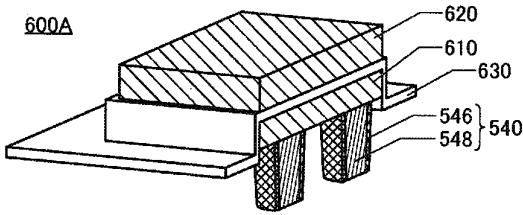
【図 2 6 A】

図26A



【図 2 6 B】

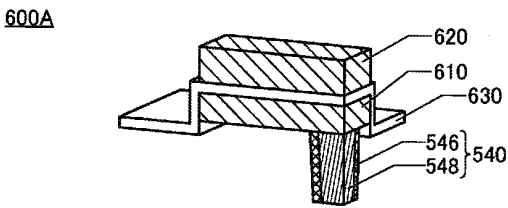
図26B



10

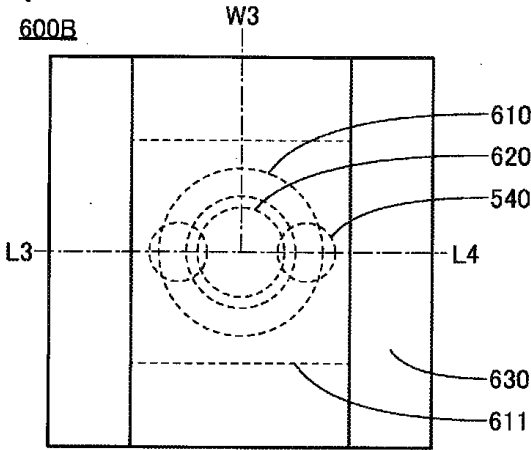
【図 2 6 C】

図26C



【図 2 7 A】

図27A



20

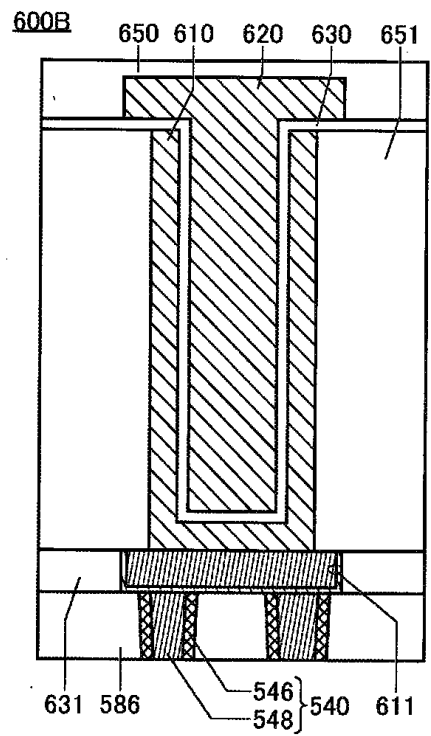
30

40

50

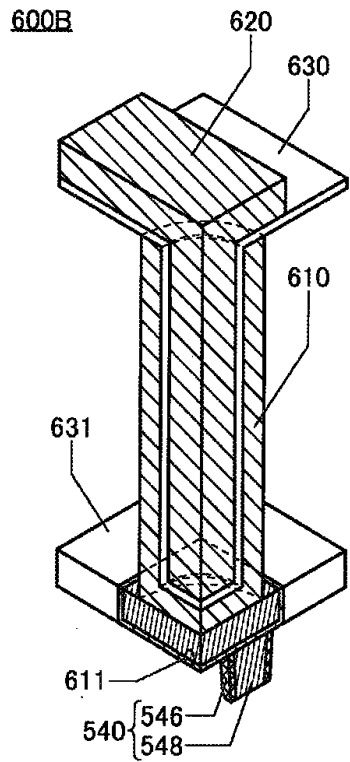
【図 2 7 B】

図27B



【図 2 7 C】

図27C



10

20

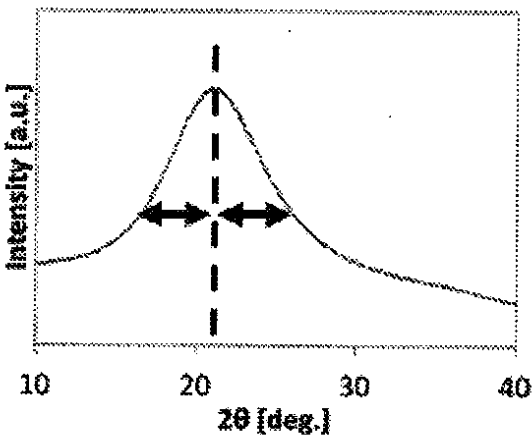
【図 2 8 A】

図28A

中間状態 新しい境界領域		
Amorphous (無定形)	Crystalline (結晶性)	Crystal (結晶)
completely amorphous	・CAAC ・nc ・CAC excluding single crystal and poly crystal	・single crystal ・poly crystal

【図 2 8 B】

図28B



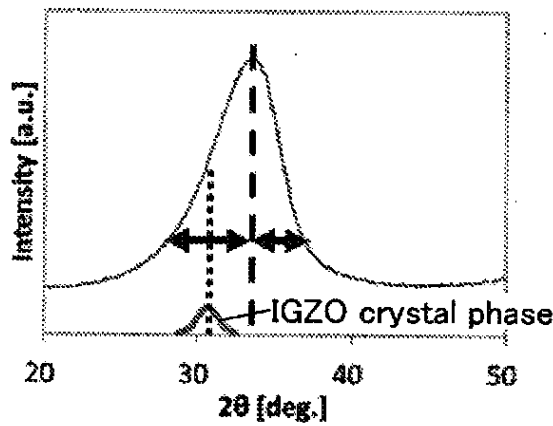
30

40

50

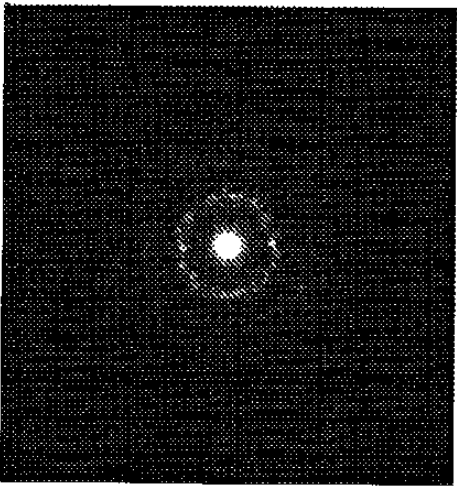
【図 2 8 C】

図28C



【図 2 8 D】

図28D

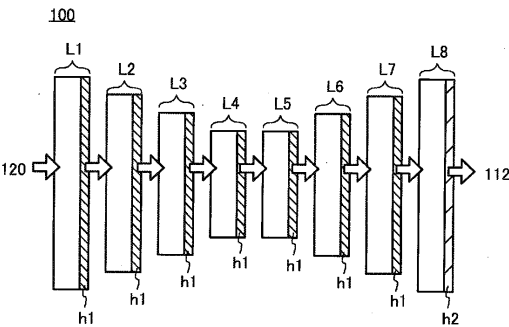


10

20

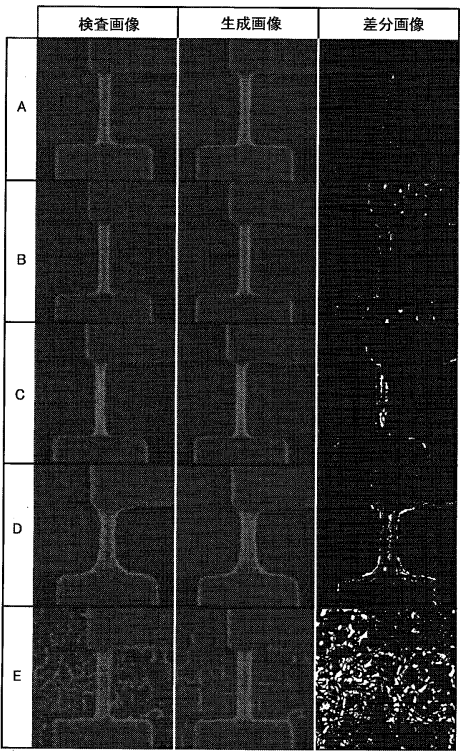
【図 2 9】

図29



【図 3 0】

図30



30

40

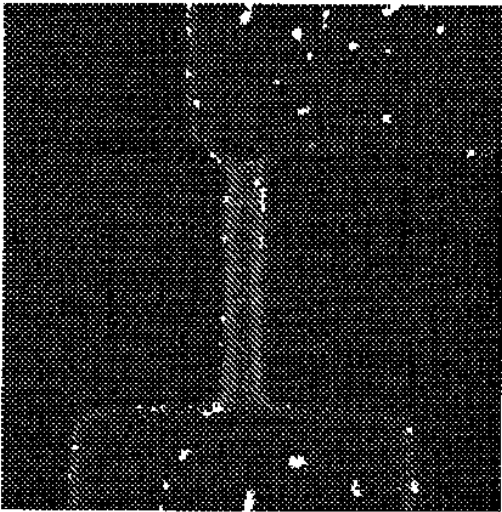
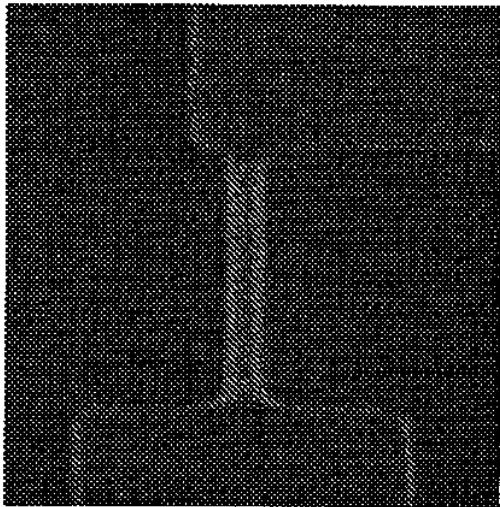
50

【図 3 1 A】

【図 3 1 B】

図31A

図31B



10

20

【図 3 2】

図32

	検査画像	生成画像	差分画像
A			
B			
C			
D			
E			

30

40

50

フロントページの続き

- (56)参考文献 国際公開第2018/211891 (WO, A1)
 国際公開第2010/038859 (WO, A1)
 国際公開第2018/173478 (WO, A1)
 特開2016-219011 (JP, A)
- (58)調査した分野 (Int.Cl., DB名)
- H01L 21/66
 H01J 37/22
 G06T 7/00