

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3748807号
(P3748807)

(45) 発行日 平成18年2月22日(2006.2.22)

(24) 登録日 平成17年12月9日(2005.12.9)

(51) Int. Cl.

H01S 5/183 (2006.01)

F I

H01S 5/183

請求項の数 7 (全 12 頁)

(21) 出願番号	特願2001-358442 (P2001-358442)	(73) 特許権者	390019839
(22) 出願日	平成13年11月22日(2001.11.22)		三星電子株式会社
(65) 公開番号	特開2002-223034 (P2002-223034A)		S a m s u n g E l e c t r o n i c s
(43) 公開日	平成14年8月9日(2002.8.9)		C o . , L t d .
審査請求日	平成13年11月22日(2001.11.22)		大韓民国京畿道水原市靈通区梅灘洞416
(31) 優先権主張番号	2000-078543		416, Maetan-dong, Yeongtong-gu, Suwon-si
(32) 優先日	平成12年12月19日(2000.12.19)		Gyeonggi-do, Republic of Korea
(33) 優先権主張国	韓国(KR)	(74) 代理人	100064908
			弁理士 志賀 正武
		(74) 代理人	100089037
			弁理士 渡邊 隆

最終頁に続く

(54) 【発明の名称】 電気光学的特性が改善された半導体光放出装置及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

基板上に少なくとも1つ以上の予備酸化層を含む複数層よりなるポストと、このポストの上部に、ウィンドウを有する電極を有する半導体光放出装置において、

前記ウィンドウを中心に前記電極の上部に前記電極の端面を露出させつつフォトリソを形成して、前記電極を自己整列にてエッチングして前記ポストを形成する段階と、エッチングされた前記ポストの側壁から所定寸法だけ前記予備酸化層を水平に酸化させる段階とを含んで製造されたことを特徴とする半導体光放出装置。

【請求項2】

前記ポストは前記基板上から各々エピタキシャル蒸着された下部反射層、活性層、予備酸化層、上部反射層よりなることを特徴とする請求項1に記載の半導体光放出装置。

【請求項3】

前記半導体光放出装置は積層面に対して垂直に光を放出する垂直空洞表面発光レーザーであることを特徴とする請求項1または2に記載の半導体光放出装置。

【請求項4】

前記予備酸化層の一部が水平酸化されることによって高抵抗部が形成され、酸化されていない部分は電流または光が通過する電流アパーチャになることを特徴とする請求項1または2に記載の半導体光放出装置。

【請求項5】

表面を有する基板を含み、前記表面がその上部に順次に形成された下部反射層、活性層

10

20

、予備酸化層、上部反射層を有する半導体光放出装置の製造方法において、
前記上部反射層上にウィンドウを有する上部電極をパターニングする第１段階と、
前記ウィンドウを含む前記上部電極の一面上に前記ウィンドウを中心に前記電極の端面を露出させつつフォトリソを形成する第２段階と、
前記上部電極の他の一部及び前記フォトリソをマスクとして前記予備酸化層が露出されるまでにエッチングしてポストを形成する第３段階と、
前記予備酸化層の一部を酸化させる第４段階と、
前記第３段階でエッチングされた部位に緩衝剤を充填し、前記基板の下面に下部電極を形成する第５段階とを含むことを特徴とする半導体光放出装置の製造方法。

【請求項６】

10

表面を有する基板を含み、前記表面がその上部に順次に形成された下部反射層、活性層、予備酸化層、上部反射層を有する半導体光放出装置の製造方法において、
前記上部反射層上にウィンドウを有する上部電極をパターニングする第１段階と、
前記ウィンドウを含む前記上部電極の全面上に前記ウィンドウを中心に前記電極の端面を露出させつつフォトリソを形成する第２段階と、
前記フォトリソをマスクとして前記予備酸化層が露出されるまでエッチングしてポストを形成する第３段階と、
前記予備酸化層の一部を酸化させる第４段階と、
前記第３段階でエッチングされた部位に緩衝剤を充填し、前記基板の下面に下部電極を形成する第５段階とを含むことを特徴とする半導体光放出装置の製造方法。

20

【請求項７】

請求項５または６に記載の方法によって製造された半導体光放出装置。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は活性領域の平面に対して垂直方向に光を放出させるための共振空洞構造(resonant cavity structure)を有する半導体光放出装置(semiconductor light-emitting device)及びその製造方法に係り、特に共振された光が放出される上部電極のウィンドウ及び酸化層の電流アパーチャ間の軸を自動で一致させる半導体光放出装置及びその製造方法に関する。

30

【０００２】

【従来の技術】

１９６２年ゼネラルエレクトリック社(GE)により開発され始めた半導体光放出装置は、化合物半導体のPN接合に順方向の電流を流して電子と正孔とを再結合させ、半導体の構成によって決定されるバンドギャップエネルギーに対応した波長の光を生じるようにしたものである。

【０００３】

前記半導体光放出装置は発光過程の差により、自発放出(spontaneous emission)を使用して非コヒーレンス(incoherence)光を放出する発光ダイオード及び誘導放出(stimulated emission)を使用してコヒーレンス(coherence)光を放出する半導体レーザーに分けられる。

40

【０００４】

また、前記半導体レーザーは反射機構の設置位置により、反射機構がチップの両端面に位置されたファブリー・ペロー(Fabry-Perot)型半導体レーザー、及び反射機構がチップ内部に水平位置された共振空洞構造を有する垂直空洞表面発光レーザー(Vertical Cavity Surface Emitting Laser: 以下、VCSEL)に分けられる。

【０００５】

前記VCSELは半導体物質層の積層方向に円形に近いガウスビームを放出するために光の形状補正のための光学系が不要で、かつ小型化可能なために１枚の半導体ウェーハ上に複数のレーザーの集積が可能である。これにより、VCSELは光通信分野、電子計算機、音響映

50

像機器、レーザープリンタ、レーザースキャナー及び医療装備などの分野で広く応用されている。

【0006】

図1Aないし図1Eは従来の技術によるVCSELの製造方法を示す。

図1Aに示されたように、基板10上に順次に下部反射層13、活性層15、予備酸化層17及び上部反射層19を積層する。

【0007】

ここで、基板10は、例えば、n型不純物を含む半導体物質よりなる。下部反射層13は前記基板10上に形成され、基板10と同型の不純物、例えば、異なる組成のn型GaAsが20ないし30層積層されて形成される。上部反射層19は前記下部反射層13と反対型の不純物を含有する同種の不純物半導体物質よりなっている。すなわち、上部反射層19はp型GaAsが積層されて形成される。後述するが、前記予備酸化層17は水蒸気状態で水平的に酸化処理される。

10

【0008】

以降、図1Bのように、基板10上で各々独立して光を照射するための複数個のVCSELポストI、II、IIIを形成するためにドライエッチングを通じて空間部21を形成する。それぞれの空間部21が備えられた後、図1Cに示されたように、所定時間酸化雰囲気を組成すれば、前記予備酸化層17はその外側から内側の水平方向に酸化されて水平酸化された高抵抗部18及び酸化されていない電流アパーチャ17が形成される。

【0009】

20

引き続き、図1Dのように、基板10のラッピング工程時にポストの損傷を防止するように空間部21にポリイミド23を充填した後、その周辺を平坦化する。

【0010】

以後、ひっくり返して基板10の大部分をラッピング工程を通じて除去する。

最後に、図1Eに示したように、VCSELポストI、II、IIIとポリイミド23上にウィンドウ25aを有する上部電極25を形成し、ラッピングされた基板10'の下部全面に下部電極27を形成することによって、VCSELの製造が完了する。

【0011】

このような構造のVCSELは、単一チップアレイ構造として使われたり、各ポリイミド部分を切開して個別的に用いられる。

30

しかし、従来のように、ポストを備えた後に水平酸化処理により形成された電流アパーチャ17及びフォトリソグラフィ工程により形成された上部電極25のウィンドウ25aとは図2Aに示されたように、工程上、正確な整列がなされず、ウィンドウの中心軸16とアパーチャの中心軸14とが食い違う整列誤差が発生する。このような整列誤差により放出光の損失が発生し、また正確なガウスビームが形成されなくなってVCSELの電気光学的特性を低下させる原因となっている。

【0012】

したがって、工程上に生じる前記整列誤差を勘案して図2Bのように上部電極25を高抵抗部18の外側に形成する、いわゆる「電極プリング」形態に設計できるが、これは電流経路30の延びによる全体的な素子抵抗の増加を引き起こす。

40

【0013】

また、図2Cのように上部電極25を高抵抗部18の内側に形成する、いわゆる「電極ブッシング」形態は電流アパーチャのサイズ32より上部電極ウィンドウの大きさ34が小さいために放出光の損失が生じる。

【0014】

したがって、上部電極のウィンドウと電流アパーチャとはその軸中心が一致するように正確に整列する必要がある。

【0015】

【発明が解決しようとする課題】

本発明は前記問題点を勘案して案出されたものであって、本発明の目的は、上部電極のウ

50

インドウと電流アパーチャの軸中心とを正確に一致させて電気光学的特性を改善した半導体光放出装置及びその製造方法を提供することにある。

【0016】

【課題を解決するための手段】

前述した目的は本発明に係る技術的構成により達成される。

本発明によれば、基板上に少なくとも1つ以上の予備酸化層を含み複数層よりなるポストと、このポスト上部に電極を有する半導体光放出装置において、前記電極を自己整列にてエッチングして前記ポストを形成する段階と、エッチングされた前記ポストの側壁から所定寸法だけ前記予備酸化層を水平に酸化させる段階とを含んで製造された半導体光放出装置が提供される。

10

【0017】

本発明はポスト内に積層されて形成された電極ウィンドウ及び電流アパーチャの中心軸整列のために前記電極を自己整列にてエッチングして前記ポストを形成するという点に特徴がある。

【0018】

前記エッチング時、ポスト内に積層された予備酸化層の側壁が露出され、酸化工程により予備酸化層の側壁から水平に所定寸法だけ酸化が進行する。例えば、ポストの直径が約60 μm である場合、約45～50 μm の酸化がなされる。このような酸化工程により酸化された部分は高抵抗部となり、酸化されていない部分は電流または光が通過する電流アパーチャとなる。このように、ポストは電極による自己整列にて形成され、このポストの露出された側壁を中心に電流アパーチャが形成されるために電極のウィンドウと電流アパーチャの軸整列は自動で行われる。したがって、電極ウィンドウと電流アパーチャの正確な軸整列によりVCSELの電気光学的特性が向上する。

20

【0019】

また、本発明において、前記電極を自己整列にてエッチングする時にはエッチング時の損傷を避ける目的で前記電極のウィンドウはフォトレジストによりパッシベーションされる。これと同時に、電極の全面が同じフォトレジストによりパッシベーションされるか、あるいはその電極の一部だけフォトレジストによりパッシベーションされる。後者の場合、エッチング時に露出される電極の他の一部が、たとえ損傷してもフォトレジストにより保護されるその一部だけで十分な電極の伝導性を発揮しうるからである。

30

【0020】

【発明の実施の形態】

以下、本発明の望ましい実施形態を添付した図面に基づいて説明する。以下の説明から前述した本発明の技術的特徴がさらに容易に理解しうる。そして、図面において、同じ番号は同じ構成要素を示す。

【0021】

図3Aは本発明に係るVCSELを製造するために用いられる積層された半導体構造を示している。本発明のVCSELは層の平面に垂直方向に光が放出される積層された半導体構造である。

【0022】

この積層された半導体構造は有機金属化学的気相蒸着法(Metal-Organic Chemical Vapor Deposition:MOCVD)、液相エピタキシ法(Liquid Phase Epitaxy:LPE)、分子ビームエピタキシ法(Molecular Beam Epitaxy:MBE)または他の周知の結晶成長法のようなエピタキシャル蒸着により形成される。

40

【0023】

図3Aのように、下から上に、基板10、下部反射層13、活性層15、予備酸化層17及び上部反射層19より構成された積層された半導体構造が備えられる。

【0024】

本発明に係るVCSELを製造するために最も先に備えられる前記基板10は、例えば、ドーピング濃度が高いn型GaAs基板であって、ドーピング濃度は、例えば、約 $5 \times 10^{18} \text{ cm}^{-3}$

50

である。基板としてGaAsは後述するAlGaAsまたはAlAsのエピタキシャル蒸着を容易にする。

【0025】

前記基板10上には下部反射層13が形成されるが、必要に応じて下部反射層13の形成前に基板10上にエピタキシャル蒸着が可能な約0.5 μmGaAs薄膜のような半導体バッファ層が形成されうる。

【0026】

下部反射層13は基板10と同一な伝導性、すなわち、n型の超格子(superlattice)構造の分散型ブラッグ反射器(Distributed Bragg Reflector:DBR)よりなり、前述したMOCVD、MBEなどの技法により基板10上にエピタキシャル蒸着される。この下部反射層13はVCS 10
EL構造で内部反射機能を行う。下部反射層13は複数の $Al_xGa_{1-x}As$ 及び $Al_yGa_{1-y}As$ 層が交互に積層されてなる。通常、前記 $Al_yGa_{1-y}As$ 層は所定の屈折率を有するように約10%の低いアルミニウム含量を有し、前記 $Al_xGa_{1-x}As$ 層は約95%の高いアルミニウム含量を有する。下部反射層13をなしている交互層はVCSELにより生じる光波長の約1/4の有効光学厚さを有することが望ましく、またVCSELの高い内部反射のために可能な限り全体的に約100%の反射率を有することが望ましい。周知の如く、下部反射層13の反射率はその内部を構成する $Al_xGa_{1-x}As$ 及び $Al_yGa_{1-y}As$ 間の屈折率の差と、 $Al_xGa_{1-x}As$ 及び $Al_yGa_{1-y}As$ 対の積層数に依存する。したがって、高い反射率を得るためには屈折率の差が大きく、積層対の数が多いほど良い。

【0027】

下部反射層13の上部にはエピタキシャル蒸着された活性層15が形成される。活性層15は1つ以上の量子ウェル層、これを取囲むバリアー層及びこのバリアー層を取囲むクラッディング層を含む。この際、バリアー層は量子ウェル層及びクラッディング層のエネルギーバンドギャップ中間のエネルギーバンドギャップを有することが望ましい。このような活性層15はVCSEL装置の十分な光学的利得を提供するように設計される。例えば、980 nmの波長の光を放出するためのVCSELを製造するために活性層15は3つの8 nmの $In_{0.2}Ga_{0.8}As$ 量子ウェル層及びこれを取囲む10 nmのGaAsのバリアー層が交互に積層され、 $Al_{0.5}Ga_{0.5}As$ のクラッディング層により量子ウェル層及びバリアー層が挟持される。一方、本明細書では図面の単純化及び過度な複雑化を避けるために量子ウェル層、バリアー層及びクラッディング層を区分せずに、単一層として示した。 20 30

【0028】

前記活性層15の上部にはエピタキシャル蒸着された予備酸化層17が形成される。前記予備酸化層17はこれに最も隣接した反射層と同一なドーパントでドーピングされる。したがって、予備酸化層17は活性層15と上部反射層19との間に位置しているために、上部反射層19と同種のドーパントでドーピングされることが望ましい。例えば、予備酸化層17は約 $10^{18} cm^{-3}$ 濃度でp型ドーパントがドーピングされることが望ましい。また、予備酸化層17はmesa型ポストの形成後に部分的に酸化されうるアルミニウムを含む半導体合金、たとえば、AlAsまたはAlGaAsなどを含む。これで、酸化部分は抵抗性が増大され、酸化されていない部分は電流アパーチャとして電流や光を通過させる。前記予備酸化層17の酸化部分はエッチングされて形成されたmesa型のポスト側壁から内側方向に酸化されて 40
一般に円形を有するようになる。この際、酸化部分の形状はポストの形状及び酸化工程に露出される側壁の数に依存することになる。また、酸化部分の形状は予備酸化層17が含まれている半導体合金の組成、合金の配向、層の厚さ及び酸化工程の条件により影響を受けたり、あるいは制御しうる。例えば、酸化工程は400 °ないし500 °の温度で N_2 キャリアガスに含まれた水蒸気がAlAsを酸化させて酸化アルミニウムを形成させる。通常、100%のAlが含まれているAlAsの酸化率は450 °で分当り約1.5 μmずつ酸化され、約80%のAlが含まれているAlGaAsの場合は分当り0.01 μmずつ酸化される。酸化部分の形状及びこれによる工程条件に関するさらに詳細な事項は 'Holonyk, Jr.' 等により登録された米国特許第5,262,360号明細書及び第5,373,522号明細書と、 'Choquette' 等により登録された米国特許第5,493,577号明細書に開示されている。 50

【0029】

一方、前記予備酸化層17上には上部反射層19がエピタキシャル蒸着により形成される。上部反射層19は下部反射層13と同様に複数の $\text{Al}_x\text{Ga}_{1-x}\text{As}$ 及び $\text{Al}_y\text{Ga}_{1-y}\text{As}$ 層が交互に積層されてなるが、下部反射層13とは異なる伝導性を有するようにドーピングされる。すなわち、下部反射層13と基板10とがn型ドーパ剤でドーピングされたならば、上部反射層19はp型ドーパ剤でドーピングされることが望ましい。また、上部反射層19はVCSELから光放出のために反射率を減らすために下部反射層13よりその積層数が少なく設計される。通常、上部反射層19は98%ないし99%の反射率を有することが望ましい。

【0030】

上部反射層19は下部反射層13と共に活性層15及び予備酸化層17を挟持する。このように、上部反射層19と下部反射層13とは活性層15から生じた光を共振させる共振面を形成する。

【0031】

図3Bのように、図3Aの結果物から上部反射層19の上部には上部電極36が形成される。この上部電極36はp型の上部反射層19上に、例えば、AuBe/Ti/Au金属またはCr/Au金属の蒸着により形成され、フォトリソグラフィマスキング工程またはリフトオフ工程により既定の位置にウィンドウ25aを有する。

【0032】

上部電極36のウィンドウ25aが形成されると、ウィンドウ25aを中心にフォトレジスト38が図3Cのようにパターンニングされる。図面において、前記フォトレジスト38は上部電極36及びそのウィンドウ25aを全面的に塗布することが望ましい。なぜなら、以後のエッチング工程時に露出される上部電極が損傷するからである。しかし、フォトレジストのパターンニングの誤差を考慮して図3Cのように電極の一部が露出されても良いが、これはフォトレジストにより電極の残りの一部が保護されて電極として十分な伝導性を保てるからである。

【0033】

図3Dでは上部電極36とフォトレジスト38とをマスクとしてエッチングして空間部40及びmesa型のポストをそれぞれ形成する。このようなポストの形成工程を通じて積層された物質の縁部が露出される。ポスト形成工程は湿式または乾式エッチングにより行われる。しかし、深さの正確度と均一な表面の側壁を得るために、反応性イオンエッチング(RIE)のような前記乾式エッチングにより行われることが望ましい。乾式エッチングのうち反応性イオンエッチングは1991年7月23日付けにて発行された'PLASMA ETCHING OF SEMICONDUCTOR SUBSTRATES(米国特許第5,034,092号)'に詳細に開示されている。一方、反応性イオンエッチング以外に、例えば、RIBE(reactive ion beam etching)、CAIBE(chemically assisted ion beam etching)及びIBAGSC(1992年5月26日付けにて発行された'METHOD FOR FABRICATING AN ANGLED DIFFRACTION GRATING(米国特許第5,116,461号参照)'のような多様な他の乾式エッチング法が適用されうる。

【0034】

このようなポスト形成工程中に、エッチング深さは反射光測定器を用いたインサイチュ(in-situ)工程による正確なエッチング深さを提供し、予備酸化層17の下でエッチングされた後にはエッチング工程を中止させうる。

【0035】

図3Dでポストが形成されると、図3Eのように、例えばAlAsで構成された予備酸化層17に対する酸化工程を行う。

【0036】

このような酸化工程は'Holonyak, Jr.'等により1991年6月24日付けにて出願され、1993年11月16日付けにて登録された'AlGaAs NATIVE OXIDE(米国特許第5,262,360号)'を通じて最初提案されたことがある。この米国特許第5,262,360号ではアルミニウムが含まれたIII-V半導体物質を水の含まれた雰囲気下で約375に露出させることによって、前記アルミニウムが含まれたIII-V半導体物質の少なくとも一

10

20

30

40

50

部を酸化させて天然酸化層を生成する方法を開示している。

【0037】

また、'Holonyak, Jr.'との1993年9月7日付けにて出願されて1994年12月13日付けにて登録された'SEMICONDUCTOR DEVICES WITH NATIVE ALUMINUM OXIDE REGIONS (米国特許第5,373,522号)'を通じて、前記米国特許第5,262,360号の酸化法を適用した半導体レーザーの構造を請求している。前記米国特許第5,373,522号では米国特許第5,262,360号によるアルミニウムによる天然酸化層を半導体レーザー内の電流制限層(current blocking layer)として用いる。

【0038】

一方、1994年12月21日付けにて出願されて1996年2月20日付けにて登録された'Choquette'等による'EFFICIENT SEMICONDUCTOR LIGHT EMITTING DEVICE AND METHOD (米国特許第5,493,577号)'では前記'米国特許第5,373,522号'による電流制限層をVCSEL構造として採用し、また、'Choquette'は1998年発行のIEEE 283ないし288頁の'SELECTIVELY OXIDIZED VERTICAL-CAVITY LASER PERFORMANCE AND TECHNOLOGY'という論文で電流制限層をVCSELに採用した時のその構造及び効果を開示している。

10

【0039】

本発明で行われる選択的酸化工程及びこれにより形成される電流アパーチャは前記文献に基づいていることを明らかにする。

【0040】

20

すなわち、本発明では選択的酸化工程のためにVCSELウェーハをコンテナに位置させ、高い湿度を保っている制御された雰囲気下でウェーハを望ましくは350ないし500、さらに望ましくは400ないし450に加熱することによって行われる。この際、予備酸化層17に対する酸化はエッチングされたポストの側壁からポストの中心方向に水平に生じる。一方、積層構造で予備酸化層17以外の層はこれらのアルミニウム含量が小さいために酸化されなくなる。

【0041】

前記選択的酸化法による予備酸化層17の酸化された部分18は一般に円形であり、電氣的に高抵抗または絶縁性を有し、約1.6の低い屈折率を有する。そして、予備酸化層17の非酸化部分17は光が放出される通路及び電氣的電流が流れる電流アパーチャとなる。この電流アパーチャを取囲んでいる酸化部分18はポストの上側から見れば、ドーナツ状になる。

30

【0042】

電氣的電流が前記非酸化部分17の電流アパーチャを通過して活性層15の中央部に到達すれば、この電流チャンネリングによって活性層15のキャリアの密度が増加し、光発生の効率が向上する。

【0043】

前述したように、酸化工程により電流アパーチャが形成されると、図3Fのように、ポスト周囲の空間部にはポリイミド42が充填される。充填されたポリイミド42は基板10のラッピング工程時にポストの損傷を最小化する役割を行う。

40

【0044】

ポリイミド42が充填された後、基板10の下面はラッピングされる。このように、基板10の下面をラッピングするのは、ウェーハの切断を容易にするためである。

【0045】

ラッピングされた基板10'の底部全面にはパターニングされたAuGe/Ni/Auを蒸着するか、あるいは全面金属化を通じて下部電極27が形成される。この下部電極27は上部電極36と共にアニーリング処理されてVCSELの電氣的電極部となる。

【0046】

前記下部電極27は不透明金属または準透明金属であり得、例えば、約800のAuGe、約200のNi及び約400のAuよりなる多層構造である。

50

【 0 0 4 7 】

図 3 F のように下部電極 2 7 をラッピングされた基板 1 0 ' に形成した後、図 3 G ではポスト形成のためにマスクとして使用した上部電極 3 6 上にワイヤーボンディングパッド 4 4 を形成することによって VCSEL アレイが最終的に完成される。

【 0 0 4 8 】

前述したような構造の VCSEL は単一チップアレイ構造として使用されるか、或いは各ポリイミド部分を切開して個別的に用いられる。

【 0 0 4 9 】

従来の技術によれば、ポストを形成し、予備酸化層の酸化工程により形成された電流アパーチャに合せて上部電極のウィンドウを形成するために、上部電極のウィンドウ及び電流アパーチャの中心軸間の整列が難しく、かつこれによって整列誤差が生じてやむをえず VCSEL の電気光学的特性が低下した。

10

【 0 0 5 0 】

しかし、本発明を従来の技術と比べると、上部電極をあらかじめ形成し、この上部電極をマスクとしてエッチングしてポストを形成した後、酸化工程を通じて電流アパーチャを形成するために、あらかじめ形成された上部電極のウィンドウと電流アパーチャの中心軸との整列が自動で行われる。

【 0 0 5 1 】

【 発明の効果 】

したがって、本発明による VCSEL は従来のものより上部電極のウィンドウと電流アパーチャとの正確な軸整列によって、その電気光学的特性が向上する。

20

【 0 0 5 2 】

以上、前記電極を自己整列にてエッチングしてポストを形成するための本発明の一実施形態について説明したが、必ずしもこれに限定されるものではなく、特許請求の範囲に記載された技術的思想の範囲内で多様な他の実施形態が可能である。

【 0 0 5 3 】

例えば、本発明の一実施形態ではポスト内の活性層上に 1 つの電流アパーチャを有する VCSEL について説明したが、VCSEL の光学的特性を制御する目的で活性層の上下部に少なくとも 1 つ以上の電流アパーチャがそれぞれ形成されても良い。

【 0 0 5 4 】

また、本発明の一実施形態では VCSEL から光が放出される方向から見る時、円形の光放出のために原形のポストの製作を参照して説明したが、放出される光の用途によって円形以外に直四角形、正四角形、楕円形などのポストにも適用可能である。

30

【 0 0 5 5 】

また、本発明の一実施形態ではポストを形成するために電極の一部またはその全面にフォトレジストを形成した後にエッチングを行うが、電極の両端部に側壁を形成した後、エッチングしても良い。

【 0 0 5 6 】

また、本発明の一実施形態では各層をなす構成物質及びその形成方法について具体的に言及しているが、必ずしもこれに限定されるものではなく、当業者ならば多様な物質またはその他の方法により具現可能なことを認識しうる。

40

【 図面の簡単な説明 】

【 図 1 A 】 従来の技術による VCSEL 装置の製造方法を説明するための工程順序による断面図である。

【 図 1 B 】 従来の技術による VCSEL 装置の製造方法を説明するための工程順序による断面図である。

【 図 1 C 】 従来の技術による VCSEL 装置の製造方法を説明するための工程順序による断面図である。

【 図 1 D 】 従来の技術による VCSEL 装置の製造方法を説明するための工程順序による断面図である。

50

【図１Ｅ】 従来の技術によるVCSEL装置の製造方法を説明するための工程順序による断面図である。

【図２Ａ】 図１の工程による問題点を説明するために提示されたVCSEL装置の断面図である。

【図２Ｂ】 ‘電極プリング’構成による問題点を説明するために提示されたVCSEL装置の断面図である。

【図２Ｃ】 ‘電極プッシング’構成による問題点を説明するために提示されたVCSEL装置の断面図である。

【図３Ａ】 本発明の一実施形態によるVCSEL装置の製造方法を説明するための工程順序による断面図である。

10

【図３Ｂ】 本発明の一実施形態によるVCSEL装置の製造方法を説明するための工程順序による断面図である。

【図３Ｃ】 本発明の一実施形態によるVCSEL装置の製造方法を説明するための工程順序による断面図である。

【図３Ｄ】 本発明の一実施形態によるVCSEL装置の製造方法を説明するための工程順序による断面図である。

【図３Ｅ】 本発明の一実施形態によるVCSEL装置の製造方法を説明するための工程順序による断面図である。

【図３Ｆ】 本発明の一実施形態によるVCSEL装置の製造方法を説明するための工程順序による断面図である。

20

【図３Ｆ】 本発明の一実施形態によるVCSEL装置の製造方法を説明するための工程順序による断面図である。

【図３Ｇ】 本発明の一実施形態によるVCSEL装置の製造方法を説明するための工程順序による断面図である。

【符号の説明】

１０ 基板

１３ 下部反射層

１５ 活性層

１７ 予備酸化層

１９ 上部反射層

30

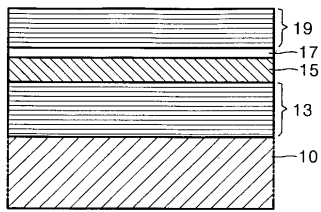
２５a ウィンドウ

３６ 上部電極

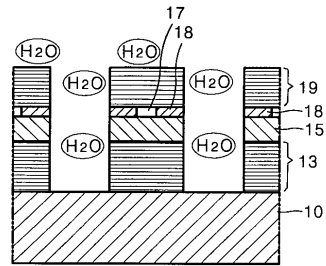
３８ フォトレジスト

４０ 空間部

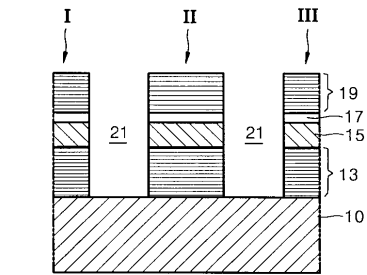
【図 1 A】



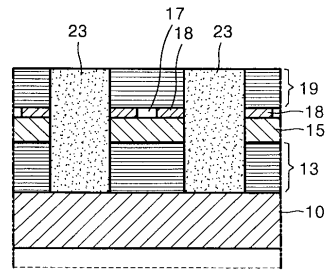
【図 1 C】



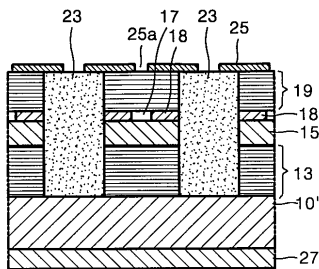
【図 1 B】



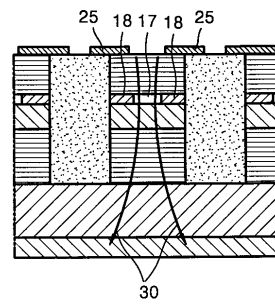
【図 1 D】



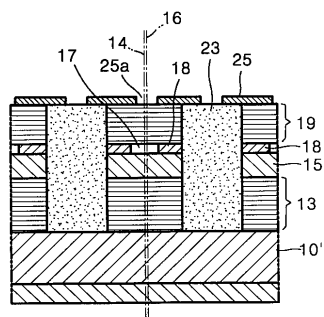
【図 1 E】



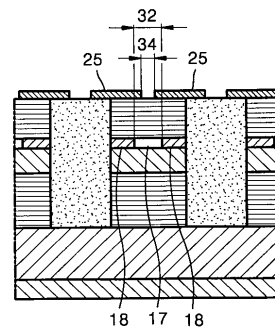
【図 2 B】



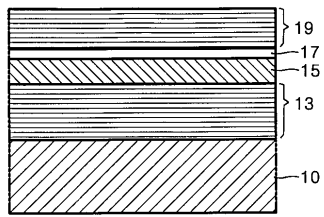
【図 2 A】



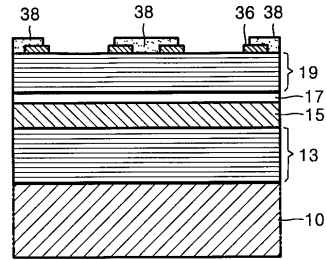
【図 2 C】



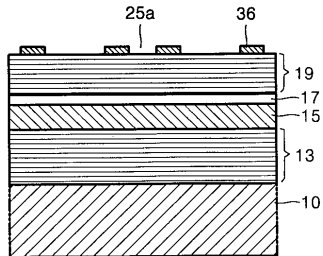
【図 3 A】



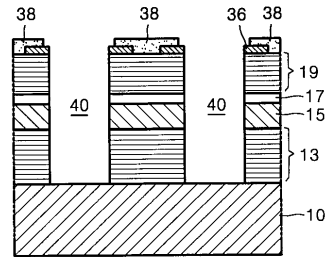
【図 3 C】



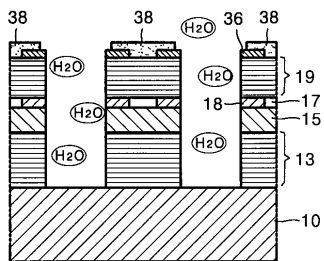
【図 3 B】



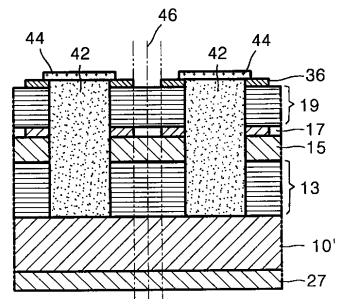
【図 3 D】



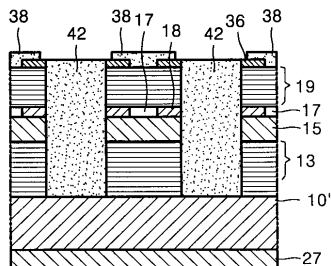
【図 3 E】



【図 3 G】



【図 3 F】



フロントページの続き

(72)発明者 張 東勲

大韓民国京畿道安養市東安区飛山洞 1 1 0 2 - 4 番地冠岳アパート 2 0 7 棟 2 1 0 1 号

審査官 檀本 英吾

(56)参考文献 国際公開第 0 0 / 0 2 7 0 0 3 (W O , A 1)

特開平 0 7 - 2 8 8 3 6 2 (J P , A)

特開平 0 5 - 1 6 0 5 0 1 (J P , A)

特開平 1 0 - 2 0 9 5 6 7 (J P , A)

特開平 0 8 - 1 5 3 9 3 5 (J P , A)

特開 2 0 0 2 - 0 0 9 3 9 3 (J P , A)

特開昭 1 0 - 0 6 5 2 6 8 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H01S 5/00-5/50