



Patent dodatkowy
do patentu nr _____

Zgłoszona: 12.09.77 (P. 200819)

Pierwszeństwo: _____

Zgłoszenie ogłoszono: 09.04.79

Opis patentowy opublikowano: 5.03.1982

Int. Cl.²
G05B 19/02

Twórcy wynalazku: Edward Krumplewski, Andrzej Lis

Uprawniony z patentu: Zakłady Aparatury Elektrycznej
„MERA-REFA”, Świebodzice (Polska)

Układ elektronicznego programatora zwłaszcza do stoisk kontrolnych

1

Przedmiotem wynalazku jest układ elektronicznego programatora zwłaszcza do stoisk kontrolnych wykorzystującego jako wzorzec czasu częstotliwość sieci oraz zapewniającego prawidłowy przebieg pierwszego cyklu po załączeniu i ostatniego cyklu po wyłączeniu programatora.

W znanych dotychczas układach elektronicznych programatorów w celu uzyskania prawidłowego przebiegu pierwszego cyklu po załączeniu i ostatniego cyklu po wyłączeniu programatora stosuje się rozbudowane układy zerowania dekodów czasu. Zadaniem tych układów jest wyzerowanie dekodów czasu po załączeniu programatora oraz zablokowanie wejść dekodów czasu po zakończeniu ostatniego cyklu po wyłączeniu programatora. Wadą tych układów jest konieczność stosowania dużej liczby elementów i połączeń między nimi szczególnie w przypadku programatorów o większej liczbie programów.

Celem wynalazku jest zmniejszenie liczby elementów oraz uproszczenie układu elektronicznego programatora.

Istotą rozwiązania według wynalazku jest układ elektronicznego programatora zwłaszcza do stoisk kontrolnych, posiadających układ formujący, dzielnik częstotliwości, dekodery czasów i tranzystory wyjściowe sterujące przekąźnikami wykonawczymi, w którym zastosowano układ blokowania wyjść. Układ blokowania wyjść składa się z dekodera

2

cyklu, tranzystora blokującego, rezystora polaryzującego oraz zespół diód blokujących.

Zasadnicze korzyści wynikające z zastosowania układu elektronicznego programatora według wynalazku to zmniejszenie liczby elementów i połączeń między nimi, uproszczenie układu oraz jego elastyczność w przypadku stosowania różnych struktur wewnętrznych i różnych ilości programów.

Przedmiot wynalazku jest przedstawiony w przykładzie wykonania na rysunku, na którym przedstawiono schemat ideowy układu elektronicznego

Układ składa się z układu formującego **F** posiadającego wejście **WE** połączonego z dzielnikiem częstotliwości **DZ**, który łączy się z dekodern 15 cyklu **DC** oraz z dekoderni czasów, **D₁**, **D₂**, ..., **D_n**. Dekodery czasów **D₁**, **D₂**, ..., **D_n** są połączone między sobą, a ich wyjścia łączą się z bazami tranzystorów wyjściowych **T₁**, **T₂**, ..., **T_n**, które sterują 20 przekąźnikami wykonawczymi **P₁**, **P₂**, ..., **P_n**. Dekoder cyklu **DC** posiada wejście **START-STOP** i steruje tranzystorem blokującym **T**, do którego kolektora przyłączone są katody diod blokujących **d₁**, **d₂**, ..., **d_n**. Natomiast anody diod blokujących **d₁**, **d₂**, ..., **d_n** łączą się z wyjściami dekodów czasów 25 **D₁**, **D₂**, ..., **D_n** i z bazami tranzystorów wyjściowych **T₁**, **T₂**, ..., **T_n**. Kolektor tranzystora blokującego **T** jest również połączony przez rezystor polaryzujący **R** z dodatnim biegunem napięcia zasilającego **U_z**.

Napięcie sieci o zadanej częstotliwości **f** jest po-

dawane na wejście **WE** układu formującego i przekształcone w nim na impulsy prostokątne. Impulsy te zostają przesłane do dzielnika częstotliwości **DZ**. Odpowiednio podzielone impulsy zostają przesłane do dekodery czasów $D_1, D_2, \dots, D_n$ oraz do dekodera cyklu **DC**. Jeżeli na wejściu **START-STOP** dekodera cyklu **DC** jest stan wyjściowy **STOP** to tranzystor blokujący **T** jestysterowany, diody blokujące $d_1, d_2, \dots, d_n$ są spolaryzowane w kierunku przewodzenia i zawierają bazy tranzystorów wyjściowych $T_1, T_2, \dots, T_n$ przez złącze kolektor-emiter tranzystora blokującego **T** do masy.

Sygnały z wyjść dekodery czasów $D_1, D_2, \dots, D_n$ są więc zwierane do masy i nie powodują występowania tranzystorów wyjściowych $T_1, T_2, \dots, T_n$ i przekaźniki wykonawcze $P_1, P_2, \dots, P_n$ nie są pobudzane. Po przełączeniu wejścia dekodera cyklu **DC** w stan pracy **START**, następuje zmiana stanu układu blokującego, w skład którego wchodzi: dekodek cyklu **DC**, tranzystor blokujący **T**, diody blokujące $d_1, d_2, \dots, d_n$ i rezystor polaryzujący **R**. Jeżeli w dzielniku częstotliwości **DZ** wystąpi stan odpowiadający końcowi cyklu, dekodek cyklu **DC** zeruje dzielnik częstotliwości i powoduje zatkanie tranzystora blokującego **T**, diody blokujące $d_1, d_2, \dots, d_n$ zostają zatkane i sygnały z wyjść dekodery czasu $D_1, D_2, \dots, D_n$ rozpoczynają zgodnie z programemysterowywać tranzystory wyjściowe $T_1, T_2, \dots, T_n$, które pobudzają przekaźniki wykonawcze $P_1, P_2, \dots, P_n$.

Po zmianie stanu wejścia dekodera cyklu **DC** na

stan wyjściowy **STOP** i po wystąpieniu w dzielniku częstotliwości **DZ** stanu odpowiadającego końcowi cyklu, dekodek cyklu **DC** powoduje występowanie tranzystora blokującego **T** i następuje za-
5 blokowanie wyjść dekodery czasów $D_1, D_2, \dots, D_n$.

Zastrzeżenie patentowe

Układ elektronicznego programatora zwłaszcza do stoisk kontrolnych wykorzystującego jako wzorzec czasu częstotliwość sieci posiadający układ formujący połączony z dzielnikiem częstotliwości, z którym są połączone dekodery czasów sterujące tranzystorami wyjściowymi, które sterują z kolei przekaźnikami wykonawczymi, **znamienny tym**, że posiada układ blokowania wyjść składający się z dekodera cyklu (**DC**), tranzystora blokującego (**T**), rezystora polaryzującego (**R**) oraz diód blokujących ($d_1, d_2, \dots, d_n$) połączony w ten sposób, że dekodek cyklu (**DC**) posiadający wejście (**START-STOP**) jest połączony z dzielnikiem częstotliwości (**DZ**) oraz z bazą tranzystora blokującego (**T**), którego emiter łączy się z masą układu a kolektor z rezystorem polaryzującym (**R**) połączonym drugim końcem z dodatnim biegunem napięcia zasilającego (U_z), przy czym do kolektora tranzystora blokującego (**T**) są dołączone katody diod blokujących ($d_1, d_2, \dots, d_n$), których anody łączą się z bazami tranzystorów wyjściowych ($T_1, T_2, \dots, T_n$) i wyjściami dekodery czasów ($D_1, D_2, \dots, D_n$).

