



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0123313  
(43) 공개일자 2017년11월07일

(51) 국제특허분류(Int. Cl.)  
H03F 1/52 (2006.01) H03F 3/193 (2006.01)  
H03F 3/21 (2006.01)  
(52) CPC특허분류  
H03F 1/523 (2013.01)  
H03F 3/193 (2013.01)  
(21) 출원번호 10-2017-7023548  
(22) 출원일자(국제) 2016년01월27일  
심사청구일자 없음  
(85) 번역문제출일자 2017년08월23일  
(86) 국제출원번호 PCT/US2016/015235  
(87) 국제공개번호 WO 2016/137648  
국제공개일자 2016년09월01일  
(30) 우선권주장  
14/632,646 2015년02월26일 미국(US)

(71) 출원인  
퀄컴 인코포레이티드  
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775  
(72) 발명자  
유세프, 아흐메드 압델 모넬  
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775 퀄컴 인코포레이티드  
구렘, 프라사드 스리니바사 시바  
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775 퀄컴 인코포레이티드  
(뒷면에 계속)  
(74) 대리인  
특허법인 남앤드남

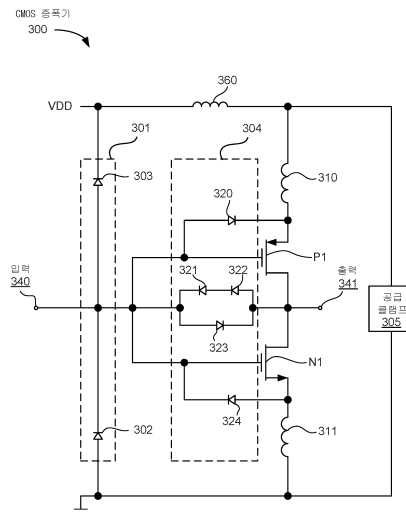
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 CMOS 증폭기에 대한 정전기 방전 보호

(57) 요약

ESD(electrostatic discharge) 보호 회로들을 포함하는 CMOS 증폭기(300)가 개시된다. 일 실시예에서, CMOS 증폭기는, CMOS 증폭기의 단자들 사이의 전압차를 제한하기 위해, PMOS 트랜지스터(P1), NMOS 트랜지스터(N1), 주 보호 다이오드들(301), 및 하나 또는 그 초과 보조 보호 다이오드들(304)을 포함할 수 있다. 일부 실시예들에서, 보조 보호 다이오드들은 CMOS 증폭기의 입력 단자와 공급 전압 사이, CMOS 증폭기의 입력 단자와 접지 사이, 및 CMOS 증폭기의 입력 단자와 출력 단자 사이의 전압차를 제한할 수 있다.

대표도 - 도3



(52) CPC특허분류

**H03F 3/211** (2013.01)

**H03F 2200/294** (2013.01)

**H03F 2200/441** (2013.01)

**H03F 2200/444** (2013.01)

**H03F 2200/451** (2013.01)

**H03F 2200/489** (2013.01)

**H03F 2203/21106** (2013.01)

(72) 발명자

**월리, 유진 로버트**

미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775 쉘컴 인코포레이티드

**팬, 동령**

미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775 쉘컴 인코포레이티드

**창, 리-청**

미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775 쉘컴 인코포레이티드

## 명세서

### 청구범위

#### 청구항 1

장치로서,

증폭기의 입력 신호를 증폭시키고 출력 신호를 생성하도록 구성된 PMOS 트랜지스터;

상기 증폭기의 이득을 감소시키도록 구성된 감쇄 인덕터(degeneration inductor); 및

상기 증폭기의 입력 단자와 공급 전압 사이의 전압차를 제한하도록 구성된 제 1 보호 다이오드를 포함하는,  
장치.

#### 청구항 2

제 1 항에 있어서,

상기 제 1 보호 다이오드는 상기 PMOS 트랜지스터의 게이트 단자와 소스 단자 사이의 전압차를 제한하도록 추가로 구성되는,

장치.

#### 청구항 3

제 1 항에 있어서,

상기 제 1 보호 다이오드는 상기 PMOS 트랜지스터의 소스 단자와 상기 PMOS 트랜지스터의 게이트 단자 사이에 커플링되는,

장치.

#### 청구항 4

제 1 항에 있어서,

상기 제 1 보호 다이오드는 상기 PMOS 트랜지스터의 게이트/소스 접합을 보호하도록 추가로 구성되는,

장치.

#### 청구항 5

제 1 항에 있어서,

상기 제 1 보호 다이오드와 직렬로 커플링된 저항기를 더 포함하는,

장치.

#### 청구항 6

제 1 항에 있어서,

상기 감쇄 인덕터는 상기 PMOS 트랜지스터의 소스 단자와 상기 공급 전압 사이에 커플링되는,

장치.

#### 청구항 7

제 1 항에 있어서,

상기 증폭기의 입력 단자와 상기 증폭기의 출력 단자 사이의 전압차를 제한하도록 구성된 제 2 보호 다이오드를 더 포함하는,

장치.

#### 청구항 8

제 7 항에 있어서,

상기 제 2 보호 다이오드는 상기 PMOS 트랜지스터의 게이트 단자와 상기 PMOS 트랜지스터의 드레인 단자 사이의 전압차를 제한하도록 추가로 구성되는,

장치.

#### 청구항 9

제 7 항에 있어서,

상기 제 2 보호 다이오드는 상기 PMOS 트랜지스터의 게이트 단자와 상기 PMOS 트랜지스터의 드레인 단자 사이에 커플링되는,

장치.

#### 청구항 10

제 1 항에 있어서,

접지와 상기 공급 전압 사이의 전압차가 제 1 임계 전압을 초과할 때, 접지와 상기 공급 전압 사이의 전압차를 제한하도록 구성된 하나 또는 그 초과 주 보호 다이오드; 및

상기 공급 전압과 접지 사이의 전압차가 제 2 임계 전압을 초과할 때, 상기 공급 전압과 접지 사이의 전압차를 제한하도록 구성된 클램프 회로(clamp circuit)를 더 포함하는,

장치.

#### 청구항 11

제 1 항에 있어서,

상기 입력 신호에 기반하여 상기 증폭기의 상기 출력 신호를 생성하도록 구성된 NMOS 트랜지스터를 더 포함하고,

상기 증폭기는 CMOS 증폭기인,

장치.

#### 청구항 12

제 11 항에 있어서,

상기 증폭기의 상기 입력 단자와 상기 NMOS 트랜지스터의 소스 단자 사이의 전압차를 제한하도록 구성된 제 3 보호 다이오드를 더 포함하는,

장치.

#### 청구항 13

장치로서,

PMOS 트랜지스터를 통해 증폭기의 입력 신호를 증폭시키고 출력 신호를 생성하기 위한 수단;

상기 증폭기의 이득을 감소시키기 위한 수단; 및

상기 증폭기의 입력 단자와 공급 전압 사이의 전압차를 제한하기 위한 수단을 포함하는,

장치.

#### 청구항 14

제 13 항에 있어서,

상기 전압차를 제한하기 위한 수단은, 상기 PMOS 트랜지스터의 게이트 단자와 소스 단자 사이의 전압차를 또한 제한시키기 위한 것인,

장치.

#### 청구항 15

제 13 항에 있어서,

상기 증폭기의 입력 단자와 상기 증폭기의 출력 단자 사이의 전압차를 제한하기 위한 수단을 더 포함하는,

장치.

#### 청구항 16

제 15 항에 있어서,

상기 전압차를 제한하기 위한 수단은, 상기 PMOS 트랜지스터의 게이트 단자와 드레인 단자 사이의 전압차를 또한 제한시키기 위한 것인,

장치.

#### 청구항 17

제 13 항에 있어서,

접지와 상기 공급 전압 사이의 전압차가 제 1 임계 전압을 초과할 때, 접지와 상기 공급 전압 사이의 전압차를 제한하기 위한 수단; 및

상기 공급 전압과 접지 사이의 전압차가 제 2 임계 전압을 초과할 때, 상기 공급 전압과 접지 사이의 전압차를 제한하기 위한 수단을 더 포함하는,

장치.

#### 청구항 18

제 13 항에 있어서,

상기 증폭기의 입력 신호를 증폭시키고 출력 신호를 생성하기 위한 수단은, 상기 증폭기의 상기 입력 단자와 NMOS 트랜지스터의 소스 단자 사이의 전압차를 제한하기 위한 것이고,

상기 증폭기는 CMOS 증폭기인,

장치.

#### 청구항 19

방법으로서,

PMOS 트랜지스터에 의해, 증폭기의 입력 신호를 증폭시키고 출력 신호를 생성하는 단계;

인덕터에 의해, 상기 증폭기의 이득을 감소시키는 단계; 및

제 1 보호 다이오드에 의해, 상기 증폭기의 입력 단자와 공급 전압 사이의 전압차를 제한하는 단계를 포함하는, 방법.

#### 청구항 20

제 19 항에 있어서,

상기 전압차를 제한하는 단계는,

상기 PMOS 트랜지스터의 게이트 단자와 소스 단자 사이의 전압차를 제한하는 단계를 포함하는,

방법.

## 발명의 설명

### 기술 분야

[0001] 예시적인 실시예들은, 일반적으로 증폭기들에 관한 것으로, 구체적으로는 CMOS(complementary metal oxide silicon) 증폭기에 대한 정전기 방전 보호(electrostatic discharge protection)를 제공하는 것에 관한 것이다.

### 배경 기술

[0002] 무선 통신 시스템에서의 무선 디바이스(예컨대, 셀룰러 폰 또는 스마트폰)는 2-방향 통신을 위해 데이터를 송신 및 수신할 수 있다. 무선 디바이스는 데이터 송신을 위한 송신기 및 데이터 수신을 위한 수신기를 포함할 수 있다. 데이터 송신의 경우, 송신기는 변조된 RF 신호를 생성하기 위해 데이터로 RF(radio frequency) 반송파 신호를 변조하고, 변조된 RF 신호를 증폭시켜 적절한 출력 전력 레벨을 갖는 송신 RF 신호를 생성하여, 송신 RF 신호를 안테나를 통해 예컨대 기지국과 같은 다른 디바이스에 송신할 수 있다. 데이터 수신 시, 수신기는 안테나를 통해 수신된 RF 신호를 획득하고, 수신된 RF 신호를 증폭시키고 프로세싱하여, 다른 디바이스에 의해 전송된 데이터를 복원할 수 있다.

### 발명의 내용

[0003] 무선 디바이스는 아날로그 신호들을 프로세싱하기 위해 하나 또는 그 초과 증폭기들을 포함할 수 있다. 예컨대, 일부 증폭기들은 상대적으로 낮은 진폭 신호들에 대한 프로세싱 이득(예컨대, 전압 및/또는 전류 이득), 상대적으로 민감한 신호들에 대한 격리, 신호들을 송신 라인들로 드라이빙하기 위한 증가된 전류, 및 통신 매체를 통해 신호들을 송신하기 위한 신호 증폭을 제공할 수 있다.

[0004] 일부 증폭기들은, 상대적으로 높은 전압들이 증폭기의 하나 또는 그 초과 단자들에 바람직하지 않게 커플링되도록 허용하는 환경들에 노출될 수 있다. 예컨대, ESD(electrostatic discharge) 이벤트는 상대적으로 높은 전압들을 증폭기에 노출시킬 수 있다. 보호되지 않는 경우, 증폭기는 상대적으로 높은 전압들에 의해 손상될 수 있다. 예컨대, 고전압은 PN 접합 결함 또는 산화물 결함을 야기할 수 있으며, 이에 의해 증폭기에 포함된 하나 또는 그 초과 트랜지스터들을 손상시킬 수 있다. 또한, 증폭기 내부의 디바이스들의 디바이스 기하학적 형상들(예컨대, 피쳐 크기)이 축소됨에 따라, 증폭기 내부의 디바이스들은 더 낮은 전압들로 손상되기 쉽다. 예컨대, MOS(metal oxide semiconductor) 트랜지스터와 연관된 래치 전압(latch voltage)(예컨대, PN 접합을 손상시키는데 필요한 전압)은, 피쳐 크기들이 감소함에 따라 감소할 수 있다.

[0005] 따라서, 증폭기들에 대한 ESD 보호를 개선시킬 필요가 있다.

### 도면의 간단한 설명

[0006] 예시적인 실시예들은, 예로서 도시되고, 첨부된 도면들의 도들에 의해 제한하는 것으로 의도되지는 않는다. 동일한 번호들은 도면들 및 상세한 설명 전체에 걸쳐 동일한 엘리먼트들을 지칭한다.

[0007] 도 1은, 일부 예시적인 실시예들에 따른, 무선 통신 시스템과 통신하는 무선 디바이스를 도시한다.

[0008] 도 2는 도 1의 무선 디바이스의 예시적인 설계의 블록도를 도시한다.

[0009] 도 3은, 일부 실시예들에 따른, CMOS 증폭기의 예시적인 실시예를 도시한다.

[0010] 도 4는, 일부 실시예들에 따른, CMOS 증폭기의 다른 예시적인 실시예를 도시한다.

[0011] 도 5는, 일부 실시예들에 따른, CMOS 증폭기를 보호하기 위한 예시적인 동작을 도시하는 예시적인 흐름도를 도시한다.

### 발명을 실시하기 위한 구체적인 내용

[0012] 다음의 설명에서, 본 개시내용의 완전한 이해를 제공하기 위해 특정한 컴포넌트들, 회로들, 및 프로세스들의 예들과 같은 다수의 특정한 세부사항들이 설명된다. 본 명세서에서 사용된 바와 같이, 용어 “커플링된”은 직접적으로 커플링되거나, 하나 또는 그 초과 중간 컴포넌트들 또는 회로들을 통해 커플링된다는 것을 의

미한다. 또한, 다음의 기재에서, 그리고 설명의 목적들을 위해, 예시적인 실시예들의 완전한 이해를 제공하기 위해 특정 명칭 및/또는 세부사항들이 설명된다. 그러나, 이들 특정한 세부사항들이 예시적인 실시예들을 실행하는데 요구되지 않을 수도 있다는 것은 당업자들에게는 명백할 것이다. 다른 예시들에서, 잘-알려진 회로들 및 디바이스들은, 본 발명을 불명료하게 하는 것을 회피하기 위해 블록도 형태로 도시된다. 본 명세서에 설명된 다양한 버스들을 통해 제공된 신호들 중 임의의 신호는, 다른 신호들과 시간-멀티플렉싱될 수도 있고, 하나 또는 그 초과와 공통 버스들을 통해 제공될 수도 있다. 부가적으로, 회로 엘리먼트들 또는 소프트웨어 블록들 사이의 상호접속은 버스들 또는 단일 신호 라인들로서 도시될 수도 있다. 버스들 각각은 대안적으로 단일 신호 라인일 수도 있고, 단일 신호 라인들 각각은 대안적으로 버스들일 수도 있으며, 단일 라인 또는 버스는, 컴포넌트들 사이의 통신을 위한 다수의 물리적 또는 논리적 메커니즘들 중 임의의 하나 또는 그 초과를 표현할 수도 있다. 예시적인 실시예들은 본원에 설명된 특정 예들에 제한되는 것으로 해석되어서는 안되며 오히려 첨부된 청구항들에 의해 정의된 모든 실시예들을 그들의 범위 내에 포함하는 것으로 해석되어야 한다.

[0008] [0013] 이에 더해, 첨부된 도면들과 관련하여 아래에 기재된 상세한 설명은 본 개시내용의 예시적인 실시예들의 설명으로서 의도되며, 본 개시내용이 실행될 수 있는 실시예들만을 표현하하는 것으로 의도되지 않는다. 본 상세한 설명에 걸쳐 전반적으로 사용되는 용어 “예시적인”은, “예, 예증, 또는 예시로서 기능하는”을 의미하며, 다른 실시예들에 비해 반드시 선호되거나 또는 유리한 것으로 해석되어서는 안된다.

[0009] [0014] 도 1은, 일부 예시적인 실시예들에 따른, 무선 통신 시스템(120)과 통신하는 무선 디바이스(110)를 도시한다. 무선 통신 시스템(120)은, LTE(Long Term Evolution) 시스템, CDMA(Code Division Multiple Access) 시스템, GSM(Global System for Mobile Communications) 시스템, WLAN(wireless local area network) 시스템, 또는 몇몇 다른 무선 시스템일 수 있다. CDMA 시스템은, WCDMA(Wideband CDMA), CDMA 1X, EVDO(Evolution-Data Optimized), TD-SCDMA(Time Division Synchronous CDMA), 또는 CDMA의 몇몇 다른 버전을 구현할 수 있다. 단순화를 위해, 도 1은 2개의 기지국들(130 및 132) 및 하나의 시스템 제어기(140)를 포함하는 무선 통신 시스템(120)을 도시한다. 일반적으로, 무선 시스템은 임의의 수의 기지국들 및 임의의 세트의 네트워크 엔티티들을 포함할 수 있다.

[0010] [0015] 무선 디바이스(110)는 또한, 사용자 장비(UE), 모바일 스테이션, 단말, 액세스 단말, 가입자 유닛, 스테이션 등으로 지칭될 수 있다. 무선 디바이스(110)는, 셀룰러 폰, 스마트폰, 태블릿, 무선 모뎀, PDA(personal digital assistant), 핸드헬드 디바이스, 랩탑 컴퓨터, 스마트북, 넷북, 코드리스 폰, WLL(wireless local loop) 스테이션, 블루투스 디바이스 등일 수 있다. 무선 디바이스(110)는 무선 통신 시스템(120)과 통신할 수 있다. 무선 디바이스(110)는 또한, 하나 또는 그 초과와 GNSS(global navigation satellite system)들 등에서, 브로드캐스트 스테이션들(예컨대, 브로드캐스트 스테이션(134))로부터의 신호들, 및 위성들(예컨대, 위성(150))로부터의 신호들을 수신할 수 있다. 무선 디바이스(110)는, 무선 통신을 위한 하나 또는 그 초과와 라디오 기술들, 이를테면, LTE, WCDMA, CDMA 1X, EVDO, TD-SCDMA, GSM, 802.11, 등을 지원할 수 있다.

[0011] [0016] 도 2는 도 1의 무선 디바이스(110)의 예시적인 설계의 블록도를 도시한다. 이러한 예시적인 설계에서, 무선 디바이스(110)는, 주 안테나(210)에 커플링된 주 트랜시버(220), 보조 안테나(212)에 커플링된 보조 트랜시버(222), 및 데이터 프로세서/제어기(280)를 포함한다. 주 트랜시버(220)는, 다중 주파수 대역들, 다중 라디오 기술들, 캐리어 어그리게이션 등을 지원하기 위해 다수의(K개) 수신기들(230pa 내지 230pk) 및 다수의(K개) 송신기들(250pa 내지 250pk)을 포함한다. 보조 트랜시버(222)는, 다수의 주파수 대역들, 다수의 라디오 기술들, 캐리어 어그리게이션, 수신 다이버시티, 다수의 송신 안테나들로부터 다수의 수신 안테나들로의 MIMO(multiple-input multiple-output) 송신 등을 지원하기 위해 다수의(L개) 수신기들(230sa 내지 230sl) 및 다수의(L개) 송신기들(250sa 내지 250sl)을 포함한다.

[0012] [0017] 도 2에 도시된 예시적인 설계에서, 각각의 수신기(230)(예컨대, 230pa-230pk 및 230sa-230sl)는 LNA(low noise amplifier)(240)(예컨대, 240pa-240pk 및 240sa-240sl) 및 수신 회로들(242)(예컨대, 242pa-242pk 및 242sa-242sl)을 포함한다. 데이터 수신인 경우, 주 안테나(210)는, 기지국들 및/또는 다른 송신기 스테이션들로부터 신호들을 수신하고 그리고 안테나 인터페이스 회로(224a)를 통해 라우팅되고 입력 RF 신호로서 선택된 수신기에 제시되는 수신된 RF(radio frequency) 신호를 제공한다. 안테나 인터페이스 회로(224a)는, 스위치들, 듀플렉서들, 송신 필터들, 수신 필터들, 매칭 회로들 등을 포함할 수 있다. 일부 실시예들에서, 안테나 인터페이스 회로(224b)(점선으로 도시됨)는 주 트랜시버(220)의 외부에 있을 수 있다. 따라서, LNA(240) 및/또는 PA(power amplifier)(254)는 바깥쪽 주 트랜시버(220)로부터 액세스가능한 입력들 및 출력들을 가질 수 있다. 이하의 설명은, 수신기(230pa)가 선택된 수신기임을 가정한다. 수신기(230pa) 내에서, LNA(240pa)는 입력 RF 신호를 증폭시키고 출력 RF 신호를 제공한다. 수신 회로들(242pa)은, 출력 RF 신호를 RF에서 기저대역으

로 다운컨버팅하고, 다운컨버팅된 신호를 증폭시키고 필터링하여, 아날로그 입력 신호를 데이터 프로세서/제어기(280)에 제공한다. 수신 회로들(242pa)은, 혼합기들, 필터들, 증폭기들, 매칭 회로들, 오실레이터, LO(local oscillator) 생성기, PLL(phase locked loop) 등을 포함할 수 있다. 주 트랜시버들(220)에서의 각각의 나머지 수신기(230)는 수신기(230pa)와 유사한 방식으로 동작할 수 있다. 보조 트랜시버(222) 내의 수신기들(230) 및 관련 안테나 인터페이스 회로(226a)(또는 226b)는 수신기(230pa)와 유사한 방식으로 동작할 수 있다.

[0013] [0018] 도 2에 도시된 예시적인 설계에서, 각각의 송신기(250)(예컨대, 250pa-250pk 및 250sa-250sl)는 송신 회로들(252)(예컨대, 252pa-252pk 및 252sa-252sl) 및 PA(power amplifier)(254)(예컨대, 254pa-254pk 및 254sa-254sl)를 포함한다. 데이터 송신의 경우, 데이터 프로세서/제어기(280)는 송신될 데이터를 프로세싱(예컨대, 인코딩 및 변조)하고, 아날로그 출력 신호를 선택된 송신기에 제공한다. 이하의 설명은, 송신기(250pa)가 선택된 송신기임을 가정한다. 송신기(250pa) 내에서, 송신 회로들(252pa)은, 아날로그 출력 신호를 기저대역에서 RF로 증폭, 필터링, 및 업컨버팅하여, 변조된 RF 신호를 제공한다. 송신 회로들(252pa)은, 증폭기들, 필터들, 혼합기들, 매칭 회로들, 오실레이터, LO 생성기, PLL 등을 포함할 수 있다. PA(254pa)는, 변조된 RF 신호를 수신하고 증폭시키고, 적절한 출력 전력 레벨을 갖는 송신 RF 신호를 제공한다. 송신 RF 신호는, 안테나 인터페이스 회로(224a)(또는 안테나 인터페이스 회로(224b))를 통해 라우팅되고, 주 안테나(210)를 통해 송신된다. 주 트랜시버(220)에서의 각각의 나머지 송신기(250)는 송신기(250pa)와 유사한 방식으로 동작할 수 있다. 보조 트랜시버(222) 내의 송신기들(250) 및 관련 안테나 인터페이스 회로(226a)(또는 226b)는 수신기(230pa)와 유사한 방식으로 동작할 수 있다.

[0014] [0019] 각각의 수신기(230) 및 송신기(250)는 또한, 도 2에 도시되지 않은 다른 회로들, 이를테면, 필터들, 매칭 회로들 등을 포함할 수 있다. 트랜시버들(220 및 222)의 전부 또는 일부는, 하나 또는 그 초과와 아날로그 IC(integrated circuit)들, RF IC들(RFIC들), 혼합-신호 IC들 등 상에서 구현될 수 있다. 예컨대, 트랜시버들(220 및 222) 내의 LNA들(240) 및 수신 회로들(242)은 후술하는 바와 같이 다수의 IC 칩들 상에서 구현될 수 있다. 트랜시버들(220 및 222) 내의 회로들은 또한 다른 방식으로 구현될 수 있다.

[0015] [0020] 데이터 프로세서/제어기(280)는 무선 디바이스(110)에 대한 다양한 기능들을 수행할 수 있다. 예컨대, 데이터 프로세서/제어기(280)는, 수신기들(230)을 통해 수신되는 데이터 및 송신기들(250)을 통해 송신되는 데이터에 대한 프로세싱을 수행할 수 있다. 데이터 프로세서/제어기(280)는 트랜시버들(220 및 222) 내의 다양한 회로들의 동작을 제어할 수 있다. 메모리(282)는 데이터 프로세서/제어기(280)에 대한 프로그램 코드들 및 데이터를 저장할 수 있다. 데이터 프로세서/제어기(280)는 하나 또는 그 초과와 ASIC(application specific integrated circuit)들 및/또는 다른 IC들 상에서 구현될 수 있다.

[0016] [0021] 도 3은, 일부 실시예들에 따른, CMOS 증폭기(300)의 예시적인 실시예를 도시한다. 일부 실시예들에서, CMOS 증폭기(300)는, 위에 설명된 바와 같이, LNA(240), 수신 회로들(242), PA(254), 및/또는 송신 회로들(252) 내에 포함될 수 있다. CMOS 증폭기(300)는, 무선 디바이스(110) 내의 신호들, 이를테면, 송신 및/또는 수신될 수 있는 변조된 RF 신호들을 증폭시킬 수 있다. 도시된 바와 같이, CMOS 증폭기(300)는, 트랜지스터(P1), 트랜지스터(N1), 제 1 감쇄 인덕터(310), 제 2 감쇄 인덕터(311), 보호 다이오드들(302-303)을 포함하는 주 보호 회로(301), 보호 다이오드들(320-324)을 포함하는 보조 보호 회로(304) 및 공급 클램프(305)를 포함한다. 일부 실시예들에서, 트랜지스터(P1)는 PMOS 트랜지스터일 수 있고, 트랜지스터(N1)는 NMOS 트랜지스터일 수 있다. CMOS 증폭기(300)는 또한 입력 단자(340) 및 출력 단자(341)를 포함할 수 있다.

[0017] [0022] 트랜지스터(P1) 및 트랜지스터(N1)는 CMOS 증폭기(300)에 대한 인버팅 증폭기를 형성하기 위해 함께 커플링될 수 있다. 예컨대, 트랜지스터(P1)의 게이트 단자는, 트랜지스터(N1)의 게이트 단자에 커플링될 수 있고, 반전 증폭기에 대한 입력 단자(및 CMOS 증폭기(300)에 대한 입력 단자(340))를 형성할 수 있다. 트랜지스터(P1)의 소스 단자는 공급 전압, 이를테면, VDD에 커플링될 수 있다. 트랜지스터(N1)의 소스 단자는 접지에 커플링될 수 있다. 트랜지스터(P1)의 드레인 단자는, 트랜지스터(N1)의 드레인 단자에 커플링될 수 있고, 반전 증폭기에 대한 출력 단자(및 CMOS 증폭기(300)에 대한 출력 단자(341))를 형성할 수 있다.

[0018] [0023] 일부 실시예들에서, 감쇄 인덕터들(310 및 311)은, 특히, 트랜지스터(P1) 및/또는 트랜지스터(N1)의 절대 이득에 대한 CMOS 증폭기(300)의 의존도를 감소시키기 위해 트랜지스터(P1) 및 트랜지스터(N1)에 커플링될 수 있다. 예컨대, 트랜지스터(P1) 및/또는 트랜지스터(N1)에 의해 제공된 절대 이득은, CMOS 증폭기(300)에 대해 더욱 예측가능한(비록 더 낮지만) 이득을 제공하는 대신에 감쇄 인덕터들(310 및 311)에 의해 감소될 수 있다. 일부 다른 실시예들에서, 감쇄 인덕터들(310, 311)은 CMOS 증폭기(300)와 연관된 선형성을 향상시킬 수 있다. 따라서, CMOS 증폭기(300)에 의해 제공된 출력 신호는, 감쇄 인덕터(310) 및/또는 감쇄 인덕터(311)에 의



해 CMOS 증폭기에 제공된 입력 신호에 더욱 비례하여 형성될 수 있다. 일부 실시예들에서, 제 1 감쇄 인덕터(310)는 트랜지스터(P1)의 소스 단자를 공급 전압에 커플링할 수 있고, 제 2 감쇄 인덕터(311)는 트랜지스터(N1)의 소스 단자를 접지에 커플링할 수 있다.

[0019] [0024] CMOS 증폭기(300)는, 주 보호 회로(301), 공급 클램프(305), 및 보조 보호 회로(304)에 의해 몇몇 ESD 이벤트들로부터 보호될 수 있다. ESD 이벤트는, 정전기(static electricity)가 CMOS 증폭기(300)의 하나 또는 그 초과 단자들을 통해 수신될 때 발생할 수 있다. ESD 이벤트와 연관된 전압은 트랜지스터(P1) 및/또는 트랜지스터(N1)를 손상시키기에 충분할 수 있다. 일부 실시예들(예컨대, 나노미터 CMOS 기술을 사용하여 실현된 트랜지스터들)에서, 5볼트 정도의 낮은 전압은 트랜지스터(예컨대, 트랜지스터(P1) 및/또는 트랜지스터(N1))를 손상시키기에 충분할 수 있다. ESD 이벤트들과 연관된 전압들은 125 볼트 또는 그 이상일 수 있다. 주 보호 회로(301), 공급 클램프(305), 및/또는 보조 보호 회로(304)는, 트랜지스터(P1) 및/또는 트랜지스터(N1)가 ESD 이벤트들과 관련된 고전압들에 노출되는 것을 방지할 수 있다.

[0020] [0025] 주 보호 회로(301)는, 비교적 높은 전압들이 접지를 통해(예컨대, 간략화를 위해 도시되지 않은 접지 단자를 통해) 또는 입력 단자(340)를 통해 수신될 때, 방전 경로를 제공할 수 있다. 주 보호 회로(301)는 보호 다이오드(302) 및 보호 다이오드(303)를 포함할 수 있다. 일부 실시예들에서, 고전압을 수신하는 것은 CDM(capacitive discharge model) 이벤트로 지칭될 수 있다. 예컨대, 수신된 고전압이 접지에 대하여 포지티브일 때, 고전압은 네거티브 CDM 이벤트로 지칭될 수 있다. 유사한 방식으로, 수신된 고전압이 접지에 대하여 네거티브이면, 고전압은 포지티브 CDM 이벤트로 지칭될 수 있다.

[0021] [0026] 일 실시예에서, 높은 포지티브 전압이 입력 단자(340)에서 수신되면(예컨대, 네거티브 CDM 이벤트), 보호 다이오드(303)는 동작하고(예컨대, 순방향 바이어싱됨), 그리고 입력 단자(340)로부터의 높은 포지티브 전압을 공급 클램프(305)를 통과해 공급 전압 단자(예컨대, VDD)로 그리고 접지로 전도할 수 있다. 일부 실시예들에서, 전압 공급 단자는 플로팅(floating)일 수 있고, 방전 전류 경로를 제공하지 않을 수 있다. 공급 클램프(305)의 동작은 이하에 더욱 상세하게 설명된다. 따라서, 입력 단자(340)에서 수신된 전압이 보호 다이오드(303)와 연관된 순방향 전압과 동일하거나 그보다 더 크면, 보호 다이오드(303)는 입력 단자(340)에서의 전압을 접지로 전도할 수 있다. 다른 실시예에서, 높은 네거티브 전압(예컨대, 포지티브 CDM 이벤트)이 입력 단자(340)에서 수신되면, 보호 다이오드(302)는 동작하고 입력 단자(340)를 통해 높은 네거티브 전압을 전도할 수 있다. 일부 실시예들에서, 보호 다이오드(302) 및/또는 보호 다이오드(303)와 연관된 순방향 전압은 주 보호 회로(301)에 의해 제공되는 방전 경로에 대한 임계 전압으로서 동작할 수 있다. 전압이 임계 전압을 초과할 때, 보호 다이오드(302) 및/또는 보호 다이오드(303)는 방전 경로를 제공할 수 있다. 예컨대, 높은 포지티브 전압이 접지 단자(예컨대, 포지티브 CDM 이벤트)에서 수신되면, 보호 다이오드(302)는 동작하고, 입력 단자(340)를 통해 높은 전압을 전도할 수 있다. 이 경우, 접지 단자에서의 전압은 보호 다이오드(302)와 연관된 순방향 전압보다 더 클 수 있다.

[0022] [0027] 공급 클램프(305)는, 상대적으로 높은 전압이 공급 전압 단자에서 수신될 때, 클램프 회로로서 동작하고 방전 경로를 제공할 수 있다. 일부 실시예들에서, 공급 클램프(305)는, 전력 공급 단자에 있는 전압이 임계 전압을 초과할 때, 전도(예컨대, 턴 온)하도록 구성된 트랜지스터, 이를테면, NMOS 트랜지스터(간략화를 위해 도시되지 않음)를 포함할 수 있다. 예컨대, 공급 클램프(305)는 공급 전압 단자에서의 전압 레벨을 감지할 수 있다. 전압 레벨이 임계 전압을 초과할 때, 공급 클램프(305)는 턴 온되어 공급 전압 단자에서 접지 단자로 전압을 전도시킬 수 있다. 일부 실시예들에서, 정상 동작 조건들 하에서, 임계 전압은 정상 동작을 허용할 만큼 충분히 높을 수 있지만, CMOS 증폭기(300)에 비교적 높은 전압의 바람직하지 않은 인가로부터 야기되는 트랜지스터 손상을 방지하기에는 충분히 낮을 수 있다. 예컨대, CMOS 증폭기(300)의 정상 동작 전압이 3.3볼트이면, 공급 클램프(305)는 공급 전압 단자에서의 전압이 4볼트를 충족시키거나 또는 초과할 때 턴 온하도록 구성될 수 있다.

[0023] [0028] 보조 보호 회로(304)는 ESD 이벤트들로 인해 상대적으로 높은 전압 레벨들로부터 트랜지스터(P1) 및 트랜지스터(N1)의 선택된 접합들을 보호할 수 있다. 일부 실시예들에서, 보조 보호 회로(304)는, 주 보호 회로(301) 및 공급 클램프(305)와 함께 사용될 때, 추가 ESD 보호를 제공할 수 있다. 일부 실시예들에서, 추가적인 ESD 보호는 하나 또는 그 초과 기생 인덕터를 및/또는 저항기들을 갖는 회로들에서의 ESD 성능을 개선시킬 수 있다. 보조 보호 회로(304)는 보호 다이오드들(320-324)을 포함할 수 있다. 일 실시예에서, 보호 다이오드(320)는 트랜지스터(P1)의 게이트 단자와 소스 단자 사이의 전압차를 제한함으로써 트랜지스터(P1)를 보호할 수 있다. 예컨대, 보호 다이오드(320)는 트랜지스터(P1)의 소스 단자와 게이트 단자 사이의 전압차를 보호 다이오드(320)와 연관된 순방향 전압보다 높게 되지 않도록 제한할 수 있다. 따라서, ESD 이벤트로부터의 높은 포지

티브 전압이 입력 단자(340)에서 수신되면(예컨대, 입력 단자(340)에서의 전압이 공급 전압 단자보다 더 높은 전압 전위에 있을 때, 네거티브 CDM 이벤트), 트랜지스터(P1)의 게이트 단자와 소스 단자 사이의 전압차가 보호 다이오드(320)와 연관된 순방향 전압으로 제한되도록 보호 다이오드(320)는 보장할 수 있다. 이러한 방식으로, 보호 다이오드(320)는 트랜지스터(P1)의 게이트/소스 접합을 보호할 수 있다.

[0024] [0029] 일 실시예에서, 보호 다이오드들(321-323)은 트랜지스터(P1) 및 트랜지스터(N1)의 게이트 단자와 공통-커플링된 드레인 단자들 사이의 전압차를 제한함으로써 트랜지스터(P1) 및/또는 트랜지스터(N1)를 보호할 수 있다. 높은 포지티브 전압이 입력 단자(340)에서 수신되면(예컨대, 출력 단자(341)가 입력 단자(340)보다 더 낮은 전압 전위에 있을 때, 네거티브 CDM 이벤트), 보호 다이오드(323)는 트랜지스터(P1) 및 트랜지스터(N1)의 게이트 단자들과 트랜지스터(P1) 및 트랜지스터(N1)의 드레인 단자들 사이의 전압차를 제한할 수 있다. 따라서, ESD 이벤트로부터의 높은 포지티브 전압이 입력 단자(340)에서 수신되면, 트랜지스터들(P1 및 N1)의 게이트 단자와 드레인 단자들 사이의 전압차가 보호 다이오드(323)와 연관된 순방향 전압으로 제한되도록 보호 다이오드(323)는 보장할 수 있다. 일부 실시예들에서, 보호 다이오드(323)는, 트랜지스터(N1)의 게이트 단자와 소스 단자 사이의 전압차가 보호 다이오드(323)와 연관된 순방향 전압으로 제한될 수 있도록 보장할 수 있다.

[0025] [0030] 유사한 방식으로, 보호 다이오드들(321-322)은 또한 트랜지스터(P1) 및/또는 트랜지스터(N1)를 보호할 수 있다. 예컨대, 높은 네거티브 전압이 출력 단자(341)에서 수신되면(예컨대, 출력 단자(341)가 입력 단자(340)보다 더 높은 전압 전위에 있을 때, 포지티브 CDM 이벤트), 보호 다이오드들(321-322)은 트랜지스터(P1) 및 트랜지스터(N1)의 게이트 단자들과 트랜지스터(P1) 및 트랜지스터(N1)의 공통-커플링된 드레인 단자들 사이의 전압차를 제한할 수 있다. 일부 실시예들에서, 보호 다이오드들(321-322)은 도시된 바와 같이 입력 단자(340)와 출력 단자(341) 사이에 직렬로 커플링될 수 있다. 따라서, 출력 단자(341)와 입력 단자(340) 사이의 전압차는 보호 다이오드(321)와 연관된 순방향 전압 및 보호 다이오드(322)와 연관된 순방향 전압에 기반한 전압 합(voltage sum)으로 제한될 수 있다. 이러한 방식으로, 보호 다이오드들(321-323)은 트랜지스터(P1) 및 트랜지스터(N1)의 게이트/드레인 접합을 보호할 수 있다. 다른 실시예들에서, 보호 다이오드들(321-323)은 트랜지스터(P1)의 게이트/소스 접합을 보호할 수 있다. 일부 실시예들에서, 입력 단자(340)는 트랜지스터(P1) 및 트랜지스터(N1)의 게이트 단자들에 커플링될 수 있다. 유사하게, 출력 단자(341)는 트랜지스터(P1) 및 트랜지스터(N1)의 드레인 단자들에 커플링될 수 있다. 따라서, 보호 다이오드들(321-323)은 또한 입력 단자(340)와 출력 단자(341) 사이의 전압차를 제한할 수 있다.

[0026] [0031] 일부 실시예들에서, 보호 다이오드(324)는 트랜지스터(N1)의 게이트 단자와 소스 단자 사이의 전압차를 제한함으로써 트랜지스터(N1)를 보호할 수 있다. 예컨대, 보호 다이오드(324)는, 트랜지스터(N1)의 게이트 단자와 소스 단자 사이의 전압차가 보호 다이오드(324)와 연관된 순방향 전압보다 높지 않도록 제한함으로써 트랜지스터(N1)를 보호할 수 있다. 따라서, ESD 이벤트로부터의 높은 포지티브 전압이 접지 단자를 통해 수신되면(예컨대, 포지티브 CDM 이벤트), 트랜지스터(N1)의 게이트 단자와 소스 단자 사이의 전압차가 보호 다이오드(324)와 연관된 순방향 전압으로 제한되도록 보호 다이오드(324)는 보장할 수 있다. 이러한 방식으로, 보호 다이오드(324)는 트랜지스터(N1)의 게이트/소스 접합을 보호할 수 있다.

[0027] [0032] 일부 실시예들에서, 보조 다이오드들(304)은 또한 CMOS 증폭기(300) 내에 포함될 수 있는 기생 인덕터들 양단에 유도될 수 있는 전압들로부터 트랜지스터들(P1 및 N1)을 보호할 수 있다. 예컨대, CMOS 증폭기(300)는 기생 인덕터(360)를 포함할 수 있다. 단지 하나의 기생 인덕터(360)가 도시되지만, 당업자들은 추가 기생 인덕터들이 CMOS 증폭기(300)의 다른 회로 브랜치들 내에 포함될 수 있음을 인식할 것이다. ESD 이벤트와 연관된 비교적 큰 전압이 입력 단자(340)에 커플링되면, ESD 이벤트로부터 야기되는 전류 흐름의 급격한 변화에 대한 응답으로 기생 인덕터(360) 양단에 비교적 큰 전압이 유도될 수 있다. ESD 이벤트들과 연관된 시간이 꽤 짧을

수 있기 때문에, 기생 인덕터 양단의 유도된 전압은 클 수 있다(예컨대,  $V = L \frac{di}{dt}$ ). 일부 실시예들에서, 기생 인덕터(360) 양단에 유도된 전압은 트랜지스터(N1)의 게이트 단자와 소스 단자 사이에서 그리고 트랜지스터(P1)의 게이트 단자와 소스 단자 사이에서 잠재적으로 손상적인 전압들을 야기할 수 있다. 일부 경우들에서, 보조 다이오드들(304)은, CMOS 증폭기(300) 내의 하나 또는 그 초과 기생 인덕터들에 의해 야기되는 전압들을 포함하여, 트랜지스터(P1 및 N1)의 단자들 사이의 전압들의 진폭을 제한할 수 있다.

[0028] [0033] 도 4는, 일부 실시예들에 따른, CMOS 증폭기(400)의 다른 예시적인 실시예를 도시한다. CMOS 증폭기(400)는 CMOS 증폭기(300)와 유사할 수 있지만 하나 또는 그 초과 추가 엘리먼트들을 포함할 수 있다. 예컨대, CMOS 증폭기(400)는, CMOS 증폭기(300)와 공통으로, 트랜지스터(P1), 트랜지스터(N1), 제 1 감쇄 인덕터(310), 제 2 감쇄 인덕터(311), 주 보호 회로(301), 보조 보호 회로(304), 및 공급 클램프(305)를 포함할 수

있다. 이에 더해, CMOS 증폭기(400)는 하나 또는 그 초과와 보호 다이오드들과 직렬로 하나 또는 그 초과와 저항기들(402-404)을 포함할 수 있다. 일 실시예에서, 저항기(402)는 보호 다이오드(320)와 직렬로 커플링될 수 있고, 저항기(403)는 보호 다이오드(323)와 직렬로 커플링될 수 있으며, 저항기(404)는 보호 다이오드(324)와 직렬로 커플링될 수 있다. 일부 실시예들에서, 보호 다이오드들(320-324) 및/또는 보호 다이오드들(302 및 303)와 함께 다른 수의 저항기들이 포함될 수 있다. 예컨대, 저항기는 보호 다이오드(321)와 직렬 커플링될 수 있고, 그리고/또는 제 2 저항기는 저항기들(402-404) 중 하나와 커플링될 수 있다(간략화를 위해 도시되지 않음). 또 다른 실시예들에서, 저항기들(402-404) 중 하나 또는 그 초과가 생략될 수 있다.

[0029] [0034] 저항기들(402-404)은 연관 보호 다이오드와 관련하여 추가 전압이 발산(dissipate)되게 할 수 있다. 예컨대, 보호 다이오드(320) 및 저항기(402)는 트랜지스터(P1)의 게이트 단자와 소스 단자 사이의 전압차를 보호 다이오드(320)와 연관된 순방향 전압 및 저항기(402) 양단의 연관 전압으로 제한할 수 있다. 유사한 방식으로, 저항기(403) 및 보호 다이오드(323)는 트랜지스터들(P1 및 N1)의 게이트 단자들과 드레인 단자들 사이의 전압차를 제한할 수 있고, 저항기(404) 및 보호 다이오드(324)는 N1 트랜지스터의 소스 단자와 게이트 단자 사이의 전압차를 제한할 수 있다. 일부 실시예들에서, 저항기들(402-404)에 대한 저항값들은, 다른 적절한 저항 값들이 사용될 수 있지만, 1 내지 5옴의 범위일 수 있다.

[0030] [0035] 도 5는, 일부 실시예들에 따라, CMOS 증폭기를 보호하기 위한 예시적인 동작(500)을 도시하는 예시적인 플로우차트를 도시한다. 일부 실시예들은, 추가 동작들, 더 적은 수의 동작들, 상이한 순서의 동작들, 병렬 동작들, 및/또는 약간 다른 동작들과 함께 본원에 설명된 동작들을 수행할 수 있다. 도 2 및 도 3을 또한 참조하면, 제 1 보호 다이오드는 CMOS 증폭기(300)의 PMOS 트랜지스터(P1)의 게이트 단자와 소스 단자 사이에 커플링된다(502). 일부 실시예들에서, 제 1 보호 다이오드는 보호 다이오드(320)를 포함할 수 있다(도 3 참조). 다음으로, 트랜지스터(P1)의 게이트 단자와 소스 단자 사이의 전압차는 제한된다(504). 일부 실시예들에서, 전압차는 제 1 보호 다이오드와 연관된 순방향 전압으로 제한될 수 있다. 다른 실시예들에서, 예컨대, 트랜지스터(P1)의 게이트 단자가 CMOS 증폭기(300)의 입력 단자에 커플링되고, 트랜지스터(P1)의 소스 단자가 공급 전압에 커플링될 때, 제 1 보호 다이오드는 CMOS 증폭기(300)의 입력과 공급 전압 사이의 전압차를 제한할 수 있다. 일부 실시예들에서, 감쇄 인덕터(310)는 트랜지스터(P1)의 소스 단자와 공급 전압 사이에 커플링될 수 있다. 감쇄 인덕터(310)는 트랜지스터(P1)의 절대 이득에 대한 CMOS 증폭기(300)의 의존성을 감소시킬 수 있다.

[0031] [0036] 다음으로, 제 2 보호 다이오드는 트랜지스터(P1)의 게이트 단자와 드레인 단자 사이에 커플링된다(506). 일부 실시예들에서, 제 2 보호 다이오드는 보호 다이오드(323)를 포함할 수 있다(도 3 참조). 다른 실시예들에서, 제 2 보호 다이오드는 보호 다이오드들(321 및 322)을 포함할 수 있다. 또 다른 실시예들에서, 제 2 보호 다이오드는 보호 다이오드들(321 - 323)을 포함할 수 있다. 다음으로, 트랜지스터(P1)의 게이트 단자와 드레인 단자 사이의 전압차는 제한된다(508).

[0032] [0037] 일부 실시예들에서, CMOS 증폭기(300)의 입력 단자와 출력 단자 사이의 전압차도 또한 제한될 수 있다. 예컨대, CMOS 증폭기(300)의 입력 단자(340)가 트랜지스터(P1)의 게이트 단자에 커플링되고 CMOS 증폭기(300)의 출력 단자(341)가 트랜지스터(P1)의 드레인 단자에 커플링되면, CMOS 증폭기(300)의 입력 단자(340)와 출력 단자(341) 사이의 전압차는 제한될 수 있다.

[0033] [0038] 다음으로, 제 3 보호 다이오드는 CMOS 증폭기(300)의 NMOS 트랜지스터(N1)의 소스 단자와 게이트 단자 사이에 커플링된다(510). 일 실시예에서, 제 3 보호 다이오드는 보호 다이오드(324)를 포함할 수 있다. 다음으로, 트랜지스터(N1)의 소스 단자와 게이트 단자 사이의 전압차는 제한된다(512). 일부 실시예들에서, 전압차는 제 3 보호 다이오드와 연관된 순방향 전압으로 제한될 수 있다. 다른 실시예들에서, 예컨대, 트랜지스터(N1)의 게이트 단자가 입력 단자(340)에 커플링되고 트랜지스터(N1)의 소스 단자가 접지에 커플링될 때, 제 3 보호 다이오드는 접지와 CMOS 증폭기(300)의 입력 단자(340) 사이의 전압차를 제한할 수 있다. 일부 실시예들에서, 감쇄 인덕터(311)는 트랜지스터(N1)의 소스 단자와 접지 사이에 커플링될 수 있다. 감쇄 인덕터(311)는 트랜지스터(N1)의 절대 이득에 대한 CMOS 증폭기(300)의 의존성을 감소시킬 수 있다.

[0034] [0039] 다음으로, 출력 신호는 입력 신호에 기반하여 CMOS 증폭기(300)에 의해 생성된다(514). 예컨대, 입력 신호는 CMOS 증폭기(300)의 입력 단자(340)에서 수신될 수 있다. 입력 신호는 트랜지스터(P1) 및/또는 트랜지스터(N1)에 의해 증폭될 수 있다. 트랜지스터(P1) 및/또는 트랜지스터(N1)는 출력 단자(341)를 통해 CMOS 증폭기(300)에 대한 출력 신호를 생성할 수 있다.

[0035] [0040] 본 명세서에 개시된 실시예들과 관련하여 설명된 다양한 예시적인 로직 블록들, 모듈들, 및 회로들은 범용 프로세서, DSP(Digital Signal Processor), ASIC(Application Specific Integrated Circuit), FPGA(Field

Programmable Gate Array) 또는 다른 프로그래밍가능 로직 디바이스, 이산 게이트 또는 트랜지스터 로직, 이산 하드웨어 컴포넌트들, 또는 본 명세서에 설명된 기능들을 수행하도록 설계된 이들의 임의의 결합으로 구현 또는 수행될 수도 있다. 범용 프로세서는 마이크로프로세서일 수도 있지만, 대안적으로, 프로세서는 임의의 종래의 프로세서, 제어기, 마이크로제어기, 또는 상태 머신일 수도 있다. 또한, 프로세서는 컴퓨팅 디바이스들의 결합, 예를 들어 DSP와 마이크로프로세서의 결합, 복수의 마이크로프로세서들, DSP 코어와 결합된 하나 또는 그 초과 마이크로프로세서들, 또는 임의의 다른 그러한 구성으로서 구현될 수도 있다.

[0036]

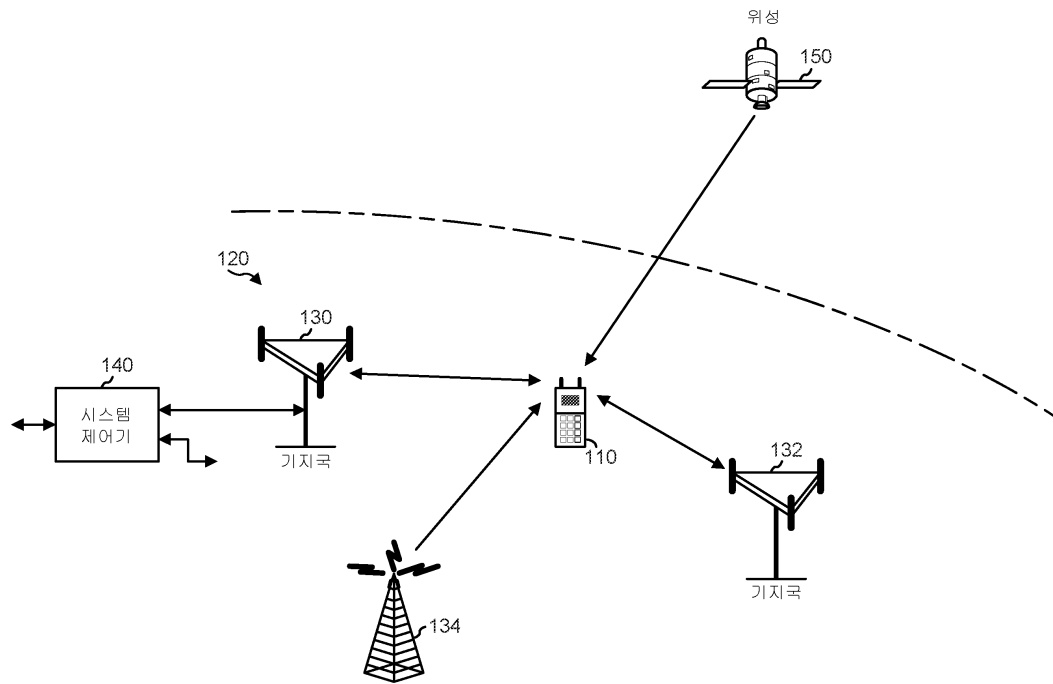
[0041] 하나 또는 그 초과 예시적인 실시예들에서, 설명된 기능들은 하드웨어, 소프트웨어, 펌웨어, 또는 이들의 임의의 결합으로 구현될 수도 있다. 소프트웨어로 구현되면, 기능들은 컴퓨터 판독가능 매체 상에 하나 또는 그 초과 명령들 또는 코드로서 저장되거나 이들을 통해 송신될 수도 있다. 컴퓨터 판독가능 매체들은, 일 장소에서 다른 장소로의 컴퓨터 프로그램의 전달을 용이하게 하는 임의의 매체들을 포함한 통신 매체들 및 컴퓨터 저장 매체들 둘 모두를 포함한다. 저장 매체들은 컴퓨터에 의해 액세스될 수 있는 임의의 이용가능한 매체들일 수도 있다. 제한이 아닌 예로서, 그러한 컴퓨터-판독가능 매체들은 RAM, ROM, EEPROM, CD-ROM 또는 다른 광학 디스크 저장부, 자기 디스크 저장부 또는 다른 자기 저장 디바이스들, 또는 명령들 또는 데이터 구조들의 형태로 원하는 프로그램 코드를 반송(carry) 또는 저장하는데 사용될 수 있고, 컴퓨터에 의해 액세스될 수 있는 임의의 다른 매체를 포함할 수 있다. 또한, 임의의 접속수단(connection)이 컴퓨터-판독가능 매체로 적절히 지칭된다. 예를 들어, 소프트웨어가 동축 케이블, 광섬유 케이블, 연선(twisted pair), 디지털 가입자 라인(DSL), 또는 (적외선, 라디오, 및 마이크로파와 같은) 무선 기술들을 사용하여 웹사이트, 서버, 또는 다른 원격 소스로부터 송신되면, 동축 케이블, 광섬유 케이블, 연선, DSL, 또는 (적외선, 라디오, 및 마이크로파와 같은) 무선 기술들이 매체의 정의에 포함된다. 본 명세서에서 사용된 바와 같이, 디스크(disk) 및 디스크(disc)는 콤팩트 디스크(disc)(CD), 레이저 디스크(disc), 광학 디스크(disc), 디지털 다기능 디스크(digital versatile disc)(DVD), 플로피 디스크(disk) 및 블루-레이 디스크(disc)를 포함하며, 여기서 디스크(disk)들은 일반적으로 데이터를 자기적으로 재생하지만, 디스크(disc)들은 레이저를 이용하여 광학적으로 데이터를 재생한다. 상기한 것들의 결합들이 또한 컴퓨터-판독가능 매체들의 범위 내에 포함되어야 한다.

[0037]

[0042] 이전의 명세서에서, 예시적인 실시예들은 그의 특정한 예시적인 실시예들과 관련하여 설명되었다. 그러나, 첨부된 청구항들에 설명된 것과 같은, 본 개시내용의 더 넓은 범위를 벗어나지 않고 다양한 변형들 및 변화들이 행해질 수 있음이 명백할 것이다. 이에 따라, 명세서 및 도면들은 제한적인 의미라기 보다는 예시적인 의미로 간주되어야 한다.

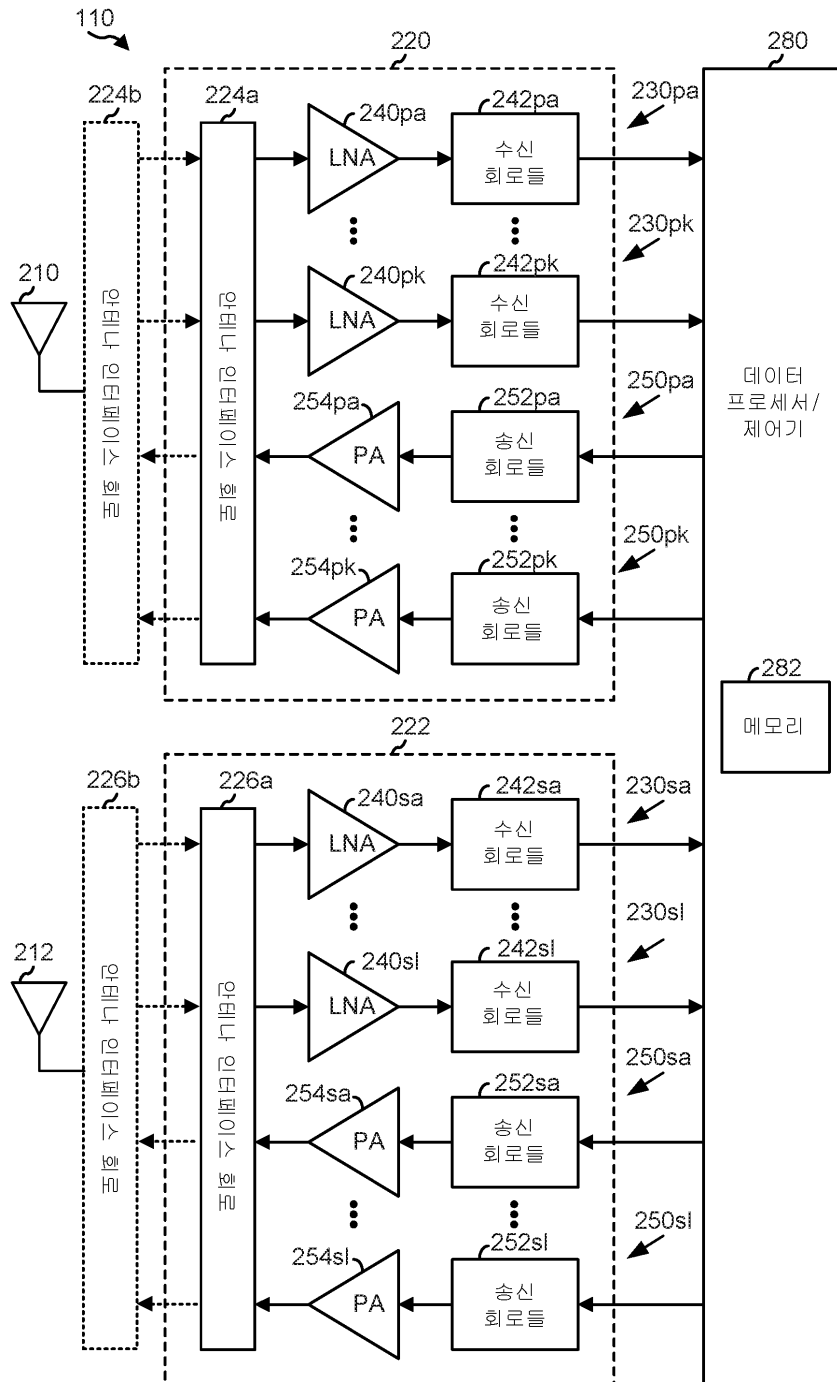
도면

도면1





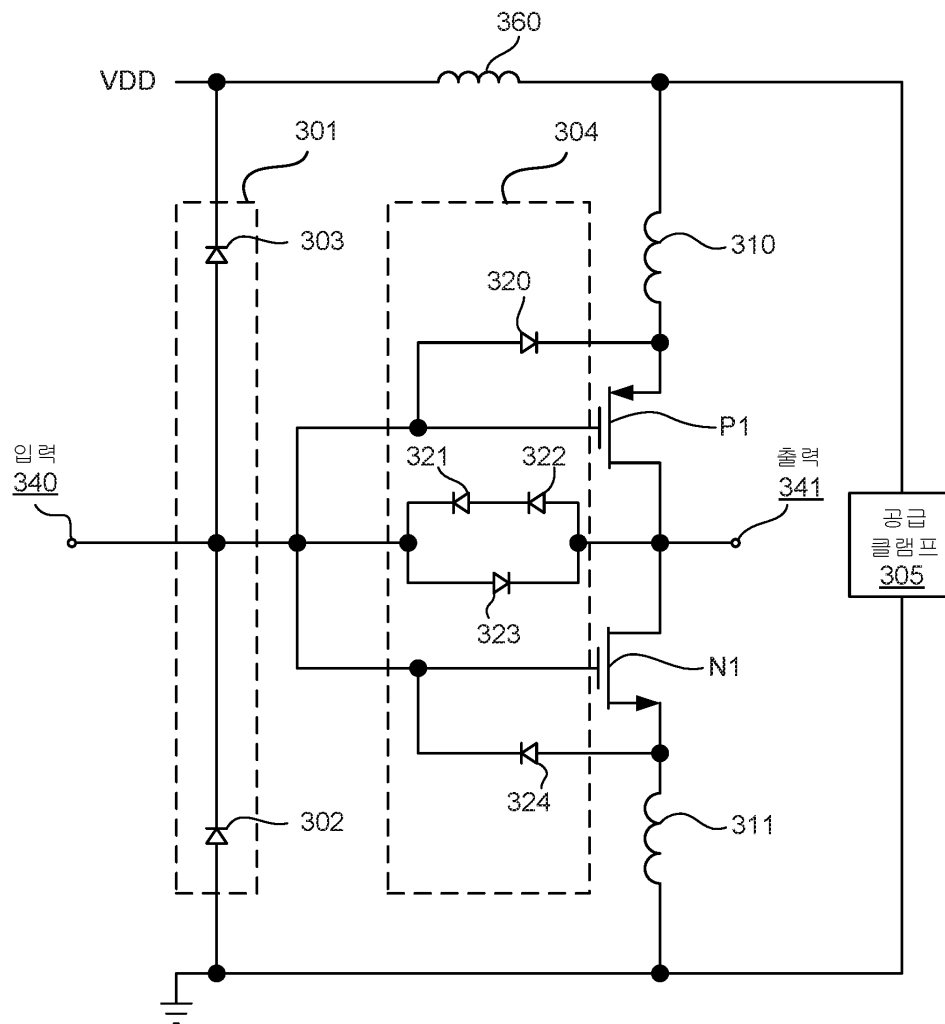
도면2



도면3

CMOS 증폭기

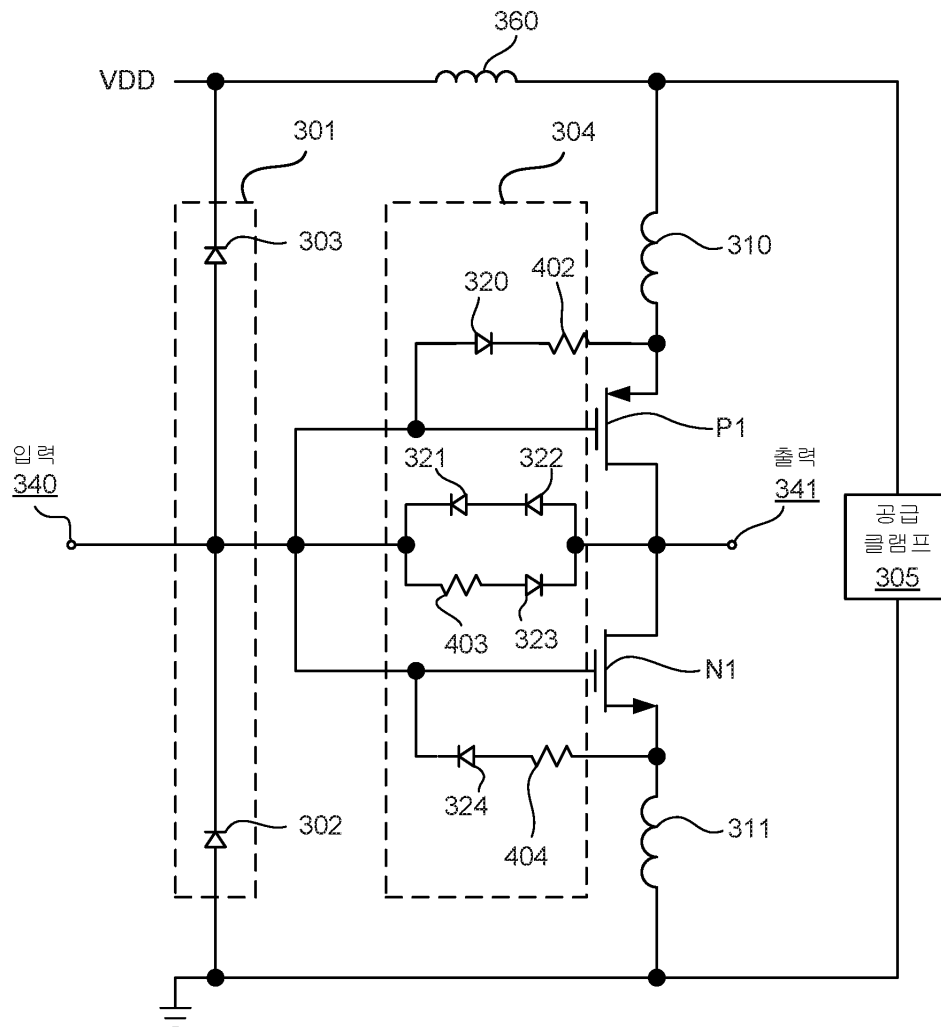
300



도면4

CMOS 증폭기

400





도면5

