(19)中华人民共和国国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 104350600 A
(43)申请公布日 2015.02.11

(21)申请号 201380027886.2
(22)申请日 2013.08.02
(30)优先权数据
2012-179520 2012.08.13 JP
(85)PCT国际申请进入国家阶段日
2014.11.27
(86)PCT国际申请的申请数据
PCT/JP2013/004696 2013.08.02
(87)PCT国际申请的公布数据
WO2014/027446 EN 2014.02.20
(71)申请人 索尼公司
地址 日本东京
(72)发明人 菅野道博 河村隆宏
(74)专利代理机构 北京信慧永光知识产权代理有限责任公司 11290
代理人 梁兴龙 曹正建
(51)Int.Cl.
H01L 29/66(2006.01)
H01L 29/786(2006.01)

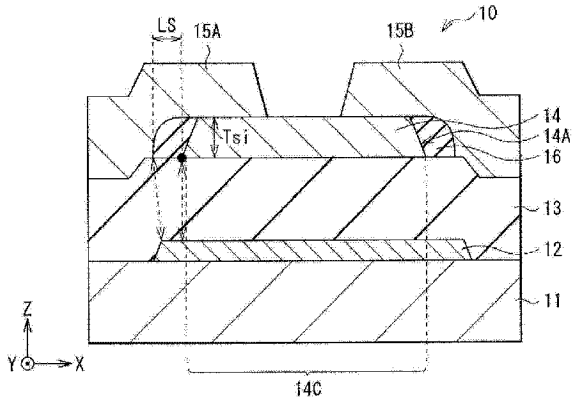
权利要求书2页 说明书13页 附图12页

(54)发明名称

薄膜晶体管及其制造方法、显示装置和电子设备

(57)摘要

本发明提供了一种具有简单结构而在栅极负偏压时可以减小漏电流的薄膜晶体管、薄膜晶体管的制造方法以及显示装置和电子设备。所述薄膜晶体管包括：栅极；包括对向所述栅极的通道区域的半导体膜；和绝缘膜，所述绝缘膜至少设置在接近所述半导体膜的侧壁的栅极侧上的端部的位置。



CN 104350600 A

1. 一种薄膜晶体管，其包括：

基板；

在所述基板上的栅极；

对向所述栅极的半导体膜；

在所述半导体膜中的通道形成区域；

在所述基板上的一对源极区域和漏极区域；以及

在所述半导体膜的侧面的至少一部分上的绝缘膜。

2. 根据权利要求 1 所述的薄膜晶体管，其中，所述绝缘膜位于所述半导体膜的整个侧面上。

3. 根据权利要求 1 所述的薄膜晶体管，其中，所述绝缘膜与所述半导体膜的侧面平行。

4. 根据权利要求 1 所述的薄膜晶体管，还包括位于所述半导体膜与所述栅极之间的栅极绝缘膜。

5. 根据权利要求 4 所述的薄膜晶体管，其中，所述绝缘膜位于所述半导体膜与所述栅极绝缘膜之间的界面处。

6. 根据权利要求 1 所述的薄膜晶体管，其中，所述栅极的长度 x 大于所述半导体膜的长度 y。

7. 根据权利要求 1 所述的薄膜晶体管，其中，所述栅极的长度 x 小于所述半导体膜的长度 y。

8. 根据权利要求 1 所述的薄膜晶体管，其中，所述半导体膜具有 2nm ～ 300nm 的厚度。

9. 根据权利要求 1 所述的薄膜晶体管，其中，所述绝缘膜包含 SiO_2、SiN 或 SiON 中的至少一种。

10. 一种显示装置，其包括：

像素驱动电路层；

发光元件层基板；以及

在所述像素驱动电路层中的薄膜晶体管，

其中，所述薄膜晶体管包括 (i) 基板，(ii) 对向所述基板的栅极，(iii) 在所述栅极上的半导体膜，(iv) 在所述半导体膜中的通道形成区域，(v) 在所述基板上的一对源极区域和漏极区域，以及 (vi) 在所述半导体膜的侧面的至少一部分上的绝缘膜。

11. 一种薄膜晶体管的制造方法，所述方法包括如下步骤：

准备基板；

在所述基板上形成栅极；

形成对向所述栅极的半导体膜；

在所述半导体膜的侧面的至少一部分上形成绝缘膜；

形成源极区域；以及

形成漏极区域。

12. 根据权利要求 1 所述的薄膜晶体管，其中，所述半导体膜包含多晶硅、非晶硅或者含有 In、Ga、Zn、Sn、Al 和 Ti 中的至少一种作为主要成分的氧化物。

13. 根据权利要求 1 所述的薄膜晶体管，还包括在所述半导体膜上的通道保护膜。

14. 根据权利要求 1 所述的薄膜晶体管，还包括在所述源极与所述漏极之间的通道保

护膜，其中所述源极和所述漏极都与所述保护膜部分地重叠。

薄膜晶体管及其制造方法、显示装置和电子设备

技术领域

[0001] 本技术涉及一种具有底栅极结构的薄膜晶体管 (TFT) 及其制造方法，以及包含该薄膜晶体管的显示装置和电子设备。

背景技术

[0002] 在栅极断开时的薄膜晶体管中，漏电流（断开状态电流）可能在源极与漏极之间流动。如果大量的这种断开状态电流流入构成显示装置的薄膜晶体管中，那么会产生不光亮斑点及光亮斑点，并且会在面板上出现诸如不均匀和粗糙等特性缺陷，从而降低可靠性。断开状态电流主要是由由于在源极与通道之间以及漏极与通道之间的高电场区域而产生的载流子引起的，并且在栅极负偏压的状态下较为显著。

[0003] 另一方面，从响应速度及确保驱动电流的观点来看，确保接通状态电流也是很重要的。有鉴于此，需要一种具有高接通 / 断开比的薄膜晶体管，例如，作为在不降低接通状态电流的情况下抑制断开状态电流的方法，专利文献 1 ～ 3 提出了多种轻掺杂漏极 (lightly doped drain，LDD) 结构。

[0004] [引用文献列表]

[0005] [专利文献]

[0006] [专利文献 1] 日本未审查专利申请公开 No. 2002-313808

[0007] [专利文献 2] 日本未审查专利申请公开 No. 2010-182716

[0008] [专利文献 3] 日本未审查专利申请公开 No. 2008-258345

发明内容

[0009] 然而，由于具有 LDD 结构的薄膜晶体管具有复杂的结构，因而在制造过程中容易产生变化。

[0010] 因此，期望提供一种具有简单结构以便在栅极负偏压时允许漏电流减小的薄膜晶体管、其制造方法以及显示装置和电子设备。

[0011] 根据本技术的实施方案，提供了一种薄膜晶体管，其包括 ：栅极 ；包括对向所述栅极的通道区域的半导体膜 ；和绝缘膜，所述绝缘膜至少设置在接近所述半导体膜的侧壁的栅极侧上的端部的位置。

[0012] 根据本技术的实施方案，提供了一种显示装置，所述显示装置设有多个元件和驱动所述多个元件的薄膜晶体管。所述薄膜晶体管包括 ：栅极 ；包括对向所述栅极的通道区域的半导体膜 ；和绝缘膜，所述绝缘膜至少设置在接近所述半导体膜的侧壁的栅极侧上的端部的位置。

[0013] 根据本技术的实施方案，提供了一种电子设备，所述电子设备包括设有多个元件和驱动所述多个元件的薄膜晶体管的显示装置。所述薄膜晶体管包括 ：栅极 ；包括对向所述栅极的通道区域的半导体膜 ；和绝缘膜，所述绝缘膜至少设置在接近所述半导体膜的侧壁的栅极侧上的端部的位置。

[0014] 在根据本技术实施方案的薄膜晶体管中，由于设置在半导体膜侧壁上的绝缘膜位于栅极侧的端部，因此栅极负偏压时的高电场区域远离半导体膜。

[0015] 根据本技术的实施方案，提供了一种薄膜晶体管的制造方法。所述方法包括如下步骤：在基板上形成栅极；在所述栅极上形成半导体膜，所述半导体膜包括对向所述栅极的通道区域；以及至少在接近所述半导体膜的侧壁的栅极侧上的端部的位置处形成绝缘膜。

[0016] 根据本技术实施方案的薄膜晶体管及其制造方法、显示装置和电子设备，由于绝缘膜设置在栅极侧的侧壁端部处的半导体膜上，因而可以使半导体膜与高电场区域彼此分离。因此，半导体膜的电场得以缓和，并且在栅极负偏压时可以减小漏电流。

[0017] 需要指出的是，上述的概括说明以及下面的详细说明都是示例性的，其旨在进一步说明所请求保护的技术。

附图说明

[0018] 所包含的附图是为了提供对本公开的进一步理解，并且其包含在本说明书中并构成本说明书的一部分。附图示出了实施方案，并且与说明书一起用来解释本技术的原理。

[0019] 图 1A 是示出根据本技术第一实施方案的薄膜晶体管的结构的平面图。

[0020] 图 1B 是图 1A 所示的薄膜晶体管的断面图。

[0021] 图 2A 是按步骤顺序示出图 1B 所示的薄膜晶体管的制造方法的断面图。

[0022] 图 2B 是示出图 2A 所示步骤的下一步骤的断面图。

[0023] 图 2C 是示出图 2B 所示步骤的下一步骤的断面图。

[0024] 图 2D 是示出图 2C 所示步骤的下一步骤的断面图。

[0025] 图 2E 是示出图 2D 所示步骤的下一步骤的断面图。

[0026] 图 3 是包括图 1B 所示的薄膜晶体管的显示装置的断面图。

[0027] 图 4 是示出图 3 所示的显示装置的整体构成的视图。

[0028] 图 5 是示出图 4 所示的像素驱动电路的例子的电路图。

[0029] 图 6 是示出在暗状态下电流与电压之间关系的特性图。

[0030] 图 7 是根据本技术第二实施方案的薄膜晶体管的断面图。

[0031] 图 8A 是按步骤顺序示出图 7 所示的薄膜晶体管的制造方法的断面图。

[0032] 图 8B 是示出图 8A 所示步骤的下一步骤的断面图。

[0033] 图 9A 是示出根据变形例 1 的薄膜晶体管的结构的平面图。

[0034] 图 9B 是图 9A 所示的薄膜晶体管的断面图。

[0035] 图 10 是示出根据变形例 2 的薄膜晶体管的结构的断面图。

[0036] 图 11A 是示出根据变形例 3 的薄膜晶体管的示例性结构的断面图。

[0037] 图 11B 是示出根据变形例 3 的薄膜晶体管的另一示例性结构的断面图。

[0038] 图 11C 是示出根据变形例 3 的薄膜晶体管的另一示例性结构的断面图。

[0039] 图 11D 是示出根据变形例 3 的薄膜晶体管的另一示例性结构的断面图。

[0040] 图 12 是示出根据上述实施方案等中任一个薄膜晶体管的应用例 1 的外观的立体图。

[0041] 图 13A 是示出了从正面看到的应用例 2 的外观的立体图。

[0042] 图 13B 是示出了从背面看到的应用例 2 的外观的立体图。

[0043] 图 14 是示出应用例 3 的外观的立体图。

[0044] 图 15 是示出应用例 4 的外观的立体图。

[0045] 图 16A 示出在折叠状态下的应用例 5 的正视图、左视图、右视图、俯视图和仰视图。

[0046] 图 16B 示出在打开状态下的应用例 5 的正视图和侧视图。

具体实施方式

[0047] 在下文中，将参照附图详细说明本技术的实施方案。需要指出的是，将按照下面的顺序进行说明。

[0048] 1. 第一实施方案（采用侧壁和完全遮光结构的例子）

[0049] 1-1. 整体构成

[0050] 1-2. 制造方法

[0051] 1-3. 显示装置

[0052] 1-4. 功能和效果

[0053] 2. 第二实施方案（采用矩形绝缘膜和完全遮光结构的例子）

[0054] 3. 变形例 1（采用侧壁和部分遮光结构的例子）

[0055] 4. 变形例 2（采用矩形绝缘膜和部分遮光结构的例子）

[0056] 5. 变形例 3（在半导体膜上设有通道保护膜的例子）

[0057] 6. 应用例

[0058] （第一实施方案）

[0059] (1.1 整体构成）

[0060] 图 1A 示出了根据本公开第一实施方案的底栅型（反向交错型）薄膜晶体管（薄膜晶体管 10）的平面构成，图 1B 示意性地示出了薄膜晶体管 10 沿着图 1A 所示的虚线 I-I 的断面构成。例如，薄膜晶体管 10 是采用多晶硅等作为半导体膜 14 的 TFT，并且例如用作有机 EL 显示器等的驱动元件。薄膜晶体管 10 包括：依次设置在基板 11 上的栅极 12、栅极绝缘膜 13、形成通道区域 14C 的半导体膜 14、以及一对源极和漏极（源极 15A 和漏极 15B）。在本实施方案中，在半导体膜 14 的侧面 14A 上设有绝缘膜 16。另外，半导体膜 14 的平面尺寸小于栅极 12 的平面尺寸。换句话说，从基板 11 侧看，栅极 12 完全覆盖半导体膜 14。具体地，在液晶显示装置中使用薄膜晶体管 10 时，从背面射出的光（诸如背光等）完全被栅极 12 阻挡（完全遮光结构）。

[0061] 基板 11 由玻璃基板或塑料膜等构成。例如，塑料的例子包括聚对苯二甲酸乙二醇酯 (PET) 和聚萘二甲酸乙二醇酯 (PEN)。如果可以不对基板 11 进行加热而通过溅射法等来形成半导体膜 14，则可以使用廉价的塑料膜来形成基板 11。可选择地，还可以使用由对其表面进行了绝缘处理的不锈钢、铝 (Al) 或铜 (Cu) 等制成的金属片。

[0062] 栅极 12 具有如下作用：向薄膜晶体管 10 施加栅极电压并利用栅极电压对半导体膜 14 中的载流子密度进行控制。栅极 12 设置在基板 11 的选择性区域中，并且例如，由诸如铂 (Pt)、钛 (Ti)、钌 (Ru)、钼 (Mo)、Cu、钨 (W)、镍 (Ni)、Al 和钽 (Ta) 等金属或这些金属的合金构成。可选择地，也可以以层叠的方式使用两种以上的上述金属。

[0063] 栅极绝缘膜 13 设置在栅极 12 与半导体膜 14 之间，并具有约 50nm ～约 1μm 的厚

度。栅极绝缘膜 13 由绝缘膜构成，例如，该绝缘膜包括一种以上的下列膜：氧化硅膜 (SiO)、氮化硅膜 (SiN)、氮氧化硅膜 (SiON)、氧化铪膜 (HfO)、氧化铝膜 (AlO)、氮化铝膜 (AlN)、氧化钽膜 (TaO)、氧化锆膜 (ZrO)、氮氧化铪膜、氮氧化铪硅膜、氮氧化铝膜、氮氧化钽膜和氮氧化锆膜。栅极绝缘膜 13 可以具有单层结构或者可以具有采用诸如 SiN 和 SiO 等两种以上材料的层叠结构。当栅极绝缘膜 13 具有层叠结构时，可以增强栅极绝缘膜 13 与半导体膜 14 之间的界面特性，并且可以有效抑制来自外部空气的杂质（例如，水）混入半导体膜 14 中。在涂布及成膜之后通过蚀刻将栅极绝缘膜 13 图案化成预定形状，但是取决于材料，可以通过诸如喷墨印刷、丝网印刷、胶版印刷和凹版印刷等印刷技术将栅极绝缘膜 13 形成图案。

[0064] 半导体膜 14 以岛状设置在栅极绝缘膜 13 上，并且在成对的源极 15A 与漏极 15B 之间与栅极 12 相对的位置处设有通道区域 14C。半导体膜 14 由多晶硅、非晶硅或氧化物半导体制成，例如，该氧化物半导体含有 In、Ga、Zn、Sn、Al 和 Ti 中的一种或多种元素的氧化物作为主要成分。具体地，例如，可以使用氧化锌 (ZnO)、氧化铟锌 (ITO) 和 In-M-Zn-O（其中 M 是 Ga、Al、Fe 和 Sn 中的一种或多种）。例如，半导体膜 14 具有约 20nm ～约 100nm 的厚度。

[0065] 另外，例如，半导体膜 14 的材料的例子除了包括上述材料之外，还包括诸如迫呫吨并呫吨 (PXX) 衍生物等有机半导体材料。例如，有机半导体材料的例子包括：聚噻吩、通过向聚噻吩中添加己基得到的聚 -3- 己基噻吩 (P3HT)、并五苯 (2,3,6,7- 二苯并蒽）、聚蒽、并四苯、并六苯、并七苯、二苯并五苯、四苯并五苯、[illegible]、芘、六苯并苯、聚酯纤维、卵苯、夸特锐烯 (quaterrylene)、循环蒽 (circumanthracene)、苯并芘、二苯并芘、苯并菲、聚吡咯、聚苯胺、聚乙炔、聚二乙炔、聚亚苯基、聚呋喃、聚吲哚、聚乙烯咔唑、聚硒吩、聚碲吩、聚异硫茚、聚咔唑、聚苯硫醚、聚苯乙炔、聚亚乙烯基硫醚、聚噻吩乙烯、聚萘、聚芘、聚蒽以铜酞菁为代表的酞菁、部花青、半菁 (hemicyanin)、聚乙烯二氧噻吩、哒嗪、萘四羧基二酰亚胺、聚 (3,4- 乙烯二氧噻吩）- 聚苯乙烯磺酸酯 (PEDOT/PSS)、4,4'- 联苯二硫醇 (BPDT)、4,4'- 联苯二异氰酸酯、4,4'- 二异氰酸酯 -p- 三联苯、(2,5- 双 (5'- 硫代乙酰基 -2'- 苯硫基）噻吩、2,5- 双 (5'- 硫代乙酰氧基 -2'- 苯硫基）噻吩、4,4'- 二苯基二异氰酸酯、联苯胺（联苯基 -4,4'- 二胺）、TCNQ（四氰基对苯二醌二甲烷）、四硫富瓦烯 (TTF)-TCNQ 络合物、二乙烯基四硫富瓦烯 (BEDTTTF)- 高氯酸络合物、BEDTTTF- 碘络合物、以 TCNQ- 碘络合物为代表的电荷转移络合物、联苯 -4,4'- 二羧酸、1,4- 二 (4- 苯硫乙炔基）-2- 乙苯、1,4- 双 (4- 异氰酸酯苯基乙炔基）-2- 乙苯、树枝状高分子、富勒烯 C60、C70、C76、C78、C84 等、1,4- 二 (4- 苯硫基乙炔基）-2- 乙苯、2,2″ - 二羟基 -1,1':4',1″ - 三联苯、4,4'- 联苯二乙醛、4,4'- 二羟基联苯、4,4'- 二异氰酸酯联苯、1,4- 二乙炔基苯、二乙基联苯 -4,4'- 二羧酸酯、苯并 (1,2-c ;3,4-c' ;5,6-c″) 三羟基 (1,2) 二巯基 -1,4,7- 三硫酮、α - 六噻吩、四硫基并四苯、四硒基并四苯、四碲基并四苯、聚 (3- 烷基噻吩）、聚 (3- 噻吩 -β - 乙磺酸）、聚 (N- 烷基吡咯）聚 (3- 烷基吡咯）、聚 (3,4- 二烷基吡咯）、聚 (2,2'- 噻吩基吡咯）、聚（二苯并噻吩硫化物）和喹吖啶酮。此外，除了上述材料之外，还可以包括稠合多环芳香化合物、卟啉衍生物以及选自苯基亚乙烯基共轭系低聚物和噻吩基共轭系低聚物的化合物。另外，还可以使用通过将有机半导体材料与绝缘高分子材料混合而得到的材料。

[0066] 在本实施方案中，如上所述，绝缘膜 16 设置在半导体膜 14 的侧面 14A 上。虽然后

面会说明具体细节，但是在形成半导体膜 14 之后以侧壁形式设置绝缘膜 16。例如，绝缘膜 16 的材料的例子包括 :SiO_2、SiN 和 SiON，特别地，当使用与用作基底的栅极绝缘膜的材料不同的材料时，可以容易地形成均匀膜。

[0067] 绝缘膜 16 的宽度 (Ls)，即，半导体膜 14 与源极 15A 或漏极 15B 的界面之间的距离，优选尽可能远离彼此。具体地，绝缘膜 16 的宽度 (Ls) 优选为半导体膜 14 的层叠方向 (Y 方向) 上的膜厚度 (Tsi) 的约 1％～约 200％，换句话说，宽度 (Ls) 优选为约 2nm ～约 300nm。另外，更加优选地，宽度 (Ls) 为半导体膜 14 的膜厚度 (Tsi) 的约 5％～约 100％，即，约 5nm ～约 200nm。利用这种结构，可以使栅极 12 与源极 15A 之间以及栅极 12 与漏极 15B 之间产生的高电场区域远离半导体膜 14。因此，可以缓和栅极断开 (0V 或栅极负偏压) 时半导体膜 14 中的电场，由此减少电流的泄漏。

[0068] 需要指出的是，在本实施方案中，绝缘膜 16 设置在半导体膜 14 的整个侧面上，但不限于此，仅需要将绝缘膜 16 至少设置在栅极 12 侧的下端，换句话说，设置在接近半导体膜 14 与栅极绝缘膜 13 之间的界面的位置。另外，例如，虽然优选在如图 1A 所示图案化的半导体膜 14 的整个外周侧面上形成绝缘膜 16，但是通过将绝缘膜 16 仅设置在与栅极 12 的延伸方向 (Z 方向) 平行的半导体膜 14 侧面上也可以得到上述效果。

[0069] 一对源极 15A 和漏极 15B 彼此分离地设置在半导体膜 14 上，且与半导体膜 14 电连接。例如，源极 15A 和漏极 15B 可以由 Al、Mo、Ti 或 Cu 等与栅极 12 类似的材料制成的单层膜构成或者可以由两种以上的这些材料制成的层叠膜构成。

[0070] 例如，按如下所述方法制造薄膜晶体管 10。

[0071] (1-2. 制造方法)

[0072] 首先，如图 2A 所示，通过诸如溅射法和真空沉积法等方法在基板 11 的整个表面上形成用作栅极 12 的金属膜。接着，例如，通过光刻和蚀刻来对该金属膜进行图案化以形成栅极 12。

[0073] 随后，如图 2B 所示，在基板 11 和栅极 12 的整个表面上依次形成栅极绝缘膜 13 和半导体膜 14。具体地，例如，通过等离子体化学气相沉积 (PECVD) 法在基板 11 的整个表面上形成氧化硅膜，由此形成栅极绝缘膜 13。可以使用溅射法来形成栅极绝缘膜 13。然后，例如，在栅极绝缘膜 13 上形成由非晶硅形成的半导体膜 14。例如，为了形成半导体膜 14，通过 DC(直流) 溅射法在栅极绝缘膜 13 上形成非晶硅。

[0074] 随后，如图 2C 所示，通过光刻及蚀刻对半导体膜 14 进行图案化。需要指出的是，当将氧化物半导体材料用作半导体膜 14 的材料时也可采用 RF(射频 ;高频) 溅射法来形成半导体膜 14，但从沉积速度的观点来看优选使用 DC 溅射法。

[0075] 然后，如图 2D 所示，在半导体膜 14 的侧面上形成绝缘膜 16。具体地，例如，利用 CVD 法形成膜，然后采用回蚀工艺来形成具有侧壁形状的绝缘膜 16。

[0076] 随后，如图 2E 所示，例如，通过光刻及蚀刻形成一对源极 15A 和漏极 15B。具体地，例如，依次形成 Al 膜、Ti 膜和 Al 膜，并且在 Al 膜上形成抗蚀剂 (未示出) 并通过光刻法对抗蚀剂进行图案化，由此形成源极 15A 和漏极 15B。如此，完成了在半导体膜 14 的侧面上包括具有侧壁形状的绝缘膜 16 的薄膜晶体管 10。

[0077] (1-3. 显示装置)

[0078] 图 3 示出了包括上述薄膜晶体管 10 作为驱动元件的半导体装置 (在此情况下，显

示装置 1）的断面结构。显示装置 1 是自发光型显示装置，其包括作为发光元件的多个有机发光元件 20R、20G 和 20B（元件）。显示装置 1 包括在基板 11 上依次形成的像素驱动电路形成层 L1、包括有机发光元件 20R、20G 和 20B 的发光元件形成层 L2 以及对向基板（未示出）。显示装置 1 是顶部发光型显示装置，其中光从对向基板侧提取出，并且像素驱动电路形成层 L1 包括薄膜晶体管 10。

[0079] 图 4 示出了显示装置 1 的整体构成。显示装置 1 在基板 11 上设有显示区域 110，且该显示装置用作超薄型有机发光彩色显示装置等。例如，在基板 11 上的显示区域 110 周围设有用作图像显示用的驱动器的信号线驱动电路 120 和扫描线驱动电路 130。

[0080] 在显示区域 110 中，形成以矩阵状二维设置的多个有机发光元件 20R、20G 和 20B 和对有机发光元件 20R、20G 和 20B 进行驱动的像素驱动电路 140。在像素驱动电路 140 中，在列方向上布置有多条信号线 120A，在行方向上布置有多条扫描线 130A。有机发光元件 20R、20G 和 20B 设置在信号线 120A 与扫描线 130A 的各交叉点处。每条信号线 120A 与信号线驱动电路 120 连接，每条扫描线 130A 与扫描线驱动电路 130 连接。

[0081] 信号线驱动电路 120 将与由信号供给源（未示出）提供的亮度信息相对应的视频信号的信号电压通过信号线 120A 供给到选择的有机发光元件 20R、20G 和 20B。

[0082] 扫描线驱动电路 130 包括与输入的时钟脉冲同步地连续移位（传输）起始脉冲的移位寄存器等。扫描线驱动电路 130 在向有机发光元件 20R、20G 和 20B 写入视频信号的同时以行为单位对有机发光元件 20R、20G 和 20B 进行扫描，并将扫描信号连续供给到各扫描线 130A。

[0083] 像素驱动电路 140 设置在介于基板 11 与有机发光元件 20R、20G 和 20B 之间的层中，即，设置在像素驱动电路形成层 L1 中。如图 5 所示，像素驱动电路 140 是有源型驱动电路，其包括驱动晶体管 Tr1 和写入晶体管 Tr2（其中至少一个是薄膜晶体管 10）、位于驱动晶体管 Tr1 与写入晶体管 Tr2 之间的电容 Cs 以及有机发光元件 20R、20G 和 20B。

[0084] 接着，再次参照图 3 详细说明像素驱动电路形成层 L1 和发光元件形成层 L2 等的构成。

[0085] 构成像素驱动电路 140 的薄膜晶体管 10（驱动晶体管 Tr1 和写入晶体管 Tr2）在像素驱动电路形成层 L1 中形成，此外，信号线 120A 和扫描线 130A 也嵌入像素驱动电路形成层 L1 中。具体地，薄膜晶体管 10 和平坦化层 17 依次设置在基板 11 上。平坦化层 17 设置为主要用于对像素驱动电路形成层 L1 的表面进行平坦化，并且由诸如聚酰亚胺等绝缘树脂材料制成。

[0086] 发光元件形成层 L2 设有有机发光元件 20R、20G 和 20B、元件分离膜 18 以及覆盖有机发光元件 20R、20G 和 20B 与元件分离膜 18 的密封层（未示出）。各有机发光元件 20R、20G 和 20B 包括从基板 11 侧顺序层叠的作为阳极的第一电极 21、包含发光层的有机层 22 以及作为阴极的第二电极 23。例如，有机层 22 包括从第一电极 21 侧依次设置的空穴注入层、空穴传输层、发光层和电子传输层。发光层可以针对各元件单独设置，也可以设置为由各元件共用。应当注意的是，视需要可以设置除发光层以外的层。由绝缘材料制成的元件分离膜 18 将有机发光元件 20R、20G 和 20B 分隔成各个元件，并对各有机发光元件 20R、20G 和 20B 的发光区域进行限定。

[0087] 显示装置 1 适用于各个领域中的电子设备的显示装置，例如，上述电子设备为电

视、数码相机、笔记本个人电脑、诸如移动电话等移动终端设备以及将外部输入的视频信号或内部生成的视频信号显示作为图像或视频的摄像机。

[0088] (1-4. 功能和效果)

[0089] 如上所述，在用作显示装置的驱动元件的薄膜晶体管中，如果在栅极断开(0V 或者栅极负偏压)时在源极与漏极之间流动的漏电流(断开状态电流)增大，那么会产生诸如像素的不光亮斑点和光亮斑点以及诸如粗糙化和灼烧等图像质量的下降等缺陷。另外，由于薄膜晶体管(其中流动有大于所需设定值的漏电流)的数量根据漏电流的变化而增加，因而缺陷像素的数量相应地增加，这可能导致显示装置的制造产率的下降。另外，不仅是在像素中，而且在周边电路部中的薄膜晶体管处，在栅极断开时源极与漏极之间漏电流的增大都会导致功耗的增大。漏电流主要是由源极通道与漏极通道之间的高电场区域中的载流子的产生所引起的，并且在栅极负偏压时较为显著。

[0090] 为了解决这一问题，尽管上述专利文献 1 ～ 3 中公开了各种薄膜晶体管，但是还存在另一问题：由于复杂的结构在制造过程中会引起变化，并且制造产率很低。

[0091] 另一方面，在从平面发光的诸如液晶显示装置等显示装置所使用的薄膜晶体管中，由于从背光灯等发出的光或其反射光而在半导体膜中产生载流子，并且会产生光漏电流。这不仅适用于液晶显示装置，而且也适用于有机 EL 显示装置中来自发光层的光及其反射光。与上述断开状态电流类似地，在栅极断开时的漏光会影响显示质量。有鉴于此，通常，通过在半导体层的上侧和下侧设置遮光膜来抑制漏光的发生。

[0092] 图 6 示出了具有完全遮光结构的薄膜晶体管和具有部分遮光结构的薄膜晶体管在暗状态下的电流电压特性。这里，象在本实施方案中那样，完全遮光结构是以如下方式布局的结构：栅极 12 的平面尺寸大于半导体膜 14 的平面尺寸。当采用这种结构时，栅极 12 也用作阻挡光入射至半导体膜 14 的遮光膜，由此可以抑制上述光漏电流。虽然后面会对细节进行说明，但是部分遮光结构是以如下方式布局的结构：栅极 12 的平面尺寸小于半导体膜 14 的平面尺寸，并且在该部分遮光结构中，从基板 11 侧看时一部分半导体膜 14 没有被栅极 12 覆盖。可以看出在完全遮光型薄膜晶体管中，在 0V 以下(即，在栅极负偏压时)漏电流会增大。在此情况下，参照图 1B，在断面结构中，不包含半导体膜且仅由栅极绝缘膜构成的部分在断面结构中在源极与栅极之间以及漏极与栅极之间形成。因此，源极与栅极之间的距离以及漏极与栅极之间的距离减小，并且当向上述部分施加高电压差时电场趋于集中，这反而会导致如下问题：尽管半导体中产生的载流子成为断开状态漏电流，也就是抑制了发光期间的漏光，但会在暗态下出现泄漏。

[0093] 相反地，在根据本实施方案的薄膜晶体管 10 中，具有侧壁形状的绝缘膜 16 设置在半导体膜 14 的侧面上。这可以确保在栅极 12 与源极 15A 之间产生的高电场区域以及栅极 12 与漏极 15B 之间产生的高电场区域与半导体膜 14 的端部之间有一定距离，因而可以使高电场区域远离半导体膜 14。

[0094] 如上所述，在根据本实施方案的薄膜晶体管 10 中，由于具有侧壁形状的绝缘膜 16 设置在半导体膜 14 的侧面上，因而可以使栅极 12 与源极 15A 之间产生的高电场区域以及栅极 12 与漏极 15B 之间产生的高电场区域远离半导体膜 14。因此，在不明显改变现有薄膜晶体管布局的情况下，借助简单结构及制造方法可以缓和半导体膜 14 中的电场，并且可以减小在负偏压时的漏电流。换句话说，可以提供具有改善的可靠性的显示装置以及包括该

显示装置的电子设备。

[0095] 接着，说明根据第二实施方案的薄膜晶体管 30、薄膜晶体管 40、薄膜晶体管 50 和薄膜晶体管 60A ～ 60D 及其变形例（变形例 1 ～ 3）。需要指出的是，在下面的说明中，与上述实施方案类似的构成要素用相同的附图标记表示，并且适当地省略对它们的说明。

[0096] (2. 第二实施方案）

[0097] 图 7 示出了根据本公开第二实施方案的底栅型薄膜晶体管（薄膜晶体管 30）的断面构成。薄膜晶体管 30 与第一实施方案的不同之处在于：绝缘膜 36 沿着半导体膜 14 的侧面平行设置。

[0098] 例如，如图 8A 和图 8B 所示制造本实施方案的薄膜晶体管 30。需要指出的是，形成半导体膜 14 之前的步骤与上述第一实施方案中的步骤相同，因此这里省略对它们的说明。

[0099] 首先，如图 8A 所示，例如，在形成半导体膜 14 的膜之后，对半导体膜 14 进行（例如，在使用非晶硅时约 400℃的）低温氧化，从而在半导体膜 14 的表面上形成氧化物膜。接着，通过各向异性蚀刻将在半导体膜 14 的顶面上形成的氧化物膜除去，由此形成绝缘膜 36（图 8B）。

[0100] 此后，与上述第一实施方案类似地，形成源极 15A 和漏极 15B，并完成薄膜晶体管 30。

[0101] 当以在本实施方案中的上述方式通过对半导体膜 14 进行氧化来形成绝缘膜 36 时，也可以得到与上述第一实施方案相同的效果。另外，由于氧化可以形成均匀且仅具有极小膜厚度变化的绝缘膜 36，因而可以带来减小特性变化的极佳效果。

[0102] (3. 变形例 1)

[0103] 图 9A 示出了根据上述第一实施方案的变形例（变形例 1）的薄膜晶体管（薄膜晶体管 40）的平面结构，图 9B 示出了薄膜晶体管 40 沿着图 9A 所示的虚线 II-II 的断面构成。在薄膜晶体管 40 中，半导体膜 14 的平面尺寸大于栅极 12 的平面尺寸。换句话说，从基板 11 侧看半导体膜 14 从栅极 12 突出，并且薄膜晶体管 40 与第一实施方案的不同之处在于：采用了从背面发出并进入半导体膜 14 的光没有被完全阻挡的结构（部分遮光结构）。

[0104] (4. 变形例 2)

[0105] 图 10 示出了根据上述第二实施方案的变形例（变形例 2）的薄膜晶体管（薄膜晶体管 50）的断面构成。薄膜晶体管 50 与第二实施方案的不同之处在于：与上述变形例 1 的薄膜晶体管 40 类似地采用了部分遮光结构。

[0106] 如上所述，在其中栅极 12 的平面尺寸小于半导体膜 14 的平面尺寸的具有部分遮光结构的薄膜晶体管（薄膜晶体管 40 和薄膜晶体管 50）中，可以实现与上述第一实施方案的薄膜晶体管 10 和第二实施方案的薄膜晶体管 30 类似的功能和效果。另外，当设置绝缘膜 46 时，栅极 12 与源极 15A 之间的距离或者栅极 12 与漏极 15B 之间的距离增大（$l_2<l_1$），因而可以抑制栅极 12 与源极 15A 之间以及栅极 12 与漏极 15B 之间的寄生电容。需要指出的是，例如，本变形例 1 和变形例 2 中具有部分遮光结构的薄膜晶体管优选用于顶部发光型有机 EL 显示装置以及没有遮光问题的半导体装置。

[0107] (5. 变形例 3)

[0108] 图 11A ～ 11D 分别示出了根据上述第一实施方案和第二实施方案以及上述变形例 1 和变形例 2 的变形例（变形例 3）的薄膜晶体管（薄膜晶体管 60A ～ 60D）的断面构成。

薄膜晶体管 60A ～ 60D 与上述实施方案及上述变形例的不同之处在于：在半导体膜 14 上与通道区域 14C 相对应的位置处设置有通道保护膜 69。需要指出的是，薄膜晶体管 60A ～ 60D 分别与薄膜晶体管 10、薄膜晶体管 30、薄膜晶体管 40 和薄膜晶体管 50 相对应。

[0109] 通道保护膜 69 设置在半导体膜 14 上，并且防止在形成源极 15A 和漏极 15B 时损坏半导体膜 14（特别是，通道区域 14C）。例如，通道保护膜 69 由氧化铝膜、氧化硅膜或者氮化硅膜构成。通道保护膜 69 的厚度为约 150nm ～约 300nm，优选为约 200nm ～约 250nm。

[0110] 例如，通道保护膜 69 的形成方法是通过 DC 溅射法在半导体膜 14 上形成氧化铝膜，并对这样形成的氧化铝膜进行图案化，从而形成通道保护膜 69。接着，例如，通过溅射法在半导体膜 14 上包括通道保护膜 69 的区域内形成金属薄膜，此后进行蚀刻，从而形成源极 15A 和漏极 15B。这时，由于半导体膜 14 受通道保护膜 69 保护，因而可以防止半导体膜 14 由于蚀刻而受到损坏。

[0111] 如上所述，在本变形例中，由于通道保护膜 69 设置在半导体膜 14 上，因此可以抑制形成源极 15A 和漏极 15B 时导致的半导体膜 14 的损坏。另外，可以抑制在使用氧化物半导体材料形成半导体膜 14 的情况下氧气的泄漏。此外，在使用有机半导体材料作为半导体膜 14 的材料的情况下，减少了大气中的水分等浸入到半导体膜 14 中。因此，通过在半导体膜 14 上设置通道保护膜 69，可以防止由于上述因素引起的薄膜晶体管特性的劣化。

[0112] （应用例）

[0113] 可以有利地使用包括上述第一实施方案和第二实施方案以及变形例 1 ～ 3 的薄膜晶体管 10、薄膜晶体管 30（30A、30B 和 30C）、薄膜晶体管 40、薄膜晶体管 50 以及薄膜晶体管 60A ～ 60D 中的任一种薄膜晶体管的半导体装置作为显示装置。例如，显示装置的例子包括液晶显示装置、有机 EL 显示装置和电子纸显示装置。

[0114] （应用例 1）

[0115] 图 12 示出了根据应用例 1 的电视机的外观。例如，该电视机设有包括前面板 310 和滤光镜 320 的图像显示屏部 300，图像显示屏部 300 对应于上述显示装置。

[0116] （应用例 2）

[0117] 图 13A 和图 13B 示出了分别从正面和背面看时根据应用例 2 的数码相机的外观。例如，该数码相机包括产生闪光用的发光部 410、作为上述显示装置的显示部 420、菜单开关 430 和快门按钮 440。

[0118] （应用例 3）

[0119] 图 14 示出了根据应用例 3 的笔记本个人电脑的外观。例如，该笔记本个人电脑包括主体 510、输入字符等用的键盘 520 和作为上述显示装置的显示部 530。

[0120] （应用例 4）

[0121] 图 15 示出了根据应用例 4 的视频摄像机的外观。例如，该视频摄像机包括主体部 610、用来拍摄被摄物体的图像并设置在主体部 610 的前侧面上的镜头 620、用于拍摄图像的开始－停止开关 630 以及作为上述显示装置的显示部 640。

[0122] （应用例 5）

[0123] 图 16A 示出了根据应用例 5 的处于折叠状态下的移动电话的正视图、左视图、右视图、俯视图和仰视图。图 16B 示出了处于打开状态下的移动电话的正视图和侧视图。例如，该移动电话包括上侧外壳 710、下侧外壳 720、连接上侧外壳 710 与下侧外壳 720 的连接部

（铰链部）730、显示器 740、副显示器 750、图片灯 760 和相机 770。显示器 740 或副显示器 750 对应于上述显示装置。

[0124] 在上文中，虽然参照第一实施方案和第二实施方案、变形例 1 ～ 3 以及应用例进行了说明，但是本发明不限于这些实施方案等，并且可以进行各种修改。例如，上述实施方案等中说明的各层的材料及厚度、成膜方法和成膜条件等不是限制性的，也可以采用其他材料及厚度、其他成膜方法和成膜条件。

[0125] 另外，在此情况下，将半导体膜 14 形成为具有锥形形状（相对于基板 11 的角小于约 90°），但这种情况不是限制性的，也可以将半导体膜 14 形成为与基板 11 垂直（相对于基板 11 呈直角）。在此情况下，当象第二实施方案那样通过氧化形成绝缘膜 36 时，半导体膜 14 的形状是矩形形状。需要指出的是，当如上述实施方案等中所述将半导体膜 14 加工成锥形形状时，半导体膜 14 的整个侧面会影响电场，然而当将半导体膜 14 加工成矩形形状时，仅有接近半导体膜 14 的侧面下端的部分会影响电场。

[0126] 此外，也可以包括除了上述实施方案等中说明的层以外的其他层。另外，例如，也可以通过将第一实施方案中说明的形成方法（蒸发法和 CVD 法）和第二实施方案中说明的形成方法（氧化）组合来在半导体膜 14 的侧壁上形成绝缘膜 16。

[0127] 需要指出的是，本技术可以具有如下构成。

[0128] (1) 一种薄膜晶体管，其包括：

[0129] 栅极；

[0130] 包括对向所述栅极的通道区域的半导体膜；以及

[0131] 绝缘膜，所述绝缘膜至少设置在接近所述半导体膜的侧壁的栅极侧上的端部的位置。

[0132] (2) 根据 (1) 所述的薄膜晶体管，还包括

[0133] 栅极绝缘膜，所述栅极绝缘膜位于所述栅极与所述半导体膜之间，其中

[0134] 所述绝缘膜自所述半导体膜的侧壁至所述栅极绝缘膜的表面设置而成。

[0135] (3) 根据 (1) 或 (2) 所述的薄膜晶体管，其中，所述绝缘膜至少设置在与所述栅极延伸的方向相同的方向上。

[0136] (4) 根据 (1) ～ (3) 中任一项所述的薄膜晶体管，还包括

[0137] 与所述半导体膜电连接的一对源极和漏极，

[0138] 其中，所述绝缘膜夹在所述半导体膜与所述栅极绝缘膜之间的界面以及所述源极和所述漏极及栅极绝缘膜之间的界面之间。

[0139] (5) 根据 (1) ～ (4) 中任一项所述的薄膜晶体管，其中所述绝缘膜以侧壁形式设置在所述半导体膜的侧面上。

[0140] (6) 根据 (1) ～ (4) 中任一项所述的薄膜晶体管，其中所述绝缘膜沿着所述半导体膜的侧面平行设置。

[0141] (7) 根据 (1) ～ (4) 中任一项所述的薄膜晶体管，其中所述绝缘膜以矩形形状设置在所述半导体膜的侧面上。

[0142] (8) 根据 (1) ～ (7) 中任一项所述的薄膜晶体管，其中所述绝缘膜在宽度方向上具有约 2nm ～约 300nm 的膜厚度。

[0143] (9) 根据 (1) ～ (8) 中任一项所述的薄膜晶体管，其中所述半导体膜的平面尺寸小

于所述栅极的平面尺寸，并且来自所述栅极侧的光被完全遮住。

[0144] (10) 根据 (1) ～ (8) 中任一项所述的薄膜晶体管，其中所述半导体膜的平面尺寸大于所述栅极的平面尺寸，并且来自所述栅极侧的光被部分遮住。

[0145] (11) 根据 (1) ～ (10) 中任一项所述的薄膜晶体管，其中所述半导体膜包括在所述通道区域上的通道保护膜。

[0146] (12) 一种薄膜晶体管的制造方法，所述方法包括如下步骤：

[0147] 在基板上形成栅极；

[0148] 在所述栅极上形成半导体膜，所述半导体膜包括对向所述栅极的通道区域；以及

[0149] 至少在接近所述半导体膜的侧壁的栅极侧上的端部的位置处形成绝缘膜。

[0150] (13) 根据 (12) 所述的薄膜晶体管的制造方法，其中通过CVD法和回蚀法形成所述绝缘膜。

[0151] (14) 根据 (12) 所述的薄膜晶体管的制造方法，其中，通过对所述半导体膜进行氧化来形成所述绝缘膜。

[0152] (15) 一种显示装置，其设有多个元件和驱动所述多个元件的薄膜晶体管，

[0153] 所述薄膜晶体管包括：

[0154] 栅极；

[0155] 包括对向所述栅极的通道区域的半导体膜；以及

[0156] 绝缘膜，所述绝缘膜至少设置在接近所述半导体膜的侧壁的栅极侧上的端部的位置。

[0157] (16) 一种电子设备，所述电子设备包括设有多个元件和驱动所述多个元件的薄膜晶体管的显示装置，

[0158] 所述薄膜晶体管包括：

[0159] 栅极；

[0160] 包括对向所述栅极的通道区域的半导体膜；以及

[0161] 绝缘膜，所述绝缘膜至少设置在接近所述半导体膜的侧壁的栅极侧上的端部的位置。

[0162] (17) 一种薄膜晶体管，其包括：

[0163] 基板；

[0164] 在所述基板上的栅极；

[0165] 对向所述栅极的半导体膜；

[0166] 在所述半导体膜中的通道形成区域；

[0167] 在所述基板上的一对源极区域和漏极区域；以及

[0168] 在所述半导体膜的侧面的至少一部分上的绝缘膜。

[0169] (18) 根据 (17) 所述的薄膜晶体管，其中所述绝缘膜位于所述半导体膜的整个侧面上。

[0170] (19) 根据 (17) 所述的薄膜晶体管，其中所述绝缘膜与所述半导体膜的侧面平行。

[0171] (20) 根据 (17) 所述的薄膜晶体管，其中还包括位于所述半导体膜与所述栅极之间的栅极绝缘膜。

[0172] (21) 根据 (20) 所述的薄膜晶体管，其中所述绝缘膜位于所述半导体膜与所述栅

极绝缘膜之间的界面处。

[0173] (22) 根据 (17) 所述的薄膜晶体管，其中所述栅极的长度 x 大于所述半导体膜的长度 y。

[0174] (23) 根据 (17) 所述的薄膜晶体管，其中所述栅极的长度 x 小于所述半导体膜的长度 y。

[0175] (24) 根据 (17) 所述的薄膜晶体管，其中所述半导体膜具有 2nm ～ 300nm 的厚度。

[0176] (25) 根据 (17) 所述的薄膜晶体管，其中所述绝缘膜包含 SiO_2、SiN 或 SiON 中的至少一种。

[0177] (26) 一种显示装置，其包括 ：

[0178] 像素驱动电路层 ；

[0179] 发光元件层基板 ；以及

[0180] 在所述像素驱动电路层中的薄膜晶体管，

[0181] 其中，所述薄膜晶体管包括 (i) 基板，(ii) 对向所述基板的栅极，(iii) 在所述栅极上的半导体膜，(iv) 在所述半导体膜中的通道形成区域，(v) 在所述基板上的一对源极区域和漏极区域，以及 (vi) 在所述半导体膜的侧面的至少一部分上的绝缘膜。

[0182] (27) 一种薄膜晶体管的制造方法，所述方法包括如下步骤 ：

[0183] 准备基板 ；

[0184] 在所述基板上形成栅极 ；

[0185] 形成对向所述栅极的半导体膜 ；

[0186] 在所述半导体膜的侧面的至少一部分上形成绝缘膜 ；

[0187] 形成源极区域 ；以及

[0188] 形成漏极区域。

[0189] (28) 根据 (17) 所述的薄膜晶体管，其中所述半导体膜包含多晶硅、非晶硅或者含有 In、Ga、Zn、Sn、Al 和 Ti 中的至少一种作为主要成分的氧化物。

[0190] (29) 根据 (17) 所述的薄膜晶体管，还包括在所述半导体膜上的通道保护膜。

[0191] (30) 根据 (17) 所述的薄膜晶体管，还包括在所述源极与所述漏极之间的通道保护膜，其中所述源极和所述漏极都与所述保护膜部分地重叠。

[0192] 本公开包含与在 2012 年 8 月 13 日向日本专利局提交的日本在先专利申请 JP 2012-179520 中公开的内容相关的主题，其全部内容以引用的方式并入本文。

[0193] 本领域技术人员应当理解，依据设计要求和其他因素，可以在本发明所附的权利要求书或其等同物的范围内进行各种修改、组合、次组合及改变。

[0194] [附图标记列表]

[0195] 1 显示装置

[0196] 10,30,40,50,60A ～ 60D 薄膜晶体管

[0197] 11 基板

[0198] 12 栅极

[0199] 13 栅极绝缘膜

[0200] 14 半导体膜

[0201] 14C 通道区域

[0202] 15A 源极

[0203] 15B 漏极

[0204] 16 绝缘膜

[0205] 17 平坦化层

[0206] 18 元件分离膜

[0207] 20 有机发光元件

[0208] 21 第一电极

[0209] 22 有机层

[0210] 23 第二电极

[0211] 69 通道保护膜

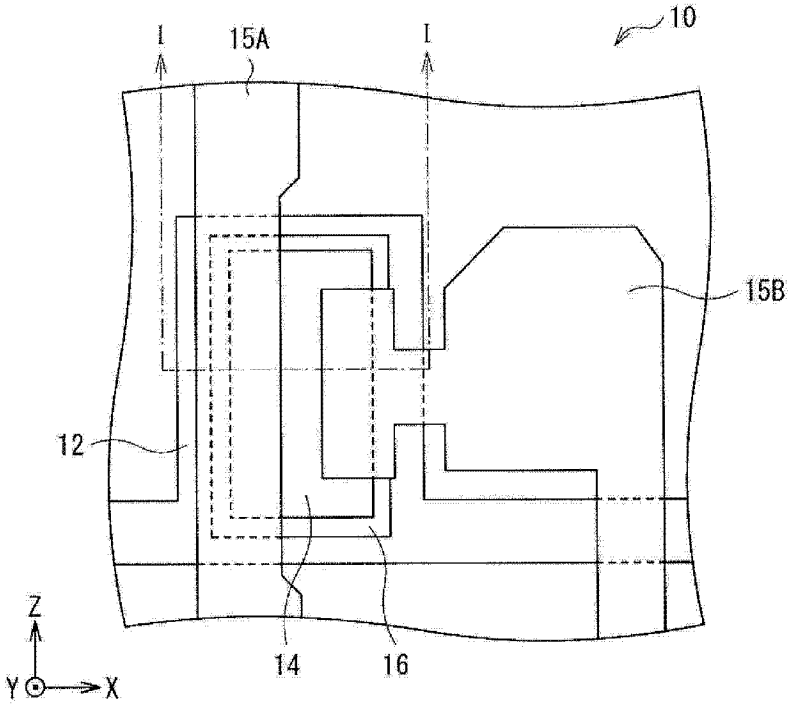

I
15A
I
10
15B
12
14
16
Z
Y
X

图 1A

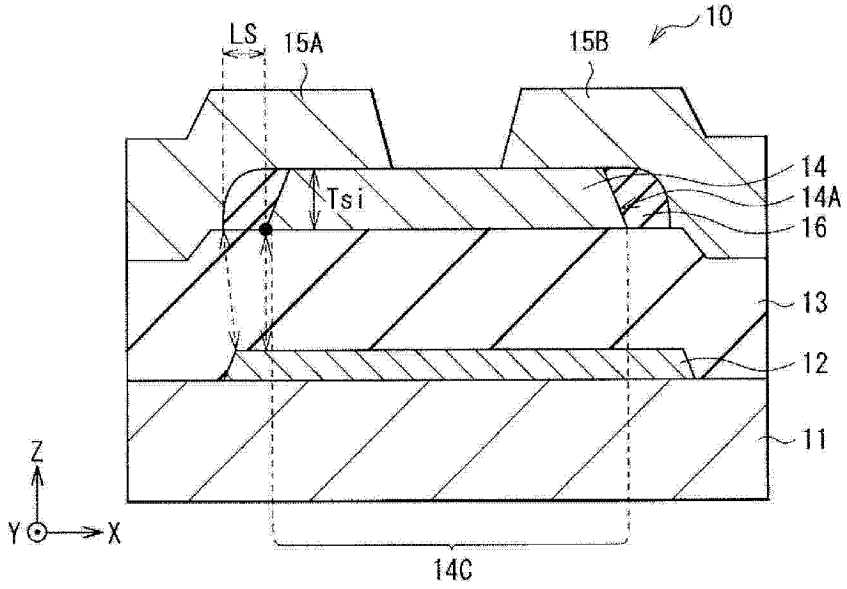

LS
15A
15B
10
14
14A
16
Tsi
13
12
11
Z
Y
X
14C

图 1B

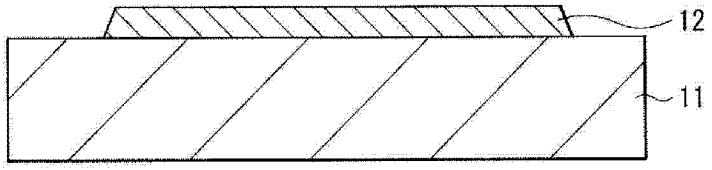


图 2A

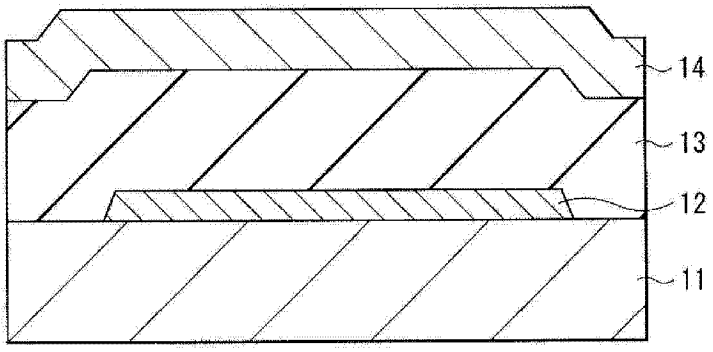


图 2B

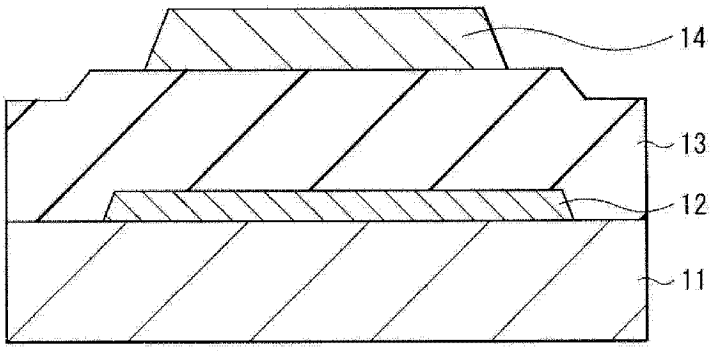


图 2C

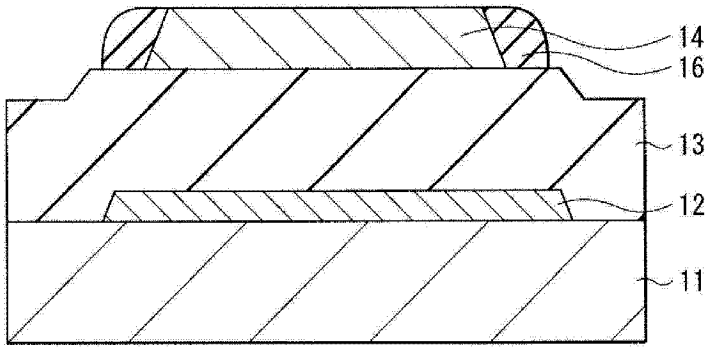


图 2D

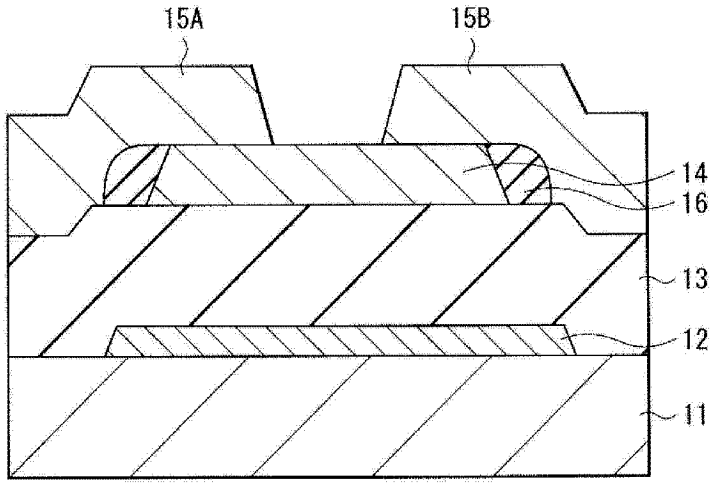


图 2E

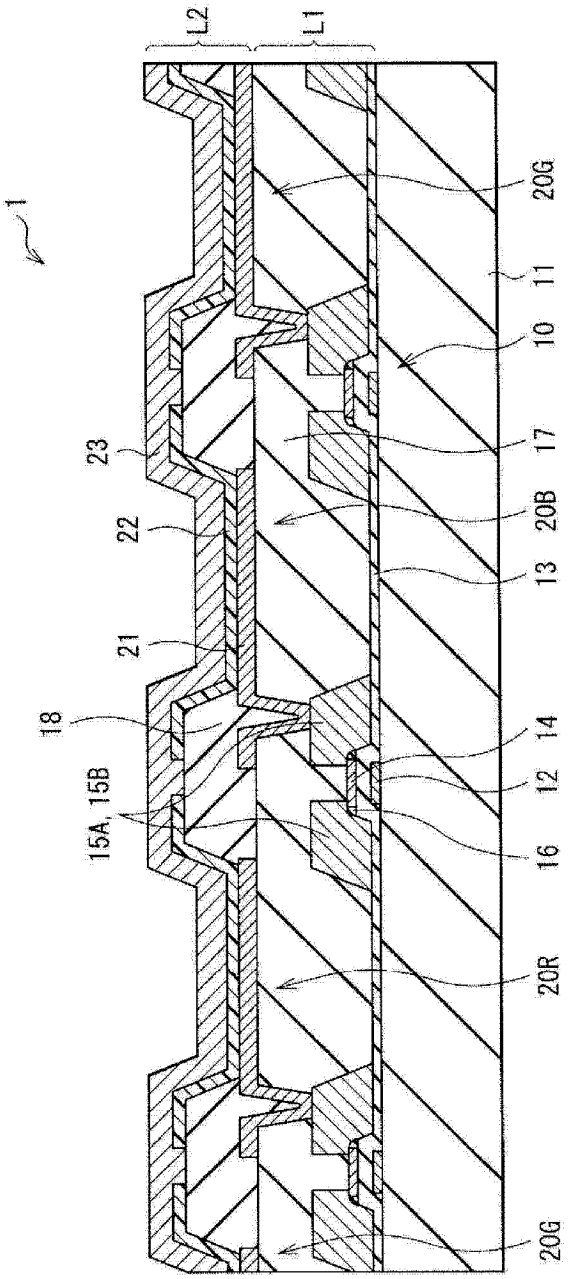


图 3

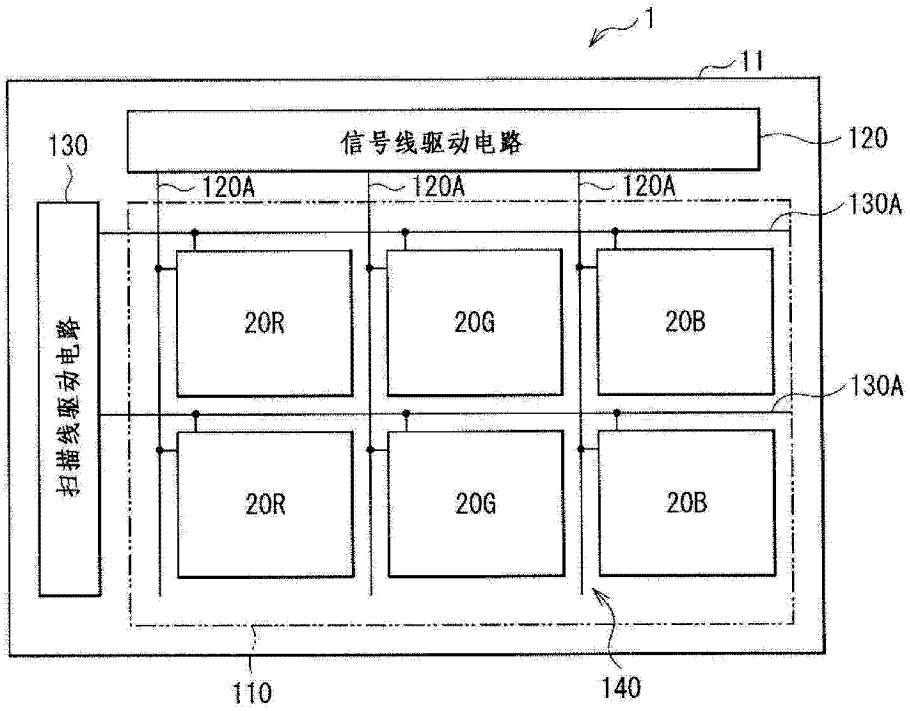

1
11
130
信号线驱动电路
120
120A
120A
120A
130A
20R
20G
20B
130A
扫描线驱动电路
20R
20G
20B
110
140

图 4

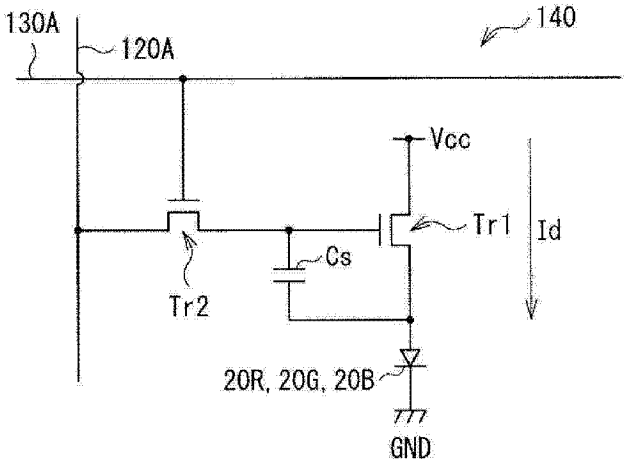

130A
120A
140
Vcc
Tr1
Id
Cs
Tr2
20R, 20G, 20B
GND

图 5

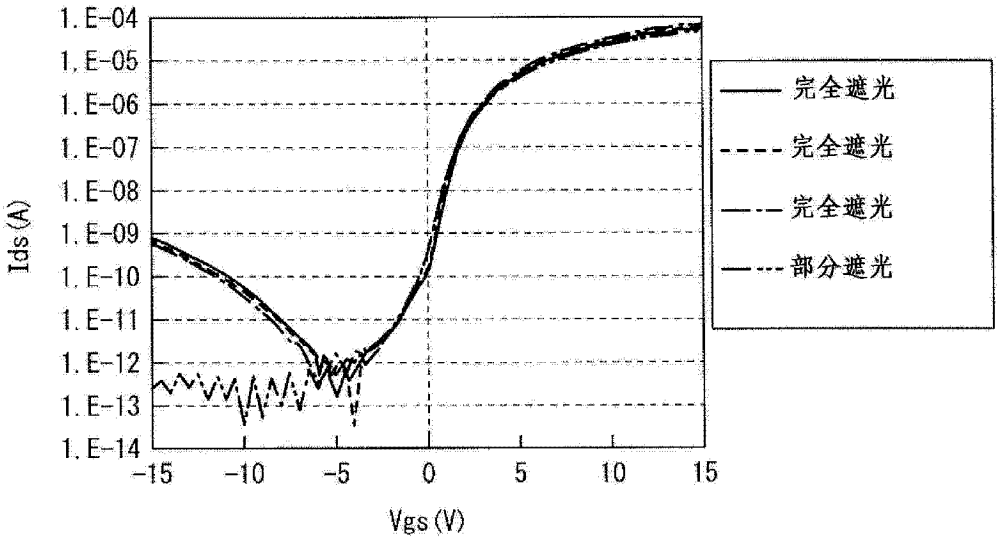

1.E-04
1.E-05
1.E-06
1.E-07
1.E-08
1.E-09
1.E-10
1.E-11
1.E-12
1.E-13
1.E-14
Ids(A)
-15
-10
-5
0
5
10
15
Vgs(V)
完全遮光
完全遮光
完全遮光
部分遮光

图 6

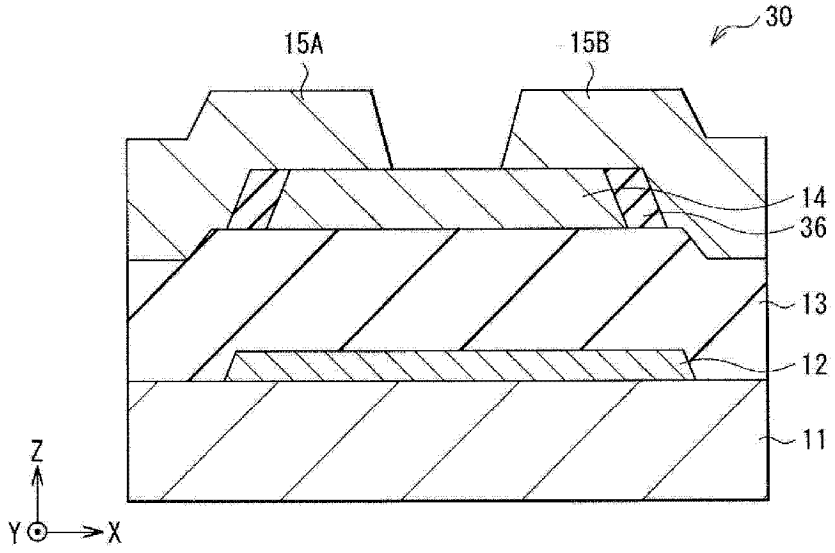

30
15A
15B
14
36
13
12
11
Z
Y
X

图 7

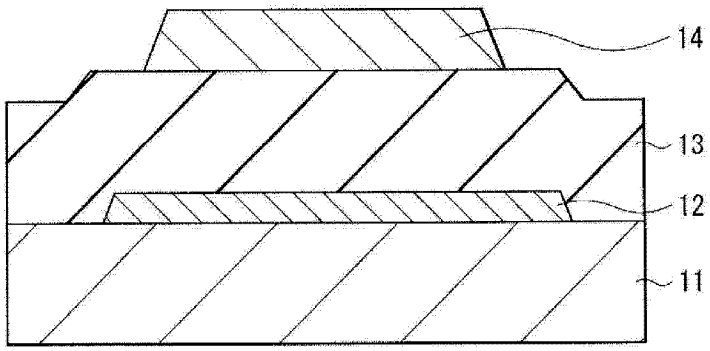

14
13
12
11

图 8A

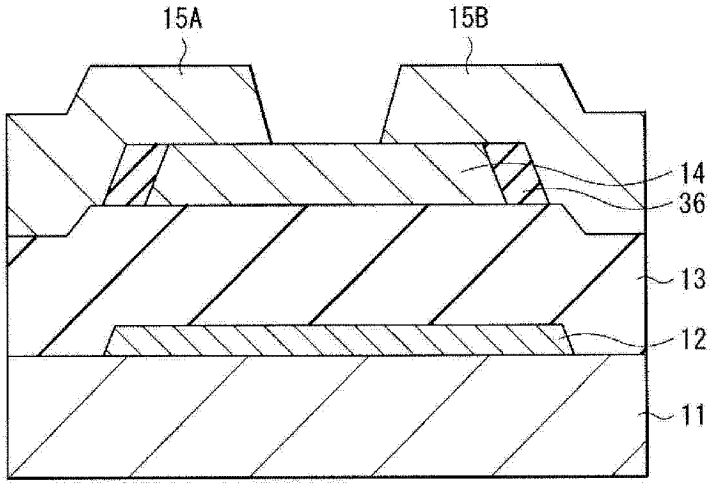


图 8B

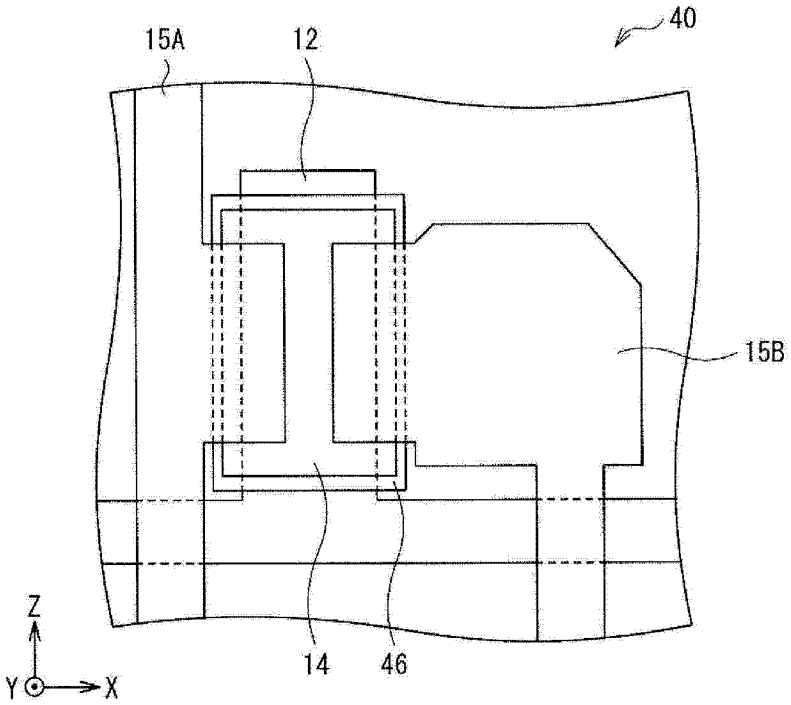


图 9A

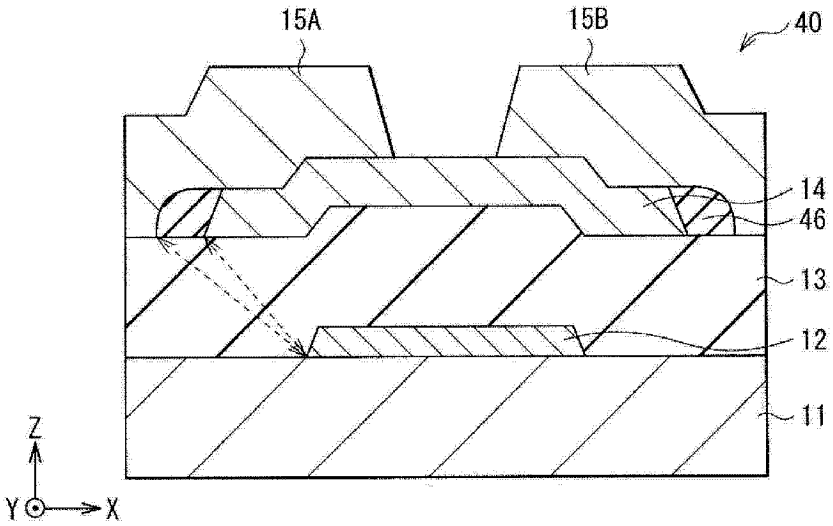


图 9B

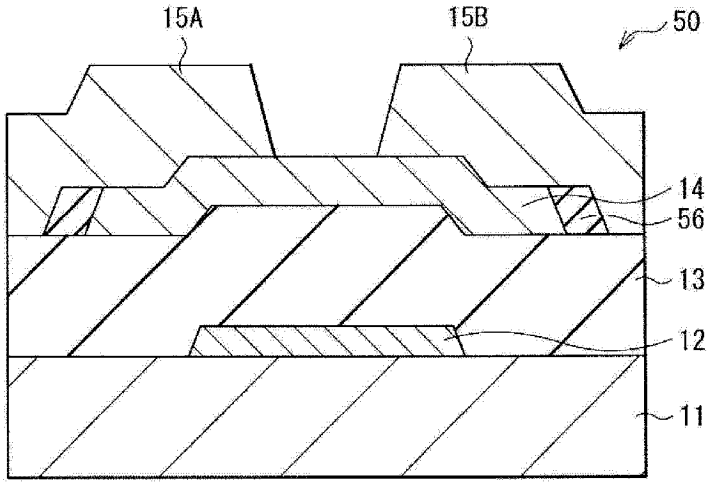


图 10

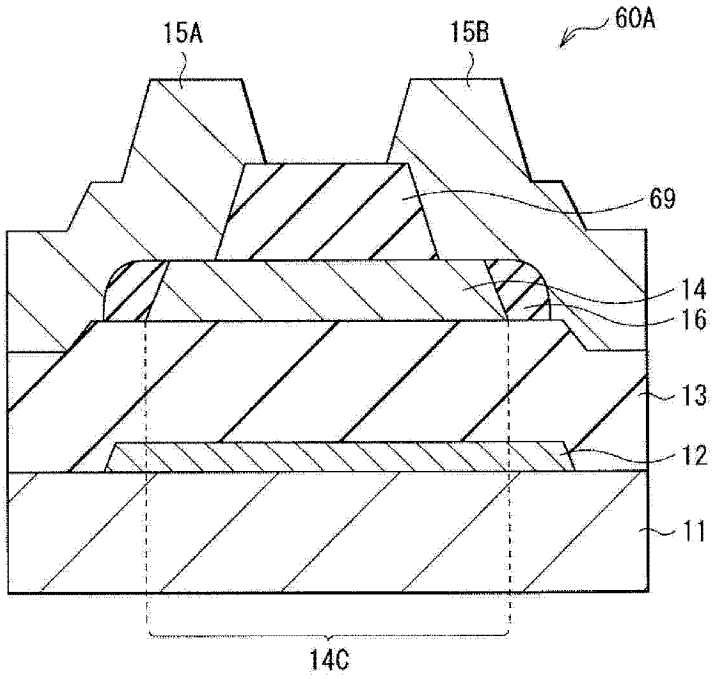


图 11A

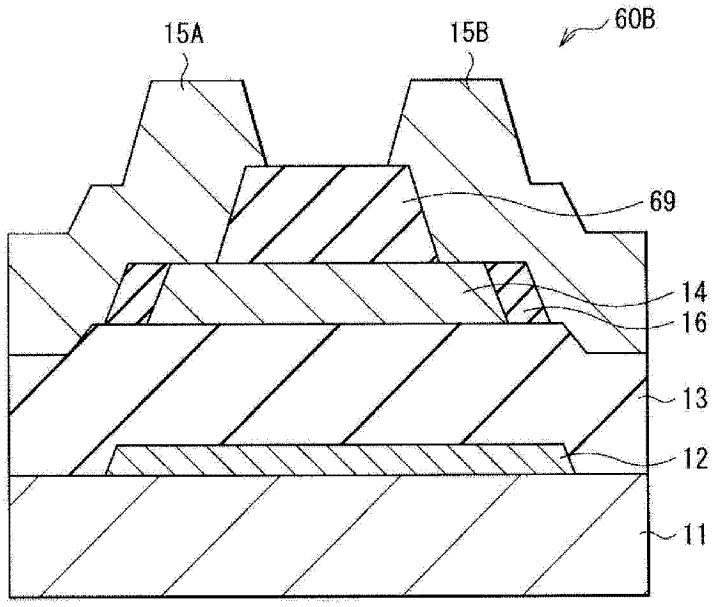


图 11B

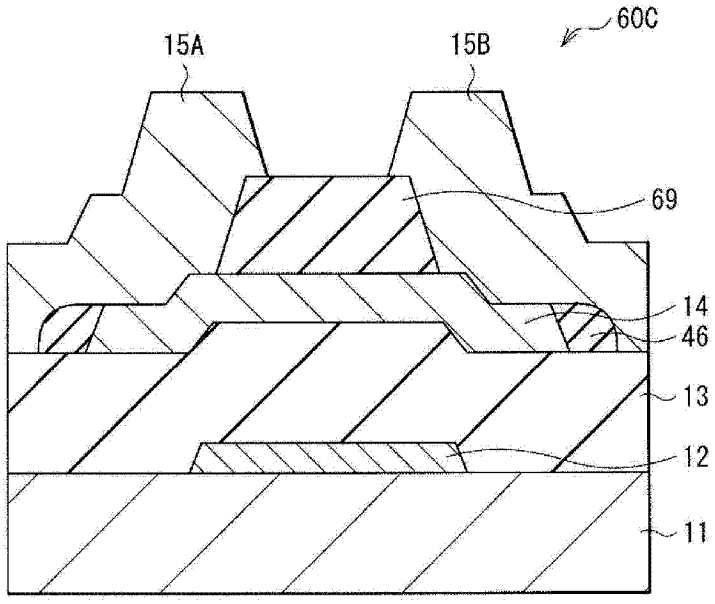


图 11C

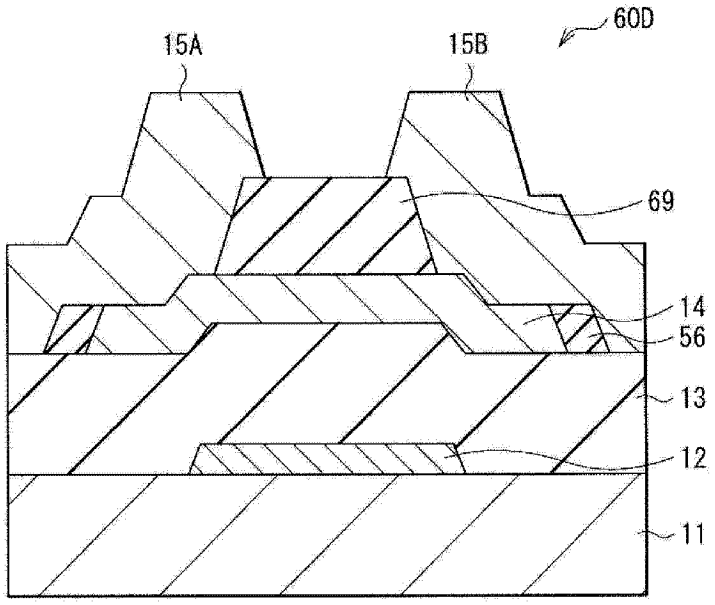


图 11D

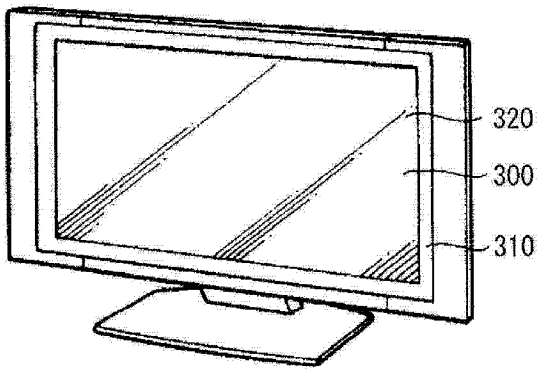


图 12

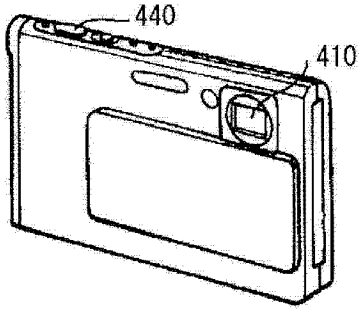


图 13A

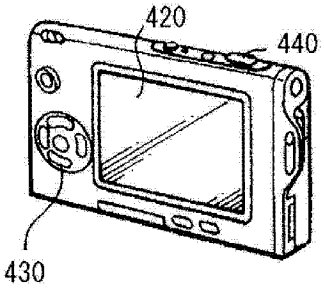


图 13B

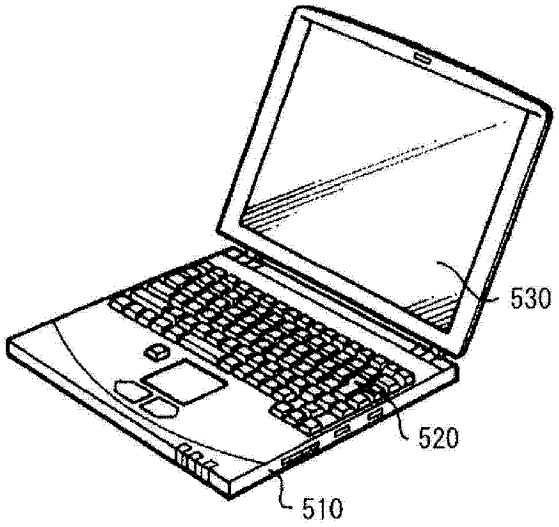


图 14

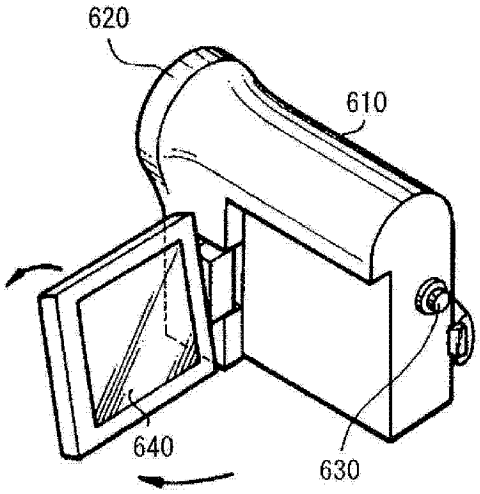


图 15

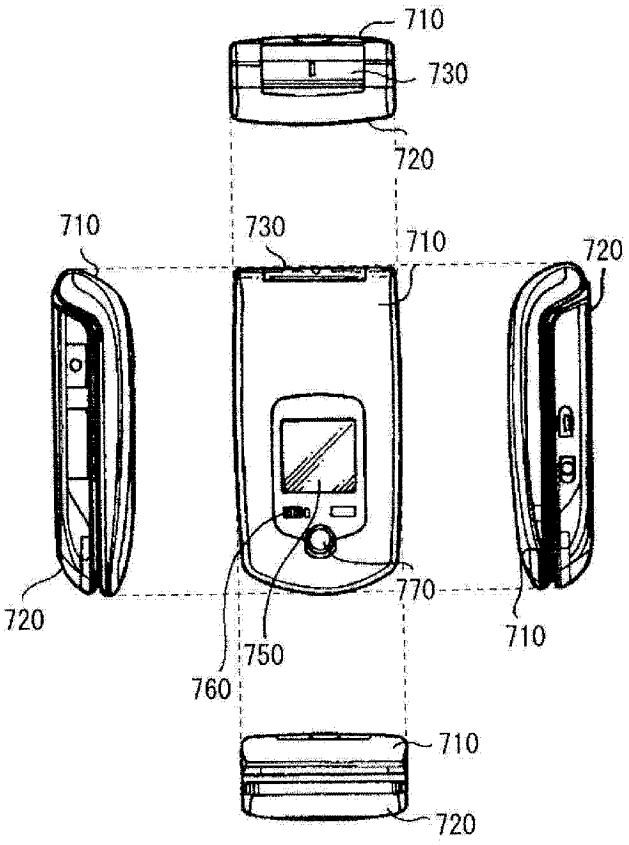

710
730
720
710
730
710
720
720
770
710
760
750
710
720

图 16A

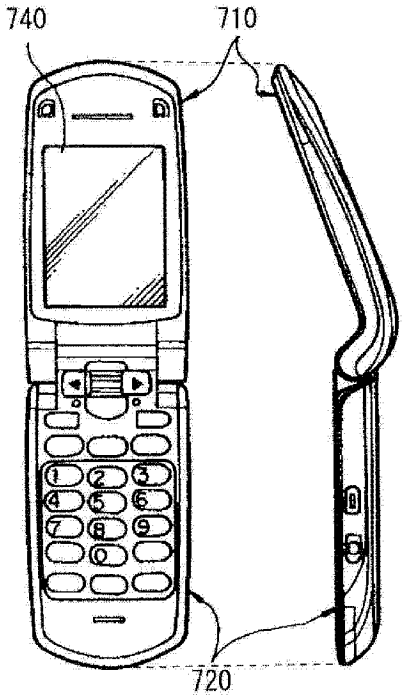

740
710
720

图 16B