



(12) 发明专利

(10) 授权公告号 CN 102497249 B

(45) 授权公告日 2015. 01. 14

(21) 申请号 201110396499. 9

CN 1274485 A, 2000. 11. 22,

(22) 申请日 2011. 11. 29

TW 509900 B, 2002. 11. 11,

(30) 优先权数据

EP 1776815 B1, 2008. 10. 01,

100136678 2011. 10. 07 TW

审查员 加玉

(73) 专利权人 友达光电股份有限公司

地址 中国台湾新竹市

(72) 发明人 鍾竣帆 张荣原

(74) 专利代理机构 隆天国际知识产权代理有限

公司 72003

代理人 章侃铨 张浴月

(51) Int. Cl.

H04L 1/00 (2006. 01)

(56) 对比文件

CN 101847997 A, 2010. 09. 29,

CN 102143360 A, 2011. 08. 03,

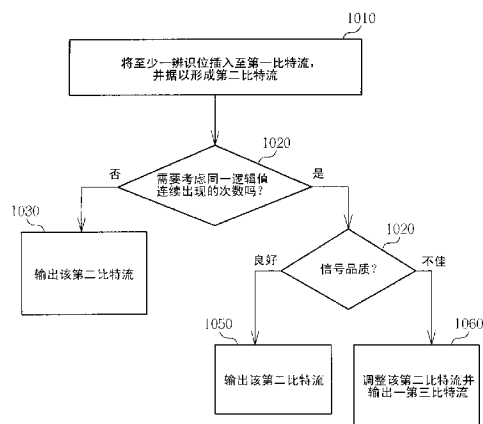
权利要求书5页 说明书14页 附图20页

(54) 发明名称

编码方法、编码装置、解码方法、解码装置、数据传输装置及数据接收装置

(57) 摘要

本发明提供一种编码方法,包含:检测第一比特流以取得第一检测结果;以及依据该第一检测结果来将辨识位插入至该第一比特流,并据以形成第二比特流,其中该第一比特流的位数与该第二比特流的位数相差1。解码方法,包含:检测第一比特流中的特定位集以产生第一检测结果,其中该特定位集包含有至少一位;以及依据该第一检测结果来将该第一比特流转换为第二比特流,其中该第一比特流的位数与该第二比特流的位数相差1。本发明的编码方法可降低于数据传输时所牺牲的频宽、减少能量损耗、提升编码质量、增加编码弹性及/或节省收发端电路尺寸。



1. 一种编码方法,包含:

检测一第一比特流中位于特定位位置的一特定位集的一类型,以取得一第一检测结果,其中该特定位集包含位于该第一比特流中的至少一位;

依据该第一检测结果来将至少一标识位插入至该第一比特流,并据以形成一第二比特流;

判断该第二比特流的一信号质量;

当该信号质量满足一判断准则时,输出该第二比特流;以及

当该信号质量并未满足该判断准则时,调整该第二比特流来产生并输出一第三比特流。

2. 如权利要求 1 所述的编码方法,其中该判断准则为同一逻辑值连续出现于该第二比特流的次数不超过一预定连续次数。

3. 如权利要求 1 所述的编码方法,其中该判断准则为一第一逻辑值与一第二逻辑值于该第二比特流中的转换次数不低於一预定转换次数。

4. 如权利要求 1 所述的编码方法,其中调整该第二比特流以产生并输出该第三比特流的步骤包含:

针对该第二比特流中的多个位进行逻辑运算,以产生该第三比特流。

5. 如权利要求 1 所述的编码方法,其中调整该第二比特流以产生并输出该第三比特流的步骤包含:

反转该第二比特流中的至少一第一位以满足该判断准则;

检测该第二比特流中的多个位以产生一第二检测结果;以及

依据该第二检测结果反转该第二比特流中的至少一第二位以产生该第三比特流。

6. 如权利要求 5 所述的编码方法,其中检测该第二比特流中的该多个位以产生该第二检测结果的步骤包含:

针对该多个位进行一逻辑互斥运算来产生该第二检测结果。

7. 如权利要求 1 所述的编码方法,其中调整该第二比特流以产生并输出该第三比特流的步骤包含:

反转该第二比特流中的至少一第一位以满足该判断准则;

至少检测该第二比特流的一前一比特流之中最后的至少一位,以产生一第二检测结果;以及

依据该第二检测结果反转该第二比特流中的至少一第二位以产生该第三比特流。

8. 如权利要求 7 所述的编码方法,其中产生该第二检测结果的步骤包含:

检测该前一比特流之中最后的至少一位与该第二比特流之中一开始的多个位,来产生该第二检测结果。

9. 如权利要求 1 所述的编码方法,其中该第一比特流的位数与该第二比特流的位数相差 1。

10. 如权利要求 9 所述的编码方法,其中该标识位插入至与该特定位集紧邻的一相邻位以及该特定位集之间。

11. 如权利要求 9 所述的编码方法,其中依据该第一检测结果来将该标识位插入至该第一比特流的步骤包含:

当该特定定位集的该类型为一第一类型时,将具有一第一逻辑值的该识别位插入至该第一比特流;以及

当该特定定位集的该类型为不同于该第一类型的一第二类型时,将具有一第二逻辑值的该识别位插入至该第一比特流。

12. 如权利要求 11 所述的编码方法,其中依据该第一检测结果来将该识别位插入至该第一比特流的步骤还包含:

当该特定定位集的该类型为该第一类型时,将该特定定位集转换为该第二类型。

13. 如权利要求 1 所述的编码方法,其中检测该第一比特流以取得该第一检测结果的步骤包含:检测一第一比特流的最低有效位的类型以取得一第一检测结果;并且

其中依据该第一检测结果插入该识别位的步骤包含:依据该第一检测结果来将一识别位插入至该第一比特流的最低有效位之后,并据以形成该第二比特流。

14. 如权利要求 1 所述的编码方法,其中检测该第一比特流以取得该第一检测结果的步骤包含:检测一第一比特流的最高有效位的类型以取得一第一检测结果;并且

其中依据该第一检测结果插入该识别位的步骤包含:依据该第一检测结果来将一识别位插入至该第一比特流的最高有效位之前,并据以形成一第二比特流。

15. 一种解码方法,包含:

检测一第一比特流中的一特定定位集以产生一第一检测结果,其中该特定定位集包含有至少一位;以及

依据该第一检测结果来将该第一比特流转换为该第二比特流,其中该第一比特流的位数与该第二比特流的位数相差 1;

其中依据该第一检测结果来将该第一比特流转换为该第二比特流的步骤包含:当该第一检测结果显示该特定定位集所包含的多个位具有一第二编码类型时,将该第一比特流转换为该第三比特流,并输出该第三比特流中除了一识别位之外的所有剩余位,来作为该第二比特流;并且

其中将该第一比特流转换为该第三比特流的步骤包含:依据一转换运算来转换该第一比特流以产生多个转换结果;以及依据一判断准则来选取该多个转换结果的其中之一,来作为该第三比特流。

16. 如权利要求 15 所述的解码方法,其中依据该第一检测结果来将该第一比特流转换为该第二比特流的步骤还包含:

当该第一检测结果显示该特定定位集所包含的多个位具有一不同于该第二编码类型的第一编码类型时,输出该第一比特流中除了一识别位之外的所有剩余位,来作为该第二比特流。

17. 如权利要求 15 所述的解码方法,其中该判断准则为同一逻辑值连续出现的次数最多。

18. 如权利要求 15 所述的解码方法,其中该判断准则为一第一逻辑值与一第二逻辑值的转换次数最少。

19. 如权利要求 15 所述的解码方法,其中该多个转换结果包含一第一转换结果以及一第二转换结果,以及依据该转换运算来转换该第一比特流以产生该多个转换结果的步骤包含:

反转该第一比特流中包含一特定的一第一位集,以产生该第一转换结果,其中该定位为具有同一逻辑值的连续多个位的其中之一;以及

反转该第一比特流中包含该特定的一第二位集,以产生该第二转换结果。

20. 一种解码方法,包含:

检测一第一比特流中的一特定集以产生一第一检测结果,其中该特定集包含有至少一位;以及

依据该第一检测结果来将该第一比特流转换为一第二比特流,其中该第一比特流的位数与该第二比特流的位数相差1;

其中依据该第一检测结果来将该第一比特流转换为该第二比特流的步骤包含:当该第一检测结果显示该特定集所包含的多个位具有一第二编码类型时,将该第一比特流转换为一第三比特流,并依据该第三比特流来产生该第二比特流,并且

其中将该第一比特流转换为该第三比特流的步骤包含:依据一转换运算来转换该第一比特流以产生多个转换结果;以及依据一判断准则来选取该多个转换结果的其中之一,来作为该第三比特流。

21. 如权利要求20所述的解码方法,其中依据该第一检测结果来将该第一比特流转换为该第二比特流的步骤还包含:

当该第一检测结果显示该特定集所包含的多个位具有不同于该第二编码类型的一第一编码类型时,检测该第一比特流的一识别位以产生一第二检测结果,以及依据该第二检测结果来将该第一比特流转换为该第二比特流。

22. 如权利要求20所述的解码方法,其中该判断准则为同一逻辑值连续出现的次数最多。

23. 如权利要求20所述的解码方法,其中该判断准则为一第一逻辑值与一第二逻辑值的转换次数最少。

24. 如权利要求20所述的解码方法,其中该多个转换结果包含一第一转换结果以及一第二转换结果,以及依据该转换运算来转换该第一比特流以产生该多个转换结果的步骤包含:

反转该第一比特流中包含一特定的一第一位集,以产生该第一转换结果,其中该定位为具有同一逻辑值的连续多个位的其中之一;以及

反转该第一比特流中包含该特定的一第二位集,以产生该第二转换结果。

25. 如权利要求20所述的解码方法,其中依据该第三比特流来产生该第二比特流的步骤包含:

依据该第一比特流的一识别位,来将该第三比特流中的对应于该特定集的一位集转换为该第二编码类型,并输出该第三比特流中除了一识别位之外的所有剩余位来作为该第二比特流。

26. 如权利要求20所述的解码方法,其中依据该第三比特流来产生该第二比特流的步骤包含:

依据该第一比特流的一识别位,直接输出该第三比特流中除了一识别位之外的所有剩余位,来作为该第二比特流。

27. 一种编码装置,包含:

一检测单元,用以检测一第一比特流中位于特定位位置的一特定位集的一类型以产生一第一检测结果,其中该特定位集包含有至少一位;

一第一处理单元,用以依据该第一检测结果来将至少一识别位插入至该第一比特流,并据以形成一第二比特流;以及

一第二处理单元,耦接于该第一处理单元,用以判断该第二比特流的一信号质量;

其中当该信号质量满足一判断准则时,输出该第二比特流,以及当该信号质量并未满足该判断准则时,调整该第二比特流来产生并输出一第三比特流。

28. 如权利要求 27 所述的编码装置,其中该第一比特流的位数与该第二比特流的位数相差 1。

29. 如权利要求 27 所述的编码装置,

其中该检测单元检测该第一比特流的最低有效位的类型以取得该第一检测结果;并且该第一处理单元依据该第一检测结果来将该识别位插入至该第一比特流的最低有效位之后,并据以形成该第二比特流。

30. 如权利要求 27 所述的编码装置,

其中该检测单元检测该第一比特流的最高有效位的类型以取得该第一检测结果;并且该第一处理单元依据该第一检测结果来将该识别位插入至该第一比特流的最高有效位之前,并据以形成该第二比特流。

31. 一种解码装置,包含:

一检测单元,用以检测一第一比特流中的一特定位集以产生一第一检测结果,其中该特定位集包含有至少一位;以及

一处理单元,耦接于该检测单元,用以依据该第一检测结果来将该第一比特流转换为一第二比特流,其中该第一比特流的位数与该第二比特流的位数相差 1;

其中当该第一检测结果显示该特定位集所包含的多个位具有一第二编码类型时,该处理单元将该第一比特流转换为一第三比特流,并输出该第三比特流中除了一识别位之外的所有剩余位,来作为该第二比特流;并且

其中该处理单元将该第一比特流转换为该第三比特流包含:依据一转换运算来转换该第一比特流以产生多个转换结果;以及依据一判断准则来选取该多个转换结果的其中之一,来作为该第三比特流。

32. 如权利要求 31 所述的解码装置,其中当该第一检测结果显示该特定位集所包含的多个位具有不同于该第二编码类型的一第一编码类型时,该处理单元输出该第一比特流中除了一识别位之外的所有剩余位,来作为该第二比特流。

33. 一种解码装置,包含:

一检测单元,用以检测一第一比特流中的一特定位集以产生一第一检测结果,其中该特定位集包含有至少一位;以及

一处理单元,耦接于该检测单元,用以依据该第一检测结果来将该第一比特流转换为一第二比特流,其中该第一比特流的位数与该第二比特流的位数相差 1;

其中当该第一检测结果显示该特定位集所包含的多个位具有一第二编码类型时,该处理单元将该第一比特流转换为一第三比特流,并依据该第三比特流来产生该第二比特流;并且

其中该处理单元将该第一比特流转换为该第三比特流包含：依据一转换运算来转换该第一比特流以产生多个转换结果；以及依据一判断准则来选取该多个转换结果的其中之一，来作为该第三比特流。

34. 如权利要求 33 所述的解码装置，其中当该第一检测结果显示该特定位集所包含的多个位具有不同于该第二编码类型的一第一编码类型时，该处理单元检测该第一比特流的一识别位以产生一第二检测结果，并依据该第二检测结果来将该第一比特流转换为该第二比特流。

编码方法、编码装置、解码方法、解码装置、数据传送装置及 数据接收装置

技术领域

[0001] 本发明涉及数据编码与解码,特别涉及一种利用插入一识别位至一未编码数据来进行编码的方法与装置及其相关解码方法、解码装置、数据传送装置与数据接收装置。

背景技术

[0002] 一般来说,传送端 (Transmitter, TX) 与接收端 (Receiver, RX) 彼此之间在传输数据时,除了需要有传送 / 接收数据的机制之外,也需要有传送 / 接收时脉 (Clock) 信息的机制。在高速接口传输数据时,为了要提高信号传输质量、降低电磁干扰 (Electromagnetic interference, EMI)、提供除错机制 (Error correction) 以及节省时脉电路,一般会利用将欲传输的数据加以编码来满足以上需求。传统上会使用 4B5B 以及 8B10B 的编码方式,然而,上述两种编码方式皆需利用编码表 (Coding table),亦即以查表的方式来直接参照数据编码前后的对应关系,进而将数据加以编码 / 解码,因此,收发端 (亦即,传送端及接收端) 皆需要提供额外电路来储存编码表,造成收发端电路尺寸的增加。

[0003] 4B5B 的编码方式需要 5 位的频宽 (Bandwidth) 来传送 4 位的数据,以及 8B10B 的编码方式需要 10 位的频宽来传送 8 位的数据,以上两种编码方式所牺牲的频宽比例皆为百分之二十五 (亦即,传送 4 位会牺牲 1 位)。一旦所牺牲的频宽越多,收发端便需要以更快的传输速度来传输相同的数据量,然而,当传输速度提高时 (亦即,提高操作频率 (Operation frequency)),收发端电路额外消耗的电流也会增加,进而增加能量的损耗。再者,由于接收端在接收数据时,必须要通过数据中位的转换次数来取得数据的相位 (Phase) 或频率,所以如果数据中具有同一逻辑值的位连续出现的次数太多时,接收端便会不易正确取得数据的相位或频率,举例来说,利用 4B5B 的编码方式来传输 8 位的数据,可能会出现连续 8 个逻辑 0 或逻辑 1,因而降低编码质量。

[0004] 此外,由于数据传输接口包含锁相回路 (Phase-locked loop, PLL) 类型以及延迟锁相回路 (Delay-locked loop, DLL) 类型,而 4B5B 及 8B10B 仅支持锁相回路类型的数据传输接口 (亦即,编码弹性低),因此当数据传输接口为延迟锁相回路类型时,收发端会需要额外的电路机制来提供编码 / 解码,进而增加收发端电路的尺寸。

[0005] 因此,需要一种可降低于数据传输时所牺牲的频宽、减少能量损耗、提升编码质量、增加编码弹性及 / 或节省收发端电路尺寸的创新编码方法。

发明内容

[0006] 有鉴于此,本发明的目的之一在于提供一种将一识别位插入至一未编码数据的编码方法及编码装置及其相关解码方法、解码装置、数据传送装置与数据接收装置,来解决上述问题。

[0007] 依据本发明的一实施例,其揭示一种编码方法,该编码方法包含:检测一第一比特流以取得一第一检测结果;以及依据该第一检测结果来将一识别位插入至该第一比特流,

并据以形成一第二比特流,其中该第一比特流的位数与该第二比特流的位数相差 1。

[0008] 依据本发明的一实施例,其另揭示一种编码方法,该编码方法包含:检测一第一比特流的最低有效位以取得一第一检测结果;以及依据该第一检测结果来将一识别位插入至该第一比特流的最低有效位之后,并据以形成一第二比特流。

[0009] 依据本发明的一实施例,其另揭示一种编码方法,该编码方法包含:检测一第一比特流的最高有效位以取得一第一检测结果;以及依据该第一检测结果来将一识别位插入至该第一比特流的最高有效位之前,并据以形成一第二比特流。

[0010] 依据本发明的一实施例,其另揭示一种编码方法,该编码方法包含:将至少一识别位插入至一第一比特流,并据以形成一第二比特流;判断该第二比特流的一信号质量;当该信号质量满足一判断准则时,输出该第二比特流;以及当该信号质量并未满足该判断准则时,调整该第二比特流来产生并输出一第三比特流。

[0011] 依据本发明的一实施例,其揭示一种解码方法,该解码方法包含:检测一第一比特流中的一特定位置以产生一第一检测结果,其中该特定位置包含有至少一位;以及依据该第一检测结果来将该第一比特流转换为一第二比特流,其中该第一比特流的位数与该第二比特流的位数相差 1。

[0012] 依据本发明的一实施例,其揭示一种编码装置,该编码装置包含:一检测单元以及一处理单元。该检测单元用以检测一第一比特流以取得一第一检测结果。该处理单元耦接于该检测单元,用以依据该第一检测结果来将一识别位插入至该第一比特流,并据以形成一第二比特流,其中该第一比特流的位数与该第二比特流的位数相差 1。

[0013] 依据本发明的一实施例,其另揭示一种编码装置,该编码装置包含:一检测单元以及一处理单元。该检测单元用以检测一第一比特流的最低有效位以取得一第一检测结果。该处理单元耦接于该检测单元,用以依据该第一检测结果来将一识别位插入至该第一比特流的最低有效位之后,并据以形成一第二比特流。

[0014] 依据本发明的一实施例,其另揭示一种编码装置,该编码装置包含:一检测单元以及一处理单元。该检测单元用以检测一第一比特流的最高有效位以取得一第一检测结果。该处理单元耦接于该检测单元,用以依据该第一检测结果来将一识别位插入至该第一比特流的最高有效位之前,并据以形成一第二比特流。

[0015] 依据本发明的一实施例,其另揭示一种编码装置,该编码装置包含:一第一处理单元以及一第二处理单元。该第一处理单元用以将至少一识别位插入至一第一比特流,并据以形成一第二比特流。该第二处理单元耦接于该第一处理单元,用以判断该第二比特流的一信号质量。其中当该信号质量满足一判断准则时,输出该第二比特流,以及当该信号质量并未满足该判断准则时,调整该第二比特流来产生并输出一第三比特流。

[0016] 依据本发明的一实施例,其揭示一种解码装置,该编码装置包含:一检测单元以及一处理单元。该检测单元用以检测一第一比特流中的一特定位置以产生一检测结果,其中该特定位置包含有至少一位。该处理单元耦接于该检测单元,用以依据该检测结果来将该第一比特流转换为一第二比特流,其中该第一比特流的位数与该第二比特流的位数相差 1。

[0017] 依据本发明的一实施例,其揭示一种数据传送装置,该数据传送装置包含:锁相回路单元、并行至串行转换单元、编码单元以及驱动单元。该锁相回路单元用以依据时脉信号以产生第一控制信号以及第二控制信号。该并行至串行转换单元用以依据该第一控制信号

来将并行数据转换为串行数据。该编码单元用以依据该第二控制信号来将一位插入至该串行数据,并据以形成已编码数据,其中该串行数据的位数与该已编码数据的位数相差 1。该驱动单元用以将该已编码数据输出为已编码信号。

[0018] 依据本发明的一实施例,其揭示一种数据接收装置,该数据接收装置包含:比较单元、时脉回复单元、解码单元以及串行至并行转换单元。该比较单元用以依据已编码数据来产生一输入数据。该时脉回复单元用以依据该输入数据来产生一第一控制信号、一第二控制信号,以及一时脉信号。该解码单元用以依据该第一控制信号来将该输入数据转换为一已解码数据,其中该输入数据的位数与该已解码数据的位数相差 1。该串行至并行转换单元用以依据该第一控制信号来将该已解码数据转换为一并行数据。

[0019] 本发明的编码方法可降低于数据传输时所牺牲的频宽、减少能量损耗、提升编码质量、增加编码弹性及 / 或节省收发端电路尺寸。

附图说明

[0020] 图 1 为本发明编码方法的一实施例的广义流程图。

[0021] 图 2 为本发明编码方法的一实施例的流程图。

[0022] 图 3A 为将一识别位插入至位数为 N 的一第一比特流的示意图。

[0023] 图 3B 为将一识别位插入至位数为 N 的一第一比特流的示意图。

[0024] 图 4 为本发明编码方法的另一实施例的流程图。

[0025] 图 5 为本发明编码方法的另一实施例的流程图。

[0026] 图 6 为图 5 所示的步骤的一实作方式的范例流程图。

[0027] 图 7 为本发明编码方法应用至锁相回路类型的传输接口的一实施例的流程图。

[0028] 图 8A 为图 5 所示的步骤的另一实作方式的范例流程图。

[0029] 图 8B 为图 5 所示的步骤的又一实作方式的范例流程图。

[0030] 图 9 为本发明编码方法应用至锁相回路类型的传输接口的另一实施例的流程图。

[0031] 图 10 为本发明编码方法的另一实施例的广义流程图。

[0032] 图 11A 为本发明编码装置的一实施例的功能方块图。

[0033] 图 11B 为本发明编码装置的另一实施例的功能方块图。

[0034] 图 11C 为本发明编码装置的又一实施例的功能方块图。

[0035] 图 12 为本发明解码方法的一实施例的广义流程图。

[0036] 图 13 为本发明解码方法的一实施例的流程图。

[0037] 图 14 为图 13 所示的步骤的一实作方式的范例流程图。

[0038] 图 15 为本发明解码方法应用至锁相回路类型的传输接口的一实施例的流程图。

[0039] 图 16 为本发明解码方法的一实施例的流程图。

[0040] 图 17 为图 16 所示的步骤的一实作方式的范例流程图。

[0041] 图 18 为本发明解码方法应用至锁相回路类型的传输接口的另一实施例的流程图。

[0042] 图 19 为本发明编码方法的另一实施例的广义流程图。

[0043] 图 20 为本发明解码装置的一实施例的功能方块图。

[0044] 图 21 为依据本发明编码装置来加以实作出的一数据传送装置的一实施例的功能

方块图。

[0045] 图 22 为依据本发明编码装置来加以实作出的一数据接收装置的一实施例的功能方块图。

[0046] 主要组件符号说明：

[0047]	1100、1101、1102	编码装置
[0048]	1110、2010	检测单元
[0049]	1111、1112、1121、1120、1132、2020	处理单元
[0050]	1122	切换单元
[0051]	2000	解码装置
[0052]	2100	数据传送装置
[0053]	2110	锁相回路单元
[0054]	2120	并行至串行转换单元
[0055]	2130	编码单元
[0056]	2140	驱动单元
[0057]	2200	数据接收装置
[0058]	2210	比较单元
[0059]	2220	时脉回复单元
[0060]	2230	解码单元
[0061]	2240	串行至并行转换单元

具体实施方式

[0062] 首先,请参阅图 1,图 1 为本发明编码方法的一实施例的广义流程图。在步骤 110 中,首先会检测一第一比特流以取得一第一检测结果,其中第一比特流为一未编码数据,接着,在步骤 120 中,会依据步骤 110 所获得的第一检测结果来将一辨识位插入至该第一比特流,并据以形成一第二比特流,其中该第一比特流的位数与该第二比特流的位数相差 1。请一并参阅图 1 与图 2,图 2 为本发明编码方法的一实施例的流程图,其中图 2 所示的流程基于图 1 所示的广义流程。在图 2 中,图 1 所示的步骤 110 可包含检测该第一比特流中位于特定位位置的一特定位集的一类型,以做为该第一检测结果(如步骤 210 所示),其中该特定位集包含位于该第一比特流中的至少一位。此外,图 1 所示的步骤 120 可包含当该特定位集的该类型为一第一类型时,将具有一第一逻辑值的该辨识位插入至该第一比特流(如步骤 220 中的步骤 224 及 226 所示),并据以形成该第二比特流,以及当该特定位集的该类型为不同于该第一类型的一第二类型时,将具有一第二逻辑值的该辨识位插入至该第一比特流(如步骤 220 中的步骤 224 及 228 所示),并据以形成第二比特流。

[0063] 在步骤 220 中,可将该辨识位插入至与该特定位集紧邻的一相邻位以及该特定位集之间,然而,当在该第一比特流中所检测的特定位位置为该第一比特流的最高有效位(Most significant bit,MSB)或是最低有效位(Least significant bit,LSB)时(亦即,该特定位集为最高有效位或是最低有效位),除了将该辨识位插入至与该第一比特流的最高有效位/最低有效位紧邻的一相邻位之间以外,也可以将该辨识位插入至该第一比特流的最高有效位之前,或是将该辨识位插入至该第一比特流的最低有效位之后。因此,在一实施

例中,可检测一第一比特流 BS1 的最高有效位以取得一第一检测结果 DR1,接着,依据第一检测结果 DR1 来将辨识位 IB 插入至第一比特流 BS1 的最高有效位之前,并据以形成一第二比特流 BS2。而在另一实施例中,也可以检测一第一比特流 BS 1 的最低有效位以取得一第一检测结果 DR1,接着,依据第一检测结果 DR1 来将一辨识位 IB 插入至第一比特流 BS1 的最低有效位之后,并据以形成一第二比特流 BS2。

[0064] 请连同图 2 来参阅图 3A,其中图 3A 为将一辨识位 IB 插入至具有位数为 N 的一第一比特流 BS1(亦即,具有 N 个位的一未编码数据)的示意图。在图 3A 中,第一比特流 BS1 的特定位置为最低有效位的位置,其所对应的一特定位置集 SB 为"0"(亦即,上述的第一检测结果)。如上所述,除了可将辨识位 IB 插入与特定位置集 SB 紧邻的一相邻位(亦即,位 NB)以及特定位置集 SB 之间(如图 3A 所示的位置 P1),也可以将辨识位 IB 插入至最低有效位之后(如图 3A 所示的位置 P2)。此外,由于特定位置集 SB 的类型为"0",因此,可依不同的设计需求/考虑,来插入具有不同逻辑值的辨识位 IB。举例来说,当特定位置集 SB 的类型为"0"(例如,上述的第一类型)时,将具有逻辑值"1"(例如,上述的第一逻辑值)的辨识位 IB 插入至位置 P2;反之,当特定位置集 SB 的类型为"1"(例如,上述的第二类型)时,则将具有逻辑值"0"(例如,上述的第二逻辑值)的辨识位 IB 插入至位置 P2。因此,于此实施例中,具有逻辑值"1"的辨识位 IB 会插入至第一比特流 BS 1 的最低有效位的右侧位置 P2,因而形成具有位数为 N+1 的一第二比特流 BS2(亦即,具有 N+1 个位的一已编码数据)。

[0065] 在一设计变化中,图 2 所示的步骤 220 另包含当该特定位置集的类型为该第一类型时,将该特定位置集转换为该第二类型。请参阅图 4,图 4 为本发明编码方法的另一实施例的流程图,其中图 4 所示的步骤基于图 2 所示的流程。步骤 420 包含当该特定位置集的类型为一第一类型时,将具有一第一逻辑值的该辨识位插入至该第一比特流(如步骤 224 及 226 所示)以及将该特定位置集转换为一第二类型(如步骤 425 所示),并据以形成一第二比特流,以及当该特定位置集的类型为不同于该第一类型的该第二类型时,将具有一第二逻辑值的该辨识位插入至该第一比特流(如步骤 224 及 228 所示),并据以形成一第二比特流。值得注意的是,假若所得到的结果实质上是相同的,步骤 425 及步骤 226 的顺序可互相对调。

[0066] 请连同图 4 来参阅图 3B,其中图 3B 为将一辨识位 IB 插入至具有位数为 N 的一第一比特流 BS1(亦即,具有 N 个位的一未编码数据)的示意图。如图 3B 所示,该第一比特流 BS1 的特定位置为由最高有效位算起的前两个位的位置,其所对应的一特定位置集 SB 的类型为"00"(亦即,上述的第一检测结果),而辨识位 IB 所插入的位置为最低有效位之后(亦即,位置 P3)。值得注意的是,在将辨识位 IB 插入于第一比特流 BS1 之后,辨识位 IB 并不一定要与特定位置集 SB 紧邻,也就是说,辨识位 IB 可插入至第一比特流 BS1 中的任两个位之间、最高有效位之前或最低有效位之后。

[0067] 于此实施例中(但本发明并不局限于此),当特定位置集 SB 的类型为"00"或"11"(例如,上述的第一类型)时,将具有逻辑值"1"(例如,上述的第一逻辑值)的辨识位 IB 插入至位置 P3;反之,当特定位置集 SB 的类型为"01"或"10"(例如,上述的第二类型)时,则将具有逻辑值"0"(例如,上述的第二逻辑值)的辨识位 IB 插入至位置 P3。此外,当特定位置集 SB 的类型为"00"或"11"时,则将特定位置集 SB 的类型转换为"01"或"10"。因此,于此实施例中,具有逻辑值"1"的辨识位 IB 会插入至第一比

特流 BS1 的最低有效位的右侧位置 P3, 因而形成具有位数为 N+1 的一第二比特流 BS2 (亦即, 具有 N+1 个位的一已编码数据) 。

[0068] 请注意, 以上所述仅供说明的需要, 并非用来做为本发明的限制, 也就是说, 特定位集的位置、特定位集所包含的位数、辨识位于未编码数据中所插入的位置及 / 或对应于特定位集的不同类型的辨识位的逻辑值, 皆可视实际上的设计需求 / 考虑来加以适当调整。

[0069] 当将上述的本发明编码方法的实施例应用至一种不需要考虑所传输的数据中具有同一逻辑值的连续位数的多寡的传输接口 (例如, 延迟锁相回路类型 (DLL-based) 的传输接口) 时, 于图 2 (或图 4) 所示的流程图中, 步骤 226 或步骤 228 所产生的第二比特流 BS2 直接输出为所要的编码数据。然而, 当上述的本发明编码方法的实施例应用至一种需要考虑所传输的数据中具有同一逻辑值的连续位数的多寡的传输接口 (例如, 锁相回路类型 (PLL-based) 的传输接口) 时, 则对于图 2 (或图 4) 所示的步骤 226 或步骤 228 中所产生的第二比特流 BS2 而言, 可能需要基于信号质量来进行适当调整, 以便满足编码质量的要求。

[0070] 请参阅图 5, 图 5 为本发明编码方法的另一实施例的流程图。在步骤 510 中, 将至少一辨识位插入至一第一比特流, 并据以形成一第二比特流, 接下来, 会在步骤 520 中判断该第二比特流的一信号质量。当该信号质量满足一判断准则时, 输出该第二比特流 (如步骤 530 所示), 以及当该信号质量并未满足该判断准则时, 调整该第二比特流来产生并输出一第三比特流 (如步骤 540 所示)。举例来说, 当信号质量达到编码质量要求时, 则直接输出该第二比特流以做为一已编码数据, 然而, 当信号质量未达到编码质量要求时, 则调整该第二比特流的信号质量, 来产生并输出一第三比特流以做为一已编码数据。此外, 上述的判断准则包含同一逻辑值连续出现于该第二比特流的次数不超过一预定连续次数, 及 / 或一第一逻辑值与一第二逻辑值于该第二比特流中的转换次数不低于一预定转换次数。举例来说 (但本发明并不局限于此), 当逻辑 " 0 " 或逻辑 " 1 " 连续出现在该第二比特流的次数超过 6 个位时, 则需调整该第二比特流, 或者当逻辑 " 0 " 与逻辑 " 1 " 于该第二比特流中的转换次数低于 3 次时, 则需调整该第二比特流。此外, 步骤 510 可利用 (但本发明并不局限于此) 图 1 所示的步骤 110 及步骤 120 来加以实作。

[0071] 在一实施例中, 步骤 540 可包含针对该第二比特流中的多个位进行逻辑运算, 以产生该第三比特流。请参阅图 6, 图 6 为图 5 所示的步骤 540 的一实作方式的范例流程图。在步骤 652 中, 反转该第二比特流中的至少一第一位以满足该判断准则; 在步骤 654 中, 检测该第二比特流中的多个位以产生一第二检测结果; 以及在步骤 656 中, 依据该第二检测结果反转该第二比特流中的至少一第二位以产生该第三比特流。举例来说, 步骤 652 用以中断上述的同一逻辑值连续出现于该第二比特流的次数超过该预定连续次数的情形, 然而, 在反转该第二比特流中的至少该第一位之后, 此时的该第二比特流可能会与直接经由图 5 所示的步骤 540 所输出的第二比特流重复, 因此, 步骤 654 及步骤 656 用来针对该第二比特流进行检测并反转至少该第二位, 以避免出现重复的编码数据。

[0072] 请参阅图 7, 图 7 为本发明编码方法应用至锁相回路类型的传输接口的一实施例的流程图。于此实施例中, 上述的步骤 654 可包含针对该多个位进行一逻辑互斥 (XOR) 运算来产生该第二检测结果。举例来说 (但本发明并不局限于此), 第一比特流 BS1 为 " 00000001 ", 其特定位集 SB 为最低有效位 " 1 ", 接下来, 将辨识位 IB " 0 " 插入至

第一比特流 BS 1 的最低有效位之后,形成第二比特流 BS2 " 000000010 " (亦即,图 5 所示的步骤 510)。由于第二比特流 BS2 " 000000010 " 中逻辑 " 0 " 连续出现的次数超过 5 次 (亦即,上述的预定连续次数),因此,第二比特流 BS2 的信号质量并未满足判断准则,故需调整第二比特流 BS2 来产生并输出第三比特流 BS3 (亦即,图 5 所示的步骤 530 及步骤 540)。首先,反转第二比特流 BS2 中由最高有效位算起的第 4 个位,此时,第二比特流 BS2 变成 " 000100010 " (亦即,图 6 的步骤 652),接下来,针对第二比特流 BS2 之中由最低有效位算起的第 2 个及第 3 个位,进行一逻辑互斥运算来产生该第二检测结果 (亦即,图 6 的步骤 654)。于此实施例中,当该逻辑互斥运算为 1 时,反转由最高有效位算起的第 3 个位以及最低有效位,以及当该逻辑互斥运算为 0 时,反转由最低有效位算起的第 2 个位,如此一来,第二比特流 BS2 便会由 " 000100010 " 转换为第三比特流 BS3 " 001100011 " (亦即,图 6 的步骤 656)。值得注意的是,以上述实作方式来编码时,所有满足该判断准则的多个第二比特流的最后两个位 (亦即,由最低有效位算起的前两个位) 的类型,经由编码处理之后皆为 " 01 " 或 " 10 ",以及所有未满足该判断准则的多个第二比特流的最后两个位,经由编码处理之后皆为 " 00 " 或 " 11 ",因此,后续的解码处理可借此轻易地得知待处理的一已编码数据于编码过程中是否有经过提升信号质量的转换处理。

[0073] 请注意,以上仅供说明的需要,并非用来做为本发明的限制,也就是说,针对信号质量所执行的调整操作,并不局限于上述的方式。只要是至少一识别位插入至一第一比特流以形成一第二比特流、利用判断一比特流的信号质量来将该比特流直接输出或调整处理后再输出,及 / 或利用所执行的调整操作来区分一已编码数据是否经过提升信号质量的转换处理的编码方法,皆遵循本发明的发明精神并落入本发明的范畴。

[0074] 请参阅图 8A,图 8A 为图 5 所示的步骤 540 的另一实作方式的范例流程图。在步骤 852 中,反转该第二比特流中的至少一第一位以满足该判断准则;在步骤 854 中,至少检测该第二比特流的一前一比特流之中最后的至少一位,以产生一第二检测结果;以及在步骤 856 中,依据该第二检测结果反转该第二比特流中的至少一第二位以产生该第三比特流。举例来说,步骤 852 可用来中断上述的同一逻辑值连续出现于该第二比特流的次数超过该预定连续次数的情形,而步骤 854 及步骤 856 则可用来针对该第二比特流进行检测并反转至少该第二位,以避免出现重复的编码数据。请参阅图 8B,图 8B 为图 5 所示的步骤 540 的又一实作方式的范例流程图。在此实施例中,上述产生该第二检测结果的实作方式,可包含检测该前一比特流之中最后的至少一位与该第二比特流之中一开始的多个位,来产生该第二检测结果 (如步骤 855 所示)。简言之,于此实施例中,考虑欲编码的比特流的前一比特流与该欲编码的比特流相邻的位,据以进行动态编码。

[0075] 请参阅图 9,图 9 为本发明编码方法应用至锁相回路类型的传输接口的另一实施例的流程图。于此实施例中 (但本发明并不局限于此),一第一比特流 BS1 为 " 00000000 ",其特定位置集 SB 为由最高有效位算起的前两个位 " 00 ",接下来,依据特定位置集 SB 的类型 " 00 " 来将一识别位 IB " 1 " 插入至第一比特流 BS1 的最低有效位之后,将特定位置集 SB 的类型 " 00 " 转换为另一类型 " 01 ",以形成一第二比特流 BS2 " 010000001 " (亦即,图 5 所示的步骤 510)。由于第二比特流 BS2 " 010000001 " 中逻辑 " 0 " 连续出现的次数超过 5 次 (亦即,上述的预定连续次数),因此,第二比特流 BS2 的信号质量并未满足一判断准则,故需调整第二比特流 BS2 来产生并输出一第三比特流

BS3(亦即,图5所示的步骤530及步骤540)。首先,反转第二比特流BS2中由最高有效位算起的第5个位,此时,第二比特流BS2变成"010010001"(亦即,图8A的步骤852),接下来,检测该前一比特流之中最后的一个位(例如,"1")与第二比特流BS2之中一开始的前两个位(亦即,"01")(亦即,图8A的步骤854)。于此实施例中,当该前一比特流之中最后的一个位与第二比特流BS2中一开始的前两个位的类型分别为"1"及"01"时,将第二比特流BS2中一开始的前两个位转换为"00";当该前一比特流之中最后的一个位与第二比特流BS2中一开始的前两个位的类型分别为"0"及"01"时,将第二比特流BS2中一开始的前两个位转换为"11",以及反转第二比特流BS2中由最低有效位算起的第3个位;当该前一比特流之中最后的一个位与第二比特流BS2中一开始的前两个位的类型分别为"1"及"10"时,将第二比特流BS2中一开始的前两个位转换为"00",以及反转第二比特流BS2中由最低有效位算起的第3个位;以及当该前一比特流之中最后的一个位与第二比特流BS2中一开始的前两个位的类型分别为"0"及"10"时,将第二比特流BS2中一开始的前两个位转换为"11"(亦即,图8A的步骤856)。如此一来,所产生的第三比特流BS3为"000010001"。值得注意的是,以上述实作方式来编码时,所有满足该判断准则的多个第二比特流的前面两个位(亦即,由最高有效位算起的前两个位)的类型,经由编码处理之后皆为"01"或"10",以及所有未满足该判断准则的多个第二比特流的前面两个位,经由编码处理之后皆为"00"或"11",因此,后续的解码处理可轻易借此得知待处理的一已编码数据于编码过程中是否有经过提升信号质量的转换处理。请注意,以上仅供说明的需要,并非用来做为本发明的限制,也就是说,针对信号质量所执行的动态调整操作,并不局限于上述的方式。举例来说,亦可视该前一比特流的其它多个位来调整第二比特流BS2的第1个位,以及借由其它多个位来区分所输出的已编码数据的原始信号质量(亦即,未编码前的信号质量)。简言之,只要是将至少一辨识位插入至一第一比特流以形成一第二比特流、利用判断一比特流的信号质量来将该比特流直接输出或经由调整处理后再输出,依据一比特流的前一比特流来对该比特流进行动态调整处理,及/或利用所执行的调整操作来区分一已编码数据是否经过提升信号质量的转换处理的编码方法,皆遵循本发明的发明精神并落入本发明的范畴。

[0076] 请参阅图10,图10为本发明编码方法的另一实施例的广义流程图。在步骤1010中,将至少一辨识位插入至一第一比特流,并据以形成一第二比特流。在步骤1020中,检查该第二比特流欲传输的传输接口类型,若是不需要考虑所传输的数据中具有同一逻辑值的连续位数的多寡的传输接口(例如,延迟锁相回路类型的传输接口),则执行步骤1030;反之,则执行步骤1040。在步骤1030中,输出该第二比特流。在步骤1040中,判断该第二比特流的信号质量,若该信号质量良好,执行步骤1050;反之,则执行步骤1060。在步骤1050中,输出该第二比特流。在步骤1060中,调整该第二比特流来产生并输出一第三比特流。简言之,本发明编码方法可实作出双模式(dual mode)的编码方式,也就是说,本发明所提出的编码方法可视不同的数据传输接口来动态切换。此外,步骤1010可利用(但本发明并不局限于此)图1所示的步骤110及步骤120来加以实作出,以及步骤1040、1050及1060可利用(但本发明并不局限于此)图5所示的步骤520、530及540来加以实作出。值得注意的是,在一设计变化中,在执行步骤1010之后,亦可先判断信号质量(步骤1040),再判断数据传输接口的类型(步骤1020)而据以执行相对应的处理。在另一设计变化中,使用者可

依数据传输接口的类型而事先手动切换数据传输的编码模式,因此,步骤 1020 便可省略。

[0077] 请参阅图 11A,图 11A 为本发明编码装置的一实施例的功能方块图。编码装置 1100 包含(但并不局限于)一检测单元 1110 以及一处理单元 1120。检测单元 1110 用以检测一第一比特流 BS₁ 以取得一第一检测结果 DR₁。处理单元 1120 耦接于检测单元 1110,用以依据第一检测结果 DR₁ 来将一识别位 IB 插入至第一比特流 BS₁,并据以形成一第二比特流 BS₂,其中第一比特流 BS₁ 的位数与第二比特流 BS₂ 的位数相差 1。在一设计变化中,检测单元 1110 另用以检测第一比特流 BS₁ 的最低有效位以取得第一检测结果 DR₁,以及处理单元 1120 另用以依据第一检测结果 DR₁ 来将一识别位 IB 插入至第一比特流 BS₁ 的最低有效位之后,并据以形成第二比特流 BS₂。在另一设计变化中,检测单元 1110 另用以检测第一比特流 BS₁ 的最高有效位以取得第一检测结果 DR₁,以及处理单元 1120 另用以依据第一检测结果 DR₁ 来将一识别位 IB 插入至第一比特流 BS₁ 的最高有效位之前,并据以形成第二比特流 BS₂。由于本领域普通技术人员经由阅读图 1 至图 4 的相关说明,应可轻易地了解编码装置 1100 的相关运作,故进一步的说明在此便不再赘述。

[0078] 请参阅图 11B,图 11B 为本发明编码装置的另一实施例的功能方块图。编码装置 1101 包含(但并不局限于)一第一处理单元 1111 以及一第二处理单元 1121。第一处理单元 1111 用以将至少一识别位 IB 插入至一第一比特流 BS₁,并据以形成一第二比特流 BS₂。第二处理单元 1121 耦接于第一处理单元 1111,用以判断第二比特流 BS₂ 的一信号质量,其中当该信号质量满足一判断准则时,输出第二比特流 BS₂,以及当该信号质量并未满足该判断准则时,调整第二比特流 BS₂ 来产生并输出一第三比特流 BS₃。由于本领域普通技术人员经由阅读图 5 至图 9 的相关说明,应可轻易地了解编码装置 1200 的相关运作,故进一步的说明在此便不再赘述。

[0079] 请参阅图 11C,图 11C 为本发明编码装置的又一实施例的功能方块图。编码装置 1102 包含(但并不局限于)一第一处理单元 1112、一切换单元 1122 及一第二处理单元 1132。第一处理单元 1112 用以将至少一识别位 IB 插入至一第一比特流 BS₁,并据以形成一第二比特流 BS₂。切换单元 1122 耦接于第一处理单元 1111,用以检查第二比特流 BS₂ 所欲传输的传输接口类型,若所传输的传输接口类型不需要考虑所传输的数据中具有同一逻辑值的连续位数的多寡(例如,延迟锁相回路类型的传输接口),则直接输出第二比特流 BS₂;反之,将第二比特流 BS₂ 传送至第二处理单元 1132 以供信号质量的判断。第二处理单元 1121 耦接于切换单元 1122,用以判断第二比特流 BS₂ 的一信号质量,其中当该信号质量满足一判断准则时,输出第二比特流 BS₂,以及当该信号质量并未满足该判断准则时,调整第二比特流 BS₂ 来产生并输出一第三比特流 BS₃。

[0080] 请注意,由图 10 所述的说明可知,在使用者事先手动切换数据传输的编码模式的情形下,切换单元 1122 可被省略。此外,切换单元 1122 亦可合并/整合至第二处理单元 1132,因此,第二处理单元 1132 为根据不同传输接口类型而执行不同编码模式的一共享电路,故而减少编码装置的电路尺寸,并且实现具有至少双模式(例如,针对延迟锁相回路类型以及锁相回路类型的数据传输接口)的编码装置。值得注意的是,编码装置 1100、1101 以及 1102 利用仅将一个位插入至一未编码数据来执行编码操作,因此,所牺牲的频宽会比传统的编码装置减少许多,尤其是当操作频率比较高的时候,所减少的能量损耗会更加显著。

[0081] 请参阅图 12,图 12 为本发明解码方法的一实施例的广义流程图。在步骤 1210 中,

首先会检测一第一比特流（例如，一已编码数据）中的一特定位置以产生一第一检测结果，其中该特定位置包含有至少一位，接着，在步骤 1220 中，依据该第一检测结果来将该第一比特流转换为一第二比特流，其中该第一比特流的位数与该第二比特流的位数相差 1。于一实施例中，当该特定位置为一识别位时，步骤 1220 可包含直接输出该第一比特流中除了该识别位之外的所有剩余位，来做为该第二比特流。举例来说，当一第一比特流 BS1（例如，一已编码数据）接收自一种不需要考虑所传输的数据中具有同一逻辑值的连续位数的多寡的传输接口（例如，延迟锁相回路类型的传输接口）时，其中第一比特流 BS1 具有位类型“001000101”及其特定位置 SB 为最低有效位“1”（亦为一识别位 IB），一接收端会依据针对第一比特流 BS1 所进行的检测结果 DR 来执行解码，也就是说，该接收端会直接输出第一比特流 BS1 中除了识别位 IB 之外的所有剩余位“00100010”，来做为第二比特流 BS2。

[0082] 如上所述，当一未编码数据传送至一种需要考虑所传输的数据中具有同一逻辑值的连续位数的多寡的传输接口（例如，锁相回路类型的传输接口）时，由于该未编码数据可能有经过提升信号质量的调整处理，因此，在将接收自一种需要考虑所传输的数据中具有同一逻辑值的连续位数的多寡的传输接口（例如，锁相回路类型的传输接口）的一已编码数据加以解码时，可能会需要针对提升信号质量的调整处理来做判断及转换。请参阅图 13，图 13 为本发明解码方法的一实施例的流程图，其中图 13 所示的流程基于图 12 所示的流程。在图 13 中，图 12 所示的步骤 1220 可包含：当该第一检测结果显示该特定位置所包含的多个位具有一第一编码类型时，输出该第一比特流中除了一识别位之外的所有剩余位，来做为该第二比特流（亦即，步骤 1322 及 1324）；以及当该第一检测结果显示该特定位置所包含的该多个位具有不同于该第一编码类型的一第二编码类型时，将该第一比特流转换为一第三比特流，并输出该第三比特流中除了一识别位之外的所有剩余位，来做为该第二比特流（亦即，步骤 1322 及 1326）。

[0083] 在一实施例中，步骤 1326 可包含依据一转换运算来转换该第一比特流以产生多个转换结果，以及依据一判断准则来选取该多个转换结果的其中之一，来做为该第三比特流。上述的判断准则可包含同一逻辑值连续出现的次数最多，及 / 或一第一逻辑值与一第二逻辑值的转换次数最少。请参阅图 14，图 14 为图 13 所示的步骤 1326 的一实施方式范例流程图。在步骤 1426 中，依据一转换运算来转换该第一比特流以产生多个转换结果，其中该多个转换结果包含一第一转换结果以及一第二转换结果，以及在步骤 1427 中，依据一判断准则来选取该多个转换结果的其中之一，来做为该第三比特流。步骤 1426 可包含步骤 1428 以及步骤 1429，在步骤 1428 中，反转该第一比特流中包含一特定位置的一第一位集，以产生该第一转换结果，其中该特定位置为具有同一逻辑值的连续多个位的其中之一。在步骤 1429 中，反转该第一比特流中包含该特定位置的一第二位集，以产生该第二转换结果。步骤 1428 以及步骤 1429 皆是用以还原该第一比特流于编码过程中曾经反转的至少一位。

[0084] 由上述所揭示的多个实施例可知，在将一未编码数据加以编码时，当该未编码数据的信号质量不佳时，需反转至少一位来改善同一逻辑值连续出现于该未编码数据的次数过多的情形，以及会再执行一次反转以避免多个已编码数据中有重复的情形发生；再者，由上述所揭示的多个实施例可知，可利用执行提升信号质量的转换处理来区别该多个已编码数据的原始信号质量（亦即，编码之前的信号质量），因此，于此实施例中，需反转在编码过

程中可能会反转的位（包含该特定位），以便正确地得到具有较差信号质量的该未编码数据。值得注意的是，由于解码方法会根据编码方法而做调整，因此，以上所述仅供说明的需要，并非用来做为本发明的限制。举例来说，所产生的多个转换结果并不局限于两个。

[0085] 请连同图 7 来参阅图 15，其中图 15 为本发明解码方法应用至锁相回路类型的传输接口的一实施例的流程图，以及图 15 所示的解码流程对应于图 7 所示的编码流程。于此实施例中（但本发明并不局限于此），第一比特流 BS1 为“001100011”（亦即，图 7 所示的已完成编码的比特流），其特定位集 SB 为由最低有效位算起的前两个位“11”。由图 7 相关的说明可知，如果特定位集 SB 的编码类型为“01”或“10”，则第一比特流 BS1 的原始数据（亦即，未编码之前的比特流）具有良好的信号质量；反之，如果特定位集 SB 的编码类型为“00”或“11”，则第一比特流 BS1 的原始数据的信号质量较差。因此，需依据一转换运算来转换第一比特流 BS1 以还原第一比特流 BS1 在编码之前的多种可能类型（亦即，产生多个转换结果），再选择信号质量较差的一比特流来做为一第三比特流 BS3。由于图 7 所示的编码流程运用逻辑互斥运算，因此，首先将第一比特流 BS1 “001100011”转换为一第一转换结果“000000010”（亦即，反转由最高有效位算起的第 4 个与第 3 个位，以及最低有效位），接下来，将第一比特流 BS1 “001100011”转换为一第二转换结果“001000001”（亦即，反转由最高有效位算起的第 4 个，以及由最低有效位算起的第 2 个位）。由于该第一转换结果“000000010”中，同一逻辑值连续出现的次数最多，因此，选取该第一转换结果来做为第三比特流 BS3。接下来，输出第三比特流 BS3 中除了一识别位（亦即，最低有效位“0”）之外的所有剩余位，来做为一第二比特流 BS2（亦即，图 13 所示的步骤 1326），换言之，所得到的未编码数据为“00000001”。

[0086] 请参阅图 16，图 16 为本发明解码方法的一实施例的流程图，其中图 16 所示的步骤基于图 12 所示的流程。在图 16 中，图 12 所示的步骤 1220 可包含：当该第一检测结果显示该特定位集所包含的多个位具有一第一编码类型时，检测该第一比特流的一识别位以产生一第二检测结果，以及依据该第二检测结果来将该第一比特流转换为该第二比特流（如步骤 1621、1622 及 1623 所示）；以及当该第一检测结果显示该特定位集所包含的该多个位具有不同于该第一编码类型的一第二编码类型时，将该第一比特流转换为一第三比特流，并依据该第三比特流来产生该第二比特流（如步骤 1621、1624 及 1625 所示）。在一实施例中，步骤 1624 可包含依据一转换运算来转换该第一比特流以产生多个转换结果，以及依据一判断准则来选取该多个转换结果的其中之一，来做为该第三比特流。上述的判断准则可包含同一逻辑值连续出现的次数最多，及 / 或一第一逻辑值与一第二逻辑值的转换次数最少。

[0087] 此外，步骤 1625 可包含依据该第一比特流的一识别位，来将该第三比特流中的对应于该特定位集的一位集转换为该第二编码类型，并输出该第三比特流中除了一识别位之外的所有剩余位来作为该第二比特流。在一设计变化中，步骤 1625 可包含依据该第一比特流的一识别位，直接输出该第三比特流中除了一识别位之外的所有剩余位，来做为该第二比特流。另外，由于步骤 1623 为依据检测该第一比特流的一识别位所得的第二检测结果，来将该第一比特流转换为该第二比特流，因此，于另一设计变化中，步骤 1625 可运用步骤 1623 及步骤 1624 来加以实作。

[0088] 请参阅图 17，图 17 为图 16 所示的步骤 1624 及步骤 1625 的一实作方式的范例流

程图。在步骤 1724 中,依据一转换运算来转换该第一比特流以产生多个转换结果,其中该多个转换结果包含一第一转换结果以及一第二转换结果,以及在步骤 1725 中,依据一判断准则来选取该多个转换结果的其中之一,来做为该第三比特流。步骤 1724 可包含步骤 1726 以及步骤 1727,在步骤 1726 中,反转该第一比特流中包含一特定定位的一第一位集,以产生该第一转换结果,其中该特定定位为具有同一逻辑值的连续多个位的其中之一。在步骤 1727 中,反转该第一比特流中包含该特定定位的一第二位集,以产生该第二转换结果。步骤 1726 以及步骤 1727 皆是用以还原该第一比特流于编码过程中曾经反转的至少一位。此外,在步骤 1723 中,检测该第一比特流的一识别位,以产生一第二检测结果。接着,依据该第二检测结果,来将该第三比特流中的对应于该特定定位集的一位集转换为该第二编码类型,并输出该第三比特流中除了一识别位之外的所有剩余位来作为该第二比特流(如步骤 1724 及 1728 所示)。在另一实施例中,依据该第二检测结果,直接输出该第三比特流中除了一识别位之外的所有剩余位,来做为该第二比特流(如步骤 1724 及 1729 所示)。

[0089] 请连同图 9 来参阅图 18,其中图 18 为本发明解码方法应用于锁相回路类型的传输接口的另一实施例的流程图,以及图 18 所示的解码流程对应于图 9 所示的编码流程。于此实施例中(但本发明并不局限于此),一第一比特流 BS1 为"000010001"(亦即,图 9 所示的已完成编码的比特流),其特定定位集 SB 为由最高有效位算起的前两个位,且具有一编码类型"00"。由图 9 相关的说明可知,如果特定定位集 SB 的编码类型为"01"或"10",则第一比特流 BS1 的原始数据(亦即,未编码之前的比特流)具有良好的信号质量;反之,如果特定定位集 SB 的编码类型为"00"或"11",第一比特流 BS 1 的原始数据的信号质量较差。因此,需依据一转换运算来转换第一比特流 BS1 以还原第一比特流 BS1 在编码之前的多种可能类型(亦即,产生多个转换结果),再选择信号质量较差的一比特流来转换为一第三比特流 BS3。依据图 9 所示的编码流程,首先将第一比特流 BS 1 "000010001"转换为一第一转换结果"010000001"(亦即,反转由最高有效位算起的第 5 个位,以及将前两个位由"00"转换为"01"),另外,再将第一比特流 BS 1 "000010001"转换为一第二转换结果"100000101"(亦即,反转由最高有效位算起的第 5 个位、将前两个位由"00"转换为"10",以及反转由最低有效位算起的第 3 个位)。由于第一转换结果"010000001"中,同一逻辑值连续出现的次数最多,因此,选取该第一转换结果来做为第三比特流 BS3。

[0090] 由于第三比特流 BS3 的类型为"010000001",而第一比特流 BS 1 的一识别位为"1",因此,将第三比特流 BS3 的前面两个位转换为"00",并且输出除了第三比特流 BS3 的一识别位"1"的所有剩余位来做为一第二比特流 BS2,换言之,所输出的已解码数据为"00000000"。

[0091] 请参阅图 19,图 19 为本发明编码方法的另一实施例的广义流程图。在步骤 1910 中,检测一第一比特流中的一特定定位集以产生一第一检测结果,其中该特定定位集为一识别位。在步骤 1920 中,检查该第一比特流欲传输的传输接口类型,若是不需要考虑所传输的数据中具有同一逻辑值的连续位数的多寡的传输接口(例如,延迟锁相回路类型的传输接口),或是虽然需要考虑所传输的数据中具有同一逻辑值的连续位数的多寡的传输接口(例如,锁相回路类型的传输接口),但该第一检测结果指示出该第一比特流的识别位具有一第一编码类型(例如,代表信号质量良好的编码类型),则执行步骤 1930;反之,执行步骤 1940。在步骤 2030 中,直接输出该第一比特流中除了该识别位之外的所有剩余位,来做

为该第二比特流。在步骤 1940 中,依据一转换运算来转换该第一比特流以产生多个转换结果。在步骤 1950 中,依据一判断准则来选取该多个转换结果的其中之一,来做为该第三比特流。在步骤 1960 中,直接输出该第三比特流中除了一识别位之外的所有剩余位,来做为该第二比特流。简言之,本发明解码方法可实作出双模式 (dual mode) 的编码方式,也就是说,本发明所提出的解码方法可视不同的数据传输接口来动态切换。在一设计变化中,使用者可依数据传输接口的类型而事先手动切换数据传输的解码模式,因此,步骤 1920 便可省略。

[0092] 请参阅图 20,图 20 为本发明解码装置的一实施例的功能方块图。编码装置 2000 包含 (但并不局限于) 一检测单元 2010 以及一处理单元 2020。检测单元 2010 用以检测一第一比特流 BS1 中的一特定位集 SB 以产生一第一检测结果 DR,其中特定位集 SB 包含有至少一位。处理单元 2020 耦接于检测单元 2010,用以依据第一检测结果 DR 来将第一比特流 BS1 转换为一第二比特流 BS2,其中第一比特流 BS1 的位数与第二比特流 BS2 的位数相差 1。在一实施例中,当第一检测结果 DR1 显示特定位集 SB 所包含的多个位具有一第一编码类型时,处理单元 2020 输出第一比特流 BS1 中除了一识别位 IB1 之外的所有剩余位,来做为第二比特流 BS2,以及当第一检测结果 DR1 显示特定位集 SB 所包含的该多个位具有不同于该第一编码类型的一第二编码类型时,处理单元 2020 将第一比特流 BS1 转换为一第三比特流 BS3,并输出第三比特流 BS3 中除了一识别位 IB3 之外的所有剩余位,来做为第二比特流 BS2。在另一实施例中,当第一检测结果 DR1 显示特定位集 SB 所包含的多个位具有一第一编码类型时,2020 处理单元检测第一比特流 BS1 的一识别位 IB1 以产生一第二检测结果 DR2,并依据第二检测结果 DR2 来将第一比特流 BS1 转换为第二比特流 BS2,以及当第一检测结果 DR1 显示特定位集 SB 所包含的该多个位具有不同于该第一编码类型的一第二编码类型时,处理单元 2020 将第一比特流 BS1 转换为一第三比特流 BS3,并依据 BS3 第三比特流来产生第二比特流 BS2。由于本领域普通技术人员经由阅读图 12 至图 19 的相关说明,应可轻易地了解编码装置 2000 的相关运作,故进一步的说明在此便不再赘述。

[0093] 请参阅图 21,图 21 为依据本发明编码装置来加以实作出的一数据传送装置 2100 的一实施例的功能方块图,其中数据传送装置 2100 包含 (但本发明并不局限于此) 一锁相回路单元 2110、一并行至串行 (parallel-to-serial) 转换单元 2120、一编码单元 2130 以及一驱动单元 2140。锁相回路单元 2110 用以依据一时脉信号 CS 以产生一第一控制信号 C1 以及一第二控制信号 C2。并行至串行转换单元 2120 用以依据第一控制信号 C1 来将一并行数据 PD 转换为一串行数据 SD。编码单元 2130 用以依据第二控制信号 C2 来将一位插入至串行数据 SD,并据以形成一已编码数据 CD,其中串行数据 SD 的位数与已编码数据 CD 的位数相差 1。驱动单元 2140 将已编码数据 CD 输出为一已编码信号 ECS。于此实施例中,编码单元 2130 可以由图 11C 所示的编码装置 1102 来加以实作出,因此,编码单元 2130 具有低能量损耗、电路尺寸小、编码质量好、至少双编码模式切换以及所牺牲频宽的较少等优点,所以数据传送装置 2100 便可应用于高速及高数据量传输装置 (例如,高分辨率的显示器) 的传输接口。此外,在实际应用上,编码单元 2130 可选择性地以一延迟锁相回路编码模式或一锁相回路编码模式来将串行数据 PD 加以编码。于另一实施例中,编码单元 2130 亦可以由图 11A 所示的编码装置 1100 或图 11B 所示的编码装置 1102 来加以实作出。由于本领域普通技术人员应可轻易地了解传统数据传送装置 (例如,未包含编码单元 2130 的其

它电路组件)以及本发明所揭示的编码单元 2130 的相关运作,故进一步的说明在此便不再赘述。

[0094] 请参阅图 22,图 22 为依据本发明编码装置来加以实作出的一数据接收装置 2200 的一实施例的功能方块图,其中数据接收装置 2200 包含(但本发明并不局限于此)一比较单元 2210、一时脉回复单元 2220、一解码单元 2230 以及一串行至并行(serial-to-parallel)转换单元 2240。比较单元 2210 用以依据一已编码信号 ECS 来产生一输入数据 ID。时脉回复单元 2220 用以依据输入数据 ID 来产生一第一控制信号 C1、一第二控制信号 C2 以及一时脉信号 CS。解码单元 2230 用以依据第一控制信号 C1 来将输入数据 ID 转换为一已解码数据 CD,其中输入数据 ID 的位数与已解码数据 CD 的位数相差 1。串行至并行转换单元 2240 用以依据第一控制信号 C1 来将已解码数据 CD 转换为一并行数据 PD。此外,于此实施例中,解码单元 2230 可以由图 20 所示的解码装置 2000 来加以实作出,因此,编码单元 2230 具有低能量损耗、电路尺寸小、解码质量好、至少双解码模式切换以及所牺牲频宽的较少等优点,所以数据接收装置 2200 便可应用于高速及高数据量传输装置(例如,高分辨率的显示器)的传输接口。此外,在实际应用上,解码单元 2230 可选择性地以一延迟锁相回路解码模式或一锁相回路解码模式来将并行数据 SD 加以解码。由于本领域普通技术人员应可轻易地了解传统数据接收装置(例如,未包含解码单元 2230 的其它电路组件)以及本发明所揭示的编码单元 2230 的相关运作,故进一步的说明在此便不再赘述。

[0095] 简言之,本发明提出一种创新的编码方法,利用只插入一辨识位的方式来将数据加以编码,以降低于数据传输时所牺牲的频宽及能量损耗、并利用简易的逻辑电路来使不同编码模式得以共享电路,进而减少收发端电路的尺寸及增加编码弹性。此外,基于此一创新的编码方法,本发明亦提供相对应的解码方法以及相关的编码/解码装置、数据传送装置与数据接收装置,以应用于现今高速与大量数据传送及接收。

[0096] 以上所述仅为本发明的较佳实施例,凡依本发明申请专利范围所做的均等变化与修饰,皆应属本发明的涵盖范围。

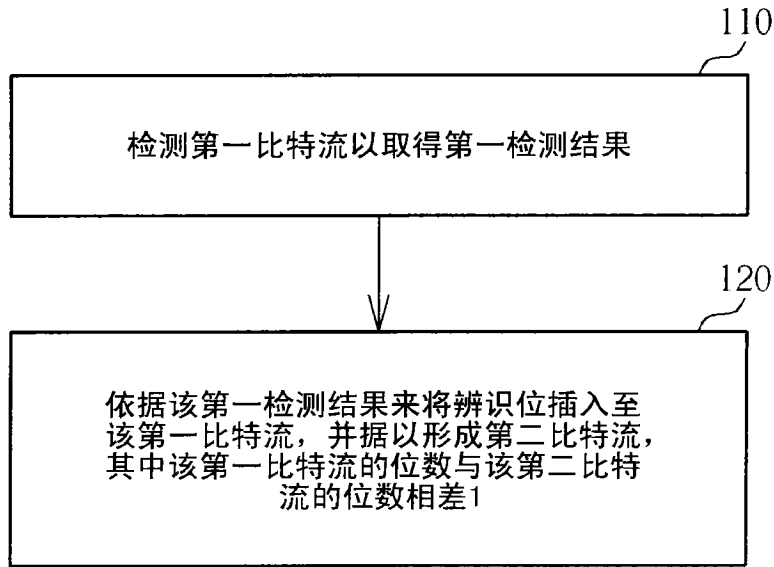


图 1

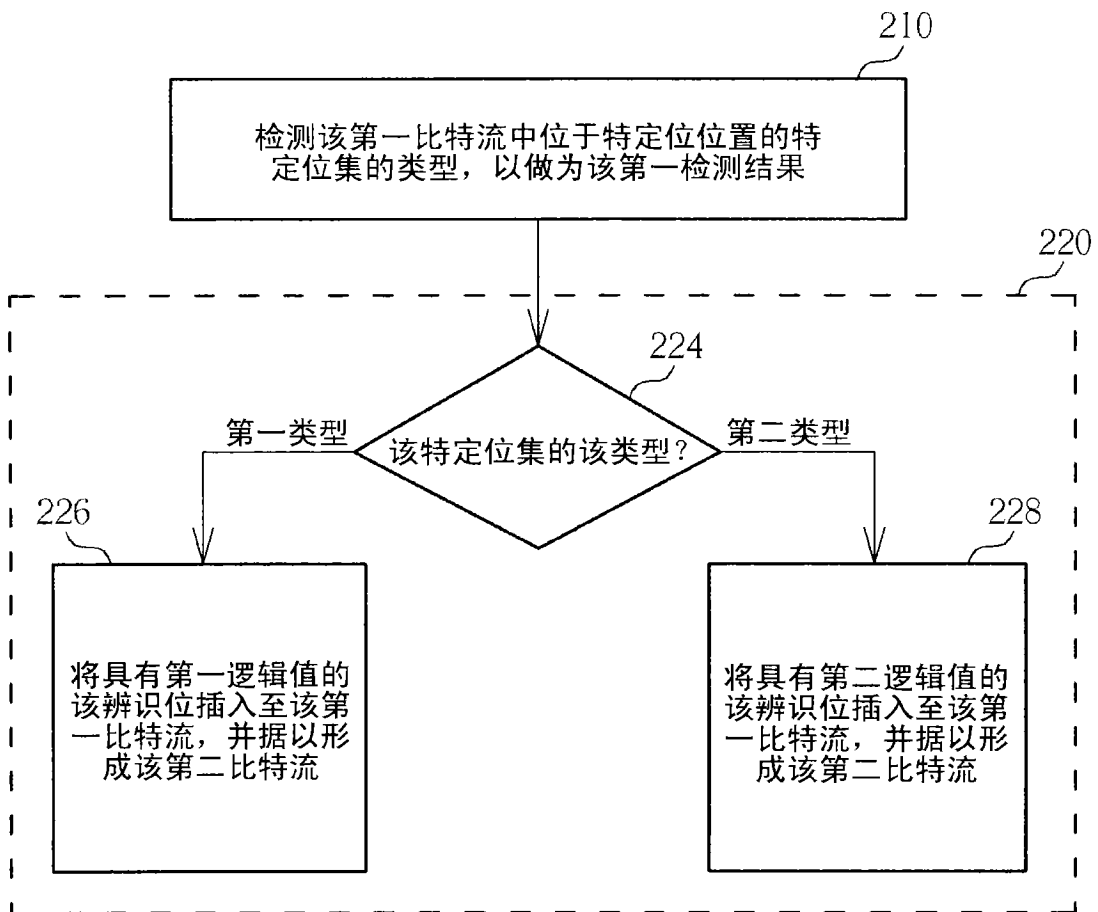


图 2

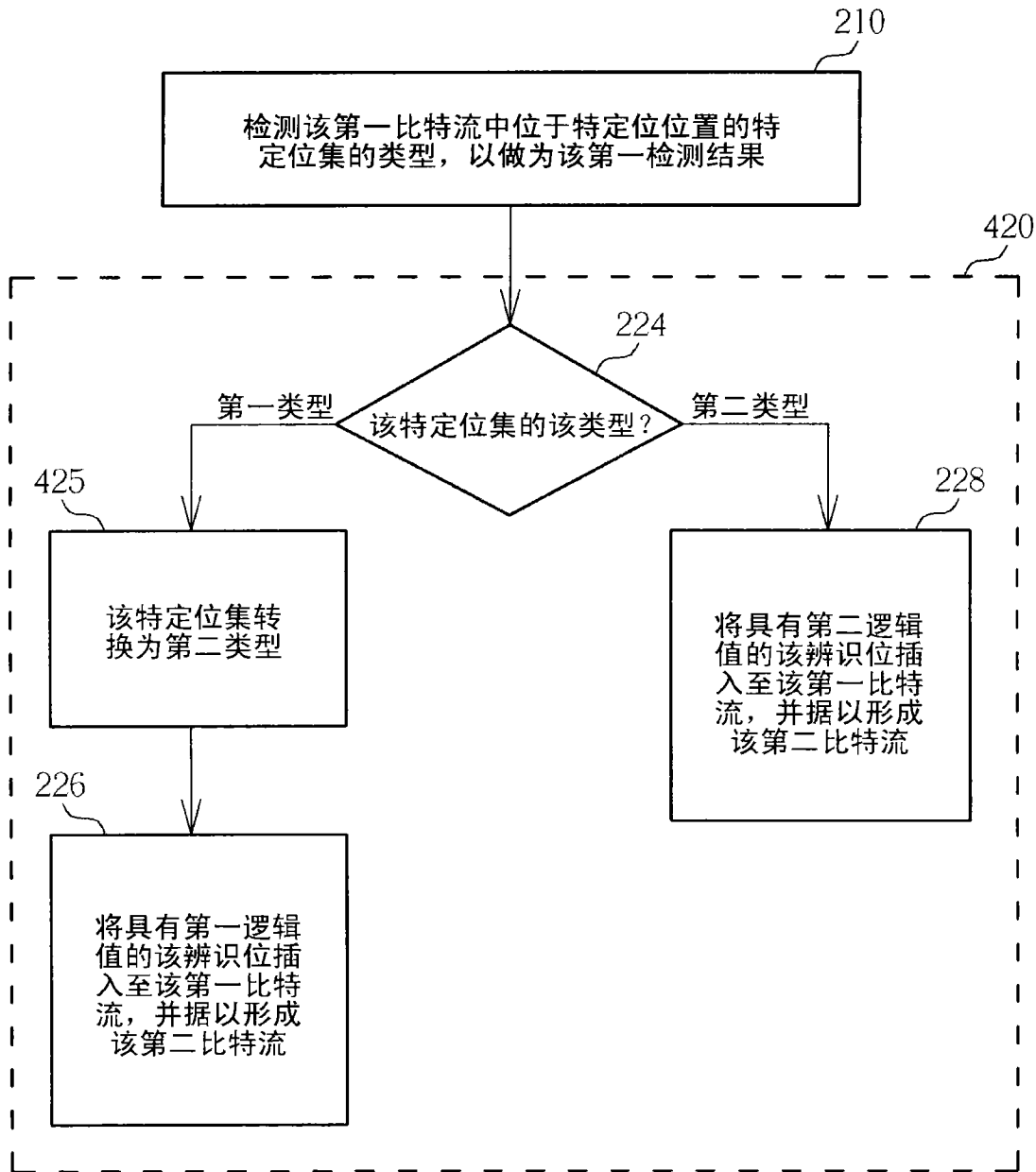


图 4

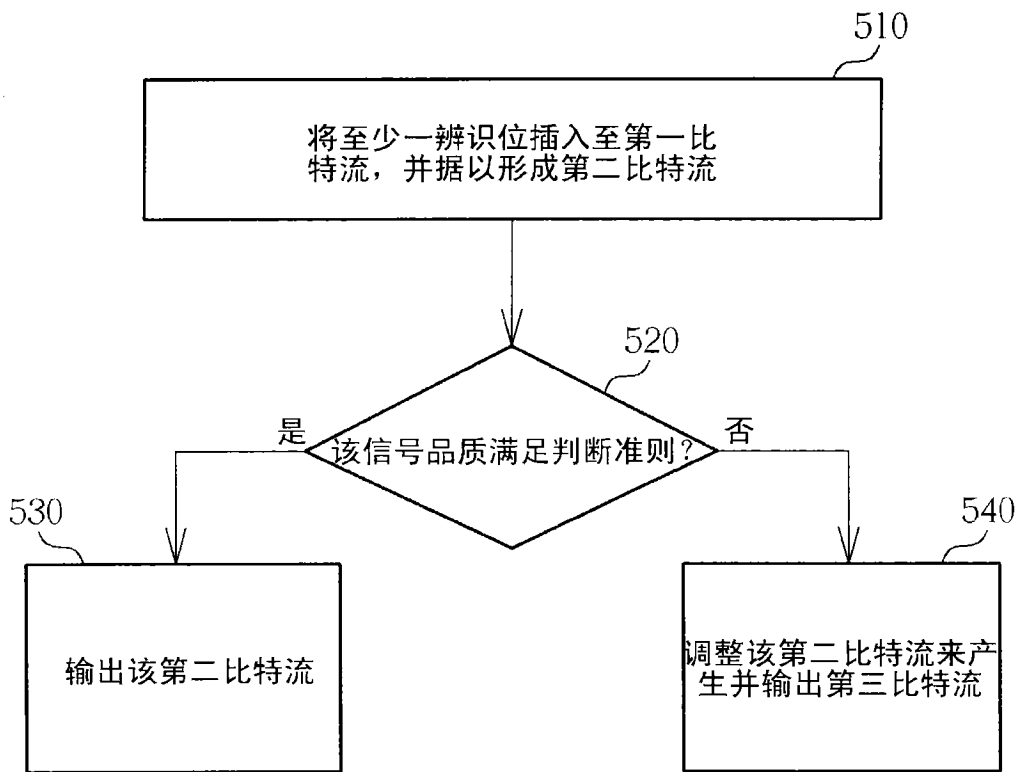


图 5

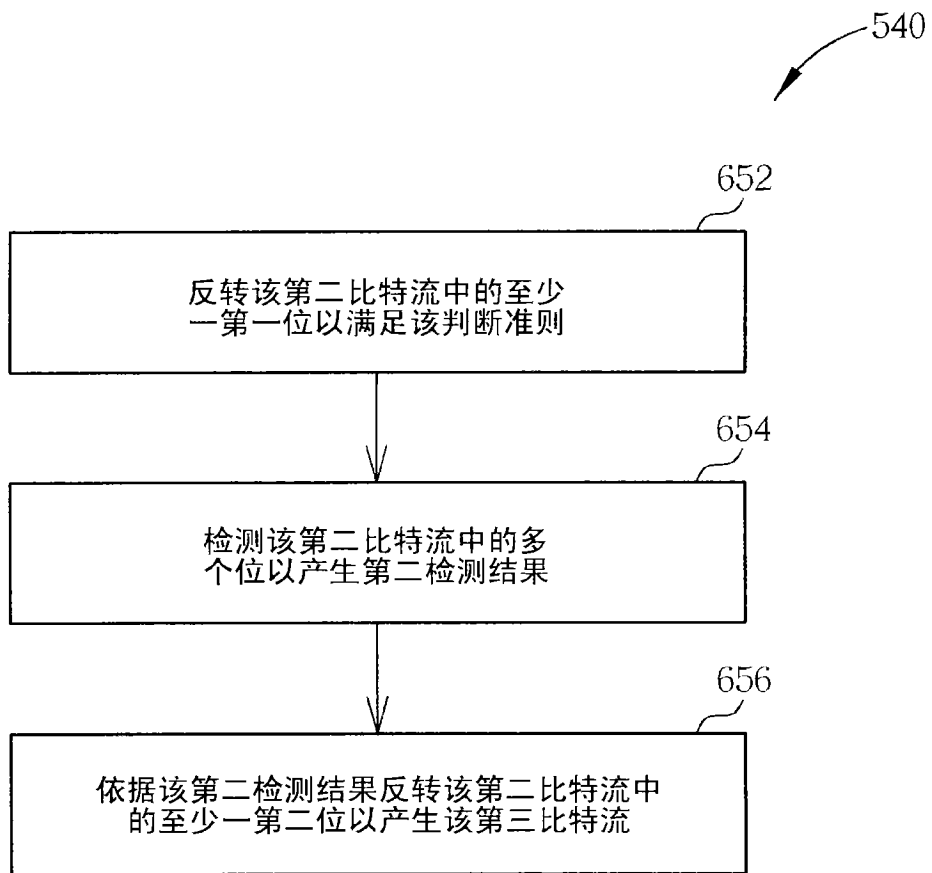


图 6

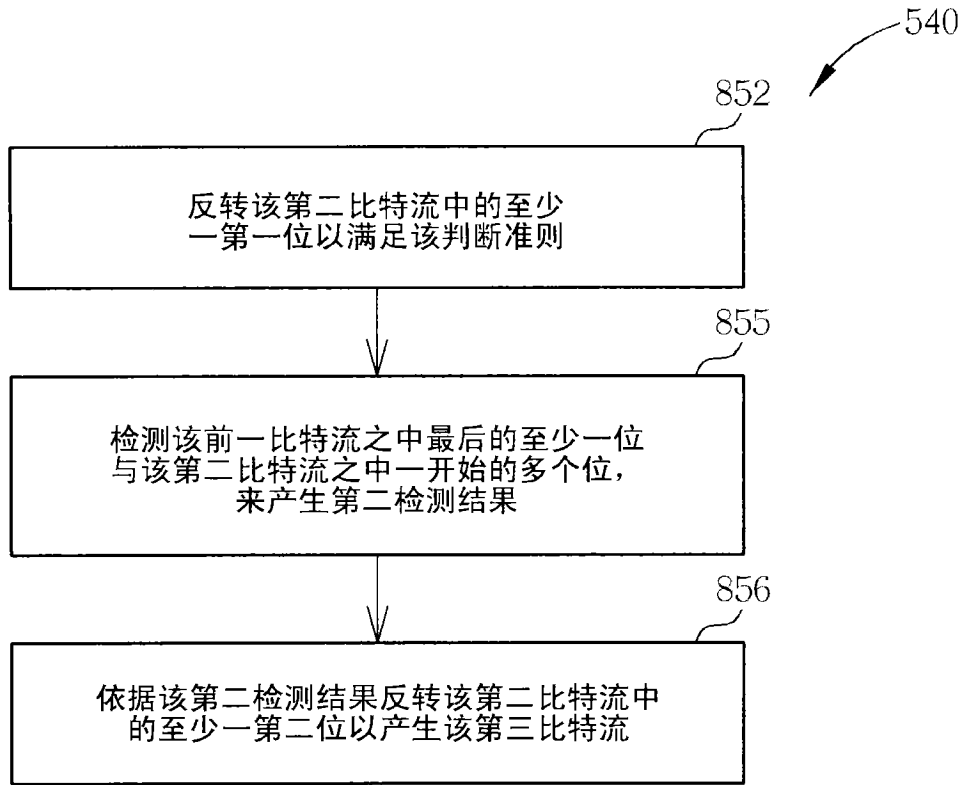


图 8B

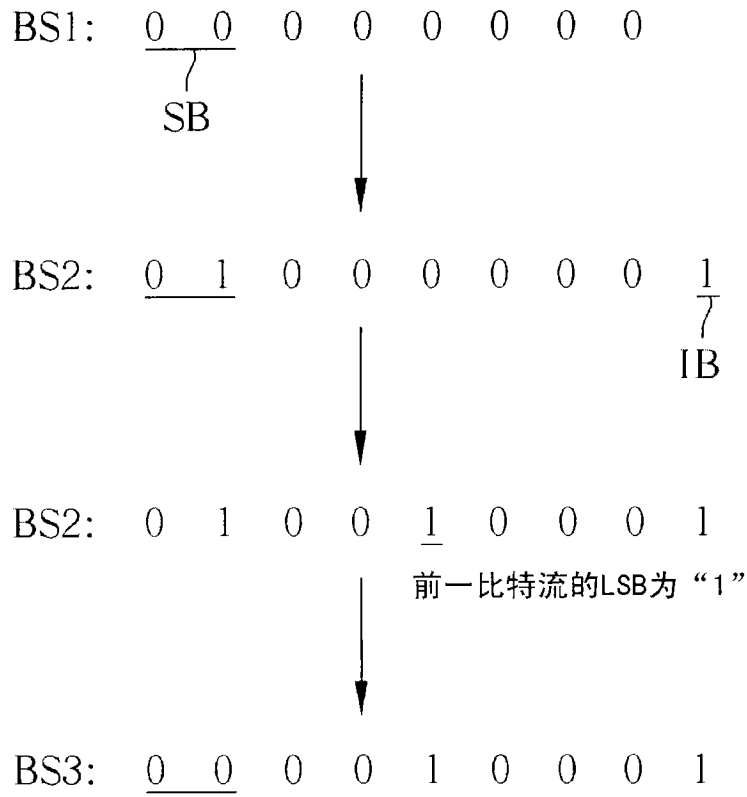


图 9

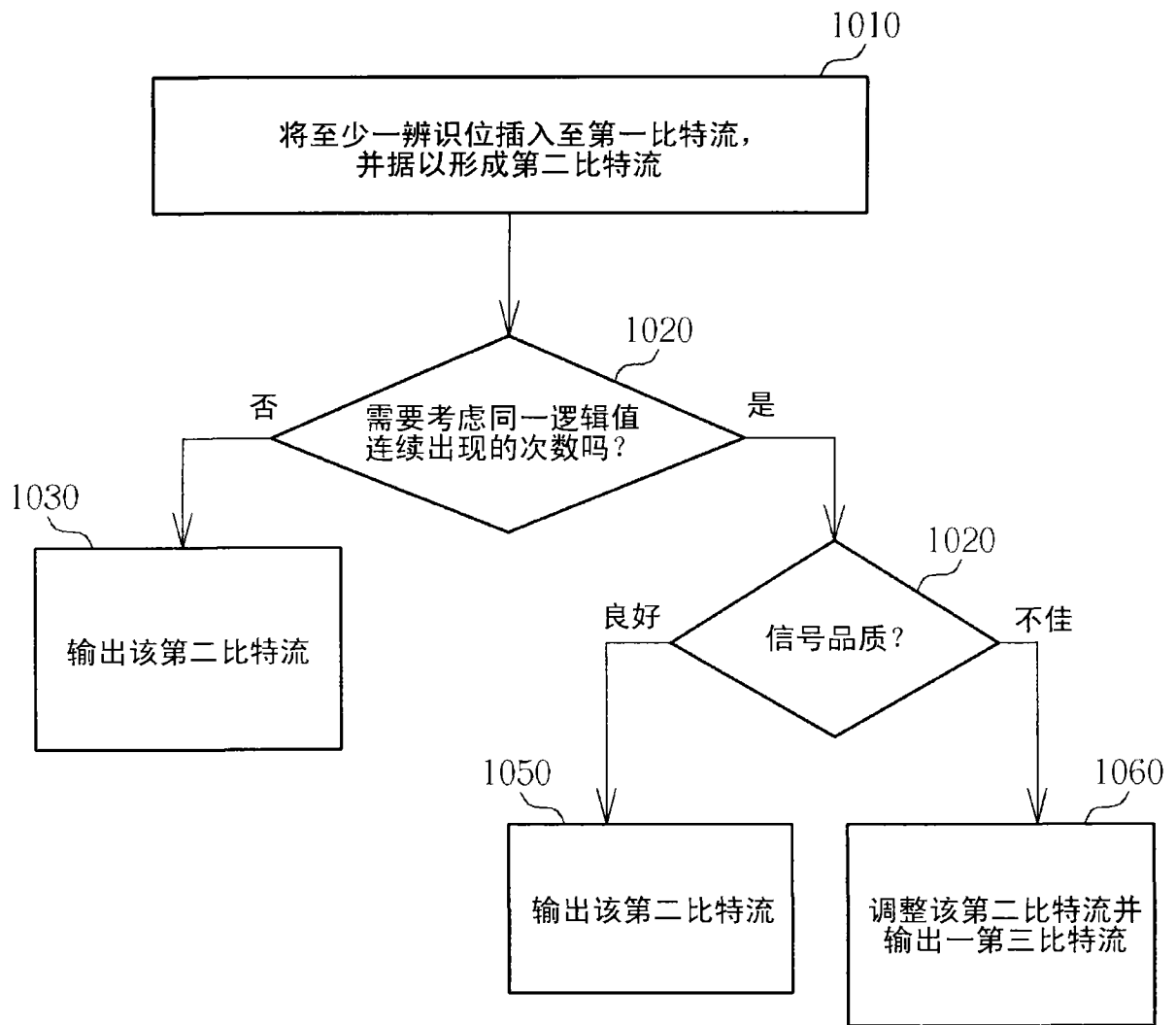


图 10

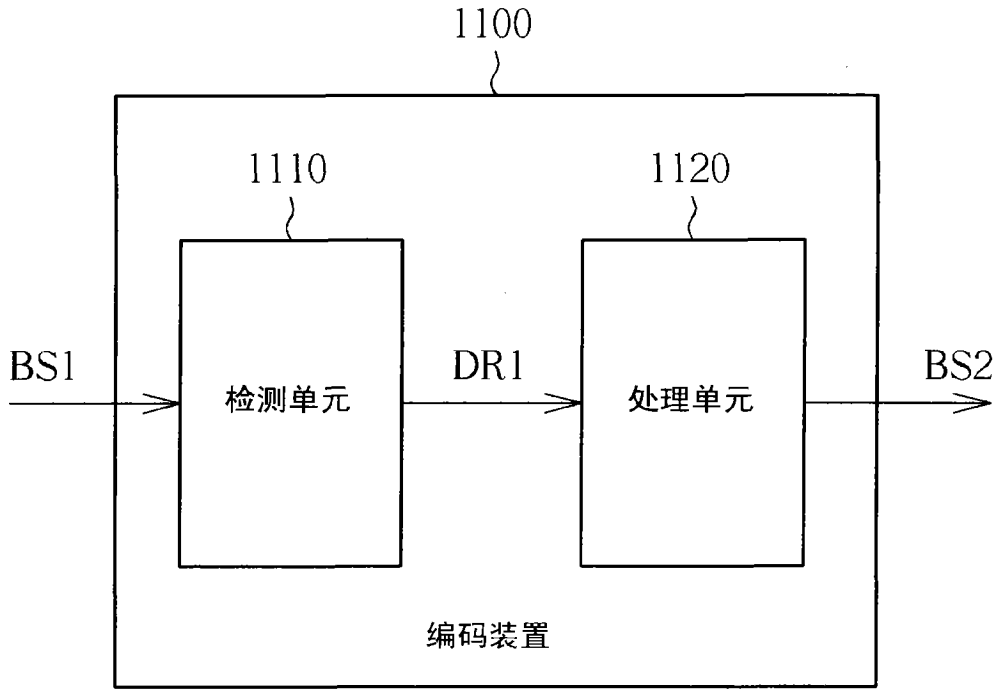


图 11A

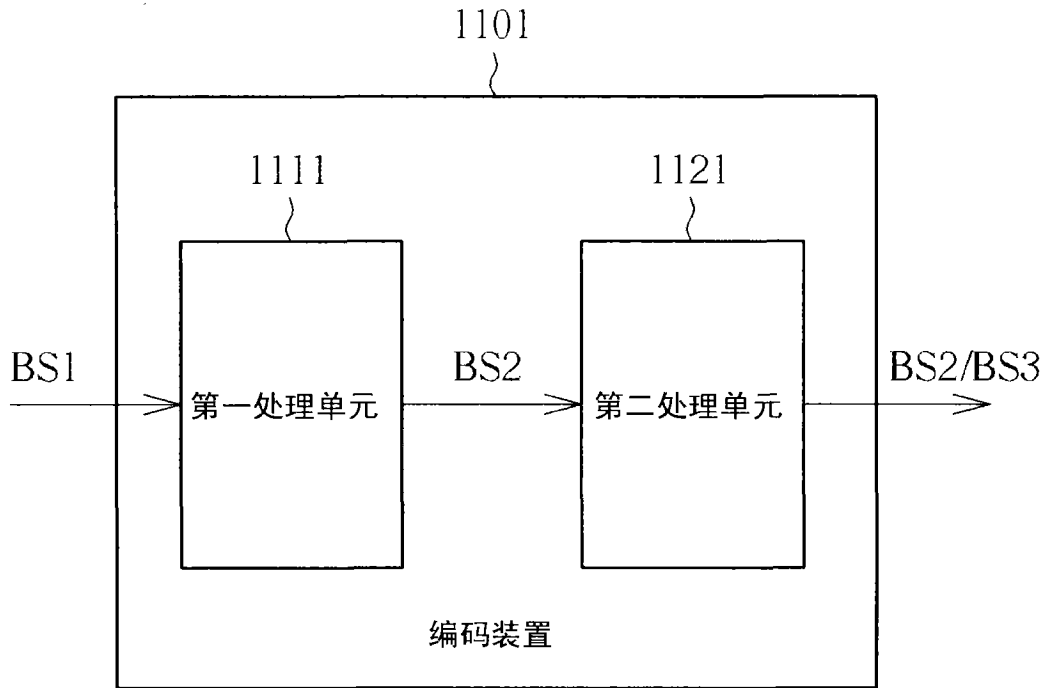


图 11B

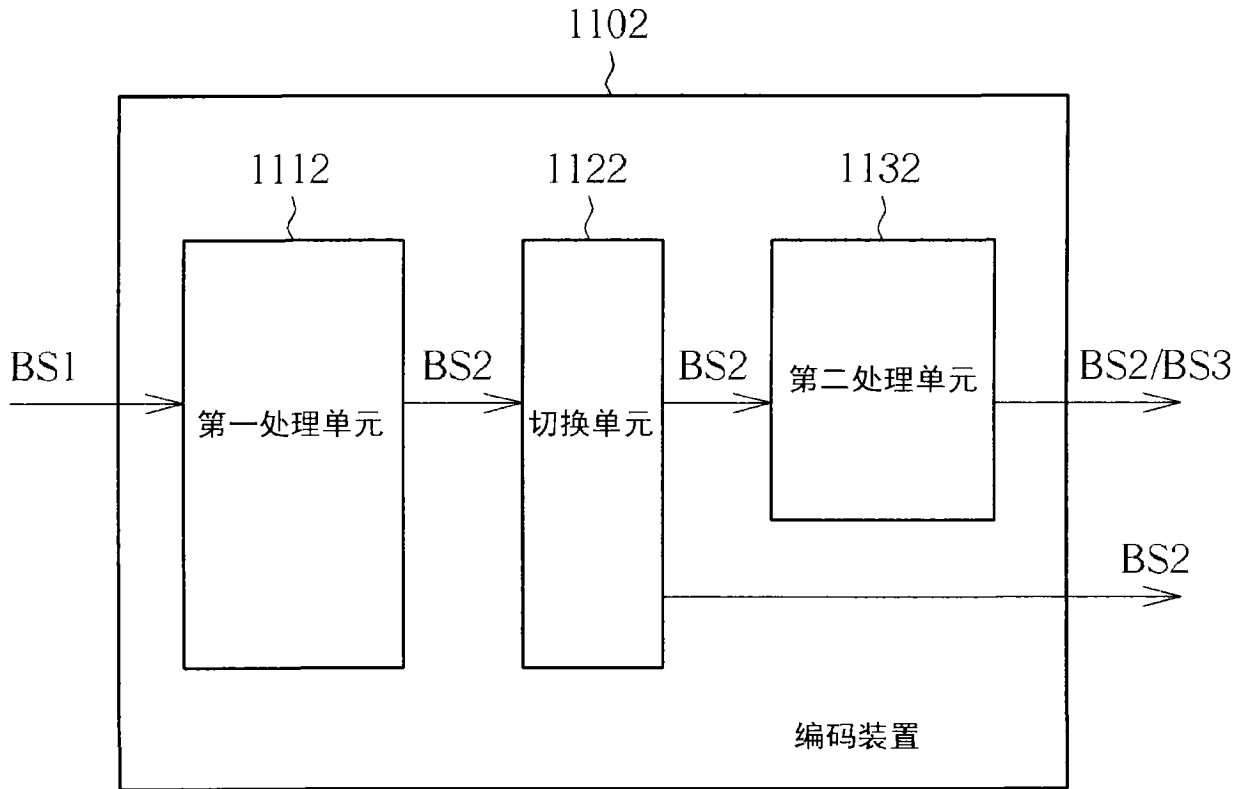


图 11C

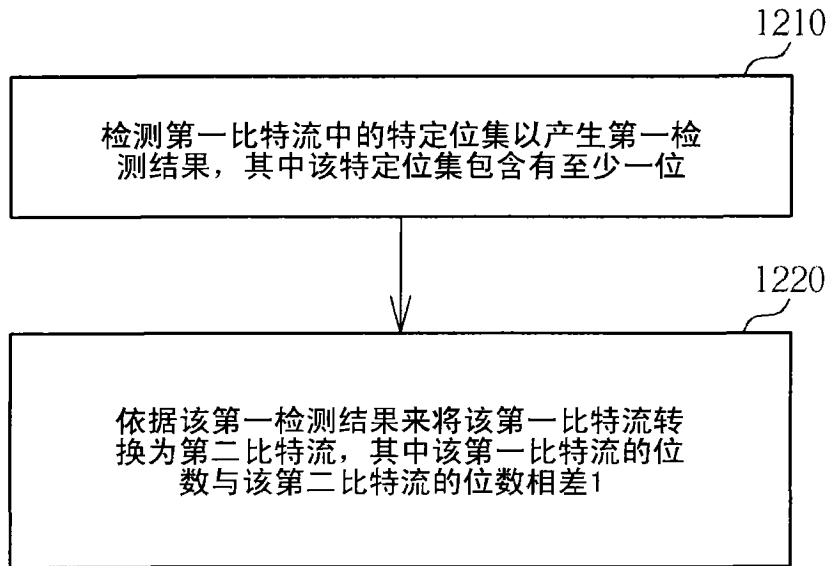


图 12

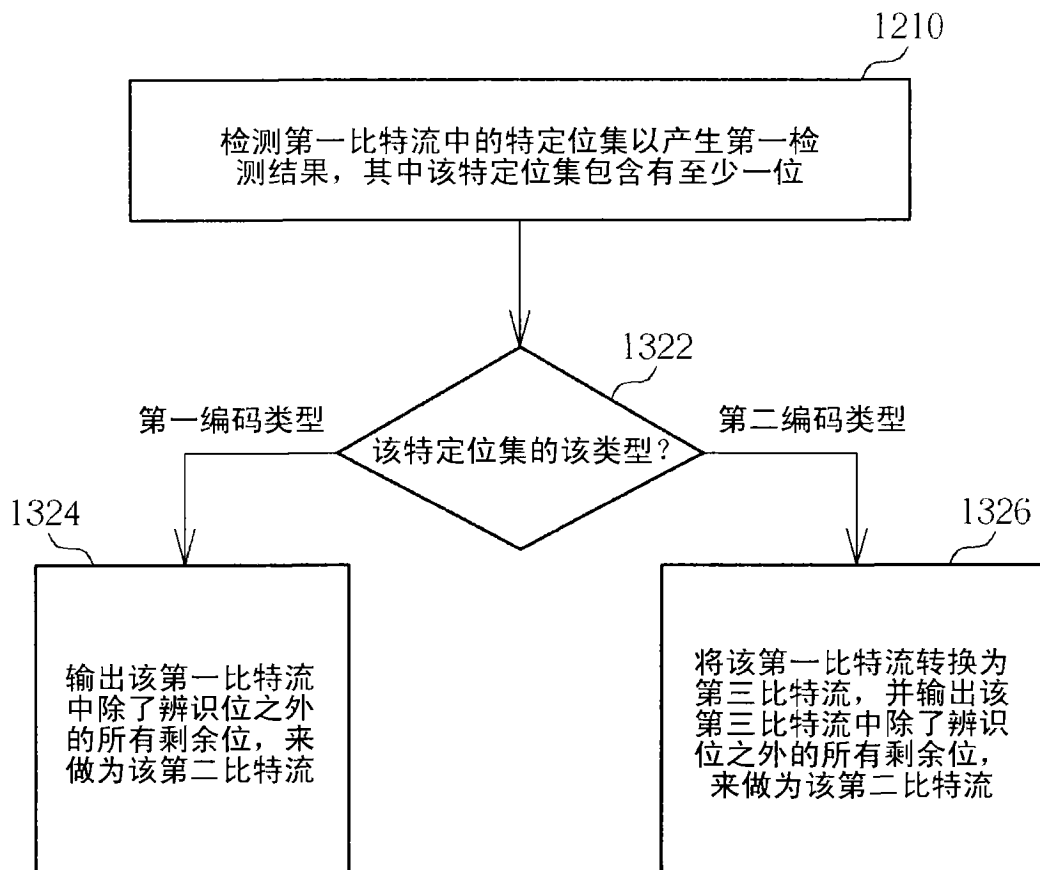


图 13

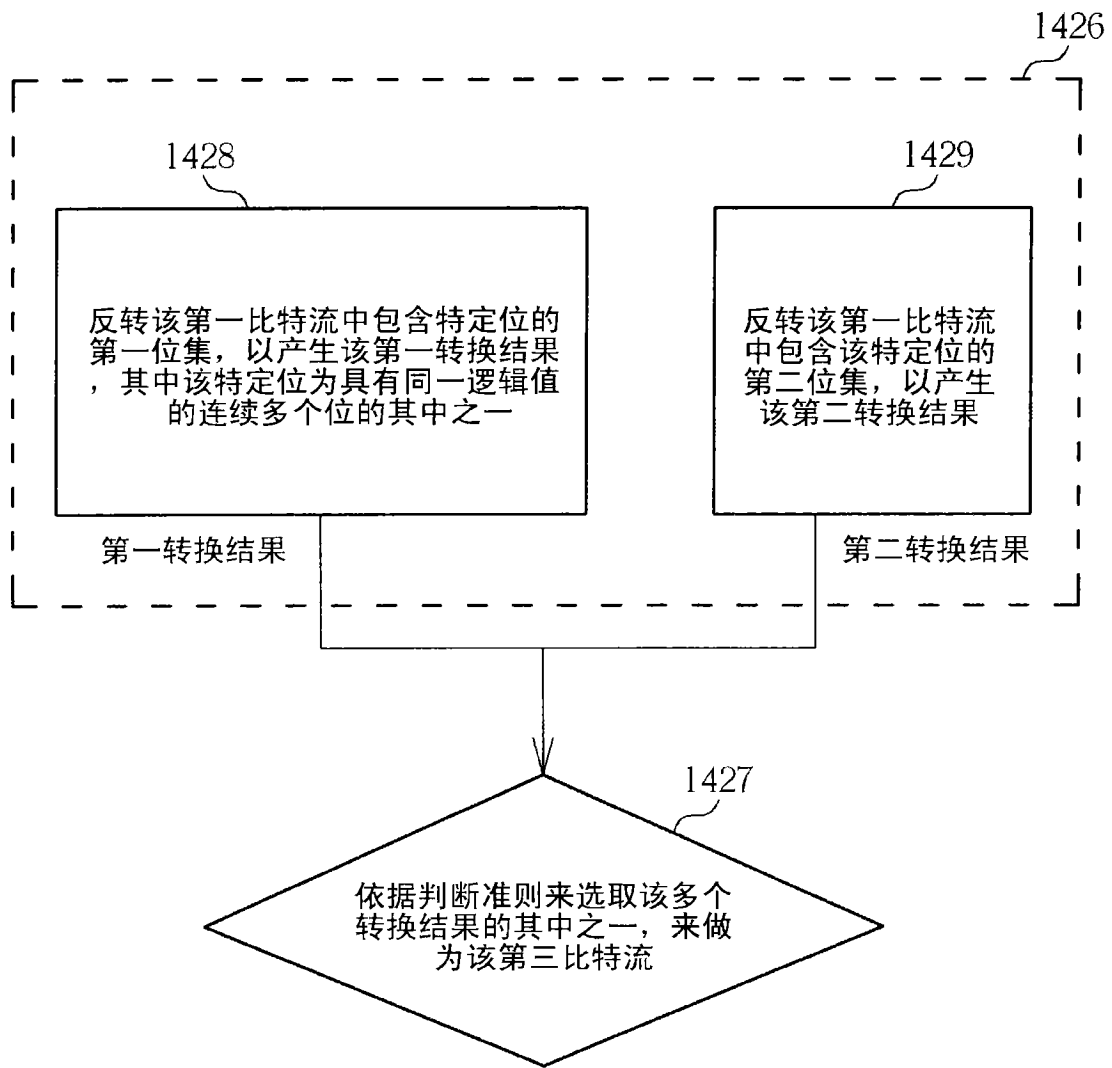


图 14

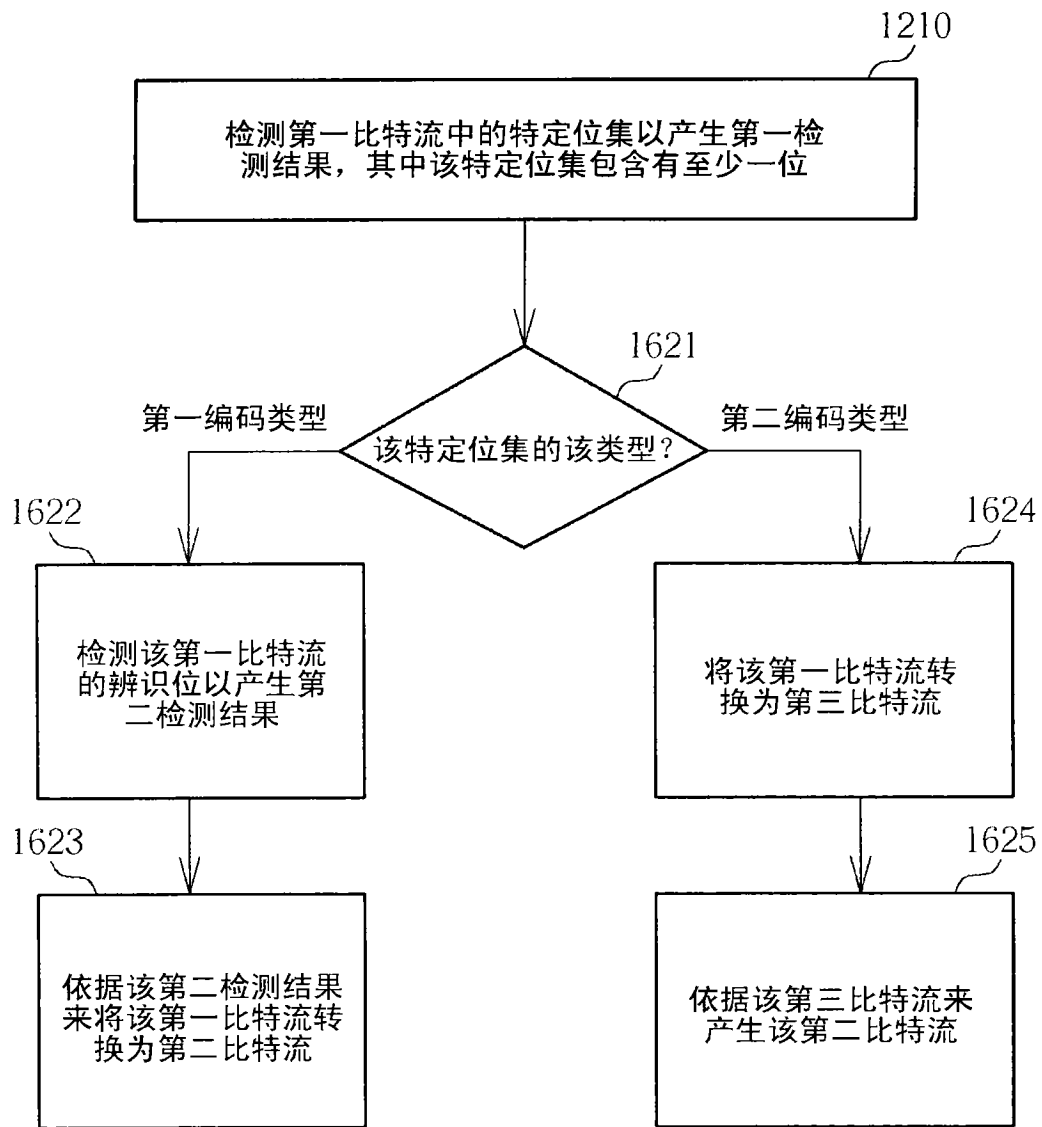


图 16

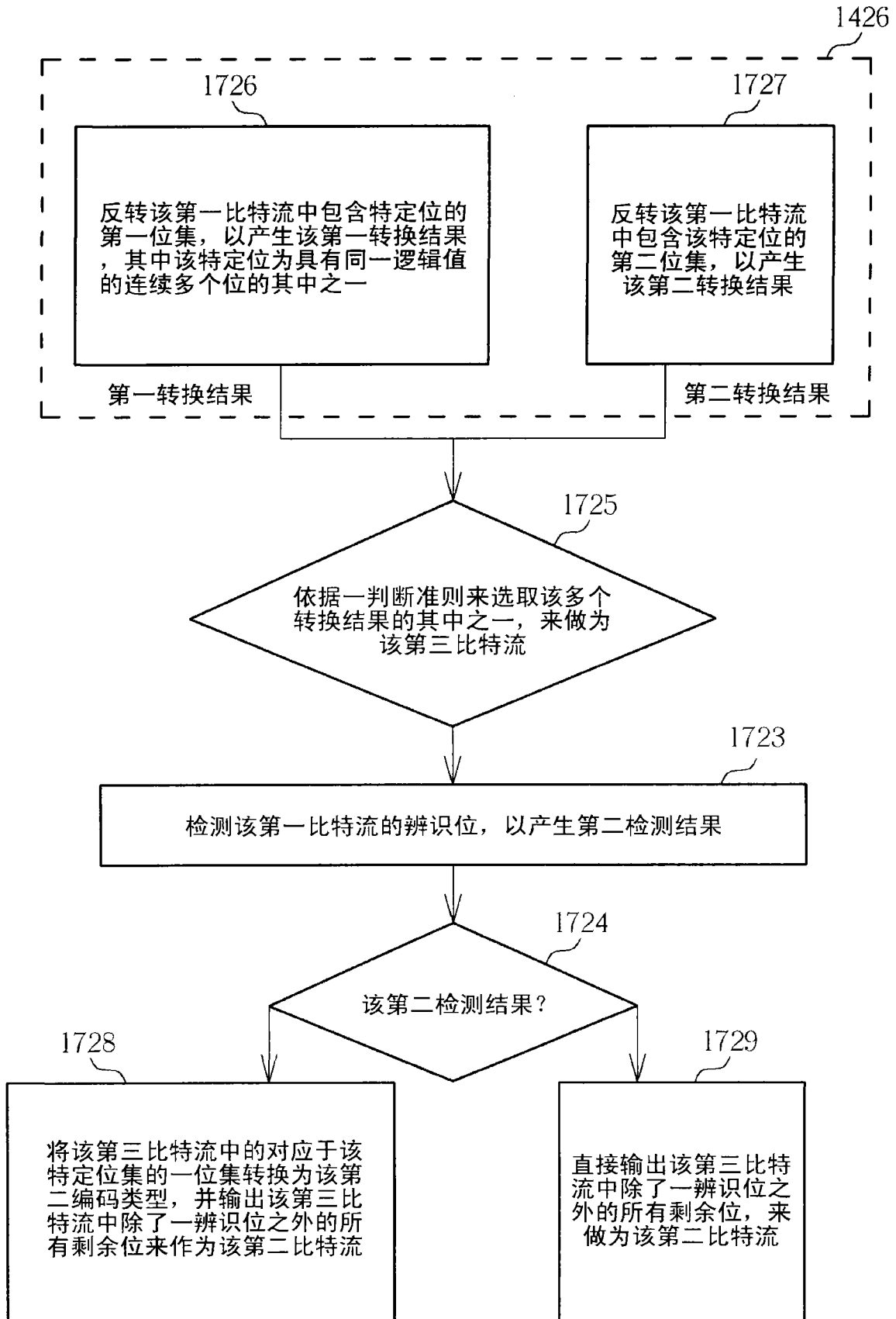


图 17

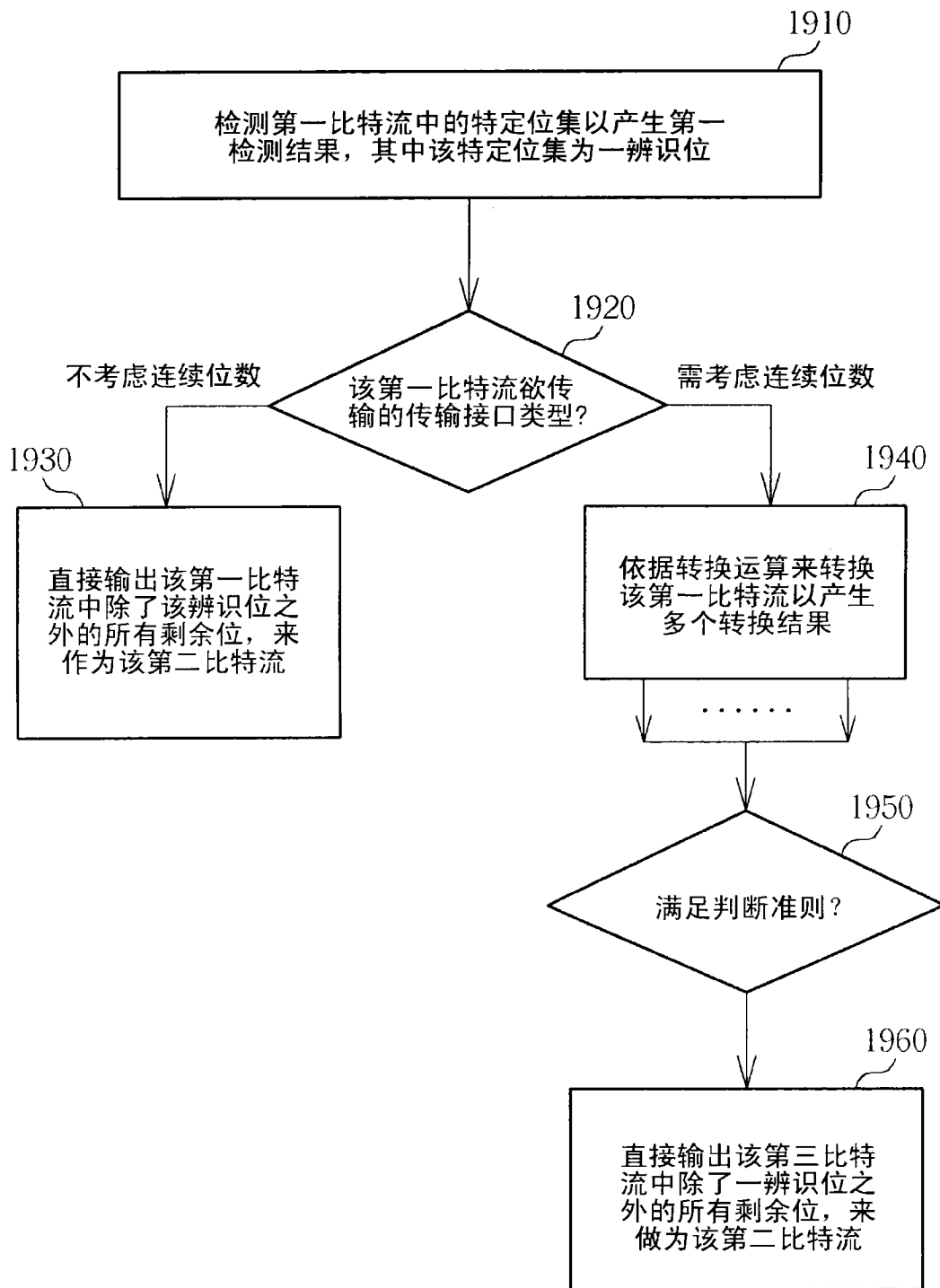


图 19

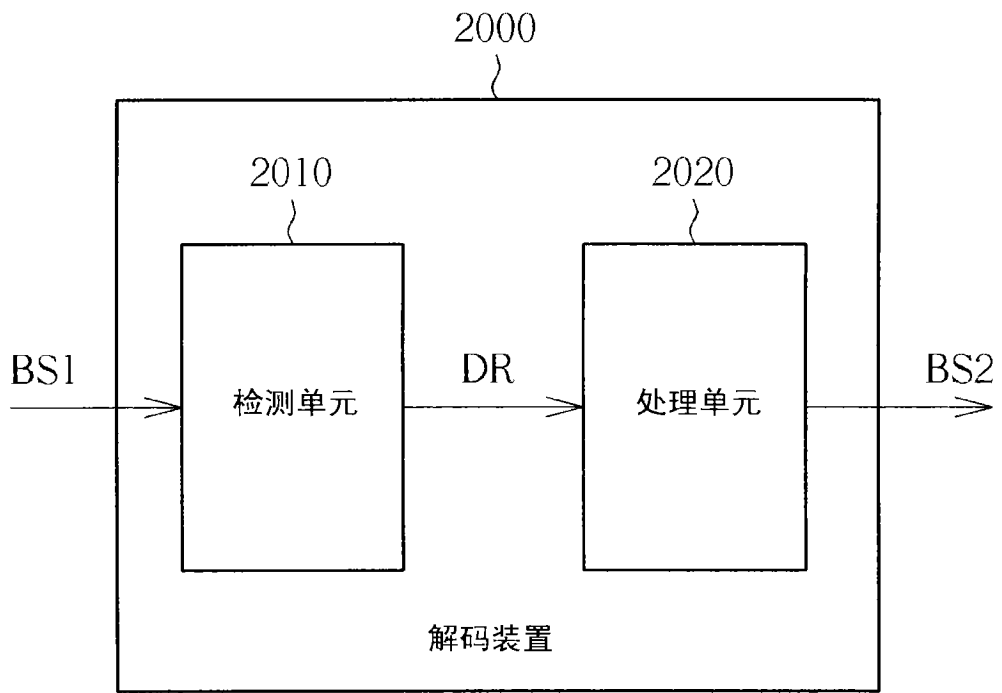


图 20

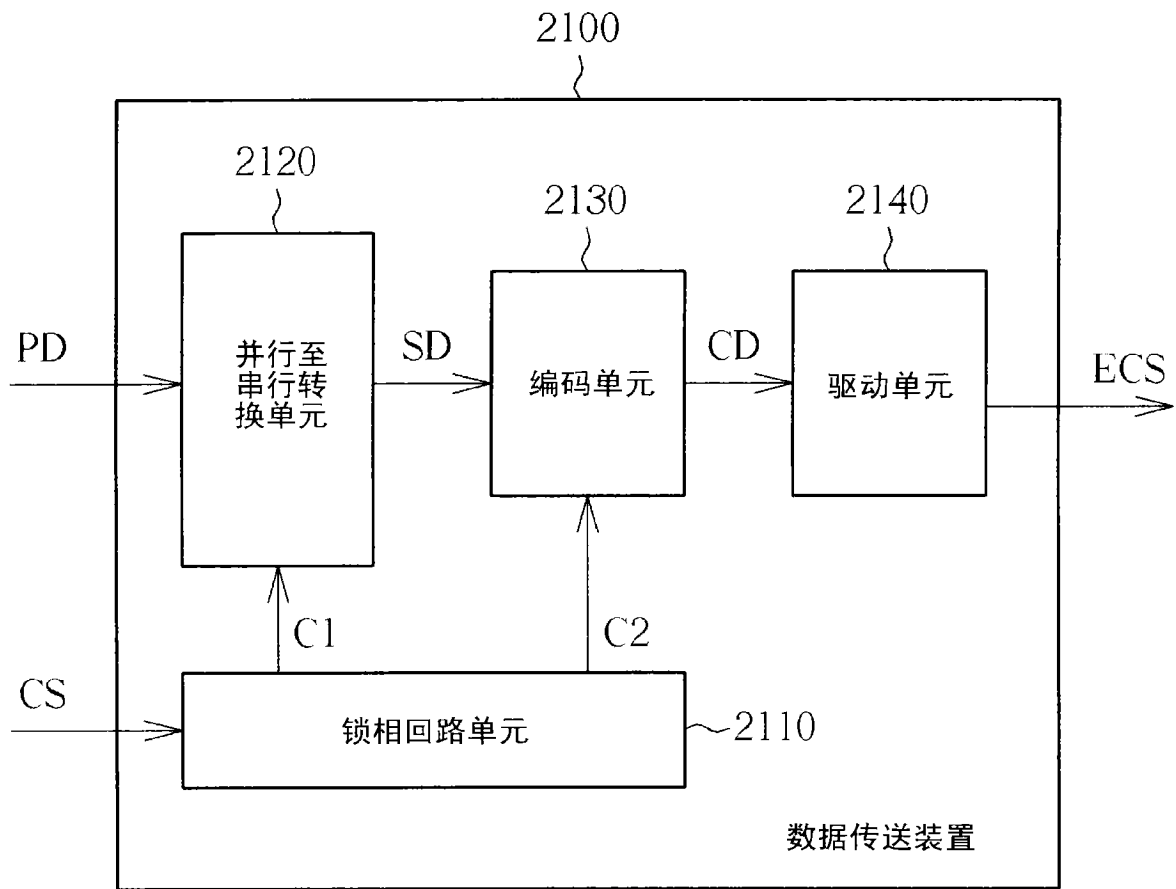


图 21

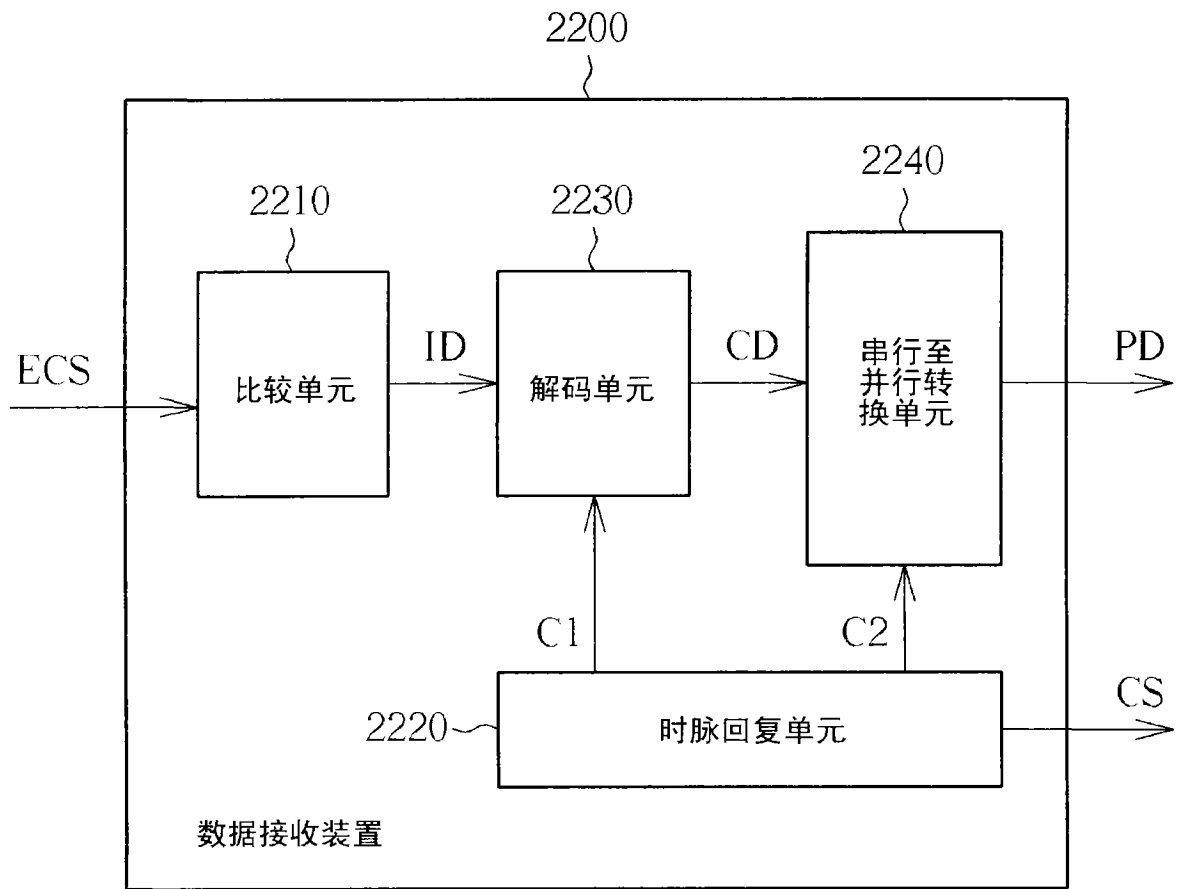


图 22