

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2014 年 4 月 3 日(03.04.2014)



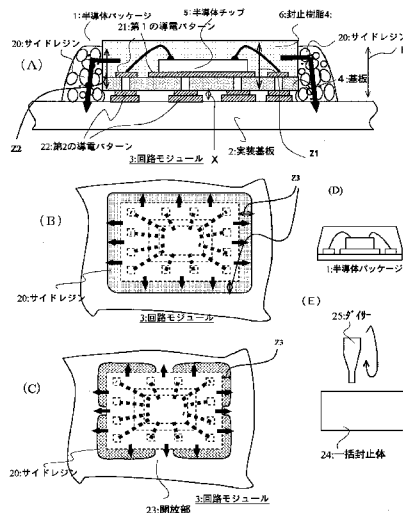
(10) 国際公開番号  
**WO 2014/049965 A1**

- (51) 国際特許分類:  
**H01L 23/28** (2006.01)
- (21) 国際出願番号: PCT/JP2013/005100
- (22) 国際出願日: 2013 年 8 月 29 日(29.08.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2012-215103 2012 年 9 月 27 日(27.09.2012) JP
- (71) 出願人: 三洋電機株式会社 (SANYO ELECTRIC CO., LTD.) [JP/JP]; 〒5708677 大阪府守口市京阪本通 2 丁目 5 番 5 号 Osaka (JP).
- (72) 発明者: 加藤 敦史 (KATO, Atsushi). 中村 岳史 (NAKAMURA, Takeshi). 成瀬 俊道 (NARUSE, Toshimichi).
- (74) 代理人: 内藤 浩樹, 外 (NAITO, Hiroki et al.); 〒5718501 大阪府門真市大字門真 1 〇 〇 6 番地 パナソニック株式会社内 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: CIRCUIT MODULE USING MOUNTING BOARD

(54) 発明の名称: 実装基板を用いた回路モジュール



- 1 Semiconductor package  
2 Mounting board  
3 Circuit module  
4 Substrate  
5 Semiconductor chip  
6 Encapsulating resin  
20 Side resin  
21 First conductive pattern  
22 Second conductive pattern  
23 Opening  
24 Bulk encapsulant  
25 Dicer

(57) Abstract: A semiconductor package (1) is mounted on a mounting board (2). However, increases in the performance and capacity of a built-in semiconductor chip (5), and progress in miniaturization of the semiconductor package led to heat from the semiconductor package itself intensifying, resulting in a problem of temperature increases. The present invention is a circuit module (3) having: a semiconductor package (1) that is formed in hexahedron shape, and has externally-connected electrodes on the back surface; and a mounting board (2) to which the semiconductor package (1) is electrically connected and mounted. Furthermore, the circuit module (3) is provided with a side resin (20) that is in contact with the sides of the semiconductor package (1), is disposed at the periphery of the semiconductor package (1) from the sides, and is filled with a filler, enabling heat from the semiconductor package (1) to be dissipated externally with a simple potting structure.

(57) 要約: 半導体パッケージ (1) は実装基板 (2) の上に実装されるが、内蔵される半導体チップ (5) の高機能化、大容量化とともに、半導体パッケージの小型化が進み、半導体パッケージ自体の熱が集中し、温度が上昇してしまう問題があった。本発明は、6 面体で成り、裏面に外部接続電極を有する半導体パッケージ (1) と、半導体パッケージ (1) が電氣的に接続されて実装された実装基板 (2) とを有する回路モジュール (3) である。そして、半導体パッケージ (1) の側面と接触し、側面から半導体パッケージ (1) の周囲に設けられ、中にフィラーが充填されたサイドレジン (20) を備えており、簡単なポッティング構造で半導体パッケージ (1) の熱を外部に放熱することができる。



---

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

## 明 細 書

発明の名称：実装基板を用いた回路モジュール

### 技術分野

[0001] 本発明は、実装基板を用いた回路モジュールに関する。

### 背景技術

[0002] 最近の地球規模の環境問題から、電力の削減が求められ、様々な対策が施されている。

[0003] その中で、エアコン、洗濯機、冷蔵庫等では、電源の高効率化が考慮され、この電源回路に用いられるパワー半導体素子は、より放熱構造の優れた構造が求められている。これは、放熱フィンが取り付けられ、より複雑で厚みも厚くサイズが大きくなっている。

[0004] 一方、最近では、電子携帯機器が身の回りに沢山あり、ポケットから取り出した携帯電話で色々な情報が取れる時代に成ってきた。しかも名刺1枚程度のサイズから2枚程度のサイズで、厚さも極めて薄くなってきた。

[0005] この小型軽量化を実現させた要因は沢山あるが、一つ目として、IC等の半導体デバイスが高機能に成ってきたことがその要因である。

[0006] 例えば、図5は、その構造について説明したものである。図5（A）は、一般的な半導体パッケージ1が実装基板2に実装された回路モジュール3を示している。

[0007] この半導体パッケージ1は、面実装タイプのフラットパッケージで、基板4に半導体チップ5が設けられ、基板4の電極と半導体チップの電極は、電氣的に接続されている。また基板4の表面は、半導体チップ5を含め絶縁樹脂6で封止されている。更に、この半導体パッケージ1は、実装基板2に設けられる。

[0008] 基板4の裏側には、裏面電極7があり、実装基板2の導電パターンと半田を介して電氣的に接続されている。また半田の信頼性が考慮されて、基板4と実装基板2との間には、アンダーフィル8が設けられている。例えば、基

板4と実装基板2との間は、 $30\mu\text{m}$ 程度で、その隙間に浸透させるため、アンダーフィルは、粘性の低い樹脂が用いられている。

## 先行技術文献

## 特許文献

[0009] 特許文献1：特開2008-22016号

## 発明の概要

## 発明が解決しようとする課題

[0010] 図5(B)は、前述した回路モジュール3を平面的に見た図である。文頭でも述べたように、半導体チップ5は、高機能で、扱う電流も大きくなっている。しかも半導体パッケージのサイズも小さくなってきている。

[0011] 極端な話、例えば、平面サイズが $2\text{cm}\times 2\text{cm}$ で、Qワットの電力を消費する半導体パッケージ1Aが、翌年には、半導体チップの機能が高められ、 $1\text{cm}\times 1\text{cm}$ で、 $2\times Q$ ワットの電力の半導体チップ1Bが要求される。

[0012] しかし、封止樹脂6は、絶縁材料であるため熱抵抗が高く、しかも基板4自体も、同様な材料からなるため、熱抵抗が高い。よって小さくなった半導体パッケージ1Bは、より放熱対策が求められる。

[0013] 例えば、フェイスダウン型パワーモジュール等では、チップ裏面に電極として金属板を貼り付けたり、アイランドの下にサーマルビアを設けたり、放熱対策を施している。

[0014] 今までに述べた全てのパッケージは、前述した軽薄短小、高電力化の流れであり、この半導体パッケージに、安価な対策で、熱が外部に流れ、半導体チップの高温化を防止する対策が求められている。

## 課題を解決するための手段

[0015] 本発明は、6面体で成り、裏面に外部接続電極を有する半導体パッケージと、前記半導体パッケージが電氣的に接続されて実装された実装基板とを有する回路モジュールで、前記半導体パッケージの側面と接触し、前記側面か

ら前記半導体パッケージの周囲に設けられ、中にフィラーが充填されたサイドレジンを設け、簡単なポッティング構造で半導体パッケージの熱を実装基板を介して外部に放熱することで解決するものである。

### 発明の効果

[0016] フィラーの入った樹脂で半導体パッケージを囲むことで、半導体パッケージの熱は、この樹脂に溜まると同時に、実装基板側へ伝わる。放熱経路の拡大は、接触面積で効き、移動した熱の蓄熱容量は、樹脂の体積で効く。特に、樹脂は、半導体パッケージの側面と接触し、更には実装基板と接触していることから、熱は、半導体パッケージから実装基板側へ伝えることができる。

### 図面の簡単な説明

[0017] [図1]本発明の実施の形態である、実装基板を用いた回路モジュールの図である。

[図2]本発明の実施の形態である、実装基板を用いた回路モジュールの図である。

[図3]本発明の実施の形態である、実装基板を用いた回路モジュールの図である。

[図4]本発明の実施の形態である、実装基板を用いた回路モジュールの図である。

[図5]従来の実装基板を用いた回路モジュールの図である。

[図6]本発明の実施形態である、回路モジュールの図である。

[図7]本発明の実施形態である、回路モジュールの図である。

### 発明を実施するための最良の形態

[0018] 本発明は、回路モジュール3に於いて、樹脂20に特徴があり、この絶縁性樹脂20により半導体パッケージ1の熱を放熱させる事に特徴がある。好ましくは、半導体パッケージの裏面（実装基板2と対向する半導体パッケージ1の裏面）には、配置されず、半導体パッケージ1の側面とこの樹脂20が接触することで、半導体パッケージ1の熱を取り込み、同時に、実装基板

2面と接触して、実装基板2側に熱を伝えるように設けられた塗布型の絶縁性樹脂20に特徴を有する。尚、以降は、この樹脂をサイドレジン20と呼ぶ。このサイドレジン20は、図1の様に、熱伝導性の優れた材料、一例として、金属、金属酸化物、金属の合金、またはこの合金の酸化物などからなるフィラーが混入されている。特に、電極または配線などの短絡が考慮されて、絶縁性を示す物質、例えば金属酸化物、合金の酸化物などが好ましい。またその充填率は、80%以上95%以下と高く、その粘性も大きい。

[0019] ここで、アンダーフィル8とサイドレジン20を区別するため、以下にアンダーフィル8の説明をする。

[0020] 図5で説明したアンダーフィル8は、一般には、充填率がMAXで70～80%程度で、樹脂と溶剤の選択により、硬化前では、実装基板2と半導体パッケージ1との隙間には、毛細管現象により、半導体パッケージ1裏面全域にスーッと入っていく、粘度の低い樹脂である。このアンダーフィルの目的は、例えばアンダーフィルの材料であるエポキシ樹脂の熱膨張係数 $\alpha$ （40ppm程度）を、基板4と同程度、または実装基板2と基板4の間の $\alpha$ にする事で、半田接続部の信頼性を向上させる事にある。これは、実装基板2と半導体パッケージ1を半田で接続した時、その半田に加わる応力を緩和できる特徴がある。例えば、熱膨張係数の違いにより、両者のずれの力を、間で減少させるものである。特に狭い隙間にボイドも無く浸透させるため、フィラー粒径が小さい。しかしながら、このフィラー粒径が小さいと、フィラー全体の表面積が広がり、ここには樹脂が被覆されるため、熱伝導路に対して相対的に樹脂の存在の比率が多くなり、熱抵抗を小さくする事は、あまり期待できない。また図5の様に、アンダーフィル8は、若干、半導体パッケージ1の側面、特に下方の側面を覆う場合があるが、実質半導体パッケージ1の裏面全域と実装基板2の隙間に、同一材料で一体で充填されるため、サイドレジン8とはっきりと区別できる。

[0021] この様に、アンダーフィルとサイドレジンとは、使われ方に大きく違いがある。

[0022] 更には、従来のパッケージでは、放熱が考慮され、例えば放熱フィン、金属板等の放熱部品が取り付けられる。この放熱部品を採用する場合、パッケージ自体の構造を変えて放熱部品を取り付け易くしたりするため、また半導体パッケージの熱を効率良く外部に放出するため、全体の構造が複雑となり、その開発期間も時間を要したり、装着性も手間がかかり、結局はコスト等の問題が有った。しかし、サイドレジン20は、半導体パッケージ1の側面からその外側に渡る領域に対応した実装基板2に、塗るだけで良く、簡単にその対策がとれ、そのコストも低下させることが可能である。

[0023] しかも放熱フィンを取り付けた半導体パッケージを携帯電話に採用すると、携帯電話の薄型化が難しくなり、携帯機器に於いては解決策とならない。モジュールとして薄型を維持しつつ、半導体パッケージ1の熱を外部に放出しなければならない。この点では、サイドレジン20は、薄さを維持しつつ、放熱も可能となるため、大変意味のある方策と言える。

[0024] では、具体的に本発明の説明をしていく。図1(A)は、半導体パッケージ1が実装基板2に設けられ、サイドレジン20が設けられた図である。

[0025] まず、半導体パッケージ1は、特に限定しないが、側面の接触面積、リードの飛び出による不都合さ等の構造的な点が考慮され、面実装型のパッケージが好ましい。ここでは、MAP法(Matrix Array Packaging method)で作られたもので、リードフレーム型、基板型、更にはハーフエッチング型で製造する事ができる。半導体チップ5は、フェイスアップ型、フェイスダウン型が採用される。簡単に説明すれば、マトリックス状に並んだ複数の実装エリアに半導体チップ1をそれぞれ実装し、一括モールドしたら、ダイシング装置で封止樹脂から基板4までフルカットするものである。よって半導体パッケージ1は、上面、裏面、上面と下面の間に配置された4側面からなる6面体でなり、裏面に、外部接続電極が配置されている。

[0026] MAPで形成された半導体パッケージ1について説明する。

[0027] まず基板型の場合、ユニットの導電パターンが縦横に並んだ大判の基板を用意し、この上に夫々半導体チップ5が設けられる。基板4は、樹脂からな

るプリント基板、セラミック基板が採用され、基板4の表面には、ユニット毎に第1の導電パターン21がある。この第1の導電パターン21は、ボンディングパッド、アイランドおよび配線が主たる構成要素で、多層基板であれば、夫々の層に導電パターンが必要によって設けられる。また表から裏に渡る電氣的接続を実現するため、スルーホール等が設けられる。そして基板4の裏面には、第2の導電パターン22が設けられ、例えば、外部接続電極や、必要によってこの外部接続電極を再配置する再配線等から構成される。尚、基板4は、2層構造で図示されているが、4層、6層・・・と複数の層数で良い。尚、この基板は、コア層が絶縁材料からなるが、最近では放熱性が考慮され、コア層の中に金属箔、例えばCu箔が埋め込まれたコアメタル基板も採用可能である。

[0028] ここではアイランドに半導体チップ5が電氣的に接続されて設けられているが、最表面に形成される絶縁層、例えばソルダーレジストPSRが設けられ、その上に接着剤によって直接固着されても良い。そして半導体チップ5の電極と基板4のボンディングパッド21とが電氣的に接続される。例えば、フェイスアップであれば、金属細線が用いられ、フェイスダウンであれば、半導体チップの電極とボンディングパッドが、半田ボールまたはバンプ等で接続される。更に、基板4の表面は、これら縦横に並んだ沢山の半導体チップ5を一括して覆うように封止樹脂6で封止されている。そしてユニット毎にダイシング装置でフルカットされ、6面体の半導体パッケージ1が作られる。

[0029] 尚、図1の基板4は、絶縁性樹脂からなるコア層の両面に、導電パターンが絶縁処理されながら1層以上積層されている。上側も下側も、コア層の上に、第1層目の導電パターンが設けられ、続いて第2層目の絶縁層が被覆されたら、更に第2層目の導電パターンが設けられ、これらが繰り返されて、2層、4層、6層、8層・・・となる。つまり偶数層の基板となる。

[0030] しかし最近では、コア層が省略された基板もある。つまり、下から、第1層目の絶縁層、第1層目の導電パターン、第2層目の絶縁層、第2層目の導

電パターンと、絶縁層と導電パターンが繰り返し積層されたもので、裏面となる第1層目の絶縁層および最上層の絶縁層は、それぞれ電極が露出されるもので、一般には、コア層が省略されたものであるため、コアレス基板と呼んでいる。これはコア層が無いいため、その分、基板の厚みを薄くできるものである。

[0031] リードフレーム型は、アイランドとその周囲に位置する電極（リード）をユニットとし、これを縦横に並んで用意されたリードフレームを用意する。リードフレームは、開口部が沢山あるため、このリードフレームの裏面にシートを貼りあわせ、あたかも基板の如き形状にしてから、素子の実装、電氣的接続を行う。その後、縦横に並んだユニットは、封止樹脂で一括封止される。そしてシートを剥がし、封止樹脂の裏面から露出するリードフレームをエッチングや研削で処理し、リードフレームを構成するアイランドやリードに分離し、その後、MAPと同様な方法でフルカットする。

[0032] その結果、裏面に、封止樹脂からアイランドやリードが露出した前記6面体のパッケージができる。

[0033] ハーフエッチング型は、銅箔がハーフエッチングで形成され、電極などのユニットパターンを縦横に形成し、裏面に残る銅箔を、前記シートの役目として使うものである。同様に、素子の実装、電氣的接続、一括封止を行い、その後、裏面に残った銅箔をエッチバックし、電極以外を取り除いて電氣的に分離する。そしてフルカットをする事で前記6面体を形成する。

[0034] どちらのパッケージであっても、ダイシング装置でフルカットするため、上面、裏面、そして上面と裏面の周囲をつなぐ4つの側面から成る6面体となる。これら6面体のパッケージは、半導体の厚み、基板の厚みが薄くなってきており、パッケージとして薄くできる。例えば、BGAなどは、この構造であり、携帯電話、携帯用のコンピュータ、デジタルカメラなどで多用されている。また最近では、SIP (System in Package) と称し、チップが何枚もスタックされた3次元型、チップが平面的に配置されたプレーン型が採用され、大規模容量のメモリ、大規模な回路が組み込まれたシステムICが

実現されている。

[0035] 一方、この半導体パッケージ 1 を実装する実装基板 2 は、例えば、携帯機器などのセットに組み込まれるもので、一般には、1 層以上のパターンを有するプリント基板である。このプリント基板は、チップコンデンサ、チップ抵抗などの受動素子も含め、実装されて、セット内の電子回路が実現されている。

[0036] 本発明の特徴は、図 1 (A) に示すように、半導体パッケージ 1 の側面にサイドレジン 20 を設けることにある。樹脂材料は、エポキシ樹脂、アクリル、シリコン、ウレタンなどであり、その中にフィラーが混入されている。また、その充填率を 80% 以上、95% 程度とし、硬化前の状態では、アンダーフィルから比べると、粘度が大きく設定されている。例えば実装基板 2 と基板 4 との間隔を  $X$  とした場合、そのフィラーサイズは、その長さ（破碎フィラー）または直径（粒型フィラー）の平均が  $X$  程度、または  $X$  よりも大きいサイズのフィラーが混入され、実装基板 2 と基板 4 との間に、サイドレジン 20 が侵入しないようにしてある。また前述した充填率にするため、大きなフィラーの間の隙間には、小さなサイズのフィラーも充填されている。

[0037] 特に、隙間  $X$  が、例えば  $30\ \mu\text{m} \sim 50\ \mu\text{m}$  の間で選択された値とした時、それと同等か、1～2 割程度大きなサイズが、最大粒径（ $\phi \approx X\ \mu\text{m} \times (1.1 \sim 1.3)$ ）として選択される。そうすることで、大きなサイズのフィラーは、隙間  $X$  に浸入できず、結局サイドレジン 20 は、隙間に浸入しづらくなる。

[0038] この浸入の程度について説明する。パッケージ 1 が BGA の場合、外部電極（裏面電極）は、縦横に格子状に並ぶか、リング状に何重にも並んで形状をなす。この場合で考えれば、裏面を平面視で見て、最外の外部接続電極とサイドレジン 20 が接触する程度まで浸入する事は、浸入しないものと仮定する。尚、この点に関しては、BGA 以外のパッケージでも同様である。またフィラーは、特定のフィラーだけを選別する事は、実質不可能であり、一

般には、Maxwell分布を示す。そのため、小さなフィラーも混入されている事から、場合によっては、隙間に若干浸入する可能性は否定できない。

[0039] 一方、アンダーフィルは、平面的に見て、基板4の中央に相当するパッケージの裏まで浸透する。結局は、半導体パッケージ1の裏面全域に浸透するアンダーフィルとサイドレジンは、はっきりと区別される。

[0040] アンダーフィルに、サイドレジンの様に、大きなサイズのフィラーが混入されると、粘度が大きくなって流動性が悪くなり、浸透が難しかったり、硬化の後、熱膨張により、電極22と実装基板2側の電極とを乖離したり、またフィラーが隣り合う外部接続電極22との間、更には、実装基板側の電極をまたぎ、耐電圧劣化の原因となったりするため、このような大きなサイズは採用が難しい。

[0041] このフィラー入りのサイドレジン20は、フィラーの混入率が大きく、また粒径も大きくなることで、熱伝導性がアンダーフィルよりも大きくなる。また図1(B)の如く、半導体パッケージ1の周囲に、その幅Z3、高さhを持って塗布されるため、体積も多く塗布され、その熱容量も大きくなる。よって半導体パッケージ1に発生した熱は、太い矢印で示したように、サイドレジんに伝わり、蓄熱され、並行して実装基板2に放熱される。

[0042] 図1(B)、(C)は、サイドレジン20の塗布の仕方を説明するもので、細かな点で打たれたエリアが、サイドレジン20が設けられた部分である。(B)は、全周ぐるりと覆った場合であり、図1(C)は、各側辺の中央に開放部が設けられ、4つのコーナーを含めてサイドレジン20で覆ったものである。

[0043] 例えば、パッケージ側面の高さ(厚み)をZ1とし、サイドレジン20の塗られた所の高さ(厚み)をZ2とする。ポッティングであるため、パッケージの側面の高さ方向に於いて、全域を塗ることができれば良いが、なかなかそうもいかない。

よって

$$Z2 \div (Z1 + X) \times (0.8 \sim 1.0 \text{ 程度})$$

程度の範囲で塗るのが適当と思われる。例えば、パッケージの厚みが、0.3 mm～1 mmだとすれば、自ずと算出できる。

[0044] その時、リング状に塗られたサイドレジン20の幅Z3は、大きいほうがよく、好ましくは、

$$Z3 \geq Z2$$

が良い。こうすれば、半導体パッケージ1側面からサイドレジン20を介して実装基板2側へ熱の伝わる経路が大きくなるため、放熱効果がより大きくなるメリットがある。特にサイドレジンの傾斜面と実装基板との角度を45度から30度程度までとし、Z3を拡大することも良い。

[0045] 図1(C)は、サイドレジン20に開放部23が設けられるものである。

図1(B)に於いて、サイドレジン20で囲まれたエリアには、アンダーフィルが無く、空間となったとき、その空間にはガスがたまるからで、ガスの逃げを作っている。開放部23の数や位置は特に限定されない。

[0046] また中に、前記サイドレジンよりもフィラー含有率の低いアンダーフィルが設けられた場合、先にアンダーフィルは硬化されることもあり、アンダーフィルの隙間にトラップされたガスの逃げを作っている。

[0047] 更には、半導体パッケージ1の裏面は、矩形であり、その4つの角部は、応力が集中する部分である。これは、半導体パッケージ1と実装基板2の熱膨張係数 $\alpha$ の違いから、どうしても角部に応力が集中し、角部の近傍の半田ボールはクラックが発生しやすい。しかしこのサイドレジン20が半導体パッケージ1の裏面の角部を構成する側面を覆うため、その応力に対抗させることができる。

[0048] 更に、側面の接触面積を大きくする上で、図1(D)の様に、パッケージ1の上面から下方に向うにつれ、外側に向かう傾斜面を形成すると、側面の面積が拡大され、効果が大である。これは、図1(E)を参照して、符号24は、マトリックス状に並んだ素子配置領域を有する大判の基板を一括封止したもので、それを符号25で示すようなダイサーで分離すれば、容易に製

造できる。

[0049] 尚、サイドレジン20は、粘度が高いとはいえ、流動性があるため、どうしても流れて、中のフィラーとパッケージ1の側面は、接触しているものもあれば、若干隙間があるものもある。よってサイドレジン20の硬化前に、湾曲した面を、平らな押圧治具を使って押圧しても良い。そうすれば、中のフィラーが側面に当接し、熱抵抗を減少させることができる。図1(A)は、サイドレジン20の表面が湾曲面を描いているが、この押圧治具を使うため、傾斜面の少なくとも一部は、フラットな面の傾斜面と成る。

[0050] 続いて、図2を用いて、図1の構造に、更に改良を加えた構造を説明する。違いは、実装基板2側に設けた放熱メタル30である。

[0051] 実装基板2には、図1と同様に、実装される回路素子との電氣的接続のため、銅箔による第3の導電パターン（接続電極）31が形成されている。そのため、パターン形成時、（例えばエッチングの際に）、半導体パッケージ1の配置領域の外側に、リング状に放熱メタル30を同時に形成できる。この放熱メタル30の裏面は、実装基板2の表面に、ベタで固着されるため、更に実装基板2側への熱伝導を改善することができる。

[0052] 図2(B)は、配置領域の外周から若干の隙間を設け、外周をぐるりと放熱メタル30を設けたものである。図1と異なり、サイドレジン20の下側と実装基板2との間に、熱導電性の優れた金属材料から成る放熱メタル30が設けられるため、更に、半導体パッケージ1の熱を外部（例えば実装基板2側）に伝えることができる。このメタルの幅は、全域ほぼ同じ幅で形成され、その値は、

$$Z4 \geq Z2$$

が好ましい。しかし、金属であるため、狭くてその効果はある。また前述した様に、Z4は、最大でも、サイドレジンの傾斜面と実装基板との角度が45度程度の幅までが効率的である。この点に関しては、図7を使って再度後述する。

[0053] またプリント基板には、Cuのパターンが形成されているのが一般的であ

るため、放熱メタル30の材料は、同じCuを主材料とするものが良い。更に、一般的に、電氣的接続が必要なパッドは、表面がAu、AgまたはPd等で被覆されるため、放熱メタルにもこれらのメッキが施されても良い。特に、最近では、下層からNi、Auのメッキ処理が施されている。

[0054] これら表面の金属は、フィラーの接触を考える意味でも重要である。例えば、NiやPdは、Auなどから比べるとその硬度が高く、ある意味、フィラーは、表面から中に食い込むことがやや難しい。つまり接触させても点接触に近い構造である。しかし放熱メタルの最表面をNiまたはPdよりも柔らかい金属、例えば、Au、Ag、はAl、SnまたはZnで覆うか、またはそのままCuとすれば、NiやPdとは異なり、フィラーは、若干ではあるが中に食い込むことができる。そうすれば、食い込んだ部分は面接触となり、熱伝導も向上する。この構造にするには、サイドレジン20の中のフィラーを食い込ませるため、前述したような押圧治具でサイドレジンを押圧させる事で実現が可能である。これは、フィラーの充填率が高いため、押圧治具で押圧すれば、実装基板2側のフィラーを押し込む事が可能である。

[0055] 更に、放熱メタル30は、半導体ICに取り入れられるシールリングの効能を有し、湿気や有害ガスをトラップするため、半導体パッケージ1と実装基板2との接続信頼性を維持させることもできる。

[0056] また、放熱メタルは、4つの角部を丸くしている。サイドレジン20は、硬化すると硬くなり、放熱メタルの角部に応力が加わり、実装基板2から剥離、またはサイドレジン20との剥離が発生する恐れがあるからである。

[0057] 図2(C)は、図1(C)と同様で、4つのサイドレジン20の夫々に放熱メタル30が設けられたものである。尚、図(B)、(C)ともに、端子の近傍に配置されるため、GNDに接地された方が良い場合がある。特に、GND接地の場合、実装基板側のGNDパターンを再配置して図の様な放熱メタル30と接続しても良い。また半導体パッケージ1のGND端子に相当する第3の導電パターン31側、つまり配置領域の内側にも、GND端子32が設けられているので、この端子と配線を介して一体で形成しても良い。

[0058] 例えば組立作業の中で、サージが放熱メタル 30 に加わっても、そのサージが GND に落とせるからである。

[0059] 図 3 は、ネジ止め（挟持手段）を採用したものである。

[0060] 図 3（A）は、実装基板 2 の裏側、または表側に放熱板 42 が設けられ、ネジ 40 とナット 41 で、放熱板 42 が実装基板 2 に取り付けられている。図の様に、ネジの頭全体がサイドレジソ 20 で覆われているため、熱は、サイドレジソ 20、ネジ、放熱メタル 42 を介して実装基板 2 や外部へ放出される。

[0061] 図 3（B）は、実装基板 2 の表と裏に、電極 43 A、43 B が設けられて場合を説明している。上から電極 43 A、実装基板 2、電極 43 B、放熱板 42 をネジ 40 とナット 41 とで固定している。尚、放熱板は、（A）、（B）ともに、実装基板の表側に配置されても良い。また厚さは、半導体パッケージ 1 の厚みよりも薄くなければ、薄型モジュールとして意味がなくなるが、ユーザーの要求により厚くしても良い。

[0062] 続いて、図 3（C）を説明する。これは、電極 43 A と 43 B の間にサーマルビアが配置されたものである。また電極 43 A、43 B は、前述したように幅の特定されたリング状メタルだったり、あるいはパッドを利用したものであり、平面視では、サイズの決まった円、楕円または矩形である。しかし表裏の開きスペースを利用して、パッドから開きスペースに広がった拡大領域を形成すれば、これが放熱フィンの代わりになり、放熱効果を向上させる事ができる。ここの説明は、この後、図 6 で詳述する。

[0063] 尚、この 3 つの例を組み合わせて構成させても良い。

[0064] 以上、半導体チップは、フェイスアップで説明したが、フェイスダウンでも良い。

[0065] 図 4（A）は、半導体パッケージのチップ 5 がフェイスダウンの構造であり、半導体チップ 5 の裏面は上を向いている。よって封止樹脂 6 からチップ裏面を露出させ、半導体パッケージ 1 の側面と、パッケージの上面のチップ裏面 5 までサイドレジソ 20 を延在させても良い。サイドレジソ 20 は、チ

ップ裏面の少なくとも一部がコンタクトしていれば良いが、好ましくは、パッケージ 1 の表面全域が好ましい。この場合、結局は、半導体パッケージ全域にサイドレジン 20 を覆う事になる。表側にもサイドレジンが盛られるため、ほんの少し厚くはなるが、放熱フィンと比べたら、無視できる値である。またパッケージ 1 の表側に塗られたサイドレジン 20 を前述した押圧治具で押圧すれば、その表面が平坦化され、取り付けが容易である。

[0066] また図 4 (B) は、図 4 (A) の構造に放熱フィン 40 を取り付けたものである。この構造では、サイドレジン 20 の上に、放熱フィンが設けられ、下は、サイドレジンで放熱される。

[0067] 続いて図 6 を用いて放熱メタル 30 について、その平面的なパターンの応用について説明する。一点鎖線は、半導体チップ 5、点線で示す矩形は半導体パッケージ 1、点でハッチングした部分が放熱メタル 30 である。更に実装基板 2 側には、電子回路が構成されることから、配線 W、パッド P、他の IC や Tr などからなる能動素子 A または受動素子 CR など色々と設けられている。実装基板のサイズとその上の回路素子の実装密度によるが、空きスペースが設けられる場合がある。その場合、この空きスペースに放熱メタル 30 と一体で、放熱拡張メタル 30 A を設けることで、より放熱効果を高める事ができる。

[0068] 例えば、放熱メタル 30 の外形は、一定の幅 Z4 を持ち、リング状に形成されているが、その外形は、実質矩形である。よってこの Z4 の幅以上の空きスペースがあれば、拡張しても良い。例えば放熱メタル 30 の外形、特に 4 辺夫々の辺と直行する外側の部分に、幅 Z4 以上のスペースがあれば、その部分に放熱拡張メタル 30 A を形成しても良い。

[0069] 図 6 では、放熱メタルの外形に於いて、ここでは下の長辺と右側の短辺に、Z4 以上の空きスペースがあるため、二つの放熱拡張メタル 30 A、30 B を設けた (1 つにしても良い)。尚、この放熱拡張メタルに対応する実装基板 2 の裏側にも放熱用の電極を設け、バツ印で示したスルーホール TH で、熱を裏面側にも放出できるようにしても良い。

- [0070] 尚、スルーホールは、TH1の様に広域に形成しても良いし、TH2の様に細かく設けても良い。
- [0071] 続いて、図7を参照しながら、放熱メタル30の位置について説明する。
- [0072] 半導体パッケージ1の右上コーナーを点Pとし、点Pから基板4に向かい点線を描き、点線と基板表面との間の角度を $\alpha$ と規定して描いてある。
- [0073] 図7では、サイドレジン20は、湾曲した線の部分で、これは、かなり粘性がある事を示している。
- [0074] しかしサイドレジンの粘度、フィラーの混入率を考えると、サイドレジン20の濡れる先端は、45度の $\alpha_1$ から30度の $\alpha_2$ 程度までである。
- [0075] 本来、放熱メタル30は、このサイドレジン20に完全に包含されるべきである。しかしながら、サイドレジン20の熱抵抗の低さを考えると、放熱メタルの半導体パッケージ側の先端は、点Pの真下から点T1（または点T2）の間に、少なくとも前記放熱メタルの先端が位置すれば、即座に放熱メタルに伝わり、実装基板2側に熱を伝える事が可能である。
- [0076] また図7では、基板4は、コア層の中に銅箔が挟まれたコアメタル基板を示した。これはコア層が絶縁樹脂と違い、更に熱伝導に優れた基板である。このコアメタル基板であれば、放熱メタル30をコア層の銅箔に熱的に結合させる事で更に熱伝導を向上できる。
- [0077] 具体的には、コンタクト孔を形成し、メッキでコンタクト孔と放熱メタルを形成すれば、放熱メタル30は、ダイレクトにコア層に結合できる。
- [0078] 以上、簡単な手法、例えばポッティング法を採用し、半導体パッケージの周囲にぐるりとサイドレジンを塗布する事で、半導体パッケージの熱を実装基板側へ伝えることが可能となる。全てではないが、実装基板側は、スペース的にラフであり、サイドレジンを設けるスペースを確保できるので、非常に簡単でコスト的にも有利な構造である。

## 符号の説明

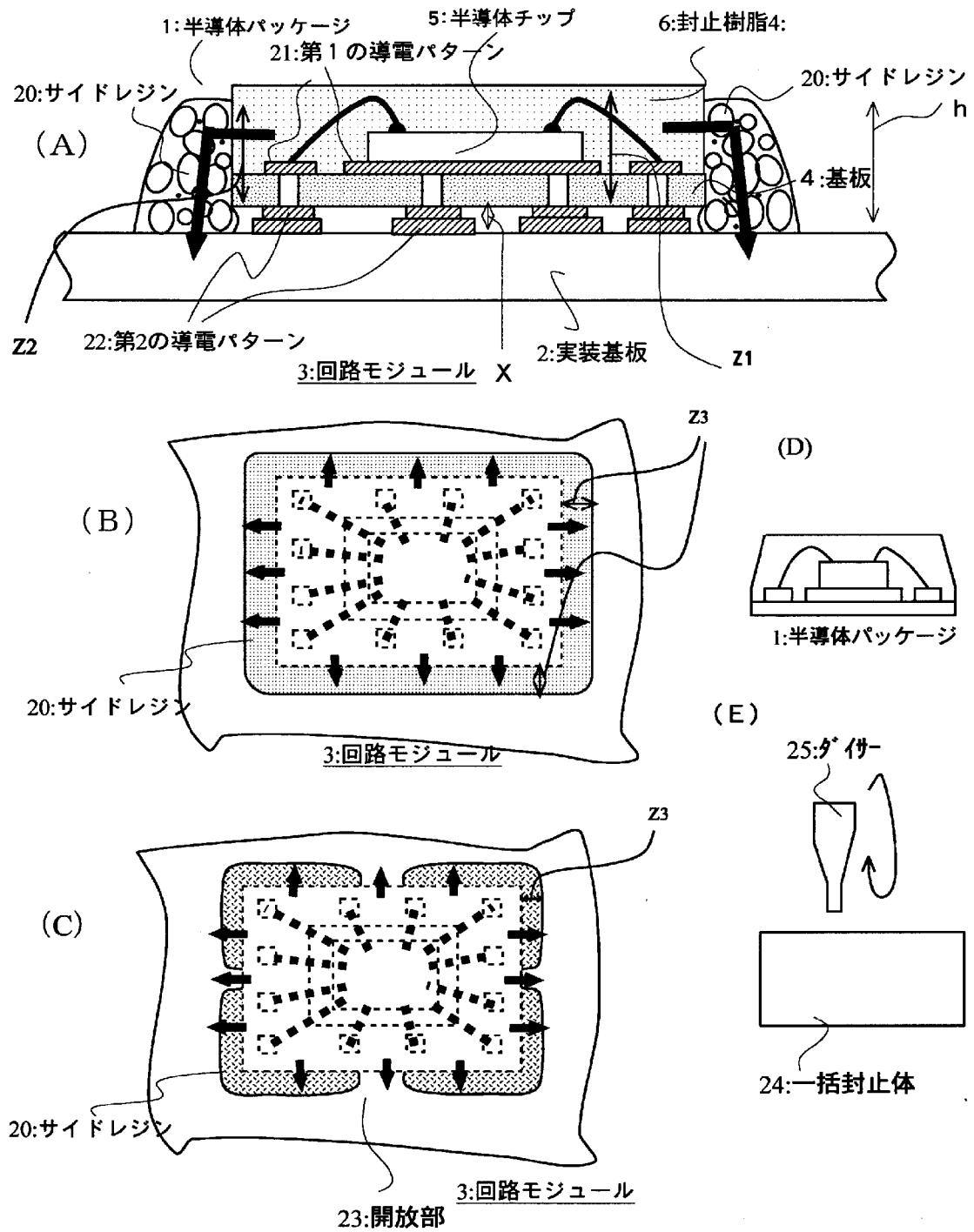
- [0079] 1：半導体パッケージ  
2：実装基板

- 3 : 回路モジュール
- 4 : パッケージ側の基板
- 5 : 半導体チップ
- 6 : 封止樹脂
- 20 : サイドレジン
- 21 : 第1の導電パターン
- 22 : 第2の導電パターン
- 30 : 放熱メタル

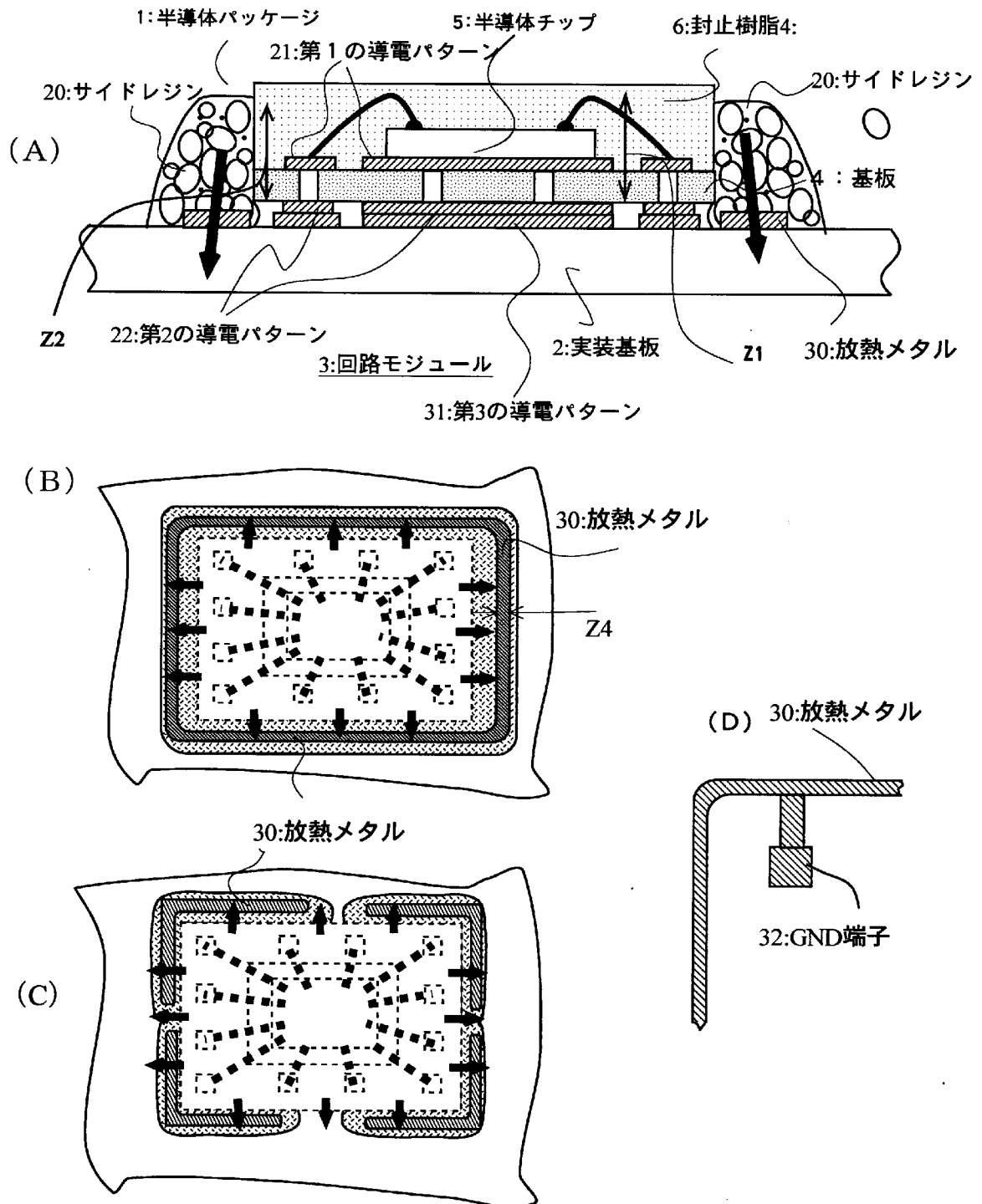
## 請求の範囲

- [請求項1] 上面、前記上面と対向して成る裏面、前記上面と前記裏面の間に配置される4つの側面から成る6面体で成り、裏面に外部接続電極を有する半導体パッケージと、
- 前記半導体パッケージの外部接続電極と対応して表面に接続電極を有し、前記接続電極の上に前記半導体パッケージが設けられ、電氣的に接続された実装基板とを有する回路モジュールに於いて、
- 前記半導体パッケージの側面と接触し、前記側面から前記半導体パッケージの周囲に対応する前記実装基板に設けられ、中にフィラーが充填されたサイドレジンとを有する事を特徴とした回路モジュール。
- [請求項2] 前記サイドレジンのフィラーは、大小のフィラーを有し、大きいフィラーは、前記半導体パッケージ裏面と前記実装基板との間を浸入できないサイズである請求項1に記載の回路モジュール。
- [請求項3] 前記サイドレジンのフィラーの含有量は、80%～95%程度である請求項2に記載の回路モジュール。
- [請求項4] 前記サイドレジンと前記半導体パッケージ側面との接触面積よりも、前記サイドレジンと前記実装基板との接触面積の方が大である請求項2に記載の回路モジュール。
- [請求項5] 前記サイドレジンと前記実装基板との当接領域に於いて、前記半導体パッケージの周囲に相当する実装基板側に放熱メタルが設けられる請求項1に記載の回路モジュール。
- [請求項6] 前記半導体パッケージに封止された半導体チップは、フェイスダウンで実装され、前記半導体パッケージを構成する封止樹脂から裏面が露出し、前記サイドレジンは、前記裏面にも設けられる請求項1に記載の回路モジュール。

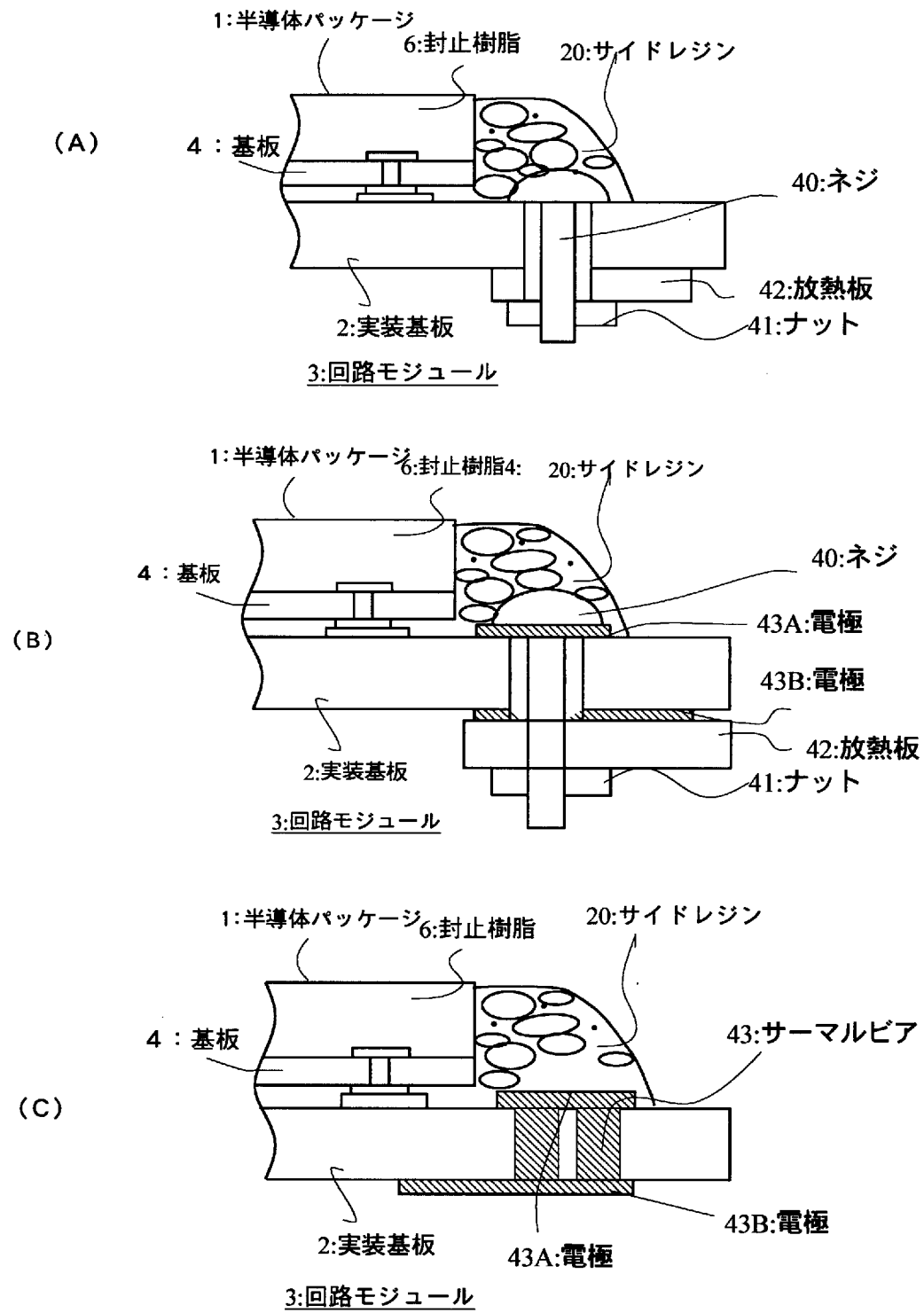
[図1]



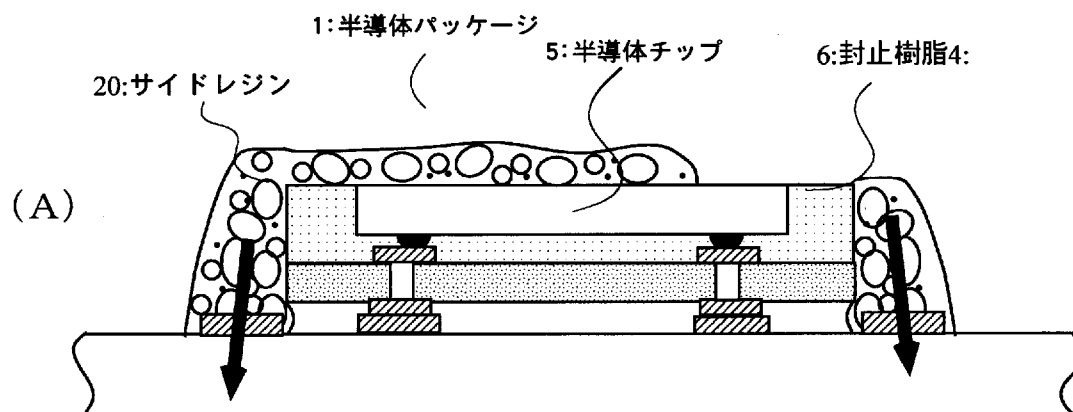
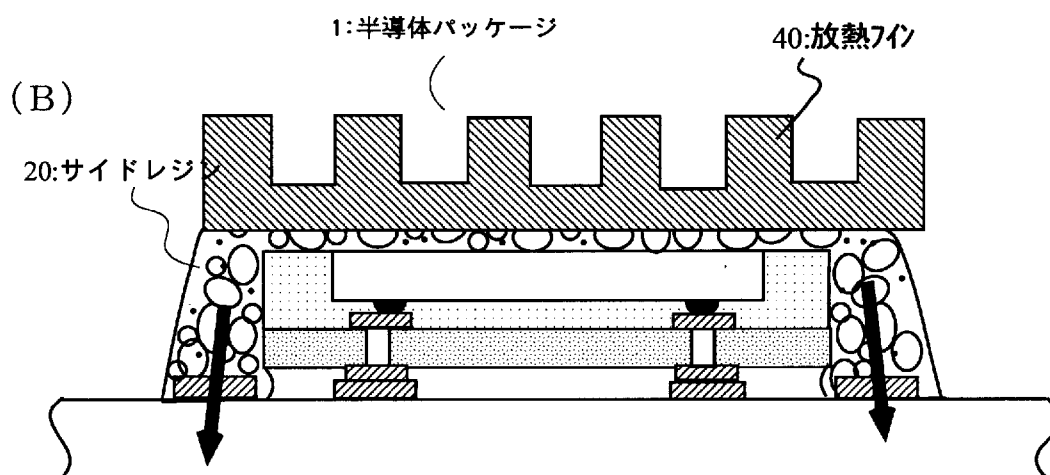
[図2]



[図3]

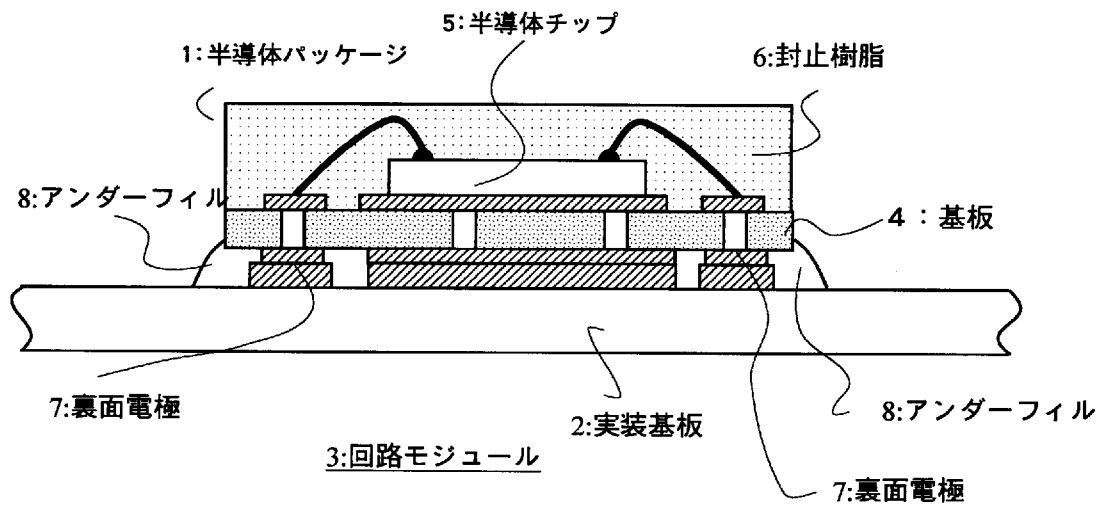


[図4]



[図5]

(A)



(B)

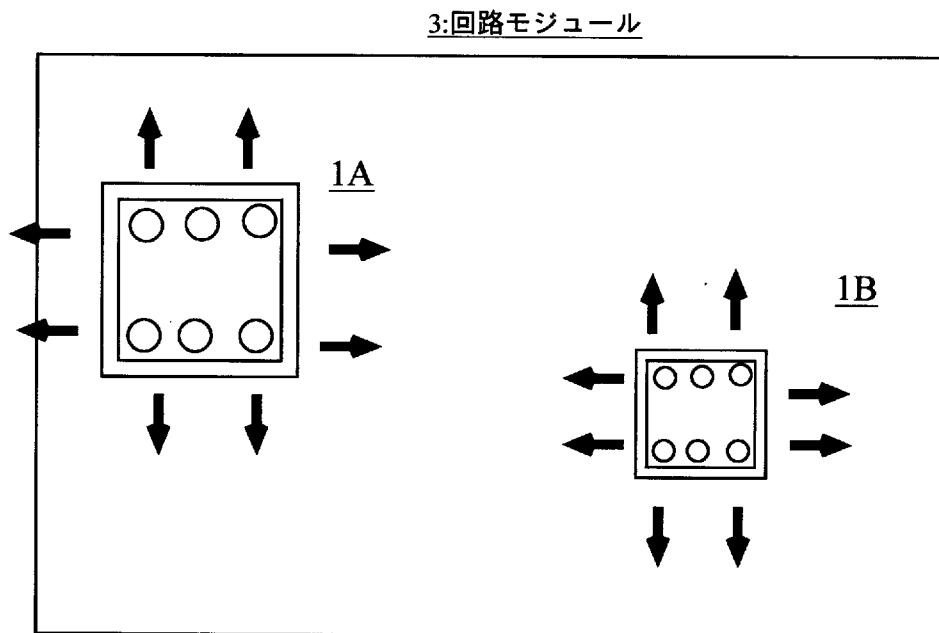


Figure 1 is a cross-sectional view of a semiconductor package assembly. The assembly includes a semiconductor package (1) with a top surface (P) and a side surface. A sealing resin (6) is applied to the side surface. A side resin (20) is applied to the top surface. A heat-conducting metal (30) is applied to the top surface. A substrate (4) is attached to the bottom surface. A circuit module (3) is attached to the bottom surface. A metal core (M) is attached to the bottom surface. A third conductive pattern (31) is attached to the bottom surface. The assembly is mounted on a mounting substrate (2) with a temperature T1. The mounting substrate is on a base (T2).

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/005100

## A. CLASSIFICATION OF SUBJECT MATTER

H01L23/28 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L23/28

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

|                           |           |                            |           |
|---------------------------|-----------|----------------------------|-----------|
| Jitsuyo Shinan Koho       | 1922-1996 | Jitsuyo Shinan Toroku Koho | 1996-2013 |
| Kokai Jitsuyo Shinan Koho | 1971-2013 | Toroku Jitsuyo Shinan Koho | 1994-2013 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                                 | Relevant to claim No. |
|-----------|----------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| X         | JP 2012-182395 A (Taiyo Yuden Co., Ltd.),<br>20 September 2012 (20.09.2012),<br>paragraphs [0005], [0019] to [0040]; fig. 2 to 5<br>(Family: none) | 1, 5-6                |
| X         | JP 2012-129335 A (Renesas Electronics Corp.),<br>05 July 2012 (05.07.2012),<br>paragraphs [0005], [0013] to [0029]; fig. 1 to 6<br>(Family: none)  | 1, 5-6                |
| X         | JP 2004-039945 A (Murata Mfg. Co., Ltd.),<br>05 February 2004 (05.02.2004),<br>paragraphs [0007] to [0026]; fig. 1<br>(Family: none)               | 1-5                   |



Further documents are listed in the continuation of Box C.



See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
07 November, 2013 (07.11.13)

Date of mailing of the international search report  
19 November, 2013 (19.11.13)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L23/28(2006.01)i

## B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L23/28

最小限資料以外の資料で調査を行った分野に含まれるもの

|             |                     |
|-------------|---------------------|
| 日本国実用新案公報   | 1 9 2 2 - 1 9 9 6 年 |
| 日本国公開実用新案公報 | 1 9 7 1 - 2 0 1 3 年 |
| 日本国実用新案登録公報 | 1 9 9 6 - 2 0 1 3 年 |
| 日本国登録実用新案公報 | 1 9 9 4 - 2 0 1 3 年 |

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

## C. 関連すると認められる文献

| 引用文献の<br>カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                           | 関連する<br>請求項の番号 |
|-----------------|-----------------------------------------------------------------------------|----------------|
| X               | JP 2012-182395 A（太陽誘電株式会社）2012.09.20, 第5,19-40段落、第2-5図（ファミリーなし）             | 1,5-6          |
| X               | JP 2012-129335 A（ルネサスエレクトロニクス株式会社）<br>2012.07.05, 第5,13-29段落、第1-6図（ファミリーなし） | 1,5-6          |
| X               | JP 2004-039945 A（株式会社村田製作所）2004.02.05, 第7-26段落、<br>第1図（ファミリーなし）             | 1-5            |

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）  
「O」口頭による開示、使用、展示等に言及する文献  
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」同一パテントファミリー文献

国際調査を完了した日

0 7 . 1 1 . 2 0 1 3

国際調査報告の発送日

1 9 . 1 1 . 2 0 1 3

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）  
郵便番号100-8915  
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

長谷部 智寿

4 R

3 3 3 9

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 7 1