(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0114057
(43) 공개일자 2017년10월13일

(51) 국제특허분류(Int. Cl.)
H01L 21/02 (2006.01) *C09D 181/00* (2006.01)
H01L 29/786 (2006.01)
(52) CPC특허분류
H01L 21/02672 (2013.01)
C09D 181/00 (2013.01)
(21) 출원번호 10-2016-0040093
(22) 출원일자 2016년04월01일
심사청구일자 2016년04월01일

(71) 출원인
인천대학교 산학협력단
인천광역시 연수구 아카데미로 119 (송도동)
(72) 발명자
박영돈
인천광역시 연수구 아카데미로 119, 공과대학 8호관 에너지화학공학과 570호 (송도동,인천대학교)
김신애
인천광역시 남구 주안7동 1432-157
(74) 대리인
차준용

전체 청구항 수 : 총 12 항

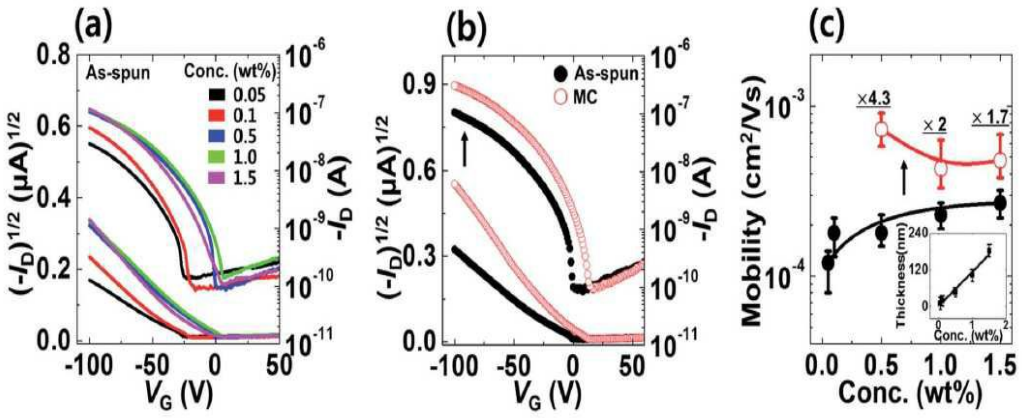
(54) 발명의 명칭 **한계성 용매 처리에 의한 얇은 막에서의 분자 결정성 향상방법**

(57) 요 약

본 발명은 한계성 용매 처리에 의한 얇은 막에서의 분자 결정성 향상방법에 관한 것으로, 더욱 상세하게는 특정 두께 범위(45~55 nm)의 얇은 폴리사이오펜(P3HT) 박막을 고분자 코팅층이 완전 고체화되기 전에 한계성 용매(Marginal solvent)인 메틸렌 클로라이드(MC)에 직접 노출시켜 후-처리함으로써, 폴리사이오펜 박막 하부 영역의 모폴로지 및 분자 정렬성을 개선하고, 이에 따라 바텀 게이트(Bottom Gate) 구조의 전계효과 트랜지스터에 있어서 채널이 형성되는 부분인 박막 하부 계면 영역의 구조적, 전기적 특성(전하 이동도 등)을 크게 향상시킬 수 있는, 한계성 용매 처리에 의한 얇은 막에서의 박막 하부의 채널 영역의 분자 결정성 향상방법에 관한 것이다.

이러한 본 발명의 효과는 바텀 게이트(Bottom Gate) 소자의 전하이동 측면에서 가장 중요한 부분인 박막 하부(아래쪽)의 구조적 특성을 면밀히 분석함으로써 구체적으로 확인되었다.

대 표 도 - 도1



(52) CPC특허분류
H01L 21/0242 (2013.01)
H01L 29/78678 (2013.01)

이 발명을 지원한 국가연구개발사업
과제고유번호 2014R1A1A2057015
부처명 교육부
연구관리전문기관 한국연구재단
연구사업명 기본연구
연구과제명 π-전자분자 기반 n차원 나노구조체의 전하이동 메카니즘 분석
기 여 율 1/1
주관기관 인천대학교 산학협력단
연구기간 2014.11.01 ~ 2017.04.30

명 세 서

청구범위

청구항 1

전계효과 트랜지스터(Field-Effect Transistors; FETs)용 전도성 고분자 박막의 비(非)열처리 방식에 의한 처리 방법으로서,

상기 전계효과 트랜지스터(FETs)는 전도성 고분자 박막 활성층의 바닥면과 유전체층 사이의 계면에서 채널이 형성되는, 바텀 게이트(Bottom Gate) 구조의 트랜지스터 소자이고,

상기 전도성 고분자 박막은 폴리사이오펜 박막으로서 폴리(3-헥실사이오펜)(Poly(3-hexylthiophene); P3HT) 박막이며,

상기 처리방법은,

a) 게이트 전극 위에 형성된 유전체층 상에 폴리사이오펜 용액을 코팅하여 폴리사이오펜 박막을 형성하되, 폴리사이오펜 박막이 45~55 nm 범위의 얇은 두께로 형성되도록 코팅을 하는 단계; 및

b) 코팅된 폴리사이오펜 박막이 상기 폴리사이오펜 용액 중의 용매를 일부 함유한 상태로서 박막이 완전 고체화되기 전에, 상기 폴리사이오펜에 대한 한계성 용매(Marginal solvent)인 메틸렌 클로라이드(CH_2Cl_2; MC)를 실온에서 그 위에 스핀 캐스팅(Spin-casting)하여 한계성 용매를 폴리사이오펜 박막에 직접 접촉시키는 단계;를 포함하며,

상기 처리방법은 폴리사이오펜 박막 하부의 채널 영역의 분자 결정성을 개선하는 것을 특징으로 하는,

한계성 용매 처리에 의한 얇은 막에서의 분자 결정성 향상방법.

청구항 2

제1항에 있어서,

상기 a) 단계는 클로로포름(Chloroform)에 폴리(3-헥실사이오펜)(P3HT)을 녹인 폴리사이오펜 용액의 농도를 변화시켜, 코팅되는 폴리사이오펜 박막의 두께를 45~55 nm로 조절하는 것임을 특징으로 하는,

한계성 용매 처리에 의한 얇은 막에서의 분자 결정성 향상방법.

청구항 3

제2항에 있어서,

상기 a) 단계는 게이트 전극 위에 형성된 유전체층 상에 폴리사이오펜 박막을 48 nm의 두께로 코팅하는 것임을 특징으로 하는,

한계성 용매 처리에 의한 얇은 막에서의 분자 결정성 향상방법.

청구항 4

제3항에 있어서,

상기 a) 단계는 농도가 0.5 wt%인 폴리사이오펜 용액을 사용하여, 코팅되는 폴리사이오펜 박막의 두께를 48 nm로 조절하는 것임을 특징으로 하는,

한계성 용매 처리에 의한 얇은 막에서의 분자 결정성 향상방법.

청구항 5

제4항에 있어서,

상기 처리된 전도성 고분자 박막을 이용한 전계효과 트랜지스터(FETs)의 전하 운반체 이동도(Charge carrier mobility)는 처리되지 않은 전도성 고분자 박막을 이용한 경우 대비 4.3배 증가하는 것을 특징으로 하는,

한계성 용매 처리에 의한 얇은 막에서의 분자 결정성 향상방법.

청구항 6

제1항에 있어서,

상기 a) 단계의 코팅은 스핀 코팅(Spin-coating)에 의해 수행되는 것을 특징으로 하는,

한계성 용매 처리에 의한 얇은 막에서의 분자 결정성 향상방법.

청구항 7

제6항에 있어서,

상기 스핀 코팅은 2000 rpm으로 60초 동안 수행되는 것임을 특징으로 하는,

한계성 용매 처리에 의한 얇은 막에서의 분자 결정성 향상방법.

청구항 8

제1항에 있어서,

상기 b) 단계는 폴리사이오펜 용액을 코팅하여 폴리사이오펜 박막을 형성한 후 1~2초가 지난 뒤 바로 메틸렌 클로라이드(MC)를 스핀 캐스팅하여, 폴리사이오펜 박막이 완전 고체화되기 전에 한계성 용매(Marginal solvent)로 처리하는 것임을 특징으로 하는,

한계성 용매 처리에 의한 얇은 막에서의 분자 결정성 향상방법.

청구항 9

제1항에 있어서,

상기 폴리(3-헥실사이오펜)(P3HT)은 분자량(M_w)이 37 kDa, 위치규칙성(RR)이 89~92%인 것을 특징으로 하는,

한계성 용매 처리에 의한 얇은 막에서의 분자 결정성 향상방법.

청구항 10

제1항에 있어서,

상기 처리방법에 따라, 전계효과 트랜지스터(FETs)용 전도성 고분자 박막 활성층의 상면과 더불어 바닥면의 모폴로지가 변화하는 것을 특징으로 하는,

한계성 용매 처리에 의한 얇은 막에서의 분자 결정성 향상방법.

청구항 11

제1항에 있어서,

상기 처리방법에 따라 처리된 전계효과 트랜지스터(FETs)용 전도성 고분자 박막은 스핀 캐스팅시 한계성 용매(Marginal solvent)가 드롭된 중앙 영역에서 가장 큰 전계효과 이동도(Field-effect mobility) 증가 폭을 나타냄을 특징으로 하는,

한계성 용매 처리에 의한 얇은 막에서의 분자 결정성 향상방법.

청구항 12

전계효과 트랜지스터(Field-Effect Transistors; FETs)용 전도성 고분자 박막의 비(非)열처리 방식에 의한 처리방법으로서,

상기 전계효과 트랜지스터(FETs)는 전도성 고분자 박막 활성층의 바닥면과 유전체층 사이의 계면에서 채널이 형성되는, 바텀 게이트(Bottom Gate) 구조의 트랜지스터 소자이고,

상기 전도성 고분자 박막은 폴리사이오펜 박막으로서 폴리(3-헥실사이오펜)(Poly(3-hexylthiophene); P3HT) 박막이며,

상기 처리방법은,

a) 옥타데실트리클로로실란(ODTS)으로 처리된 SiO_2 기판 위에 폴리사이오펜 용액을 코팅하여 폴리사이오펜 박막을 형성하되, 폴리사이오펜 박막이 45~55 nm 범위의 얇은 두께로 형성되도록 코팅을 하는 단계;

b) 코팅된 폴리사이오펜 박막이 상기 폴리사이오펜 용액 중의 용매를 일부 함유한 상태로서 박막이 완전 고체화되기 전에, 상기 폴리사이오펜에 대한 한계성 용매(Marginal solvent)인 메틸렌 클로라이드(CH_2Cl_2; MC)를 실온에서 그 위에 스핀 캐스팅(Spin-casting)하여 한계성 용매를 폴리사이오펜 박막에 직접 접촉시키는 단계;

c) 임베딩 에폭시(Embedding epoxy)층을 얻어진 폴리사이오펜 박막의 상면 위에 드롭한 다음, 대기 조건 하에서 60 ℃로 6시간 동안 경화시킨 후, 액체 질소에 담궈 에폭시-P3HT 복합체를 벗겨내어 폴리사이오펜 박막을 트랜스퍼링하는 단계; 및

d) 분리된 폴리사이오펜 박막 하부(Bottom)의 모폴로지 및 거침도를 원자력 현미경(AFM)을 이용하여 분석하는 단계;를 포함하며,

상기 처리방법은 폴리사이오펜 박막 하부의 채널 영역의 분자 결정성을 개선하는 것을 특징으로 하는,

한계성 용매 처리에 의한 얇은 막에서의 분자 결정성 향상방법.

발명의 설명

기 술 분 야

[0001] 본 발명은 한계성 용매 처리에 의한 얇은 막에서의 분자 결정성 향상방법에 관한 것으로, 더욱 상세하게는 특정 두께 범위(45~55 nm)의 얇은 폴리사이오펜(P3HT) 박막을 고분자 코팅층이 완전 고체화되기 전에 한계성 용매(Marginal solvent)인 메틸렌 클로라이드(MC)에 직접 노출시켜 후-처리함으로써, 폴리사이오펜 박막 하부 영역의 모폴로지 및 분자 정렬성을 개선하고, 이에 따라 바텀 게이트(Bottom Gate) 구조의 전계효과 트랜지스터에 있어서 채널이 형성되는 부분인 박막 하부 계면 영역의 구조적, 전기적 특성(전하 이동도 등)을 크게 향상시킬 수 있는, 한계성 용매 처리에 의한 얇은 막에서의 박막 하부의 채널 영역의 분자 결정성 향상방법에 관한 것이다.

[0002] 이러한 본 발명의 효과는 바텀 게이트(Bottom Gate) 소자의 전하이동 측면에서 가장 중요한 부분인 박막 하부

(아래쪽)의 구조적 특성을 면밀히 분석함으로써 구체적으로 확인되었다.

배 경 기 술

[0003] π-비국소 공액 고분자에 기반한 유기 전계효과 트랜지스터(OFETs)는 다양한 분야에서 낮은 비용으로 쉽게 제작이 가능한 장점이 있어 그 기술개발이 활발히 이루어지고 있는 전자 소자이다.

[0004] 공액 고분자 박막의 모폴로지(Morphology)는 약한 분자간 π-π 커플링에 의해 주로 유발되는 사슬간 상호작용에 의존하는데, 용액 공정 기술을 이용할 경우 박막 형성 과정 중 고분자층 내에서 구조적 결함이 빈번하게 발생하고 있다.

[0005] 이처럼 열악한 조직 배열에 따른 구조적 결함은 약한 반데르발스 상호작용에 의해 정렬되지 않은 부분들을 거쳐 전하 운반체 수송(Charge carrier transport)을 제한하게 되고, 그 결과 소자의 성능을 저하시킨다.

[0006] 이러한 이유로, 용액 공정을 통해 형성된 π-공액 고분자 박막 내의 정렬된 분자 패킹 내지 결정 정렬성(Crystalline order)은 이를 적용한 소자의 전기적 특성을 결정하는 중요한 요소가 되며, 특히 채널 영역의 모폴로지는 소자 성능에 직접적으로 영향을 미치게 된다.

[0007] 최근, 고분자 박막의 분자 정렬성 및 모폴로지를 개선하기 위해 다양한 연구 및 노력들이 지속되고 있다.

[0008] 구체적으로, 용매의 선택, 박막 형성방법, 및 열적 또는 용매증기 어닐링(Annealing)과 같은 후-처리(Post-treatment) 등 몇몇 공정 변수들을 적용하여 용액 공정을 통해 제작되는 고분자 박막의 모폴로지 및 결정 정렬성 개선을 도모한 바 있다.

[0009] 그러나, 열적 어닐링은 유리전이온도(T_g)가 낮은 플렉서블 기판에는 적합하지 않은바, 이는 열적 어닐링 과정이 게이트 유전체층의 특성 저하를 유발할 수 있기 때문이다. 또한 전유기물질로 트랜지스터를 제조할 경우 유기물의 고온 취약성 문제를 해결할 수 없는 단점이 있다.

[0010] 한편, 또 다른 후-처리 방식인 용매증기 어닐링(Solvent vapor annealing)은 대규모의 연속식 박막 프로세스에는 부적합하고, 특히 기화된 용매의 인화성으로 인해 위험성이 커서 실제 산업 현장에는 사실상 적용이 어려운 방식이다.

[0011] 아울러, 열적 어닐링 및 용매증기 어닐링과 같은 후-처리 과정을 수행하는 데에는 적어도 20분 이상 내지 1시간 정도의 긴 시간이 소요되어 효율성이 떨어지는 문제가 있다.

[0012] 이러한 관점에서, 일부 연구진은 단순한 용매 처리를 통해서도 소자의 성능이 향상될 수 있음을 제안한 바 있고, 본 발명자들은 선행 연구를 통해 고분자 박막을 용매와 직접 접촉시킴으로써 짧은 시간에 효율적으로 고분자 사슬을 이동화 및 재조직화할 수 있음을 밝힌 바 있다.

[0013] 구체적으로, 용매가 소자 성능에 미치는 긍정적 영향은 활성층에서의 분자 정렬성 및 배향의 최적화와 관련이 있으며, 이를 통해 바텀 게이트(Bottom Gate) 구조 트랜지스터의 활성층 및 유전체 사이의 계면 근방에 형성되는 채널 영역에서의 모폴로지를 개선할 수 있을 것으로 예상된다.

[0014] 그러나, 이처럼 채널 모폴로지가 소자 성능에 결정적 역할을 함에도 불구하고, 아직까지 박막의 용매 처리에 있어 용매의 침투 깊이와 활성층 박막의 바텀(Bottom) 영역, 즉 채널 영역 모폴로지간의 상관관계를 체계적으로 연구한 케이스는 전무한 상황이다.

[0015] 구체적으로, 바텀 게이트(Bottom Gate) 소자에서는 채널이 형성되는 영역인 고분자 활성층 박막의 아래쪽이 전하이동 측면에서 가장 중요한 부분임에도 불구하고, 원자력 현미경(AFM) 등으로 박막 아래쪽을 분석하는게 까다로워 이 부분에 대한 체계적인 특성 규명이 제대로 이루어지지 않고 있다.

[0016] 이와 관련하여, 본 발명자들은 알코올 또는 아세톤처럼 폴리(3-헥실사이오펜)(P3HT)에 대한 용해력이 떨어지는 용매를 채택하여 실험한 바 있으나, 이러한 용매는 소자의 성능을 개선하지 못하였다. 한편 고분자 박막의 두께와 처리 용매의 당해 고분자에 대한 용해 특성을 고려하지 않은 용매 선택은 박막을 심하게 손상시킬 수 있는바 각별한 주의를 요한다.

[0017] 이에, 종래의 열적 어닐링 내지 용매증기 어닐링을 대체한 용매 직접 후-처리 방식으로서, 박막의 손상 없이 FETs와 같은 유기 전자 소자에 사용되는 고분자 박막 하부의 채널 영역의 분자 결정성, 모폴로지 및 전기적 특성을 간단하고도 효율적으로 대폭 향상시킬 수 있는 새로운 방법에 대한 개발이 절실히 요구되고 있다.

선행기술문헌

비특허문헌

[0018] (비특허문헌 0001) Y. Cui, Z. Zhong, D. Wang, W. U. Wang and C. M. Lieber, Nano Lett., 2003, 3, 149-152.

발명의 내용

해결하려는 과제

[0019] 상기와 같은 종래기술의 문제점을 해결하기 위해, 본 발명자들은 기판 상에 코팅된 폴리사이오펜 박막의 두께 및 처리 용매의 용해력간의 상관관계가 박막 하부의 채널 영역 모폴로지와 전기적 특성에 미치는 영향을 체계적으로 연구하였다.

[0020] 구체적으로, 본 발명자들은 바텀 게이트(Bottom Gate) 소자에서 채널이 형성되는 영역으로서 전하이동 측면에서 가장 중요한 부분인 폴리사이오펜 박막 아래쪽의 특성을 면밀히 분석하였다.

[0021] 또한, 연구 결과, 본 발명자들은 전도성 고분자 박막 위에 용매 처리를 하였을 경우, 용매의 침투 깊이가 한정적이기 때문에 고분자 박막 두께에 따라 결정성 향상 정도에서 차이가 발생함을 확인하였다.

[0022] 구체적으로, 본 발명자들은 고분자 트랜지스터를 P3HT 고분자 용액의 농도를 변화시켜가며 두께별로 제조하고, 한계성 용매(Marginal solvent)인 메틸렌 클로라이드(MC)를 P3HT 박막 위에 처리하였을 경우, 아래 채널 영역(활성층과 유전체 사이 계면 근방)의 모폴로지, 분자 정렬성 및 결정성 향상에 미치는 영향을 UV-vis 및 원자력현미경(AFM) 기술 등을 사용하여 박막 "두께별"로 분석하였으며, 그 결과 용매 처리에 적합한 특정의 박막 두께 범위 및 포지션을 도출하였다.

[0023] 이를 통해, 본 발명자들은 기존 열적 어닐링 및 용매증기 어닐링 등의 후-처리 방식을 대체할 수 있는 것으로서, 간단하고 효율적인 방법으로 FETs용 폴리사이오펜 박막 하부의 구조적, 전기적 특성을 향상시킬 수 있는 방법을 제공하고자 한다.

과제의 해결 수단

[0024] 상기한 기술적 과제를 달성하고자, 본 발명은

[0025] 전계효과 트랜지스터(Field-Effect Transistors; FETs)용 전도성 고분자 박막의 비(非)열처리 방식에 의한 처리 방법으로서,

[0026] 상기 전계효과 트랜지스터(FETs)는 전도성 고분자 박막 활성층의 바닥면과 유전체층(또는 절연체층) 사이의 계면에서 채널이 형성되는, 바텀 게이트(Bottom Gate) 구조의 트랜지스터 소자이고,

[0027] 상기 전도성 고분자 박막은 폴리사이오펜 박막으로서 폴리(3-헥실사이오펜)(Poly(3-hexylthiophene); P3HT) 박

막이며,

[0028] 상기 처리방법은,

[0029] a) 게이트 전극 위에 형성된 유전체층 상에 폴리사이오펜 용액을 코팅하여 폴리사이오펜 박막을 형성하되, 폴리사이오펜 박막이 45~55 nm 범위의 얇은 두께로 형성되도록 코팅을 하는 단계; 및

[0030] b) 코팅된 폴리사이오펜 박막이 상기 폴리사이오펜 용액 중의 용매를 일부 함유한 상태로서 박막이 완전 고체화되기 전에, 상기 폴리사이오펜에 대한 한계성 용매(Marginal solvent)인 메틸렌 클로라이드(CH_2Cl_2; MC)를 실온에서 그 위에 스핀 캐스팅(Spin-casting)하여 한계성 용매를 폴리사이오펜 박막에 직접 접촉(Direct contact)시키는 단계;를 포함하며,

[0031] 상기 처리방법은 폴리사이오펜 박막 하부의 채널 영역의 분자 결정성을 개선하는 것을 특징으로 하는,

[0032] 한계성 용매 처리에 의한 얇은 막에서의 분자 결정성 향상방법을 제공한다.

[0033] 본 발명은 전도성 고분자 박막의 비(非)열처리 방식에 의한 처리방법으로서, 바텀 게이트(Bottom Gate) 구조의 전계효과 트랜지스터(FETs)를 대상으로 한다.

[0034] 바텀 게이트(Bottom Gate) 전계효과 트랜지스터(FETs)는 게이트 전극/유전체층/고분자 활성층/소스 및 드레인 전극이 순차적으로 적층된 구조로서, 상기 유전체층의 상부와 고분자 활성층의 하부 사이 계면 영역에서 채널이 형성된다. 따라서 전도성 고분자 박막(활성층)의 하부, 즉 계면 근방의 구조적, 전기적 특성 향상 여부가 소자 성능을 결정짓는 중요한 요소가 된다.

[0035] 즉, 바텀 게이트(Bottom Gate) 소자에 있어 채널이 형성되는 영역인 고분자 활성층 박막의 아래쪽이 전하이동 측면에서 가장 중요한 부분임에도 불구하고, 종래에는 박막 하부에 대한 분석의 어려움으로 인해 박막 하부의 특성 변화에 대해서는 적극적 관심을 보이지 않았다.

[0036] 이에, 본 발명은 전계효과 트랜지스터(FETs)용 전도성 고분자 박막 활성층의 상면은 물론, 특히 바닥면의 모폴로지, 분자 결정성 및 결정 정렬 균일성(Crystal order homogeneity)을 유리하게 개선할 수 있도록, 처리 대상인 박막의 두께, 처리 용매 및 기타 처리 조건을 특별히 특정한 것이다.

[0037] 본 발명에 있어서, 상기 전도성 고분자 박막으로는 폴리사이오펜 중 폴리(3-헥실사이오펜)(Poly(3-hexylthiophene); P3HT) 박막을 사용한다. 여기서 상기 폴리(3-헥실사이오펜)(P3HT)은 분자량(M_w)이 37 kDa, 위치규칙성(RR)이 89~92%인 것일 수 있다.

[0038] 또한, 본 발명은 용매 처리의 대상인 폴리사이오펜(P3HT) 박막의 두께를 45~55 nm(더욱 상세하게는, 48 nm)로 한정한다. 이는 고분자 박막 위에 용매 처리시 용매의 침투 깊이가 제한되므로 박막의 두께가 박막 하부의 결정성 향상에 중요한 요소가 된다는 점, 처리 용매의 용해력에 의해 처리 대상인 박막이 손상되어서는 안 된다는 점을 모두 고려한 두께 범위이다.

[0039] 구체적으로, 박막의 두께가 45 nm 미만으로 너무 얇으면 코팅된 박막의 일부 내지 대부분이 씻겨져 나가고 군데군데 구멍이 뚫려 박막의 수율 및 균일성이 급격히 저하된다. 예를 들어 한계성 용매 처리에 의해 박막의 두께는 약 60% 정도 감소하게 되는데, 박막의 두께가 45 nm 미만(예컨대, 40 nm 이하)이면 코팅된 박막의 약 절반 정도는 심각한 손상을 겪어 사용할 수 없는 상태가 된다. 반대로 55 nm를 초과(예컨대, 80~100 nm 수준의 종래 통상적인 코팅 두께)하여 너무 두꺼우면 박막의 상면에 접촉된 한계성 용매의 침투 거리가 제한되어 채널이 형성되는 계면 영역인 박막 바텀 부분의 분자 결정성 내지 모폴로지 개선을 도모할 수 없다.

[0040] 상기 a) 단계는 클로로포름(Chloroform)에 폴리(3-헥실사이오펜)(P3HT)을 녹인 폴리사이오펜 용액의 농도를 변화시킴으로써, 코팅되는 폴리사이오펜 박막의 두께를 45~55 nm로 조절하는 것일 수 있다.

[0041] 박막의 두께 결정에는 코팅 용액의 농도가 가장 중요한 요소로 작용하며, 예를 들어 본 발명에서는 폴리사이오펜 용액의 농도를 약 0.47 wt%에서 약 0.57 wt%로 증가시킴에 따라 폴리사이오펜 박막의 두께를 45 nm에서 55

nm로 증가시킬 수 있다.

[0042] 바람직한 일 구체예에서, 본 발명은 폴리사이오펜 박막을 48 nm의 두께로 코팅하는 것일 수 있으며, 이때 코팅 용액으로는 농도가 0.5 wt%인 폴리사이오펜 용액을 사용한다. 본 발명자들은 이처럼 처리된 폴리사이오펜 박막은 정렬성이 크게 향상되고, 이에 수반하여 이를 이용하여 제작한 전계효과 트랜지스터(FETs)는 미처리된 폴리사이오펜 박막을 이용한 경우 대비 전하 운반체 이동도(Charge carrier mobility)가 최대 4.3배나 증가함을 실험을 통해 확인하였다.

[0043] 상기 a) 단계의 폴리사이오펜 용액 코팅은 스핀 코팅(Spin-coating)에 의해 수행될 수 있다. 다만 폴리사이오펜 박막의 두께를 전술한 범위로 조절할 수 있는 것이라면 바 코팅(Bar-coating), 잉크젯 프린팅(Ink-jet printing) 및 스크린 프린팅(Screen printing) 등과 같은 다른 용액 공정 코팅법을 사용할 수도 있다.

[0044] 일 구체예에서, 상기 스핀 코팅은 2000 rpm의 조건으로 60초 동안 수행되는 것일 수 있다.

[0045] 또한, 본 발명은 b) 단계로서 상기 a) 단계를 거친 고분자 코팅층이 완전 고체화되기 전에(즉, 완전 건조되기 전에) 바로(예컨대, 코팅 후 1~2초 경과한 때) 그 위에 용매를 직접 접촉시키는 것을 특징으로 한다.

[0046] 이처럼, 코팅된 폴리사이오펜 박막이 폴리사이오펜 용액 중의 용매(예컨대, 클로로포름)를 머금고 있어 박막이 완전 고체화되기 전에 바로 용매 처리를 하면, 박막의 적절한 식각을 용이하게 하고 처리 용매의 박막 내 침투 효과를 극대화할 수 있다. 이러한 용매 함유 조건에서의 추가적인 한계성 용매 처리는 코팅된 박막을 고온으로 열적 후-처리하는 종래의 열적 어닐링 방식과는 매우 상이한 처리방법이다.

[0047] 본 단계의 스핀 캐스팅은 1회 수행하는 것이 바람직하다. 상기 한계성 용매 처리를 2회 이상 반복할 경우 45~55 nm(예컨대, 48 nm)의 적절한 얇은 범위로 두께가 한정된 폴리사이오펜 박막이 손상될 수 있기 때문이다.

[0048] 또한, 본 발명은 실온(RT)에서 폴리(3-헥실사이오펜)(P3HT)에 대한 한계성 용매(Marginal solvent)인 메틸렌 클로라이드(CH_2Cl_2; MC)를 박막의 처리 용매로 특별히 사용한다.

[0049] 한계성 용매(Marginal solvent)란 용해도가 양용매(Good solvent)보다는 안 좋고 비용매(내지 빈용매; Poor solvent)보다는 좋은 용매를 말하며, 실온에서 P3HT의 단지 낮은 M_w 부분만을 가용화(용해)시키는 용매이다. 즉 한계성 용매는 폴리사이오펜의 백본(Backbone)보다는 주로 폴리사이오펜의 알킬 측쇄를 용해시키는 용매로서, 이러한 한계성 용매의 침투에 의해 π-공액 폴리사이오펜 분자들 사이의 분리가 원활히 일어나게 된다.

[0050] 본 발명에 있어 P3HT에 대한 양용매를 사용하면 박막이 다 씻겨져 나가 버리고, 비용매를 사용하면 박막 특성 개선 효과가 거의 나타나지 않으며, P3HT에 대한 한계성 용매(MC)만이 선택적으로 폴리사이오펜 박막(45~55 nm)의 손상을 방지하면서 분자 정렬성 및 결정성을 크게 향상시킬 수 있었다.

[0051] 아울러, 상기 b) 단계는 실온(내지 상온)에서 폴리사이오펜 박막에 용매를 직접 접촉시켜 처리하는 것인바, 종래 용매증기 어닐링(Solvent vapor annealing) 방식과 같이 소정의 열을 가해 용매를 증기로 기화시킬 필요가 없고 안전성이 담보되어 실제 산업 현장에도 쉽게 적용이 가능한 장점이 있다.

[0052] 본 발명에 따라 처리된 전계효과 트랜지스터(FETs)용 폴리사이오펜 박막은 박막의 영역 중 가장자리(엣지; Edge) 영역보다는 중앙(센터; Center) 영역에서 더욱 두드러진 용매 처리의 효과를 나타낸다.

[0053] 구체적으로, 스핀 캐스팅시 한계성 용매(Marginal solvent)가 드롭된 중앙 위치에서 (미처리된 경우 대비) 가장 큰 전계효과 이동도(Field-effect mobility) 증가 폭을 나타내었다.

[0054] 이는, 용매 캐스팅 과정 중 박막의 중앙 영역이 가장자리 영역보다 상대적으로 더욱 긴 시간 메틸렌 클로라이드(MC)에 노출되고, 그 결과 중앙 영역이 더욱 얇아지지만 더욱 정렬된 박막 구조를 형성하여, 이에 따라 얻어진 전계효과 트랜지스터(FETs)의 전하 운반체 수송을 더욱 증가시켰기 때문이다.

[0055] 또한, 본 발명의 다른 측면으로,

[0056] 전계효과 트랜지스터(Field-Effect Transistors; FETs)용 전도성 고분자 박막의 비(非)열처리 방식에 의한 처리 방법으로서,

[0057] 상기 전계효과 트랜지스터(FETs)는 전도성 고분자 박막 활성층의 바닥면과 유전체층 사이의 계면에서 채널이 형성되는, 바텀 게이트(Bottom Gate) 구조의 트랜지스터 소자이고,

[0058] 상기 전도성 고분자 박막은 폴리사이오펜 박막으로서 폴리(3-헥실사이오펜)(Poly(3-hexylthiophene); P3HT) 박막이며,

[0059] 상기 처리방법은,

[0060] a) 옥타데실트리클로로실란(ODTS)으로 처리된 SiO_2 기판 위에 폴리사이오펜 용액을 코팅하여 폴리사이오펜 박막을 형성하되, 폴리사이오펜 박막이 45~55 nm 범위의 얇은 두께로 형성되도록 코팅을 하는 단계;

[0061] b) 코팅된 폴리사이오펜 박막이 상기 폴리사이오펜 용액 중의 용매를 일부 함유한 상태로서 박막이 완전 고체화되기 전에, 상기 폴리사이오펜에 대한 한계성 용매(Marginal solvent)인 메틸렌 클로라이드(CH_2Cl_2; MC)를 실온에서 그 위에 스핀 캐스팅(Spin-casting)하여 한계성 용매를 폴리사이오펜 박막에 직접 접촉시키는 단계;

[0062] c) 임베딩 에폭시(Embedding epoxy)층을 얻어진 폴리사이오펜 박막의 상면 위에 드롭한 다음, 대기 조건 하에서 60 ℃로 6시간 동안 경화시킨 후, 액체 질소에 담궈 에폭시-P3HT 복합체를 벗겨내어 폴리사이오펜 박막을 트랜스퍼링하는 단계; 및

[0063] d) 분리된 폴리사이오펜 박막 하부(Bottom)의 모폴로지 및 거침도를 원자력 현미경(AFM)을 이용하여 분석하는 단계;를 포함하며,

[0064] 상기 처리방법은 폴리사이오펜 박막 하부의 채널 영역의 분자 결정성을 개선하는 것을 특징으로 하는,

[0065] 한계성 용매 처리에 의한 얇은 막에서의 분자 결정성 향상방법을 제공한다.

[0066] 이를 통해, 본 발명은 종래 AFM 아래쪽의 분석이 까다로워 당업자가 적극적으로 규명하지 못한 폴리사이오펜 박막 하부의 구조적 특성을 구체적으로 확인할 수 있으며, 이러한 폴리사이오펜 박막 하부의 구조적 특성은 바텀 게이트 소자의 전하이동 측면에서 가장 중요한 요소로 작용한다.

발명의 효과

[0067] 본 발명에 따른 한계성 용매에 의한 폴리사이오펜 박막 처리방법은 박막의 손상 없이 박막 하부의 채널 영역의 분자 결정성, 분자 정렬성, 모폴로지, 전하 이동도 및 소자의 전기적 특성을 크게 향상시킬 수 있다. 특히 본 발명의 처리방법은 폴리사이오펜 박막의 중앙 영역에서 더욱 두드러진 특성 개선 효과를 나타낸다.

[0068] 또한, 본 발명은 상온(내지 실온)에서 간단하고 빠르며 안전한 방법으로 이러한 박막의 특성 개선을 도모할 수 있다.

[0069] 그 결과, 본 발명은 고성능 전계효과 트랜지스터(FETs)에 매우 유용하게 적용될 수 있는 고분자 박막을 제공할 수 있다.

[0070] 아울러, 본 발명은 종래 AFM 등을 통해 사실상 분석이 어려웠던 폴리사이오펜 박막 아래쪽의 구조적 특성을 효율적으로 분석할 수 있는 툴을 제공한다.

도면의 간단한 설명

[0071] 도 1은 (a) P3HT 박막을 사용하여 제작된 FETs(V_D = -80 V)의 전달 특성(I_D-V_G)을 P3HT 용액 농도의 함수로 나타낸 그래프(* 용액 농도는 박막 두께 조절에 사용됨); (b) MC 노출 전/후, 0.5 wt% 용액으로부터 제작된 P3HT 박막으로 제조된 FETs의 전달 특성(I_D-V_G)을 나타낸 그래프; (c) MC 노출 전/후, 전하 운반체 이동도를 P3HT 반도

체층 두께의 함수로 나타낸 그래프(* 삽입도 = 용액 농도 및 박막 두께간의 상관관계를 나타냄);이다.

도 2는 (a) MC 노출 전, 0.5 wt% 용액으로부터 제작된 P3HT 박막의 상면(위 그림) 및 하면(아래 그림)의 AFM 상 이미지; (b) MC 노출 후, 0.5 wt% 용액으로부터 제작된 P3HT 박막의 상면(위 그림) 및 하면(아래 그림)의 AFM 상 이미지; (c) MC 처리 전/후, P3HT 박막의 상면(위 그림) 및 하면(아래 그림) RMS 거침도 값을 용액 농도의 함수로 나타낸 그래프;이다.

도 3은 (a) MC 노출 전/후, 0.5 wt% 용액으로부터 제작된 P3HT 박막의 중앙 및 가장자리 영역에서의 UV-vis 흡수 스펙트럼; (b) 0.5 wt% 용액으로부터 제작된 미처리된 P3HT 박막의 중앙 및 가장자리 영역에서의 두께 값을 나타낸 그래프; (c) 0.5 wt% 용액으로부터 제작된 MC로 처리된 P3HT 박막의 중앙 및 가장자리 영역에서의 두께 값을 나타낸 그래프;이다.

도 4는 (a) 0.5 wt% 용액으로부터 제작된 P3HT 박막으로부터 획득한 UV-vis 흡수 밴드(520 nm에서 정규화); (b) P3HT 박막 표면에서의 다양한 포지션에서 획득한 정규화된 UV-vis 흡수 밴드의 확대도;이다.

도 5는 MC 노출 전/후 박막의 모폴로지에 관한 것으로, (a) 미처리 및 MC 노출 박막 표면(상면)의 광학적 이미지; (b) MC 노출 후, 0.5 wt% 용액으로부터 제작된 P3HT 박막(하면)의 중앙(좌측 그림) 및 가장자리 영역(우측 그림)에서의 AFM 상 이미지;이다.

도 6은 0.5 wt% 용액으로부터 제작된 P3HT 박막으로부터 획득한 전계효과 이동도 분포로서, (a) 미처리된 박막의 경우(* 박막 영역에 있어서 균일함); (b) MC-노출 박막의 경우(* 박막 중앙에서 가장 높은 이동도를 나타냄);이다.

발명을 실시하기 위한 구체적인 내용

[0072] 이하, 실시예 및 실험예를 통해 본 발명을 보다 구체적으로 설명한다. 그러나 이들 예는 본 발명의 이해를 돕기 위한 것일 뿐 어떠한 의미로든 본 발명의 범위가 이들 예로 한정되는 것은 아니다.

[0073] **실시예: 폴리사이오펜 박막 및 FETs 소자의 제조**

[0074] Rieke Metals, Inc.로부터 입수한 P3HT(M_w = 37 kDa, RR = 89~92%)를 추가적인 정제 없이 사용하였다.

[0075] 고도로 도핑된 Si 웨이퍼 및 300 nm 두께의 SiO_2층을 각각 게이트 전극 및 유전체(용량 = 10.8 $nFcm^{-2}$)로 사용하였다.

[0076] 모든 웨이퍼들(1.5 × 1.5 cm^2)을 초음파 배쓰(Ultrasonic bath)를 이용하여 아세톤 및 에탄올에서 30분 동안 세척한 후, 질소 가스 하에서 건조시켰다.

[0077] 유전체 표면을 헥사메틸디실라잔(HMDS)으로 개질하였다. 이때 HMDS는 기판 상에 스핀 코팅된 후, 150 ℃에서 1시간 동안 어닐링되었다.

[0078] 다양한 농도(0.05, 0.1, 0.5, 1.0 및 1.5 wt%)의 P3HT 클로로포름 용액을 2000 rpm에서 60초 동안 HMDS로 처리된 기판 위에 스핀 코팅함으로써, 박막 두께를 조절하였다.

[0079] 이어서, 소정 부피(100 μL)의 MC를 바로 P3HT 박막(1.5 × 1.5 cm^2) 위에 적하하여 박막 표면 상에 퍼지도록 하였다.

[0080] 이어서, P3HT 박막이 고체화되기 전에 MC 용매를 P3HT 박막 위에 스핀 캐스팅하였다.

[0081] 이어서, 섀도 마스크를 통해 금(Au)을 열적 증발(증착)시켜 활성층 상에 150 nm 두께의 소스 및 드레인 전극을 형성하였다(채널 길이 L = 100 μm, 채널 폭 W = 1000 μm).

[0082] 한편, 자외선-가시광(UV-vis) 흡수 스펙트럼 측정을 위해서는 Si 기판 대신 투명 유리 기판을 사용하였다.

[0083] **실험 조건: P3HT 박막 및 소자의 특성 평가방법**

[0084] 프로브를 이용하여 전극과의 전기적 접촉을 수행하고, 반도체 분석기(Keithley 4200-SCS)를 이용하여 실온에서

트랜지스터의 전기적 특성을 측정하였다.

[0085] 각 소자의 전계효과 이동도(μ_{FET})는 포화 영역(V_D = -80 V)에서 트랜스퍼 곡선(Transfer curve)으로부터 하기 식에 의거하여 계산하였다:

[0086] $$I_D = \frac{W}{2L}\mu_{FET}C_g(V_G - V_T)^2$$

[0087] (상기 식에서, I_D = 드레인 전류, C_g = 게이트 유전체의 용량, V_G = 게이트-소스 전압, V_T = 문턱전압).

[0088] AFM 이미지는 탭핑 모드에서 P3HT 박막의 상부 및 하부 모폴로지와 거침도를 관찰하여 수집하였다(Multimode 8, Digital Instruments).

[0089] 다음과 같이 박막을 트랜스퍼링하여 P3HT 박막의 하부(Bottom)를 특성화하였다:

[0090] P3HT 박막을 옥타데실트리클로로실란(ODTS)으로 처리된 SiO_2 기판 위에 스핀 코팅한 후, (본 발명에 따라 한계성 용매 처리한 다음) 임베딩 에폭시(Embedding epoxy)층을 P3HT 박막의 상면 위에 드롭한 후, 대기 조건 하에서 60 ℃로 6시간 동안 경화시킨 다음, 액체 질소에 담궈 에폭시-P3HT 복합체를 벗겨내었다.

[0091] 미리 세척된 유리 슬라이드 상에 형성된 박막의 UV-vis 스펙트럼은 Thermo Scientific, GENESYS 10S system을 이용하여 확보하였다.

[0092] P3HT 박막의 두께 값은 표면 프로파일러(Bruker, DEKTAK XT-E) 및 엘립소미터(J. A. Woollam Co. Inc.)를 이용하여 결정하였다.

[0093] 광학 현미경 이미지는 Olympus BX51M을 이용하여 확보하였다.

[0094] **실험예 1: 소자의 전달 특성 및 전기적 특성**

[0095] 다양한 두께를 지닌 P3HT 박막의 결정 구조 및 전기적 특성을 특성화하여 한계성 용매(MC) 및 박막간 직접 접촉의 효과를 조사하였다. 또한 직접 용매 노출의 효과를 살펴보기에 앞서 미처리된(As-spun) P3HT 박막에서의 전하 수송을 박막 두께의 함수로 측정하였다.

[0096] 샘플들은 서로 다른 농도의 클로로포름-P3HT 용액을 HMDS로 처리된 기판 위에 스핀 코팅함으로써 제조되었다.

[0097] 박막 두께는 9.7~183 nm의 범위로 실험하였다.

[0098] P3HT층의 두께가 증가함에 따라 드레인 전류 및 전계효과 이동도도 증가하였다(도 1a). 향상된 전기적 특성은 더욱 두꺼운 박막에서 분자 정렬성 개선의 결과 나타나는 결함 및 트랩 사이트의 개수 감소에 전형적으로 기인한다.

[0099] 도 1b는 0.5 wt% P3HT 용액으로부터 제조된 후 MC에 노출된 박막에 기반한 FETs의 향상된 전달 특성(I_D-V_G)을 보여준다. 미처리된 P3HT FETs의 I_D-V_G 특성도 함께 도시하였다.

[0100] MC-노출 P3HT 박막은 미처리된 박막 대비 개선된 드레인 전류 및 온/오프 전류 비율(I_{on}/I_{off})을 나타내었는바, 이는 용매 노출에 따라 계면 전하 트랩이 감소하였음을 의미한다.

[0101] 도 1c는 MC 노출 전/후 전하 운반체 이동도를 P3HT 반도체층 두께(P3HT 용액의 농도)의 함수로 나타낸 그래프이다.

[0102] 0.5 wt% 용액으로부터 제조된 P3HT 박막을 MC에 직접 노출시킨 경우 가장 높은 FET 이동도를 나타내었는바, 이는 미처리된 박막을 이용한 소자의 FET 이동도 대비 약 4.3배나 큰 수치이다.

[0103] 반면, 1.5 wt% 용액으로부터 제조된 P3HT 박막에 기반한 소자의 FET 이동도는 1.7배 증가하는데 그쳤다.

[0104] 이러한 결과는 용매 노출이 상부 박막 구조, 및 HMDS로 처리된 SiO_2 유전체 근방의 내부(매립된) 영역 구조 모

두를 변화시켰음을 의미한다.

[0105] 탑 컨택트-바텀 게이트(Top contact-Bottom gate) 소자에 있어, 유효 수송 채널은 반도체/유전체 계면의 수 나노미터 내에서 형성된다.

[0106] MC 용매 적용의 효과가 얇은 P3HT 박막에서 더욱 두드러지게 나타났음을 중요하게 고려해야 한다.

[0107] MC 분자는 고분자 매트릭스로 단지 낮은 깊이까지만 확산될 수 있는 점을 감안할 때, 한계성 용매에 의해 유발되는 임의의 분자 재배열은 얇은 P3HT 박막에서 더욱 현저하게 나타나야만 한다.

[0108] 그러나, 0.05 또는 0.1 wt% P3HT 용액으로부터 제조된 너무 얇은 박막(9.7 nm 또는 20 nm 두께)의 경우, 이를 MC에 직접 노출시키면 박막이 심각하게 손상되었다. 따라서 이러한 두께의 박막들은 이후의 실험에서 배제하였다.

[0109] 결국, 조사한 다양한 샘플들 중 0.5 wt% P3HT 용액으로부터 제조된 48 nm 두께의 박막이 가장 좋은 대표적인 결과를 나타내었다.

[0110] **실험예 2: 박막 상면 및 바닥면의 모폴로지 특성과 표면 거칠도**

[0111] 도 2는 MC 노출 전/후, 0.5 wt% 용액으로부터 제조된 P3HT 박막의 상부 및 하부 모폴로지를 보여주는 AFM 이미지이다.

[0112] 용매 처리 전, 미처리된 박막의 AFM 상부 및 하부 이미지는 특징 없는 모폴로지를 보였고, 평균 평방근 표면 거칠도(Root-mean-square surface roughness)(R_q) 값이 각각 0.637 및 0.402 nm로서 매우 평탄한 구조를 나타내었다. 또한 더욱 두꺼운 박막에 있어 박막 상부 및 하부에 대한 R_q 값은 약간 증가했을 뿐이었다.

[0113] MC 용매에의 노출 후, P3HT 박막의 상면은 20 nm 나노스케일 집합체 구조의 침투 네트워크(Percolating network)를 보이는 경향이 있었고, R_q 값은 3.24 nm까지 증가하였다.

[0114] 이러한 거동과 관련해, MC-노출 박막의 바텀 모폴로지를 추가적으로 조사하였다.

[0115] 0.5 wt% 용액으로부터 제조된 MC-노출 P3HT 박막의 바텀 모폴로지는 훨씬 더 정렬된 경향을 보였고, 더욱 큰 집합체 및 0.665 nm의 높은 R_q 값을 나타내었다. 이러한 R_q 값은 미처리된 박막 대비 1.65배 큰 수치이다.

[0116] 상기 바텀 모폴로지 결과는 수 초의 짧은 용매 노출만으로도 박막 상면 및 바닥면 모두의 고분자 사슬을 재배열하기에 충분함을 한번 더 입증해 주었다.

[0117] 그러나, 두꺼운 P3HT층은 직접 MC에 노출하여도 박막의 바텀 모폴로지가 특별히 변화하지 않았는바, 이는 고분자 매트릭스 내로의 MC의 확산 길이가 제한되었기 때문이다.

[0118] MC에의 직접 노출 후, 바닥면의 R_q 값은 1.0 wt% 용액으로부터 제조된 P3HT 박막의 경우 1.19배, 1.5 wt% 용액으로부터 제조된 P3HT 박막의 경우 1.03배 증가하는데 그쳤다.

[0119] **실험예 3: UV-vis 흡수 스펙트럼 및 박막 두께 변화 측정**

[0120] 도 3은 MC 노출 전/후, 0.5 wt% 용액으로부터 제조된 P3HT 박막의 UV-vis 흡수 스펙트럼 및 P3HT 박막의 두께를 박막 표면에서의 위치별로 도시한 것이다.

[0121] 도 3a에서 보듯이, 미처리된 P3HT 박막의 스펙트럼은 박막의 중앙 및 가장자리 영역 모두에 있어 λ = 534 nm에서 두드러진 피크(0-2)를 나타내었는바 이는 P3HT의 사슬간 π-π^* 전이에 상응하는 것이며, 또한 낮은 에너지(λ = 603 nm)에서 약한 작은 숄더(Minor shoulder)(0-0)를 나타내었다.

[0122] 표면 프로파일러를 이용해 확보한 미처리된 P3HT 박막의 두께 값은 박막 표면에서의 포지션에 상관없이 48 nm로 일정하게 유지되었다(도 3b).

[0123] 반면, P3HT 박막을 MC에 노출시킨 후, UV-vis 흡수는 박막 표면에서의 포지션에 따라 60~80% 급격하게 감소하였는바, 이는 용매 처리에 의해 박막이 얇아졌기 때문이다.

[0124] 이러한 결과는 박막이 완전 고체화되기 전에 MC 스핀 캐스팅에 의해 상대적으로 작은 이동성 고분자(Mobile polymer) 사슬이 박막에서 씻겨져 나갈 수 있음을 밝혀준다. 스핀 코팅 완료시 용매 분자가 박막에 남아 박막이 고체화되는 것을 방해한다. 따라서 MC에 의해 이동성 고분자들이 쉽게 씻겨질 수 있다.

[0125] 표면 프로파일 측정 결과, P3HT 박막의 두께는 중앙에서 12 nm, 가장자리에서 15 nm인 것으로 나타났다(도 3c).

[0126] 직접 용매 노출 후, P3HT 박막의 분자 정렬성을 박막 표면 각 포지션에서의 UV-vis 흡수 스펙트럼을 통해 특성화하였다(도 4).

[0127] 미처리된 P3HT 박막은 중앙 및 가장자리 영역에서 UV-vis 흡수 강도 및 특징이 변하지 않는 것으로 나타났다.

[0128] 반면, 용매 노출 후, 554 nm(0-1) 및 603 nm(0-0)에서 낮은 에너지 밴드가 나타났다.

[0129] 이러한 특징은 유효 π-공액 길이의 증가, 즉 MC 존재에 따른 이동성 고분자 사슬의 자기조립(Self-assembly)에 기인한 사슬간 π-π 스택킹에 의해 형성되는 정렬된 P3HT 집합체의 개수 증가와 일치되는 것이다.

[0130] 또한, MC 처리 후, 이러한 특징은 박막의 가장자리보다는 중앙에서 더욱 두드러졌다. 예를 들어 용매 노출 후 520 nm에서 (0-2) 밴드에 대한 (0-1) 및 (0-0) 밴드의 강도 비율은 서로 달랐고, 각각 중앙에서는 1.08 및 0.74, 가장자리에서는 1.02 및 0.68로 위치별 차이가 나타났다. 용매 노출 전, 이러한 값들은 중앙 및 가장자리에서 0.94 및 0.55로서 구분할 수 없는 수준이었다.

[0131] **실험예 4: 광학 이미지 및 포지션별 AFM 상 이미지**

[0132] 분자 정렬성의 변화가 박막의 모폴로지 변화와 관련된 것인지 입증하기 위해 위상차(Phase contrast) AFM 실험을 수행하였다.

[0133] 도 5는 미처리 및 MC 처리 박막 표면(상면)의 광학적 이미지와, MC 처리 후 0.5 wt% 용액으로부터 제조된 P3HT 박막(하면)의 중앙 및 가장자리 영역에서의 AFM 상 이미지를 나타낸 것이다.

[0134] MC 용매 노출에 따라 중앙의 모폴로지 변화가 두드러지게 나타났고, R_q 값은 0.665 nm로 증가하였다. 반면 박막의 가장자리에서는 R_q 값이 0.500로 증가하였다(도 5b).

[0135] MC 방울들을 P3HT 박막의 중앙에 적하한 후, 스핀 코팅 도중 박막에 퍼지도록 하였다(도 5a).

[0136] 스핀 코팅 중 단지 소량의 잔여 용매만이 P3HT 박막 상에 오랜 시간 머물렀고, 이 과정에서 박막의 중앙 영역이 가장자리 영역보다 더욱 긴 시간 MC에 노출되었다. 그 결과 중앙 영역에서의 박막 두께 감소 및 분자 정렬성 향상이 더욱 크게 나타났다.

[0137] **실험예 5: 포지션별 전계효과 이동도 분포**

[0138] MC 노출 전/후, 전하 운반체 이동도의 균일성(Uniformity)을 비교하여 P3HT 박막의 구조적 및 모폴로지적 변화와 전기·전자적 특성간의 상관관계를 각 박막 포지션에 따라 특성화하였다(도 6).

[0139] 1.5 × 1.5 cm^2 웨이퍼 상에 제작된 25개 트랜지스터 유닛들의 성능을 측정하였다.

[0140] 0.5 wt% 용액으로부터 제조된 48 nm 박막을 MC에 직접 노출시킨 경우에 가장 높은 FET 이동도(4.3배 증가)가 얻어졌는바, 이는 박막 두께가 12 nm로 감소하였음에 불구하고 P3HT 사슬간의 자기조직화(Self-organization)가 개선되었기 때문이다.

[0141] 미처리된 박막에서 전계효과 이동도의 변동계수(Coefficient of variation)는 9.4%의 작은 값을 나타내었다.

[0142] 반면, MC-노출 박막에서의 변동계수는 32.2%의 큰 수치를 나타내었다. 또한 중앙 영역에서의 값이 가장자리 영역보다 1.5배 큰 값을 나타내었다.

[0143] 전하 운반체 이동도의 균일성은 박막 상의 각 포지션에서 확보된 UV-vis 흡수 및 AFM 측정에 의한 구조적 변화 결과와 잘 일치하는 것이다.

[0144] 전체적으로, UV-vis 및 AFM 측정은 P3HT 박막의 MC 노출에 따라 MC가 고분자를 적절한 수준으로 용해시켜 이동성 고분자 사슬간의 자기조립을 유도하고, 이에 따라 P3HT 박막의 결정화도(Crystallinity)가 개선됨을 뒷받침해 주었다.

[0145] 또한, 얻어진 P3HT 박막의 바텀 영역 분자 정렬성은 박막 두께가 감소함에 따라 증가하였다.

[0146] 용매 노출에 따른 이러한 현저한 변화는 한계성 용매의 박막 침투 깊이가 제한됨에 따른 결과로 이해된다.

[0147] 요컨대, MC로 처리된 P3HT 박막은 구조적 정렬성이 증가하여 전계효과 이동도를 크게 향상시킬 수 있었다.

[0148] **결과 검토**

[0149] 본 발명자들은 P3HT 박막 및 그 표면의 포지션에 있어 MC에의 직접 노출이 박막의 분자 구조적 변화에 미치는 영향을 조사하였다.

[0150] 구체적으로, 바텀 게이트(Bottom Gate) 트랜지스터 소자에 있어 전하이동 측면에서 가장 중요한 부분인 P3HT 박막 아래쪽의 구조적 특성을 적극적으로 분석, 규명하였다.

[0151] P3HT 박막을 MC에 노출함에 따라, 도입된 용매에 의해 정렬되지 않은 고분자층이 용해되고 이동성 고분자 사슬간의 자기조립이 촉진되었다.

[0152] 본 발명은 박막, 특히 박막 하부의 채널 영역의 모폴로지 및 결정화도를 체계적으로 조절할 수 있는 손쉬운 방법을 제공할 수 있었고, 이는 UV-vis 흡수 및 AFM 이미지 측정을 통해 뒷받침되었다.

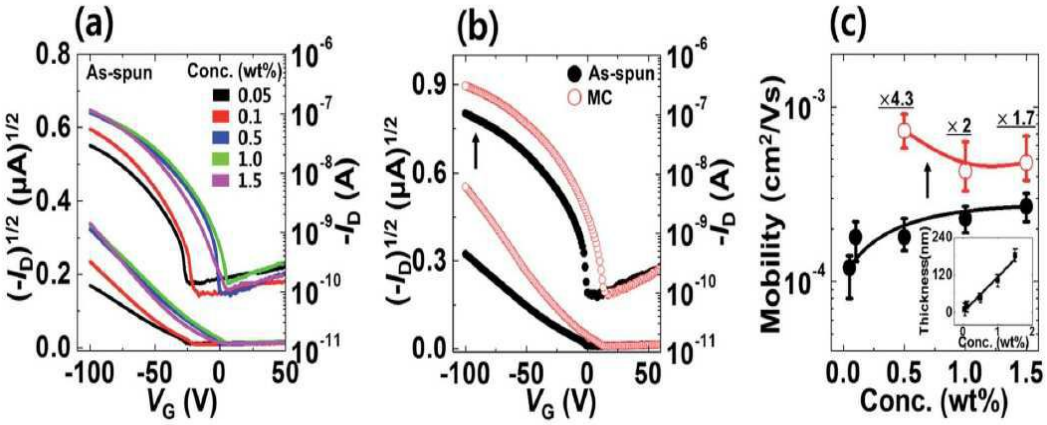
[0153] 한편, MC 용매 처리의 효과는 얇은 P3HT 박막, 특히 박막의 중앙 영역에서 두드러지게 나타났다.

[0154] 이러한 P3HT 박막 하부에서의 분자 정렬성 및 모폴로지 개선은 더욱 높은 전하 운반체 이동도와 직결된다.

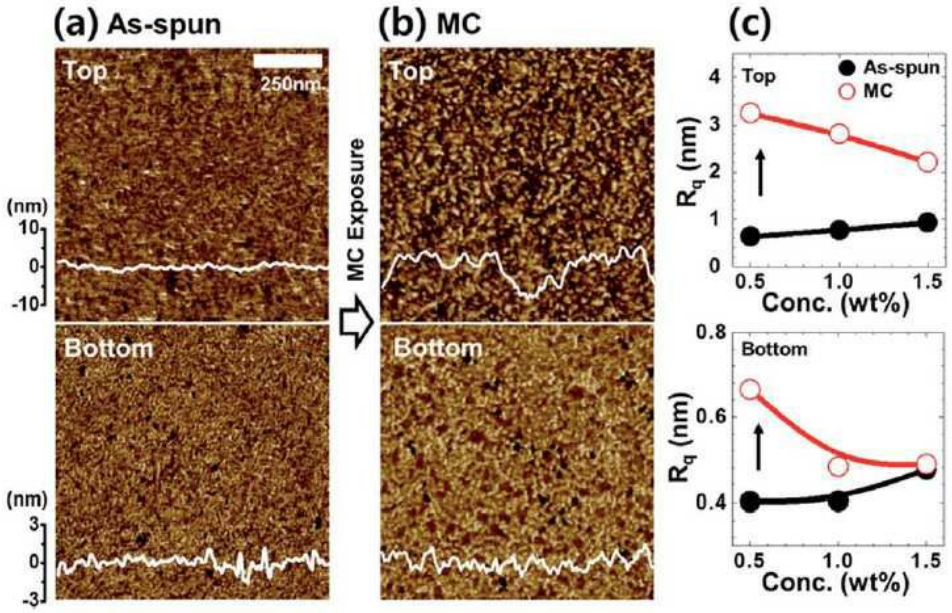
[0155] 따라서, 본 발명에 따른 한계성 용매 처리에 의한 얇은 막에서의 채널 영역의 분자 결정성 향상방법은 실용적이고도 유용한 고성능 고분자 소자를 제작하는데 있어 중요한 가이드라인을 제공할 것으로 기대된다.

도면

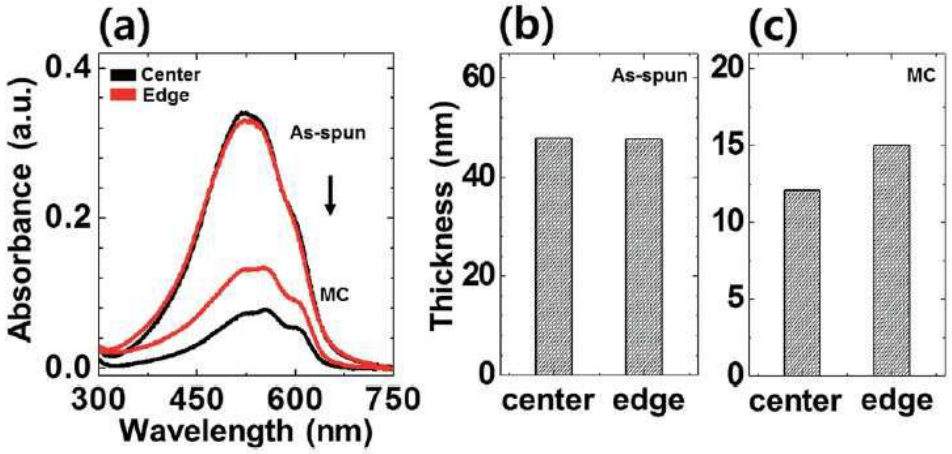
도면1



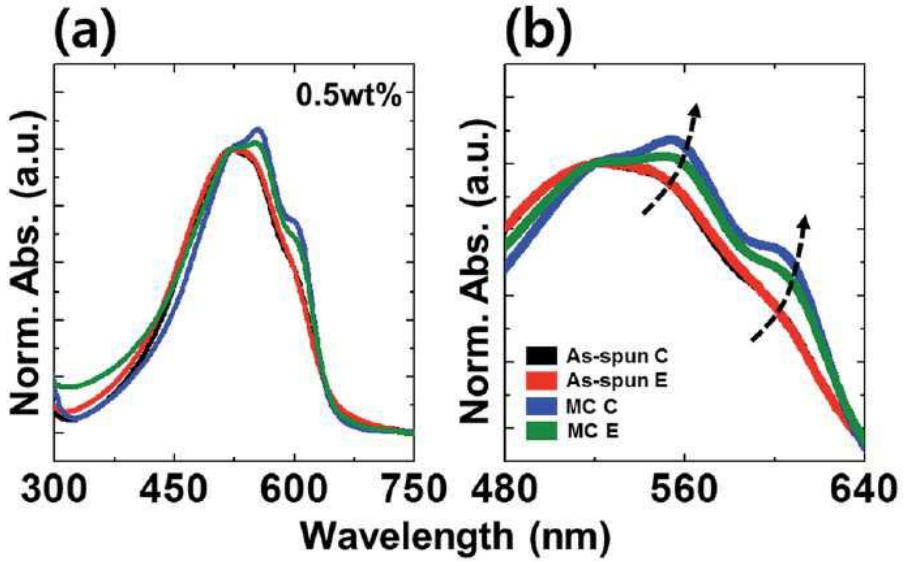
도면2


(a) As-spun
(b) MC
(c)
Top
250nm
Bottom
MC Exposure
(nm)
10
0
-10
3
0
-3
As-spun
MC
R_q (nm)
Conc. (wt%)
0.5
1.0
1.5

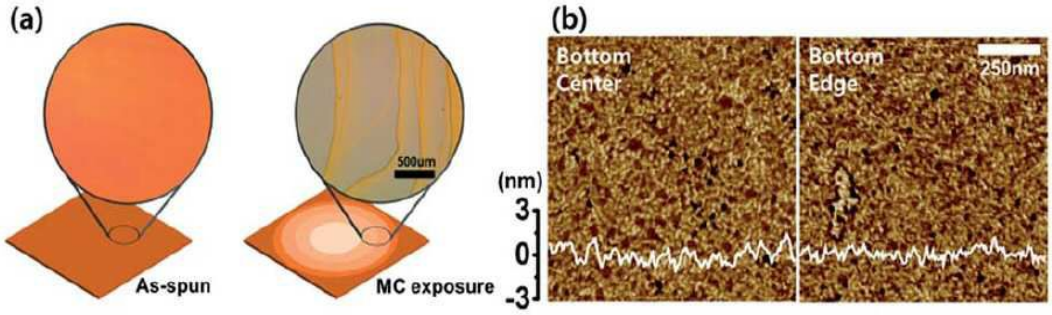
도면3


(a)
(b)
(c)
Absorbance (a.u.)
Center
Edge
As-spun
MC
Wavelength (nm)
300
450
600
750
Thickness (nm)
center
edge

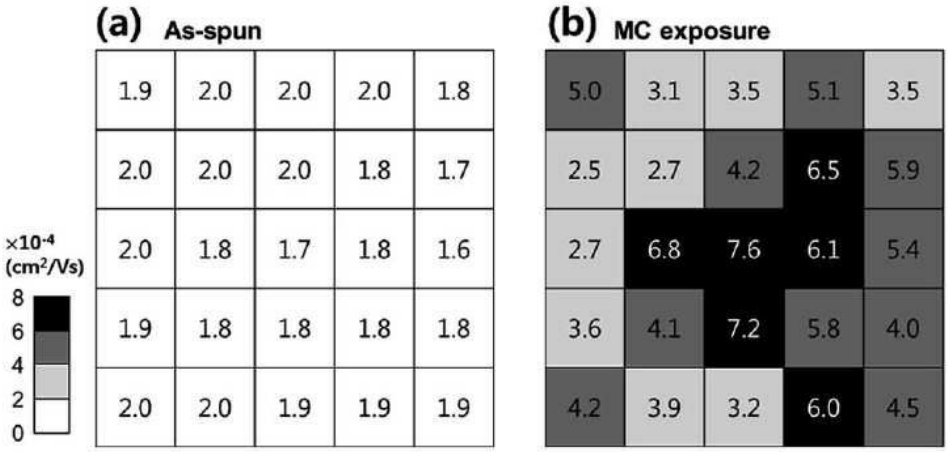
도면4


(a)
0.5wt%
Norm. Abs. (a.u.)
300
450
600
750
(b)
Norm. Abs. (a.u.)
As-spun C
As-spun E
MC C
MC E
480
560
640
Wavelength (nm)

도면5


(a)
500um
As-spun
MC exposure
(b)
Bottom Center
Bottom Edge
250nm
(nm)
3
0
-3

도면6


(a) As-spun
1.9 2.0 2.0 2.0 1.8
2.0 2.0 2.0 1.8 1.7
2.0 1.8 1.7 1.8 1.6
1.9 1.8 1.8 1.8 1.8
2.0 2.0 1.9 1.9 1.9
×10-4 (cm²/Vs)
8
6
4
2
0
(b) MC exposure
5.0 3.1 3.5 5.1 3.5
2.5 2.7 4.2 6.5 5.9
2.7 6.8 7.6 6.1 5.4
3.6 4.1 7.2 5.8 4.0
4.2 3.9 3.2 6.0 4.5