(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H01L 21/336

(45) 공고일자 2000년01월15일
(11) 등록번호 10-0237798
(24) 등록일자 1999년10월11일

(21) 출원번호	10-1997-0027141	(65) 공개번호	특1998-0024067
(22) 출원일자	1997년06월25일	(43) 공개일자	1998년07월06일
(30) 우선권주장	96-236894 1996년09월06일 일본(JP)		

(73) 특허권자 후지쓰 가부시키가이샤 아끼구사 나오유끼
일본국 가나가와켄 가와사키시 나카하라꾸 가미고다나카 4초메 1-1
(72) 발명자 오타 히로유키
일본국 가나가와켄 가와사키시 나카하라구 가미고다나카 4초메 1-1 후지쓰 가부시키카이샤 내
사토 히데카즈
일본국 가나가와켄 가와사키시 나카하라구 가미고다나카 4초메 1-1 후지쓰 가부시키카이샤 내
(74) 대리인 문병암

심사관 : 정희환

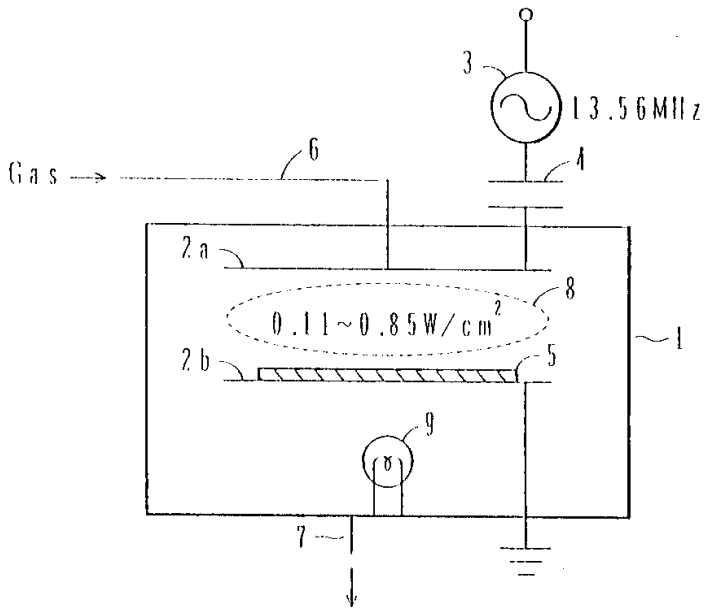
(54) 반도체장치의 제조방법

요약

[과제] 미세화된 MOS트랜지스터를 포함하는 반도체장치의 제조방법에 관하여, 미세화가능하여 고신뢰성을 주는 반도체장치의 제조방법을 제공하는 것이다.

[해결수단] 반도체기판상에 절연게이트전극을 갖는 복수의 MOS트랜지스터구조를 형성하는 공정과, 상기 절연게이트전극을 덮고, 상기 반도체기판상에 수소를 포함하는 원료가스를 사용한 평행평판형 플라즈마 CVD로서 전극 면적당 0.11W/cm^2~0.85W/cm^{2}의 고주파전력으로서 절연막을 퇴적하는 공정을 포함한다.

대표도



명세서

도면의 간단한 설명

제1도는 플라즈마CVD장치를 개략적으로 도시한 단면도.

제2도는 플라즈마 중의 수소유래종(水素由來種)의 발광을 측정한 스펙트럼.

제3도는 BT 스트레스(stress)측정과 그 결과를 도시한 선도, 표, 그래프.

제4도는 플래트밴드(flatband) 전압과 핫 캐리어(hot carrier) 수명을 도시한 도.

제5도는 고주파전력을 변화시켜서 질화실리콘막을 퇴적한 경우의 SIMS 측정결과를 도시한 그래프.

제6도는 본 발명의 실시예에 의한 반도체장치의 제조방법의 주요공정을 도시한 단면도.

제7도는 본 발명의 실시예에 의한 반도체장치의 제조방법의 주요공정을 도시한 단면도.

제8도는 본 발명치 실시예에 의한 반도체장치의 제조방법의 주요공정을 도시한 단면도.

제9도는 본 발명의 실시예에 의한 반도체장치의 제조방법의 주요공정을 도시한 단면도.

제10도는 매엽식열CVD장치의 구성을 개략적으로 도시한 단면도.

제11도는 본 발명의 실시예에 의한 반도체장치의 제조방법의 주요공정을 도시한 단면도.

제12도는 본 발명의 실시예에 의한 반도체장치의 제조방법의 주요공정을 도시한 단면도.

제13도는 본 발명의 실시예에 의한 반도체장치의 제조방법의 주요공정을 도시한 단면도.

제14도는 본 발명의 실시예에 의한 반도체장치의 제조방법의 주요공정을 도시한 단면도.

제15도는 본 발명의 실시예에 따라 작성한 샘플의 측정결과를 도시한 그래프.

제16도는 본 발명의 실시예에 따라 작성한 샘플의 측정결과를 도시한 그래프.

제17도는 확산온도와 확산시간을 변화시켰을 때의 B확산의 분포를 도시한 그래프.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체장치의 제조방법에 관한 것으로서, 특히 미세화된 MOS트랜지스터를 포함하는 반도체장치의 제조방법에 관한 것이다.

반도체 집적회로장치의 성능향상을 위하여, 고집적화나 고속화가 요구되고 있다. 반도체집적회로장치의 성능향상을 위하여, 그 대표적 반도체소자인 MOS트랜지스터를 미세화하는 것이 요구되고 있다. 기판표면내에서의 치수축소와 함께 두께방향의 치수축소도 진전되어, 예를 들면 게이트산화막은 10nm이하, 소스/드레인접합은 100nm이하로 되어가고 있다.

MOS트랜지스터를 미세화하면, 가열공정에서의 불순물의 재분포에 의한 짧은 채널효과(소스·드레인간의 펀치스로우(punch-through)나 게이트전극에서 게이트산화막을 통하여 채널영역으로의 불순물의 관통이 문제로 되어있다. 이들을 방지하기 위하여, 일반적으로 프로세스의 저온화가 요구되고 있다.

게이트전극과 그 양측의 소스/드레인영역을 형성한 후의 층간절연막은 종래, 배치식(batch-type) 열CVD로서 작성하는 경우가 많았다. 프로세스의 저온화의 요구에 따라 층간절연막을 플라즈마CVD(PECVD)법으로서 작성하는 기술이나 매엽식(枚葉式) 열CVD로서 작성하는 기술이 개발되어 있다. 플라즈마CVD로의 기판가열온도는 300℃~550℃정도로서 좋다.

CMOS트랜지스터의 고성능화를 위하여는, p채널트랜지스터의 게이트전극에는 B등의 p형불순물을 도프하고, n채널트랜지스터의 게이트전극에는 P, As등의 n형불순물을 도프한 듀얼게이트서페이스채널(dual-gate surface channel) MOSFET가 채용되어 가고 있다.

소면적의 반도체표면에 저저항의 콘택트를 작성하기 위해서는, 소스/드레인영역(더우기, 경우에 따라 게이트전극)의 표면에 실리사이드층(silicide layer)을 자기정합적으로 작성하는 실리사이드(살리사이드(slaicide))화의 기술도 채용된다. 실리사이드화의 기술의 채용은, 그후의 가열공정에 제한을 가한다. PECVD나 매엽식열CVD에 의한 층간절연막의 형성은 이 요구에도 적합하다.

PECVD나 매엽식열CVD 등의 저온프로세스로서 층간절연막을 형성하면, 층간절연막에서 MOS트렌지스터 구조에의 수분의 확산이 문제로 된다. 층간절연막을 관통하여 실리사이드을 사용하는 소스/드레인영역의 콘택트홀(contact hole)을 에칭할 때, 에칭스톱퍼(etching stopper)가 존재하는 것(셀프얼라인(selp-align) 콘택트(SAC))이 요망된다. 그리하여, 층간절연막을 얇은 질화막과 그 위의 산화막의 적층구조로서, 양층을 PECVD또는 매엽식열CVD로서 작성하는 기술이나 PECVD로 매엽식열CVD와의 조합으로서 작성하는 기술가 개발되어있다. 질화막은 수분차폐기능과 에칭스톱퍼로서의 기능을 한다.

발명이 이루고자 하는 기술적 과제

배치석열CVD나 PECVD로서 층간절연막을 형성하면, p채널MOSFET의 한계값 전압의 불안정성, p채널MOSFET의 BT(bias temperature)스트레스 수명열화의 촉진, n채널MOSFET의 핫캐리어 수명열화의 촉진 등의 새로운 문제가 생긴다. 이들의 문제는, 고신뢰성의 반도체 직접회로 장치를 제공하는 목적에 있어서 치명적인 문제가 된다.

본 발명의 목적은, 미세화가능하고서 고신뢰성을 주는 반도체장치의 제조방법을 제공하는 것이다.

본 발명의 다른 목적은, 프로세스 저온화의 목적을 이루고, 또한 고신뢰성을 주는 반도체장치의 제조방법을 제공하는 것이다.

본 발명의 한 관점에 의하면, 반도체기판상에 절연게이트전극을 갖는 MOS트랜지스터 구조를 형성하는 공정과, 상기 절연게이트전극을 덮어서, 상기 반도체기판상에, 수소를 포함하는 원료가스를 사용한 평행평판형 플라즈마CVD로서 전극면적 당 0.11W/cm^2~0.85W/cm^2의 고주파전력으로서 절연막을 퇴적하는 공정을 포함하는 반도체장치의 제조방법이 제공된다.

절연게이트전극을 덮는 절연막을, 고주파전력을 제한한 플라즈마CVD에 의하여 퇴적함으로써, 종래의 배치식열CVD나 플라즈마CVD로서 작성한 절연막에 수반하는 갖가지의 문제가 개선된다.

고주파전력을 저하시키면, 성장속도와 막질이 나빠진다. 그러나, 질화막의 두께는 20nm~100nm(대체로, 50nm~70nm)로 그다지 두껍지 않으므로, 성장속도는 빠르지 않아도 그다지 문제는 생기지 않는다. 또, 질화막은 에칭스톱퍼로서는 엄밀한 치밀성을 필요로 하지 않고, 에칭의 선택비를 충분히 취하면 좋으므로, 막질도 그다지 문제가 생기지 않는다.

본 발명의 다른 관점에 의하면, 반도체기판상의 절연게이트 전극을 갖는 MOS트랜지스터 구조를 형성하는 공정과, 상기 절연게이트전극을 덮어서, 상기 반도체기판상에 매엽식열CVD로서 질화막을 퇴적하는 공정과, 상기 질화막상에 플라즈마CVD 또는 매엽식열CVD로서 산화막을 퇴적하는 공정을 포함하는 반도체장치의 제조방법이 제공된다.

게이트전극을 덮는 절연막을, 매엽식열CVD으로서 작성한 질화막과, 그 위에 플라즈마CVD 또는 매엽식열CVD으로서 작성한 산화막의 적층구조로 함으로서, 종래의 배치식열CVD 나 플라즈마CVD으로서 작성한 절연막의 경우에 생긴 갖가지의 문제가 개선된다.

발명의 구성 및 작용

플라즈마CVD(PECVD)에 의하여 층간절연막을 형성하면, 층간절연막 및 그 근방에 원자상과 분자상의 수소가 침입하여, 악영향을 유발한다고 일컬어지고 있다. 즉, 도입된 수소는, 게이트 전극중의 도프이온(특히, B) 를 증속 확산시키거나, 게이트산화막의 계변 또는 게이트산화막안에 결함을 도입한 것이라고 일컬어지고 있다. 이 현상은 게이트전극에 표를 도프한 p채널MOSFET에 있어서 현저하다.

게이트전극안의 도프불순물이 게이트산화막을 관통하여 채널영역에 확산하면, MOSFET의 한계값 전압을 불안정하게 변화시켜 버린다. 또, 게이트산화막의 계면이나 게이트산화막 안에 결함이 생성되면, BT스트레스수명의 열화를 촉진하거나 핫 캐리어수명의 열화를 촉진하거나 한다. 이들의 현상은 저온프로세스에서 층간절연막을 형성할 때, 층간절연막 및 그 근방에 수소가 침입함으로써 생기는 것이라고 일컬어지고 있다.

본 발명자들은 PECVD절연막 중에 도입되고, 디바이스의 신뢰성에 영향을 주는 수소량을 감소시키기 위하여 먼저 플라즈마 안의 수소를 고찰하였다.

제1도는 PECVD에 사용되는 평행평판형 플라즈마 CVD장치의 구성을 개략적으로 도시한 것이다. 진공용기 1안에 평행평판형 전극 2a, 2b가 상하로 대향하여 배치되어 있다. 더우기, 평행평판형 전극 2a, 2b는 반경이 75mm이고, 600밀리(15.42nm)의 간격을 두고 배치되어 있다. 평행평판형 전극 2a, 2b에는 RF전원 3에서 13.56MHZ의 고주파전력이 DC커트용 캐퍼시터 4를 통하여 공급된다.

상측의 전극 2a내에, 가스공급관 6에서 원료가스가 공급되고, 진공용기 1저부에 접속된 배기관 7에서 배기된다. 진공용기 1안을 소정진공도로 하고, RF전원 3에서 고주파전력을 공급하면, 평행평판형 전극 2a, 2b사이에 플라즈마 8이 생성된다. 더우기, 램프 9는 하측전극 2b를 가열하고, 그 위에 배치되는 웨이퍼 5를 가열하기 위한 것이다.

본 발명자들은 플라즈마 8을 여기시킨 상태에서, RF전원 3에서 공급하는 고주파전력을 변화시켜, 플라즈마 안에서의 수소유래종의 발광강도를 조사하였다.

제2도는 플라즈마 중의 수소유래종의 발광강도를 도시한 그래프이다. 횡축은 발광파장을 단위 nm로 표시하고, 종축은 발광강도를 임의 단위로 표시한다. 파장 380nm~440nm의 파장영역에 수소유래종의 발광이 생긴다. 도면에는 392.06nm의 H_2발광과, 파장 427.94nm의 H^*(수소라디칼)의 발광을 나타낸다. 고주파전력을 100W, 300W, 500W로 변화시켰을 때의 발광강도를 2개의 피크로 나타내고 있다.

H_2의 발광도, H^*의 발광도, 각각 플라즈마에 공급하는 고주파전력의 대소에 의존하여 증감하고 있는 것을 알 수 있다. 따라서, 플라즈마에 공급하는 고주파전력을 저감하면, 플라즈마 중의 활성수소유래종의 밀도도 감소하는 것이 기대된다. 그리하여, 고주파전력을 변화시켜서 층간절연막을 작성하고, 얻은 MOSFET의 특성을 조사하였다.

제3(a),(b),(c)도는 BT스트레스시험의 개요와 결과를 도시한 것이다. 제3(a)도는 BT스트레스시험을 개략적으로 도시한 것이다. MOSFET 10은 두께 6nm의 게이트산화막, 두께 180nm의 다결정 Si게이트전극, 두께 20nm의 저온산화막, 두께 70nm의 질화막의 적층에 의한 절연게이트전극구조를 갖는다. 질화막은 고주파전력을 변화시킨 PECVD로 작성하였다.

MOSFET 10을 150℃, 200℃ 등의 바이어스온도로 가열하고, 소스 S, 드레인 D와 기판 Sub를 각각 접지한다.

이 상태에서, 소스 S, 드레인 D, 기판 Sub와 게이트 G사이에 바이어스용 게이트전압 Vg를 인가한다. 바이어스용 게이트전압 Vg는 예를 들면, 게이트절연막에서의 전계강도가 -5MV/cm정도가 되도록 설정한다. 예를 들면, Vg = -3.3V이다. 소정시간에 이와 같은 스트레스를 인가한 후, MOSFET 10을 상온으로 복귀하고,

수명을 측정한다.

제3(b)도는 이와 같이 BT스트레스를 인가한 후의 p채널 MOSFET의 수명을 측정한 결과를 도시한 것이다. 더우기, 스트레스온도는 200℃, 게이트전압은 -3.3V이었다. 수명은 기판온도를 85℃로 하고, 드레인 D와 게이트 G에 Vd, Vg = -2.75V를 인가하였을 때, 드레인전류 Id가 3% 변화할 때까지의 시간으로 한다.

층간절연막을 작성할 때, 평행평판형 전극 2a, 2b사이에 240W(1.36W/cm^2)와 50W(0.28W/cm^2)의 고주파전력을 인가하였을 때의 수명을 나타낸다. 240W의 고주파전력을 공급한 경우와 비교하여 50W의 고주파전력을 공급한 경우, Id에 관한 수명은 1자리 이상 길어져 있다.

제3(c)도는 고주파전압을 50W, 100W, 240W로 변화시켰을 때의 Id를 기준으로 한 Id에 관한 수명을 도시한 것이다 횡축은 고주파전력 Prf의 2승의 역수, 1/Prf^2을 나타내고, 종축은 수명을 시간으로 표시한다.

도면에서 명백한 바와 같이, 고주파전력이 50W에서 100W, 240W로 증가함에 따라, BT스트레스수명은 감소를 계속하고 있다. 고주파전력이 100W를 넘으면 스트레스수명의 저하율이 커지고, 더우기 150W을 넘어서 증대하면, BT스트레스수명의 저하는 현저하게 된다.

이 결과에서, 인가하는 고주파전력은 150W이하인 것이 바람직함을 알 수 있다. 더우기, 전극면적에서 인가한 고주파전력을 규격화하면, 인가하는 고주파전력은 0.85W/cm^2이하인 것이 바람직함을 알 수 있다.

더우기, 인가하는 고주파전력은 20W보다 작아지면, 플라즈마를 여기시키는 것 자체가 곤란하게 된다. 20W의 고주파전력은 전력면적으로 규격화하면, 0.11W/cm^2으로 된다. 따라서, 고주파전력을 전극면적 당 0.11W/cm^2~0.85W/cm^2으로 하는 것이 바람직하다.

제3도는 고주파전력의 저감에 의한 BT스트레스수명의 개선을 도시하였다. 고주파전력을 저감하면, BT스트레스수명 이외의 특성에도 개선이 보인다.

제4도는 pMOS캐퍼시터의 플래트밴드전압의 변화와 n채널MOSFET의 핫 캐리어수명의 변화를 도시한 것이다.

제4(a)도는 p채널MOS캐퍼시터의 플래트밴드전압이 고주파전력을 50W와 240W로 하고, 질소분위기에서 800℃, 30초의 처리를 하였을 때에 어느 정도의 값이 되는지를 조사한 결과를 나타낸 표이다. 플래트밴드전압 Vfb는 고주파전력이 240W때, 1.23V이고, 고주파전력이 50W때, 1.07V이었다.

제4(b)도는 n채널 MOSFET의 핫 캐리어수명의 결과를 도시한 것이다. 핫 캐리어수명의 측정은 제3(a)도와 마찬가지로, MOSFET의 게이트 전극 G와 기판 Sub 사이에 바이어스 전압 Vg을 인가하고, 기판전류 Isub가 최대로 되도록 설정한다. 이 상태에서 MOSFET를 온하고, 소정시간 방치한다. 그 후 수명을 측정한다.

제4(b)도는 기판전류 Isub가 1μA/1μm 때의 수명을 도시한 것이다. 수명은 드레인전류 Id가 3%변화할 때까지의 시간으로 한다. 고주파전압이 240W의 경우, 핫 캐리어수명은 6×10^4초이었던 것에 대하여, 고주파전력을 50W로 하면, 핫 캐리어수명은 5×10^5초로 되고, 1자리수 가까이의 개선이 인정된다.

이와 같이, BT스트레스수명이나 핫 캐리어수명이 길어지는 현상은 고주파전력의 저감에 수반하여, 플라즈마 중의 활성수소밀도가 감소하는 것에 의한 것이라고 생각할 수 있다. 플라즈마 중의 활성수소밀도가 높은 경우, 플라즈마에서 퇴적막 또는 그 하지(下地)에 활성인 수소가 고에너지로 주입되고, Si-O-Si 등의 결합을 자르고, 결함을 만드는 것으로 생각된다.

이들의 결함에서의 댕글링본드(dangling bond)는, 분위기중의 수소와 결합하거나, 후의 어닐링 공정에서 수소와 결합하고, 일단은 회복한다. 그러나, 그 후의 가열이나 전압인가 등의 원인으로서,
종단화(終端化)한 수소가 이탈되면, 다시 결함이 나타난다.

댕글링본드의 발생은, 계면준위의 생성으로 되고, 불순물을 트랩(trap)하여 고정전하의 생성으로도 된다. 이와 같은 원인에 의하여, 수명이 짧아지는 것으로 생각될 수 있다. 고주파전류를 저감하면, 이와 같이 결함생성률이 감소하는 것으로 생각될 수 있다.

제5도는 고주파전류를 240W로 설정하여 층간절연막을 작성한 경우와, 고주파전력을 50W로 설정하여 층간절연막을 형성한 경우, 각각에 있어서 그 후 질소분위기 중 360초 사이의 RTA열처리를 하고, 수소분포가 어떻게 변화하는지를 2차 이온 질량분석(SIMS)으로 측정한 결과를 나타낸다. 도면 중 좌측에 고RF파워(240W)의 경우를 나타내고, 우측에 저RF파워(50W)의 경우를 나타낸다. 각각의 도면에 있어서, 횡축은 깊이를 표시하고, 종축은 SIMS의 신호강도를 나타낸다. 또, 열처리 온도로서는, 550℃, 700℃, 850℃의 3종류를 사용하였다. 각 도면에 있어서, 가장 위에 표시되는 곡선은 층간절연막을 퇴적한 그대로의 상태의 샘플을 나타내고, 이하 순차적으로 550℃, 700℃, 850℃의 열처리를 한 샘플의 결과를 나타낸다.

막퇴적직후의 수소밀도는 층간절연막퇴적시의 고주파전력에 의하지 않고 거의 동일하다. 그러나, 막퇴적후, 열처리를 하면, 고RF파워의 경우에는, 질화막중의 수소농도는 그다지 감소하지 않는데 대하여, 저RF파워의 경우에는 질화막 중의 수소농도가 현저히 감소하고 있다.

더우기, 고RF파워의 경우, 열처리에 의하여 게이트산화막Gox중의 수노농도가 증대하고 있다. 이에 대하여, 저RF파워의 경우에는, 열처리를 하더라도 게이트산화막 중의 수소농도가 거의 변화하고 있지 않다.

고RF파워의 경우, 질화막중의 수소농도가 변화하기 어렵고, 또한 게이트 산화막중의 수소농도는 증대하는데 대하여, 저RF파워 경우, 질화막중의 수소농도는 감소하기 쉽고, 게이트산화막중의 수소농도는 변화하기 어렵다. 이유로서는, 저RF파워인 경우에는 막밀도가 드문드문하므로, 수소가 외방확산하기 쉽기 때문이라고 생각될 수 있다.

고RF파워의 경우, 막퇴적후의 열처리로서 게이트산화막중의 수소농도가 증대하고, 갖가지의 악영향을 주고 있는 것으로 생각될 수 있다. 이에 대하여, 저RF파워에 의하여 층간절연막을 퇴적하면, 퇴적직후의 질

화막중의 수소농도는 무시할 수 없으나, 그후의 열처리로서, 질화막중의 수소농도가 감소하고, 게이트산화막중의 수소농도는 증대하지 않으므로, 갖가지의 특성의 개선이 생기는 것으로 생각될 수 있다.

이하, 제6도, 제7도를 참고하여, 본 발명의 실시예에 의한 n채널MOSFET의 제조방법을 설명한다.

제6(a)도에 도시한 바와 같이, (100)면에 CZ실리콘기판 21에 p형웰 22을 형성한 후, 주지의 LOCOS법에 의하여 소자분리영역 24을 형성한다. 실리콘 기판의 표면의 게이트산화막 25을 6nm정도 형성한다. 게이트산화막 25를 덮도록, 주지의 전압(LP)CVD을 사용하고, 다결정 실리콘막26을 200nm퇴적하고, 저저항화를 위하여 인을 이온주입으로서 도프한다. 그후, 포토리소그래피를 사용한 에칭으로서, 다결정 실리콘막 26을 선택적으로 에칭하고, 게이트전극 26a를 형성한다.

제6(b)도에 도시한 바와 같이, LDD용의 얕은 저농도의 n형 확산층을 형성하기 위하여, 게이트전극26a를 마스크로서 As+를 이온주입한다. 이 이온주입으로서, LDD용의 얕은 저농도의 n형확산층 29가 형성된다.

제6(c)도에 도시한 바와 같이, 기판전면상에 CVD으로서 산화실리콘 등의 절연막 3을 형성한다. 이방성드라이에칭(RIE)을 사용하고, 절연막31을 에칭하고, 게이트전극26a의 측벽상에만 사이드 월 스페이서(side will spacer:측벽절연스페이서) 31a를 남긴다.

제7(d)도에 도시한 바와 같이, 사이드월스페이서 31a을 형성한 기판에 대하여, As+이온을 이온주입하고, n+형의 고농도 소스/드레인영역 33을 형성한다.

제7(e)도에 도시한 바와 같이, 고농도 소스/드레인영역 33상에 실리사이드전극 35를 형성한다. 실리사이드전극의 형성은, 먼저 실리콘활성층상에 형성된 얇은 산화막을 에칭액으로 에칭제거하고, 스퍼터링으로서 실리콘활성층상에 예를 들면 Co의 고융점금속막을 퇴적한다. 이어서, 2단계 단시간열처리법을 사용하여, 노출하고 있던 실리콘활성층상에 자기정합적으로 고융점금속실리사이드막 35를 형성한다.

2단계 단시간역처리법은 먼저 저온에서 1차 실리사이드반응을 하고, 그 후 미반응 고융점금속막을 에칭액으로 제거하고, 더우기 2차열처리를 행하여 완전한 실리사이드막 35를 형성한다.

실리사이드로서는 코발트실리사이드, 티탄실리사이드, 백금실리사이드, 몰리브덴실리사이드, 텅스텐실리사이드, 니켈실리사이드의 어느 하나 또는 이들의 조합을 사용할 수가 있을 것이다.

제7(f)도에 도시한 바와 같이, 기판전면 상에 질화실리콘막 36을 퇴적한다. 원료가스로서 SiH_4(유량 18sccm) 과 NH_3(유량 60sccm)을 사용하여, 압력 1.5Torr, 기판온도 350℃에서 플라즈마CVD를 사용하여, 13.56MHz의 고주파전력을 0.11W/cm^2~0.85W/cm^2로서 플라즈마CVD막을 형성한다.

계속하여, 질화실리콘막 36위에 플라즈마CVD로서 산화실리콘막 37을 형성한다. 이 플라즈마CVD도, 13.56MHz의 고주파전력을 0.11W/cm^2~0.85W/cm^2로 선택하여 행한다. 소스가스로서는 예를 들면 SiH_4와 N_2O를 사용하면 좋다.

이와 같이 하여, 질화실리콘막 36, 산화실리콘막 37의 적층에 의한 층간절연막을 고주파전력을 제한한 플라즈마CVD로서 형성한다. 더우기, 질화실리콘막 36 대신에 산화실리콘막을 사용하여도 좋다. 또, Si원료로서는 SiH_4, Si_2H_6, SiH_2Cl_2, $SiHCl_3$를 사용할 수가 있다.

더우기, 산화실리콘막 37의 Si원료로서는 SiH_4, Si_2H_6, 테트라에톡시소소실란(TEOS), 테트라에틸플루오로실란(TEFS)등을 사용할 수가 있다. 더우기, 질화실리콘막 36의 형성이전에 산화실리콘막 등이 형성되어도 좋다.

플라즈마CVD후에, 급속한 열 어닐링(rapid thermal anneal:RTA)에 의하여 N_2 등의 분위기 중, 800℃, 30초간의 열처리를 한다. 이 열처리로서 질화실리콘막 36, 산화실리콘막 37중에 도입된 수소를 탈가스시킴과 동시에, 막질을 개선한다. 더우기, 분위기는 N_2외에, 오존, 아르곤, 산소를 사용하여도 좋다. 또, RTA 대신에 저항로(抵抗爐)에 의한 가열을 사용하여도 좋다.

그 후, 질화실리콘막 36, 산화실리콘막 37로 형성된 층간절연막을 관통하고, 게이트전극 26a, 소스/드레인영역상의 실리사이드막 35를 노출하는 콘택트홀을 형성하고, 베리어메탈(barrier metal), Al합금층을 포함하는 금속배선층 38,39를 형성하고, MOSFET의 각 전극을 상부로 끌어낸다.

이상 n채널MOSFET의 제조방법을 설명하였으나, 마찬가지의 순서로서 p채널MOSFET를 제조할 수도 있다.

제8도, 제9도를 참조하여, p채널MOSFET의 제조방법을 설명한다. 제8(a)도에 표시하는 바와 같이, (100)면 CZ실리콘기판 21에 n형웰 23을 형성한 후, 주지의 LOCOS에 의하여 산화실리콘의 소자분리영역 24를 형성한다. 소자분리영역 24에 의하여 규정된 활성영역표면에, 두께 6nm정도의 게이트산화막 25를 형성한다. 게이트산화막상에, LPCVD로서 다결정실리콘막 27을 두께 200nm 형성한다.

제8(b)도에 도시한 바와 같이, 포토리소그라피를 사용한 에칭으로서, 다결정Si막 7을 선택적으로 에칭하고, 게이트전극27a를 형성한다.

제8(c)도에 도시한 바와 같이, 기판전면상에 CVD에 의해 산화실리콘 등의 절연막 31을 형성하고, 이방성드라이에칭을 하여 게이트전극 27a의 측벽에만 사이드월스페이서31a를 남긴다.

제9(d)도에 도시한 바와 같이, 게이트전극 27a와 사이드월스페이서 31a를 마스크로 하고, p형불순물로서 B+이온을 이온주입하고, p형 소스/드레인영역 43을 형성한다.

노출한 실리콘 활성층상에 형성된 산화막을 에칭액으로 제거하고, 청정한 실리콘면을 노출시킨다.

제9(e)도에 도시한 바와 같이, 노출한 실리콘면상에 코발트Co 등의 실리사이드막 45를 형성한다. 실리사이드 45의 형성은, 전술한 실시예와 마찬가지의, 2단계 단시간 열처리법을 사용하여 행할 수가 있다.

제9(f)도에 도시한 바와 같이, 기판전면상에 질화실리콘막 36, 산화실리콘막 37을 플라즈마CVD로서 작성한다. 질화실리콘막은, 예를 들면 SiH_4(18sccm)와 NH_3(60sccm)를 사용하여, 분위기압력 1.5Torr, 기판온도 350℃, RF전력 0.11W/cm^2~0.85W/cm^2으로 행할 수가 있다.

플라즈마CVD후에, 바람직하게는 전술한 실시예와 마찬가지의 어닐링을 행한다. 예를 들면, RTA를 사용하여, N_2분위기중, 800℃, 30초간의 열처리를 행한다.

그 후, 질화실리콘막 36, 산화실리콘막 37을 관통하는 콘택트홀을 형성하고, 베리어층(barrier layer), Al합금층을 포함하는 메탈배선층을 퇴적하고, 패터닝하여 전극 38, 39를 형성한다. 이와 같이 하여, p채널MOSFET를 완성한다.

더우기, 제6도, 제7도에 도시한 n채널MOSFET와 제8도, 제9도에 도시한 p채널MOSFET를 동일 기판상에 작성할 수도 있다. 이들의 도면 중 대칭하는 구성요소는 동일 숫자로 표시되어 있다. 그들은 공통의 공정으로 작성된다.

더우기, 제7(f), 제9(f)도에 도시하는 플라즈마CVD에 있어서, 기판온도는 150℃~550℃의 범위내에서 선택할 수 있다. 또, 분위기압력은 1.5Torr~10Torr정도를 선택할 수가 있다. 플라즈마CVD후의 어닐링에 있어서, 처리분위기는 아르곤, N_2, 오존을 포함하는 O_2 또는 O_2로 할 수도 있다. 바람직하게는, 수소를 보다 외방확산시키는 분위기를 사용한다.

또, 플라즈마CVD후에, 수소를 탈가스시키는 처리로서 열처리에 대신하여, 플라즈마처리를 하여도 좋다. 이 경우, 플라즈마처리온도로서는 300℃~550℃의 범위를 선택할 수 있다. 플라즈마처리분위기로서는 O_2, N_2, Ar 또는 N_2O를 선택할 수가 있다.

질화실리콘막을 에칭스톱퍼로서 사용하는 경우, 질화실리콘막의 굴절율을 1.9~2.9의 범위로 선택하는 것이 바람직하다. 일반적으로, 질화막의 굴절율이 높은 쪽이 산화막과의 애칭선택비를 높일 수가 있다. 따라서, 애칭스톱퍼서의 기능으로부터는 굴절율은 높은 쪽이 바람직하다. 질화실리콘막의 원료가스로서 SiH_4, NH_3를 사용하는 경우, SiH_4의 유량을 NH_3에 대하여 높게 설정함으로써, 굴절율을 높일 수 있다. 더우기, 상술한 굴절율은 엘립소메트리(ellipsometry)에 의하여 파장 632.8nm로서 측정한 경우를 기준으로 한다.

이상, PECVD에서의 고주파전력과 열처리온도를 제한하고, 도입되는 수소량을 제한하는 실시예를 설명하였으나, 질화실리콘막으로서 층간절연막을 작성하는 경우, 질화실리콘막은 매엽식열CVD으로서 작성할 수도 있다.

열CVD장치로서는 배치식장치차 매엽식장치가 알려져 있다. 배치식열CVD장치를 사용하는 경우, 가열온도가 높고 (예를 들면 750℃), 더구나 장시간(예를 들면 2~3시간정도)의 처리를 필요로 한다. 이와 같은 조건에 의하면, 게이트전극중의 도프이온(특히 B)를 확산시켜, 게이트산화막의 계면 또는 게이트산화막중에 결함을 도입한 것이라고 일컬어진다. 이 현상은 게이트전극에 B를 도프한 p채널MOSFET에서 현저하다. 게이트전극중의 도프불순물이 게이트산화막을 관통하여 채널영역에 확산하면, MOSFET의 한계값 전압을 불안정하게 변화시켜 버린다. 또, 게이트산화막의 계면이나 게이트산화막중에 결함이 생성되면, BT스트레스수명의 열화를 촉진한다. 또, 프로세스의 저온화의 요구에도 따르지 못한다.

매엽식열CVD장치에 의하면, 가열온도 550℃~600℃, 10분간정도의 처리로서 질화실리콘막을 작성할 수가 있다. 이 정도의 조건이라면, 프로세스의 저온화의 요구를 충족할 수 있다. 더우기, 매엽식열CVD일 때의 기판온도를 높게 하면, 처리시간을 단축화할 수도 있다. 따라서, 매엽식열CVD에서의 기판온도는 500℃~800℃의 범인에서 선택할 수가 있다.

제17도에 보론(B) 확산의 계산결과를 나타낸다. 확산온도 750℃, 700℃, 550℃, 400℃에서, 확산시간 360분, 30분, 10분의 각 경우에 대하여 보론농도의 깊이방향분포를 계산하였다. 제17도에는 이들 중 대표적인 것을 도시한 것이다.

확산온도가 750℃나 700℃이더라도, 확산시간이 10분이면, 확산의 정도는 낮고, 실용에 있어서 거의 문제가 없다. 확산시간이 30분이면, 확산이 격심하게 되고, 실용화는 곤란할 것이다. 확산온도가 550℃이하이면, 확산시간이 360분이더라도 전혀 문제가 없을 것이다. 허용되는 확산의 기준으로서 표면농도의 1/10의 농도로 되는 깊이가 0.02μm이하로 하면, 확산온도가 800℃인 경우, 확산시간이 25분 이내이면 좋도록 된다. 따라서, 열CVD의 기판온도는 500℃~800℃의 범위에서 선택할 수가 있다.

배치식 확산장치에서는, 예를 들면 750℃, 2~3시간의 처리를 필요로 하나, 보론확산의 영향을 무시할 수 있을 정도까지 저감하는 것은 곤란할 것이다.

제10도는 매엽식 열CVD장치의 구성예를 도시한 것이다.

제10(a)도에 있어서, 각기 용기 51내의 상부에 가스공급수단 52가 설치되고, 하부에 서셉터 53이 설치되어 있다. 서셉터 53은 하면에서 램프 54에 의하여 가열할 수가 있다. 웨이퍼 55는 서셉터 53상에 재치한다.

제10(b)도에 있어서는, 용기 51내의 중간에 서셉터 53이 설치되고, 서셉터 53은 그 중앙에 개구를 가진다. 서셉터 53하부에 가스공급수단 52가 설치되어 있다. 열CVD막은 서셉터 53상에 뒤집혀서 재치된 웨이퍼 55 하면 상에 퇴적한다. 용기 51의 상방에는 석영창 56이 설치되어 있고, 석영창 56상부에 가열용 램프 54가 설치되어 있다.

이하, 제11도, 제12도, 제13도, 제14도를 참조하여, 본 발명의 실시예에 의한 MOSFET의 제조방법을 설명한다.

제11(a)도에 도시한 바와 같이, p형 Si기판 21의 표면상에 패드용 산화실리콘막 18, 마스크용 질화실리콘

막 19를 형성한다.

제11(b)도에 도시한 바와 같이, 포토리소그래피를 사용하여, 질화실리콘막 19를 패터닝하고, 개구를 갖는 질화실리콘막 19a를 작성한다. 질화실리콘막 19a를 마스크로서, 주지의 LOCOS를 행하여 소자분리영역 24를 형성한다.

제11(c)도에 도시한 바와 같이, 기판표면상에 레지스트마스크 47을 형성하고, 예를 들면 B^+이온을 주입하고, p형 웰 22를 작성한다. 그 후 레지스트마스크는 제거한다.

제11(d)도에 도시한 바와 같이, 작성한 p형 웰 22을 덮는 레지스트마스크 48을 형성하고, 예를 들면, p^+형 이온을 이온주입하고, n형 웰 23을 작성한다. 그 후 레지스트마스크는 제거한다.

제12(e)도에 도시한 바와 같이, 실리콘기판표면의 활성영역상에 두께 약 5.5nm의 게이트산화막 25를 형성하고, 채널도즈(channel dose)의 이온주입을 행하고, 채널도즈영역 49를 작성한다.

제12(f)도에 도시한 바와 같이, 다결정 실리콘막과 산화실리콘막의 적층을 형성하고, 패터닝함으로써, 게이트전극 51과 그 위의 산화실리콘막 52를 작성한다.

제12(g)도에 도시한 바와 같이, n형 웰 23상부를 레지스트마스크 53으로 덮고, As^+이온을 주입하고, 게이트전극 51 양측에 LDD용의 저농도의 소스/드레인영역 29를 작성한다. 그 후 레지스트마스크는 제거한다.

제13(h)도에 도시한 바와 같이, 기판전면상에 산화실리콘막을 퇴적하고, 반응성이온에칭등의 이방성에칭을 함으로써, 게이트전극측벽 상에 사이드월스페이서 31a를 작성한다.

제13(i)도에 도시한 바와 같이, n형 웰 23상을 덮는 레지스트마스크 55를 형성하고, As^+이온을 이온주입하고, 고농도의 소스/드레인영역 33을 형성한다. 그 후 레지스트마스크는 제거한다.

제13(j)도에 도시한 바와 같이, p형 웰 22를 덮는 레지스트마스크 57을 형성하고, B^+이온을 이온주입하고, p채널MOSFET의 소스/드레인영역 43을 형성한다. 그 후 레지스트마스크는 제거한다.

제14(k)도에 도시한 바와 같이, 이온주입한 불순물을 RTA로서 활성한 후, 노출하고 있는 실리콘표면상에 Co실리사이드막 45, 35를 작성한다. 실리사이드막의 작성은 전술한 실시예와 마찬가지로, Co막 퇴적과 2단계 단시간 열처리법으로서 행할 수가 있다.

제14(l)도에 도시한 바와 같이, 실리사이드막을 형성한 기판표면 상에 질화실리콘막 61, 산화실리콘막 62, SOG막 63을 형성한다.

질화실리콘막 61의 형성은 매엽식열CVD장치를 사용하고, 두께 70nm정도를 퇴적한다. 매엽식열CVD의 조건은 예를 들면 SiH_4(45sccm)와 NH_3(1000sccm)을 사용하여, 분위기압력 60Torr, 기판온도 600℃에서 행할 수가 있다. 더우기, 질화실리콘막 61 대신에, 산화질화실리콘막을 사용하여도 좋다. 또, Si원료로서는 SiH_4, Si_2H_6, SiH_2Cl_2, $SiHCl_3$를 사용할 수 있다. 더우기, 질화실리콘막 61의 형성이전에 산화실리콘막등이 형성되어 있어도 좋다.

산화실리콘막 62는, 전술한 실시예와 마찬가지의 PECVD로서, 두께 150nm정도를 형성한다. Si원료로서는 예를 들면 TEOS를 사용할 수 있다.

더우기, 산화실리콘막 62의 Si원료로서는, SiH_4, Si_2H_6, 테트라에톡시오소실란(TEOS), 테트라에틸플루오로실란(TEFS)등을 사용할 수가 있다. 더우기, 질화실리콘막 36의 형성 이전에 산화실리콘막 등이 형성되어 있어도 좋다. 또, 매엽식열CVD에 의하여 산화실리콘막 62를 성막하여도 좋다.

SOG막 63은 표면을 평탄화하는 기능을 가진다. 예를 들면 평탄부에서의 두께 200nm정도의 SOG막 63을 형성하면 좋다. 더우기, 평탄화의 방법으로서 화학기계연마법(CMP)등을 사용하여도 좋다.

제14(m)도에 도시한 바와 같이, 층간절연막을 관통하는 콘택트홀을 형성하고, 배선층을 퇴적한 후, 패터닝을 하여 전극 38, 39를 형성한다. 이와 같이 하여 CMOSFET를 제조할 수가 있다.

제15(a), (b)도는 상술한 실시예에 의하여 작성한 n채널MOSFET의 성능을, 다른 방법으로서 작성한 n채널MOSFET와 비교하여 나타내는 그래프이다.

제15(a)도는 한계값전압 Vth에 대하여, 포화드레인·소스전류 Ids를 도시한 그래프이다. 참조용으로서, 층간절연막(의 하층)으로서 PECVD에 의한 SiON을 사용한 샘플을 측정하였다. ○자가 그 플로트이다. □자의 플로트는 질화실리콘막을 PECVD로 작성한 경우를 표시하고, △자와 ◇자는 매엽식열CVD로서 질화실리콘막을 725℃와 600℃로 작성한 경우를 나타낸다. 매엽식열CVD에 의한 샘플은 포화전류가 5~10%정도, 다른 샘플보다 높다는 것을 알 수 있다.

제15(b)도는 n채널MOSFET의 최대상호 콘덕턴스를 마스크폭 Lmak의 함수로서 나타내는 그래프이다.

이 경우도, 매엽식열CVD로서 질화실리콘막을 작성한 샘플은 최대상호 콘덕턴스 Gmmax가 다른 샘플과 비교하여 3%정도로 크다는 것을 알 수 있다.

제16도는 작성한 p채널MOSFET의 포화드레인전류 Ids를 한계값전압 Vth의 함수로서 도시하는 그래프이다. ○자는 배치식열CVD장치로서 질화실리콘막을 725℃에서 작성한 경우의 결과이고, □자는 매엽식열CVD장치로서 질화실리콘막을 600℃에서 작성한 경우를 표시한 것이다. p채널MOSFET의 포화드레인전류는 배치식열CVD를 사용하면 저하하는 경향이 있으나, 매엽식열CVD장치에 의하면, 배치식열CVD장치를 사용한 때와 비례하여 포화드레인전류를 높게 유지할 수가 있다.

이상 실시예에 따라 본 발명을 설명하였으나, 본 발명은 이들에 제한되는 것은 아니다. 예를 들면 각종의

변경, 개량, 조합 등이 가능하다는 것은 당업자에게 자명할 것이다.

발명의 효과

이상 설명한 바와 같이, 본 발명에 의하면, 프로세스의 저온화의 요구를 충족하고, 또한 고신뢰성의 MOSFET를 포함한 반도체장치를 제조하는 것이 가능케 된다.

(57) 청구의 범위

청구항 1

(a)반도체기판상에 절연게이트전극을 갖는 MOS트랜지스터구조를 형성하는 공정과, (b)상기 절연게이트전극을 덮어서, 상기 반도체기판상에 수소를 포함하는 원료가스를 사용한 평행평판형 플라즈마CVD로서 전극면적당 0.11W/cm^2~0.85W/cm^2의 고주파전력으로 절연막을 퇴적하는 공정을 포함하는 반도체장치의 제조방법.

청구항 2

제1항에 있어서, 상기 고주파전력은 주파수 13.56MHz의 전력인 반도체 장치의 제조방법.

청구항 3

제1항에 있어서, 상기 MOS트랜지스터구조는 복수이고, 상기 공정(a)가 상기 MOS트랜지스터구조중의 일부의 절연게이트전극에 n형 불순물을 도프하는 서브공정과, 상기 MOS트랜지스터구조중의 다른 일부의 절연게이트전극에 p형불순물을 도프하는 서브공정을 포함하는 반도체장치의 제조방법.

청구항 4

제1항에 있어서, 상기 공정(a)가 상기 MOS트랜지스터구조의 절연게이트전극의 측벽상에 측벽절연스페이서를 형성하는 서브공정과, 절연게이트전극양측의 소스/드레인영역상에 셀프얼라인된 실리사이드층을 형성하는 서브공정을 포함하는 반도체장치의 제조방법.

청구항 5

제1항에 있어서, 상기 공정(b)가 반도체기판상에 제1의 절연막을 퇴적하는 서브공정과, 제1의 절연막상에 제2의 절연막을 퇴적하는 서브공정을 포함하고, 제1의 절연막은 SiN 또는 SiON인 반도체장치의 제조방법.

청구항 6

제4항에 있어서, 상기 공정(b)가 엘립소메트리(ellipsometry)에 의한 굴절율이 1.9~2.9인 SiN막을 퇴적하는 서브공정을 포함하는 반도체장치의 제조방법.

청구항 7

제1항에 있어서, (c)상기 공정(b)후, 상기 절연막에서 수소를 탈가스시키는 공정을 더 포함하는 반도체장치의 제조방법.

청구항 8

제7항에 있어서, 상기 공정(c)는 RTA 또는 로(爐)에 의하여 상기 반도체기판을 소정온도에서 열처리하는 서브공정을 포함하는 반도체장치의 제조방법.

청구항 9

제8항에 있어서, 상기 소정온도는 500℃~850℃의 범인내인 반도체장치의 제조방법.

청구항 10

제8항에 있어서, 상기 열처리하는 서브공정은 오존, 질소, 아르곤 또 산소의 분위기중에서 행하는 반도체장치의 제조방법.

청구항 11

제7항에 있어서, 상기 공정(c)는 상기 반도체기판을 플라즈마중에서 처리하는 서브공정을 포함하는 반도체장치의 제조방법.

청구항 12

제11항에 있어서, 상기 플라즈마 중에서 처리하는 서브공정은 상기 반도체장치를 300℃~550℃로 유지하여 행하는 반도체장치의 제조방법.

청구항 13

제11항에 있어서, 상기 플라즈마 중에서 처리하는 서브공정은 산소, 질소, 아산화질소, 또는 아르곤의 분위기에서 행하는 반도체장치의 제조방법.

청구항 14

(a)반도체기판상에 절연게이트전극을 갖는 MOS트랜지스터구조를 형성하는 공정과, (b)상기 절연게이트전극을 덮어서 상기 반도체기판 상에 매엽식열CVD로서 기판온도 500℃~800℃에서 질화막을 퇴적하는 공정

을 포함하는 반도체장치의 제조방법.

청구항 15

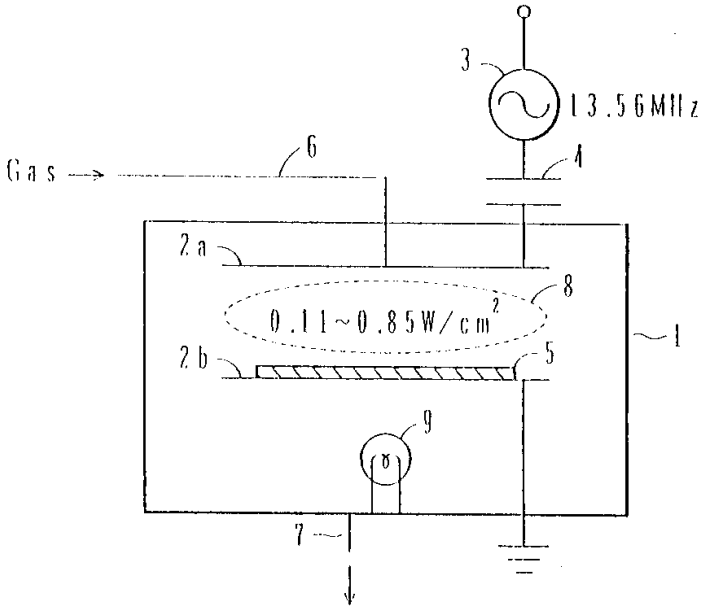
제14항에 있어서, 상기 MOS트랜지스터구조는 복수이고, 상기 공정(a)가 상기 MOS트랜지스터 구조 중의 일부의 절연게이트진극에 n형불순물을 도프하는 서브공정과, 상기 MOS트랜지스터 구조 중의 다른 일부의 절연게이트전극에 p형불순물을 도프하는 서브공정을 포함하는 반도체장치의 제조방법.

청구항 16

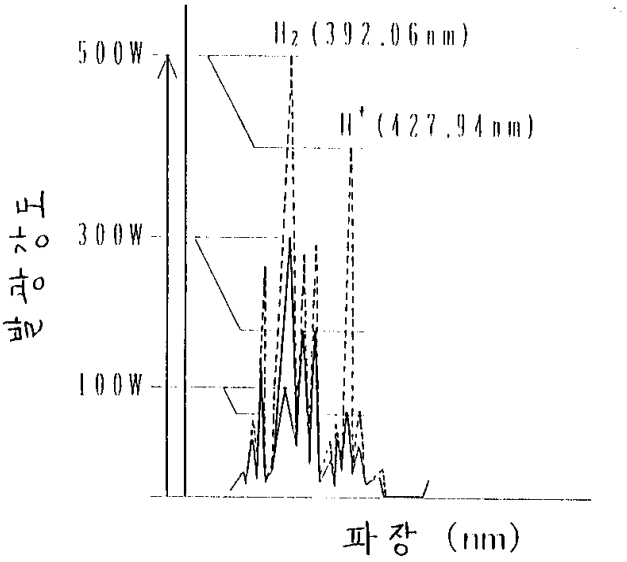
제14항에 있어서, 상기 공정(a)가 상기 MOS트랜지스터구조의 절연게이트전극의 측벽상에 측벽절연스페이서를 형성하는 서브공정과, 절연게이트전극 양측의 소스/드레인영역상에 셀프얼라인된 실리사이드층을 형성하는 서브공정을 포함하는 반도체장치의 제조방법.

도면

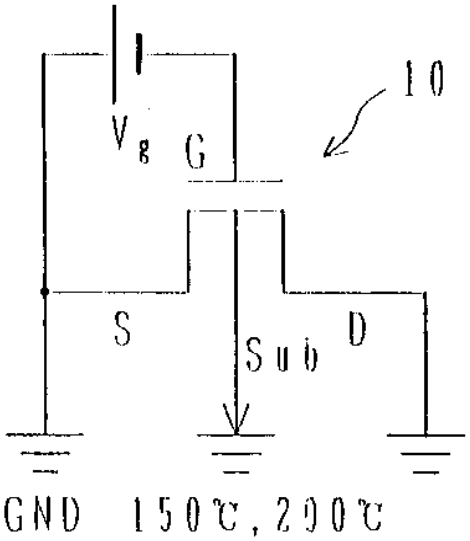
도면1



도면2



도면3a

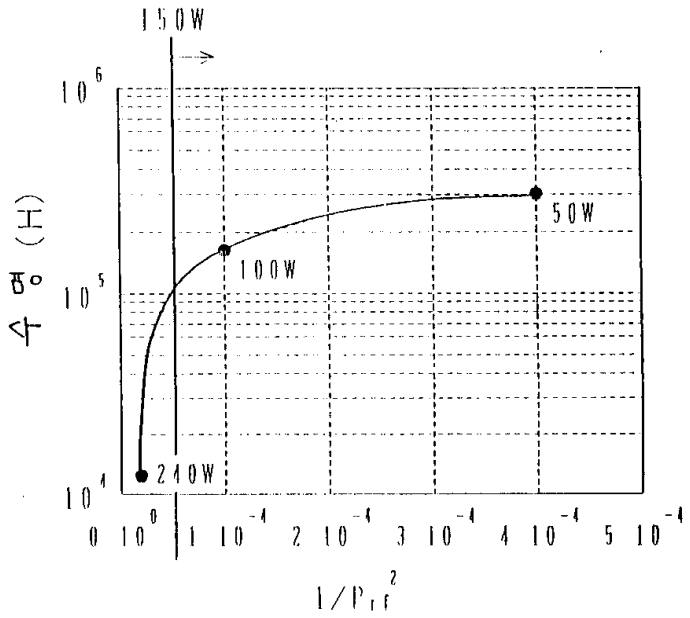


도면3b

PMOSFET의 BT수명	Vd = 2.75V, 85℃	
RF Power / 수명의 기준	1.36W/cm² (240W)	0.28W/cm² (50W)
Id 3%	1.25E + 4H	3.1E + 5H

Ta = 200℃
Vg = 3.3V

도면3c



도면4a

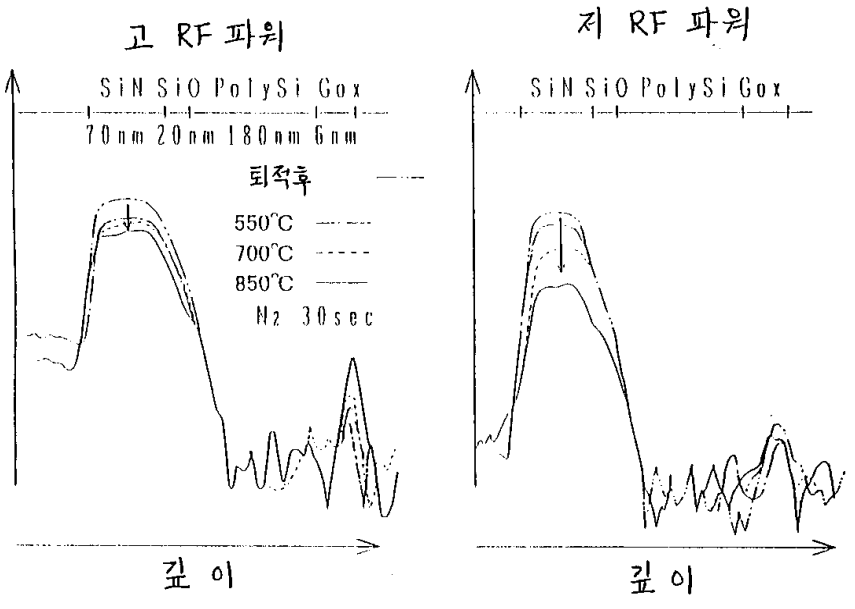
PMOS 캐퍼시터의 플래트밴드 전압		
RF Power / Flatband vol.	240W	50W
V_{fb}(V)	1.23V	1.07V

도면4b

nMOSFET의 핫 캐리어 수명		
RF Power / 수명의 기준	240W	50W
3% I_d REDUCTION	6E+4sec.	5E+5sec.

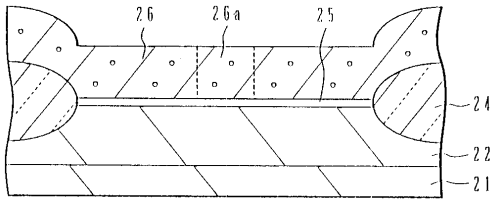
$l_{sub} = 1\mu m$

도면5

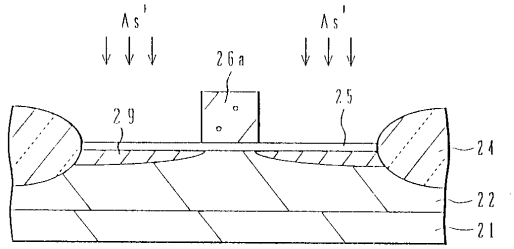


도면6

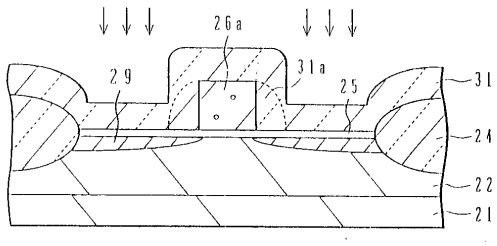
(a)



(b)

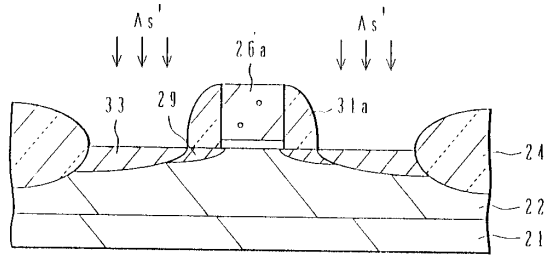


(c)

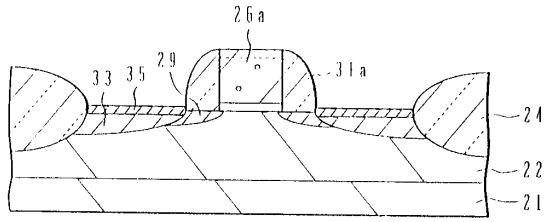


도면7

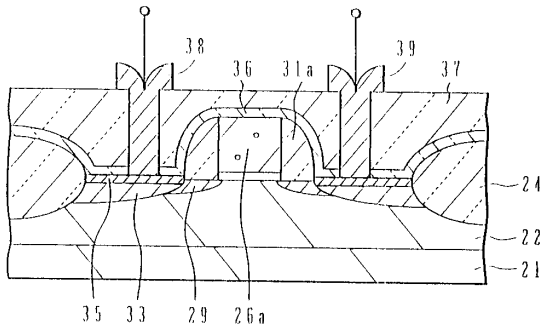
(d)


As'
As'
26a
33
29
31a
24
22
21

(e)

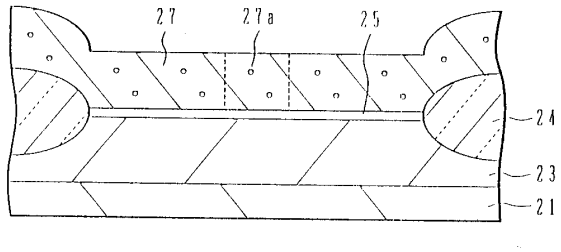

26a
33
35
29
31a
24
22
21

(f)

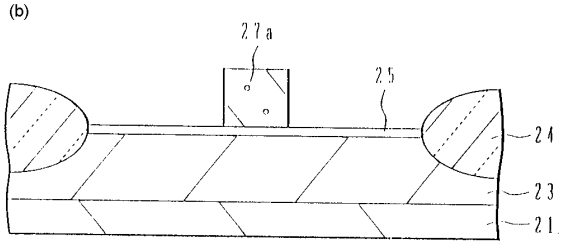

38
36
31a
39
37
24
22
21
35
33
29
26a

도면8

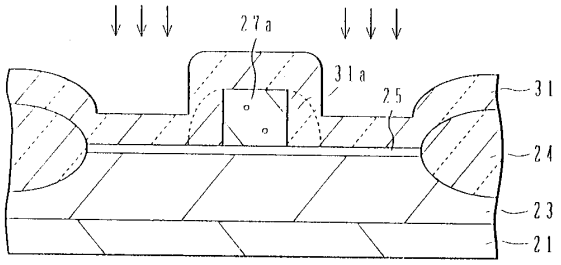
(a)



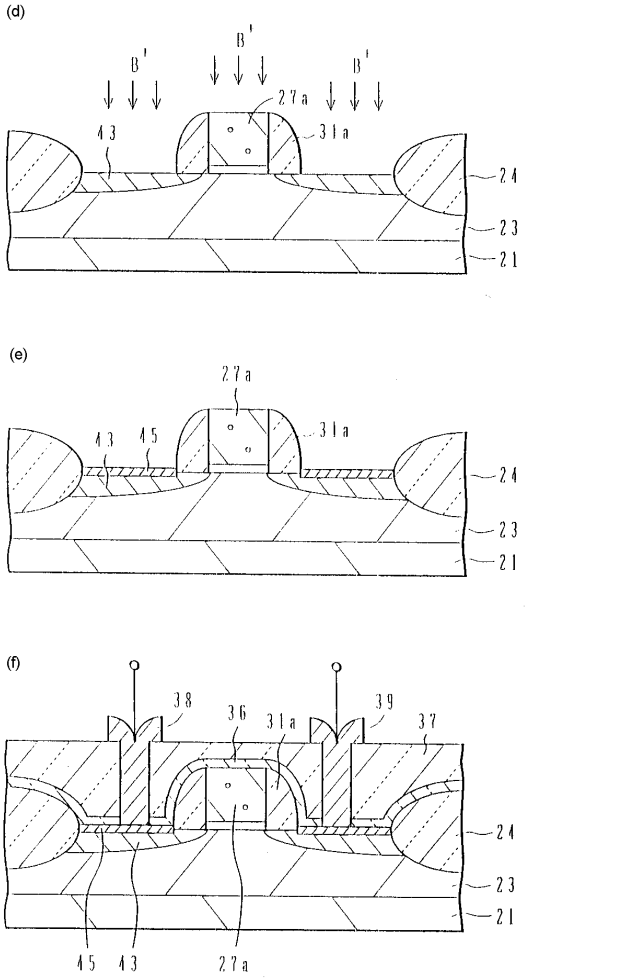
(b)



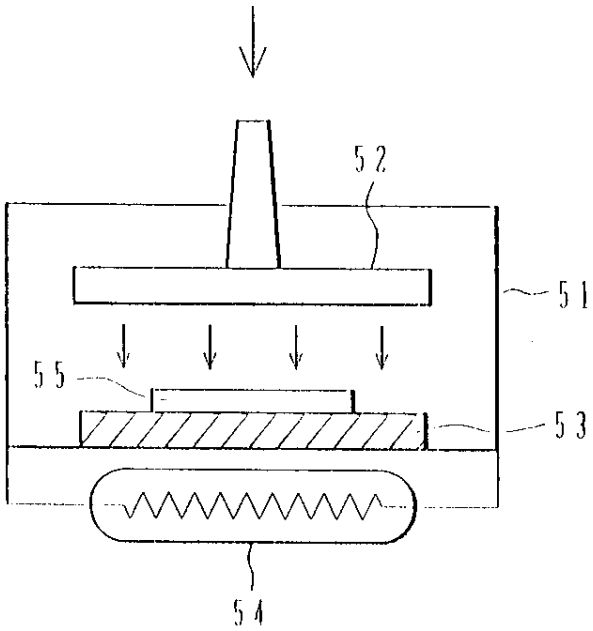
(c)



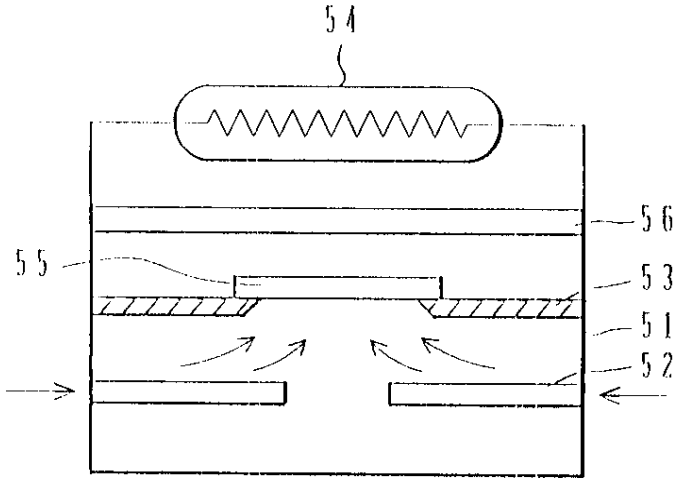
도면9


(d)
B'
B'
B'
27a
43
31a
24
23
21
(e)
27a
43
45
31a
24
23
21
(f)
38
36
31a
39
37
24
23
21
45
43
27a

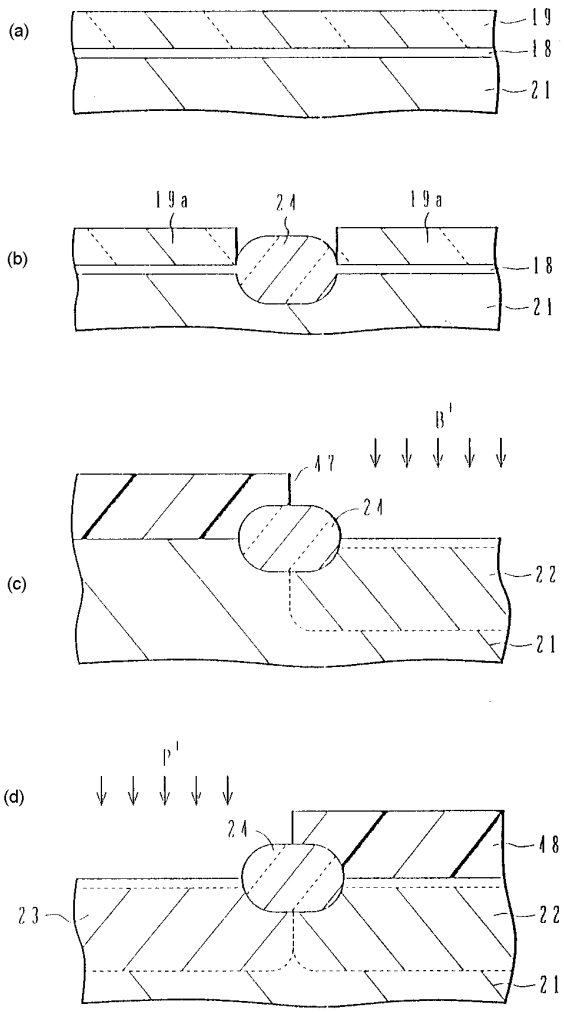
도면10a


52
51
55
53
54

도면10b

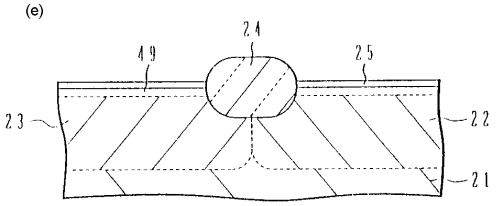

54
56
55
53
51
52

도면11

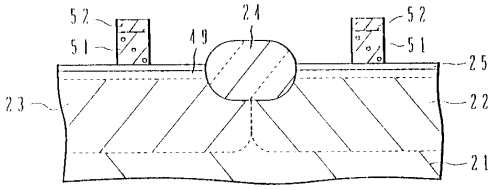

(a)
19
18
21
19a
24
19a
(b)
18
21
B'
17
24
(c)
22
21
P'
(d)
24
18
23
22
21

도면12

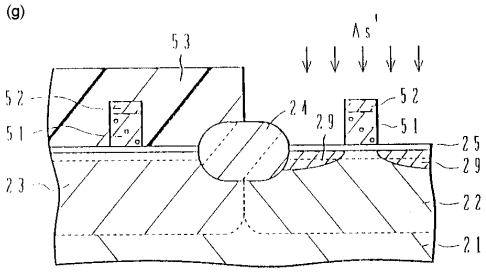
(e)


24
49
25
23
22
21

(f)

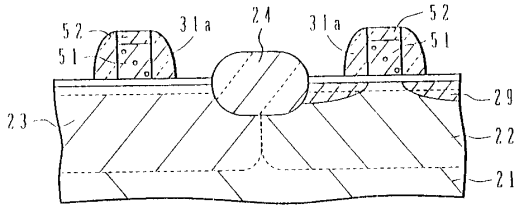

52
51
24
49
52
51
25
23
22
21

(g)

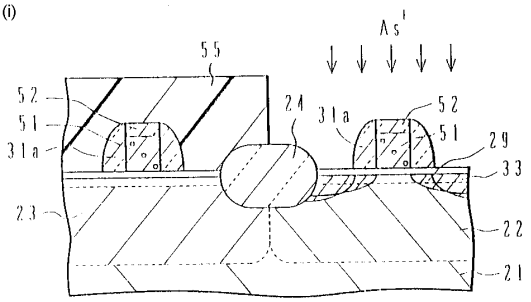

53
As
52
51
24
29
52
51
25
29
23
22
21

도면13

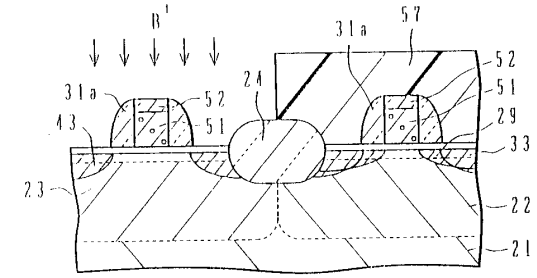
(h)


52
51
31a
24
31a
52
51
29
23
22
21

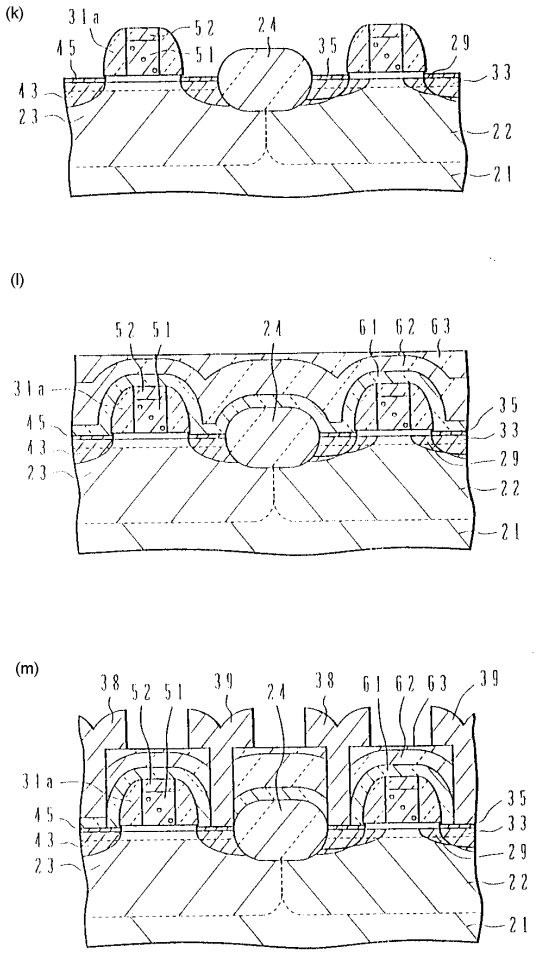
(i)


As+
55
52
51
31a
24
31a
52
51
29
33
23
22
21

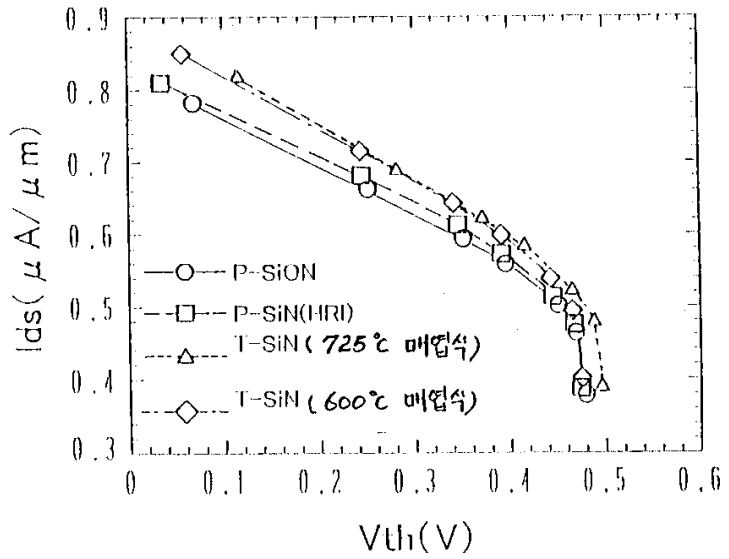
(j)


B+
31a
57
52
51
29
33
31a
24
52
51
43
23
22
21

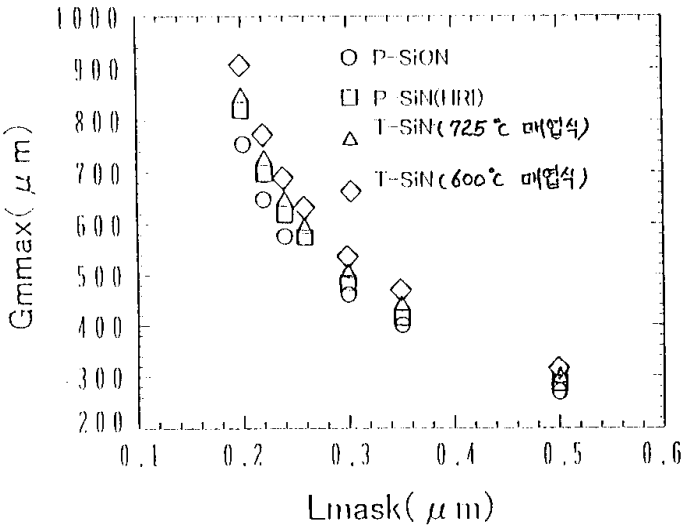
도면14


(k)
31a
52
24
35
29
45
51
33
43
23
22
21
(l)
52 51
24
61 62 63
31a
35
45
33
43
29
23
22
21
(m)
38
52 51
39
24
38
61 62 63
39
31a
35
45
33
43
29
23
22
21

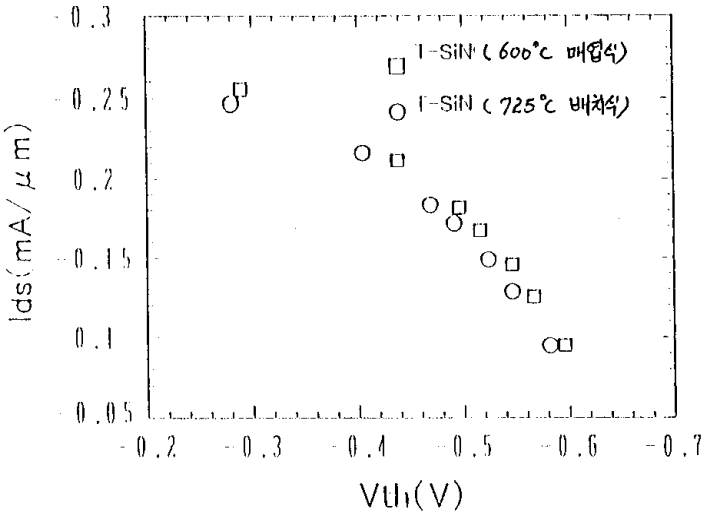
도면15a


Ids(μA/μm)
0.9
0.8
0.7
0.6
0.5
0.4
0.3
0
0.1
0.2
0.3
0.4
0.5
0.6
Vth(V)
P-SiON
P-SiN(HRI)
T-SiN(725℃ 배럴식)
T-SiN(600℃ 배럴식)

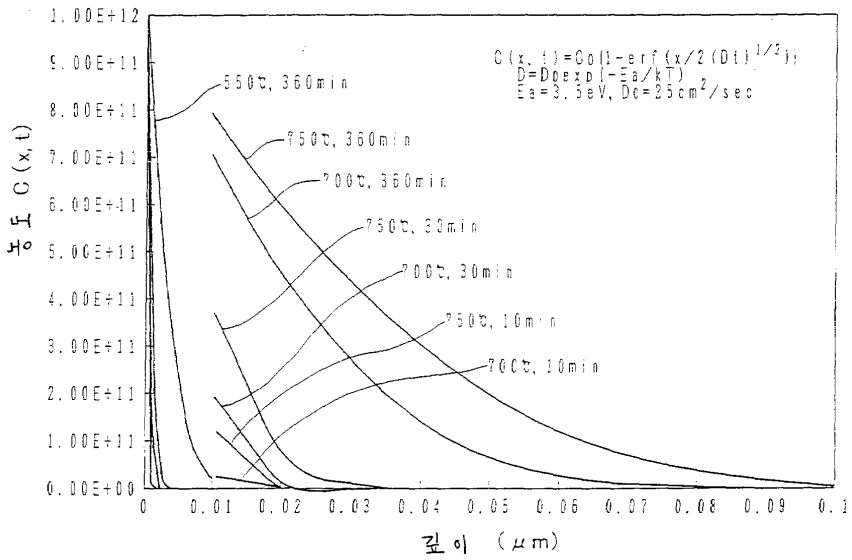
도면15b


1000
900
800
700
600
500
400
300
200
Gmmax(μ m)
0.1
0.2
0.3
0.4
0.5
0.6
Lmask(μ m)
P-SiON
P-SiN(HRI)
T-SiN(725℃ 배업식)
T-SiN(600℃ 배업식)

도면16


0.3
0.25
0.2
0.15
0.1
0.05
Ids(mA/ μ m)
-0.2
-0.3
-0.4
-0.5
-0.6
-0.7
Vth(V)
T-SiN(600℃ 배업식)
T-SiN(725℃ 배치식)

도면17


1.00E+12
9.00E+11
8.00E+11
7.00E+11
6.00E+11
5.00E+11
4.00E+11
3.00E+11
2.00E+11
1.00E+11
0.00E+00
농도 C(x,t)
C(x,t)=Co[1-erf(x/2(Dt)^1/2)]
D=Doexp[-Ea/kT)
Ea=3.5eV, Do=25cm²/sec
550℃, 360min
750℃, 360min
700℃, 360min
750℃, 30min
700℃, 30min
750℃, 10min
700℃, 10min
0
0.01
0.02
0.03
0.04
0.05
0.06
0.07
0.08
0.09
0.1
깊이 (μm)