

發明專利說明書

200305076

(填寫本書件時請先行詳閱申請書後之申請須知，作※記號部分請勿填寫)

※ 申請案號： 91135045 ※IPC 分類： G106F 12/00

※ 申請日期： 91.12.3

壹、發明名稱

(中文) 使用以大塊方式結構形成連接列表佇列之方法與裝置

(英文) METHODS AND APPARATUS FOR FORMING LINKED LIST QUEUE
USING CHUNK-BASED STRUCTURE

貳、發明人 (共 4 人)

發明人 1 (如發明人超過一人，請填說明書發明人續頁)

姓名：(中文) 珍-古 陳

(英文) JIAN-GUO CHEN

住居所地址：(中文) 美國紐澤西州貝斯金利吉市哈尼曼路 2F-218 25 號

(英文) 2F-218 25 HONEYMAN ROAD, BASKING RIDGE, NJ 07920,
U.S.A.

國籍：(中文) 中國 (英文) PEOPLE'S REPUBLIC OF CHINA

參、申請人 (共 1 人)

申請人 1 (如申請人超過一人，請填說明書申請人續頁)

姓名或名稱：(中文) 美商艾基爾系統公司

(英文) AGERE SYSTEMS INC.

住居所或營業所地址：(中文) 美國賓州艾倫城市聯邦大道 555 號

(英文) 555 UNION BOULEVARD, ALLENTOWN, PA
18109, U.S.A.

國籍：(中文) 美國 (英文) U.S.A.

代表人：(中文) 佛迪納德 M. 羅馬諾

(英文) FERDINAND M. ROMANO

發明人 2

姓名：(中文) 大維 E. 克魯恩

(英文) DAVID E. CLUNE

住居所地址：(中文) 美國紐澤西州卡利風市曼特格羅夫路 150 號

(英文) 150 MOUNT GROVE ROAD, CALIFON, NJ 07830, U.S.A.

國籍：(中文) 美國 (英文) U.S.A.

發明人 3

姓名：(中文) 哈南 Z. 摩勒

(英文) HANAN Z. MOLLER

住居所地址：(中文) 美國德州奧斯汀市楓葉大道 5511 號

(英文) 5511 MAPLELEAF DRIVE, AUSTIN, TX 78723, U.S.A.

國籍：(中文) 美國 (英文) U.S.A.

發明人 4

姓名：(中文) 大維 P. 沙尼爾

(英文) DAVID P. SONNIER

住居所地址：(中文) 美國德州奧斯汀市狐狸樹灣街 7103 號

(英文) 7103 FOXTREE COVE, AUSTIN, TX 78750, U.S.A.

國籍：(中文) 美國 (英文) U.S.A.

捌、聲明事項

☐ 本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間，其日期為：_____

☒ 本案已向下列國家（地區）申請專利，申請日期及案號資料如下：

【格式請依：申請國家（地區）；申請日期；申請案號 順序註記】

1. 美國；2001 年 12 月 21 日；10/029,680

2. _____

3. _____

☒ 主張專利法第二十四條第一項優先權：

【格式請依：受理國家（地區）；日期；案號 順序註記】

1. 美國；2001 年 12 月 21 日；10/029,680

2. _____

3. _____

4. _____

5. _____

6. _____

7. _____

8. _____

9. _____

10. _____

☐ 主張專利法第二十五條之一第一項優先權：

【格式請依：申請日；申請案號 順序註記】

1. _____

2. _____

3. _____

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

1. _____

2. _____

3. _____

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

1. _____

2. _____

3. _____

☐ 熟習該項技術者易於獲得，不須寄存。

(1)

玖、發明說明

(發明說明應敘明：發明所屬之技術領域、先前技術、內容、實施方式及圖式簡單說明)

發明範圍

本發明關於資料處理系統，特別關於利用大塊方式結構形成一連接列表佇列之技術。

發明背景

如所週知，包封處理系統之包封開關之路由器或其他型式中，通過路由器及/或由路由器處理之包封至少暫時在包封緩衝器記憶體內保持。典型為，保持與包封緩衝器記憶體相關之稱為連接列表佇列之記憶體資料結構。一連接列表佇列包含一指示符列表，分別指出包封緩衝器記憶體中之每一記憶體位置，其中儲存與每一包封相關之資料。

傳統之佇列結構典型以連續按順序之列表儲存目前儲存在包封緩衝器記憶體中與每一包封相關之指示符。列表中之每一指示符亦可儲存於佇列存在之記憶體中之非連續記憶體位置中。當包封緩衝器記憶體之一包封有待由路由器在操作中處理時，連接列表佇列必須存取或定址，以獲得與包封相關之指示符。如此，以傳統連接列表結構，在需要獲得指示符及一包封有待處理時，每次必須實施佇列定址。

但當與路由器或其他包封開關相關之處理速度增加時(即每秒10吉位元或更速)，輸入及輸出帶寬及與維持連接列表佇列相關之存取等待時間將變為極重要。即，每次需要一包封指示符時，傳統佇列必須存取一次，佇列記憶體可構成一嚴重瓶頸。

因此有一技術需求以解決此等問題及在資料處理系統中其他與使用單一，非連續連接之列表佇列相關之缺點。

本發明概述

本發明提供一利用大塊方式多記憶體或區塊結構以形成一連接列表佇列，以解決在資料處理系統中與使用傳統連接列表佇列相關之缺點。

本發明一特性中，一處理系統包含處理電路及耦合至處理電路之記憶體電路。記憶體電路係組態以可保持至少一代表資料單元之列表之佇列結構(即儲存於包封記憶體之包封之指示符)。該佇列結構被區分為二或多個區塊(即大塊)，其中佇列結構之至少某些區塊包括二或多個資料單元。此外，佇列結構之至少某些區塊可包括佇列結構之次一區塊指示符(即次塊指示符)。

以該佇列結構言，處理電路係組態以定址佇列之第一區塊，之後，設定第一區塊之次一區塊之指示符以指出次一區塊，再定址佇列結構之次一區塊。

優異地，因固定區塊中之資料單元係連續位於記憶體中(但每一區塊不必要如此)，處理電路必須定址區塊以便有效定址該區塊中之每一資料單元。此時，如資料單元為包封指示符，每次必須獲得指示符及包封有待處理時，佇列結構不須存取，如傳統佇列結構一樣。反之，本發明之佇列結構僅需在需要次一區塊之指示符時予以存取。此舉係以設定現在區塊之次一區塊指示符以指出次一區塊而達成。此一佇列存取技術有效降低帶寬及存取等待時間需求，

(3)

發明說明續頁

亦可防止佇列記憶體變成處理作業之瓶頸。

本發明之另一特性中，維持至少一代表佇列結構(自由區塊列表)之可用區塊指示符之一列表。以此方式，可用區塊之列表在增加一資料單元於佇列結構時予以參考，及在自佇列結構移除資料及/或釋放低區塊時予以更新。在一實施例中，先後利用二獨立可用之區塊列表以增加速度，以該速度，佇列結構之可用區塊被辨認及存取。

在一說明實施例中，本發明佇列結構可與一路由器或包封之其他型式之通信量管理程序相關。此外，用以維持及存取新穎區塊處理電路及記憶電路可以一或多個積體電路實施。

本發明此等目的，特性及優點可自以下之詳細說明及所附圖式共讀後當可明顯，其中：

圖式簡單說明

圖1為一方塊圖，說明可實施本發明之處理系統之包封處理系統；

圖2為一方塊圖，說明本發明一實施例之大塊方式之連接列表結構及二自由大塊式佇列記憶體；

圖3A為一流程圖，說明開始本發明實施例之佇列記憶體之啟動自由大塊式列表之方法；

圖3B為一流程圖，說明本發明實施例增加資料至佇列記憶體之方法；

圖3C為一流程圖，說明本發明一實施例自一佇列記憶體移除資料及釋放一區塊之方法；及

(4)

發明說明書續頁

圖4為一方塊圖，說明本發明之佇列記憶體之實施作為安裝在路由器或開關之線卡之通信量管理程序積體電路之一部分。

較佳實施例之詳細說明

本發明將以範例包封處理系統予以說明。應瞭解，本發明可應用於任何資料處理系統，其中，如能避免與傳統連接列表佇列相關之記憶體帶寬及等待時間則甚為理想。

此外，本發明之技術可應用於任何需要連接列表結構之應用中，或以下二條件存在之應用中(i)存取儲存於連接列表之記憶體之等待時間較追蹤連接列表所需時間為長；(ii)較佳能節省每欄儲存連接列表之空間。

此外，本發明可應用於必須保持佇列及獲得區塊式或大塊基方法之任何情況。例如，本發明之技術可應用於軟體實施，其新穎之區塊技術可獲得追蹤連接列表所需之快取遺失為最小。此外，本發明之技術因不需要每一連接列表欄而可提供大幅記憶體之節省。

應瞭解此處所用之"處理器"一詞可用微處理器，中央處理單元(CPU)，數位信號處理器(DSP)，指定應用積體電路(ASIC)，或其他型式資料處理裝置或處理電路及此等裝置或電路之一部分及組合實施。

本發明在一說明性實施例中，以運用區塊式或大塊式連接列表佇列結構，及配合雙可用區塊列表(自由大塊列表)以追蹤連接列表佇列結構，以消除或至少降低由使用單一，連續連接列表佇列結構引起之缺點。在其他優點中，本

(5)

發明說明續頁

發明大幅降低帶寬及佇列記憶體之存取等待時間需求，並可防止佇列記憶體變為處理系統之瓶頸。

圖1顯示包封處理系統100，本發明在其中實施。該系統100包含處理器102，一佇列記憶體104，及一包封緩衝記憶體106。該處理器102係組態以提供一介面於包否及其他包封資料自其接收之網路108及一控制包封交換之開關纖維110之間。網路可為但不限於同步轉移模式(ATM)網路或同步光學網路(SONET)。處理器102，佇列記憶體104及包封記憶體106可以一或多個積體電路安裝在一線或路由器或開關之端口卡。以此構型，開關纖維110一般認為係路由器或開關之一部分。

應瞭解，圖1所示之系統元件特殊安排僅係說明性質。如前所述，本發明可以任何型式之包封處理器實施，不限於任何特殊包封處理應用。

圖2顯示依據本發明實施例之佇列記憶體的大區塊式連接列表結構200及二個自由大區塊列表202及204。應瞭解，大區塊式連接列表結構200及二個自由大區塊列表202及204可位於及在處理器102(圖1)控制下實施於佇列記憶體104(圖1)。大區塊式連接列表結構200及二個自由大區塊列表202及204可與包封緩衝器記憶體106(圖1)相關使用。

如圖示，連接列表佇列結構200優異地被區分為多個記憶大組塊或區塊，以區塊1，區塊2....，區塊N表示，其中N為一整數等於佇列記憶體設計支援之區塊數目。每一區塊包含目前儲存在包封緩衝器記憶體之包封或協定資料單元

(6)

發明說明續頁

(PDUs)之指示符(PTRs)。如所週知，指示符指出一已知包封之包封緩衝器記憶體位置(即包封緩衝器記憶體106)。此外，佇列結構之每一區塊包含一指示符以指出佇列結構之次一區塊。此指示符稱為次區塊指示符(NXT CHK PTR)。其他資料單元型式可儲存於佇列結構200。

如圖2所示，每一區塊由連續記憶體位置組成，其中儲存與8個包封相關之指示符及次一指示符。當然，區塊尺寸可大可小，視應用而定。因此，區塊1包含PDUs 1-8之指示符，加一個次區塊之指示符，即區塊2；區塊2包含PDUs 9-16之指示符，加一個次區塊指示符，即區塊3；餘類推。

可在佇列結構200上執行之二不同作業包括累加一包封指示符至佇列結構(入列作業)及自佇列結構移除包封指示符(出列作業)。如典型例子，資料係自佇列之頭部(或開始處)移除及累加佇列在佇列結構之尾部(或末端)。當資料加入或移除時，為了追蹤佇列結構目前之頭部及尾部，一頭部PDU指示符位置與尾部PDU指示符位置保持在一起。

如圖2所示，假定出列作業前已經發生，故區塊1之1至7之PDUs指示符已自佇列結構200移除。因此，區塊1中之PDU 8之指示符位置代表佇列之目前頭部。同理，PDU 42之指示符位置代表佇列之尾部。佇列結構200中所有記憶體位置或各欄在PDU 42 PTR後為空的，但結構中次一區塊之指示符除外。

以佇列結構200而言，處理器102可定址或存取佇列結構之區塊1。之後，設定區塊1次一區塊指示符以指定區塊2

(7)

發明說明續頁

，定址佇列結構之區塊2。當然，區塊2以外之區塊必要時，在區塊1之後可予存取。

相當明顯，佇列結構200較其他傳統佇列結構之優點為，每一區塊係由連續記憶體位置組成，即，一線性位址範圍。因此為存取PDUs 1至8，佇列結構僅存取一次，即存取區塊1。以區塊1及已知其何處開始，處理器瞭解PDUs 1至8指示符在佇列記憶體之連續線性位址範圍之位置。因此，佇列結構不需為每一PDU存取，反之，僅存取每一區塊。

圖2亦顯示自由區塊列表202，204。如上所述，此等列表亦可儲存於及保持於(根據處理器102)記憶體佇列記憶體104中及佇列記憶體200中。自由區塊列表用以先後增加速度，以此速度，佇列結構200之可用區塊被識別及存取。

應瞭解，圖2僅說明一佇列結構200，佇列結構104可包括多個此種佇列結構，所有結構均在控制器102之控制下。本發明之此一佇列結構不需僅儲存指示符以供儲存於包封緩衝器記憶體之包封用，尚可儲存其他型式資料單元。精於此技藝者當瞭解可實施本發明之佇列結構之其他應用。

參考圖3A，3B，3C，根據本發明大塊方式結構及自由區塊列表實施方法，將於以下說明。

圖3A顯示本發明一實施例之佇列結構之自行啟動自由區塊列表(圖2之列表202及204)方法。此方法為佇列結構(即佇列結構200)本身如何自動啟動。如上所述，需要一或多個自由區塊以找出儲存於佇列中之新資料單元。在為有待入列之資料取自由區塊時，本發明較佳將自由區塊區分為二

(8)

發明說明續頁

各別列表以完成"開關"或串聯技術(列表間交替)。即，首先鑑定第一列表，之後第二列表，隨後再鑑定第一列表，餘類推。

此等列表利用線性方式佇列記憶體首先自行啟動(步驟302)。當自列表到達一程式化最大記憶體深度時，任何新區塊自自由區塊列表分配。二自由區塊列表之頭部指示符被保持(步驟304)。此等頭部指示符可保持在與控制處理器(即處理器102)相關之寄存器中。

圖3B顯示累加資料至本發明一實施例之佇列記憶體之方法。當一PDU被入列，指定一包封緩衝器記憶體中其記憶體位置之指示符及自一自由區塊列表定址(步驟310)。PDU指定符於是儲存在一指定區塊之第一線性位址(步驟312)。入列之次一資料單元分別指定至區塊中次一線性位址直到區塊已滿(步驟314)。此時，分配另一自由區塊(自一或二自由區塊列表)，自第一區塊之次一區塊指示符設定以指出從自由列表分配(步驟316)之新區塊。一次一區塊指示符與頭部及尾部指示符為佇列儲存。此可提供足夠時間以使連接列表在隨後之出列作業時被追蹤。

圖3C顯示本發明一實施例自佇列記憶體移出資料及釋放區塊之方法。區塊之釋放在區塊之最後資料單元移除或出列後發生。在此作業中，釋放區塊之次一區塊指示符予以設定，以指出自由區塊列表之目前頭部(因在切換作業中使用之次一自由區塊列表)，及一指示符以指出將變為自由列表之新頭部之釋放區塊(步驟320)。

(9)

發明說明續頁

如自由列表已空，釋放之區塊之次一區塊指示符被設定，以指出其本身及變為自由列表之頭部(步驟322)。此舉完成以指出此區塊代表列表用光之情況之自由列表之末端。出列作業因此建立自由區塊列表，亦顯示自行啟動如何發生。狀態位元經常保持以指出區塊應返回何一二自由區塊列表。此位元在每次釋放區塊返回時觸發一次以保證二自由列表為相同長度。

當作業需要同時分配及釋放一區塊時，不使用自由區塊列表。反之，出列作業釋放之區塊用以作為由入列程序分配之區塊。因此，區塊記憶體週期可更有效利用。

優異地，如使用區塊式佇列結構方法，連接列表可較全處理系統之最大速率為低之較低速率存取。此係由一項事實，即資料單元以線性儲存於區塊內，及次一區塊指示符持續追蹤佇列之頭部及尾部。獲得次一新區塊指示符之所需時間由區塊長度決定。

圖4顯示圖1之系統100之路由器或交換線(或埠)卡實施例之一例。此實施例中，處理系統包括一線卡400，其具有至少建於其上之積體電路402。積體電路402包含處理器102，佇列記憶體104及包封緩衝器記憶體106。

在一實施例中，積體電路402可用以實施與包封處理系統相關之通信量管理功能。通信量管理在許多功能中實施緩衝器管理及包封時程功能。

圖4顯示處理系統之一部分已大簡化以利說明。應瞭解列系統可包含路由器或開關，其包含多個線卡，每一線卡可

(10)

發明說明續頁

包括多個積體電路。

本發明已以說明實施例及參考圖式敘述如上，應瞭解，本發明不受限於此等實施例，不同之改變及修改可由精於此技藝人士實施而不致有悖本發明之精神與範圍。

圖式代表符號說明

100	系統
102	處理器
104	佇列結構
106	包封緩衝器記憶體
108	網路
110	開關纖維
200	連接列表結構
202	自由區塊列表
204	自由區塊列表

肆、中文發明摘要

一種處理系統，包含處理電路及耦合至處理電路之記憶體電路。該記憶體電路係組態以保持一代表資料單元之列表之至少一佇列結構(即儲存於包封記憶體之指示符)。該佇列結構被區分為二或多區塊(程序塊)，其中至少某些佇列結構區塊包括佇列結構之一區塊之指示符(及次一區塊指示符)。以固定佇列區塊而言，處理電路係組態以定址佇列結構之第一區塊，接著，設定第一區塊之次一區塊之指示符以指出次一區塊而定址佇列結構之次一區塊。

伍、英文發明摘要

A processing system comprises processing circuitry and memory circuitry coupled to the processing circuitry. The memory circuitry is configurable to maintain at least one queue structure representing a list of data units (e.g., pointers to packets stored in a packet memory). The queue structure is partitioned into two or more blocks (e.g., chunks) wherein at least some of the blocks of the queue structure include two or more data units. Further, at least some of the blocks of the queue structure may include a pointer to a next block of the queue structure (e.g., a next chunk pointer). Given such a queue structure, the processing circuitry is configurable to address a first block of the queue structure, and then address a next block of the queue structure by setting the next block pointer of the first block to point to the next block.

拾、申請專利範圍

1. 一種處理系統，包含：
處理電路；及
記憶體電路，其耦合至處理電路記憶體電路，該記憶體電路係組態以保持至少一代表資料單元之佇列結構，該佇列結構被區分為二或多區塊，佇列結構之至少某區塊包括二或多個資料單元。
2. 如申請專利範圍第1項之系統，其中該資料單元為儲存於一包封記憶體中之包封指示符。
3. 如申請專利範圍第1項之系統，其中該佇列結構裝之至少某區塊包括佇列結構次一區塊之指示符。
4. 如申請專利範圍第3項之系統，其中該處理電路係組態以(i)定址佇列結構之第一區塊；及(ii)以設定第一區塊之次一區塊指示符以指出次一區塊，以定址佇列結構之次一區塊。
5. 如申請專利範圍第1項之系統，其中在已知區塊中之資料單元連續位於記憶體電路中。
6. 如申請專利範圍第1項之系統，進一步包含至少一代表佇列結構之可用區塊指示符之一列表，可用區塊列表係維持以與佇列結構相關。
7. 如申請專利範圍第1項之系統，其中該佇列結構係與通信量管理器有關。
8. 如申請專利範圍第1項之系統，其中至少一處理電路及記憶體電路係實施在積體電路上。

9. 一種使用於資料處理系統之一種方法，該方法包含下列步驟：

在記憶體中保持至少一代表資料單元列表之佇列結構，佇列結構被區分為二或多個區塊，至少佇列結構之某區塊包括二或多個資料單元。

10. 一種資料結構，包含：

代表二或多資料單元之第一資料區塊元件；及
至少一第二資料區塊元件，自第一資料區塊元件區分，亦代表二或多資料單元；

其中第一資料區塊元件及至少第二資料區塊元件自代表資料單元列表之佇列結構累積而來。

拾壹、圖式

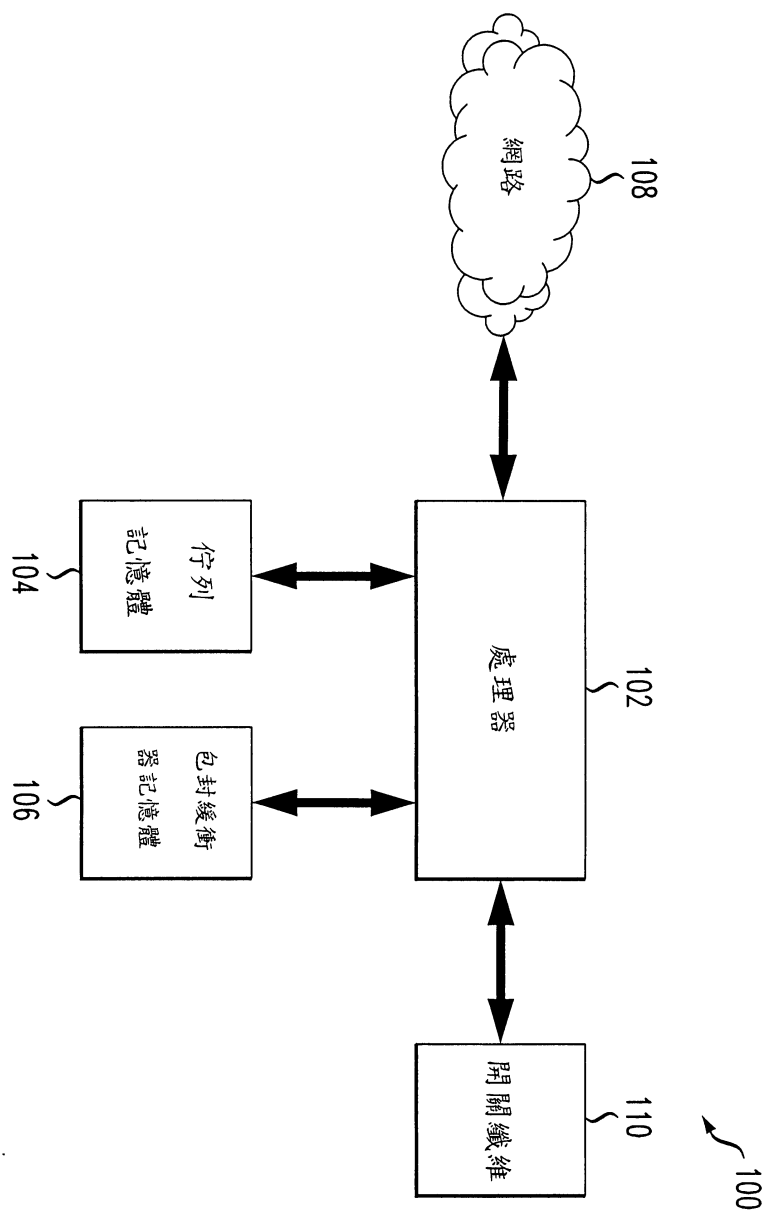


圖 1

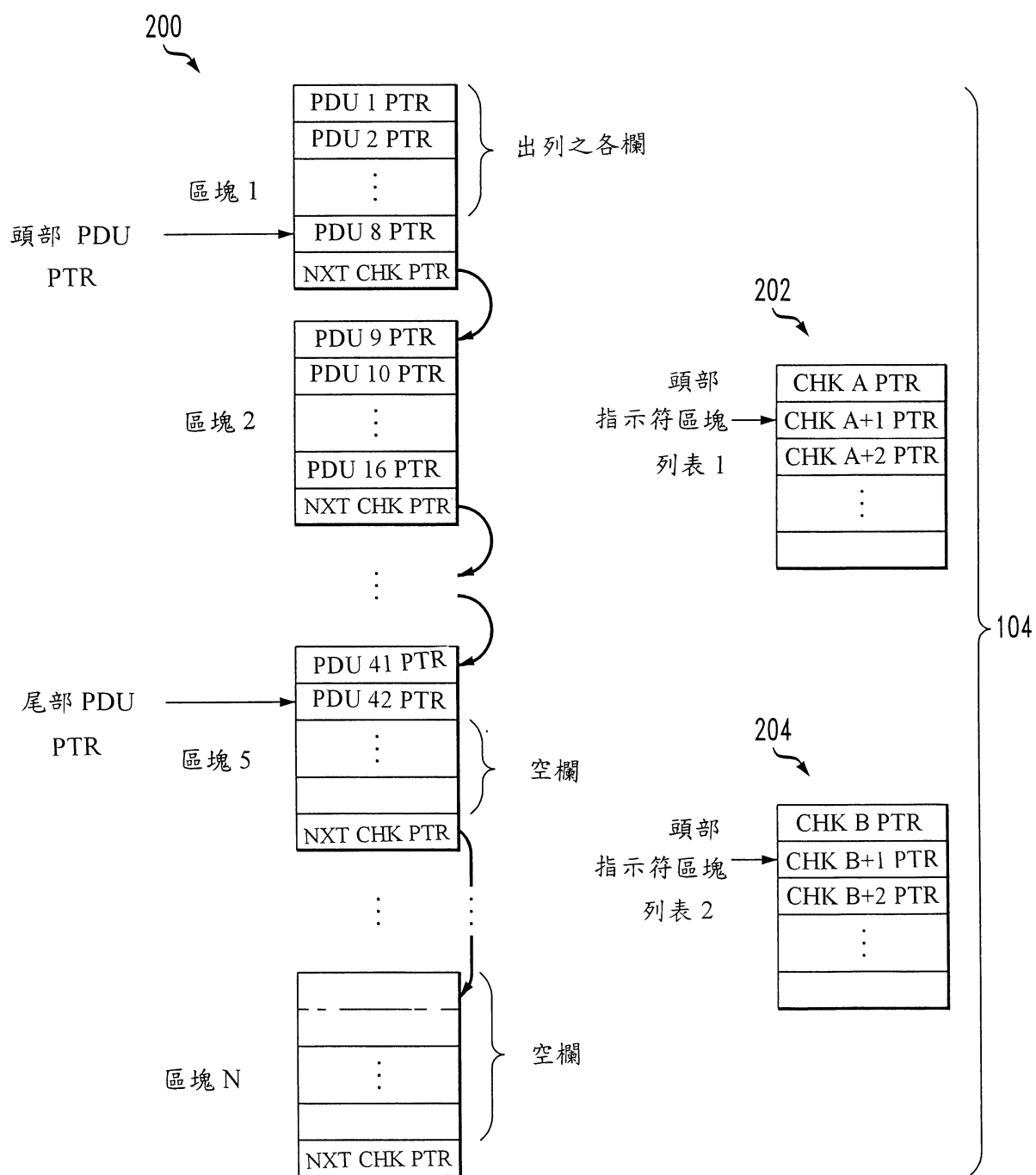


圖 2

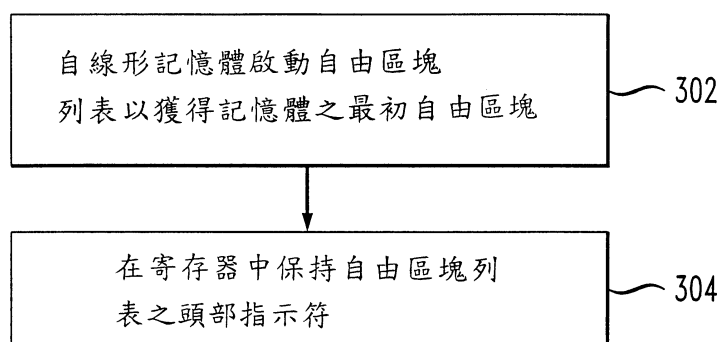


圖 3A

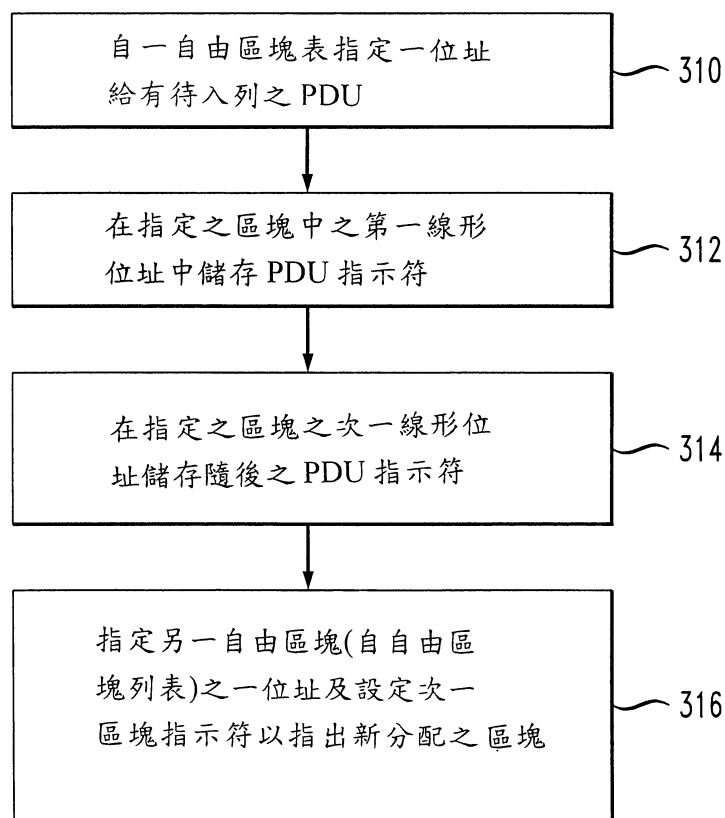


圖 3B

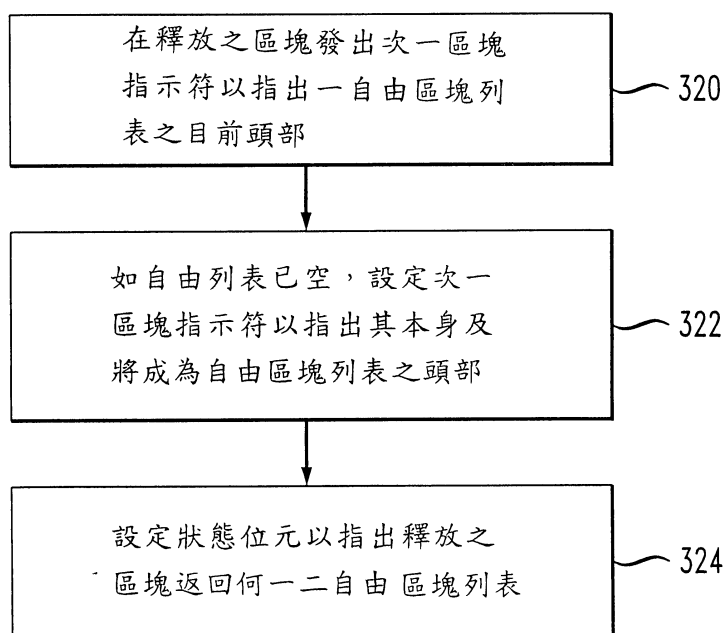


圖 3C

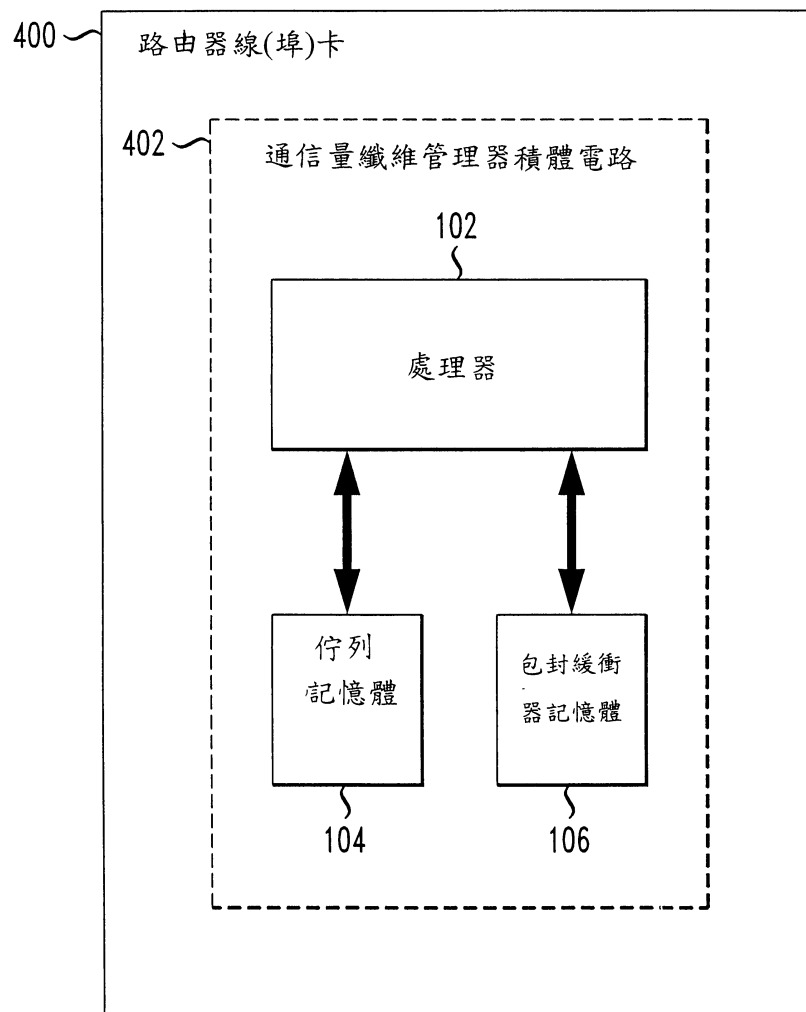


圖 4

陸、(一)、本案指定代表圖為：第 2 圖

(二)、本代表圖之元件代表符號簡單說明：

104 佇列結構

200 連接列表結構

202 自由區塊列表

204 自由區塊列表

柒、本案若有化學式時，請揭示最能顯示發明特徵的化學式。