



(12) 发明专利申请

(10) 申请公布号 CN 103137200 A

(43) 申请公布日 2013. 06. 05

(21) 申请号 201210570799. 9

G11C 16/08 (2006. 01)

(22) 申请日 2008. 02. 06

(30) 优先权数据

60/888, 638 2007. 02. 07 US

(62) 分案原申请数据

200880004505. 8 2008. 02. 06

(71) 申请人 莫塞德技术公司

地址 加拿大安大略省

(72) 发明人 金镇祺 潘弘柏

(74) 专利代理机构 北京泛华伟业知识产权代理有限公司 11280

代理人 王勇

(51) Int. Cl.

G11C 16/06 (2006. 01)

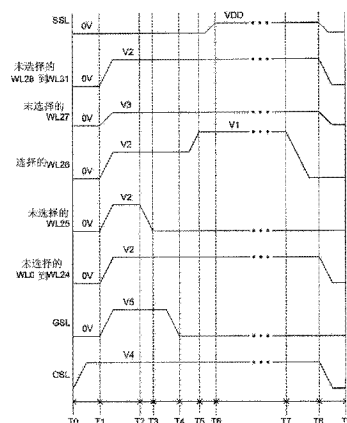
权利要求书2页 说明书16页 附图15页

(54) 发明名称

源侧非对称预充电编程方案

(57) 摘要

一种用于编程 NAND 闪速单元的方法, 用于在允许随机页面编程操作的同时最小化编程应力。该方法包括从正偏置的源极线非对称预充电 NAND 串, 而将位线从 NAND 串去耦合, 随后, 施加编程电压到选择的存储器单元, 并且之后应用位线数据。在非对称预充电和施加编程电压之后, 所有选择的存储器单元由于它们将从它们相应的 NAND 串去耦合而被设置为编程禁止状态, 并且它们的沟道将被本地提升到有效地禁止编程的电压。VSS 偏置的位线将使得本地提升的沟道放电到 VSS, 从而允许发生选择的存储器单元的编程。VDD 偏置的位线将不对预充电的 NAND 串起作用, 从而保持所选择的存储器单元的编程禁止状态。



1. 一种用于编程具有串联在位线和源极线之间的源极线选择装置、存储器单元和串选择装置的 NAND 闪存串的方法,包括:

将所有的字线驱动至第一传递电压,用于将源极线提供的串预充电电压耦合到所述存储器单元,所述串预充电电压大于所述第一传递电压;

将除了与邻接于所述选择的存储器单元的第一存储器单元对应的第一字线之外的所有字线持续驱动至大于所述第一传递电压的第二传递电压,所述第一存储器单元位于所述选择的存储器单元和所述串选择装置之间;

将对应于与所述选择的存储器单元邻接的第二存储器单元的第二字线驱动至第一电源电压,用于关断该第二存储器单元;

将对应于所述选择的存储器单元的第三字线驱动至大于所述第二传递电压的编程电压;并且

将所述位线耦合到所述选择的存储器单元。

2. 权利要求 1 的方法,其中耦合所述串预充电电压包括将所述源极线选择装置驱动至源极线传递电压。

3. 权利要求 1 的方法,其中耦合所述位线包括将串选择装置驱动至所述第二电源电压。

4. 权利要求 2 的方法,其中所述编程电压大于所述第二传递电压、所述串预充电电压和所述源极线传递电压,所述串预充电电压至少是所述源极线传递电压,并且所述第一传递电压至少是 0V。

5. 权利要求 4 的方法,其中所述串预充电电压和所述源极线传递电压处于所述第一传递电压。

6. 权利要求 4 的方法,其中所述第一传递电压大于编程的存储器单元阈值电压。

7. 权利要求 4 的方法,其中在顺序编程方向上的所述选择的存储器单元之前的所述存储器单元对应于擦除的页面。

8. 权利要求 7 的方法,其中所述顺序编程方向包括从所述选择的存储器单元到所述源极线的第一方向,和从选择的存储器单元到所述位线的第二方向。

9. 权利要求 8 的方法,其中在第二编程方向中,所述第一传递电压设置为 0V。

10. 一种闪速存储器装置,包括:

用于驱动串联在位线和源极线之间的源极线选择装置、存储器单元和串选择装置的驱动器;和

用于在编程操作中控制所述驱动器的控制器,所述控制器被配置成

驱动所述存储器单元的所有字线到第一传递电压,用于将所述源极线提供的串预充电电压耦合到所述存储器单元,所述串预充电电压大于所述第一传递电压;

持续驱动除了与邻接于所述选择的存储器单元的第一存储器单元对应的第一字线之外的所有字线至大于所述第一传递电压的第二传递电压,所述第一存储器单元位于所述选择的存储器单元和所述串选择装置之间;

驱动对应于与所述选择的存储器单元邻接的第二存储器单元的第二字线至所述第一电源电压,用于关断该第二存储器单元,

驱动对应于所述选择的存储器单元的所述第三字线至大于所述第二传递电压的编程

电压,并且

耦合所述位线到所述选择的存储器单元。

11. 权利要求 10 的闪速存储器装置,其中所述驱动器包括:

用于将行信号耦合到所述存储器单元、将源极选择信号耦合到源极线选择装置并且将串选择信号耦合到串选择装置的字线驱动器;

用于响应于块地址来启动所述字线驱动器的块译码器,和

用于响应于该行地址来提供该行信号、该源极选择信号和该串选择信号的行译码器。

12. 权利要求 11 的闪速存储器装置,其中所述行译码器包括用于提供行信号的其中一个的行译码器电路,所述行译码器电路包括用于选择性耦合该编程电压、该第一传递电压和该第二传递电压的其中一个到所述其中一个行信号的多路复用器。

13. 权利要求 12 的闪速存储器装置,其中所述行译码器包括用于提供该源极选择信号的行译码器电路,所述行译码器电路包括用于将 VSS 和该第二传递电压的其中一个选择性耦合到所述源极选择信号的多路复用器。

14. 权利要求 12 的闪速存储器装置,其中所述行译码器包括用于提供该串选择信号的行译码器电路,所述行译码器电路包括用于将 VSS 和 VDD 的其中一个选择性耦合到所述串选择信号的多路复用器。

源侧非对称预充电编程方案

[0001] 本申请为申请号为 200880004505.8、申请日为 2008 年 2 月 6 日、发明名称为“源侧非对称预充电编程方案”的申请的分案申请。

[0002] 相关申请的交叉引用

[0003] 本申请要求 2007 年 2 月 7 日提交的美国临时专利申请 60/888638 的优先权的权益,该申请通过引用全部包含于此。

技术领域

[0004] 本发明总的涉及半导体装置。更具体地,本发明涉及闪速存储器装置和闪速装置编程方法。

背景技术

[0005] 多种类型的消费电子设备产品依赖于用于保持由微控制器执行代码的数据或者软件的一些形式的大容量存储设备。这样的消费电子设备是丰富的,并且包括诸如个人数字助理(PDA)、便携式音乐播放器、便携式多媒体播放器(PMP)和数字照相机的装置。在 PDA 中,需要大容量存储设备用于保存应用和数据,而便携式音乐播放器和数字照相机需要大量的大容量存储设备用于保持音乐文件数据和 / 或图像数据。用于这样的便携式电子设备的大容量存储设备的解决方案优选尺寸小、功耗最低并且具有高存储密度。因为诸如静态随机存取存储器(SRAM)和动态随机存取存储器(DRAM)的易失性存储器为了保持数据而需要不断地电力施加,所以将对存储器的选择限制到非易失性形式的存储器。如本领域内所公知的,便携式电子设备依赖于具有有限电源供应的电池。因此,电源移除之后仍保持数据的非易失性存储器是优选的。

[0006] 虽然许多消费产品使用商用闪速存储器,但消费者在诸如具有微处理功能的蜂窝电话和装置的产品中间使用闪速存储器。更具体地,通常在消费电子设备中存在的专用集成电路(ASIC)具有集成的闪速存储器而能够使得固件升级。不用说,由于闪速存储器在尺寸、存储密度和速度方面的最佳折衷,使其成为用于消费电子设备的优选的非易失性大容量存储的解决方案,所以闪速存储器用途十分广泛。

[0007] 本领域内的普通技术人员所公知,闪速存储器装置易遭受编程干扰。更具体地,当通过将相应选择的字线驱动至编程电压来编程选择的存储器单元时,沿着不被编程的该同样的字线的未选择的存储器单元可能被无意地软编程。这是由于存在对于不被编程的选择的存储器单元建立编程禁止状态的偏压不足以完全阻止这些存储器单元被编程的问题。此外,由于编程操作期间施加到未选择字线的电压过高,能够导致编程的或者擦除的阈值电压的偏移,所以闪速存储器中的未选择的存储器单元也易遭受编程干扰。已经使用顺序编程方案解决了这个问题,然而由于随机页面编程相关的操作灵活性丧失,使得随机页面编程操作的禁止导致应用中性能的降低。

发明内容

[0008] 根据本发明的第一方面,提供一种用于编程具有串联在位线和源极线之间的源极线选择装置、存储器单元和串选择装置的 NAND 闪速串的方法。所述方法包括偏置所述位线,非对称地预充电沟道的分组,并且编程所述选择的存储器单元。所述位线被偏置到第一电源电压电平和第二电源电压电平的其中一个。沟道的分组对应于所述存储器单元,其被非对称地预充电到与所述源极线不同的电压电平,用于将选择的存储器单元沟道设置为与保存在未选择存储器单元中的后台数据无关的编程禁止状态。仅在所述位线被偏置到所述第二电源电压电平时编程所述选择的存储器单元,并且在所述位线被偏置到所述第一电源电压电平时所述选择的存储器单元保持在所述编程禁止状态。根据本方面的实施例,编程所述选择的存储器单元包括将所述串选择装置驱动至所述第一电源电压电平,用于仅在所述位线被偏置到所述第二电源电压电平时将所述位线耦合到所述选择的存储器单元。非对称预充电能够包括通过将所述源极线选择装置驱动至电源极线传递电压来将所述源极线偏置到串预充电电压并且将所述源极线耦合到所述存储器单元。

[0009] 根据所述方法的一个方面,非对称预充电包括对下部沟道预充电,对中间沟道预充电和对上部沟道预充电。所述下部沟道对应于所述源极线选择装置和与所述选择的存储器单元邻接的第一存储器单元之间的所述存储器单元,其被预充电到第一预充电电压,并且所述下部沟道包括所述选择的存储器单元和与所述选择的存储器单元邻接的第二存储器单元。所述中间沟道对应于所述第一存储器单元,其被预充电到第二预充电电压。所述上部沟道对应于所述第一存储器单元和所述串选择装置之间的所述存储器单元,其被预充电到第三预充电电压。预充电所述下部沟道包括将所述源极线选择装置和所述第一存储器单元之间的所述存储器单元的栅极端子驱动至第一传递电压。预充电所述中间沟道包括将所述第一存储器单元的栅极端子驱动至第二传递电压,所述第二传递电压至少是 0V,其中,所述第二传递电压大于编程的存储器单元的阈值电压并且小于所述传递电压。预充电所述上部沟道包括将所述第一存储器单元和所述串选择装置之间的所述存储器单元的栅极端子驱动至所述第一传递电压。之后,由所述第一传递电压和所述第二传递电压之间的差值来提升所述上部沟道以提供所述第三预充电电压,其中,所述第二传递电压在所述上部沟道处于所述第三预充电电压时被选择为用于关断第一存储器单元的值。

[0010] 根据本发明的另一方面,预充电所述下部沟道还包括关断所述第二存储器单元,并且关断所述源极线选择装置。预充电所述下部沟道还包括通过将所选择的存储器单元的栅极驱动至编程电压来将所选择的存储器单元沟道本地提升到有效地用于禁止编程的电压。所述编程电压大于所述第一传递电压、所述串预充电电压和所述源极线传递电压,并且所述串预充电电压至少是所述源极线传递电压。在本方面的又一个实施例中,所述串预充电电压和所述源极线传递电压处于所述第一传递电压。所述选择的存储器单元和所述源极线选择装置之间的至少一个存储器单元对应于编程页面,所述至少一个存储器单元具有编程阈值电压和擦除阈值电压的其中一个。所述第一存储器单元能够对应于具有编程阈值电压和擦除阈值电压的其中一个的编程页面。所述选择的存储器单元和所述源极线选择装置之间的存储器单元对应于具有擦除阈值电压的擦除页面,或者替代地,所述选择的存储器单元和所述串选择装置之间的存储器单元对应于具有擦除阈值电压的擦除页面。

[0011] 在本发明的第二方面,提供一种用于编程具有串联在位线和源极线之间的源极线选择装置、存储器单元和串选择装置的 NAND 闪速串的方法。所述方法包括偏置所述位线到

第一电源电压电平和第二电源电压电平的其中一个；预充电对应于所述存储器单元的沟道分组到与所述源极线不同的电压电平，用于将选择的存储器单元邻接的第一存储器单元关断；响应于施加的编程电压，将选择的存储器单元预充电到编程禁止状态；并且将所述串选择装置驱动至所述第一电源电压电平，用于仅在所述位线被偏置到所述第二电源电压电平时将所述位线耦合到所述选择的存储器单元。所述选择的存储器单元在所述位线被偏置到所述第一电源电压电平时保持在编程禁止状态。

[0012] 根据本发明的第三方面，提供一种用于编程具有串联在位线和源极线之间的源极线选择装置、存储器单元和串选择装置的 NAND 闪速串的方法。所述方法包括将所有字线驱动至第一传递电压，持续驱动除了第一字线之外的所有字线至第二传递电压，将第二字线驱动至第一电源电压，将第三字线驱动至编程电压，并且将所述位线耦合到选择的存储器单元。所有的字线被驱动至所述第一传递电压，用于将源极线提供的串预充电电压耦合到所述存储器单元，所述串预充电电压大于所述第一传递电压。除了与邻接所述选择的存储器单元的第一存储器单元对应的第一字线之外的所有字线被驱动至大于所述第一传递电压的第二传递电压，所述第一存储器单元位于所述选择的存储器单元和所述串选择装置之间。对应于与所述选择的存储器单元邻接的第二存储器单元的第二字线被驱动至所述第一电源电压，用于关断第二存储器单元。对应于所述选择的存储器单元的所述第三字线被驱动至大于所述第二传递电压的编程电压。

[0013] 在本发明的实施例中，耦合所述串预充电电压包括将所述源极线选择装置驱动至源极线传递电压，并且耦合所述位线包括将串选择装置驱动至所述第二电源电压。在本方法中，所述编程电压大于所述第二传递电压、所述串预充电电压和所述源极线传递电压，所述串预充电电压至少是所述源极线传递电压，并且所述第一传递电压至少是 0V。所述串预充电电压和所述源极线传递电压处于所述第一传递电压，并且所述第一传递电压大于编程存储器单元的阈值电压。在另一个实施例中，在顺序编程方向上的所述选择的存储器单元之前的所述存储器单元对应于擦除页面，其中所述顺序编程方向包括从所述选择的存储器单元到所述源极线的第一方向，和从选择的存储器单元到所述位线的第二方向。在这个实施例中，在第二编程方向中，所述第一传递电压设为 0V。

[0014] 在本发明的第四方面，提供一种闪速存储器装置。所述闪速存储器装置包括驱动器和控制器。所述驱动器驱动串联在位线和源极线之间的源极线选择装置、存储器单元和串选择装置。所述控制器在编程操作中控制所述驱动器，并且被配置用于驱动所述存储器单元的所有字线到第一传递电压而将所述源极线提供的串预充电电压耦合到所述存储器单元，所述串预充电电压大于所述第一传递电压；持续驱动除了与邻接所述选择的存储器单元的第一存储器单元对应的第一字线之外的所有字线至大于所述第一传递电压的第二传递电压，所述第一存储器单元位于所述选择的存储器单元和所述串选择装置之间；驱动对应于与所述选择的存储器单元邻接的第二存储器单元的第二字线至所述第一电源电压，来关断第二存储器单元，驱动对应于所述选择的存储器单元的所述第三字线至大于所述第二传递电压的编程电压，并且耦合所述位线到所述选择的存储器单元。

[0015] 在本方面的实施例中，所述驱动器包括字线驱动器、块译码器和行译码器。所述字线驱动器将行信号耦合到所述存储器单元，将源极选择信号耦合到源极线选择装置并且将串选择信号耦合到串选择装置。所述块译码器响应于块地址来启用所述字线驱动器，所述

行译码器响应于行地址来提供行信号、源极选择信号和串选择信号。在又一个实施例中,所述行译码器包括用于提供行信号之一的行译码器电路,所述行译码器电路包括用于选择性耦合编程电压、第一传递电压和第二传递电压的其中一个到行信号之一的多路复用器。所述行译码器可以包括用于提供源极选择信号的行译码器电路,所述行译码器电路包括用于将 VSS 和第二传递电压的其中一个选择性耦合到所述源极选择信号的多路复用器。所述行译码器可以提供串选择信号,所述行译码器电路包括用于将 VSS 和 VDD 的其中一个选择性耦合到所述串选择信号的多路复用器。

[0016] 对本领域普通技术人员来说,通过结合附图阅读本发明具体实施例的下面描述,本发明的其他方面和特征将变得清楚。

附图说明

[0017] 参考附图,将仅通过示例方式来描述本发明的实施例,其中:

[0018] 图 1 是典型的闪速存储器的框图;

[0019] 图 2a 是两个 NAND 存储器单元串的电路图;

[0020] 图 2b 是图 2a 中所示的两个 NAND 存储器单元串的平面布局;

[0021] 图 2c 是图 2b 所示的一个 NAND 存储器单元串沿着线 A-A' 的横截面图;

[0022] 图 3 是擦除存储器单元和编程存储器单元的阈值电压(V_t)的分布图;

[0023] 图 4 是对于现有技术 NAND 闪速编程方案的用于不同后台数据模式的提升的沟道电压对 VDD 关系的仿真图;

[0024] 图 5 是对于现有技术顺序编程方案的提升的沟道电压对单元位置关系的仿真图;

[0025] 图 6 是对于现有技术本地提升顺序编程方案的用于不同后台数据模式的提升的沟道电压对 VDD 关系的仿真图;

[0026] 图 7 是擦除存储器单元和编程存储器单元在编程干扰之后的阈值电压(V_t)的分布图;

[0027] 图 8 是示出通常的 NAND 闪速编程方法的实施例的流程图;

[0028] 图 9 是具有注解的两个 NAND 存储器单元串以示出沟道分组的相对位置的电路图;

[0029] 图 10 是示出源侧非对称预充电编程方案的实施例的流程图;

[0030] 图 11 是示出源侧非对称预充电编程方案实施例的示例操作的时序图;

[0031] 图 12 是示出源侧非对称预充电编程方案实施例的另一个示例操作的时序图;

[0032] 图 13 是示出源侧非对称预充电编程方案实施例的又一个示例操作的时序图;

[0033] 图 14 是对于源自源侧非对称预充电编程方案实施例的不同后台数据模式的提升的沟道电压对 VDD 关系的仿真图;

[0034] 图 15 是对于使用源侧非对称预充电编程方案的顺序编程操作的不同后台数据模式的提升的沟道电压对 VDD 关系的仿真图;

[0035] 图 16 是示出对于本实施例的提升的沟道电压和传递电压之间的关系的仿真图;

[0036] 图 17 是根据本发明的实施例的对于多电平闪速存储器装置的行电路的框图;

[0037] 图 18 是图 17 所示的块译码器和字线驱动器电路的电路图;和

[0038] 图 19 是图 17 所示的行译码器电路的电路图。

具体实施方式

[0039] 总的来说,本发明提供一种用于编程 NAND 闪速存储器的方法,来在允许随机页面编程操作的同时最小化编程应力。从正偏置的源极线非对称预充电 NAND 串,而将位线从 NAND 串去耦合。随后,施加编程电压到选择的存储器单元,并且之后应用位线数据。在非对称预充电和施加编程电压之后,当所有的选择的存储器单元与在它们的相应 NAND 串中的其它存储器单元去耦合时,所有的选择的存储器单元将被设置为编程禁止状态,并且它们的沟道将被本地提升到有效禁止编程的电压。VSS 偏置的位线将使得本地提升的沟道放电到 VSS,从而允许选择的存储器单元的编程的发生。VDD 偏置的位线将不对预充电的 NAND 串产生影响,从而保持所选择的存储器单元的编程禁止状态。这个 NAND 闪速存储器编程方法将被称为源侧非对称预充电编程方案。

[0040] 图 1 是现有技术典型的闪速存储器的总的框图。闪速存储器 10 包括用于控制闪速电路的多种功能的逻辑电路、用于保存地址和数据的寄存器、用于产生所需的编程和擦除电压的高电压电路、和用于存取闪速存储器阵列的核心存储器电路。闪速存储器 10 的所示电路块的功能在本领域内应该是公知的。本领域内的普通技术人员将理解图 1 中所示的闪速存储器 10 表示许多可能配置中的一种可能的闪速存储器配置。

[0041] 图 2a、2b 和 2c 是图 1 中所示的闪速存储器单元阵列中使用的 NAND 存储器单元串的示意图。图 2a 是两个 NAND 存储器单元串的电路示意图。图 2b 是图 2a 所示的两个 NAND 存储器单元串的物理布局。图 2c 是图 2b 所示的一个 NAND 存储器单元串沿着线 A-A' 的横截面视图。在此处所示例子中,每个 NAND 存储器单元串包括 32 个串联的浮栅存储器单元 50 (其中每个浮栅存储器单元连接到相应的字线 WL0 到 WL31)、连接到位线 54 和第一浮栅存储器单元 50 之间的串选择晶体管 52、和连接到公共源极线(CSL) 58 和最后一个浮栅存储器单元 50 之间的接地选择晶体管 56。串选择晶体管 52 的栅极接收串选择信号 SSL,而接地选择晶体管 56 的栅极接收接地选择信号 GSL。NAND 存储器单元串共用公共字线、串选择 SSL 和接地选择 GSL 信号线。每一个存储器单元 50、串选择晶体管 52 和接地选择晶体管 56 具有在扩散区域 62 之间的栅极氧化物下面的沟道区域 60。

[0042] 所示的 NAND 存储器串的结构和布置在本领域内是公知的,其可以包括每串为任意数量的存储器单元。通常,并行连接到同一字线、SSL 和 GSL 的所有的存储器串形成一个存储块,并且并行连接到同一字线的所有存储器单元形成存储块的一个存储页面。

[0043] 根据本领域内的公知技术,在任意编程操作之前,首先擦除存储器阵列的 NAND 存储器单元串。能够选择性地擦除 NAND 存储器单元串的每一个块,从而可以同时擦除一个或者多个块。这意味着存储块的所有页面被同时擦除,而存储块的部分可以被选择性地擦除。当成功擦除后,所有擦除的浮栅存储器单元 50 将具有负阈值电压。事实上,所有擦除的存储器单元 50 被设置为缺省逻辑状态,诸如例如逻辑“1”。编程的存储器单元 50 将具有改变为正阈值电压的阈值电压,因此表示相反的“0”逻辑状态。

[0044] 图 3 示出对于擦除的存储器单元和编程的存储器单元的阈值电压(V_t)分布图。由于处理和电压电源变化,擦除的和编程的阈值电压将分布在一个电压范围内。例如,如图 3 所示,擦除的存储器单元将具有在 -3V 到 -1V 之间的负阈值电压,而编程的存储器单元将具有在 1V 到 3V 之间的正阈值电压。总的来说,通过施加高电压到单元的栅极并同时保持其

源极和漏极端子接地来编程该单元。高电场使得存储器单元的沟道中的电子穿过栅极氧化物并且嵌入到浮栅(公知为 Fowler-Nordheim (F-N) 隧穿)中,从而增加了存储器单元的有效阈值电压。

[0045] 编程典型地通过页面完成,意味着连接到同一字线的块中的所有存储器单元 50 被选择为同时用写数据(逻辑“0”)对其编程。剩余的存储器单元因此在编程期间未被选择。由于在编程之前存储器单元开始于擦除的状态(逻辑“1”),仅有用逻辑“0”编程的存储器单元经受促进 F-N 隧穿所需要的高电场。通过施加编程电压 VPGM 到选择的存储器单元的栅极来对选择的存储器单元进行编程。但是,由于存储器阵列的物理连接,沿着同一字线的所有存储器单元接收同样的高电压编程电平。结果,擦除的存储器单元将具有它们的阈值电压被无意中偏移的可能性。这被称为编程干扰,其在闪速存储器领域内是公知的。存在本领域内公知的用于最小化编程干扰的编程方案。

[0046] 一个公知的编程方案在 June Lee 等人所著的“A90-nm CMOS 1.8-V2-Gb NAND Flash Memory for Mass Storage Applications”(IEEE J Solid - State Circuits, 第 38 卷, 第 11 期第 1934-1942 页, 2003 年 11 月)中被描述。在这个顺序编程方案中,例如参见图 2a, 导通串选择晶体管 52 并且关断接地选择晶体管 56, 而对于要编程的单元的位线电压被设为 VSS, 对于要被编程禁止的单元的位线电压被设为 VDD。VSS 偏置的位线将对应的 NAND 串的沟道连接到地。当施加编程电压 (V_{pgm}) 到选择的存储器单元的栅极时, 栅极和沟道之间的大的电势差导致电子 F-N 隧穿到浮栅上, 从而编程该单元。在被编程禁止的存储器单元中, 位线初始地预充电 NAND 串的沟道。当 NAND 串的字线电压上升到对于选择的字线的编程电压 V_{pgm} 和上升到对于未选择字线的传递电压 (V_{pass}) 时, 通过控制栅、浮栅、沟道和体的串行电容被耦合并且沟道电势被自动提升。由于耦合的沟道电压上升到 $VDD - V_{th_sst}$, 其中 V_{th_sst} 是串选择晶体管 52 的阈值电压, 则串选择晶体管 52 关断并且沟道变成浮置节点。已经确定, 浮置沟道电压上升到栅极电压的大约 80%。因此, 编程禁止单元的沟道电压在编程 V_{pgm} 处于 15.5V 到 20V 之间并且传递电压 V_{pass} 为 10V 时被提升到大约 8V。这个高沟道电压阻止 F-N 隧穿在编程禁止单元中发生。

[0047] 不幸的是, 这个类型的编程方案经受对于 VDD 的强烈依赖。更具体地, 提升的沟道电压电平强烈地依赖于作为 VDD 的函数的初始预充电电平。当选择的 NAND 串中的所有单元处于擦除状态时, 沟道提升之前选择的 NAND 串的最大预充电电平是 $VDD - V_{th_sst}$ (SST 的 V_{th})。然而, 为了降低功耗, 很期望较低的 VDD 电压。在 NAND 闪存中, 典型的 VDD 操作电压处于 2.7V 到 3.6V 之间, 而与此时的工艺节点无关。甚至处于 50nm 的工艺节点的 NAND 闪速存储器装置使用了 3.3V 的 VDD。即使更希望 1.8V, 但保持 3.3V 的主要原因是降低编程应力。

[0048] 使用这样的方案的另一个问题是 SSL 到邻接字线的耦合, 这能够对装置性能产生负面影响。在编程操作中, 在 SSL 被偏置到 VDD 以用于将位线电压耦合到 NAND 串之后, WL31 从 0V 提高到传递电压 V_{pass} 。理想地, 提升的沟道将上升到关断串选择晶体管 52 的电平。然而, 通过与 WL31 的电容性耦合来暂时提高 SSL, 引发串选择晶体管 52 的临时激活。应该注意到, 提升的沟道电容量 (5fF) 比位线电容量小 1 万倍。因此, 尽管串选择晶体管 52 以亚阈值的方式操作, 但是沟道通过与位线共享电荷而失去其升压电荷。这很可能导致编程禁止单元通过应力被不期望地编程。

[0049] 图 4 是 June Lee 等人的顺序编程方案的仿真图, 示出对于和电源电压 VDD 相关的选择的存储器单元的提升的沟道电压 V_{ch_boost} 。在这个仿真图中, $V_{pgm}=18V$, $V_{pass}=10V$, 存储器单元的擦除阈值电压 $V_{thc_erase}=-3V$, 并且存储器单元的编程阈值电压 $V_{tch_pgm}=2V$ 。对于三种不同的技术方案, 绘制 V_{ch_boost} 数据。在第一种技术方案中, 擦除 NAND 串的所有存储器单元。在第二种技术方案中, NAND 串的存储器单元具有棋盘 (checkerboard) 数据模式。在第三种技术方案中, 在要编程的选择的存储器单元和位线之间的 NAND 串的未选择的存储器单元被编程。最终的提升的沟道电压 (V_{ch_boost}) 应该在至少 7V, 以避免处于 18V 的 V_{pgm} 的软编程 (即, V_{pgm} 应力)。然而, 在 NAND 串中的未选择的单元全部被编程时, V_{ch_boost} 低于 6V。从而, 应该增加 V_{pass} 来降低 V_{pgm} 应力, 但是所增加的 V_{pass} 引入了更多的 V_{pass} 应力。因此, 由于后台数据模式依赖 (BDPD), 使得这样的编程方案的编程禁止的效果被降低。此外, 该仿真结果示出 V_{ch_boost} 依赖于 VDD, 并且随着 VDD 下降而变得不能有效禁止编程。

[0050] 从而, 随着工艺技术按比例减小, VDD 也应该被降低。为了符合 VDD 比例缩放, 在上述提升的沟道编程方案中禁止随机页面编程, 并且为了最小化编程应力而将存储块限制到顺序编程。在顺序编程中, 从耦合到 WL0 的底页面 (LSB 页面) 到耦合到 WL31 的顶页面 (MSB 页面) 顺序编程 NAND 串, 其中, 选择单元的上部单元总是被擦除, 使得未选择的存储器单元可以完全将初始预充电电压从位线传送到 NAND 串沟道, 并且因此导致更高的提升的编程禁止电压。本领域内的普通技术人员理解块中的随机页面编程禁止将导致特定应用中的性能削弱。此外, 顺序页面编程不会消除 BDPD, 并且不能降低 V_{pass} 电压来最小化编程应力。存在能够影响最终的提升的沟道预充电电压的三种可能的情况。

[0051] 在第一种情况中, 编程对应于 WL0 的页面 0, 而所有的上部的存储器单元处于擦除状态。最终的提升的沟道电压将大约是 9.6V, 这是最好情况的技术方案。在第二种情况中, 编程对应于 WL15 的页面 15, 而所有下部的存储器单元被编程并且所有的上部存储器单元被擦除。最终的提升的沟道电压将低于 9.6V, 但是大于随后的最坏情况的技术方案。在最终的第三种情况的技术方案中, 编程对应于 WL31 的页面 31, 而编程所有的下部的单元。最终的提升的沟道电压将大约是 6.5V。

[0052] 图 5 是绘制出对于 VDD=3.3V 和 VDD=1.8V 对比 BDPD 的结果的提升的沟道电压的仿真结果。编程从耦合到 WL0 的底部存储器单元到耦合到 WL31 的顶部单元的 NAND 串。当编程达到上部存储器单元, V_{ch_boost} 的电平显著降低。此外, 当从 WL25 到 WL31 编程时, 对于 3.3V 和 1.8V 的 VDD, 提升的沟道电压低于 6V, 其不足以高到禁止编程。从而现有技术顺序编程方案不能完全解决编程应力的问题。

[0053] 通过本地自提升来获取上述顺序编程方案的改进, 这在 Tae-Sung Jung 等人所著的 "A117-mm23.3-V Only128-Mb Multilevel NAND Flash Memory for Mass Storage Applications" (第 31 卷, 第 11 期第 1575-1583 页, 1996 年 11 月) 中描述。在 Tae-Sung Jung 等人的顺序编程方案中, 通过将对于选择的存储器单元的上部和下部邻接的存储器单元的栅极电压降低到 0V 来将选择的存储器单元和 NAND 串去耦合, 而使用本地自提升 (LSB)。因此, 当施加编程电压时, 选择的存储器单元将在其沟道中经受相对于现有技术的 NAND 串沟道更高的提升。然而, 对于选择的存储器单元的上部邻接的存储器单元必须被擦除以传递 0V 的位线电压用于编程。尽管改进了选择的存储器单元的沟道提升, 但是因为上部邻接的

存储器单元上所施加的 0V 电平仅允许其在被擦除的情况下传递位线电压,所以仍旧不能执行随机页面编程。

[0054] 图 6 是对于使用 Tae-Sung Jung 等人的本地提升顺序编程方案的四种不同技术方案的作为结果的提升的沟道电压对 VDD 关系的仿真图。对于这个仿真, $V_{pgm}=18V$, $V_{pass}=8V$, 存储器单元的擦除阈值电压 $V_{thc_erase}=-3V$, 并且存储器单元的编程阈值电压 $V_{tch_pgm}=2V$ 。在第一种技术方案中,编程 NAND 串的选择的存储器单元的所有下部的存储器单元。这对应于图 6 中的标以“pppp”的绘制的曲线。在第二种技术方案中,擦除所有下部的存储器单元,这对应于标以“eeee”的绘制的曲线。在第三种技术方案中,交替地擦除和编程下部的存储器单元,这对应于标以“eep”的绘制的曲线。在第四种技术方案中,交替地编程和擦除下部的存储器单元,这对应于标以“pepe”的绘制的曲线。如图 6 中所示,“pppp”、“eeee”和“eep”的曲线大体上交迭,并且都强烈地依赖于 VDD。“pepe”曲线由于依赖于后台数据而具有相对于其他曲线的基本较小的 V_{ch_boost} , 并且也强烈地依赖于 VDD。因此,这种传统的本地自提升编程方案不能持续提供足够的提升的沟道电压来禁止编程。

[0055] 因此,如图 7 所示,使用现有技术编程方案的 NAND 闪速存储器装置仍旧经受编程电压应力和传递电压应力,导致对于编程和擦除存储器单元的偏移的阈值电压。此外,甚至在顺序编程 NAND 闪速存储器单元时还存在这些缺点,这就限制了存储器装置的操作灵活性。图 7 示出对于编程干扰的擦除存储器单元和编程存储器单元的阈值电压(V_t)的分布图。实线对应最初表示在图 3 中的阈值分布,而虚线示出由于编程干扰而偏移的阈值分布。该偏移可能是由于单元被干扰的积累数量的次数引起,或者是由于单个编程干扰事件引起。由于偏移的阈值可以影响基于图 3 中所示的期望的阈值电压来使用预设的字线读出电压的读出操作,所以这很成问题。随着电压源 VDD 也比例减小到较低的水平,则这些前面提及的缺点由于半导体制造工艺的持续比例减小而持续恶化。

[0056] 在实施例的以下描述中,选择的存储器单元将是指耦合到为编程操作而寻址的相同字线的每一 NAND 串中的存储器单元。相应地,所有选择的存储器单元是指数据的页面。对选择的存储器单元的下部邻接的存储器单元是指位于选择的存储器单元和源极线之间的存储器单元。对选择的存储器单元的上部邻接的存储器单元是指位于选择的存储器单元和位线之间的存储器单元。数据的编程页面将对应于耦合到已经之前经受编程操作的相同的字线的存储器单元,这或者被禁止编程或者被允许编程。

[0057] 图 8 是示出源侧非对称预充电编程方案的总的方法实施例的流程图,参见图 9 的 NAND 串的电路图。图 9 的电路图和图 2a 中之前示出的相同。图 8 的方法以第一预充电步骤 100 开始,其中在步骤 100 源极线被用来预充电 NAND 串的沟道,并且对应于 NAND 串的存储器单元的特定沟道区域被提升到不同的电压电平。在本实施例中,由选择的存储器单元的位置限定 NAND 串沟道区域,其中选择的存储器单元将被编程。在图 9 中示出的例子中,耦合到 WL26 的存储器单元是选择的存储器单元。在选择的存储器单元耦合到 WL26 的情况下,耦合到 WL0 到 WL26 的存储器单元的沟道将是 NAND 串的下部沟道 200。由于这些存储器单元接近源极线 CSL,所以“下部沟道”的标记专用于图 9 的例子。对应于耦合到 WL27 的选择的存储器单元的上部邻接的存储器单元的沟道是中间沟道 202,并且耦合到 WL28 到 WL31 的存储器单元的沟道是上部沟道 204。通常,在诸如图 9 中所示的 NAND 串布置中,下部沟道是接近源极线 CSL 的沟道的串行分组,上部沟道是接近位线(BL0 或者 BL1)的沟道的串行

分组,并且中间沟道邻接于选择的存储器单元的沟道和上部沟道。

[0058] 使用 NAND 串的沟道区域的这个限定,NAND 串的非对称预充电意味着 NAND 串的下部、中间和上部沟道的每一个将被设置到不同的电压电平。更具体地,非对称预充电的最终结果是来自 CSL 的最大数量的正电压被传递到耦合到 WL26 的选择的存储器单元,串选择晶体管 52 的源电压大于 $V_{DD}-V_{th_sst}$,其中 V_{th_sst} 是串选择晶体管 52 的阈值电压,并且由于下部沟道 200 和上部沟道 204 被预充电,使得对应于中间沟道 202 的存储器单元被动关断。在本实施例中,由于 CSL 通过接地选择晶体管 56 耦合到 NAND 串,所以通过驱动字线到不同的传递电压来获取非对称预充电。以下讨论这些传递电压的其他细节。

[0059] 一旦 NAND 串已经被设置为以上表示的条件,在步骤 102 通过将选择的存储器单元设置为缺省的编程禁止状态来执行第二预充电步骤。这通过响应于施加的编程电压来本地提升选择的存储器单元沟道来进行。当本地提升选择的存储器单元时,这将足够高到禁止 F-N 隧穿的发生,从而禁止选择的存储器单元的编程。下面描述本地提升的其他细节。注意到,由于此时位线和 NAND 串去耦合,使得对于所有选择的存储器单元设置缺省的编程禁止状态,而与位线数据无关。步骤 100 和 102 集合起来作为这里描述的源侧非对称预充电编程方案实施例的非对称预充电阶段。

[0060] 随后在步骤 104 通过将所有 NAND 串耦合到它们相应的位线而开始编程阶段。在一个实施例中,依赖于编程数据,位线已经在步骤 100 或者 102 被驱动至 VDD 或者 VSS。如果位线处于 VDD,则选择的存储器单元保持在缺省的编程禁止状态。如果位线处于 VSS,则由位线通过对选择的存储器单元的上部邻接的存储器单元和对应于上部沟道的存储器单元将选择的存储器单元的沟道放电至 VSS。一旦选择的存储器单元的沟道被放电至 VSS,则沟道和编程电压之间的高的电势差将足以启动 F-N 隧穿,从而编程选择的存储器单元。

[0061] 图 10 是根据本发明的实施例用于使用最小编程应力来编程 NAND 闪速存储器单元串的方法的流程图。本方法的描述将参考图 9 的 NAND 串的电路上示意图和图 11 示出的时序图进行。图 11 的时序图示出串选择信号 SSL、字线 WL0 到 WL31、接地选择信号 GSL 和公共源极线 CSL 的信号迹线。这些信号在本编程方法中被驱动至电压电平 V1、V2、V3、V4 和 V5,具有以下关系:

[0062] (1) $V1 > V2 > V3$

[0063] (2) $V5 \geq V4$

[0064] (3) $V3 > V_{thc_pgm}$,其中 V_{thc_pgm} 是对于编程存储器单元的阈值电压。

[0065] 下表 1 列出对于列出的参数的取样值来协助说明这里描述的编程方案的电效应。表 1 中的取样值可以被用于特定的处理技术和单元特性。本领域内的普通技术人员理解这些值将随着不同的处理技术、单元特性和每个 NAND 串的存储器单元的数量而变化。除了 V3 和 V4 之外的所有值典型地用于当前的 NAND 闪速存储器装置。当前的 NAND 闪速存储器不使用 V3 传递电压并且典型地使用 VSS 和 VDD 之间的 V4。

[0066] 表 1

[0067]

参数	值	参数	值
----	---	----	---

[0068]

每个 NAND 串的单 元的数量	32	V1	V _{pgm} =18V
VDD	3.3V, 2.5V 或 1.8V	V2	V _{pass} =10V
V _{th-sst} (晶体管 52 的阈值电压)	0.8V	V3	V _{dcp} =4V
V _{th-gst} (晶体管 56 的阈值电压)	0.8V	V4	V _{cs1} =10V
擦除存储器单元的 V _{th-pgm}	-3.0V	V5	V _{gs1} =10V
编程存储器单元的 V _{thc-erase}	2.0V	位线数据逻辑 “1”(编程禁止)	VDD
单元耦合率 (γ)	0.7V	位线数据逻辑 “0”(编程)	VSS

[0069] 所有的字线、CSL、SSL 和 GSL 的初始状态是 VSS, 并且在本例中的要编程的所选择的存储器单元耦合到 WL26。在步骤 300 通过将源极线 CSL 偏置到 V4 来开始编程方法, 如图 11 中时间 T0 到 T1 之间所示。之后在步骤 302 是第一非对称预充电阶段, 用于将下部沟道 200 和上部沟道 204 预充电到不同的电压电平。该第一非对称预充电阶段包括通过在时间 T1 到 T2 之间将 GSL 驱动至 V5 并且在时间 T1 到 T2 之间将除了耦合到对所选择的存储器单元的上部邻接的存储器单元的字线 WL28 之外的所有字线驱动至 V2, 来将 CSL 耦合到 NAND 串。WL27 被驱动至较低的电压电平 V3。包括耦合到 WL0 到 WL26 的未选择的存储器单元的下部沟道 200 将被预充电到至少是 $V2 - V_{gst} - V_{thc_pgm}$ 。这假设对应于 WL0 到 WL26 的页面中的至少一个已经在之前经受了编程操作。使用表 1 中的值, 这大约是 7.2V。

[0070] 因为从初始的 0V 电平驱动 WL27 和 WL28 到 WL31, 当这些字线达到 3V 时, 中间沟道 202 和上部沟道 204 二者将被预充电到至少是 $V3 - V_{thc_pgm}$, 其是使用表 1 中的值的 2V。注意到这是最坏情况的条件, 并且如果对应于中间沟道 202 的存储器单元被擦除, 则上部沟道 204 将被预充电到不同的电压电平。在第一种情况中, 如果对应于下部沟道 200 的所有存储器单元处于擦除状态, 则上部沟道 204 将被预充电到或者 $V3 + V_{thc_erase} (< V4)$ 或者 $V4 (< V3 + V_{thc_erase})$ 。在第二种情况中, 如果对应于下部沟道 200 的所有存储器单元处于编程状态, 则上部沟道 204 将被预充电到或者 $V3 + V_{thc_erase} (< V2 - V_{thc_pgm})$ 或者 $V2 - V_{thc_pgm} (< V3 + V_{thc_erase})$ 。这假设与 WL27 耦合的对所选择的存储器单元的上部邻接的存储器单元是之前经受过编程以具有正阈值电压的页面的一部分。另一方面, 如果对所选择的存储器单元的上部邻接的存储器单元处于擦除状态, 则其沟道被预充电到 $V3 - V_{thc_erase}$, 这是使用表 1 的值的 5V。字线 WL28 到 WL31 的电压电平持续到 V2, 这导致上部沟道 204 中的沟道升压。更具体地, 上部沟道 204 将被提升 $V2 - V3$, 并且甚至通过上部沟道 204 的提升的沟道电压, 对所选择的存储器单元的上部邻接的存储器单元将被动关断。

[0071] 之后在步骤 304 是第二非对称预充电阶段, 用于将选择的存储器单元的沟道预充

电到编程禁止状态。当通过将 WL25 驱动至 VSS 而关断耦合到 WL25 的对所选择的存储器单元的下部邻接的存储器单元时,该第二非对称预充电阶段在时间 T2 开始,之后在时间 T3 到 T4 之间通过驱动 GSL 到 VSS 而关断接地选择晶体管 56。从而,耦合到 WL26 的选择的存储器单元和 NAND 串去耦合。在时间 T4 到 T5 之间,对于选择的存储器单元的 WL26 被驱动至编程电压 V1,从而将其沟道本地提升到大约 $V_{bch} = V_{ich} + \gamma * (V1 - V2)$, 其中, V_{ich} 是源自步骤 302 的第一非对称预充电阶段的沟道的预充电电压电平。使用表 1 中的示例值, $V_{bch} = 7.2V + 0.7V * (18V - 10V) = 12.8V$ 。提升的沟道电压和编程电压之间的差值将禁止 F-N 隧穿,并且因此称为选择的存储器单元的编程禁止状态。在存在施加的编程电压中足以禁止编程的任意电压将沟道置于编程禁止状态。从而,所有选择的存储器单元将在时间 T5 被预充电到该编程禁止状态。

[0072] 当前描述的源侧非对称预充电编程方案实施例的非对称预充电阶段以第二非对称预充电阶段的结束而结束。第二非对称预充电阶段在 WL26 达到 V1 之后立即结束,以引起选择的存储器单元沟道的本地提升。之后在步骤 306 是编程阶段,其中位线数据被施加到 NAND 串。注意到,位线在步骤 306 之前的任意时间被事先驱动至 VDD 或者 VSS。在时间 T5 和 T6 之间,串选择晶体管 52 被驱动至 VDD 以将 NAND 串耦合到它们相应的位线。如果位线被设置到 VDD,则串选择晶体管 52 由于其源极电压和漏极电压大于 V_{th_sst} 而保持关断。更具体地,源极电压是上部沟道 204 的提升的电压电平,而漏极电压处在 VDD。因此保持选择的存储器单元的沟道中的提升的电荷,从而禁止编程。

[0073] 另一方面,如果位线被设置为 VSS,则串选择晶体管 52 将导通。上部沟道 204 将放电到 VSS,这将导通对选择的存储器单元的上部邻接的存储器单元,以便将中间沟道 202 放电到 VSS。从而,选择的存储器单元的提升的电压电平将放电到 VSS,并且建立横跨其浮栅的必要的电压差。在时间 T6 到 T7 之间的周期是实际的编程周期,其中电子隧穿进入耦合到 VSS 偏置的位线的选择的存储器单元的浮栅氧化物,以实现编程。本领域的普通技术人员理解,时间段 T6 到 T7 大于之前示出的时间段并且被选择以便确保选择的存储器单元被充分编程。时间段 T6 到 T7 的实际长度依赖于所使用的处理技术和电压。在时间 T7,通过将 WL26 驱动至 VSS 来结束编程阶段,并且在时间 T8,所有剩余的字线、SSL 和 CSL 被驱动至 VSS。

[0074] 之前描述的示例操作基于由上部邻接的存储器单元和下部邻接的存储器单元限制的选择的存储器单元。存在两种情况,其中选择的存储器单元仅由上部邻接的存储器单元和下部邻接的存储器单元来限制。在第一种情况中,选择的存储器单元耦合到第一字线 WL0,最接近的存储器单元耦合到源极线 CSL。在第二种情况中,选择的存储器单元耦合到最后一个字线 WL31,最接近的存储器单元耦合到位线。图 12 和图 13 是示出本 NAND 串编程方法的实施例如何应用于这两种情况的时序图。

[0075] 图 12 是与图 11 中所示的相似的时序图,示出当选择的存储器单元耦合到 WL0 时施加到图 2a 的 NAND 串的电压的序列。图 12 中示出图 11 中所示的同样的时间周期。在这种情况下,不存在对选择的存储器单元的下部邻接的存储器单元。更具体地,选择的存储器单元和源极线 CSL 之间仅存在接地选择晶体管 56。与图 11 的编程序列的主要差别在于下部沟道仅由选择的存储器单元组成。因为不存在图 13 的步骤 304 中时间 T2 到 T3 之间将要关断的对选择的存储器单元的下部邻接的存储器单元,所以选择的存储器单元随后通过

在时间 T3 到 T4 之间关断接地选择晶体管 56 的行动而被去耦合。如果需要,用于关断接地选择晶体管 56 的时间能够被调整以便在时间 T2 到 T3 之间更早地发生。相对于图 11 的序列,剩余的编程序列没有改变。

[0076] 图 13 是与图 11 中所示的相似的时序图,示出当选择的存储器单元耦合到 WL31 时施加到图 2a 的 NAND 串的电位的序列。图 13 中示出图 11 中所示的同样的时间周期。在这种情况下,不存在对选择的存储器单元的上部邻接的存储器单元。更具体地,在选择的存储器单元和源极线 CSL 之间仅存在串选择晶体管 52。因此在选择的存储器单元沟道和位线之间不存在中间沟道和上部沟道。相应地,不需要在步骤 302 中的时间 T2 到 T3 之间预充电中间沟道和上部沟道来被动地关断上部邻接的存储器单元。在对选择的存储器单元的下部邻接的存储器单元与 WL30 耦合的情况下,在时间 T1 到 T5 之间关断的串选择晶体管 52 将隔离选择的存储器单元。相对于图 11 的序列,剩余的编程序列没有改变。

[0077] 在之前描述的实施例中,应该注意多个特性。通过将 CSL、GSL 和 V2 设置为相同,包括选择的存储器单元沟道的下部沟道 200 将被预充电到与 VDD 无关的电平,而没有任何沟道提升,这是因为在预充电阶段没有将 VDD 偏置的位线应用到 NAND 串。甚至下部沟道 200 中的所有存储器单元之前已经被编程到正阈值电压(这是最坏情况的预充电技术方案), $V2=GSL=CSL$ 的组合将确保最坏情况的预充电电平是 $V2-V_{gst}-V_{thc_pgm}$ 。当本地提升时,选择的存储器沟道将到达足以使 V_{pgm} 应力最小化的高电压电平。从而不存在影响对应于下部沟道 200 的存储器单元的编程或者编程禁止的后台数据模式依赖。

[0078] 通过仅将对选择的存储器单元的上部邻接的存储器单元施加的字线电压限制到低于 V2 的电压,上部沟道 204 将被提升以便在上部邻接的存储器单元对应的字线持续增加达到 V2 时被动关断该上部邻接的存储器单元。因此,不需要上部邻接的存储器单元的主动关断,这样简化了字线译码控制逻辑。

[0079] 当选择的存储器单元具有它的被驱动至编程电压 V_{pgm} 的字线时,在预充电阶段之后,预充电的 NAND 串仅响应于 VSS 偏置的位线。偏置到 VDD 并且施加到预充电的 NAND 串的任意位线不会对 NAND 串的预充电状态产生影响,并且更重要地,不会对编程禁止状态中的选择的存储器单元产生影响。因此,不存在后台数据模式依赖来影响对应于中间沟道 202 和上部沟道 204 的存储器单元的编程和编程禁止。

[0080] 因为对选择的存储器单元的上部邻接的存储器单元的栅极被驱动至低于 V2 但大于编程的正阈值电压的 V3,所以能够执行随机页面编程。从而上部邻接的存储器单元将一直导通以将 VSS 偏置的位线耦合到选择的存储器单元。当前描述的 NAND 闪存编程方案的有效性已经被模拟,并且在图 14 到 16 中示出结果。

[0081] 图 14 是示出使用本发明的之前描述的源侧非对称预充电编程方案实施例和图 13 中所示仿真中使用的同样的电压,对于选择的存储器单元的提升了的沟道电压 V_{ch_boost} 关于电源电压 VDD 的仿真图。在此仿真图中, $V_{pgm}=18V$, $V_{pass}=GSL=CSL=10V$, $V3=4V$, $V_{th_erase}=-3V$ 并且 $V_{th_pgm}=2V$ 。绘制了三个 V_{ch_boost} 曲线,一个用于擦除所有存储器单元的情况,一个用于编程所有存储器单元的情况,和一个用于 NAND 串包括擦除和编程存储器单元的组的情况。对于 NAND 串中存在擦除和编程存储器单元的情况,最小的最终提升的沟道电压 V_{ch_boost} 在 8V 到 9V 之间,这足以避免在 18V 的 V_{pgm} 处的软编程(即, V_{pgm} 应力)。值得注意的是对于编程所有的存储器单元的情况, V_{ch_boost} 在 9V 到 10V 之间,而对

于擦除所有的存储器单元的情况, V_{ch_boost} 在 13V 到 14V 之间。如果对于选择的存储器单元的最小所需的最终提升的沟道电压在当前描述的例子中应该是 7V, 则存在一个对于从 10V 降低 V_{pass} 的容限, 来最小化对于未选择的存储器单元的 V_{pass} 应力。与图 4 的现有技术编程方案的仿真图比较, 应该清楚的是当前描述的实施例将持续提供对于选择的存储器单元的较大的最终提升的沟道电压。

[0082] 图 14 中所有的存储器单元处于擦除的状态的情况类似于要求某个存储器单元处于编程状态的顺序编程方案。从而, 通过应用之前描述的源侧非对称预充电编程方案到顺序编程操作来进一步降低 V_{pass} 。在顺序编程操作中, 对于应用图 11 到 13 中所示的信号的基本时序相同。根据本实施例, 使用源侧非对称预充电编程方案的顺序编程可以以任意方向被执行。顺序页面编程的第一方向可以是耦合到 WL31 的最上部存储器单元到耦合到 WL0 的最下部存储器单元, 而第二方向是从耦合到 WL0 的最下部存储器单元到耦合到 WL31 的最上部存储器单元。从而当以第一和第二方向的任意一个方向顺序编程时, 在编程方向上选择的存储器单元之前总是存在存储器单元的擦除页面。与编程方向无关, 对于字线、SSL、GSL 和 CS1 的偏置条件保持与对于具有下部沟道 200、中间沟道 202 和上部沟道 204 的 NAND 串的前述情况一样。

[0083] 返回图 9, 并且使用表 1 的示例值, 由于所有的存储器单元处于擦除状态, 所以下部沟道 200 总是被预充电达到 V_4 。因为存在用于在对应于中间沟道 202 和上部沟道 204 的存储器单元中说明的后台数据, 所以中间沟道 202 和上部沟道 204 将被预充电到至少如前所述的相同的值。本领域内的普通技术人员应该清楚, 在用于选择的存储器单元的这种高的初始预充电沟道的情况中, 本地提升将进一步提高其沟道电压。从而传递电压 V_2 能够从 10V 下降到仍旧大于 V_3 的电平, 但足够高到确保选择的存储器单元的最终的提升的沟道能够禁止编程。从而, 当使用公开的 NAND 闪存编程方法来顺序编程 NAND 串时, 实现了完全无应力 (V_{pgm} 无应力和 V_{pass} 无应力) 的编程。

[0084] 图 15 是绘制对于四种不同的技术方案的选择的存储器单元的最终提升的沟道电压 V_{ch_boost} 对 VDD 的仿真图。在此仿真图中, $V_{pgm}=18V$, $V_2=CSL=GSL=8V$, $V_3=4V$, $V_{thc_erase}=-3V$ 并且 $V_{thc_pgm}=2V$ 。在第一种技术方案中, 编程 NAND 串的选择的存储器单元的所有下部的存储器单元。这对应于图 6 中的标以“pppp”的绘制的曲线。在第二种技术方案中, 擦除所有下部的存储器单元, 这对应于标以“eeee”的绘制的曲线。在第三种技术方案中, 交替地擦除和编程下部的存储器单元, 这对应于标以“eep”的绘制的曲线。在第四种技术方案中, 交替地编程和擦除下部的存储器单元, 这对应于标以“pepe”的绘制的曲线。该仿真结果示出即使在将传递电压 V_2 从 10V 降低到 8V 之后, 提升的沟道电压仍大于 11V, 而与后台数据模式无关。这足够高到禁止选择的存储器单元中的编程。因此, 仍旧存在一些对于降低传递电压 V_2 的容限, 而保持选择的存储器单元的有效编程禁止状态。

[0085] 为了确定对于使用编程方法实施例的顺序编程操作的最优传递电压电平, 图 16 中绘制出最终提升的沟道电压 V_{ch_boost} 对 V_2 的仿真图。对于此仿真图, $V_{pgm}=18V$, $V_3=4V$, $V_{thc_erase}=-3V$, $V_{thc_pgm}=2V$, $VDD=1.8V$, 和 $CSL=GSL=V_2$ 。如果下部沟道 200 中的所有存储器单元处于擦除状态, 则图 16 示出当 V_2 被设置为 5V 时选择的存储器单元的最终的 V_{ch_boost} 电平将在 6V 到 7V 之间。当这是使用在 $V_{pgm}=18V$ 时的最小有效编程禁止电压时, 设置 V_2 为 6V 将导致 V_{ch_boost} 显著上升到 8V 以上。进一步升高到 V_2 将进一步升高 $V_{ch_}$

boost。从而，V2 能够被选择用来最小化对于未选择的存储器单元的 V_{pass} 应力并且用于最小化 V_{pgm} 应力。例如，在这些示例条件下，当 V2 是 7V 时，未选择的擦除存储器单元将不经受任何 V_{pass} 应力，而具有 11V 的提升的沟道电压的所选择的存储器单元将不经受任何 V_{pgm} 应力。相应地，NAND 串的编程是无应力的。

[0086] 大多数 NAND 闪存装置执行增量步幅脉冲编程 (ISPP) 来实现工艺和环境变化下的快速编程性能，而保持紧的编程单元干扰。通常在 ISPP 操作中，初始 V_{pgm} 大约是 16V。在初始 16V 编程脉冲之后，所需要的每一个随后的脉冲按 0.5V 的步幅增加达到 20V。在现有技术的编程方案中， V_{pass} 确定最终的提升的沟道电压 V_{ch_boost} 。为了降低 V_{pgm} 应力， V_{pass} 应该随着 V_{pgm} 的增加而增加。从而， V_{pass} 将需要具有在最大 V_{pgm} 电平处对于数据“1”为足够高以禁止编程的最大值。如在本实施例的仿真结果中所示，可以选择单个 V_{pass} 电平，以使得一个最终的 V_{ch_boost} 电平有效用于最小化对于 V_{pgm} 值的范围的 V_{pgm} 应力。这意味着 V_{pgm} 可以从最小值步进到最大值而不需要调整 V_{pass} 。这进一步减少了字线控制逻辑的开销。

[0087] 总之，之前描述的源侧非对称预充电编程方案实施例使用 NAND 串的源侧预充电来非对称预充电它的沟道分组到不同的电压电平，通过要编程的选择的存储器单元的位置来准确标出这些沟道分组。非对称预充电的目标是将选择的存储器单元设置为编程禁止状态，这通过将上部邻接的存储器单元和位线之间的存储器单元的沟道提升到足以关断该上部邻接的存储器单元的电平来实现。当下部邻接的存储器单元被关断时，选择的存储器单元完全与 NAND 串去耦合。编程电压被施加到选择的存储器单元来本地提升其沟道到至少是在不施加位线数据下的编程禁止电压电平。从而在非对称预充电之后，所有选择的存储器单元被缺省设置为编程禁止状态。仅是之后耦合到 VSS 的 NAND 串将选择的存储器单元沟道放电到 VSS，从而建立发生选择的存储器单元的编程的条件。

[0088] 特定的性能优势从之前描述的 NAND 闪存编程实施例中产生。由于 SSL 在整个预充电阶段保持在 VSS，则传递电压的应用几乎不会对串选择晶体管 52 产生电容性耦合的影响。从而，最大化 NAND 串沟道的提升效率。由于选择的存储器单元的提升的沟道电压将一直处于足以禁止编程的最小电平，所以可以执行随机页面编程操作，而与 NAND 串中的后台数据模式和 VDD 电平无关。使用降低的传递电压可以执行顺序编程操作，来消除对未选择的存储器单元的 V_{pass} 应力。

[0089] 本领域内的普通技术人员理解可以存在多个电路用于以实施例所示方式控制字线，并且存在多种公知电压发生器用于产生和供应大于 VDD 的电压到字线控制电路。图 17 到 19 中示出了使用示例性行控制逻辑来根据源侧非对称预充电编程方案的之前描述的方法实施例来控制字线 WL0-WL31、串选择线 SSL 和接地选择线 GSL。

[0090] 图 17 是示例性行控制逻辑或者驱动器的框图。驱动器 400 包括块译码器 402、行译码器电路 408 和字线驱动器电路 410。例如响应于诸如读和编程的命令的所接收的命令，通过诸如闪速存储器装置中的命令译码器的控制电路来控制行控制逻辑。闪速存储器装置的命令译码器将被配置为用于执行源侧非对称预充电编程方案的实施例。具有行控制逻辑 400 的装置具有高电压发生器 4046，其可以由图 17 中未示出的其它电路使用。通常，高电压发生器 404 将产生至少编程电压 V1、传递电压 V2、也被称为去耦电压 V_{dcp} 的降低的传递电压 V3、CSL 电压 V4 和 GSL 电压 V5。每一存储器块具有一个块译码器 402，其接收块地址

BA, 用于启动字线驱动器。所有存储器块共享行译码器 408, 其接收行地址 RA_b 以及未示出的其它信号, 用于产生源选择信号 SSL、字线信号 S[0:n] 和接地选择信号 GSL, 统称之为行信号。在编程操作期间, 响应有效的块地址 BA 和行译码器信号, 信号 SSL、GSL 和 WL0-WLn 被设置为它们所需的电压电平。

[0091] 图 18 是示出图 17 的块译码器 402 和字线驱动器电路 410 的电路细节的电路示意图。块译码器 402 和一个存储器块相关联, 并且包括交叉耦合的反相器锁存电路和电平位移电路。锁存电路包括交叉耦合的反相器 500 和 402、n 沟道复位晶体管 404 以及 n 沟道使能晶体管 406 和 408。当锁存使能信号 LTCH_EN 和块地址 BA 处于高逻辑电平时, 使能或者设置该锁存电路。当信号 RST_BD 处于高逻辑电平时, 反相器 500 和 502 的锁存电路被复位。电平位移电路包括一对交叉耦合的 p 沟道晶体管 510 和 512, 每一个被连接到相应的 n 沟道导引晶体管 514 和 516。晶体管 510 和 512 的共享端子接收高电压 V_h, 而晶体管 514 和 516 的共享端子接收负电压 V_n。节点 V_h 连接到正电压发生器 404, 而节点 V_n 连接到 VSS 或可选地连接到通过负电压发生器 (未示) 产生的负电压。导引晶体管 514 和 516 具有连接到反相器 500 和反相器 518 的输出端的栅极端子, 反相器 518 的输入端连接到晶体管 514 的栅极。注意, 如果 V_n 是负电压, 则提供给反相器 500 的高电压源低于 V_h, 而提供到反相器 502 的低电压源是 VSS 或者高于 V_n。电平位移电路的输出 (使能信号) BD_out 驱动字线驱动器 410 的所有 n 沟道传输晶体管 520 的栅极端子。所有传输晶体管 520 的衬底端子连接到 V_n。每个传输晶体管能够选择性传输源极选择 (SS)、字线 (S0-Sn) 和接地选择 (GS) 信号到存储器阵列。占位符“n”可以是任意非零整数, 典型地对应于闪存单元串中的单元的最大数量。现在描述块译码电路的总操作。

[0092] 例如, 在编程操作中, 一个存储器块被选择, 而其它块保持未被选择。换句话说, 一个存储器块被启用, 而剩余的存储器块被禁止。为了启用一个存储器块, LTCH_EN 和 BA 将处于高逻辑电平, 从而设置电平位移电路来输出高电压 V_h。因此, 字线驱动器电路 410 的所有传输晶体管 520 被导通。根据之前描述的源侧非对称预充电编程方案实施例, 字线信号 S0-Sn 和信号 SS 和 GS 将被驱动至不同的电压电平。未启用的存储器块将其对应的块译码器电路输出设置为输出低电压 V_n。从而, 未选择的存储器块中的所有传输晶体管 520 将关断。

[0093] 图 19 是示出图 17 的行译码器 408 的一个行译码器电路的电路示意图。由于可以存在可能的不同的具体电路实现, 所以图 19 的当前所示的示意图仅为功能性表示。图 19 示出用于产生一个行信号 S_i 的一个电路, 其中 i 可以是 0 到 n 之间的整数值, 但是用于产生信号 SS 和 GS 的电路是类似的配置。行译码器电路包括用于接收在编程、编程验证、读出、擦除和擦除验证操作期间使用的所有电压的多路复用器 600。为了简化图 19 的示意图, 多路复用器 600 被配置用来示出仅用于源侧非对称预充电编程方案实施例的电压。这包括例如编程电压 V₁ (V_{pgm})、传递电压 V_{pass} (V₂)、降低的传递电压 V_{dcp} (V₃)、VDD 和 VSS。尽管没有示出, 用于提供 GSL 的行译码器将具有多路复用器, 其接收电压 V₅ 以及其他电压。类似地, 用于提供 SSL 的行译码器将具有多路复用器, 其接收电源电压 VDD 以及其他电压。

[0094] 任何数量的电压可以被提供给多路复用器 600, 并且随后选择性地传输到节点 S_n。电压选择信号 Vselect 被用于传输任意一个电压。本领域内的普通技术人员将理解 Vselect 将是多位信号, 数量依赖于多路复用器 600 被配置具有的输入端口的数量。当未选

择块时,当 RA_b 处于高逻辑电平时,n 沟道禁止晶体管 602 将 Si 耦合到 VSS。在编程操作中,关断禁止晶体管并且由诸如命令译码器的控制逻辑控制 Vselect 以将必要的电压耦合到 Si。在一个实施例中,对于块的每一行译码器电路 408 存在一个 Vselect 信号。因此,对于一个块中的行 S1 的一个 Vselect 信号可以被用于其它块中的行位置 S1。

[0095] 在之前描述中,出于解释的目的,为了提供对本发明的实施例的全面理解而描述了多个细节。但是,对于本领域内的普通技术人员来说为了实现本发明并不一定需要这些具体细节是明显的。在其它情况中,以框图形式示出公知的电结构和电路是为了不使本发明模糊不清。例如,对于此处所述的本发明的实施例是否被实现为软件程序、硬件电路、固件或其组合,没有提供具体细节。

[0096] 在上述实施例中,为了简化,装置部件以图示那样互相连接。在本发明的实际应用中,设备、装置、部件和电路等可以互相直接相连。同样,设备、装置、和电路等也可以通过对于设备的操作为必要的其他设备、装置、电路等进行间接互相连接。因此,在实际配置中,电路部件和装置之间可以直接或者间接地互相耦合或者互相连接。

[0097] 本发明的上述的实施例仅用于示例。对于本领域技术人员来说,在不脱离由所附的权利要求唯一限定的本发明范围的前提下,可以实现对特定实施例的替换、修改和变更。

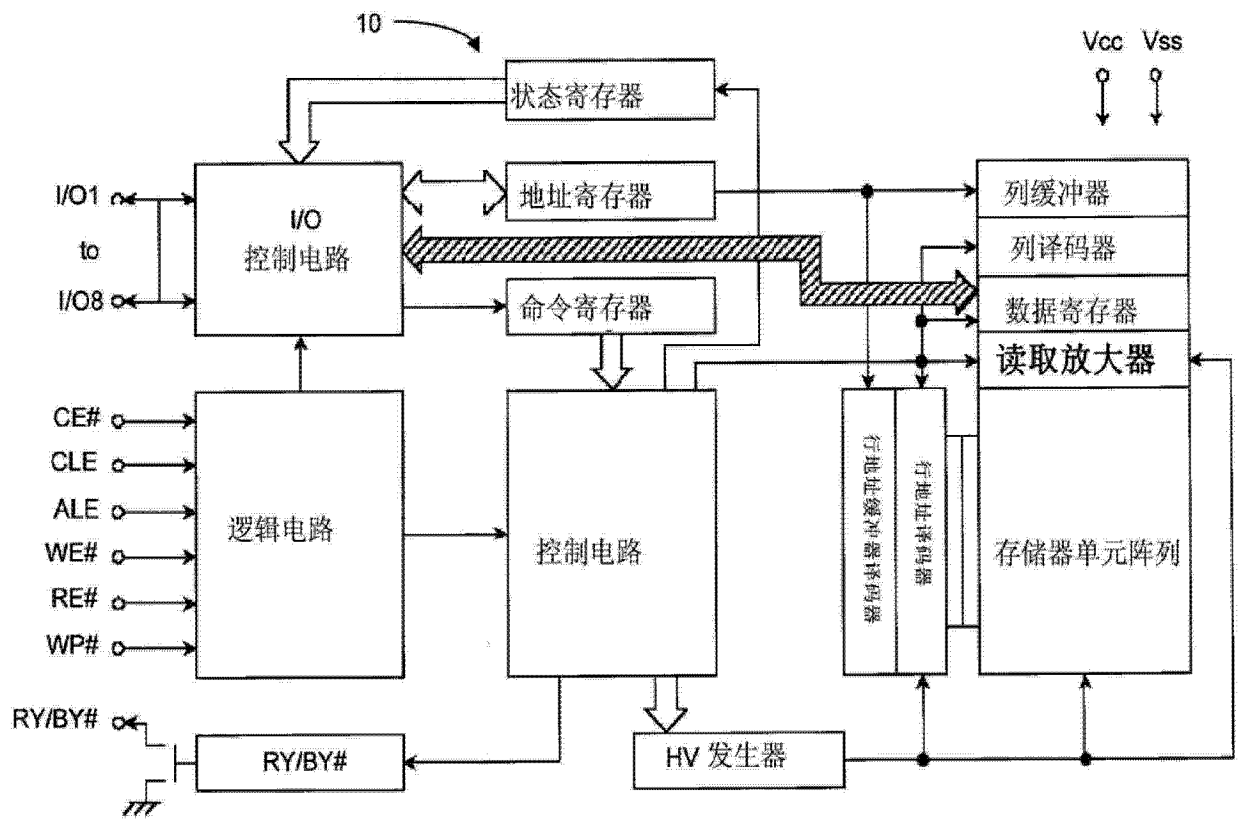


图 1

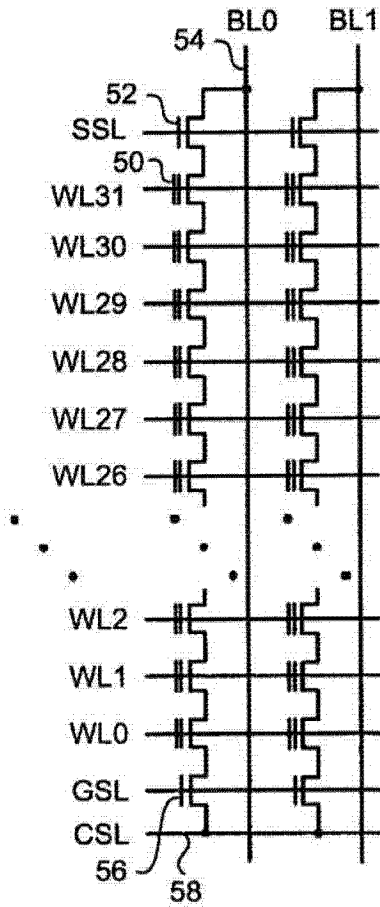


图 2a

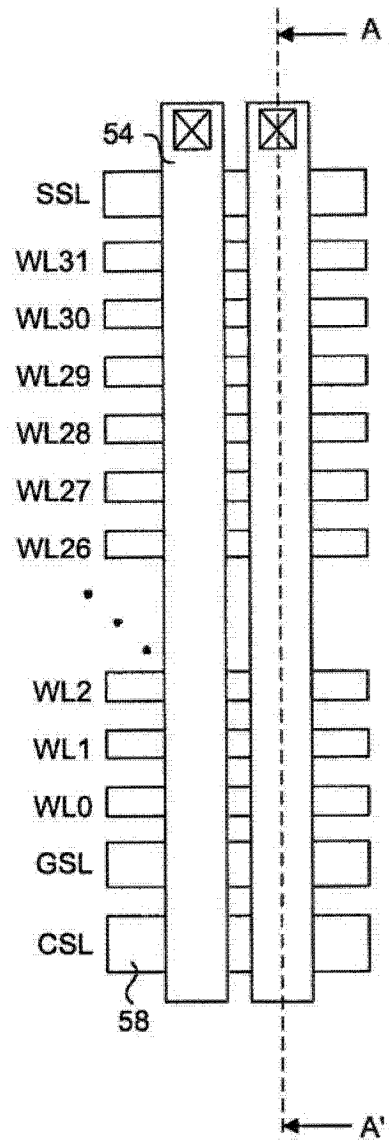


图 2b

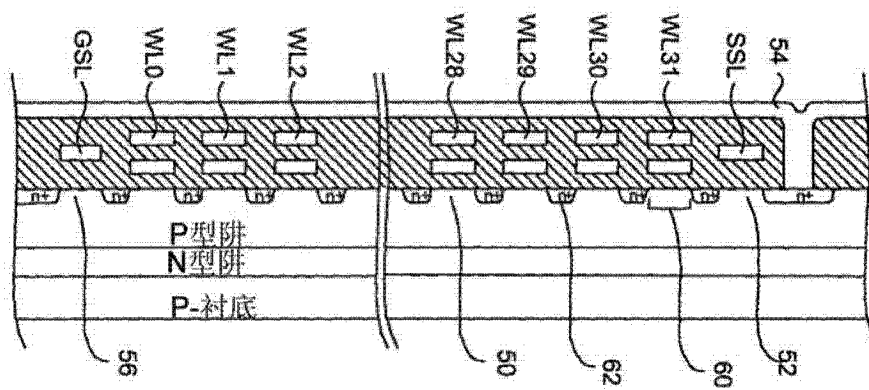


图 2c

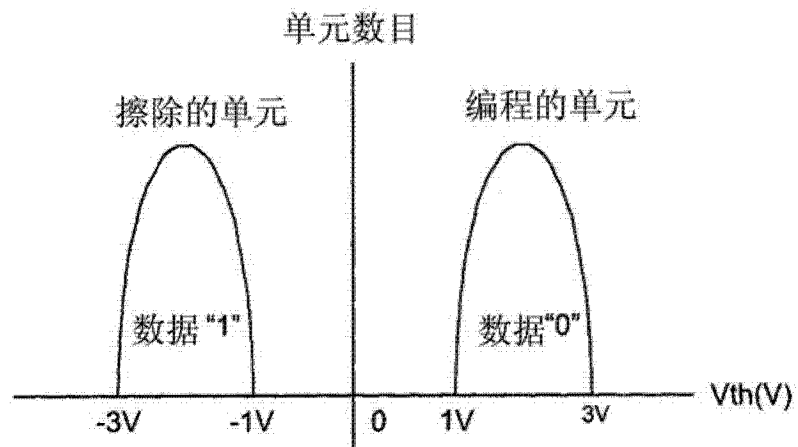


图 3

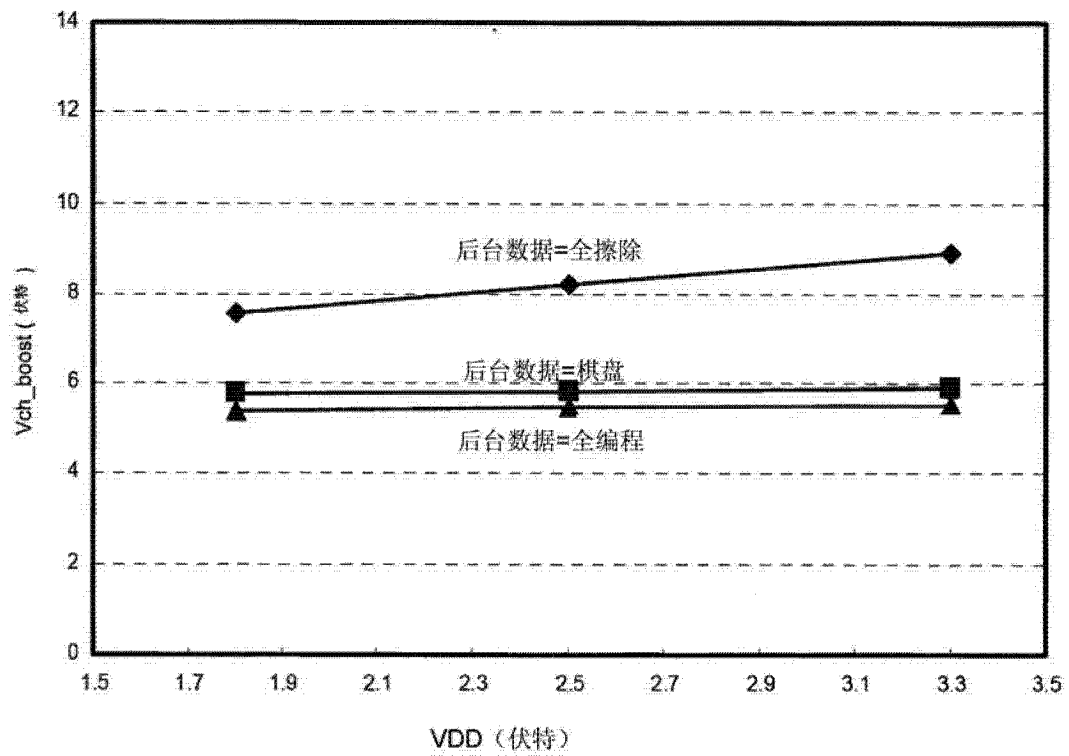


图 4

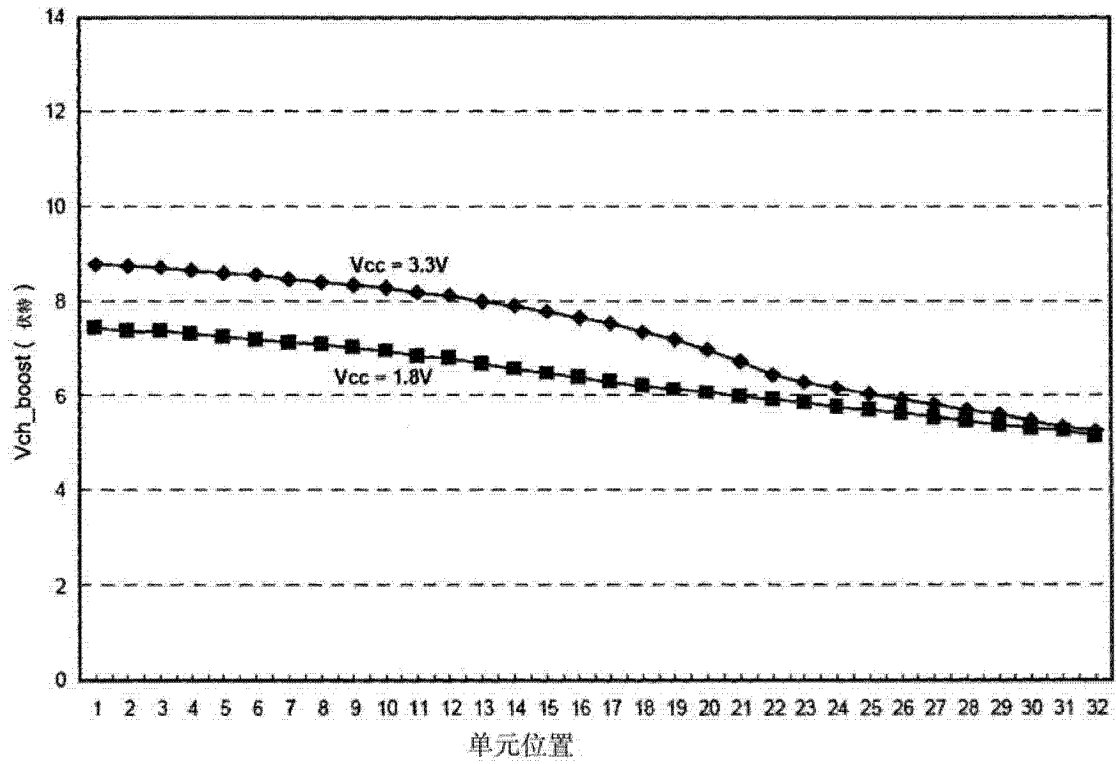


图 5

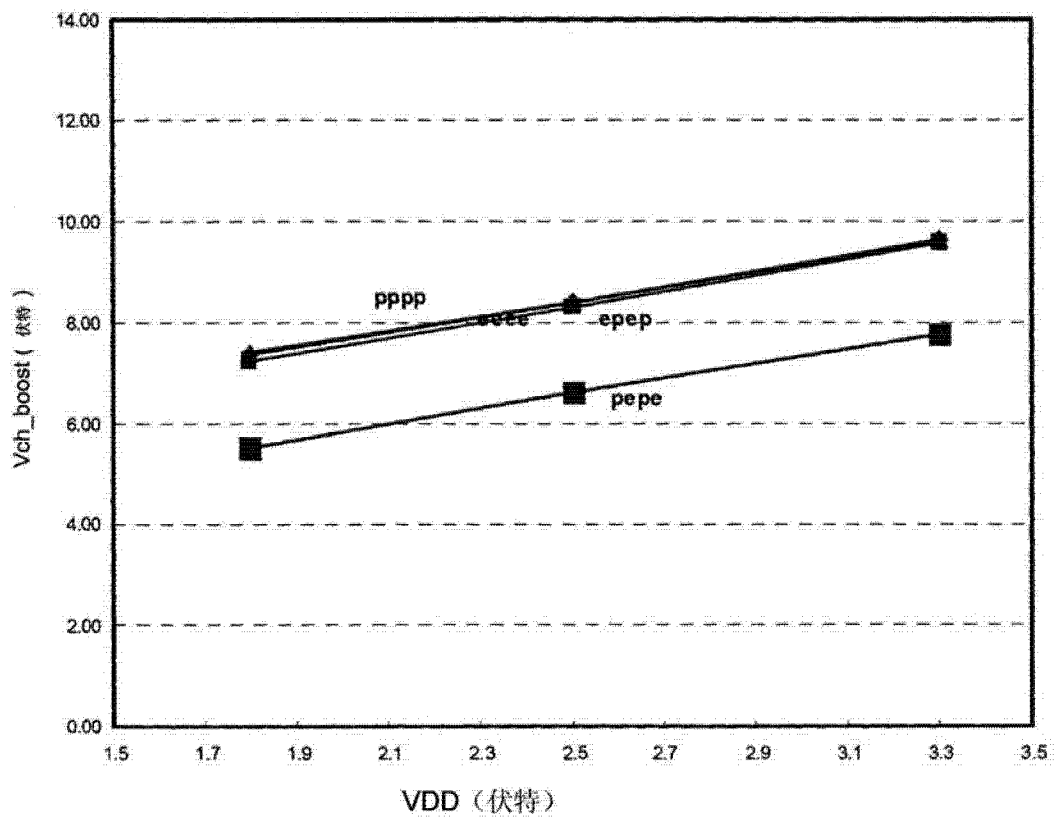


图 6

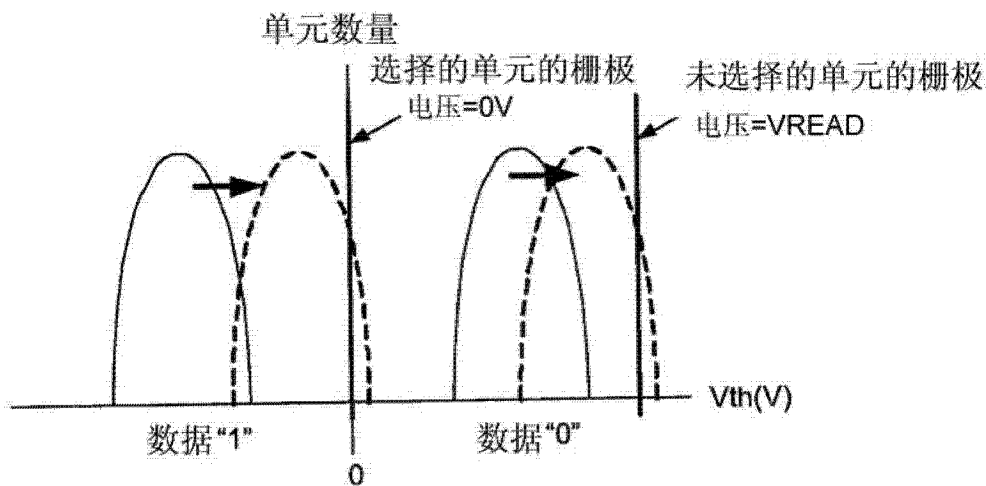


图 7

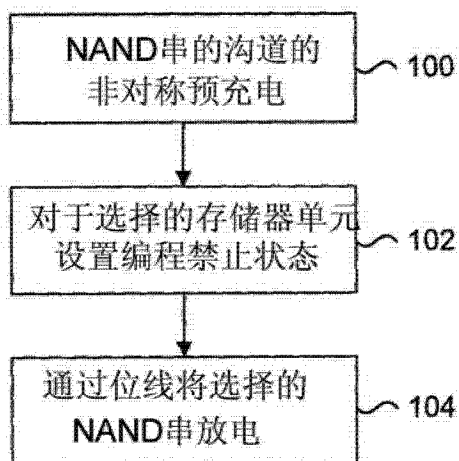


图 8

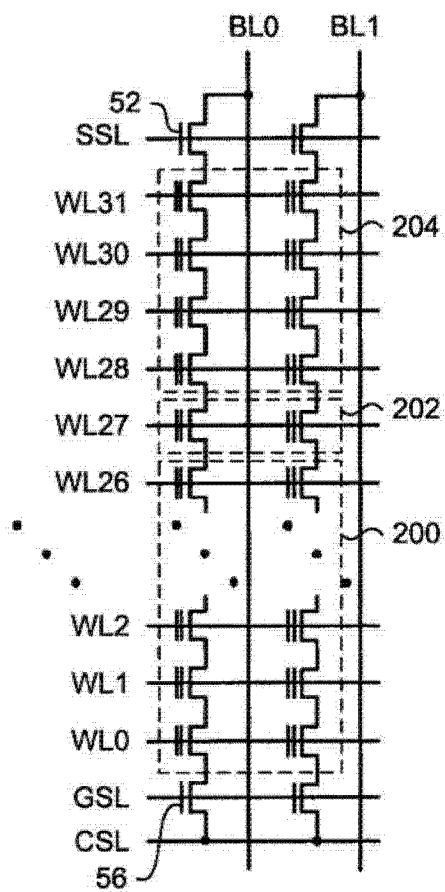


图 9

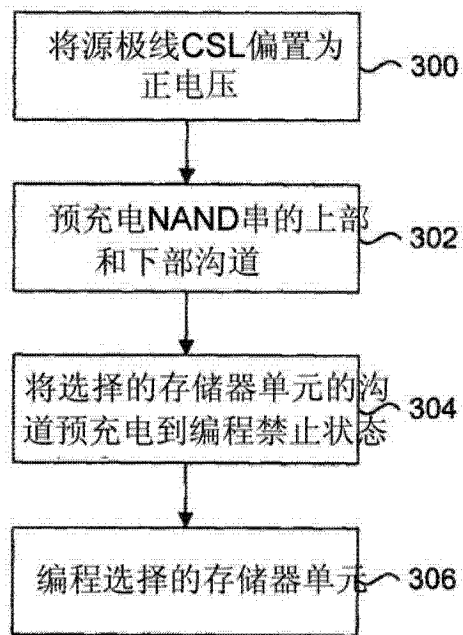


图 10

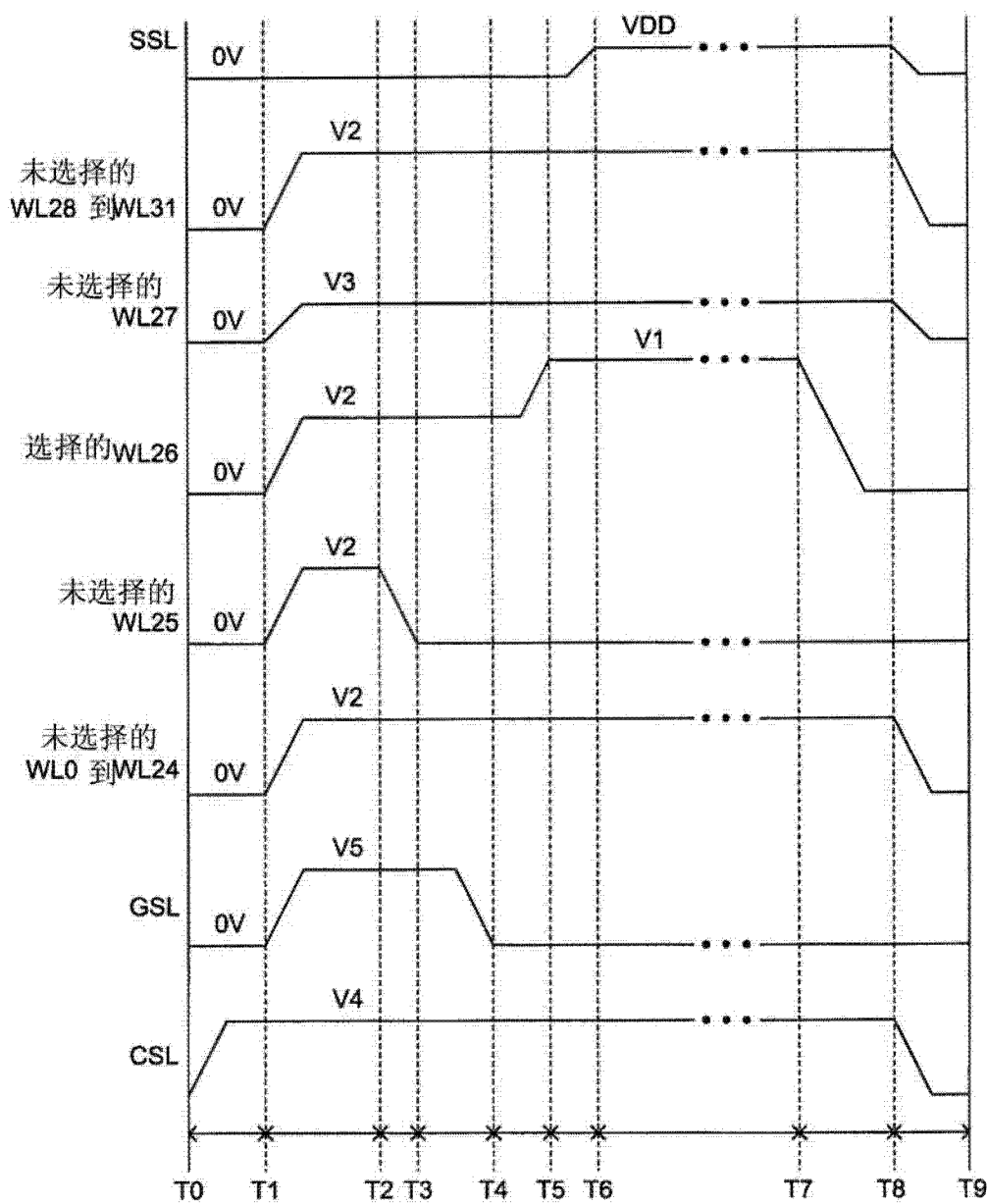


图 11

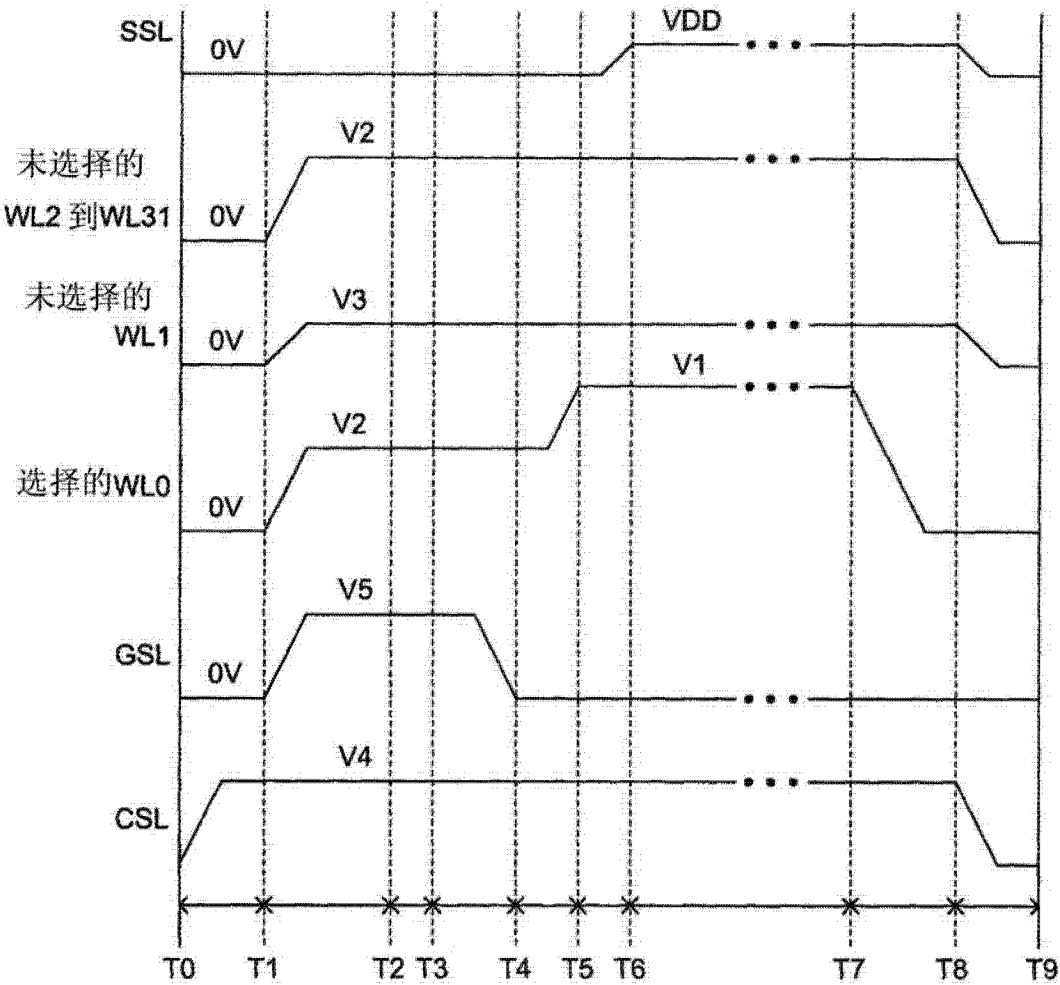


图 12

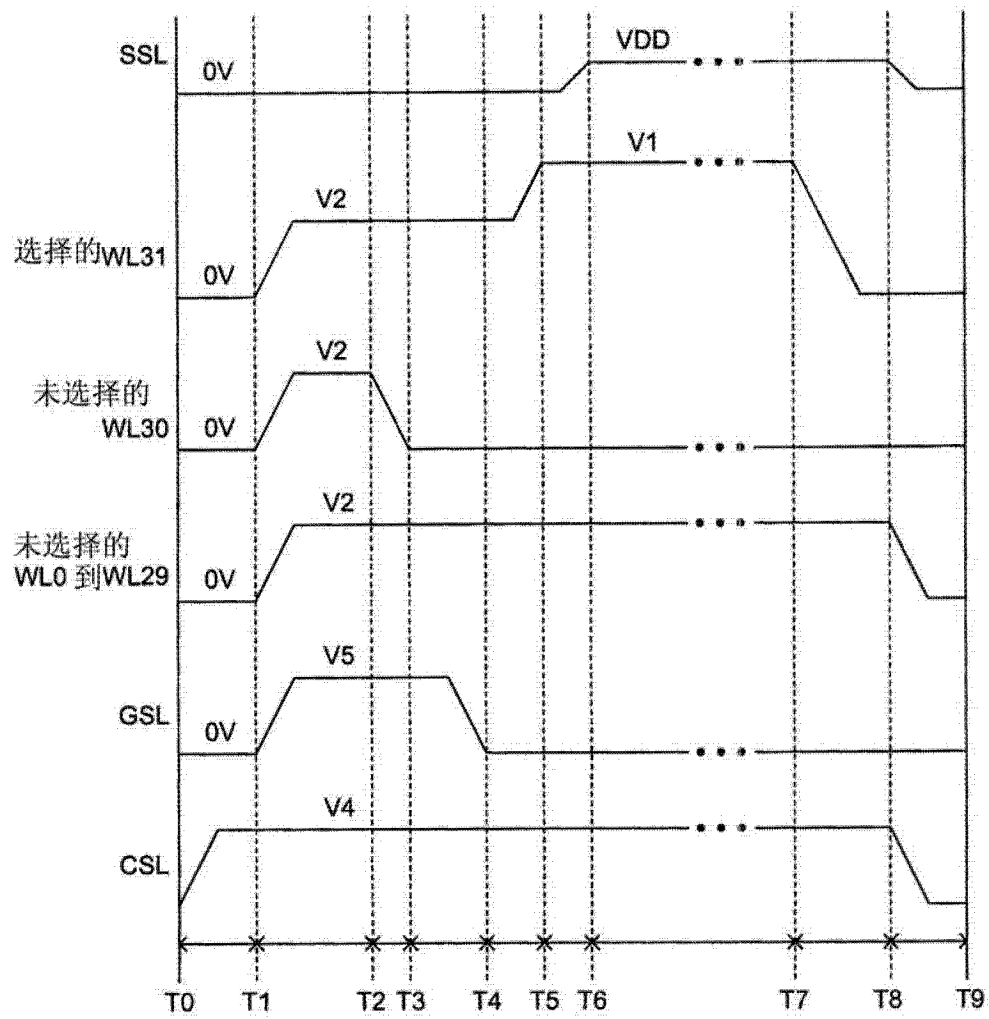


图 13

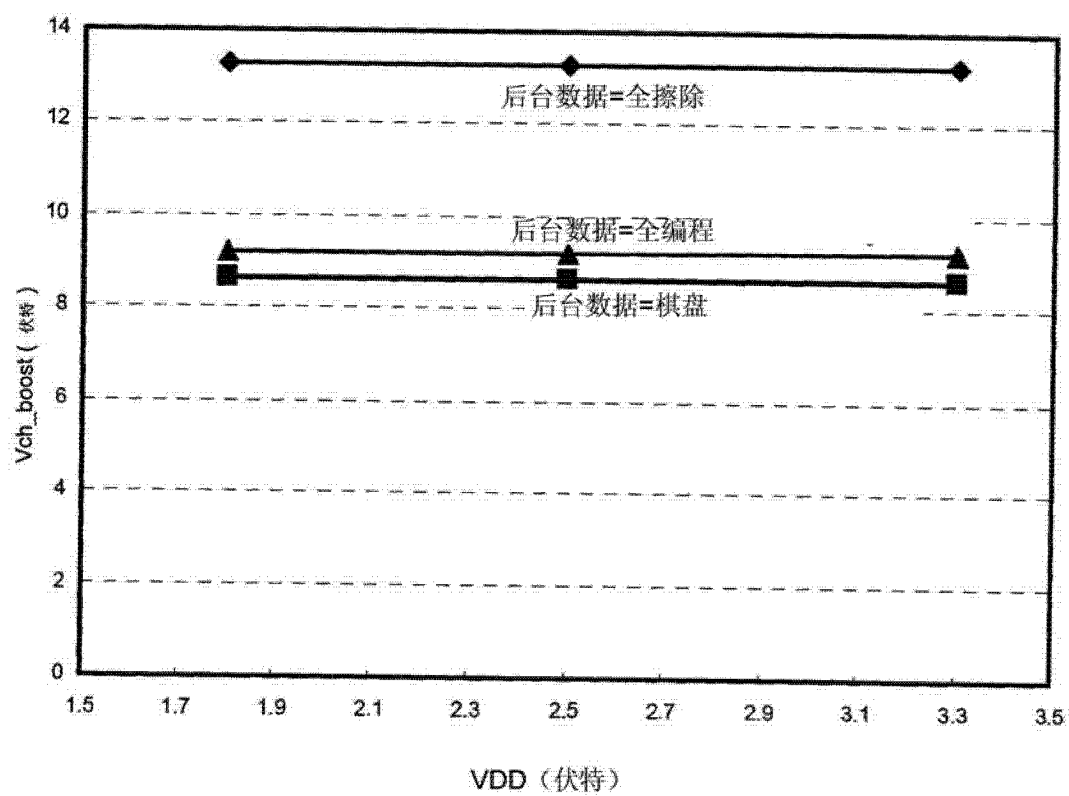


图 14

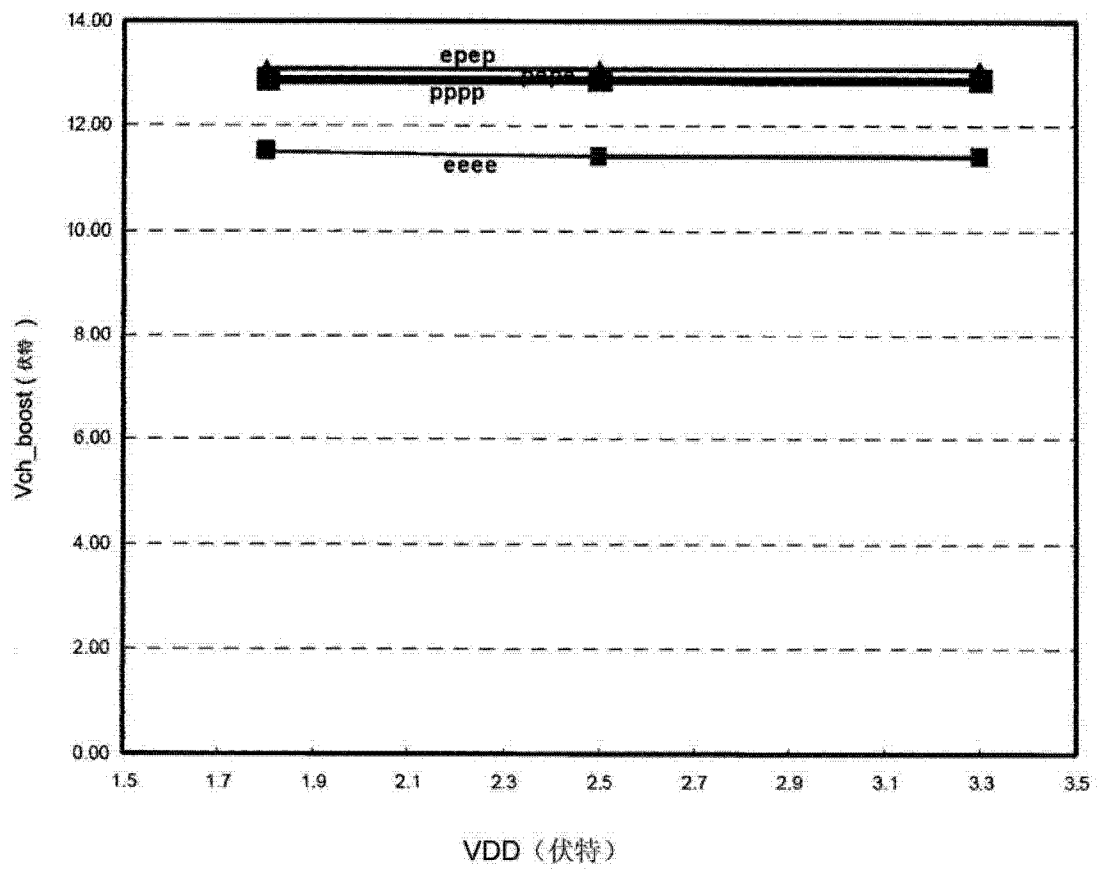


图 15

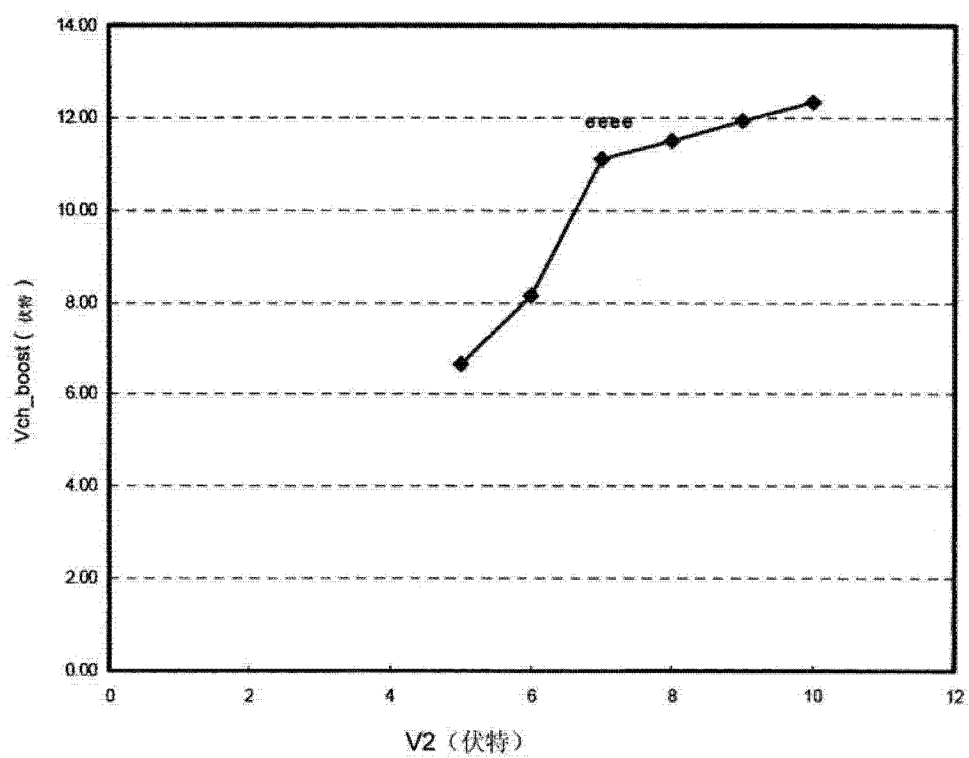


图 16

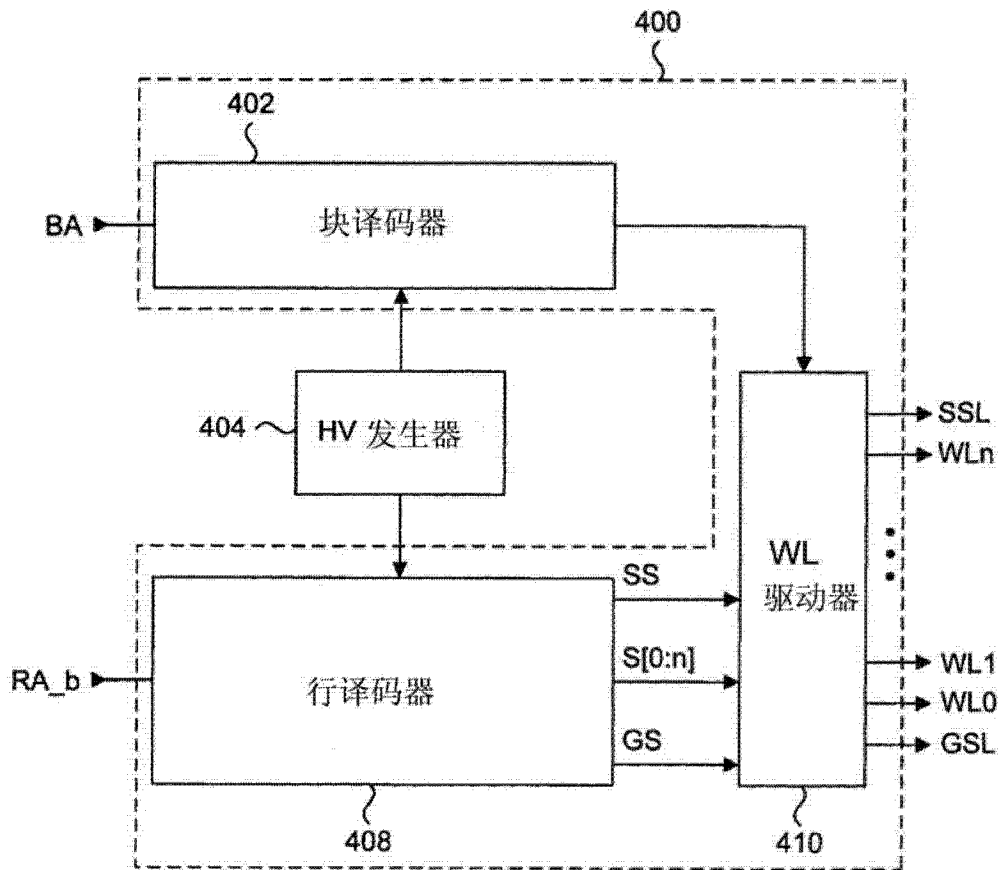


图 17

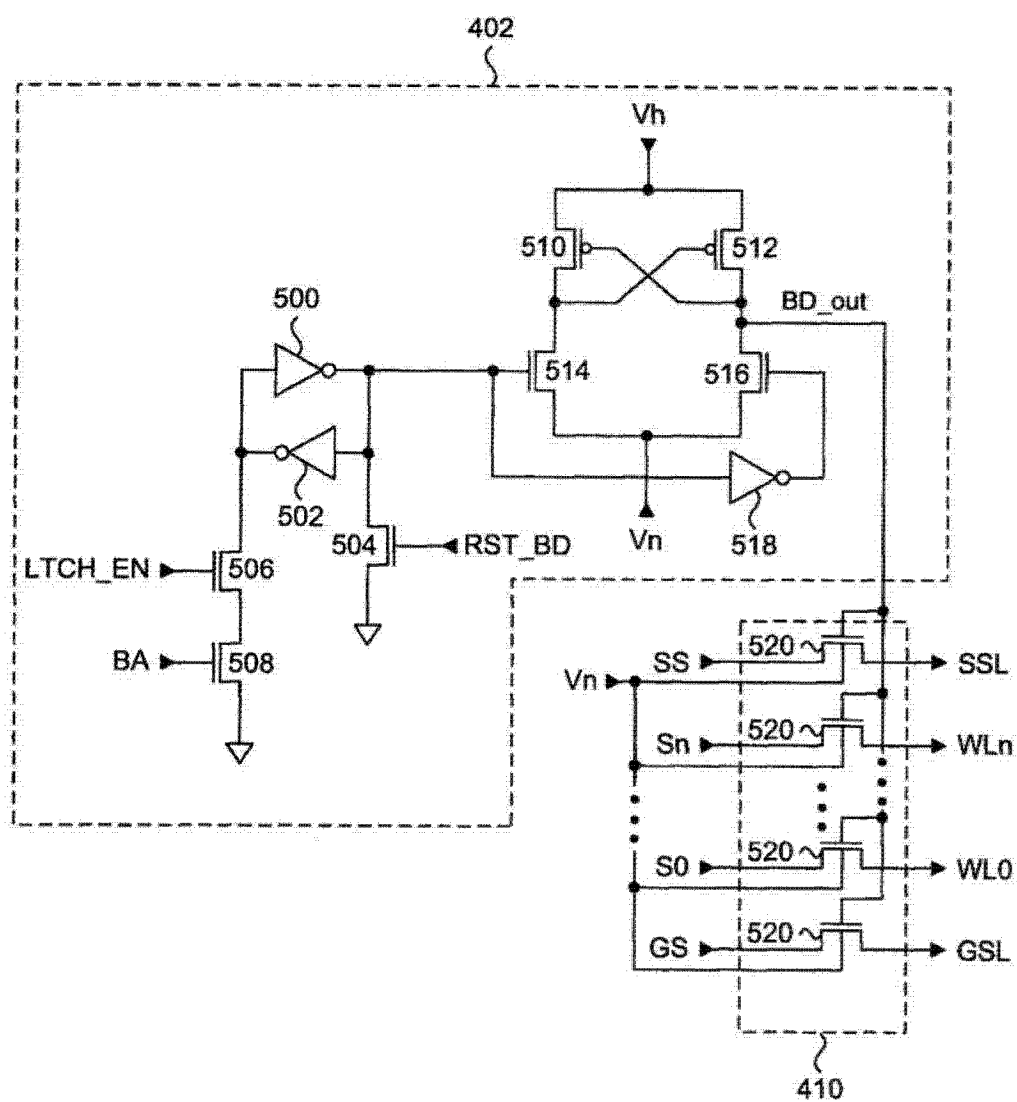


图 18

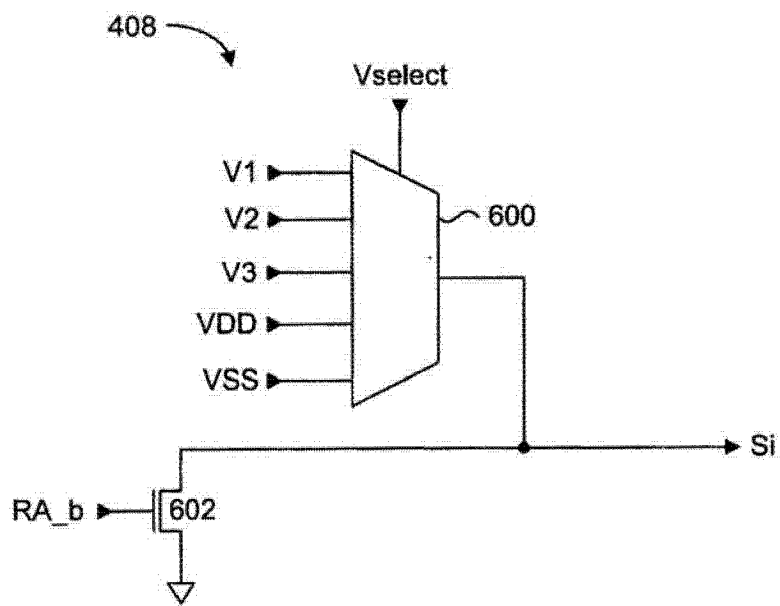


图 19