

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成21年2月5日(2009.2.5)

【公開番号】特開2007-173307(P2007-173307A)

【公開日】平成19年7月5日(2007.7.5)

【年通号数】公開・登録公報2007-025

【出願番号】特願2005-364933(P2005-364933)

【国際特許分類】

H 01 L	29/786	(2006.01)
H 01 L	21/336	(2006.01)
H 01 L	29/423	(2006.01)
H 01 L	29/49	(2006.01)
H 01 L	29/41	(2006.01)

【F I】

H 01 L	29/78	6 1 7 K
H 01 L	29/78	6 1 6 T
H 01 L	29/78	6 1 8 C
H 01 L	29/78	6 2 7 C
H 01 L	29/58	G
H 01 L	29/44	P

【手続補正書】

【提出日】平成20年12月12日(2008.12.12)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

基板上に配置された円形状のゲート電極開口部を有するゲート電極と、前記ゲート電極上にゲート絶縁膜を介して配置された半導体層と、前記半導体層上に配置されたソース及びドレイン電極を含み、前記ソース及びドレイン電極のいずれか一方が中央に配置され、他方がそれを囲むように同心円状に配置され、

前記同心円状に配置されたソース及びドレイン電極間にチャネル領域を有し、

前記ゲート電極開口部の外径は前記中央に配置されたソース又はドレイン電極の外径より小さく、かつ前記ゲート電極開口部の外径が前記ソース又はドレイン電極の外径内に納まるように配置されている

ことを特徴とする薄膜トランジスタ。

【請求項2】

前記半導体層は、前記ゲート電極開口部に対応する半導体層開口部を有することを特徴とする請求項1に記載の薄膜トランジスタ。

【請求項3】

前記ゲート電極開口部は前記ソース又はドレイン電極に対して同軸上に配置されることを特徴とする請求項1に記載の薄膜トランジスタ。

【請求項4】

前記薄膜トランジスタの実効Cgs面積S'が、約150  $\mu\text{m}^2$ 以下であり、チャネル幅W対チャネル長L比(W/L)が、約4.5以上であり、

実効Cgs面積S'への充電能力指標Fが、約50以下であることを特徴とする請求項1に記載の薄膜トランジスタ。

**【請求項5】**

前記実効Cgs面積S'は  $\times ((D+L)/2) \times ((D+L)/2) - \times (d/2) \times (d/2)$  なる式より、前記チャネル幅W対チャネル長L比(W/L)は  $\times (D/L+1)$  なる式より、及び前記実効Cgs面積S'への充電能力指標Fは  $S \div (W/L)$  なる式より算出されることを特徴とする請求項4に記載の薄膜トランジスタ。

**【請求項6】**

表示セルがマトリクス状に配置された表示装置であって、前記表示セルが請求項1に記載の薄膜トランジスタを含むことを特徴とする表示装置。

**【請求項7】**

基板上にゲート電極を形成する工程、  
前記ゲート電極に円形状のゲート電極開口部を形成する工程、  
前記開口部が形成されたゲート電極上に、ゲート絶縁膜を介して半導体層を形成する工程、

前記半導体層上にフォトレジストを形成する工程、  
前記ゲート電極をマスクとして、前記基板底部から背面露光を行い、円形状の遮光膜を有するフォトマスクを介して、前記フォトレジスト上部より正面露光を行うことにより前記フォトレジストを感光させる工程、

前記背面及び正面露光により感光されたフォトレジストを現像除去した後、残存するリング形状のフォトレジストをマスクとして半導体層をエッチングして、リング形状の半導体層形成する工程、

を含むことを特徴とする薄膜トランジスタの製造方法。

**【請求項8】**

前記フォトマスクの遮光膜は、前記ゲート電極に形成された前記ゲート電極開口部に対して同軸上に配置される

ことを特徴とする請求項7に記載の薄膜トランジスタの製造方法。

**【請求項9】**

基板上にゲート電極を形成する工程、  
前記ゲート電極に円形状のゲート電極開口部を形成する工程、  
前記開口部が形成されたゲート電極上に、ゲート絶縁膜を介して半導体層を形成する工程、

前記半導体層上にフォトレジストを形成する工程、  
中央部に円形開口を有する遮光膜が形成されたフォトマスクを介して、前記フォトレジスト上部より正面露光を行い前記フォトレジストを感光させる工程、

前記正面露光により感光されたフォトレジストを現像除去した後、残存するリング形状のフォトレジストをマスクとして半導体層をエッチングして、リング形状の半導体層を形成する工程、

を含むことを特徴とする薄膜トランジスタの製造方法。

**【請求項10】**

前記実効Cgs面積S'は  $\times ((D+L)/2) \times ((D+L)/2) - \times (d/2) \times (d/2)$  なる式より、前記チャネル幅W対チャネル長L比(W/L)は  $\times (D/L+1)$  なる式より、及び前記実効Cgs面積S'への充電能力指標Fは  $S \div (W/L)$  なる式より算出されることを特徴とする請求項5に記載の薄膜トランジスタの製造方法。