

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G11C 29/00 (2006.01)

G11C 11/4078 (2006.01)



[12] 发明专利说明书

专利号 ZL 03121694.3

[45] 授权公告日 2007 年 8 月 8 日

[11] 授权公告号 CN 1331157C

[22] 申请日 1998.9.18 [21] 申请号 03121694.3

分案原申请号 98119300.5

[30] 优先权

[32] 1998. 1. 16 [33] JP [31] 6524/98

[32] 1998. 4. 15 [33] JP [31] 104752/98

[73] 专利权人 三菱电机株式会社

地址 日本东京都

[72] 发明人 前野秀史 大泽德哉

[56] 参考文献

US5228000A 1993.7.13

EP0845788A2 1998.6.3

US5703818A 1997.12.30

US5202625A 1993.4.13

审查员 李 菲

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 叶恺东

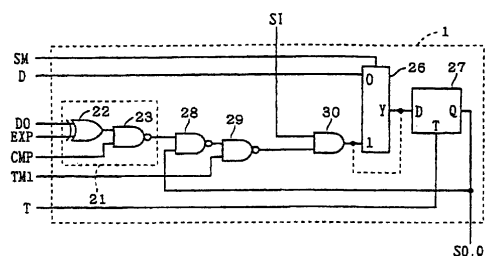
权利要求书 5 页 说明书 73 页 附图 33 页

[54] 发明名称

带有测试功能和冗余功能的半导体存储装置

[57] 摘要

得到具有能早期地识别内部的被测试的存储电路的故障的有无的测试电路的半导体集成电路装置。在将移位模式信号 SM 定为“1”、测试模式信号 TM 定为“1”的第 1 测试模式时，如果将比较控制信号 CMP 定为“1”，则成为测试有效状态。而且，各自在指示故障时成为“0”的输入数据 D 与预期值数据 EXP 的比较结果(比较器 21 的输出)、串行输入 SI 和锁存数据(D-FF27 的数据输出 Q)的“与”运算结果经由“与非”门 28、29、“与”门 30 和选择器 26，供给 D-FF27 的 D 输入端。



1. 一种带有测试功能和冗余功能的半导体存储装置，其特征在于：
具备测试电路，
所述测试电路包括：
被测试的存储电路，能根据内部的存储内容并行地输出与多个位对应的多个输出数据；以及
与所述多个输出数据对应而设置的多个扫描触发器，
所述多个扫描触发器分别通过接收上一级的扫描触发器的串行输出数据作为串行输入数据而串联地连接，
所述多个扫描触发器分别包括：
比较电路，输入所述多个输出数据中对应的至少 1 个输出数据和至少一个预期值数据，并将它们进行比较，根据其比较结果的一致或不一致，输出指示故障的有无的比较结果数据，所述至少一个预期值数据包含从所述比较电路的外部输入的数据；以及
故障信息传递装置，在第 1 测试模式时接收包含所述比较结果数据的故障判定用的数据组，在所述故障判定用的数据组中至少 1 个数据指示故障时，输出指示故障的所述串行输出数据，
所述多个扫描触发器中连续的 1 个以上的扫描触发器各自的所述故障信息传递装置中的所述故障判定用的数据组还包括所述串行输入数据。
2. 如权利要求 1 所述的半导体存储装置，其特征在于：
所述多个扫描触发器各自的所述故障信息传递装置具备：
存储用的数据输出装置，在所述第 1 测试模式时，在所述故障判定用的数据组的至少 1 个数据指示故障时，输出指示故障的存储用的数据；以及
数据存储部，与预定的定时信号同步，存储所述存储用的数据作为锁存数据，
所述串行输出数据包含所述锁存数据。
3. 如权利要求 2 所述的半导体存储装置，其特征在于：
所述故障判定用的数据组还包括所述锁存数据。
4. 如权利要求 1 所述的半导体存储装置，其特征在于：
所述连续的 1 个以上的扫描触发器各自的所述故障信息传递装置具

备:

数据存储部,与预定的定时信号同步,存储存储用的数据作为锁存数据;

存储用的数据输出装置,在所述第1测试模式时,在所述比较结果数据和所述锁存数据的至少1个数据指示故障时,输出指示故障的所述存储用的数据;以及

串行数据输出装置,在所述第1测试模式时,在所述串行输入数据和所述锁存数据中的至少1个数据指示故障时,输出指示故障的所述串行输出数据。

5. 如权利要求1所述的半导体存储装置,其特征在于:

所述连续的1个以上的扫描触发器各自的所述故障信息传递装置具备:

数据存储部,与预定的定时信号同步,存储存储用的数据作为锁存数据;

串行数据输出装置,在所述第1测试模式时,在所述比较结果数据和所述锁存数据中的至少1个数据指示故障时,输出指示故障的所述串行输出数据;以及

存储用的数据输出装置,在所述第1测试模式时,在所述串行输入数据和所述串行输出数据中的至少1个数据指示故障时,输出指示故障的所述存储用的数据。

6. 如权利要求1所述的半导体存储装置,其特征在于:

所述连续的1个以上的扫描触发器各自的所述故障信息传递装置具备:

数据存储装置,在所述第1测试模式设定时,与预定的定时信号同步,存储所述串行输入数据作为锁存数据;以及

串行数据输出装置,在所述比较结果数据和所述锁存数据中的至少1个数据指示故障时,输出指示故障的所述串行输出数据。

7. 如权利要求6所述的半导体存储装置,其特征在于:

所述数据存储装置在故障观察模式时,与预定的定时信号同步,存储所述比较结果数据作为所述锁存数据。

8. 如权利要求1所述的半导体存储装置,其特征在于:

所述连续的1个以上的扫描触发器各自的所述故障信息传递装置具

备:

数据存储部,与预定的定时信号同步,存储存储用的数据作为锁存数据;

选择装置,接收所述串行输入数据和所述锁存数据,在所述第1测试模式时,输出所述串行输入数据作为选择数据,在所述第2测试模式时,输出所述锁存数据作为所述选择数据;以及

存储用的数据输出装置,在所述第1和第2测试模式时,在所述选择数据和所述比较结果数据中的至少1个数据指示故障时,输出指示故障的所述存储用的数据,

所述串行输出数据包含所述锁存数据。

9. 如权利要求1所述的半导体存储装置,其特征在于:

所述至少1个输出数据包含2个以上的预定数目的输出数据,所述至少1个预期值数据包含所述预定数目的预期值数据,

所述比较电路分别比较所述预定数目的输出数据和所述预定数目的预期值数据,即使存在1个不一致的数据,也输出指示故障的所述比较结果数据。

10. 如权利要求1所述的半导体存储装置,其特征在于:

所述连续的1个以上的扫描触发器各自的所述故障信息传递装置具备:

数据存储部,与预定的定时信号同步,存储存储用的数据作为锁存数据;和

存储用的数据输出装置,在第2测试模式时,在所述比较结果数据和所述锁存数据中的至少1个数据指示故障时,输出指示故障的所述存储用的数据。

11. 如权利要求3所述的半导体存储装置,其特征在于:

所述比较结果数据、所述串行输入数据、所述锁存数据和所述存储用的数据分别根据逻辑值“0”/“1”指示故障的有/无,

所述存储用的数据输出装置和所述数据存储部的合在一起的部分包含在所述第1测试模式时对所述串行输入数据、所述锁存数据和所述比较结果数据进行“与”运算处理的“与”运算装置。

12. 如权利要求11所述的半导体存储装置,其特征在于:

所述“与”运算装置包括:

第 1~第 3 “或” 门, 在所述第 1 测试模式时, 分别输出使所述串行输入数据、所述锁存数据和所述比较结果数据有效的第 1~第 3 “或” 运算结果; 和

“与非” 门, 同时接收所述第 1~第 3 “或” 运算结果, 一并进行所述第 1~第 3 “或” 运算结果的“与非” 运算处理, 输出“与非” 运算结果,

将所述第 1~第 3 “或” 门和所述“与非” 门形成为一体, 构成“或-与非” 门。

13. 如权利要求 11 所述的半导体存储装置, 其特征在于:

所述“与” 运算装置包括:

第 1 和第 2 “或” 门, 在所述第 1 测试模式时, 分别输出使所述串行输入数据和所述锁存数据有效的第 1 和第 2 “或” 运算结果;

第 1 “与非” 门, 同时接收所述第 1 和第 2 “或” 运算结果, 一并进行所述第 1 和第 2 “或” 运算结果的“与非” 运算处理, 并输出第 1 “与非” 运算结果;

倒相器, 将所述第 1 “与非” 运算结果在逻辑上反转后输出第 1 “与” 运算结果;

第 3 “或” 门, 在所述第 1 测试模式时, 输出使所述比较结果数据有效的第 3 “或” 运算结果; 以及

第 2 “与非” 门, 同时接收所述第 1 “与” 运算结果和所述第 3 “或” 运算结果, 一并进行所述第 1 “与” 运算结果和所述第 3 “或” 运算结果的“与非” 运算处理, 并输出第 2 “与非” 运算结果,

将所述第 1、第 2 “或” 门和所述第 1 “与非” 门形成为一体, 构成第 1 “或-与非” 门, 同时将所述第 3 “或” 门和所述第 2 “与非” 门形成为一体, 构成第 2 “或-与非” 门。

14. 如权利要求 11 所述的半导体存储装置, 其特征在于:

还具备比较控制信号发生电路, 所述比较控制信号发生电路在所述第 1 测试模式时, 输出根据所述至少 1 个预期值将一个定为“1” 另一个定为“0” 的第 1 和第 2 比较控制信号,

所述至少 1 个输出数据包含取作“1” 或“0” 的值的 1 位输出数据, 所述第 3 “或” 运算结果包含第 1 比较用的第 3 “或” 运算结果和第 2 比较用的第 3 “或” 运算结果,

所述第3“或”门包括：

第1比较用的第3“或”门，进行所述1位输出数据与所述第1比较控制信号的“或”运算，并输出所述第1比较用的第3“或”运算结果；和

第2比较用的第3“或”门，进行所述1位输出数据的反转值与所述第2比较控制信号的“或”运算，并输出所述第2比较用的第3“或”运算结果，

在所述存储用的数据输出装置和所述比较电路中共用所述第1和第2比较用的第3“或”门。

15. 如权利要求11所述的半导体存储装置，其特征在于：

所述存储用的数据输出装置和所述数据存储部的合在一起的部分还具备下述功能：在所述第2测试模式时，只进行所述锁存数据和所述比较结果数据的“与”运算处理，在所述第3测试模式时，只进行所述串行输入数据和所述比较结果数据的“与”运算处理。

带有测试功能和冗余功能的半导体存储装置

本申请是申请号为98119300.5的分案申请,该母案的申请日为1998年9月18日。

技术领域

本发明涉及带有测试功能和冗余功能的半导体存储装置,特别是涉及对于内部的存储电路部分的测试电路和冗余电路。

背景技术

作为对于半导体集成电路装置的存储电路部分的现有的测试电路和冗余电路,例如有特开平8-94718号公报中公开的测试电路和冗余电路。

图43是示出现有的RAM测试用的扫描触发器(以下,有时简称为「S-FF」)的结构的电路图。

如图43所示,比较器201由“异”(EX-OR)门202和“与非”(NAND)门203构成,“异”门202在一个输入端和另一个输入端接收输入数据D和预期值数据EXP,“与非”门203在一个输入端与“异”门202的输出端连接,在另一个输入端接收比较控制信号CMP。而且,“与非”门203的输出端成为比较器201的输出端。

“与”门204的一个输入端与比较器201的输出端连接,选择器205在“0”输入端接收串行输入(数据)SI,“1”输入端与“与”门204的输出端连接,在控制输入端接收测试模式信号TM1。而且,选择器205根据测试模式信号TM1的“1”/“0”,从输出部Y输出由“1”输入端/“0”输入端得到的信号。

选择器206在“0”输入端接收输入数据D,“1”输入端与选择器205的输出部Y连接,在控制输入端接收移位模式信号SM。而且,选择器206根据移位模式信号SM的“1”/“0”,从输出部Y输出由“1”输入端/“0”输入端得到的信号。

D-FF(D型触发器)207在D输入端与选择器206的输出部Y连接,在触发输入端T接收定时信号(时钟信号)T,将由其Q输出部得到的信号作为数据输出Q和串行输出(数据)SO向外部输出,同时反馈到“与”门204的另一个输入端。

在这样的结构中,如果将移位模式信号SM定为“0”,则成为正常工作,与定时信号T同步地将输入数据D取入D-FF207中。

如果将移位模式信号SM定为“1”,测试模式信号TM1定为“0”,则成为移位工作模式,与定时信号T同步地将串行输入SI取入D-FF207

中。

如果将移位模式信号 SM 定为“1”，测试模式信号 TM1 定为“1”，则成为测试模式。在测试模式时，如果将比较控制信号 CMP 定为“0”，则成为测试无效状态，由于比较器 201 的输出强制性地变成“1”，D-FF207 的 Q 输出反馈到 D 输入，故保存 D-FF207 的锁存数据。

在测试模式时，如果将比较控制信号 CMP 定为“1”，则成为测试有效状态，比较输入数据 D 与预期值数据 EXP，在两者一致的情况下，由于“异”门 202 的输出成为“0”，比较器 201 的输出、即比较结果数据成为“1”，故保存 D-FF207 的锁存数据。

另一方面，在两者不一致的情况下，由于“异”门 202 的输出成为“1”，比较器 201 的输出成为“0”，故将“0”强制性地锁存于 D-FF207 中（复位）。

图 44 是示出现有的带有测试电路的 RAM 的结构的电路图（只示出与 RAM 的数据输出 $DO\langle 0 \rangle \sim DO\langle 4 \rangle$ 连接的电路）。如图 44 中所示，测试电路 216 具有将 5 个各自具备图 43 中示出的电路结构的扫描触发器 $SFF\langle 0 \rangle \sim SFF\langle 4 \rangle$ 串联连接起来而构成的 RAM 测试用的扫描总线。以下，有时将扫描触发器 $SFF\langle \rangle$ 简单地称为 $SFF\langle \rangle$ 。

即， $SFF\langle 4 \rangle$ 将由外部得到的串行输入数据 $SIDO$ 作为串行输入 SI ，串行输出 SO 与 $SFF\langle 3 \rangle$ 的串行输入 SI 连接，同样，将 $SFF\langle 2 \rangle$ 、 $SFF\langle 1 \rangle$ 和 $SFF\langle 0 \rangle$ 串联连接起来，将最后一级 $SFF\langle 0 \rangle$ 的串行输出 SO 作为串行输出数据 $SODO$ 向外部输出。

$SFF\langle 0 \rangle \sim SFF\langle 4 \rangle$ 共同地接收移位模式信号 SM、测试模式信号 TM1、预期值数据 EXP、比较控制信号 CMP 和定时信号 T，接收数据输出 $DO\langle 0 \rangle \sim DO\langle 4 \rangle$ 作为 $SFF\langle 0 \rangle \sim SFF\langle 4 \rangle$ 各自的输入数据 D，各自的数据输出 Q 成为数据输出 $Q\langle 0 \rangle \sim Q\langle 4 \rangle$ 。

以下，参照图 43 和图 44，进行 RAM 测试工作的说明。

(1) 在进行 RAM 的测试前，在 $\{TM1 = 0, SM = 1\}$ 的移位模式状态下，从串行输入数据 $SIDO$ ($SFF\langle 4 \rangle$ 的串行输入 SI) 开始依次移入 (shift in) “1”，在 $SFF\langle 0 \rangle \sim SFF\langle 4 \rangle$ 中全部锁存“1”。此时，作为定时信号 T 需要提供 5 个周期的时钟。其结果， $SFF\langle 0 \rangle \sim SFF\langle 4 \rangle$ 的串行输出 $SO\langle 0 \rangle \sim SO\langle 4 \rangle$ 全部为“1”。

(2) 在 $\{TM1 = 1, SM = 1\}$ 的测试模式状态下，对于全部地址进行 RAM

的测试。一边进行测试用的数据的写入或读出，一边适当地控制预期值数据 EXP 和比较控制信号 CMP（在“1”下进行比较），在预定的时刻变成测试有效状态。

此时，如果在 RAM211 中存在不良情况，则在测试有效状态时，预期值数据 EXP 与 RAM211 的输出 DO〈i〉（ $i = 0 \sim 4$ 的任一个）就不同，此时，由于 SFF〈i〉的因比较器 201 产生的比较结果数据成为“0”，故通过与时钟信号 T 同步地锁存“0”，将 SFF〈i〉复位。

例如，如果在连接到 RAM211 的输出数据 DO〈2〉的 SFF〈2〉中检测出故障，则 SO〈2〉=“0”（SO〈0〉、SO〈1〉、SO〈3〉、SO〈4〉仍然是“1”）。

（3）在 {TM1 = 0, SM = 1} 的移位模式状态下，从串行输出数据 SODO（SFF〈0〉的串行输出 SO）开始依次移出（shift out）测试结果。

在上述例子中，作为串行输出数据 SODO，按“1”、“1”、“0”、“1”、“1”的顺序输出，根据第 3 个串行输出数据 SODO 为“0”（指示故障）可识别在 RAM211 中存在故障。

现有的半导体集成电路装置中的 RAM 用的测试电路由于如以上所述进行 RAM 的故障测试，故在测试模式状态下的上述项目（2）的阶段中，即使观察到输出到外部的串行输出数据 SODO，也只能检测出数据输出 DO〈0〉有无故障，不能观察其它的数据输出（DO〈1〉、DO〈2〉、DO〈3〉、DO〈4〉）有无故障。因而，在项目（2）的测试处理进行了全部地址中的数据输出 DO〈0〉~DO〈4〉的测试后，需要在项目（3）中来识别对于全部数据输出 DO〈0〉~DO〈4〉有无故障。因此，存在 RAM 的不合格品检测所需要的测试时间比所需要的时间长的问题。

图 45 是示出具备带有测试电路的 RAM 和冗余电路的半导体集成电路装置的结构电路图。相对于带有图 44 中示出的结构的测试电路的 RAM212，图 45 成为附加了冗余电路 213 的结构。

如图 45 中所示，将扫描触发器 SFF〈1〉~SFF〈4〉的串行输出 SO〈1〉~SO〈4〉取入到寄存器 214 中，作为存储数据 G〈1〉~G〈4〉被存储。

将寄存器 214 的存储数据 G〈1〉~G〈4〉分别供给“与”门 221~223 的一个输入端，“与”门 221 的另一个输入端与“与”门 222 的输出端连接，“与”门 222 的另一个输入端与“与”门 223 的输出端连接，“与”

门 223 的另一个输入端接收存储数据 $G\langle 4 \rangle$ 。而且，“与”门 221~223 的输出成为输出数据 $F\langle 1 \rangle \sim F\langle 3 \rangle$ 。

对应于带有测试电路的 RAM212 的数据输出 $Q\langle 0 \rangle \sim Q\langle 4 \rangle$ （或数据输出 $D0\langle 0 \rangle \sim D0\langle 4 \rangle$ ），设有选择器 230~233。在选择器 230~233 的各自的“0”输入端接收数据输出 $Q\langle 0 \rangle \sim Q\langle 3 \rangle$ ，在各自的“1”输入端接收数据输出 $Q\langle 1 \rangle \sim Q\langle 4 \rangle$ ，在控制输入端接收输出数据 $F\langle 1 \rangle \sim F\langle 3 \rangle$ 和 $G\langle 4 \rangle$ 。而且，选择器 230~233 的输出作为冗余数据输出 $XD0\langle 0 \rangle \sim XD0\langle 3 \rangle$ 来输出。

另一方面，对应于带有测试电路的 RAM212 的数据输入 $DI\langle 0 \rangle \sim DI\langle 4 \rangle$ ，设有“或”门 215、选择器 234~236。在“或”门 215 的一个输入端接收冗余数据输入 $XDI\langle 0 \rangle$ ，在另一个输入端接收输出数据 $F\langle 1 \rangle$ 。在选择器 234~236 的各自的“0”输入端接收冗余数据输入 $XDI\langle 1 \rangle \sim XDI\langle 3 \rangle$ ，在各自的“1”输入端接收冗余数据输入 $XDI\langle 0 \rangle \sim XDI\langle 2 \rangle$ ，在控制输入端接收输出数据 $F\langle 2 \rangle$ 、 $F\langle 3 \rangle$ 和存储数据 $G\langle 4 \rangle$ 。

而且，将“或”门 215 的输出供给数据输入 $DI\langle 0 \rangle$ ，将选择器 234~236 的输出供给数据输入 $DI\langle 1 \rangle \sim DI\langle 3 \rangle$ ，将冗余数据输出 $XD0\langle 3 \rangle$ 原封不动地供给数据输入 $DI\langle 4 \rangle$ 。

在这样的结构中，例如，考虑 RAM211 的数据输出 $D0\langle 2 \rangle$ 中存在故障的情况。此时，在对应于数据输出 $D0\langle 2 \rangle$ 的 $SFF\langle 2 \rangle$ 中锁存指示故障的“0”。即， $SO\langle 2 \rangle = “0”$ （ $SO\langle 0 \rangle$ 、 $SO\langle 1 \rangle$ 、 $SO\langle 3 \rangle$ 、 $SO\langle 4 \rangle$ 仍然是“1”）。

如果将串行输出 $SO\langle 1 \rangle \sim SO\langle 3 \rangle$ 取入到寄存器 214 中，则变成 $\{G\langle 1 \rangle = 1, G\langle 2 \rangle = 0, G\langle 3 \rangle = 1, G\langle 4 \rangle = 1\}$ ， $\{F\langle 3 \rangle = 1, F\langle 2 \rangle = 0, F\langle 1 \rangle = 0\}$ 。其结果，以选择器 230~233 的信号选择产生的对应关系 $\{D0\langle 4 \rangle / Q\langle 4 \rangle \text{ 对应 } XD0\langle 3 \rangle, D0\langle 3 \rangle / Q\langle 3 \rangle \text{ 对应 } XD0\langle 2 \rangle, D0\langle 1 \rangle / Q\langle 1 \rangle \text{ 对应 } XD0\langle 1 \rangle, D0\langle 0 \rangle / Q\langle 0 \rangle \text{ 对应 } XD0\langle 0 \rangle\}$ ，输出冗余数据输出 $XD0\langle 0 \rangle \sim XD0\langle 3 \rangle$ 。即不使用有故障的数据输出 $D0\langle 2 \rangle$ 。

同样，以选择器 234~236 的信号选择产生的对应关系 $\{XDI\langle 3 \rangle \text{ 对应 } DI\langle 4 \rangle, XDI\langle 2 \rangle \text{ 对应 } DI\langle 3 \rangle \text{ 和 } DI\langle 2 \rangle, XDI\langle 1 \rangle \text{ 对应 } DI\langle 1 \rangle, XDI\langle 0 \rangle \text{ 对应 } DI\langle 0 \rangle\}$ ，输入冗余数据输入 $XDI\langle 0 \rangle \sim XDI\langle 3 \rangle$ 。即也输入到除对应于有故障的数据输出 $D0\langle 2 \rangle$ 的数据输入 $DI\langle 2 \rangle$ 以外

的数据输入 DI〈3〉中。

这样，通过由冗余电路 213 产生的连接切换，即使在对应于数据输出 DO〈2〉的 RAM211 中存在故障，利用带有测试电路的 RAM212 和冗余电路 213，也可作为 4 位输入输出的 RAM 正常地工作。

再有，在正常工作时，在不将 SFF〈0〉～SFF〈4〉内的 D-FF207 作为输出用的 FF 使用的情况下，通过将 D-FF207 作为冗余电路 14 的冗余控制数据保存用的寄存器来利用，可省略寄存器 214。此外，也可省略“或”门 215，如虚线所示将数据输入 DI〈0〉与冗余数据输入 XDI〈0〉短路。

这样，现有的冗余电路 213 中，为了产生选择器 230～236 的选择控制信号输出数据 F〈1〉～F〈3〉，需要有逻辑电路（“与”门 221～223），存在电路结构变得复杂的问题。

发明内容

本发明是为了解决上述问题而进行的，其目的在于得到具有下述的测试电路的半导体集成电路装置，该测试电路可早期地识别内部的被测试的存储电路的故障的有无，进而使被连接的冗余电路的结构得到简化。

与本发明有关的第 1 方面所述的半导体存储装置，具备测试电路，所述测试电路包括：被测试的存储电路以及与所述多个输出数据对应而设置的多个扫描触发器（S-FF），其中所述被测试的存储电路根据内部的存储内容，能并行地输出与多个位对应的多个输出数据，所述多个 S-FF 分别通过接收上一级的 S-FF 的串行输出数据作为串行输入数据而串联地连接，所述多个 S-FF 分别包括：比较电路和故障信息传递装置，其中，所述比较电路输入所述多个输出数据中对应的至少 1 个输出数据和至少 1 个预期值数据，并将它们进行比较，根据其比较结果的一致或不一致，输出指示故障的有无的比较结果数据，所述至少一个预期值数据包含从所述比较电路的外部输入的数据；所述故障信息传递装置在第 1 测试模式时接收包含所述比较结果数据的故障判定用的数据组，在所述故障判定用的数据组中至少 1 个数据指示故障时，输出指示故障的所述串行输出数据，所述多个 S-FF 中连续的 1 个以上的 S-FF 各自的所述故障信息传递装置中的所述故障判定用的数据组还包括所述串行输入数据。

此外，在本发明有关的第 2 方面所述的半导体存储装置中，所述多个 S-FF 各自的所述故障信息传递装置具备存储用的数据输出装置和数据

存储部，其中，所述存储用的数据输出装置在所述第1测试模式时，在所述故障判定数据组的至少1个数据指示故障时，输出指示故障的存储用的数据，所述数据存储部与预定的定时信号同步，存储所述存储用的数据作为锁存数据，所述串行输出数据包含所述锁存数据。

再者，在本发明有关的第3方面所述的半导体集成电路装置中，所述故障判定数据组还包括所述锁存数据。

此外，在本发明有关的第4方面所述的半导体存储装置中，所述连续的1个以上的S-FF各自的所述故障信息传递装置具备：数据存储部；存储用的数据输出装置；以及串行数据输出装置，其中，所述数据存储部与预定的定时信号同步，存储存储用的数据作为锁存数据，所述存储用的数据输出装置在所述第1测试模式时，在所述比较结果数据和所述锁存数据的至少1个数据指示故障时，输出指示故障的所述存储用的数据，所述串行数据输出装置在所述第1测试模式时，在所述串行输入数据和所述锁存数据中的至少1个数据指示故障时，输出指示故障的所述串行输出数据。

此外，在本发明有关的第5方面所述的半导体存储装置中，所述连续的1个以上的S-FF各自的所述故障信息传递装置具备：数据存储部；串行数据输出装置；以及存储用的数据输出装置，其中，所述数据存储部与预定的定时信号同步，存储存储用的数据作为锁存数据，所述串行数据输出装置在所述第1测试模式时，在所述比较结果数据和所述锁存数据的至少1个数据指示故障时，输出指示故障的所述串行输出数据，所述存储用的数据输出装置在所述第1测试模式时，在所述串行输入数据和所述串行输出数据中的至少1个数据指示故障时，输出指示故障的所述存储用的数据。

此外，在本发明有关的第6方面所述的半导体存储装置中，所述连续的1个以上的S-FF各自的所述故障信息传递装置具备数据存储装置和串行数据输出装置，其中，所述数据存储装置在所述第1测试模式设定时，与预定的定时信号同步，存储所述串行输入数据作为锁存数据，所述串行数据输出装置在所述比较结果数据和所述锁存数据中的至少1个数据指示故障时，输出指示故障的所述串行输出数据。

此外，在本发明有关的第7方面所述的半导体存储装置中，所述数据存储装置在故障观察模式时，与预定的定时信号同步，存储所述比较结

果数据作为所述锁存数据。

此外，在本发明有关的第8方面所述的半导体存储装置中，所述连续的1个以上的S-FF各自的所述故障信息传递装置具备：数据存储部；选择装置；以及存储用的数据输出装置，其中，所述数据存储部与预定的定时信号同步，存储存储用的数据作为锁存数据，所述选择装置接收所述串行输入数据和所述锁存数据，在所述第1测试模式时，输出所述串行输入数据作为选择数据，在所述第2测试模式时，输出所述锁存数据作为所述选择数据，所述存储用的数据输出装置在所述第1和第2测试模式时，在所述选择数据和所述比较结果数据中的至少1个数据指示故障时，输出指示故障的所述存储用的数据，所述串行输出数据包含所述锁存数据。

此外，在本发明有关的第9方面所述的半导体存储装置中，所述至少1个输出数据包含2个以上的预定数目的输出数据，所述至少1个预期值数据包含所述预定数目的预期值数据，所述比较电路分别比较所述预定数目的输出数据和所述预定数目的预期值数据，即使存在1个不一致的数据，也输出指示故障的所述比较结果数据。

此外，在本发明有关的第10方面所述的半导体存储装置中，所述连续的1个以上的S-FF各自的所述故障信息传递装置具备数据存储部和存储用的数据输出装置，其中，所述数据存储部与预定的定时信号同步，存储存储用的数据作为锁存数据，所述存储用的数据输出装置在第2测试模式时，在所述比较结果数据和所述锁存数据中的至少1个数据指示故障时，输出指示故障的所述存储用的数据。

此外，在本发明有关的第11方面所述的半导体存储装置中，所述比较结果数据、所述串行输入数据、所述锁存数据和所述存储用的数据分别根据逻辑值“0”/“1”指示故障的有/无，所述存储用的数据输出装置和所述数据存储部的合在一起的部分包含在所述第1测试模式时对所述串行输入数据、所述锁存数据和所述比较结果数据进行“与”运算处理的“与”运算装置。

此外，在本发明有关的第12方面所述的半导体存储装置中，所述“与”运算装置包括：第1~第3“或”门和“与非”门，其中，所述第1~第3“或”门在所述第1测试模式时分别输出使所述串行输入数据、所述锁存数据和所述比较结果数据有效的第1~第3“或”运算结

果, 所述“与非”门同时接收所述第1~第3“或”运算结果, 一并进行所述第1~第3“或”运算结果的“与非”运算处理, 输出“与非”运算结果, 将所述第1~第3“或”门和所述“与非”门形成为一体, 构成“或-与非”门。

此外, 在本发明有关的第13方面所述的半导体存储装置中, 所述“与”运算装置包括: 第1和第2“或”门、第1“与非”门、倒相器、第3“或”门和第2“与非”门, 其中, 所述第1和第2“或”门在第1测试模式时分别输出使所述串行输入数据和所述锁存数据有效的第1和第2“或”运算结果, 所述第1“与非”门同时接收所述第1和第2“或”运算结果, 一并进行所述第1和第2“或”运算结果的“与非”运算处理, 并输出第1“与非”运算结果, 所述倒相器将所述第1“与非”运算结果在逻辑上反转后输出第1“与”运算结果, 所述第3“或”门在所述第1测试模式时输出使所述比较结果数据有效的第3“或”运算结果, 所述第2“与非”门同时接收所述第1“与”运算结果和第3“或”运算结果, 一并进行所述第1“与”运算结果和第3“或”运算结果的“与非”运算处理, 并输出第2“与非”运算结果, 将所述第1、第2“或”门和所述第1“与非”门形成为一体, 构成第1“或-与非”门, 同时将所述第3“或”门和所述第2“与非”门形成为一体, 构成第2“或-与非”门。

此外, 在本发明有关的第14方面所述的半导体存储装置中, 还具备比较控制信号发生电路, 所述比较控制信号发生电路在所述第1测试模式时, 输出根据所述至少1个预期值将一个定为“1”另一个定为“0”的第1和第2比较控制信号, 所述至少1个输出数据包含取作“1”或“0”的值的1位输出数据, 所述第3“或”运算结果包含第1比较用的第3“或”运算结果和第2比较用的第3“或”运算结果, 所述第3“或”门包括第1比较用的第3“或”门, 进行所述1位输出数据与所述第1比较控制信号的“或”运算, 并输出所述第1比较用的第3“或”运算结果; 和第2比较用的第3“或”门, 进行所述1位输出数据的反转值与所述第2比较控制信号的“或”运算, 并输出所述第2比较用的第3“或”运算结果, 在所述存储用的数据输出装置和所述比较电路中共用所述第1和第2比较用的第3“或”门。

此外, 在本发明有关的第15方面所述的半导体存储装置中, 所述存储用的数据输出装置和所述数据存储部的合在一起的部分还具备下述功能:

在所述第2测试模式时,只进行所述锁存数据和所述比较结果数据的果“与”运算处理,在所述第3测试模式时,只进行所述串行输入数据和所述比较结果数据的“与”运算处理。

附图说明

图1是示出本发明的实施例1的带有测试功能的RAM内的测试电路中使用的扫描触发器(S-FF)的内部结构的电路图。

图2是示出实施例1的测试电路的第1结构的电路图。

图3是示出实施例1的测试电路的第2结构的电路图。

图4是示出实施例2的S-FF的内部结构的电路图。

图5是示出实施例3的S-FF的内部结构的电路图。

图6是示出实施例4的S-FF的内部结构的电路图。

图7是示出实施例5的S-FF的内部结构的电路图。

图8是示出实施例6的带有测试功能和冗余功能的RAM的冗余电路的结构的电路图。

图9是示出实施例7的带有测试功能和冗余功能的RAM的冗余电路的结构的电路图。

图10是示出实施例8的S-FF的内部结构的电路图。

图11是示出实施例9的S-FF的内部结构的电路图。

图12是示出实施例10的S-FF的比较器的结构的电路图。

图13是示出实施例10的测试电路的结构的电路图。

图14是示出实施例10的数据输入部的结构的电路图。

图15是示出实施例10的数据输入部的结构的电路图。

图16是示出RAM的存储单元阵列结构的平面图。

图17是示出RAM的存储单元阵列结构的电路图。

图18是示出RAM的存储单元阵列结构及其外围电路的电路图。

图19是以RAM的存储单元阵列的外围电路为主示出的电路图。

图20是示出实施例11的1位用的S-FF的内部结构的电路图。

图21是示出实施例11的多位用的S-FF的内部结构的电路图。

图22是示出实施例12的1位用的S-FF的内部结构的电路图。

图23是示出实施例12的多位用的S-FF的内部结构的电路图。

图24是示出实施例13的带有测试功能的RAM中使用的测试电路的结构的电路图。

图25是示出实施例14的带有测试功能的RAM中使用的测试电路的

结构的电路图。

图 26 是示出实施例 14 的带有测试功能的 RAM 中使用的测试电路的结构电路图。

图 27 是示出实施例 15 的 S-FF 的内部结构的电路图。

图 28 是示出图 27 的“或-与非”门的内部结构的电路图。

图 29 是示出实施例 15 的控制信号发生电路的结构电路图。

图 30 是示出实施例 16 的 S-FF 的内部结构的电路图。

图 31 是示出实施例 16 的控制信号发生电路的结构电路图。

图 32 是示出实施例 17 的 S-FF 的内部结构的电路图。

图 33 是示出图 32 的“或-与非”门的内部结构的电路图。

图 34 是示出实施例 17 的控制信号发生电路的结构电路图。

图 35 是示出实施例 18 的 S-FF 的内部结构的电路图。

图 36 是示出实施例 18 的控制信号发生电路的结构电路图。

图 37 是示出实施例 19 的 S-FF 的内部结构的电路图。

图 38 是示出图 37 的“或-与非”门（其 1）的内部结构的电路图。

图 39 是示出图 37 的“或-与非”门（其 2）的内部结构的电路图。

图 40 是示出实施例 20 的 S-FF 的内部结构的电路图。

图 41 是示出图 40 的“或-与非”门的内部结构的电路图。

图 42 是示出实施例 21 的 S-FF 的内部结构的电路图。

图 43 是示出现有的 S-FF 的内部结构的电路图。

图 44 是示出现有的带有测试功能的 RAM 的测试电路的结构电路图。

图 45 是示出现有的带有测试功能和冗余功能的 RAM 的冗余电路的结构电路图。

图 46 是示出 D-FF 与倒相器的连接结构例（其 1）的电路图。

图 47 是示出 D-FF 与倒相器的连接结构例（其 2）的电路图。

具体实施方式

〈〈实施例 1〉〉

图 1 是示出作为本发明的实施例 1 的 RRAM、SRAM 等半导体集成电路装置的测试电路中使用的扫描触发器的结构的电路图。

如图 1 所示，比较器 21 由“异”门 22 和“与非”门 23 构成，在“异”门 22 的一个输入端和另一个输入端接收输入数据 D0 和预期值数据 EXP，“与非”门 23 的一个输入端与“异”门 22 的输出端连接，在另一个输

入端接收比较控制信号 CMP, 而且, “与非”门 23 的输出成为比较器 21 的输出。

“与非”门 28 的一个输入端与比较器 21 的输出端连接。“与非”门 29 的一个输入端与“与非”门 28 的输出端连接, 在另一个输入端接收测试模式信号 TM1。在“与”门 30 的一个输入端接收串行输入(数据) SI, 另一个输入端与“与非”门 29 的输出端连接。

在选择器 26 的“0”输入端接收输入数据 D, 其“1”输入端与“与”门 30 的输出端连接, 在控制输入端接收移位模式信号 SM。而且, 选择器 26 根据移位模式信号 SM 的“1”/“0”, 从输出部 Y 输出由“1”输入端/“0”输入端得到的信号。

D-FF(D 型触发器) 27 的 D 输入端与选择器 26 的输出端连接, 在触发输入端 T 接收定时信号(时钟信号) T, 将由其 Q 输出部得到的信号作为数据输出 Q 和串行输出(数据) SO 向外部输出, 同时反馈到“与非”门 28 的另一个输入端。

在这样的结构中, 如果将移位模式信号 SM 定为“0”, 则成为正常工作, 与定时信号 T 同步地将输入数据 D 取入 D-FF27 中。再有, 在不需正常工作, 如图 1 的虚线所示, 也可除去选择器 26, 将“与”门 30 的输出端直接连接到 D-FF27 的 D 输入端。

如果将移位模式信号 SM 定为“1”, 测试模式信号 TM1 定为“0”, 则成为移位工作模式, 由于“与非”门 29 的输出强制性地成为“0”, 故与定时信号 T 同步地将串行输入 SI 取入 D-FF27 中。

如果将移位模式信号 SM 定为“1”, 测试模式信号 TM 定为“1”, 则成为测试模式。在测试模式时, 如果将比较控制信号 CMP 定为“0”, 则成为测试无效状态, 比较器 21 的输出强制性地变成“1”。而且, 将由“与”门 30 得到的串行输入 SI 与 D-FF27 的 Q 输出的“与”(AND)运算结果反馈到 D-FF27 的 D 输入。

在测试模式时, 如果将比较控制信号 CMP 定为“1”, 则成为测试有效状态, 比较输入数据 D 与预期值数据 EXP, 在两者一致的情况下, 由于“异”门 22 的输出即比较结果数据成为“0”, 比较器 21 的输出成为“1”。而且将串行输入 SI 与 D-FF27 的 Q 输出(锁存数据)的“与”运算结果反馈到 D-FF27 的 D 输入。另一方面, 在两者不一致的情况下, 由于“异”门 22 的输出成为“1”, 比较结果数据成为“0”, 故将“0”

强制性地锁存于 D-FF27 中（复位）。

图 2 是示出利用了图 1 中示出的扫描触发器的测试电路的第 1 结构的电路图。测试电路 10 对应于 RAM11 的数据输出 $DO\langle 0 \rangle \sim DO\langle 4 \rangle$ 而设置。

如图 2 中所示，测试电路 10 具有将 5 个各自具备图 1 中示出的电路结构的扫描触发器 $SFF\langle 0 \rangle \sim SFF\langle 4 \rangle$ 串联连接起来而构成的 RAM 测试用的扫描总线。

即， $SFF\langle 4 \rangle$ 将由外部得到的串行输入数据 $SIDO$ 作为串行输入 SI ，串行输出 SO 与 $SFF\langle 3 \rangle$ 的串行输入 SI 连接起来，同样，将 $SFF\langle 2 \rangle$ 、 $SFF\langle 1 \rangle$ 和 $SFF\langle 0 \rangle$ 串联连接起来，将最后一级的 $SFF\langle 0 \rangle$ 的串行输出 SO 作为串行输出数据 $SODO$ 向外部输出。

$SFF\langle 0 \rangle \sim SFF\langle 4 \rangle$ 共同地接收移位模式信号 SM 、测试模式信号 TM 、预期值数据 EXP 、比较控制信号 CMP 和定时信号 T ，接收数据输出 $DO\langle 0 \rangle \sim DO\langle 4 \rangle$ 作为 $SFF\langle 0 \rangle \sim SFF\langle 4 \rangle$ 各自的输入数据 D 和 DO ，各自的数据输出 Q 成为数据输出 $Q\langle 0 \rangle \sim Q\langle 4 \rangle$ 。再有，图 2 的测试模式信号 TM 对应于图 1 的测试模式信号 $TM1$ 。

以下，说明因图 2 中示出的测试电路 10 产生的对于 RAM11 的测试工作。

(1) 在进行 RAM 的测试前，在 $\{TM1 = 0, SM = 1\}$ 的移位模式状态下，依次移入串行输入数据 $SIDO$ 的“1”，在 $SFF\langle 0 \rangle \sim SFF\langle 4 \rangle$ 中全部锁存“1”。

(2) 在 $\{TM1 = 1, SM = 1\}$ 的测试状态下，对于全部地址进行 RAM 的测试。一边进行测试用的数据的写入或读出，一边适当地控制预期值数据 EXP 和比较控制信号 CMP （在“1”下进行比较），在预定的时刻变成测试有效状态。

此时，如果在 RAM11 中存在不良情况，则在测试有效状态时，预期值数据 EXP 与 RAM11 的输出 $DO\langle i \rangle$ （ $i = 0 \sim 4$ 的任一个）就不同，此时，由于 $SFF\langle i \rangle$ 的比较结果数据成为指示故障的“0”，故通过与时钟信号 T 同步地锁存“0”， $SFF\langle i \rangle$ 的 D-FF27 被复位。其结果， $SFF\langle i \rangle$ 的数据输出 $Q\langle i \rangle$ 和串行输出 $SO\langle i \rangle$ 变成指示故障的“0”。

另一方面，如果在 $SFF\langle i \rangle$ 的后级的 $SFF\langle i-1 \rangle$ 中串行输入 SI （ $SFF\langle i \rangle$ 的串行输出 SO ）变成“0”，则由于与 $SFF\langle i-1 \rangle$ 的比较数据结

果（对应的数据输出 $DO\langle i-1 \rangle$ 的故障检测的有/无）无关，”与”门 30 的输出强制性地变成 “0”，故通过与时钟信号 T 同步地锁存 “0”， $SFF\langle i-1 \rangle$ 的 D-FF27 被复位。其结果， $SFF\langle i-1 \rangle$ 的数据输出 $Q\langle i-1 \rangle$ 和串行输出 $SO\langle i-1 \rangle$ 变成指示故障的 “0”。

以下，对于定时信号 T 的每一个时钟周期依次传播 “0” 的串行输出 SO ，最迟在不良检测后的定时信号 T 的 4 个时钟周期后从串行输出数据 $SODO$ 输出 “0”。

例如，如果在连接到 $RAM11$ 的输出数据 $DO\langle 2 \rangle$ 的 $SFF\langle 2 \rangle$ 中检测出故障，则 $SO\langle 2 \rangle = \text{“0”}$ （ $SO\langle 0 \rangle$ 、 $SO\langle 1 \rangle$ 、 $SO\langle 3 \rangle$ 、 $SO\langle 4 \rangle$ 仍然是 “1”）。

指示故障的 “0” 的串行输出 $SO\langle 2 \rangle$ 与下一个时钟周期的定时信号 T 同步，锁存于 $SFF\langle 1 \rangle$ 的 D-FF27 中，“0” 的串行输出 $SO\langle 1 \rangle$ 与再下一个时钟周期的定时信号 T 同步，锁存于 $SFF\langle 0 \rangle$ 的 D-FF27 中。其结果，从 $SFF\langle 0 \rangle$ 的串行输出 SO 得到的串行输出数据 $SODO$ 变成指示故障的 “0”。

这样，如果 $SFF\langle i \rangle$ 检测出 $RAM11$ 的故障，则在 i 时钟周期后串行输出数据 $SODO$ 变成 “0”。此时，串行输出 $SO\langle 4 \rangle \sim SO\langle 0 \rangle$ 变成 { $SO\langle 4 \rangle = 1$ 、 $SO\langle 3 \rangle = 1$ 、 $SO\langle 2 \rangle = 0$ 、 $SO\langle 1 \rangle = 0$ 、 $SO\langle 0 \rangle = 0$ } 的状态。

这样，由于实施例 1 的半导体集成电路装置中的测试电路的结构是在测试模式时使 “0”（故障（指示）信息）在由 $SFF\langle 0 \rangle \sim SFF\langle 4 \rangle$ 构成的扫描总线上顺序地传播，故在测试模式期间中，即使任一个扫描触发器锁存指示故障的 “0”，也可在串行输出数据 $SODO$ 上迅速地显现 “0”。

其结果，由于通过在测试模式期间中观察串行输出数据 $SODO$ ，能迅速地检测出 $RAM11$ 的不良，故与以往相比可在短时间内进行不合格品的检测，可缩短测试时间。

此外，第 1 结构的测试电路 10 在各扫描触发器的正常工作时也可作为 $RAM11$ 的数据输出用的触发器组来使用。

图 3 是示出利用了图 1 中示出的扫描触发器 $S-FF1$ 的测试电路的第 2 结构的电路图。如该图所示，测试电路 16 对应于 $RAM11$ 的数据输出 $DO\langle 0 \rangle \sim DO\langle 4 \rangle$ 和数据输入 $DI\langle 0 \rangle \sim DI\langle 4 \rangle$ 而设置。

如图3中所示,测试电路16与图2中示出的测试电路10相同,具有将5个各自具备图1中示出的电路结构的扫描触发器SFF<0>~SFF<4>串联连接起来而构成的RAM测试用的扫描总线。

SFF<0>~SFF<4>共同地接收移位模式信号SM、测试模式信号TM、预期值数据EXP、比较控制信号CMP和定时信号T。而且,接收数据输出DO<0>~DO<4>作为SFF<0>~SFF<4>各自的输入数据D0,各自的数据输出Q与选择器40~44的“0”输入端连接,各自的D输入端与数据输入DIX<0>~DIX<4>连接。再有,图3的测试模式信号TM对应于图1的测试模式信号TM1。

在选择器40~44各自的“1”输入端共同地接收测试数据SID,在各自的控制输入端共同地接收选择信号SELSID,各自的输出端与数据输入DI<0>~DI<4>连接。

利用图3中示出的第2结构的测试电路16,也能与图2中示出的第1结构的测试电路10同样地进行对于RAM11的测试工作。但是,通过将选择信号SELSID定为“1”,将测试数据SID供给数据输入DI<0>~DI<4>,来进行测试用的数据的写入。

此外,第2结构的测试电路16通过将选择信号SELSID定为“0”使各扫描触发器进行正常工作,也可作为RAM11的数据输入用的触发器组来使用。

此外,也可在与RAM11无关的计数器等的用户逻辑中利用的触发器的结构中使用。

<<实施例2>>

图4是示出作为本发明的实施例2的半导体集成电路装置的测试电路中使用的扫描触发器的结构的电路图。

如图4所示,比较器21由“异”门22和“与非”门23构成,在“异”门22的一个输入端和另一个输入端接收输入数据D0和预期值数据EXP,“与非”门23的一个输入端与“异”门22的输出端连接,在另一个输入端接收比较控制信号CMP,而且,“与非”门23的输出成为比较器21的输出。

在“或”门31的一个输入端接收串行输入SI,在另一个输入端接收测试模式信号TM2。3个输入端的“与”门24的第1输入端与“或”门31的输出端连接,第2输入端与比较器21的输出端连接。

在选择器 25 的“0”输入端接收串行输入 SI，其“1”输入端与“与”门 24 的输出端连接，在控制输入端接收测试模式信号 TM1。而且，选择器 25 根据测试模式信号 TM1 的“1”/“0”，从输出部 Y 输出由“1”输入端/“0”输入端得到的信号。

在选择器 26 的“0”输入端接收输入数据 D，其“1”输入端与选择器 25 的输出部 Y 连接，在控制输入端接收移位模式信号 SM。而且，选择器 26 根据移位模式信号 SM 的“1”/“0”，从输出部 Y 输出由“1”输入端/“0”输入端得到的信号。

D-FF27 的 D 输入端与选择器 26 的输出部 Y 连接，在触发输入端 T 接收定时信号（时钟信号）T，将由其 Q 输出部得到的信号作为数据输出 Q 和串行输出 S0 向外部输出，同时反馈到“与”门 24 的第 3 输入端。

在这样的结构中，如果将测试模式信号 TM2 定为“1”，则与图 43 中示出的现有的 S-FF200 等效，可进行与 S-FF200 完全相同的工作。另一方面，如果将测试模式信号 TM2 定为“0”，则如以下那样来工作。

如果将移位模式信号 SM 定为“0”，则成为正常工作，与定时信号 T 同步地将输入数据 D 取入 D-FF27 中。再有，在不需要正常工作的情况下，如图 4 的虚线所示，也可除去选择器 26，将选择器 25 的输出部 Y 直接连接到 D-FF27 的 D 输入端。

如果将移位模式信号 SM 定为“1”，测试模式信号 TM1 定为“0”，则成为移位工作模式，与定时信号 T 同步地将串行输入 SI 取入 D-FF27 中。

如果将移位模式信号 SM 定为“1”，测试模式信号 TM1 定为“1”，则成为测试模式。在测试模式时，如果将比较控制信号 CMP 定为“0”，则成为测试无效状态，比较器 21 的输出强制性地变成“1”。因而，利用“与”门 24 将串行输入 SI 与 D-FF27 的 Q 输出的“与”（AND）运算结果反馈到 D-FF27 的 D 输入。

在测试模式时，如果将比较控制信号 CMP 定为“1”，则成为测试有效状态，比较输入数据 D 与预期值数据 EXP，在两者一致的情况下，由于“异”门 22 的输出成为“0”，比较器 21 的输出即比较结果数据成为“1”。因而，将串行输入 SI 与 D-FF27 的 Q 输出（锁存数据）的“与”运算结果反馈到 D-FF27 的 D 输入。

另一方面，在两者不一致的情况下，由于“异”门 22 的输出成为“1”，

比较结果数据成为“0”，故将指示故障的“0”强制性地锁存于 D-FF27 中（复位）。

这样的结构的 S-FF2 与实施例 1 的 S-FF1 相同，通过作为构成图 2 中示出的第 1 结构的测试电路 10 或图 3 中示出的第 2 结构的测试电路 16 的各自的扫描总线的 SFF<0>~SFF<4> 使用，来实现实施例 2 的半导体集成电路装置的测试电路。但是，图 2 和图 3 的测试模式信号 TM 对应于图 4 的测试模式信号 TM1 和 TM2。

因而，由于实施例 2 的测试电路的结构与实施例 1 相同，在将测试模式信号 TM2 定为“0”的测试模式时，使指示故障的“0”在由 SFF<0>~SFF<4> 构成的扫描总线上顺序地传播，故能迅速地检测出 RAM11 的不良，与以往相比可在短时间内进行不合格品的检测，可缩短测试时间。

另外，由于实施例 2 的测试电路根据测试模式信号 TM2 的“1”/“0”，只在与产生不良的数据输出 D0<i> 对应的 SFF<i> 中锁存“0”，能切换容易进行不良分析的工作模式（TM2 = “1”，第 2 测试模式）和能缩短上述的测试时间的工作模式（TM2 = “0”，第 1 测试模式），故可根据开发时和批量生产时的需要，进行适当的测试。

<< 实施例 3 >>

图 5 是示出作为本发明的实施例 2 的半导体集成电路装置的测试电路中使用的扫描触发器的结构的电路图。

如图 5 所示，在“或”门 32 的一个输入端接收串行输入 SI，在另一个输入端接收测试模式信号 TM3。而且，“或”门 32 的输出端与“与”门 30 的一个输入端连接。再有，其它的结构与图 1 中示出的 S-FF1 相同。

在这样的结构中，如果将测试模式信号 TM3 定为“1”，则由于能使串行输入 SI 变成无效，故与图 43 中示出的现有的 S-FF2000 相同，可在测试模式（第 2 测试模式）时进行不传播串行输出 S0 的测试工作。但是，移位工作与现有的 S-FF200 不同，必须在 TM3 = “0”、TM1 = “0”和 SM = “1”下进行。

另一方面，如果将测试模式信号 TM3 定为“0”，则由于成为与图 1 中示出的 S-FF1 等效的电路结构，故 S-FF3 进行与 S-FF1' 完全相同的工作。

这样的结构的 S-FF3 与实施例 1 的 S-FF1 相同，通过作为构成图 2

中示出的第1结构的测试电路10或图3中示出的第2结构的测试电路16的各自的扫描总线的SFF<0>~SFF<4>使用,来实现实施例3的半导体集成电路装置的测试电路。但是,图2和图3的测试模式信号TM对应于图4的测试模式信号TM1和测试模式信号TM3。

因而,由于实施例3的测试电路的结构与实施例1相同,在将测试模式信号TM3定为“0”的测试模式时,使指示故障的“0”在由SFF<0>~SFF<4>构成的扫描总线上顺序地传播,故能迅速地检测出RAM11的不良,与以往相比可在短时间内进行不合格品的检测,可缩短测试时间。

另外,由于实施例3的测试电路根据测试模式信号TM3的“1”/“0”,只在与产生不良的数据输出DO<i>对应的SFF<i>中锁存“0”,能切换容易进行不良分析的工作模式(TM3=“1”,第2测试模式)和能缩短上述的测试时间的工作模式(TM3=“0”,第1测试模式),故可根据开发时和批量生产时的需要,进行适当的测试。

此外,实施例3的S-FF3通过设定成TM3=1、TM1=0、SM=1,将“与”门30的输出强制性地定为“1”,可在D-FF27中锁存“1”。在图44中示出的现有的测试电路中,在测试RAM之前必须通过串行移位工作在各扫描触发器中设定1,但由于用图5中示出的S-FF3组成的扫描总线构成的测试电路能在定时信号T的1个时钟周期中通过上述设定在全部的SFF<0>~SFF<4>中一并地设定“1”,故可进一步缩短测试时间。

<<实施例4>>

图6是示出作为本发明的实施例4的半导体集成电路装置的测试电路中所使用的扫描触发器的结构的电路图。

如图6所示,在“或”门33的一个输入端接收测试模式信号TM4,在另一个输入端接收串行输入SI。而且,“与”门34的一个输入端与“或”门33的输出端连接,另一个输入端接收D-FF27的数据输出Q。“与”门34的输出端成为串行输出S0。

S-FF4与图4中示出的S-FF2相比,除上述事项以外,省略了测试模式信号TM2、“或”门31及其输入输出连接,但其它结构与S-FF2相同。

在这样的结构中,如果将测试模式信号TM4定为“1”,则与图43中示出的现有的S-FF200等效,可进行与S-FF200完全相同的工作。

另一方面，如果将测试模式信号 TM4 定为“0”，则如以下那样来工作。

如果将移位模式信号 SM 定为“0”，则成为正常工作，与定时信号 T 同步地将输入数据 D 取入 D-FF27 中。再有，在不需要正常工作的情况下，如图 6 的虚线所示，也可除去选择器 26，将选择器 25 的输出部 Y 直接连接到 D-FF27 的 D 输入端。

如果将移位模式信号 SM 定为“1”，测试模式信号 TM1 定为“0”，则成为移位工作模式，与定时信号 T 同步地将串行输入 SI 取入 D-FF27 中。

如果将移位模式信号 SM 定为“1”，测试模式信号 TM1 定为“1”，则成为测试模式（第 1 测试模式）。在测试模式时，如果将比较控制信号 CMP 定为“0”，则成为测试无效状态，比较器 21 的输出强制性地变成“1”。因而，在 D-FF27 的数据输出 Q 反馈到 D 输入端的同时，将利用“与”门 34 得到的串行输入 SI 与 D-FF27 的 Q 输出（锁存数据）的“与”运算结果作为串行输出 S0 来输出。

在测试模式时，如果将比较控制信号 CMP 定为“1”，则成为测试有效状态，比较输入数据 D 与预期值数据 EXP，在两者一致的情况下，“异”门 22 的输出成为“0”，比较器 21 的输出即比较结果数据成为“1”。因而，在 D-FF27 的数据输出 Q 反馈到 D 输入端的同时，串行输入 SI 与 D-FF27 的 Q 输出（锁存数据）的“与”运算结果作为串行输出 S0 来输出。

另一方面，在两者不一致的情况下，由于“异”门 22 的输出成为“1”，比较结果数据成为“0”，故将“0”强制性地锁存于 D-FF27 中（复位）。因而，数据输出 Q 和串行输出 S0 都是“0”。

这样的结构的 S-FF4 与实施例 1 的 S-FF1 相同，通过作为构成图 2 中示出的第 1 结构的测试电路 10 或图 3 中示出的第 2 结构的测试电路 16 的各自的扫描总线的 SFF<0>~SFF<4> 使用，来实现实施例 4 的半导体集成电路装置的测试电路。但是，图 2 和图 3 的测试模式信号 TM 对应于图 6 的测试模式信号 TM1 和 TM4。

因而，由于实施例 4 的测试电路与实施例 1 相同，在将测试模式信号 TM4 定为“0”的测试模式（第 2 测试模式）时，使指示故障的“0”在由 SFF<0>~SFF<4> 构成的扫描总线上顺序地传播，故能迅速地检测出 RAM11 的不良，与以往相比可在短时间内进行不合格品的检测，可

缩短测试时间。

另外，实施例 4 的测试电路在将测试模式信号 TM4 定为“0”的测试模式（第 1 测试模式）时，由于只在与故障产生的数据输出 DO〈i〉对应的 SFF〈i〉中锁存“0”，故通过在测试结束后从串行输出数据 SODO 起移出 SFF〈0〉～SFF〈4〉的锁存数据，故可特别确定故障部位。

〈〈实施例 5〉〉

图 7 是示出作为本发明的实施例 5 的半导体集成电路装置的测试电路中所使用的扫描触发器的结构的电路图。

如图 7 所示，倒相器 35 的输入端与“与非”门 28 的输出端连接，倒相器 35 的输出作为串行输出 S0 输出。再有，其它结构与图 5 中示出的 S-FF3 相同。

在这样的结构中，如果将测试模式信号 TM3 定为“1”，则由于能使串行输入 SI 变成无效，故与图 43 中示出的现有的 S-FF200 相同，能在测试模式（第 2 测试模式）时进行不传播串行输出 S0 的测试工作。

但是，与现有的 S-FF200 不同，必须设定为 TM3 = “0”、TM1 = “0”、SM = “1”来进行移位工作。

另一方面，由于如果将测试模式信号 TM3 定为“0”，则成为与图 1 中示出的 S-FF1 等效的电路结构，故 S-FF5 可进行与 S-FF1 完全相同的工作。但是，在测试模式（第 1 测试模式）时，在由比较器 21 输出的比较结果数据是指示故障的“0”时，在将“0”锁存到 D-FF27 中之前，从倒相器 35 输出指示故障的“0”作为串行输出 S0。

这样的结构的实施例 5 的 S-FF5 与实施例 1 的 S-FF1 相同，通过作为构成图 2 中示出的第 1 结构的测试电路 10 或图 3 中示出的第 2 结构的测试电路 16 的各自的扫描总线的 SFF〈0〉～SFF〈4〉使用，来现实实施例 5 的半导体集成电路装置的测试电路。但是，图 2 和图 3 的测试模式信号 TM 对应于图 4 的测试模式信号 TM1 和测试模式信号 TM3。

因而，由于实施例 5 的测试电路与实施例 1 相同，在将测试模式信号 TM3 定为“0”的测试模式时，使作为故障信息的“0”在由 SFF〈0〉～SFF〈4〉构成的扫描总线上顺序地传播，故能迅速地检测出 RAM11 的不良，与以往相比可在短时间内进行不合格品的检测，可缩短测试时间。

此外，由于将实施例 5 的测试电路的结构作成使比较器 21 的输出、即比较结果数据瞬时地在倒相器 35 的输出、即串行输出 S0 上显现，故

与图5中示出的实施例3的测试电路相比,能够提前定时信号T的一个周期将指示故障的“0”传递到下一级的扫描触发器,能谋求进一步缩短测试时间。

再者,实施例5的S-FF5通过设定为 $TM3=1$ 、 $TM1=0$ 、 $SM=1$,能够强制性地使“与”门30的输出定为“1”,使“1”锁存到D-FF27中,可进一步缩短测试时间。

此外,由于实施例5的测试电路根据测试模式信号 $TM3$ 的“1”/“0”,能切换容易进行不良分析的工作模式($TM3=“1”$,第2测试模式)和能缩短测试时间的工作模式($TM3=“0”$,第1测试模式),故与实施例3的测试电路相同,可根据开发时和批量生产时的需要,进行适当的测试。

〈〈实施例6〉〉

图8是示出本发明的实施例6即备有带有测试电路的RAM和冗余电路的半导体集成电路装置的结构电路图。图8中的带有测试电路的RAM12例如相当于由图2中示出的RAM11和测试电路10构成的结构。

再有,作为测试电路10中的SFF〈0〉~SFF〈4〉,也可使用图1、图4、图5、图6和图7中示出的S-FF1~5中的任一个S-FF。

如图8所示,将SFF〈1〉~SFF〈4〉的串行输出 $S0\langle 1\rangle\sim S0\langle 4\rangle$ 取入到寄存器214中,作为存储数据 $G\langle 1\rangle\sim G\langle 4\rangle$ 来存储。

冗余电路14对应于带有测试电路的RAM12的数据输出 $Q\langle 0\rangle\sim Q\langle 4\rangle$ 设有选择器230~234。在选择器230~233的各自的“0”输入端接收数据输出 $Q\langle 0\rangle\sim Q\langle 3\rangle$,在“1”输入端接收数据输出 $Q\langle 1\rangle\sim Q\langle 4\rangle$,在控制输入端接收存储数据 $G\langle 1\rangle\sim G\langle 4\rangle$ 。而且,选择器230~233的输出作为冗余数据输出 $XD0\langle 0\rangle\sim XD0\langle 3\rangle$ 来输出。

另一方面,对应于带有测试电路的RAM12的数据输入 $DI\langle 0\rangle\sim DI\langle 4\rangle$,设有“或”门215、选择器234~236。在“或”门215的一个输入端接收冗余数据输入 $XDI\langle 0\rangle$,在另一个输入端接收输出数据 $G\langle 1\rangle$ 。在选择器234~236的各自的“0”输入端接收冗余数据输入 $XDI\langle 1\rangle\sim XDI\langle 3\rangle$,在“1”输入端接收冗余数据输入 $XDI\langle 0\rangle\sim XDI\langle 2\rangle$,在控制输入端接收存储数据 $G\langle 2\rangle\sim G\langle 4\rangle$ 。

而且,将“或”门215的输出供给数据输入 $DI\langle 0\rangle$,将选择器234~236的输出供给数据输入 $DI\langle 1\rangle\sim DI\langle 3\rangle$,将冗余数据输出 $XD0\langle 3\rangle$

原封不动地供给数据输入 $DI \langle 4 \rangle$ 。

在这样的结构中，例如，考虑带有测试电路的 RAM12 的数据输出 $DO \langle 2 \rangle$ 中存在故障的情况。此时，通过在传播串行输出 SO 的第 1 测试模式下进行测试工作，在对应于数据输出 $DO \langle 2 \rangle$ 的 $SFF \langle 2 \rangle$ 中锁存“0”，指示故障的“0”的串行输出 SO 传播 $SFF \langle 1 \rangle$ 和 $SFF \langle 0 \rangle$ 。

其结果， $SO \langle 2 \rangle = SO \langle 1 \rangle = SO \langle 0 \rangle = \text{“0”}$ （ $SO \langle 3 \rangle$ 、 $SO \langle 4 \rangle$ 仍然是“1”）。

如果将串行输出 $SO \langle 1 \rangle \sim SO \langle 3 \rangle$ 取入到寄存器 214 中，则变成 $\{G \langle 1 \rangle = 0, G \langle 2 \rangle = 0, G \langle 3 \rangle = 1, G \langle 4 \rangle = 1\}$ 。其结果，以基于存储数据 $G \langle 1 \rangle \sim G \langle 4 \rangle$ 的选择器 230 ~ 233 的信号选择产生的对应关系 $\{DO \langle 4 \rangle / Q \langle 4 \rangle$ 对应 $XD0 \langle 3 \rangle$ ， $DO \langle 3 \rangle / Q \langle 3 \rangle$ 对应 $XD0 \langle 2 \rangle$ ， $DO \langle 1 \rangle / Q \langle 1 \rangle$ 对应 $XD0 \langle 1 \rangle$ ， $DO \langle 0 \rangle / Q \langle 0 \rangle$ 对应 $XD0 \langle 0 \rangle\}$ ，输出冗余数据输出 $XD0 \langle 0 \rangle \sim XD0 \langle 3 \rangle$ 。即不使用有故障的数据输出 $DO \langle 2 \rangle$ 。

同样，以基于存储数据 $G \langle 2 \rangle \sim G \langle 4 \rangle$ 的选择器 234 ~ 236 的信号选择产生的对应关系 $\{XDI \langle 3 \rangle$ 对应 $DI \langle 4 \rangle$ ， $XDI \langle 2 \rangle$ 对应 $DI \langle 3 \rangle$ 和 $DI \langle 2 \rangle$ ， $XDI \langle 1 \rangle$ 对应 $DI \langle 1 \rangle$ ， $XDI \langle 0 \rangle$ 对应 $DI \langle 0 \rangle\}$ ，输入冗余数据输入 $XDI \langle 0 \rangle \sim XDI \langle 3 \rangle$ 。即也在除对应于有故障的数据输出 $DO \langle 2 \rangle$ 的数据输入 $DI \langle 2 \rangle$ 以外的数据输入 $DI \langle 3 \rangle$ 中输入冗余数据输入 $XDI \langle 2 \rangle$ 。

这样，通过由冗余电路 14 产生的连接切换，即使在对应于数据输出 $DO \langle 2 \rangle$ 的带有测试电路的 RAM12 中存在故障，利用带有测试电路的 RAM12 和冗余电路 14，也可作为 4 位输入输出的 RAM 正常地工作。

如上所述，利用带有测试电路的 RAM12 的串行输出 $SO \langle 0 \rangle \sim SO \langle 4 \rangle$ ，指示故障的位与不指示故障的位的边界变得明确。

因而，由于实施例 6 的冗余电路 14 能将存储数据 $G \langle 1 \rangle \sim G \langle 4 \rangle$ 、即带有测试电路的 RAM12 的串行输出 $SO \langle 1 \rangle \sim SO \langle 4 \rangle$ 原封不动地用于选择器 230 ~ 236 的控制，故可用简单的电路结构来实现。

再有，在正常工作时，在不将 $SFF \langle 0 \rangle \sim SFF \langle 4 \rangle$ 内的 D-FF27 作为输出用的 FF 使用的情况下，通过将 D-FF27 作为冗余电路 14 的冗余控制数据保存用的寄存器来利用，可省略寄存器 214。此外，也可省略“或”门 215，如虚线所示将数据输入 $DI \langle 0 \rangle$ 与冗余数据输入 $XDI \langle 0 \rangle$ 短路。

〈〈 实施例 7〉〉

图 9 是示出本发明的实施例 7 即备有带有测试电路的 RAM 和备有冗余电路的 RAM 的结构的电路图。图 9 中的带有测试电路的 RAM13 例如相当于由图 3 中示出的 RAM11 和测试电路 16 构成的结构。

再有，作为测试电路 10 中的 SFF〈0〉~SFF〈4〉，也可使用图 1、图 4、图 5、图 6 和图 7 中示出的 S-FF1~5 中的任一个 S-FF。

如图 9 所示，将 SFF〈1〉~SFF〈4〉的串行输出 SO〈1〉~SO〈4〉取入到寄存器 214 中，作为存储数据 G〈1〉~G〈4〉来存储。

冗余电路 17 对应于带有测试电路的 RAM13 的数据输出 DO〈1〉~DO〈4〉设有选择器 230~234。在选择器 230~233 的各自的“0”输入端接收数据输出 DO〈0〉~DO〈3〉，在“1”输入端接收数据输出 DO〈1〉~DO〈4〉，在控制输入端接收存储数据 G〈1〉~G〈4〉。而且，选择器 230~233 的输出作为冗余数据输出 XD0〈0〉~XD0〈3〉来输出。

另一方面，对应于带有测试电路的 RAM13 的数据输入 DIX〈0〉~DIX〈4〉，设有“或”门 215、选择器 234~236。在“或”门 215 的一个输入端接收冗余数据输入 XDI〈0〉，在另一个输入端接收输出数据 G〈1〉。在选择器 234~236 的各自的“0”输入端接收冗余数据输入 XDI〈1〉~XDI〈3〉，在各自的“1”输入端接收冗余数据输入 XDI〈0〉~XDI〈2〉，在控制输入端接收存储数据 G〈2〉~G〈4〉。

而且，将“或”门 215 的输出供给数据输入 DIX〈0〉，将选择器 234~236 的输出供给数据输入 DIX〈1〉~DIX〈3〉，将冗余数据输出 XD0〈3〉原封不动地供给数据输入 DIX〈4〉。

在这样的结构中，例如，考虑带有测试电路的 RAM13 的数据输出 DO〈2〉中存在故障的情况，与实施例 6 相同，通过进行传播串行输出 SO 的第 1 测试模式的测试工作， $SO\langle 2\rangle = SO\langle 1\rangle = SO\langle 0\rangle = "0"$ （ $SO\langle 3\rangle$ 、 $SO\langle 4\rangle$ 仍然是“1”）。

其结果，通过基于存储数据 G〈1〉~G〈4〉的选择器 230~233 的信号选择，与实施例 6 相同，就不使用有故障的数据输出 DO〈2〉。

同样，通过基于存储数据 G〈2〉~G〈4〉的选择器 234~236 的信号选择，与实施例 6 相同，也在除对应于有故障的数据输出 DO〈2〉的数据输入 DIX〈2〉以外的数据输入 DIX〈3〉中输入冗余数据输入 XDI〈2〉。

这样，通过由冗余电路 17 产生的连接切换，即使在对应于数据输出

DO〈2〉的带有测试电路的 RAM13 中存在故障, 利用带有测试电路的 RAM13 和冗余电路 17, 也可作为 4 位输入输出的 RAM 正常地工作。

再者, 由于实施例 7 的冗余电路 17, 与实施例 6 相同, 带有测试电路的 RAM13 的串行输出 SO〈1〉~SO〈4〉原封不动地用于选择器 230~236 的控制, 故可用简单的电路结构来实现。

再有, 在正常工作时, 在不将 SFF〈0〉~SFF〈4〉内的 D-FF27 作为输出用的 FF 使用的情况下, 通过将 D-FF27 作为冗余电路 17 的冗余控制数据保存用的寄存器来利用, 可省略寄存器 214。此外, 也可省略“或”门 215, 如虚线所示将数据输入 DI〈0〉与冗余数据输入 XDI〈0〉短路。

〈〈实施例 8〉〉

图 10 是示出作为本发明的实施例 8 的半导体集成电路装置的测试电路中使用的扫描触发器的结构的电路图。

如图 10 所示, “与”门 36 的一个输入端与选择器 25 的输出部 Y 连接, 另一个输入端与比较器 21 的输出端连接。

S-FF6 与图 4 中示出的实施例 2 的 S-FF2 相比, 除上述事项以外, 省略了测试模式信号 TM2、“或”门 31 及其输入输出连接以及“与”门 24 及其输入输出连接, 但其它结构与 S-FF2 相同。

在这样的结构中, 如果将移位模式信号 SM 定为“0”, 则成为正常工作, 与定时信号 T 同步地将输入数据 D 取入 D-FF27 中。再有, 在不需正常工作工作的情况下, 如图 10 的虚线所示, 也可除去选择器 26, 将选择器 25 的输出部 Y 直接连接到 D-FF27 的 D 输入端。

如果将移位模式信号 SM 定为“1”, 测试模式信号 TM1 定为“0”, 比较控制信号 CMP 定为“0”, 则成为移位工作模式, 与定时信号 T 同步地将串行输入 SI 取入 D-FF27 中。

如果将移位模式信号 SM 定为“1”, 测试模式信号 TM1 定为“1”, 则成为使串行输入 SI 无效的测试模式(第 2 测试模式), 能进行与图 43 中示出的 S-FF200 同样的测试工作。

另一方面, 如果将移位模式信号 SM 定为“1”, 测试模式信号 TM1 定为“0”, 则成为使串行输入 SI 有效的测试模式(第 1 测试模式)。在该测试模式时, 如果将比较控制信号 CMP 定为“0”, 则成为测试无效状态, 比较器 21 的输出强制性地变成“1”。因而, 将串行输入 SI

原封不动地锁存于 D-FF27 中, 作为 D-FF27 的 Q 输出和串行输出 S0 来输出。

在使串行输入 SI 变得有效的测试模式时, 如果将比较控制信号 CMP 定为“1”, 则成为测试有效状态, 比较输入数据 D 与预期值数据 EXP, 在两者一致的情况下, 由于“异”门 22 的输出成为“0”, 比较器 21 的输出即比较结果数据成为“1”。因而, 将串行输入 SI 原封不动地锁存于 D-FF27 中, 作为 D-FF27 的 Q 输出和串行输出 S0 来输出。

另一方面, 在两者不一致的情况下, 由于“异”门 22 的输出成为“1”, 比较结果数据成为“0”, 故将“0”强制性地锁存于 D-FF27 中(复位)。因而, 数据输出 Q 和串行输出 S0 都成为指示故障的“0”。

这样的结构的实施例 8 的 S-FF6 与实施例 1 的 S-FF1 相同, 通过作为构成图 2 中示出的第 1 结构的测试电路 10 或图 3 中示出的第 2 结构的测试电路 16 的各自的扫描总线的 SFF<0>~SFF<4>使用, 来实现实施例 8 的半导体集成电路装置的测试电路。但是, 图 2 和图 3 的测试模式信号 TM 对应于图 10 的测试模式信号 TM1。

因而, 由于实施例 8 的测试电路与实施例 1 相同, 在使串行输入 SI 变得有效的测试模式时, 使作为故障信息的“0”在由 SFF<0>~SFF<4>构成的扫描总线上顺序地传播, 故能迅速地检测出 RAM11 的不良, 与以往相比可在短时间内进行不合格品的检测, 可缩短测试时间。

再者, 即使实施例 8 的 S-FF6 与图 43 中示出的现有的 S-FF200 比较, 其电路结构要素(3 个逻辑门, 2 个选择器, 1 个 D-FF)不增加, 具有能用简单的电路结构来实现的效果。

此外, 由于实施例 8 的测试电路根据测试模式信号 TM1 的“1”/“0”, 能切换容易进行不良分析的工作模式(TM1=“1”, 第 2 测试模式)和能缩短测试时间的工作模式(TM1=“0”, 第 1 测试模式), 故与实施例 3 的测试电路相同, 可根据开发时和批量生产时的需要, 进行适当的测试。

此外, 实施例 8 的 S-FF6 在使串行输入 SI 变得有效的测试模式时, 由于在“与”门 36 中进行从比较器 21 输出的比较结果数据与串行输入 SI 的“与”运算, 忽略 D-FF27 的数据输出 Q, 故具有本身不遗留指示故障的“0”的特征。

<< 实施例 9 >>

图 11 是示出作为本发明的实施例 9 的半导体集成电路装置的测试电路中使用的扫描触发器的结构的电路图。

如图 11 所示, S-FF7 与图 4 中示出的 S-FF2 相比, 省略了测试模式信号 TM2、“或”门 31 及其输入输出连接, 同时将“与”门 24 的输出作为串行输出 S0 来输出。但其它结构与 S-FF2 相同。

在这样的结构中, 如果将移位模式信号 SM 定为“0”, 则成为正常工作, 与定时信号 T 同步地将输入数据 D 取入 D-FF27 中。再有, 在不需正常工作的工作下, 如图 11 的虚线所示, 也可除去选择器 26, 将选择器 25 的输出部 Y 直接连接到 D-FF27 的 D 输入端。

如果将移位模式信号 SM 定为“1”, 测试模式信号 TM1 定为“0”, 比较控制信号 CMP 定为“0”, 则成为移位工作模式, 与定时信号 T 同步地将串行输入 SI 取入 D-FF27 中。

如果将移位模式信号 SM 定为“1”, 测试模式信号 TM1 定为“1”, 则成为使串行输入 SI 无效的测试模式(第 2 测试模式), 能进行与图 43 中示出的 S-FF200 同样的测试工作。

另一方面, 如果将移位模式信号 SM 定为“1”, 测试模式信号 TM1 定为“0”, 则成为使串行输入 SI 有效的测试模式(第 1 测试模式)。在该测试模式时, 如果将比较控制信号 CMP 定为“0”, 则成为测试无效状态, 比较器 21 的输出强制性地变成“1”。因而, 将串行输入 SI 原封不动地锁存于 D-FF27 中, 将 D-FF27 的 Q 输出原封不动地作为串行输出 S0 来输出。

在使串行输入 SI 有效的第 1 测试模式时, 如果将比较控制信号 CMP 定为“1”, 则成为测试有效状态, 比较输入数据 D 与预期值数据 EXP, 在两者一致的情况下, 由于“异”门 22 的输出成为“0”, 比较器 21 的输出即比较结果数据成为“1”。因而, 将串行输入 SI 原封不动地锁存于 D-FF27 中, 将 D-FF27 的 Q 输出原封不动地作为串行输出 S0 来输出。

另一方面, 在两者不一致的情况下, 由于“异”门 22 的输出成为“1”, 比较结果数据成为“0”, 故串行输出 S0 强制性地成为“0”。另一方面, 将串行输入 SI 原封不动地锁存于 D-FF27 中, 作为 D-FF27 的 Q 输出来输出。

这样的结构的实施例 9 的 S-FF7 与实施例 1 的 S-FF1 相同, 通过

作为构成图2中示出的第1结构的测试电路10或图3中示出的第2结构的测试电路16的各自的扫描总线的SFF<0>~SFF<4>使用,来实现在实施例9的半导体集成电路装置的测试电路。但是,图2和图3的测试模式信号TM对应于图11的测试模式信号TM1。

因而,由于实施例9的测试电路与实施例1相同,在使串行输入SI有效的第1测试模式时,使作为指示故障的“0”在由SFF<0>~SFF<4>构成的扫描总线上顺序地传播,故能迅速地检测出RAM11的不良,与以往相比可在短时间内进行不合格品的检测,可缩短测试时间。

再者,即使实施例9的S-FF7与图43中示出的现有的S-FF200比较,其电路结构要素(3个逻辑门,2个选择器,1个D-FF)也不增加,具有能用简单的电路结构来实现的效果。

此外,由于实施例9的测试电路根据测试模式信号TM1的“1”/“0”,能切换容易进行不良分析的工作模式(TM1=“1”,第2测试模式)和能缩短上述的测试时间的工作模式(TM1=“0”,第1测试模式),故与实施例3的测试电路相同,可根据开发时和批量生产时的需要,进行适当的测试。

此外,实施例9的S-FF7在使串行输入SI变得有效的测试模式时,由于在“与”门24中进行比较器21的比较结果与D-FF27的数据输出Q的“与”运算并输出串行输出SO,但D-FF27的数据输出Q不反馈到D输入端,故具有本身不遗留“0”的故障信息的特征。

<<实施例10>>

将S-FF1~7内的比较器21变更为多输入端的比较器的扫描触发器是实施例10的半导体集成电路装置的测试电路中使用的扫描触发器。实施例10的S-FF对于多位输出的RAM(DRAM/SRAM)是有效的。

在图12中,对4位输入(DO<0>、DO<1>、DO<2>、DO<3>)的比较器进行了例示。如该图中所示,比较器50由“异”门51~54、“或”门55和“与非”门56构成。

在“异”门51~54的各自的一个输入端接收输入数据DO<0>~DO<3>,在各自的另一个输入端接收预期值数据EXP<0>~EXP<3>。而且,4输入端的“或”门55与“异”门51~54的输出端连接,“与非”门56的一个输入端与“或”门55的输出端连接,在另一个输入端接收比较控制信号CMP。

通过将这样的结构的比较器 50 来替换 S-FF1~7 的比较器 21, 可得到实施例 10 的 S-FF。实施例 10 的 S-FF 能一并进行 4 位的比较。因而, 在构成测试电路内的扫描总线的情况下, 如果使用实施例 10 的 S-FF, 则用内装了比较器 21 的 S-FF1~7 的数目的四分之一就可以了。

再有, 也可以独立地提供预期值数据 (EXP<0>、EXP<1>、EXP<2>、EXP<3>), 也可以适当地编组, 对每个组提供共同的值 (依据 RAM 的结构而定)。

图 13 是示出利用了实施例 10 的 S-FF 的半导体集成电路装置的测试电路的结构的电路图。测试电路 18 对应于 RAM15 的数据输出 DO<0>~DO<31>而设置。

如图 13 所示, 测试电路 18 将 8 个各自具有图 12 中示出的比较器 50 的实施例 10 的 S-FF、即 MSFF<0>~MSFF<7> 串联连接起来, 形成了 RAM 测试用的扫描总线。

即, MSFF<7> 将由外部得到的串行输入数据 SID0 作为串行输入 SI, 将串行输出 SO 与 MSFF<6> 的串行输入 SI 连接起来, 同样, 将 MSFF<5>、... MSFF<1> 和 MSFF<0> 串联连接起来, 最后一级的 MSFF<0> 的串行输出 SO 成为串行输出数据 SODO。

MSFF<0>~MSFF<7> 共同地接收预期值数据 EXP<3:0> (EXP<3>~EXP<0>), 同时, 虽然在图 13 中未示出, 但与图 2 的 SFF<0>~SFF<4> 相同, 共同地接收移位模式信号 SM、测试模式信号 TM、比较控制信号 CMP 和定时信号 T。

此外, 接收 RAM15 的输出数据 DO<3:0> (DO<3>~DO<0>) 作为 MSFF<0> 的输入数据 DO<3:0> (DO<3>~DO<0>), 接收输出数据 DO<7:4> 作为 MSFF<1> 的输入数据 DO<3:0>, 同样, 接收输出数据 DO<11:8>、...、DO<27:24> 和 DO<31:28> 作为 MSFF<2>、...、MSFF<6> 和 MSFF<7> 各自的输入数据 DO<3:0>。

而且, MSFF<0>~MSFF<7> 各自的数据输出 Q 成为数据输出 Q<0>~Q<7>。

以下, 与图 2 中示出的测试电路 10 相同, 测试电路 18 可进行对于 RAM18 的数据输出 DO<0>~DO<31> 的测试。

这样, 由于实施例 10 的测试电路 18 在测试模式时, 使“0” (指示故障的信息) 在由 MSFF<0>~MSFF<7> 构成的扫描总线上顺序地移位

传播, 故在测试模式期间中即使哪一个 MSFF 锁存“0”, 也可迅速地 在 串行输出数据 SODO 上显现指示故障的“0”。

其结果, 由于通过在测试模式期间中观察串行输出数据 SODO 能迅速地检测出 RAM15 的不良, 故与以往相比, 可在短时间内进行不合格品的检测, 可缩短测试时间。

此时, 相对于 32 位的数据输出 $D0\langle 0 \rangle \sim D0\langle 31 \rangle$, 只设置 8 个 MSFF $\langle 0 \rangle \sim MSFF\langle 7 \rangle$ 即可。

再有, 在图 13 中示出的测试电路 18 中, 没有示出对应于 RAM15 的数据输入 $DI\langle 0 \rangle \sim DI\langle 31 \rangle$ 的部分, 但例如可使用图 14 或图 15 的数据输入部 18A。

如图 14 所示, 测试电路 18 的数据输入部 18A 由触发器 $FF\langle 0 \rangle \sim FF\langle 31 \rangle$ 、选择器 $SL1\langle 0 \rangle \sim SL1\langle 31 \rangle$ 和选择器 $SL2\langle 0 \rangle \sim SL2\langle 31 \rangle$ 构成。

在选择器 $SL2\langle 0 \rangle \sim SL2\langle 31 \rangle$ 各自的“0”输入端接收输入数据 $DIN\langle 0 \rangle \sim DIN\langle 31 \rangle$, 各自的控制输入端共同地接收选择信号 SELSID。

在选择器 $SL2\langle 0 \rangle$ 、 $SL2\langle 4 \rangle$ 、 $\dots$ 、 $SL2\langle 28 \rangle$ 各自的“1”输入端接收测试数据 $SID\langle 0 \rangle$, 在选择器 $SL2\langle 1 \rangle$ 、 $SL2\langle 5 \rangle$ 、 $\dots$ 、 $SL2\langle 29 \rangle$ 各自的“1”输入端接收测试数据 $SID\langle 1 \rangle$, 在选择器 $SL2\langle 2 \rangle$ 、 $SL2\langle 6 \rangle$ 、 $\dots$ 、 $SL2\langle 26 \rangle$ 、 $SL2\langle 30 \rangle$ 各自的“1”输入端接收测试数据 $SID\langle 2 \rangle$, 在选择器 $SL2\langle 3 \rangle$ 、 $SL2\langle 7 \rangle$ 、 $\dots$ 、 $SL2\langle 27 \rangle$ 、 $SL2\langle 31 \rangle$ 各自的“1”输入端接收测试数据 $SID\langle 3 \rangle$ 。

选择器 $SL1\langle 0 \rangle \sim SL1\langle 31 \rangle$ 各自的“0”输入端与选择器 $SL2\langle 0 \rangle \sim SL2\langle 31 \rangle$ 的输出端连接, 选择器 $SL2\langle 0 \rangle \sim SL2\langle 31 \rangle$ 的输出端与触发器 $FF\langle 0 \rangle \sim FF\langle 31 \rangle$ 的输入端连接。

在 $SL1\langle 31 \rangle$ 的“1”输入端接收串行输入 $SIDI$, 在选择器 $SL1\langle 0 \rangle \sim SL1\langle 30 \rangle$ 的“1”输入端接收触发器 $FF\langle 1 \rangle \sim FF\langle 31 \rangle$ 的输出。将控制信号 $SMDI$ 共同地输入到选择器 $SL1\langle 0 \rangle \sim SL1\langle 31 \rangle$ 各自的控制输入端。

而且, 将触发器 $FF\langle 0 \rangle \sim FF\langle 31 \rangle$ 各自的输出供给数据输入端 $DI\langle 0 \rangle \sim DI\langle 31 \rangle$, 同时触发器 $FF\langle 0 \rangle$ 的输出成为串行输出 $SODI$ 。再有, 省略了触发器 $FF\langle 0 \rangle \sim FF\langle 31 \rangle$ 的定时控制线等图示。

在这样的结构中, 数据输入部 18A 在正常工作时 (或用户逻辑的扫

描测试中的数据的俘获工作时)，通过设定成{SMDI = 0, SELSID = 0}，可将输入数据 DIN〈0〉~ DIN〈31〉通过触发器 FF〈0〉~ FF〈31〉供给 RAM15 的数据输入端 DI〈0〉~ DI〈31〉。再有，输入数据 DIN〈0〉~ DIN〈31〉是随机逻辑的输出结果。

此外，在移位工作时，设定成{SMDI = 1}，构成由从串行输入 SIDI 朝向串行输出 SODI 的触发器 FF〈31〉~ FF〈0〉形成的串联移位寄存器。

在 RAM 测试时，通过设定成{SMDI = 0, SELSID = 1}，使测试数据 SID〈j〉对应于数据输入 DI〈i〉，将测试数据 SID〈j〉通过 FF〈i〉传递给数据输入端 DI〈i〉，以便能进行图 13 中的输出数据 DO〈i〉(i = 0~31)与预期值数据 EXP〈j〉(j = 0~3)的比较验证。即，通过测试数据 SID〈j〉供给 RAM15 在测试时的写入数据。

另一方面，如图 15 中所示，测试电路 18 的数据输入部 18B 由触发器 FF〈0〉~ FF〈31〉、选择器 SL3〈0〉~ SL3〈31〉和选择器 SL4〈0〉~ SL4〈31〉构成。

在选择器 SL4〈0〉、SL4〈4〉、…、SL4〈28〉各自的“1”输入端接收测试数据 SID〈0〉，在选择器 SL4〈1〉、SL4〈5〉、…、SL4〈29〉各自的“1”输入端接收测试数据 SID〈1〉，在选择器 SL4〈2〉、SL4〈6〉、…、SL4〈26〉、SL4〈30〉各自的“1”输入端接收测试数据 SID〈2〉，在选择器 SL4〈3〉、SL4〈7〉、…、SL4〈27〉、SL4〈31〉各自的“1”输入端接收测试数据 SID〈3〉。

在选择器 SL4〈31〉的“0”输入端接收串行输入 SIDI，在选择器 SL4〈0〉~ SL4〈30〉的“0”输入端接收触发器 FF〈1〉~ FF〈31〉的输出。将选择信号 SELSID 共同地输入到选择器 SL4〈0〉~ SL4〈31〉各自的控制输入端。

在选择器 SL3〈0〉~ SL3〈31〉各自的“0”输入端接收输入数据 DIN〈0〉~ DIN〈31〉，各自的“1”输入端与 SL4〈0〉~ SL4〈31〉的输出端连接，在各自的控制输入端共同地接收控制信号 SMDI。而且，选择器 SL3〈0〉~ SL3〈31〉的输出端与触发器 FF〈0〉~ FF〈31〉的输入端连接。

将触发器 FF〈0〉~ FF〈31〉各自的输出供给数据输入端 DI〈0〉~ DI〈31〉，同时触发器 FF〈0〉的输出成为串行输出 SODI。再有，省略了触发器 FF〈0〉~ FF〈31〉的定时控制线等图示。

在这样的结构中，数据输入部 18B 在正常工作时（或用户逻辑的扫描测试中的数据的俘获工作时），通过设定成 $\{SMDI = 0\}$ ，可将输入数据 $DIN \langle 0 \rangle \sim DIN \langle 31 \rangle$ 通过触发器 $FF \langle 0 \rangle \sim FF \langle 31 \rangle$ 供给 RAM5 的数据输入端 $DI \langle 0 \rangle \sim DI \langle 31 \rangle$ 。再有，输入数据 $DIN \langle 0 \rangle \sim DIN \langle 31 \rangle$ 是随机逻辑的输出结果。

此外，在移位工作时，设定成 $\{SMDI = 1, SELSID = 1\}$ ，构成由从串行输入 SIDI 朝向串行输出 SODO 的触发器 $FF \langle 31 \rangle \sim FF \langle 0 \rangle$ 形成的串联移位寄存器。

在 RAM 测试时，通过设定成 $\{SMDI = 1, SELSID = 1\}$ ，使测试数据 $SID \langle j \rangle$ 对应于数据输入 $DI \langle i \rangle$ ，将测试数据 $SID \langle j \rangle$ 通过 $FF \langle i \rangle$ 传递给数据输入端 $DI \langle i \rangle$ ，以便能进行图 13 中的输出数据 $DO \langle i \rangle$ ($i = 0 \sim 31$) 与预期值数据 $EXP \langle j \rangle$ ($j = 0 \sim 3$) 的比较验证。即，通过测试数据 $SID \langle j \rangle$ 供给 RAM15 在测试时的写入数据。

由于图 15 中示出的数据输入部 18B 成为在输入数据 $DIN \langle i \rangle$ 和触发器 $FF \langle i \rangle$ 之间设置 1 个选择器 $SL4 \langle i \rangle$ 的结构，故与在输入数据 $DIN \langle i \rangle$ 和触发器 $FF \langle i \rangle$ 之间设置 2 个选择器 $SL2 \langle i \rangle$ 和 $SL2 \langle i \rangle$ 的数据输入部 18A 相比，能谋求缩短信号传播时间，故能缩短对于输入数据 $DIN \langle i \rangle$ 触发器的建立 (setup) 时间，提高了其性能。

再有，为了进行故障检测率高的测试，希望图 13 的测试电路 18 考虑到 RAM 的结构来决定 RAM 的数据输出 $DO \langle 0 \rangle \sim DO \langle 4 \rangle$ 与 $MSFF \langle 0 \rangle \sim MSFF \langle 7 \rangle$ 的连接关系。以下，关于这一点举例来说明。

图 16 是示出半导体集成电路装置的存储单元阵列的一部分的布局图。如该图所示，按 $WL0 \sim WL7$ 的顺序设置字线 WL，按 $BL0$ 、 $BL2$ 、 $BL0B$ 、 $BL2B$ 、 $BL1$ 、 $BL3$ 、 $BL1B$ 、 $BL3B$ 的顺序设置位线 BL，使其与字线 WL 垂直地交叉。再有，下面要详细叙述，将位线 BLi ($i = 0 \sim 3$) 和 $BLib$ 成对地使用，共同连接到差分型的读出放大器上。

此外，在 1 条位线 BL 和 1、2 条字线 WL 在平面上交叉的同时，在图 16 的倾斜方向上形成多个有源区 61，在与 1 条位线 BL 在平面上交叉的同时，与字线 WL 平行地形成多个存储节点 62。

而且，各有源区 61 的中心区域通过位线接触点 64 与位线 BL 进行导电性连接，各有源区 61 的端部区域通过存储节点接触点 63 与存储节点 62 进行导电性连接。

1 位的存储单元由选择晶体管和存储节点 62（电容器的一个电极）构成。在有源区 61 内形成选择晶体管，将字线 WL 作为栅电极。多个有源区 61 的大部分中，在有源区 61 的内部形成 2 个选择晶体管，同时与 2 个存储节点 62 进行导电性连接，共有 1 个位线接触点 64。

这样，位线接触点 64 与选择晶体管的一个电极区域和位线 BL 进行导电性连接，存储节点接触点 62 与选择晶体管的另一个电极区域和存储节点 62 进行导电性连接。

再有，为了在图 16 中识别各存储单元，附加了识别号码（对应于字线 WL_i 、位线 $BL_j(B)$ ， WiB_j 的形式）。

图 17 是图 16 的平面结构的等效电路图。在 DRAM 中存在存储单元电容器的另一个电极（单元板电极），但在图 16 中省略了其图示。在图 17 中用 VC 示出了单元板电极的电位。

如图 17 中所示可知，1 个存储单元由存储单元电容器 C0 和选择晶体管 ST 构成，2 个存储单元共有 1 个节点，与位线 BL 连接。

图 18 是示出包含图 17 中示出的那样的电路结构和读出放大器的高位存储单元阵列 MA 的结构的电路图。如该图中所示，将图 17 中示出的结构放大，通过字线 $WL_0 \sim WL_{255}$ 和位线对 BL_0 、 $BL_0B \sim BL_{63}$ 、 $BL_{63}B$ 及读出放大器 $SA_0 \sim SA_{61}$ 来构成存储单元阵列 MA。位线对 BL_i 、 BL_iB ($i = 0 \sim 63$) 共同连接到差分型读出放大器 SA_i 上。

利用列选择信号 $CSL\langle 0 \rangle$ 来控制读出放大器 $SA_0 \sim SA_3$ 的激活/非激活，利用列选择信号 $CSL\langle 1 \rangle$ 来控制读出放大器 $SA_4 \sim SA_7$ 的激活/非激活，以下，同样地，利用列选择信号 $CSL\langle k \rangle$ 来控制读出放大器 $SA(4*k) \sim SA(4*k+3)$ ($k = 2 \sim 15$) 的激活/非激活。

读出放大器 SA_0 、 SA_4 、 $\dots$ 、 SA_{60} 的输出与局部输入输出线 LI_{00} 连接，读出放大器 SA_1 、 SA_5 、 $\dots$ 、 SA_{61} 的输出与局部输入输出线 LI_{01} 连接，读出放大器 SA_2 、 SA_6 、 $\dots$ 、 SA_{62} 的输出与局部输入输出线 LI_{02} 连接，读出放大器 SA_3 、 SA_7 、 $\dots$ 、 SA_{63} 的输出与局部输入输出线 LI_{03} 连接。

这样来配置多个存储单元 MC，以便即使字线 $WL_1 \sim WL_{255}$ 中的任一条字线 WL 成为激活状态，也只与连接到读出放大器 SA_i 的位线对 BL_i 、 BL_iB 中的一对连接。

例如，在激活字线 WL_1 的情况下，位线 BL_0 的存储单元 MC 的数据被

读出, 产生微小的电位变化, 但在位线 BLOB 上由于未与存储单元 MC 连接, 故电位不变化。因此, 读出放大器 SA0 通过在激活状态时检测出位线对 BL0、BLOB 间的微小的电位差并进行放大, 再输出到局部输入输出线 LI01, 可进行读出工作。

这样, 如果选择字线 WL_j ($j = 0 \sim 255$ 中的任一个), 则将基于对应的存储单元 MC 的数据的电位差供给读出放大器 SA0 ~ SA63。

而且, 利用列选择信号 $CSL \langle 0 \rangle \sim CSL \langle 15 \rangle$ 中的一个列选择信号 $CSL \langle m \rangle$ 将变成激活状态的 4 个读出放大器 SA ($4 \cdot m$) ~ SA ($4 \cdot m + 3$) 的放大输出供给局部输入输出线 LI00 ~ LI03 中的局部输入输出端。

再有, 读出放大器 SA_i 具有在读出时检测·放大位线对 BL_i 、 BL_iB 的电位差的功能, 同时也具有在写入时根据被输入的信号, 将位线对 BL_i 、 BL_iB 中的一条定为“H” (高), 另一条定为“L” (低) 的写入驱动器功能。

图 19 是示出具有多个图 18 中示出的存储单元阵列并包含外围电路 (译码器及写入驱动器等) 的高位 DRAM 的结构的电路图。

如该图所示, 分别配置 8 个图 18 中示出的结构的存储单元阵列 MA0 ~ MA7。各存储单元阵列 MA_i ($i = 0 \sim 7$) 以图 18 的连接关系连接到局部输入输出线 $LI00 \langle i \rangle \sim$ 局部输入输出线 $LI03 \langle i \rangle$ 上 (在图 19 中省略其图示)。

而且, 各局部输入输出线 $LI00 \langle i \rangle \sim LI03 \langle i \rangle$ 通过开关电路 SWb 连接到全局输入输出线 $GIO \langle i \cdot 4 \rangle \sim GIO \langle (i \cdot 4) + 3 \rangle$ 上。开关电路 SWb 全部接收块选择信号 BSb, 块选择信号 BSb 在指示激活状态时成为导通状态。

X 译码器 XDb 接收块选择信号 BSb 和 X 地址 $XA \langle 0: 7 \rangle$ ($XA \langle 0 \rangle \sim XA \langle 7 \rangle$), 在块选择信号 BSb 指示激活状态时, 根据 X 地址 $XA \langle 0: 7 \rangle$ 选择 $WL \langle 0: 255 \rangle$ ($WL0 \sim WL255$) 中的一条字线 WL。

X 译码器 XDb、存储单元阵列 MA0 ~ MA7、 $LI00 \langle i \rangle \sim$ 局部输入输出线 $LI03 \langle i \rangle$ 和开关电路 SWb 构成 1 个存储单元阵列块 MBb。实际上, 存在多个存储单元阵列块 MBb, 但在图 19 中只示出 1 个存储单元阵列块 MBb。

Y 译码器 YD 根据 Y 地址 $YA \langle 0: 3 \rangle$ ($YA \langle 0 \rangle \sim YA \langle 7 \rangle$), 使列选择信号 $CSL \langle 0 \rangle \sim CSL \langle 15 \rangle$ 中的一个信号成为激活状态。

数据输入 $DI\langle 0 \rangle \sim DI\langle 31 \rangle$ 分别通过写入驱动器 WD 连接到全局输入输出线 $GIO\langle 0 \rangle \sim GIO\langle 31 \rangle$ 上, 全局输入输出线 $GIO\langle 0 \rangle \sim GIO\langle 31 \rangle$ 分别通过缓冲放大器 BA 作为数据输出 $DO\langle 0 \rangle \sim DO\langle 31 \rangle$ 来输出。

通过写启动 (enable) 信号 WE 来控制全部写入驱动器 WD 的激活/非激活。

在块选择信号 BSb 指示激活状态时, X 译码器 XDb 成为激活状态, 通过开关电路 SWb 变成导通状态, 来选择存储单元阵列块 MBb。

其结果, 在读出时 (写启动信号 WE 指示非激活状态), 各存储单元阵列 MAi 的读出数据通过局部输入输出线 ($LI00\langle i \rangle$ 、 $LI01\langle i \rangle$ 、 $LI02\langle i \rangle$ 、 $LI03\langle i \rangle$) 供给全局输入输出线 ($GIO\langle 0 \rangle \sim GIO\langle 31 \rangle$)。由于在读出工作时写入驱动器 WD 是非激活状态, 将从各存储单元阵列 MAi 读出的数据作为 DRAM 的数据输出 $DO\langle 0 \rangle \sim DO\langle 31 \rangle$ 来输出。

另一方面, 在写入工作时 (写启动信号 WE 指示激活状态), 由于写入驱动器 WD 被激活, 故从 DRAM 的数据输入 $DI\langle 0 \rangle \sim DI\langle 31 \rangle$ 得到的数据通过全局输入输出线 ($GIO\langle 0 \rangle \sim GIO\langle 31 \rangle$) 和局部输入输出线 ($LI00\langle i \rangle$ 、 $LI01\langle i \rangle$ 、 $LI02\langle i \rangle$ 、 $LI03\langle i \rangle$) 写入到各存储单元阵列 MAi 的存储单元中。

在该例中, 同时进行对于图 18 中示出的结构的各存储单元阵列 MAi 内的 4 个存储单元的写入。为了对于在存储单元阵列 MAi 内被选择的 4 个存储单元写入任意的测试数据, 有必要将测试电路设计成能对于这 4 个存储单元独立地写入数据。由于图 14、图 15 中示出的数据输入部 18A、18B 能分别独立地输入测试数据 $SID\langle 0 \rangle \sim SID\langle 3 \rangle$, 故能相对于各存储单元阵列 MAi 内的 4 个存储单元独立地写入数据。

此外, 有必要将测试电路设计成在测试数据的读出时 (对应于写入数据) 能设定任意的 4 个预期值。由于图 13 中示出的测试电路 18 能独立地输入预期值数据 $EXP\langle 0 \rangle \sim EXP\langle 3 \rangle$, 故能设定任意的 4 个预期值。

这样, 在图 13~图 15 中示出的实施例 10 的测试电路 18 (数据输入部 18A、18B) 能相对于存储单元阵列内的存储单元进行任意的测试数据的测试。

因而, 由于实施例 10 的测试电路 18 的 RAM 的数据输出 $DO\langle 0 \rangle \sim DO\langle 31 \rangle$ 与 $MSFF\langle 0 \rangle \sim MSFF\langle 7 \rangle$ 的连接关系成为考虑到图 16~图 19 中示出的 RAM 的结构的连接关系, 故能对于图 16~图 19 中示出的 RAM 进

行有效的测试。

〈〈实施例 11〉〉

图 20 和图 21 是示出作为本发明的实施例 11 的扫描触发器的结构的电路图。再有，图 20 示出了使用了 1 位输入用的比较器 21 的结构，图 21 示出了使用了多位输入用的比较器 50 的结构。

如图 20 所示，在“或”门 37 的一个输入端接收测试模式信号 TM5，另一个输入端与选择器 25 的输出部 Y 连接。“与”门 38 的一个输入端与“或”门 37 的输出端连接，另一个输入端与比较器 21 的输出端连接。而且，“与”门 38 的输出端与 D-FF27 的 D 输入端连接。

S-FF8A 与图 10 中示出的实施例 8 的 S-FF6 相比，除上述事项以外，省略了选择器 26 及其输入输出连接以及“与”门 36 及其输入输出连接，但其它结构与 S-FF6 相同。

在这样的结构中，如果将测试模式信号 TM5 定为“0”，则与将移位模式信号 SM 定为“1”的实施例 8 的 S-FF6 成为等效的结构。

如果将测试模式信号 TM1 定为“0”，比较控制信号 CMP 定为“0”，则成为移位工作模式，与定时信号 T 同步地将串行输入 SI 取入 D-FF27 中。

如果将测试模式信号 TM1 定为“1”，则成为使串行输入 SI 无效的测试模式（第 2 测试模式），能进行与图 43 中示出的 S-FF200 同样的测试工作。另一方面，如果将测试模式信号 TM1 定为“0”，则成为使串行输入 SI 有效的测试模式（第 1 测试模式）。

另一方面，如果将测试模式信号 TM5 定为“1”，则成为不良观察模式，来自选择器 25 的输出部 Y 的输出变成无效，将作为比较器 21 的输出比较结果数据原封不动地取入 D-FF27 中。

因而，如果在不良观察模式下在外部的测试装置中观察 D-FF27 的数据输出 Q，则能容易地进行不良分析。此外，也可得到用于 DRAM 等大容量的 RAM 的冗余电路的切换（例如用激光装置来切断熔丝）所需要的失效位映像（fail bit map）信息。

实施例 11 的 S-FF8A 与实施例 1 的 S-FF1 相同，通过作为构成图 2 中示出的第 1 结构的测试电路 10 或图 3 中示出的第 2 结构的测试电路 16 的各自的扫描总线的 SFF<0>~SFF<4>使用，来实现实施例 11 的半导体集成电路装置的测试电路。但是，图 2 和图 3 的测试模式信号 TM

对应于图 20 的测试模式信号 TM1 和 TM5。

再者，即使实施例 11 的 S-FF8A 与图 43 中示出的现有的 S-FF200 比较，也具有能使其电路结构要素（2 个逻辑门，1 个选择器，1 个 D-FF）减少来实现的效果。

此外，由于实施例 11 的测试电路根据测试模式信号 TM1 的“1”/“0”，能切换容易进行不良分析的工作模式（TM1 = “1”，第 2 测试模式）和能缩短测试时间的工作模式（TM1 = “0”，第 1 测试模式），故与实施例 3 的测试电路相同，可根据开发时和批量生产时的需要，进行适当的测试。

此外，实施例 11 的 S-FF8A 在使串行输入 SI 变得有效的测试模式时，由于在“与”门 38 上进行比较器 21 的比较结果与串行输入 SI 的“与”运算，并忽略 D-FF27 的数据输出 Q，故具有本身不遗留“0”的故障信息的特征。

图 21 的 S-FF8B 只是将比较器 21 替换为比较器 50，其它的结构和工作与图 20 中输出的 S-FF8A 相同。

因而，如果将 S-FF8B 的测试模式信号 TM5 定为“1”，则可得到被压缩的失效位映像信息。

例如，在对于图 19 中示出的 DRAM 使用由 S-FF8B 构成的 MSFF<0>~MSFF<7>构成图 13 中示出的测试电路 18 的情况下，将对应于 1 个 CSL<i>（i=0~15 的任一个）的 4 位部分的故障信息压缩成 1 个的压缩故障信息作为 MSFF<0>~MSFF<7>各自的 D-FF27 的数据输出 Q 显现出来，可用外部的测试装置来观察。处理该压缩故障信息（失效位映像信息），例如由激光装置进行冗余电路的切换（熔丝的切断等）。

再有，也可使用 LSI 内部的微处理器来代替 LSI 外部的测试装置，也可使用电装置代替激光装置来进行冗余电路的切换。

<<实施例 12>>

图 22 和图 23 是示出作为本发明的实施例 12 的扫描触发器的结构的电路图。再有，图 22 示出了使用了 1 位输入用的比较器 21 的结构，图 23 示出了使用了多位输入用的比较器 50 的结构。

如图 22 所示，在“或”门 45 的一个输入端接收测试模式信号 TM5，在另一个输入端接收 D-FF27 的数据输出 Q。“与”门 46 的一个输入端与“或”门 45 的输出端连接，另一个输入端与比较器 21 的输出端连接。

而且,“与”门 46 的输出端与选择器 25 的“1”输入端连接,同时作为串行输出(数据)S02 输出。

S-FF9A 与图 10 中示出的实施例 8 的 S-FF6 相比,除上述事项以外,省略了选择器 26 及其输入输出连接以及“与”门 36 及其输入输出连接,但其它结构与 S-FF6 相同。

在这样的结构 S-FF9A 中,也可使用串行输出 S0 和串行输出 S02 的任一个作为串行输出。但是,在使用串行输出 S02 的情况下,在移位工作时必须设定成{TM5 = 1, CMP = 0}。

以下,说明 S-FF9A 的工作。如果设定成{TM5 = 0, TM1 = 1},则成为使串行输入 SI 无效的测试模式(第 2 测试模式),因为能进行与图 43 中示出的 S-FF200 同样的测试工作,故能容易地进行不良分析。

如果设定成{TM5 = 1, TM1 = 1},则使串行输入 SI 和 D-FF27 的数据输出 Q 都成为无效,成为只将比较器 21 的输出即比较结果数据取入到 D-FF27 中的不良观察模式。在该模式下,与实施例 11 的 S-FF9A 相同,具有能得到失效位映像信息的效果。

如果设定成{TM5 = 0, TM1 = 0},则将取入串行输入 SI 的 D-FF27 的数据输出 Q(锁存数据)与比较结果数据的“与”运算结果作为串行输出 S02 输出。因而,在使用了串行输出 S02 作为串行输出的情况下,就设定成使串行输入 SI 有效的测试模式(第 1 测试模式)。另一方面,在使用了串行输出 S0 作为串行输出的情况下,成为移位模式,进行串行移位工作。

如果设定成{TM5 = 1, TM1 = 0},则只将比较器 21 的输出作为串行输出 S02 输出。因而,在使用了串行输出 S02 作为串行输出的情况下,可将比较器 21 的输出作为下一级的扫描触发器的串行输入 SI。另一方面,在使用了串行输出 S0 作为串行输出的情况下,成为移位模式,进行串行移位工作。

实施例 12 的 S-FF9A 与实施例 1 的 S-FF1 相同,通过作为构成图 2 中示出的第 1 结构的测试电路 10 或图 3 中示出的第 2 结构的测试电路 16 的各自的扫描总线的 SFF<0>~SFF<4>使用,来实现实施例 12 的半导体集成电路装置的测试电路。但是,图 2 和图 3 的测试模式信号 TM 对应于图 22 的测试模式信号 TM1 和测试模式信号 TM5。

再者,即使实施例 12 的 S-FF9A 与图 43 中示出的现有的 S-FF200

比较,也具有能使其电路结构要素(2个逻辑门,1个选择器,1个D-FF)减少来实现的效果。

此外,由于实施例12的测试电路根据将测试模式信号TM3定为“0”的测试模式信号TM1的“1”/“0”,能切换容易进行不良分析的工作模式(TM1=“1”,第2测试模式)和能缩短测试时间的工作模式(TM1=“0”,第1测试模式),故与实施例3的测试电路相同,可根据开发时和批量生产时的需要,进行适当的测试。

图23的S-FF9B只是将比较器21替换为比较器50,其它的结构和工作与图22中输出的S-FF9A相同。

因而,如果将S-FF9B的测试模式信号TM5定为“1”,则与图21中示出的S-FF8B相同,可得到被压缩的失效位映像信息。

〈〈实施例13〉〉

图24是示出利用了实施例11或实施例12的扫描触发器S-FF8B或S-FF9B的实施例13的半导体集成电路装置的测试电路的结构的电路图。测试电路19对应于RAM15的数据输出DO<0>~DO<31>而设置。

如图24所示,测试电路19与测试电路18相同,将8个分别是S-FF8B或S-FF9B、即MSFF<0>~MSFF<7>串联连接起来,形成RAM测试用的扫描总线,同时附加了选择器SELP<0>、SELP<1>和触发器FFP<0>、FFP<1>。

MSFF<0>~MSFF<7>各自的数据输出Q<0>~Q<7>中,选择器SELP<0>接收数据输出Q<0>~Q<3>,选择器SELP<1>接收数据输出Q<4>~Q<7>,选择器SELP<0>和选择器SELP<1>共同接收选择控制信号ZA<1:0>(ZA<0>、ZA<1>)。

选择器SELP<0>将数据输出Q<0>~Q<3>中选择控制信号ZA<1:0>指示的一个输出输出到触发器FFP<0>上。选择器SELP<1>将数据输出Q<4>~Q<7>中的选择控制信号ZA<1:0>指示的一个输出输出到触发器FFP<1>上。

触发器FFP<0>和FFP<1>分别与图中未示出的定时信号同步地取入选择器SELP<0>和选择器SELP<1>的输出,作为输出P<0>~P<1>输出。再有,其它的结构与图13中示出的测试电路18相同。

以下,说明收集测试电路19的失效位映像信息时的工作。

在收集失效位映像信息时,将MSFF<0>~MSFF<7>设定成不良观

察模式，在该模式下，分别将比较器 50 的输出取入到 D-FF27 中（在图 21 的 S-FF8B 中，定为 {TM5 = 1}，在图 23 的 S-FF9B 中，定为 {TM5 = 1, TM1 = 1}）。

在不良观察模式时，通过用外部的测试装置观察触发器 FFP<0>、FFP<1> 各自的输出 P<0> ~ P<1>，来收集失效位映像信息。

在不良观察模式时，一般是适当地控制比较控制信号 CMP（只在来自 RAM15 的读出工作时定为“1”）。此时，在读出期间以外，由于比较控制信号 CMP 成为“0”，将“1”锁存于 D-FF27 中，故不从输出 P<0> 和输出 P<1> 观察故障信息“0”。

此外，在不良观察模式时，也可将比较控制信号 CMP 固定于“1”。此时，有必要在测试装置中设置只在来自 RAM15 的读出期间观察输出 P<0> 和输出 P<1> 的所谓掩蔽功能。

在不良观察模式时进行的测试工作，实际上对于 1 个测试算法，一边使选择控制信号 ZA<1: 0> 变化，一边进行多次测试。

例如：如

- (1) 设定成 { ZA<1> = 0, ZA<0> = 0 }，进行 RAM15 的测试，
- (2) 设定成 { ZA<1> = 0, ZA<0> = 1 }，进行 RAM15 的测试，
- (3) 设定成 { ZA<1> = 1, ZA<0> = 0 }，进行 RAM15 的测试，
- (4) 设定成 { ZA<1> = 1, ZA<0> = 1 }，进行 RAM15 的测试，

那样，进行 4 次测试。

由此，可从输出 P<0> 和输出 P<1> 得到与图 13 中示出的测试电路 18 同等的失效位映像信息。

此外，通过附加选择器 SELP<0>、SELP<1> 和触发器 FFP<0>、FFP<1>，并只将输出 P<0> 和输出 P<1> 作为失效位映像信息用的输出，由于测试电路 19 与测试电路 18 相比，可使与外部的测试装置连接的信号数从 8 减少为 2，故可谋求测试成本的下降。

具体地说，可预计因测试装置的观察用的引脚数的减少而引起的价格降低，及因用 1 个测试装置可同时测试的 RAM 等集成电路的个数的增加引起的成本性能比的提高。

此外，由于附加了触发器 FFP<0>、FFP<1>，故能以流水线方式进行故障信息的传递而对其进行处理，这样就可高速地进行不良观察测试。

再有，在图 24 中，示出了 4 输入端的选择器 SELP〈0〉、SELP〈1〉，但也可使用其它的结构（8 输入端、16 输入端、…）的多输入端的选择器。

此外，对于输出 P〈0〉和输出 P〈1〉，也可再附加选择器来削减不良观察用的输出信号数。再者，对于所附加的选择器的输出也可附加流水线处理用的触发器 FF。

〈〈 实施例 14〉〉

图 25 和图 26 是示出利用了图 20 或图 22 中示出的 S-FF8A 或 S-FF9A 的实施例 14 的半导体集成电路装置的测试电路 20 的结构的电路图。如这些图中所示，测试电路 20 对应于 RAM15 的数据输出 DO〈0〉～DO〈31〉和数据输入 DI〈0〉～DI〈31〉而设置。

如图 25 和图 26 所示，测试电路 20 具有将 32 个分别是 S-FF8A 或 S-FF9A、即 MSFF〈0〉～MSFF〈31〉串联连接起来而形成的 RAM 测试用的扫描总线。

SFF〈0〉～SFF〈31〉共同地接收移位模式信号 SM、测试模式信号 TM、预期值数据 EXP〈0〉～EXP〈3〉、比较控制信号 CMP 和定时信号 T。而且，接收数据输出 DO〈0〉～DO〈31〉作为 SFF〈0〉～SFF〈31〉各自的输入数据 D0，各自的数据输出 Q 与选择器 SL6〈0〉～SL6〈31〉的“0”输入端连接，各自的 D 输入端与数据输入 DIX〈0〉～DIX〈31〉连接。再有，图 25 和图 26 的测试模式信号 TM 对应于测试模式信号 TM1 和测试模式信号 TM5。

在选择器 SL6〈0〉、SL6〈4〉、…、SL6〈28〉各自的“1”输入端接收测试数据 SID〈0〉，在选择器 SL6〈1〉、SL6〈5〉、…、SL6〈29〉各自的“1”输入端接收测试数据 SID〈1〉，在选择器 SL6〈2〉、SL6〈6〉、…、SL6〈26〉、SL6〈30〉各自的“1”输入端接收测试数据 SID〈2〉；在选择器 SL6〈3〉、SL6〈7〉、…、SL6〈27〉、SL6〈31〉各自的“1”输入端接收测试数据 SID〈3〉。

在选择器 SL6〈0〉～SL6〈31〉各自的控制输入端共同接收选择信号 SELSID，各自的输出端与数据输入 DI〈0〉～DI〈31〉连接。以上的结构与对应于 RAM11 的测试电路 16 基本上相同。

再者，测试电路 20 具有 4 输入端的“与”门 AG0～AG7、选择器 SELP〈0〉和 SELP〈1〉以及触发器 FFP〈0〉和 FFP〈1〉。

“与”门 AG_i ($i = 0 \sim 7$) 接收 $SFF(4*i) \sim SFF(4*i+3)$ 的串行输出 $SO(4*i) \sim SO(4*i+3)$, 输出作为“与”运算结果的“与”输出 $R(i)$ 。

选择器 $SELP(0)$ 将“与”输出 $R(0) \sim R(3)$ 中选择控制信号 $ZA(1:0)$ 指示的一个输出输出到触发器 $FFP(0)$ 上。选择器 $SELP(1)$ 将“与”输出 $R(4) \sim R(7)$ 中选择控制信号 $ZA(1:0)$ 指示的一个输出输出到触发器 $FFP(1)$ 上。

触发器 $FFP(0)$ 和 $FFP(1)$ 分别与图中未示出的定时信号同步地取入选择器 $SELP(0)$ 和选择器 $SELP(1)$ 的输出, 作为输出 $P(0) \sim P(1)$ 输出。

在这样的结构中, “与”门 AG_i 将对 4 个 SFF 的输出进行了“与”运算的结果输出到 $SELP(0)$ 或 $SELP(1)$ 上。例如, 如果在 RAM15 的不良观察时在 $SFF(31)$ 、 $SFF(30)$ 、 $SFF(29)$ 、 $SFF(28)$ 的任一个中检测出故障, 则由于对应的串行输出 SO 成为“0”, 故“与”门 AG_7 的输出 $R(7)$ 成为“0”。

再有, “与”门 $AG_0 \sim AG_7$ 与 $SFF(0) \sim SFF(31)$ 的连接, 与实施例 10 的测试电路 18 相同, 如图 16~图 19 所示, 希望考虑 RAM 的结构后来进行。

例如通过用外部的测试装置观察触发器 $FFP(0)$ 、 $FFP(1)$ 各自的输出 $P(0)$ 及 $P(1)$, 来收集失效位映像信息。以该信息为基础, 可由激光装置等进行冗余电路的切换。

以下, 说明收集测试电路 20 的失效位映像信息时的工作。

在收集失效位映像信息时, 将 $SFF(0) \sim SFF(31)$ 设定成不良观察模式, 在该模式下, 分别将比较器 21 的输出取入到 D-FF27 中 (在图 20 的 S-FF8A 中, 定为 $\{TM5=1\}$, 在图 22 的 S-FF9A 中, 定为 $\{TM5=1, TM1=1\}$)。

在不良观察模式时, 通过用外部的测试装置观察触发器 $FFP(0)$ 和 $FFP(1)$ 各自的输出 $P(0)$ 及输出 $P(1)$, 来收集失效位映像信息。

在不良观察模式时, 与实施例 13 的测试电路 19 相同, 也是适当地控制比较控制信号 CMP , 也可在不良观察时将比较控制信号 CMP 固定于“1”。

此外, 在不良观察模式时进行的测试工作, 与实施例 13 的测试电路 19 相同, 实际上对于 1 个测试算法, 一边使选择控制信号 $ZA(1:0)$

变化, 一边进行多次测试。

例如: 如

- (1) 设定成{ $ZA \langle 1 \rangle = 0$, $ZA \langle 0 \rangle = 0$ }, 进行 RAM15 的测试,
 - (2) 设定成{ $ZA \langle 1 \rangle = 0$, $ZA \langle 0 \rangle = 1$ }, 进行 RAM15 的测试,
 - (3) 设定成{ $ZA \langle 1 \rangle = 1$, $ZA \langle 0 \rangle = 0$ }, 进行 RAM15 的测试,
 - (4) 设定成{ $ZA \langle 1 \rangle = 1$, $ZA \langle 0 \rangle = 1$ }, 进行 RAM15 的测试,
- 那样, 进行 4 次测试。

由此, 可从输出 $P \langle 0 \rangle$ 和输出 $P \langle 1 \rangle$ 得到与图 13 中示出的测试电路 18 同等的失效位映像信息。

此外, 通过附加“与”门 AG0 ~ AG7、选择器 SELP $\langle 0 \rangle$ 、SELP $\langle 1 \rangle$ 和触发器 FFP $\langle 0 \rangle$ 、FFP $\langle 1 \rangle$, 并只将输出 $P \langle 0 \rangle$ 和输出 $P \langle 1 \rangle$ 作为失效位映像信息用的输出, 由于测试电路 20 与测试电路 18 相比, 可使与外部的测试装置连接的信号数从 8 减少为 2, 故可谋求测试成本的下降。

此外, 由于附加了触发器 FFP $\langle 0 \rangle$ 、FFP $\langle 1 \rangle$, 故能以流水线方式进行故障信息的传递而对其进行处理, 这样就可高速地进行不良观察模式。

再有, 在图 25 和图 26 中, 示出了 4 输入端的选择器 SELP $\langle 0 \rangle$ 、SELP $\langle 1 \rangle$, 但也可使用其它的结构 (8 输入端、16 输入端、...) 的多输入端的选择器。

此外, 对于输出 $P \langle 0 \rangle$ 和输出 $P \langle 1 \rangle$, 也可再附加选择器来削减不良观察用的输出信号数。再者, 对于所附加的选择器的输出也可附加流水线处理用的触发器 FF。

<< 实施例 15 >>

图 27 是示出作为本发明的实施例 15 的 DRAM、SRAM 等的半导体集成电路装置的测试电路中使用的扫描触发器 101 的结构的电路图。

如图 27 所示, 比较器 121 由“同”门 (EX-NOR gate) 152 和“或”门 153 构成, 在“同”门 152 的一个输入端和另一个输入端接收输入数据 D0 和预期值数据 EXP, “或”门 153 的一个输入端与“同”门 152 的输出端连接, 在另一个输入端接收比较控制信号 CMP。

在“或”门 154 的一个输入端接收串行输入 SI, 在另一个输入端接收测试模式信号 TMSI。在“或”门 155 的一个输入端接收测试模式信号

TMFB.

“与非”门 156 接收“或”门 153~155 的输出,进行 3 个“或”运算结果、即“或”门 153~155 的输出的“与非”运算处理,将其运算结果输出到倒相器 168 的输入端。

通过将上述的“与非”门 156 和“或”门 153~155 形成为一体,构成“或-与非”门 131。因而,在比较器 121 和“或-与非”门 131 中共用“或”门 153。而且,“或-与非”门 131 的输出与倒相器 168 的输入端连接。

在选择器 26 的“0”输入端接收输入数据 D,其“1”输入端与倒相器 168 的输出端连接,在控制输入端接收移位模式信号 SM2。而且,选择器 26 根据移位模式信号 SM2 的“1”/“0”,从输出部 Y 输出由“1”输入端/“0”输入端得到的信号。

D-FF27 的 D 输入端与选择器 26 的输出部 Y 连接,在触发输入端 T 接收定时信号 T,将由其 Q 输出部得到的信号作为数据输出 Q 和串行输出 SO 向外部输出,同时反馈到“或”门 155 的另一个输入端。

图 28 是示出“或-与非”门 131 的内部结构的电路图。如该图所示,在电源 VDD、接地电平间串联连接 PMOS 晶体管 QA1、QA0 和传输门 TF1~TF3。

再者,对于 PMOS 晶体管 QA1、QA0,分别并联连接 PMOS 晶体管 QB1、QB0 和 PMOS 晶体管 QC1、QC0。

将第 1A 输入 INA1 和第 0A 输入 INA0 分别输入到传输门 TF1 的 2 个 NMOS 栅的一个和另一个上,同时分别输入到 PMOS 晶体管 QA1 和 QA0 的栅上。将第 1B 输入 INB1 和第 0B 输入 INB0 分别输入到传输门 TF2 的 2 个 NMOS 栅的一个和另一个上,同时分别输入到 PMOS 晶体管 QB1 和 QB0 的栅上。将第 1C 输入 INC1 和第 0C 输入 INC0 分别输入到传输门 TF3 的 2 个 NMOS 栅的一个和另一个上,同时分别输入到 PMOS 晶体管 QC1 和 QC0 的栅上。

通过这样来构成,可得到“或-与非”门 131,该“或-与非”门 131 从输出 OUT 输出来自第 1A 输入 INA1 和第 0A 输入 INA0、第 1B 输入 INB1 和第 0B 输入 INB0 和第 1C 输入 INC1 和第 0C 输入 INC0 的信号的“或-与非”运算结果。

再有,由于第 1A 输入 INA1 和第 0A 输入 INA0、第 1B 输入 INB1 和

第 0B 输入 INB0 或第 1C 输入 INC1 和第 0C 输入 INC0 在逻辑上是等效的, 故都可作为“或”门 153 ~ 155 的任一个的输入来使用。

例如, 可将第 1B 输入 INB1 和第 0B 输入 INB0 作为“或”门 154 的输入来使用, 将串行输入 SI 输入到第 1B 输入 INB1, 将测试模式信号 TMSI 输入到第 0B 输入 INB0, 也可将第 1C 输入 INC1 和第 0C 输入 INC0 作为“或”门 154 的输入来使用, 将串行输入 SI 输入到第 1C 输入 INC1, 将测试模式信号 TMSI 输入到第 0C 输入 INC0。

此外, 在将第 1B 输入 INB1 和第 0B 输入 INB0 作为“或”门 154 的输入来使用的情况下, 也可将上述组合反过来, 将测试模式信号 TMSI 输入到第 1B 输入 INB1, 将串行输入 SI 输入到第 0B 输入 INB0。

在图 27、图 28 示出的结构中, 如果将移位模式信号 SM2 定为“0”, 则成为正常 (NORMAL (CAPTURE 俘获)) 模式, 与定时信号 T 同步地将输入数据 D 取入 D-FF27 中。再有, 在不需要正常工作的情况下, 如图 27 的虚线所示, 也可除去选择器 26, 将倒相器 168 的输出直接连接到 D-FF27 的 D 输入端。

如果将移位模式信号 SM2 定为“1”, 测试模式信号 TMSI 定为“1”, 测试模式信号 TMFB 定为“0”, 比较控制信号 CMPL 定为“1”, 则成为维持 (HOLD) 模式, 由于强制性地“或”门 153 和 154 的输出变成“1”, 故通过将 D-FF27 的 Q 输出原封不动地反馈到 D 输入, 来保存 D-27 的内容。

如果将移位模式信号 SM2 定为“1”, 测试模式信号 TMSI 定为“0”, 测试模式信号 TMFB 定为“1”, 比较控制信号 CMPL 定为“1”, 则成为移位工作 (SHIFT) 模式, 由于强制性地“或”门 153 和 155 的输出变成“1”, 故与定时信号 T 同步地将串行输入 SI 取入 D-FF27 中。

如果将移位模式信号 SM2 定为“1”, 测试模式信号 TMSI 定为“0”, 测试模式信号 TMFB 定为“0”, 则成为第 1 测试 (TEST1) 模式。在第 1 测试模式时, 如果将比较控制信号 CMPL 定为“1”, 则变成测试无效状态, 比较器 121 的输出强制性地变成“1”。因而, 通过“或-与非”门 131 和倒相器 168 将串行输入 SI 和 D-FF27 的 Q 输出的“与”运算结果反馈到 D-FF27 的 D 输入端。

在第 1 测试模式时, 如果将比较控制信号 CMPL 定为“0”, 则变成测试有效状态, 比较输入数据 D 与预期值数据 EXP, 在两者一致的情况

下，由于“同”门 152 的输出即比较结果数据成为“1”，比较器 121 的输出成为“1”，将串行输入 SI 和 D-FF27 的 Q 输出的“与”运算结果反馈到 D-FF27 的 D 输入端。另一方面，在两者不一致的情况下，由于“同”门 152 的输出成为“0”，比较结果数据成为“0”，故将“0”强制性地锁存于 D-FF27 中。

如果将移位模式信号 SM2 定为“1”，测试模式信号 TMSI 定为“1”，测试模式信号 TMFB 定为“0”，则成为第 2 测试（TEST2）模式。在第 2 测试模式时，与图 43 中示出的现有的 S-FF200 相同，能进行不传播串行输出 S0 的测试工作。

如果将移位模式信号 SM2 定为“1”，测试模式信号 TMSI 定为“0”，测试模式信号 TMFB 定为“1”，则成为第 3 测试（TEST3）模式。在第 3 测试模式时，如果将比较控制信号 CMPL 定为“1”，则变成测试无效状态，比较器 121 的输出强制性地变成“1”。因而，通过“或-与非”门 131 和倒相器 168 将串行输入 SI 反馈到 D-FF27 的 D 输入端。

在第 3 测试模式时，如果将比较控制信号 CMPL 定为“0”，则变成测试有效状态，比较输入数据 D 与预期值数据 EXP，在两者一致的情况下，由于“同”门 152 的输出即比较结果数据成为“1”，比较器 121 的输出成为“1”，将串行输入 SI 反馈到 D-FF27 的 D 输入端。另一方面，在两者不一致的情况下，由于“同”门 152 的输出成为“0”，比较结果数据成为“0”，故将“0”强制性地锁存于 D-FF27 中。

即，在第 3 测试模式时，将作为故障信息的“0”作为串行输出 S0 输出后，在 S-FF101 内不遗留故障信息。

如果将移位模式信号 SM2 定为“1”，测试模式信号 TMSI 定为“1”，测试模式信号 TMFB 定为“1”，比较控制信号 CMPL 定为“1”，则成为置位（SET1）模式，在置位模式时，能在 D-FF27 中置位“1”。

通过用置位模式将“1”写入 D-FF27 中，在与 RAM 的输出连接的随机逻辑的扫描测试中也产生优点。

在随机逻辑的扫描测试时，在现有的 RAM 用的测试电路中存在以下那样的问题。

在现有的 RAM 用的测试电路中，在正常模式（SM=0）的正常工作时取入 RAM 的输出数据。在未对 RAM 进行初始化的情况下，因为取入了不定值（X），故有必要在移出时将其忽略（Dont care）。此外，在进

行随机逻辑的自测试的情况下，必须有用忽略上述不定值 X 的电路，存在自测试的控制电路变得复杂的问题。

如果能进行 RAM 的初始化，则可解决该问题，但必须有初始化的测试图形，存在随机逻辑的扫描测试变得复杂的问题及自测试的控制电路变得复杂的问题。

但是，在实施例 15 的测试电路中，由于只通过设定成置位模式，就能在内部的 D-FF27 内写入“1”，故能可靠地取入“1”来代替不定值 X。其结果，可解决上述问题，可使随机逻辑的测试变得容易，可使自测试的控制电路变得简单。

〈测试电路〉

在这样的结构的 S-FF101 中，与实施例 1 的 S-FF1 相同，通过作为构成图 2 中示出的第 1 结构的测试电路 10 或图 3 中示出的第 2 结构的测试电路 16 的各自的扫描总线的 SFF<0>~SFF<4> 使用，来实现实施例 15 的半导体集成电路装置的测试电路。但是，在图 2 和图 3 与图 27 的关系中，测试模式信号 TM 对应于测试模式信号 TMSI 和测试模式信号 TMFB，移位模式信号 SM 对应于移位模式信号 SM2，比较控制信号 CMP 对应于比较控制信号 CMPL。

因而，由于实施例 15 的测试电路在第 1 或第 3 测试模式时，使指示故障的“0”在由 SFF<0>~SFF<4> 构成的扫描总线上顺序地移位传播，故能迅速地检测出 RAM11 的不良，故与以往相比，可在短时间内进行不合格品的检测，可缩短测试时间。

而且，能在第 1 测试模式时在本身遗留指示故障的“0”，在第 3 测试模式时不在本身遗留指示故障的“0”。

另外，实施例 15 的测试电路通过设定成第 2 测试模式，由于也能将“0”只锁存于对应于产生了不良情况的数据输出 DO<i> 的 SFF<i> 中，故可根据开发时和批量生产时的需要，在第 1~第 3 测试模式中的适当的测试模式下进行测试。

此外，通过设定成置位模式，也可直接将“1”写入 S-FF101 的 D-FF27 中。

此外，通过用“或-与非”门 131 同时地对比较器 121 的比较结果、分别基于串行输入 SI 和 D-FF27 的 Q 输出的“或”运算结果进行“与非”运算处理，可谋求提高作为故障信息的“0”的检测速度。

此外，由于“或-与非”门 131 如图 28 所示能用较少的数目的晶体管来构成，故与个别地形成“或”门和“与非”门、或将选择器及其它逻辑门组合起来实现同等的逻辑功能的电路相比，成为简单的电路结构。因而，可谋求大幅度地缩小 S-FF101 的整体的电路结构。

再有，如图 8 所示，通过将实施例 15 的测试电路与冗余电路 14 连接，当然也可控制冗余电路 14。

〈控制信号发生电路〉

图 29 是示出实施例 15 的控制信号发生电路 111 的结构的电路图。

如该图所示，倒相器 141 接收测试模式信号 TM1。倒相器 141 的输出成为测试模式信号 TMFB。

“与”门 142 在一个输入端接收移位模式信号 SM，在另一个输入端接收倒相器 141 的输出。“或非”门 143 在一个输入端接收串行传播模式信号 ANDSI，在另一个输入端接收“与”门 142 的输出。而且，“或非”门 143 的输出成为测试模式信号 TMSI。

原封不动地输出预期值数据 EXP，同时成为“或”门 145 的第 1 输入。比较控制信号 CMP 通过倒相器 144 被反转（/CMP），作为比较控制信号 CMPL 被输出，同时成为“或”门 145 的第 2 输入。

“或”门 145 在第 3 输入端接收移位模式信号 SM，进行从第 1～第 3 输入端得到的信号的“或”运算，输出移位模式信号 SM2。

表 1 是对于每个模式示出控制信号发生电路 111 的输入信号组（SM、EXP、CMP、TM1、ANDSI）与输出信号组（TMSI、TMFB、CMPL、SM2、EXP）的关系的真值表。以下，参照表 1，说明由控制信号发生电路 111 的输入信号组产生的模式设定。

【表 1】

Table 1

模式	SM	EXP	CMP	TMI	ANDSI	TMSI	TMFB	CNPL	SM2
正常 (俘获)	0	0	0	0	0	1	1	1	0
维持	1	×	0	1	0	1	0	1	1
移位	1	×	0	0	0	0	1	1	1
测试 1	1	EXP	CMP	1	1	0	0	$\overline{\text{CMP}}$	1
测试 2	1	EXP	CMP	1	0	1	0	$\overline{\text{CMP}}$	1
测试 3	1	EXP	CMP	0	1	0	1	$\overline{\text{CMP}}$	1
置位 1	0	1	0	0	0	1	1	1	1

正常 (NORMAL) 模式通过将移位模式信号 SM 设定为“0”、将预期值数据 EXP 设定为“0”、将比较控制信号 CMP 设定为“0”、将测试模式信号 TM1 设定为“0”、将串行传播模式信号 ANDSI 设定为“0”来实现。

维持 (HOLD) 模式通过将移位模式信号 SM 设定为“1”、将比较控制信号 CMP 设定为“0”、将测试模式信号 TM1 设定为“1”、将串行传播模式信号 ANDSI 设定为“0”来实现。

移位 (SHIFT) 模式通过将移位模式信号 SM 设定为“1”、将比较控制信号 CMP 设定为“0”、将测试模式信号 TM1 设定为“0”、将串行传播模式信号 ANDSI 设定为“0”来实现。

第 1 测试模式通过将移位模式信号 SM 设定为“1”、将测试模式信号 TM1 设定为“1”、将串行传播模式信号 ANDSI 设定为“1”来实现。

第 2 测试模式通过将移位模式信号 SM 设定为“1”、将测试模式信号 TM1 设定为“1”、将串行传播模式信号 ANDSI 设定为“0”来实现。

第 3 测试模式通过将移位模式信号 SM 设定为“1”、将测试模式信号 TM1 设定为“0”、将串行传播模式信号 ANDSI 设定为“1”来实现。

置位模式通过将移位模式信号 SM 设定为“0”、将预期值数据 EXP 设定为“1”、将比较控制信号 CMP 设定为“0”、将测试模式信号 TM1 设定为“0”、将串行传播模式信号 ANDSI 设定为“0”来实现。

通过在半导体集成电路装置的输入引脚和实施例 15 的测试电路之间设置这样的结构的控制信号发生电路 111, 可与现有的带有测试功能的 RAM 合在一起。即, 如果将串行传播模式信号 ANDSI 定为“0”, 则由于其它的输入信号组 (SM、TM1、EXP、CMP、T) 成为与图 44 中示出的现有的带有测试功能的 RAM 用的测试电路的输入信号组完全相同的信号组, 故可与现有结构的测试电路共用除串行传播模式信号 ANDSI 以外的输入引脚。

<< 实施例 16 >>

图 30 是示出作为本发明的实施例 16 的 DRAM、SRAM 等的半导体集成电路装置的测试电路中使用的扫描触发器 102 的结构的电路图。

如该图中所示, 比较器 122 由“同”门 157~160、“与”门 161 和“或”门 153 构成。

在“同”门 157~160 的各自的一个输入端接收输入数据 DO<0>~DO

〈3〉, 在各自的另一个输入端接收预期值数据 EXP 〈0〉 ~ EXP 〈3〉。而且, 4 输入端的“与”门 161 与“同”门 157 ~ 160 的输出端连接, “或”门 153 的一个输入端与“与”门 161 的输出端连接, 在另一个输入端接收比较控制信号 CMPL。

“或”门 154 在一个输入端接收串行输入 SI, 在另一个输入端接收测试模式信号 TMSI。“或”门 155 在一个输入端接收测试模式信号 TMFB。

“与非”门 156 接收“或”门 153 ~ 155 的输出, 进行 3 个“或”运算结果、即“或”门 153 ~ 155 的输出的“与非”运算处理, 将其运算结果输出到倒相器 168 的输入端。

通过将上述的“与非”门 156 和“或”门 153 ~ 155 形成为一体, 构成“或-与非”门 132。因而, 在比较器 122 和“或-与非”门 132 中共用“或”门 153。再有, 由于其它的结构与图 27 中示出的 S-FF101 相同, 故省略其说明。此外, “或-与非”门 132 的内部结构与图 28 中示出的结构相同。

这样的结构的 S-FF102 与实施例 15 的 S-FF101 相同, 可在正常模式、维持模式、移位模式、第 1 ~ 第 3 测试模式以及置位模式下进行工作。因而, 实施例 16 的 S-FF102 与实施例 15 的 S-FF101 起到同样的效果。

〈测试电路〉

在这样的结构的 S-FF102 中, 与实施例 1 的 S-FF1 相同, 通过作为构成图 2 中示出的第 1 结构的测试电路 10 或图 3 中示出的第 2 结构的测试电路 16 的各自的扫描总线的 SFF 〈0〉 ~ SFF 〈4〉使用, 来实现实施例 16 的半导体集成电路装置的测试电路。但是, 在图 2 和图 3 与图 30 的关系中, 测试模式信号 TM 对应于测试模式信号 TMSI 和测试模式信号 TMFB, 移位模式信号 SM 对应于移位模式信号 SM2, 比较控制信号 CMP 对应于比较控制信号 CMPL。

因而, 实施例 16 的测试电路可根据开发时和批量生产时的需要, 在第 1 ~ 第 3 测试模式中的适当的测试模式下进行测试。此外, 通过设定成置位模式, 也可直接将“1”写入 S-FF102 的 D-FF27 中。

此外, 通过用“或-与非”门 132 同时地对比较器 122 的比较结果、分别基于串行输入 SI 和 D-FF27 的 Q 输出的“或”运算结果进行“与非”运算处理, 可谋求提高作为故障信息的“0”的检测速度。

此外，由于“或-与非”门 132 如图 31 所示能用较少的数目的晶体管来构成，故与实施例 15 相同，与通过将选择器及其它逻辑门的组合来构成相比，成为简单的电路结构。因而，可谋求大幅度地缩小 S-FF102 的整体的电路结构。

另外，实施例 16 的 S-FF102 能一并地进行 4 位的比较。因而，在构成测试电路内的扫描总线的情况下，与使用内装了比较器 121 的 S-FF101 的情况相比，只设置四分之一的数目的 S-FF102 即可。

再有，通过将实施例 16 的测试电路与冗余电路 14 连接，当然也可控制冗余电路 14。

〈控制信号发生电路〉

图 31 是示出实施例 16 的控制信号发生电路 112 的结构的电路图。

在原封不动地输出预期值数据 EXP〈0〉的同时，成为“或”门 145 的第 1 输入，除此以外，与图 29 中示出的实施例 15 的控制信号发生电路 111 相同。

表 2 是对于每个模式示出控制信号发生电路 112 的输入信号组 (SM、EXP〈0〉~EXP〈3〉、CMP、TM1、ANDSI) 与输出信号组 (TMSI、TMFB、CMPL、SM2、EXP〈0〉~EXP〈3〉) 的关系的真值表。以下，参照表 2，说明由控制信号发生电路 112 的输入信号组产生的模式设定。

【表 2】

Table 2

模式	SM	EXP<0>	EXP<1>	EXP<2>	EXP<3>	CMP	TMI	ANDSI	TMSI	TMF:B	CMP _L	SM2
正常 (停获)	0	0	×	×	×	0	0	0	1	1	1	0
维持	1	×	×	×	×	0	1	0	1	0	1	1
移位	1	×	×	×	×	0	0	0	0	1	1	1
测试 1	1	EXP0	EXP1	EXP2	EXP3	CMP	1	1	0	0	$\overline{\text{CMP}}$	1
测试 2	1	EXP0	EXP1	EXP2	EXP3	CMP	1	0	1	0	$\overline{\text{CMP}}$	1
测试 3	1	EXP0	EXP1	EXP2	EXP3	CMP	0	1	0	1	$\overline{\text{CMP}}$	1
置位 1	0	1	×	×	×	0	0	0	1	1	1	1

正常 (NORMAL) 模式通过将移位模式信号 SM 设定为“0”、将预期值数据 EXP<0> 设定为“0”、将比较控制信号 CMP 设定为“0”、将测试模式信号 TM1 设定为“0”、将串行传播模式信号 ANDSI 设定为“0”来实现。

维持 (HOLD) 模式通过将移位模式信号 SM 设定为“1”、将比较控制信号 CMP 设定为“0”、将测试模式信号 TM1 设定为“1”、将串行传播模式信号 ANDSI 设定为“0”来实现。

移位 (SHIFT) 模式通过将移位模式信号 SM 设定为“1”、将比较控制信号 CMP 设定为“0”、将测试模式信号 TM1 设定为“0”、将串行传播模式信号 ANDSI 设定为“0”来实现。

第 1 测试模式通过将移位模式信号 SM 设定为“1”、将测试模式信号 TM1 设定为“1”、将串行传播模式信号 ANDSI 设定为“1”来实现。

第 2 测试模式通过将移位模式信号 SM 设定为“1”、将测试模式信号 TM1 设定为“1”、将串行传播模式信号 ANDSI 设定为“0”来实现。

第 3 测试模式通过将移位模式信号 SM 设定为“1”、将测试模式信号 TM1 设定为“0”、将串行传播模式信号 ANDSI 设定为“1”来实现。

置位模式通过将移位模式信号 SM 设定为“0”、将预期值数据 EXP<0> 设定为“1”、将比较控制信号 CMP 设定为“0”、将测试模式信号 TM1 设定为“0”、将串行传播模式信号 ANDSI 设定为“0”来实现。

通过半导体集成电路装置的输入引脚和实施例 16 的测试电路之间设置这样的结构的控制信号发生电路 112, 可与图 13 中示出的那样的结构的多输入端的带有测试功能的 RAM 合在一起。即, 如果将串行传播模式信号 ANDSI 定为“0”, 则由于其它的输入信号组 (SM、TM1、EXP、CMP、T (图 13 中未图示)) 成为与多输入端的带有测试功能的 RAM 用的测试电路的输入信号组完全相同的信号组, 故可与现有结构的测试电路共用除串行传播模式信号 ANDSI 以外的输入引脚。

<< 实施例 17 >>

图 32 是示出作为本发明的实施例 17 的 DRAM、SRAM 等的半导体集成电路装置的测试电路中使用的扫描触发器 103 的结构的电路图。

如该图中所示, 比较器 123 由倒相器 162、“或”门 163 和 164 构成, 倒相器 162 接收输入数据 D0, 在“或”门 163 的一个输入端和另一个输入端接收比较控制信号 CMP1L 和输入数据 D0, 在“或”门 164 的一个输

入端接收比较控制信号 CMP0L, 另一个输入端与倒相器 162 的输出连接。

“或”门 165 在一个输入端接收串行输入 SI, 在另一个输入端接收测试模式信号 TMSI。“或”门 166 在一个输入端接收测试模式信号 TMFB, 在另一个输入端接收来自 D-FF27 的 Q 输出。

“与非”门 167 接收“或”门 163~166 的输出, 进行 4 个“或”运算结果、即“或”门 163~166 的输出的“与非”运算处理, 将其运算结果输出到倒相器 168 的输入端。

通过将上述的“与非”门 167 和“或”门 163~166 形成为一体, 构成“或-与非”门 133。因而, 在比较器 123 和“或-与非”门 133 中共用“或”门 163、164。而且, “或-与非”门 133 的输出与倒相器 168 的输入端连接。再有, 其它的结构与图 27 中示出的实施例 15 的 S-FF101 相同。

图 33 是示出“或-与非”门 133 的内部结构的电路图。如该图所示, 在电源 VDD、接地电平间串联连接 PMOS 晶体管 QA1、QA0 和传输门 TF1~TF4。

再者, 对于 PMOS 晶体管 QA1、QA0, 分别并联连接 PMOS 晶体管 QB1、QB0、PMOS 晶体管 QC1、QC0 和 PMOS 晶体管 QD1、QD0。

将第 1A 输入 INA1 和第 0A 输入 INAO 分别输入到传输门 TF1 的 2 个 NMOS 栅的一个和另一个上, 同时分别输入到 PMOS 晶体管 QA1 和 QA0 的栅上。将第 1B 输入 INB1 和第 0B 输入 INB0 分别输入到传输门 TF2 的 2 个 NMOS 栅的一个和另一个上, 同时分别输入到 PMOS 晶体管 QB1 和 QB0 的栅上。将第 1C 输入 INC1 和第 0C 输入 INC0 分别输入到传输门 TF3 的 2 个 NMOS 栅的一个和另一个上, 同时分别输入到 PMOS 晶体管 QC1 和 QC0 的栅上。将第 1D 输入 IND1 和第 0D 输入 IND0 分别输入到传输门 TF4 的 2 个 NMOS 栅的一个和另一个上, 同时分别输入到 PMOS 晶体管 QD1 和 QD0 的栅上。

通过这样来构成, 可得到“或-与非”门 133, 该“或-与非”门 133 从输出 OUT 输出来自第 1A 输入 INA1 和第 0A 输入 INAO、第 1B 输入 INB1 和第 0B 输入 INB0、第 1C 输入 INC1 和第 0C 输入 INC0 以及第 1D 输入 IND1 和第 0D 输入 IND0 的信号的“或-与非”运算结果。

再有, 由于第 1A 输入 INA1 和第 0A 输入 INAO、第 1B 输入 INB1 和第 0B 输入 INB0、第 1C 输入 INC1 和第 0C 输入 INC0 或第 1D 输入 IND1

和第 0D 输入 INDO 在逻辑上是等效的，故都可作为“或”门 163 ~ 166 的任一个的输入来使用。

例如，可将第 1B 输入 INB1 和第 0B 输入 INB0 作为“或”门 165 的输入来使用，将串行输入 SI 输入到第 1B 输入 INB1，将测试模式信号 TMSI 输入到第 0B 输入 INB0，也可将第 1C 输入 INC1 和第 0C 输入 INCO 作为“或”门 165 的输入来使用，将串行输入 SI 输入到第 1C 输入 INC1，将测试模式信号 TMSI 输入到第 0C 输入 INCO。

此外，在将第 1B 输入 INB1 和第 0B 输入 INB0 作为“或”门 165 的输入来使用的情况下，也可将上述组合反过来，将测试模式信号 TMSI 输入到第 1B 输入 INB1，将串行输入 SI 输入到第 0B 输入 INB0。

在图 32、图 33 示出的结构中，如果将移位模式信号 SM2 定为“0”，则成为正常（NORMAL（CAPTURE 俘获））模式，与定时信号 T 同步地将输入数据 D 取入 D-FF27 中。

如果将移位模式信号 SM2 定为“1”，测试模式信号 TMSI 定为“1”，测试模式信号 TMFB 定为“0”，比较控制信号 CMPOL 和比较控制信号 CMP1L 定为“1”，则成为维持（HOLD）模式，由于强制性地“或”门 163 ~ 165 的输出变成“1”，故通过将 D-FF27 的 Q 输出原封不动地反馈到 D 输入，来保存 D-27 的内容。

如果将移位模式信号 SM2 定为“1”，测试模式信号 TMSI 定为“0”，测试模式信号 TMFB 定为“1”，比较控制信号 CMPOL 和比较控制信号 CMP1L 定为“1”，则成为移位工作（SHIFT）模式，由于强制性地“或”门 163、164 和 166 的输出变成“1”，故与定时信号 T 同步地将串行输入 SI 取入 D-FF27 中。

如果将移位模式信号 SM2 定为“1”，测试模式信号 TMSI 定为“0”，测试模式信号 TMFB 定为“0”，根据预期值数据 EXP 将比较控制信号 CMP1L 和比较控制信号 CMPOL 中的一个定为“0”、另一个定为“1”，则成为第 1 测试（TEST1）模式。在第 1 测试模式时，如果将比较控制信号 CMP1L 定为“0”（CMPOL = “1”），则通过“或”门 163 输入数据 DO 是“1”的情况下，进行看作故障的测试（“1”故障测试）。此时，将串行输入 SI、D-FF27 的 Q 输出和“或”门 163 的输出的“与”运算结果反馈到 D-FF27 的 D 输入端。再有，所谓“1”故障测试，成为实施例 15 的 S-FF101 的第 1（~ 第 3）测试模式工作时的比较控制信号 CMPL = “0”、

预期值数据 EXP = “0” 时的测试。

在第 1 测试模式时, 如果将比较控制信号 CMPOL 定为 “0” (CMP1L = “1”), 则通过 “或” 门 164 输入数据 DO 是 “0” 的情况下, 进行看作故障的测试 (“0” 故障测试)。此时, 将串行输入 SI、D-FF27 的 Q 输出和 “或” 门 164 的输出的 “与” 运算结果反馈到 D-FF27 的 D 输入端。再有, 所谓 “0” 故障测试, 成为实施例 15 的 S-FF101 的第 1 (~ 第 3) 测试模式工作时的比较控制信号 CMPL = “0”、预期值数据 EXP = “1” 时的测试。

如果将移位模式信号 SM2 定为 “1”, 测试模式信号 TMSI 定为 “1”, 测试模式信号 TMFB 定为 “0”, 则成为第 2 测试 (TEST2) 模式。在第 2 测试模式时, 能进行不传播串行输出 S0 的测试 (“0” 故障测试或 “1” 故障测试) 工作。

如果将移位模式信号 SM2 定为 “1”, 测试模式信号 TMSI 定为 “0”, 测试模式信号 TMFB 定为 “1”, 则成为第 3 测试 (TEST3) 模式。在第 3 测试模式时, 将作为故障信息的 “0” 作为串行输出 S0 输出后, 可进行在 S-FF103 内不遗留故障信息的测试 (“0” 故障测试或 “1” 故障测试) 工作。

如果将移位模式信号 SM2 定为 “1”, 测试模式信号 TMSI 定为 “1”, 测试模式信号 TMFB 定为 “1”, 比较控制信号 CMPOL 和比较控制信号 CMP1L 定为 “1”, 则成为置位 (SET1) 模式, 在置位模式时, 能在 D-FF27 中置位 “1”。

通过用置位模式将 “1” 写入 D-FF27 中, 与 RAM 的输出连接的随机逻辑的扫描测试等与实施例 15 同样地变得容易。

此外, 除了在 “或-与非” 门 133 中被共用的 “或” 门 163、164 外, 只用倒相器 162 来构成比较器 123。因而, 与如实施例 15 的比较器 121 那样使用了 “同” 门的情况相比, 可大幅度简化电路结构。

〈测试电路〉

在这样的结构的 S-FF103 中, 与实施例 1 的 S-FF1 相同, 通过作为构成图 2 中示出的第 1 结构的测试电路 10 或图 3 中示出的第 2 结构的测试电路 16 的各自的扫描总线的 SFF<0> ~ SFF<4> 使用, 来实现实施例 17 的半导体集成电路装置的测试电路。但是, 在图 2 和图 3 与图 32 的关系中, 测试模式信号 TM 对应于测试模式信号 TMSI 和测试模

式信号 TMFB, 移位模式信号 SM 对应于移位模式信号 SM2, 比较控制信号 CMP 和预期值数据 EXP 对应于比较控制信号 CMPOL 和比较控制信号 CMP1L.

因而, 实施例 17 的测试电路可进行与实施例 15 的测试电路等效的工作, 起到与实施例 15 同样的效果.

再有, 通过将实施例 17 的测试电路如图 8 所示那样与冗余电路 14 连接, 当然也可控制冗余电路 14.

〈控制信号发生电路〉

图 34 是示出实施例 17 的控制信号发生电路 113 的结构的电路图.

如该图中所示, 预期值数据 EXP 成为倒相器 146 的输入. “与非”门 147 的一个输入端与倒相器 146 的输出端连接, 另一个输入端接收比较控制信号 CMP. 而且, “与非”门 147 的输出成为比较控制信号 CMPOL.

“与非”门 148 的一个输入端接收预期值数据 EXP, 另一个输入端接收比较控制信号 CMP. 而且, “与非”门 148 的输出成为比较控制信号 CMP1L.

“或”门 149 在第 1 输入端接收预期值数据 EXP, 在第 2 输入端接收比较控制信号 CMP, 在第 3 输入端接收移位模式信号 SM. 而且, “或”门 149 的输出成为移位模式信号 SM2. 再有, 其它的结构与图 29 中示出的实施例 15 的控制信号发生电路 111 相同.

表 3 是对于每个模式示出控制信号发生电路 113 的输入信号组 (SM、EXP

、CMP、TM1、ANDSI) 与输出信号组 (TMSI、TMFB、CMOPL、CM1PL、SM2) 的关系的真值表. 以下, 参照表 3, 说明由控制信号发生电路 113 的输入信号组产生的模式设定.

【表 3】

Table 3

模式	SM	EXP	CMP	TMI	ANDSI	TMSI	TMFB	CMP0L	CMP1L	SM2
正常 (俘获)	0	0	0	0	0	1	1	1	1	0
维持	1	×	0	1	0	1	0	1	1	1
移位	1	×	0	0	0	0	1	1	1	1
测试 1	1	EXP	CMP	1	1	0	0	$\overline{EXP} \& \overline{CMP}$	$\overline{EXP} \& \overline{CMP}$	1
测试 2	1	EXP	CMP	1	0	1	0	$\overline{\overline{EXP} \& \overline{CMP}}$	$\overline{EXP} \& \overline{CMP}$	1
测试 3	1	EXP	CMP	0	1	0	1	$\overline{\overline{EXP} \& \overline{CMP}}$	$\overline{EXP} \& \overline{CMP}$	1
置位 1	0	1	0	0	0	1	1	1	1	1

正常 (NORMAL) 模式通过将移位模式信号 SM 设定为 “0”、将预期值数据 EXP 设定为 “0”、将比较控制信号 CMP 设定为 “0”、将测试模式信号 TM1 设定为 “0”、将串行传播模式信号 ANDSI 设定为 “0” 来实现。

维持 (HOLD) 模式通过将移位模式信号 SM 设定为 “1”、将比较控制信号 CMP 设定为 “0”、将测试模式信号 TM1 设定为 “1”、将串行传播模式信号 ANDSI 设定为 “0” 来实现。

移位 (SHIFT) 模式通过将移位模式信号 SM 设定为 “1”、将比较控制信号 CMP 设定为 “0”、将测试模式信号 TM1 设定为 “0”、将串行传播模式信号 ANDSI 设定为 “0” 来实现。

第 1 测试模式通过将移位模式信号 SM 设定为 “1”、将测试模式信号 TM1 设定为 “1”、将串行传播模式信号 ANDSI 设定为 “1” 来实现。

第 2 测试模式通过将移位模式信号 SM 设定为 “1”、将测试模式信号 TM1 设定为 “1”、将串行传播模式信号 ANDSI 设定为 “0” 来实现。

第 3 测试模式通过将移位模式信号 SM 设定为 “1”、将测试模式信号 TM1 设定为 “0”、将串行传播模式信号 ANDSI 设定为 “1” 来实现。

置位模式通过将移位模式信号 SM 设定为 “0”、将预期值数据 EXP 设定为 “1”、将比较控制信号 CMP 设定为 “0”、将测试模式信号 TM1 设定为 “0”、将串行传播模式信号 ANDSI 设定为 “0” 来实现。

通过半导体集成电路装置的输入引脚和实施例 17 的测试电路之间设置这样的结构的控制信号发生电路 113, 可与现有的带有测试功能的 RAM 合在一起。即, 如果将串行传播模式信号 ANDSI 定为 “0”, 则由于其它的输入信号组 (SM、TM1、EXP、CMP、T) 成为与图 44 中示出的现有的带有测试功能的 RAM 用的测试电路的输入信号组完全相同的信号组, 故可与现有结构的测试电路共用除串行传播模式信号 ANDSI 以外的输入引脚。

<< 实施例 18 >>

图 35 是示出作为本发明的实施例 18 的 DRAM、SRAM 等的半导体集成电路装置的测试电路中使用的扫描触发器 104 的结构的电路图。

如图 35 中所示, 从图 32 中示出的 S-FF103 中除去选择器 26 和选择器 26 控制用的移位模式信号 SM2 的输入, 将倒相器 168 的输出直接连接到 D-FF27 的 D 输入端。此外, “或” 门 163 在另一个输入端取入

输入数据 DO 或输入数据 D。再有，其它的结构与 S-FF103 相同。

在这样的结构中，如果将测试模式信号 TMSI 定为“1”，测试模式信号 TMFB 定为“1”，将比较控制信号 CMPOL 和比较控制信号 CMPIL 中的一个定为“1”，另一个定为“0”，则成为正常（NORMAL（CAPTURE 俘获））模式。

在正常模式时，如果将比较控制信号 CMPIL 定为“0”（CMPOL = “1”），则将作为“或”门 163 的另一个输入得到的输入数据 D 与定时信号 T 同步地取入到 D-FF27 中，如果将比较控制信号 CMPOL 定为“0”（CMPIL = “1”），则将作为“或”门 164 的另一个输入得到的输入数据 D 的反转值与定时信号 T 同步地取入到 D-FF27 中。

这样，在正常模式时，可根据比较控制信号 CMPOL 和 CMPIL，将输入数据 D 的非反转值和反转值中的一个值有选择地取入到 D-FF27 中。

如果将测试模式信号 TMSI 定为“1”，测试模式信号 TMFB 定为“0”，比较控制信号 CMPOL 和 CMPIL 定为“1”，则成为维持（HOLD）模式，由于“或”门 163 ~ 165 的输出强制性地变成“1”，故通过将 D-FF27 的 Q 输出原封不动地反馈到 D 输入，来保存 D-FF27 的内容。

如果将测试模式信号 TMSI 定为“0”，测试模式信号 TMFB 定为“1”，比较控制信号 CMPOL 和比较控制信号 CMPIL 定为“1”，则成为移位工作（SHIFT）模式，由于“或”门 163、164 和 166 的输出强制性地变成“1”，故与定时信号 T 同步地将串行输入 SI 取入 D-FF27 中。

如果将测试模式信号 TMSI 定为“0”，测试模式信号 TMFB 定为“0”，根据预期值数据 EXP 将比较控制信号 CMPIL 和比较控制信号 CMPOL 中的一个定为“0”、另一个定为“1”，则成为第 1 测试（TEST1）模式。在第 1 测试模式时，如果将比较控制信号 CMPIL 定为“0”（CMPOL = “1”），则进行“1”故障测试。如果将比较控制信号 CMPOL 定为“0”（CMPIL = “1”），则进行“0”故障测试。

如果将测试模式信号 TMSI 定为“1”，测试模式信号 TMFB 定为“0”，则成为第 2 测试（TEST2）模式。在第 2 测试模式时，能进行不传播串行输出 SO 的测试（“0”故障测试或“1”故障测试）工作。

如果将测试模式信号 TMSI 定为“0”，测试模式信号 TMFB 定为“1”，则成为第 3 测试（TEST3）模式。在第 3 测试模式时，将作为故障信息的“0”作为串行输出 SO 输出后，可进行在 S-FF103 内不遗留故障信

息的测试（“0”故障测试或“1”故障测试）工作。

如果将测试模式信号 TMSI 定为“1”，测试模式信号 TMFB 定为“1”，比较控制信号 CMPOL 和比较控制信号 CMP1L 定为“1”，则成为置位（SET1）模式，在置位模式时，能在 D-FF27 中置位“1”。

由于比较器 123 如实施例 15 的比较器 121 那样，不使用“同”门来构成，故可使电路结构变得简单。

另外，实施例 18 的 S-FF104 与实施例 17 的 S-FF103 相比，省略了选择器 26，可谋求电路结构的进一步简化。

〈测试电路〉

在这样的结构的 S-FF104 中，与实施例 1 的 S-FF1 相同，通过作为构成图 2 中示出的第 1 结构的测试电路 10 或图 3 中示出的第 2 结构的测试电路 16 的各自的扫描总线的 SFF〈0〉～SFF〈4〉使用，来实现实施例 18 的半导体集成电路装置的测试电路。但是，在图 2 和图 3 与图 35 的关系中，测试模式信号 TM 对应于测试模式信号 TMSI 和 TMFB，比较控制信号 CMP 和预期值数据 EXP 对应于比较控制信号 CMPOL 和比较控制信号 CMP1L。

因而，实施例 18 的测试电路可进行与实施例 15 的测试电路等效的工作，起到与实施例 15～17 同样的效果。

再有，通过将实施例 18 的测试电路如图 8 所示那样与冗余电路 14 连接，当然也可控制冗余电路 14。

〈控制信号发生电路〉

图 36 是示出实施例 18 的控制信号发生电路 114 的结构的电路图。

如该图中所示，“与非”门 150 的一个输入端与“与非”门 148 的输出端连接，另一个输入端与“或”门 149 输出端连接。而且，也可用“或-与非”门构成“或”门 149 和“与非”门 150。

“与非”门 150 的输出通过倒相器 151 作为比较控制信号 CMP1L 输出。再有，其它的结构与图 34 中示出的实施例 17 的控制信号发生电路 113 相同。

表 4 是对于每个模式示出控制信号发生电路 114 的输入信号组（SM、EXP、CMP、TM1、ANDSI）与输出信号组（TMSI、TMFB、CMPOL、CMP1L）的关系的真值表。以下，参照表 4，说明由控制信号发生电路 114 的输入信号组产生的模式设定。

【表 4】

Table 4

模式	SM	EXP	CMP	TMI	ANDSI	TMSI	TMFB	CMPOL	CMPIL
正常 (停装)	0	0	0	0	0	1	1	1(0)	0(1)
维持	1	×	0	1	0	1	0	1	1
移位	1	×	0	0	0	0	1	1	1
测试 1	1	EXP	CMP	1	1	0	0	$\overline{\overline{\text{EXP}}} \ \& \ \overline{\overline{\text{CMP}}}$	$\overline{\overline{\text{EXP}}} \ \& \ \overline{\overline{\text{CMP}}}$
测试 2	1	EXP	CMP	1	0	1	0	$\overline{\overline{\text{EXP}}} \ \& \ \overline{\overline{\text{CMP}}}$	$\overline{\overline{\text{EXP}}} \ \& \ \overline{\overline{\text{CMP}}}$
测试 3	1	EXP	CMP	0	1	0	1	$\overline{\overline{\text{EXP}}} \ \& \ \overline{\overline{\text{CMP}}}$	$\overline{\overline{\text{EXP}}} \ \& \ \overline{\overline{\text{CMP}}}$
置位 1	0	1	0	0	0	1	1	1	1

正常 (NORMAL) 模式通过将移位模式信号 SM 设定为“0”、将预期值数据 EXP 设定为“0”、将比较控制信号 CMP 设定为“0”、将测试模式信号 TM1 设定为“0”、将串行传播模式信号 ANDSI 设定为“0”来实现。

维持 (HOLD) 模式通过将移位模式信号 SM 设定为“1”、将比较控制信号 CMP 设定为“0”、将测试模式信号 TM1 设定为“1”、将串行传播模式信号 ANDSI 设定为“0”来实现。

移位 (SHIFT) 模式通过将移位模式信号 SM 设定为“1”、将比较控制信号 CMP 设定为“0”、将测试模式信号 TM1 设定为“0”、将串行传播模式信号 ANDSI 设定为“0”来实现。

第 1 测试模式通过将移位模式信号 SM 设定为“1”、将测试模式信号 TM1 设定为“1”、将串行传播模式信号 ANDSI 设定为“1”来实现。

第 2 测试模式通过将移位模式信号 SM 设定为“1”、将测试模式信号 TM1 设定为“1”、将串行传播模式信号 ANDSI 设定为“0”来实现。

第 3 测试模式通过将移位模式信号 SM 设定为“1”、将测试模式信号 TM1 设定为“0”、将串行传播模式信号 ANDSI 设定为“1”来实现。

置位模式通过将移位模式信号 SM 设定为“0”、将预期值数据 EXP 设定为“1”、将比较控制信号 CMP 设定为“0”、将测试模式信号 TM1 设定为“0”、将串行传播模式信号 ANDSI 设定为“0”来实现。

通过半导体集成电路装置的输入引脚和实施例 18 的测试电路之间设置这样的结构的控制信号发生电路 114, 可与现有的带有测试功能的 RAM 合在一起。即, 如果将串行传播模式信号 ANDSI 定为“0”, 则由于其它的输入信号组 (SM、TM1、EXP、CMP、T) 成为与图 44 中示出的现有的带有测试功能的 RAM 用的测试电路的输入信号组完全相同的信号组, 故可与现有结构的测试电路共用除串行传播模式信号 ANDSI 以外的输入引脚。

<< 实施例 19 >>

图 37 是示出作为本发明的实施例 19 的 DRAM、SRAM 等的半导体集成电路装置的测试电路中使用的扫描触发器 105 的结构的电路图。

如图 37 中所示, 比较器 124 由倒相器 162、“或”门 163 和 164 构成, 倒相器 162 接收输入数据 D 或输入数据 D0, 在“或”门 163 的一个输入端和另一个输入端接收比较控制信号 CMP1L, 在另一个输入端接收输入

数据 D 或输入数据 D0, 在“或”门 164 的一个输入端接收比较控制信号 CMP0L, 另一个输入端与倒相器 162 的输出连接。

“或”门 170 在一个输入端接收串行输入 SI, 在另一个输入端接收测试模式信号 TMSI。“或”门 171 在一个输入端接收测试模式信号 TMFB, 在另一个输入端接收来自 D-FF27 的 Q 输出。

“与非”门 172 接收“或”门 170、171 的输出, 进行 2 个“或”运算结果、即“或”门 170、171 的输出的“与非”运算, 将其运算结果供给倒相器 173 的输入端。

通过将上述的“与非”门 172 和“或”门 170、171 形成为一体, 构成“或-与非”门 134。

“与非”门 169 接收“或”门 163、164 和倒相器 173 的输出, 进行“或”门 163、164 和倒相器 173 的输出的“与非”运算处理, 将其运算结果供给倒相器 168 的输入端。

通过将上述的“与非”门 169 和“或”门 163、164 形成为一体, 构成带有第 3 输入的“或-与非”门 135。因而, 在比较器 124 和“或-与非”门 135 中共用“或”门 163、164。而且, “或-与非”门 135 的输出与倒相器 168 的输入端连接。其它的结构与图 35 中示出的实施例 18 的 S-FF104 相同。

这样的结构的实施例 19 的 S-FF105 与实施例 18 的 S-FF104 完全相同, 将测试模式信号 TMSI 定为“1”, 测试模式信号 TMFB 定为“1”, 根据比较控制信号 CMP0L 和比较控制信号 CMP1L, 可进行正常模式、维持模式、移位模式、第 1~第 3 测试模式和置位模式下的工作, 起到与实施例 18 的 S-FF104 同样的效果。

图 38 是示出“或-与非”门 134 的内部结构的电路图。如该图所示, 在电源 VDD、接地电平间串联连接 PMOS 晶体管 QA1、QA0 和传输门 TF1、TF2。

再者, 对于 PMOS 晶体管 QA1、QA0, 分别并联连接 PMOS 晶体管 QB1、QB0。

将第 1A 输入 INA1 和第 0A 输入 INAO 分别输入到传输门 TF1 的 2 个 NMOS 栅的一个和另一个上, 同时分别输入到 PMOS 晶体管 QA1 和 QA0 的栅上。将第 1B 输入 INB1 和第 0B 输入 INBO 分别输入到传输门 TF2 的 2 个 NMOS 栅的一个和另一个上, 同时分别输入到 PMOS 晶体管 QB1 和 QB0。

的栅上。

通过这样来构成，可得到“或-与非”门 134，该“或-与非”门 134 从输出 OUT 输出来自第 1A 输入 INA1 和第 0A 输入 INA0 以及第 1B 输入 INB1 和第 0B 输入 INB0 的信号的“或-与非”运算结果。

图 39 是示出“或-与非”门 135 的内部结构的电路图。如该图所示，在电源 VDD、接地电平间串联连接 PMOS 晶体管 QA1、QA0、传输门 TF1、TF2 和 NMOS 晶体管 QN1。

再者，对于 PMOS 晶体管 QA1、QA0，分别并联连接 PMOS 晶体管 QB1、QB0 和 PMOS 晶体管 QP1。

将第 1A 输入 INA1 和第 0A 输入 INA0 分别输入到传输门 TF1 的 2 个 NMOS 栅的一个和另一个上，同时分别输入到 PMOS 晶体管 QA1 和 QA0 的栅上。将第 1B 输入 INB1 和第 0B 输入 INB0 分别输入到传输门 TF2 的 2 个 NMOS 栅的一个和另一个上，同时分别输入到 PMOS 晶体管 QB1 和 QB0 的栅上。将第 3 输入 INC 输入到 NMOS 晶体管 QN1 的栅上，同时输入到 PMOS 晶体管 QP1 的栅上。

通过这样来构成，可得到“或-与非”门 135，该“或-与非”门 135 从输出 OUT 输出来自第 1A 输入 INA1 和第 0A 输入 INA0 以及第 1B 输入 INB1 和第 0B 输入 INB0 的信号的“或”运算结果与来自第 3 输入 INC 的信号的“与非”运算结果。

上述结构的 S-FF105 在正常模式时，由于将测试模式信号 TMSI 定为“1”，测试模式信号 TMFB 定为“1”，故倒相器 173 的输出固定于“1”。

因而，在正常模式时，根据“或-与非”门 135 的运算处理时间来决定 S-FF105 的工作时间。如图 39 所示，“或-与非”门 135 的结构中，串联连接在电源 VDD、接地间的晶体管的级数是 5 级，由于 NMOS 晶体管 QN1 经常处于导通状态，故实际上是 4 级。

另一方面，在 S-FF103、104 中使用的“或-与非”门 133（参照图 33）中，在接地间串联连接的晶体管的级数是 6 级。

因而，实施例 19 的 S-FF105 与实施例 18 的 S-FF104 相比，可谋求在正常模式时的工作速度的高速化。

〈测试电路〉

在这样的结构的 S-FF105 中，与实施例 18 的 S-FF104 相同，通过

作为构成图2中示出的第1结构的测试电路10或图3中示出的第2结构的测试电路16的各自的扫描总线的SFF<0>~SFF<4>使用,来实现实施例19的半导体集成电路装置的测试电路。

再有,通过将实施例19的测试电路如图8所示那样与冗余电路14连接,当然也可控制冗余电路14。

〈控制信号发生电路〉

通过在半导体集成电路装置的输入引脚和实施例19的测试电路之间设置图36中示出的控制信号发生电路114,与实施例18相同,可与现有的带有测试功能的RAM合在一起。

〈〈实施例20〉〉

图40是示出作为本发明的实施例20的DRAM、SRAM等的半导体集成电路装置的测试电路中使用的扫描触发器106的结构的电路图。

如图40中所示,比较器124由倒相器174、180、“或”门175、179、“与非”门181和“与非”门178的一部分功能构成,倒相器174接收输入数据D或输入数据D0,在“或”门179的一个输入端接收比较控制信号CMP1L,在另一个输入端接收输入数据D或输入数据D0,在“或”门175的一个输入端接收比较控制信号CMP0L,另一个输入端与倒相器174的输出端连接。

“与非”门181的一个输入端与“或”门179的输出端连接,另一个输入端与倒相器180的输出端连接。通过将上述的“与非”门181和“或”门179形成为一体,构成带有第2输入端的“或-与非”门137。

“或”门176在一个输入端接收串行输入SI,在另一个输入端接收测试模式信号TMSI。“或”门177在一个输入端接收测试模式信号TMFB,在另一个输入端接收来自D-FF27的Q输出。

“与非”门178接收“或”门175~177的输出,进行3个“或”运算结果,即“或”门175~177的输出的“与非”运算,将其运算结果供给倒相器180的输入端。

通过将上述的“与非”门178和“或”门175~177形成为一体,构成“或-与非”门136。其它的结构与图35中示出的实施例18的S-FF104相同。

这样的结构的实施例20的S-FF106与实施例18的S-FF104完全相同,将测试模式信号TMSI定为“1”,测试模式信号TMFB定为“1”,

根据比较控制信号 CMP0L 和比较控制信号 CMP1L, 可进行正常模式、维持模式、移位模式、第 1~第 3 测试模式和置位模式下的工作, 起到与实施例 18 的 S-FF104 同样的效果。

图 41 是示出“或-与非”门 137 的内部结构的电路图。如该图所示, 在电源 VDD、接地电平间串联连接 PMOS 晶体管 QA1、QA0、传输门 TF1 和 NMOS 晶体管 QN2。

再者, 对于 PMOS 晶体管 QA1、QA0, 分别并联连接 PMOS 晶体管 QP2。

将第 1A 输入 INA1 和第 0A 输入 INAO 分别输入到传输门 TF1 的 2 个 NMOS 栅的一个和另一个上, 同时分别输入到 PMOS 晶体管 QA1 和 QA0 的栅上。将第 2 输入 INB 输入到 NMOS 晶体管 QN2 的栅上, 同时输入到 PMOS 晶体管 QP2 的栅上。

通过这样来构成, 可得到“或-与非”门 137, 该“或-与非”门 137 从输出 OUT 输出来自第 1A 输入 INA1 和第 0A 输入 INAO 的“或”运算结果与来自第 2 输入 INB 的信号“与非”运算结果。

再有, “或-与非”门 136 的内部结构与图 28 中示出的“或-与非”门 131 的内部结构成为等效的结构。

上述结构的 S-FF106 在进行输入数据 D 的非反转值取入的正常模式时, 由于将测试模式信号 TMSI 定为“1”, 测试模式信号 TMFB 定为“1”, 比较控制信号 CMP1L 定为“0”, 比较控制信号 CMP0L 定为“1”, 故倒相器 180 的输出固定于“1”。

因而, 在进行输入数据 D 的非反转值取入的正常模式时, 根据“或-与非”门 137 的运算处理时间来决定 S-FF106 的工作时间。如图 41 所示, “或-与非”门 137 的结构中, 串联连接在电源 VDD、接地间的晶体管的级数是 4 级, 由于 NMOS 晶体管 QN2 经常处于导通状态, 故实际上是 3 级。

另一方面, 在 S-FF103、104 中使用的“或-与非”门 133(参照图 33)中, 在接地间串联连接的晶体管的级数是 6 级。

因而, 实施例 20 的 S-FF106, 与实施例 18 的 S-FF104 相比是不用说的, 即使与实施例 19 的 S-FF105 相比, 也可谋求实现在进行输入数据 D 的非反转值取入的正常模式时的工作速度的高速化。

〈测试电路〉

在这样的结构的 S-FF106 中, 与实施例 18 的 S-FF104 相同, 通过

作为构成图 2 中示出的第 1 结构的测试电路 10 或图 3 中示出的第 2 结构的测试电路 16 的各自的扫描总线的 SFF<0>~SFF<4>使用,来实现实施例 20 的半导体集成电路装置的测试电路。

再有,通过将实施例 20 的测试电路如图 8 所示那样与冗余电路 14 连接,当然也可控制冗余电路 14。

〈控制信号发生电路〉

通过在半导体集成电路装置的输入引脚和实施例 20 的测试电路之间设置图 36 中示出的控制信号发生电路 114,与实施例 18 相同,可与现有的带有测试功能的 RAM 合在一起。

〈〈实施例 21〉〉

图 42 是示出作为本发明的实施例 21 的 DRAM、SRAM 等的半导体集成电路装置的测试电路中使用的扫描触发器 107 的结构的电路图。

如图 42 中所示,其特征不在于,设置了“或”门 182、倒相器 183 和“与非”门 184,来代替图 32 中所示的实施例 17 的 S-FF103 的选择器 26。

“或”门 182 在一个输入端接收移位模式信号 SM2,在另一个输入端接收输入数据 D。“与非”门 184 的一个输入端与“或”门 182 的输出端连接,另一个输入端与倒相器 168 的输出端连接。“与非”门 184 的输出通过倒相器 183 与 D-FF27 的数据输入 D 连接。

通过将上述的“与非”门 184 和“或”门 182 形成为一体,构成带有第 2 输入端的“或-与非”门 138。再有,“或-与非”门 138 的内部结构与图 41 中示出的“或-与非”门 137 的内部结构等效。

再有,由于其它的结构与图 32 中示出的实施例 17 的 S-FF103 相同,故省略其说明。

这样的结构的实施例 21 的 S-FF107 与实施例 17 的 S-FF103 完全相同,将测试模式信号 TMSI 定为“1”,测试模式信号 TMFB 定为“1”,根据比较控制信号 CMPOL 和比较控制信号 CMP1L,可进行正常模式、维持模式、移位模式、第 1~第 3 测试模式和置位模式下的工作,起到与实施例 17 的 S-FF103 同样的效果。

上述结构的 S-FF107 在正常模式时,由于将测试模式信号 TMSI 定为“1”,测试模式信号 TMFB 定为“1”,比较控制信号 CMP1L 定为“1”,比较控制信号 CMPOL 定为“1”,故倒相器 168 的输出固定于“1”。

因而,在正常模式时,根据“或-与非”门 138 的运算处理时间来决

定 S-FF107 的工作时间。由于“或-与非”门 138 的内部结构与图 41 中示出的“或-与非”门 137 的结构是等效的,故串联连接在电源 VDD、接地间的晶体管的级数是 4 级,由于 NMOS 晶体管 QN2 经常处于导通状态,故实际上是 3 级。

因而,实施例 21 的 S-FF107,与实施例 17 的 S-FF103 相比,可谋求正常模式时的工作速度的高速化。

实施例 21 的 S-FF107 通过使用逻辑门 182~184 来实现与选择器 26 同等的功能以代替选择器 26,可在用 CMOS 电路构成的情况下用比较简单的电路结构来进行比较高速的选择工作。

〈测试电路〉

在这样的结构的 S-FF107 中,与实施例 17 的 S-FF103 相同,通过作为构成图 2 中示出的第 1 结构的测试电路 10 或图 3 中示出的第 2 结构的测试电路 16 的各自的扫描总线的 SFF<0>~SFF<4>使用,来实现实施例 21 的半导体集成电路装置的测试电路。

再有,通过将实施例 21 的测试电路如图 8 所示那样与冗余电路 14 连接,当然也可控制冗余电路 14。

〈控制信号发生电路〉

此外,通过在半导体集成电路装置的输入引脚和实施例 21 的测试电路之间设置图 34 中示出的控制信号发生电路 113,与实施例 17 相同,可与现有的带有测试功能的 RAM 合在一起。

《其它》

再有,在上述的实施例中,构成测试电路的扫描总线的初级的 S-FF (图 2、图 3 的 SFF<3>、图 13 的 MSFF<3>等)也与其后级的 S-FF 一样,使用了能进行考虑了串行输入 SI 的故障判定的第 1 测试模式的测试的本申请发明的 S-FF,但由于初级的 S-FF 的串行输入 SI 与测试结果无关,故即使使用图 26 中示出的那样的只能进行不考虑串行输入 SI 的第 2 测试模式的测试的现有结构的 S-FF,也没有关系。

此外,也可只在由构成扫描总线的 S-FF 中的连续的 1 个以上的 S-FF 构成的一部分 S-FF 中使用能进行第 1 测试模式的测试的 S-FF。此时,通过在观察上述一部分 S-FF 的最后一级的串行输出 S0 的同时进行第 1 测试模式的测试,该测试范围成为对应于一部分 S-FF (如果上述一部分 S-FF 中存在与初级的 S-FF 之前连接的 S-FF,则也包含该

S-FF的数据输出)的RAM的位。

再有,在上述的实施例中,作为测试对象的存储电路示出了RAM(随机存取存储器),但也可使用FIFO存储器那样的顺序存取(sequential access)的存储电路。

再有,在上述的实施例18~实施例21(图35、图37、图40和图42)中,如图46所示,示出了在D-FF27的D输入侧设置倒相器168、“或-与非”门的输出数据DINV通过倒相器168供给D-FF27的D输入端的结构,但也可如图47所示作成下述的结构:直接将输出数据DINV供给D-FF27的D输入端,在D-FF27的Q输出侧设置倒相器168,将倒相器168的输出作为串行输出S0和数据输出Q来输出。

即,如果将实施例18(图35)的结构举例来说明,则如果预先构成能对“或”门163~166的输出进行“与”运算处理的比较器123、“或-与非”门133、倒相器168和D-FF的合在一起的部份的结构,则倒相器168配置在D-FF27的D输入侧或Q输出侧都可以。

同样,即使在上述的实施例15~实施例17(图27、图30和图32)中,如图47中所示,也可作成将设置于选择器26的“1”输入侧的倒相器168设置在D-FF27的Q输出侧的结构。但是,在该结构的情况下,有必要也在选择器26的“0”输入与输入数据D之间另外设置倒相器。

再有,在半导体集成电路装置内存在多个RAM的情况下,也可这样来构成半导体集成电路装置:传递另一个RAM的测试电路的串行输出数据SOD0,作为某个RAM的测试电路的串行输入数据SID0。此时,有必要在构成后级的RAM的测试电路的扫描总线的初级的S-FF中也使用能进行第1测试模式的测试的S-FF。

此外,在上述的实施例中,作为半导体集成电路装置主要举出了DRAM为例,但当然本发明可适用于在内部具有数据存储部的所有的半导体集成电路装置。

如以上所说明的那样,本发明的第1方面所述的半导体集成电路装置中的多个S-FF中连续的1个以上的S-FF的故障信息传递装置在第1测试模式时,在除比较结果数据之外的包含串行输入数据的故障判定用的数据组中至少1个数据指示故障时,输出指示故障的串行输出数据。

因而,如果上述连续的1个以上的S-FF的第一级~最后一级各自的串行输出数据和上述第一级的S-FF的串行输入数据中任一个数据指

示故障，则指示故障的串行输出数据从最初输出的 S-FF 到最后一级的 S-FF 传播指示故障的串行输出数据。

其结果，在第 1 测试模式时，通过只观察上述最后一级的 S-FF 的串行输出数据，就可至少对于与上述连续的 1 个以上的 S-FF 对应的部分早期地识别被测试的存储电路的故障的有无。

此外，本发明的第 2 方面所述的半导体集成电路装置通过存储用的数据输出装置，在第 1 测试模式时，在故障判定用的数据组中至少 1 个数据指示故障时，将指示故障的存储用的数据作为锁存数据存储于数据存储部中，串行输出数据包含锁存数据。

因而，可将将指示故障的串行输出数据作为锁存数据保存于数据存储部中。

此外，在本发明的第 3 方面所述的半导体集成电路装置中，由于故障判定数据组还包含锁存数据，故如果指示故障的锁存数据一旦保存于数据存储部中，则就继续保存指示故障的锁存数据。

本发明的第 4 方面所述的半导体集成电路装置在第 1 测试模式时，在比较结果数据和锁存数据中至少 1 个数据指示故障时，通过存储用的数据输出装置，使指示故障的锁存数据存储于数据存储部中，再者，通过串行数据输出装置，在串行输入数据和锁存数据中至少 1 个数据指示故障时，输出指示故障的串行输出数据。

因而，如果包含串行输入数据、比较结果数据和锁存数据的故障判定用的数据组中至少 1 个数据指示故障，则输出指示故障的串行输出数据。

此外，由于串行数据输出装置在串行输入数据指示故障时，与锁存数据的指示内容无关地输出指示故障的串行输出数据，故与确定锁存数据相比可早期地输出指示故障的串行输出数据。

在本发明的第 5 方面所述的半导体集成电路装置中，串行输出数据输出装置在第 1 测试模式时，在比较结果数据和考虑了串行输入数据的故障指示内容的锁存数据中至少 1 个数据指示故障时，输出指示故障的串行输出数据。

因而，如果包含串行输入数据、比较结果数据和锁存数据的故障判定数据组中至少 1 个数据指示故障，则输出指示故障的串行输出数据。

此外，由于串行数据输出装置在比较结果数据指示故障时，与锁存

数据的指示内容无关地输出指示故障的串行输出数据，故与确定锁存数据相比可早期地输出指示故障的串行输出数据。

在本发明的第6方面所述的半导体集成电路装置中，串行输出数据输出装置在比较结果数据和本身是串行输入数据的锁存数据中至少1个数据指示故障时，输出指示故障的串行输出数据。

因而，如果包含串行输入数据和比较结果数据的故障判定数据组中至少1个数据指示故障，则输出指示故障的串行输出数据。

此外，由于串行数据输出装置在比较结果数据指示故障时，与锁存数据的指示内容无关地输出指示故障的串行输出数据，故与确定锁存数据相比可早期地输出指示故障的串行输出数据。

再者，在本发明的第7方面所述的半导体集成电路装置中，由于数据存储装置在故障观察模式时，与预定的定时信号同步，将比较结果数据作为锁存数据进行存储，故通过观察锁存数据就可容易地识别比较结果数据的故障指示内容。

本发明的第8方面所述的半导体集成电路装置具备：数据存储部；选择装置；以及存储用的数据输出装置，其中，所述数据存储部存储存储用的数据作为锁存数据和串行输出数据，所述选择装置在第1测试模式时，输出串行输入数据作为选择数据，在第2测试模式时，输出锁存数据作为选择数据，所述存储用的数据输出装置在上述第1和第2测试模式时，在选择数据和比较结果数据中的至少1个数据指示故障时，输出指示故障的存储用的数据。

因而，在第1测试模式时，如果包含串行输入数据和比较结果数据的故障判定数据组中至少1个数据指示故障，则输出指示故障的串行输出数据，在第2测试模式时，如果包含锁存数据和比较结果数据的故障判定用的数据组中至少1个数据指示故障，则输出指示故障的串行输出数据。

在本发明的第9方面所述的半导体集成电路装置中，由于比较电路分别比较预定数目的输出数据和预定数目的预期值数据，即使存在1个不一致的数据，也输出指示故障的比较结果数据，故能以预定数目的单位一并进行故障判定。

因而，相对于被测试的存储电路的多个输出数据的数目，能使用与预定数目成反比例的数目的比较少的S-FF来构成测试电路。

本发明的第 10 方面所述的半导体集成电路装置的存储用的数据输出装置在第 2 测试模式时, 在比较结果数据和锁存数据中至少 1 个数据指示故障时, 由于输出指示故障的存储用的数据, 故在第 2 测试模式时, 如果包含上述锁存数据和比较结果数据的故障判定数据组中至少 1 个数据指示故障, 则可得到指示故障的锁存数据。

因而, 通过分别使用第 1 和第 2 测试模式, 在故障判定数据组中包含串行输入数据的情况下和不包含串行输入数据的情况下, 可分别进行被测试的存储电路的测试。

在本发明的第 11 方面所述的半导体集成电路装置中, 由于“与”运算装置在第 1 测试模式时对串行输入数据、锁存数据和比较结果数据进行“与”运算处理, 故通过至少将这 3 个数据中的 2 个数据一并进行“与”运算处理, 能迅速地得到指示故障信息的存储用的数据, 可谋求故障检测速度的提高。

在本发明的第 12 方面所述的半导体集成电路装置中, 将第 1~第 3 “或”门和“与非”门形成为一体, 构成“或-与非”门, 所述第 1~第 3 “或”门在第 1 测试模式时分别输出使串行输入数据、锁存数据和比较结果数据有效的第 1~第 3 “或”运算结果, 所述“与非”门一并进行第 1~第 3 “或”运算结果的“与非”运算处理, 输出“与非”运算结果。

“或-与非”门与个别地形成“或”门和“与非”门、或将选择器及其它逻辑门组合起来实现同等的逻辑功能的电路相比, 可用简单的电路结构来实现。因而, 可得到作为整体可谋求集成度的提高的半导体集成电路装置。

在本发明的第 13 方面所述的半导体集成电路装置中, 通过将第 1 和第 2 “或”门及第 1 “与非”门形成为一体来构成第 1 “或-与非”门, 将第 3 “或”门及第 2 “与非”门形成为一体来构成第 2 “或-与非”门, 与本发明的第 12 方面所述的半导体集成电路装置相同, 可谋求集成度的提高。

此外, 由于将第 2 “与非”门原来接收第 1 和第 2 “或”运算结果的结构作成接收第 1 “与”运算结果的结构, 可缩短第 2 “与非”门的运算处理时间, 故在能早期地得到第 1 “与”运算结果的情况下, 可实现高速工作。

在本发明的第 14 方面所述的半导体集成电路装置中，在存储用的数据输出装置和比较电路中共用第 1 和第 2 比较用的第 3 “或”门，故可谋求装置的集成度的提高。

本发明的第 15 方面所述的半导体集成电路装置中的存储用的数据输出装置和数据存储部的合在一起的部分还具备下述功能：在第 2 测试模式时，只进行锁存数据和比较结果数据的“与”运算处理，在第 3 测试模式时，只进行串行输出数据和比较结果数据的“与”运算处理。

因而，通过根据需要设定第 1～第 3 测试模式，可在最佳的测试模式下进行被测试的存储电路的测试。

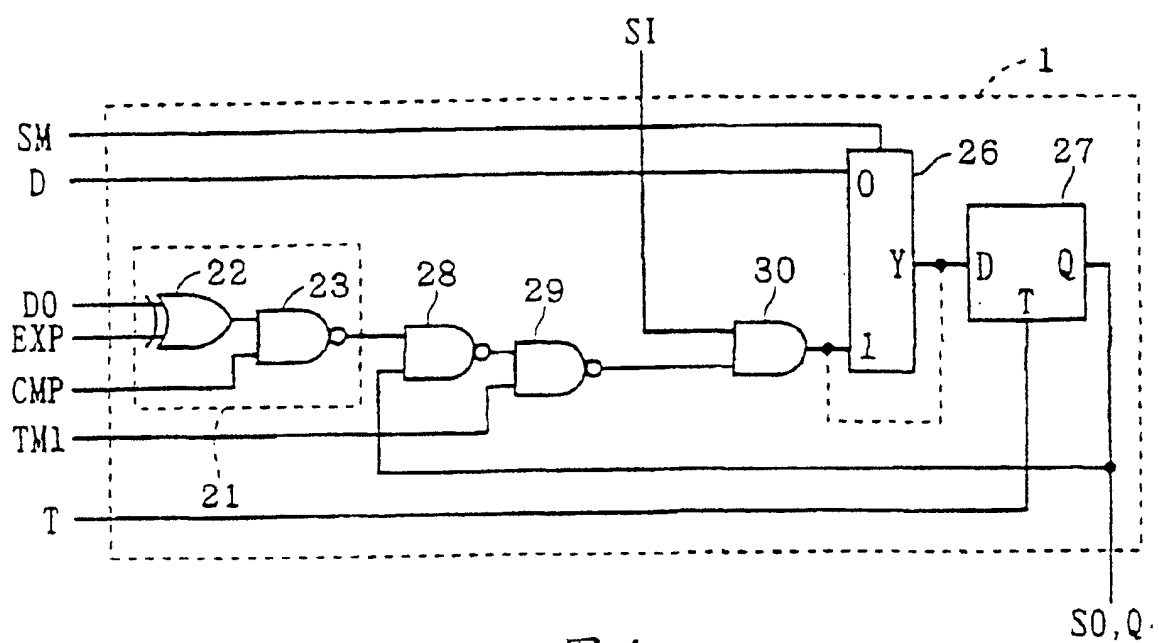


图 1

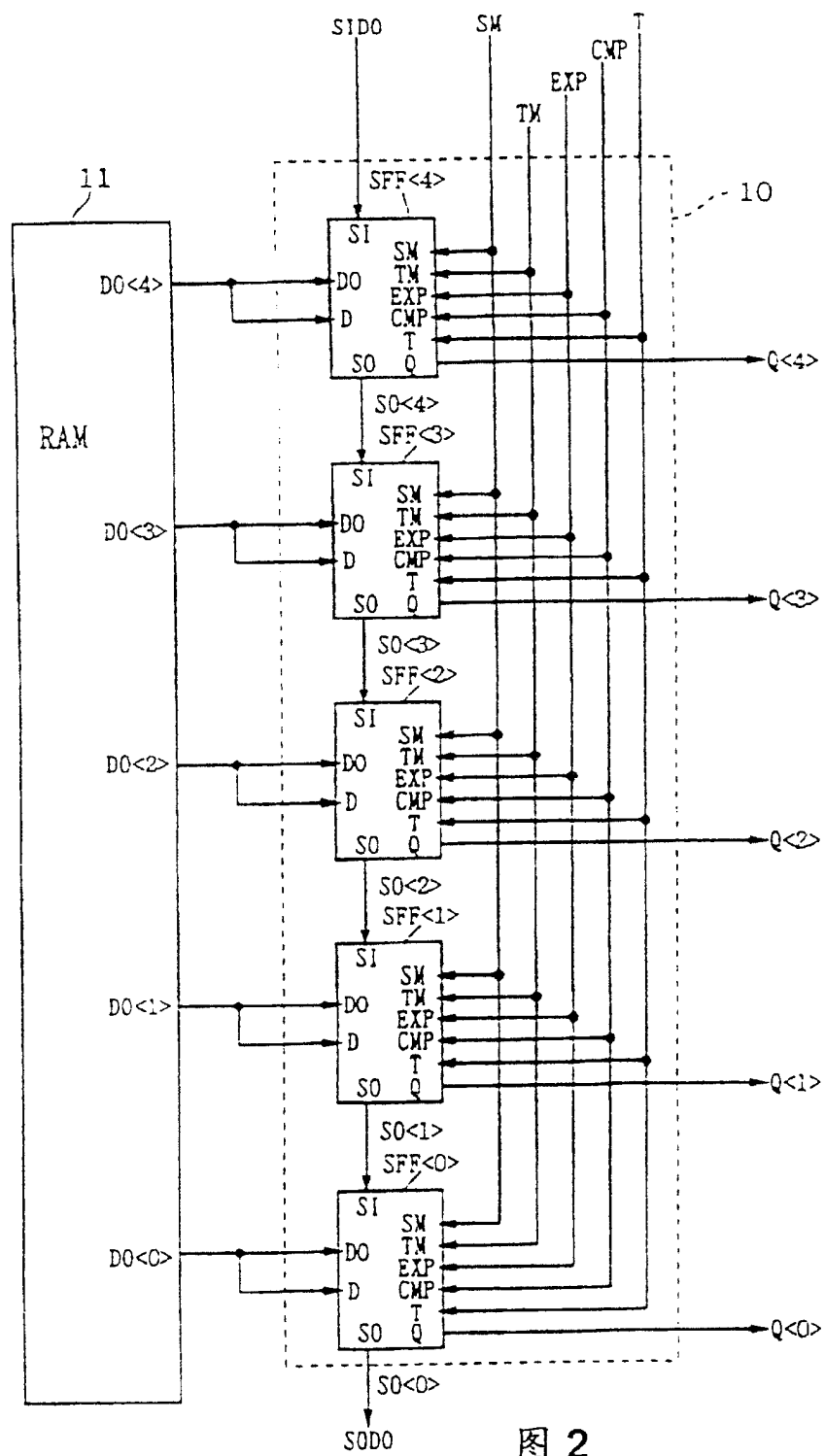


图 2

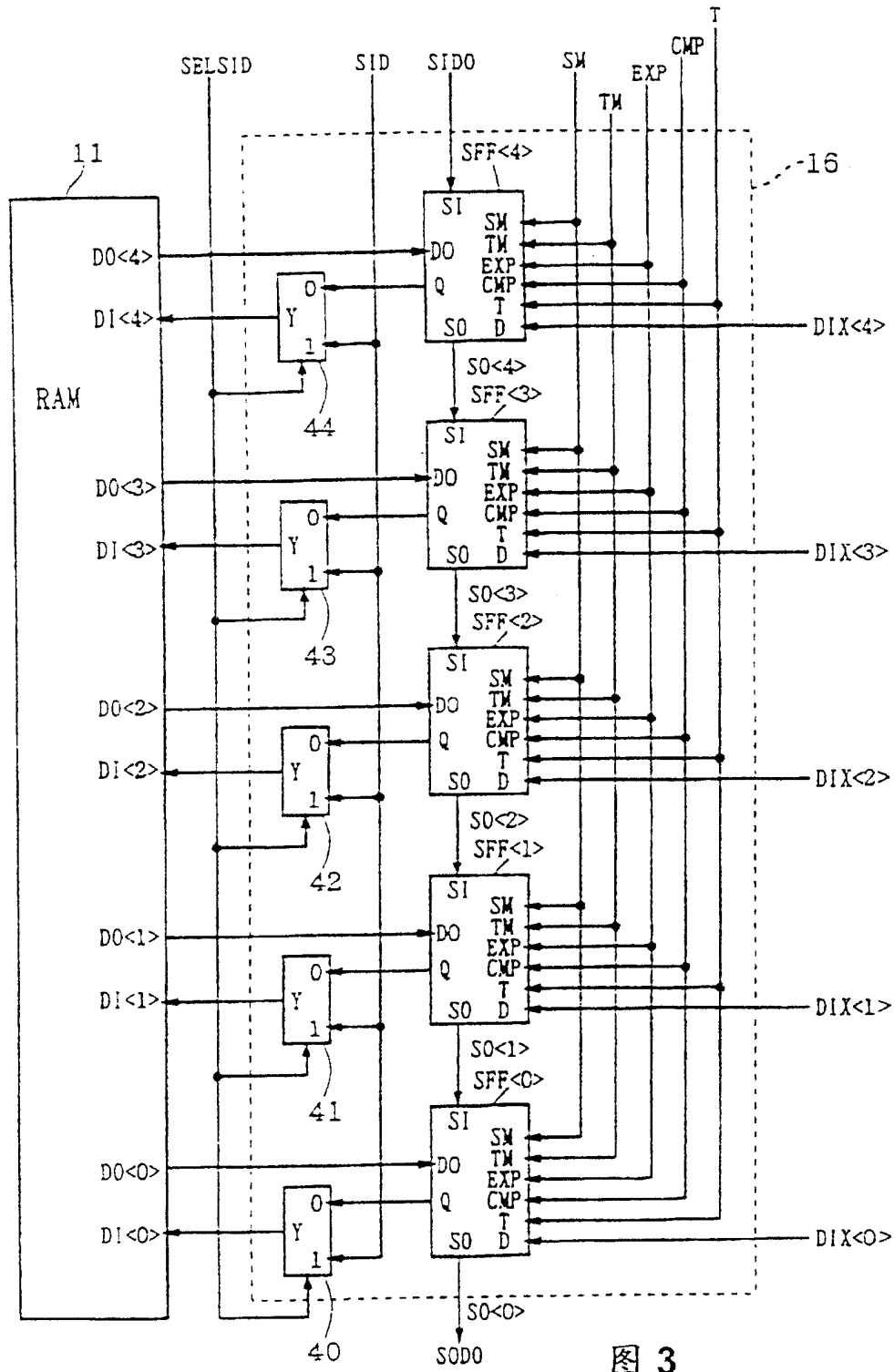


图 3

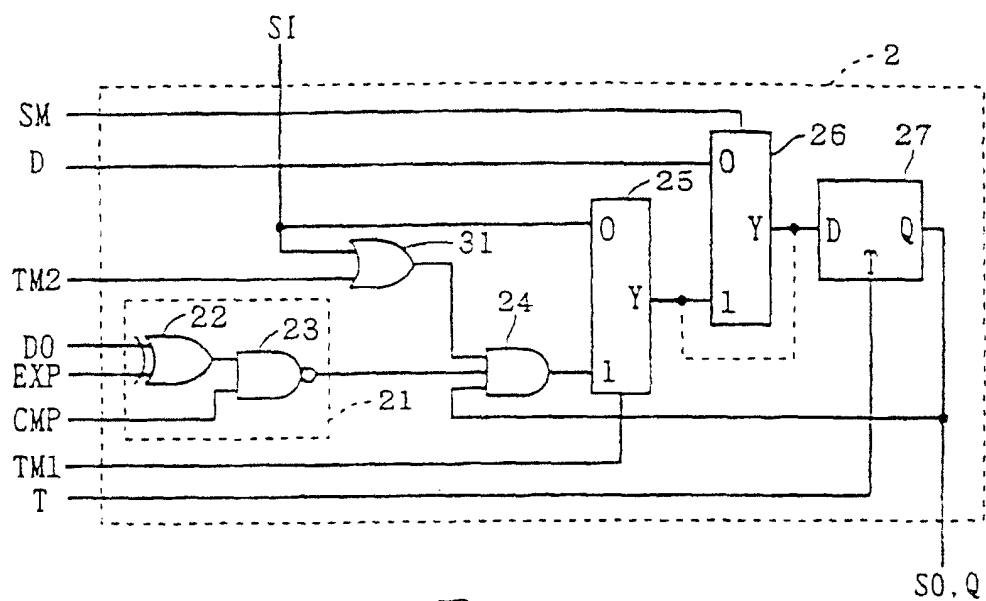


图4

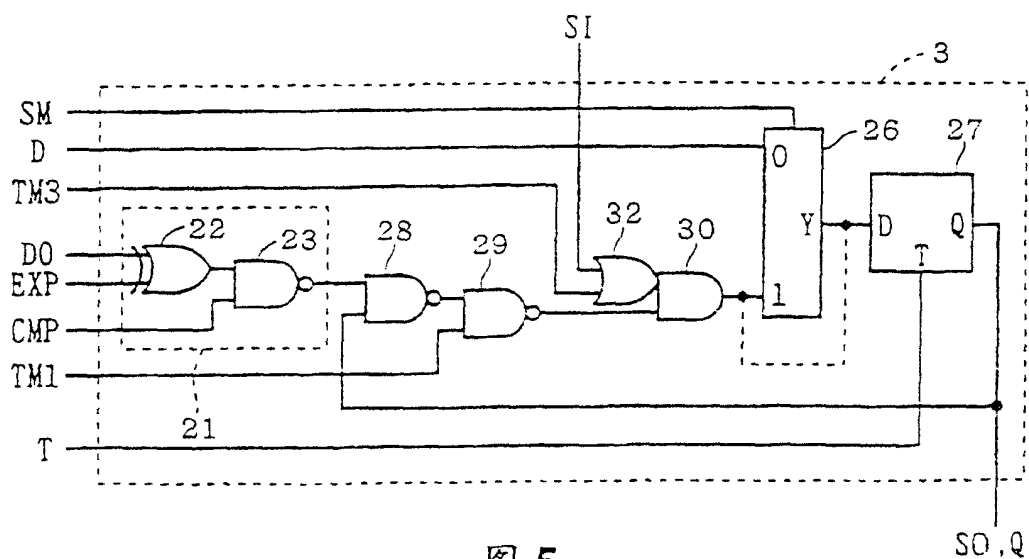


图5

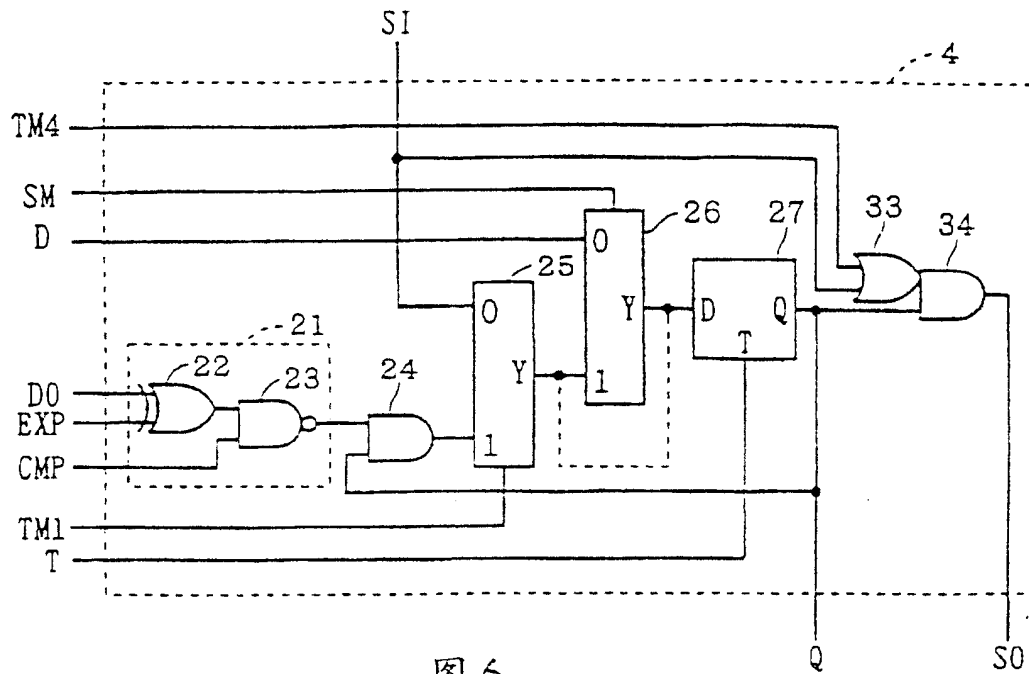


图 6

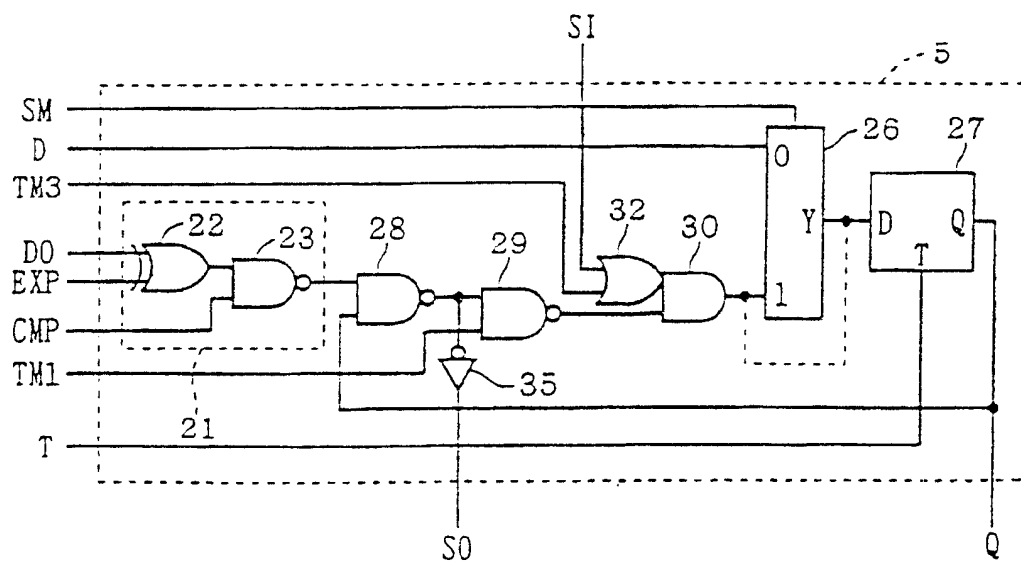


图 7

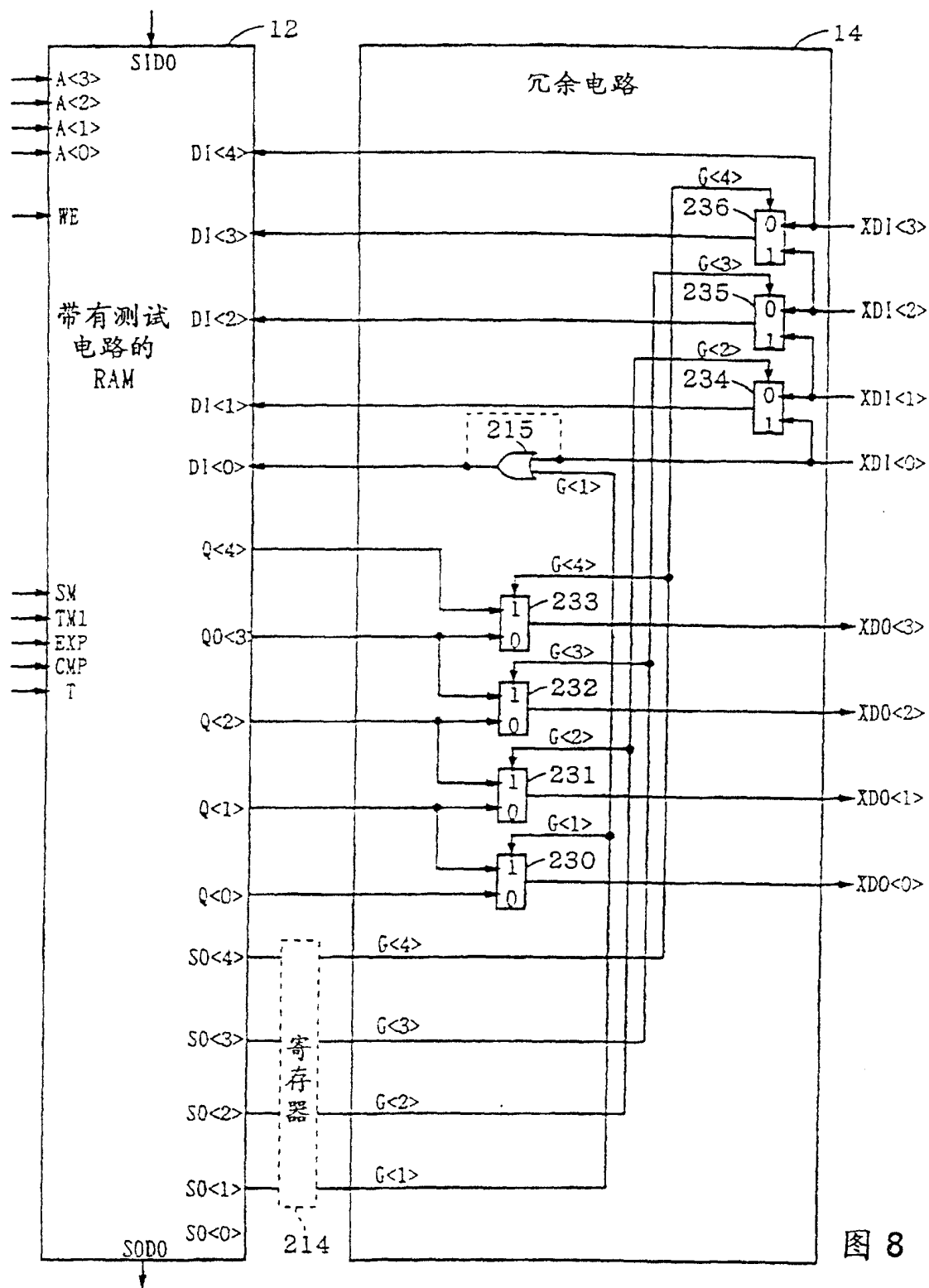


图 8

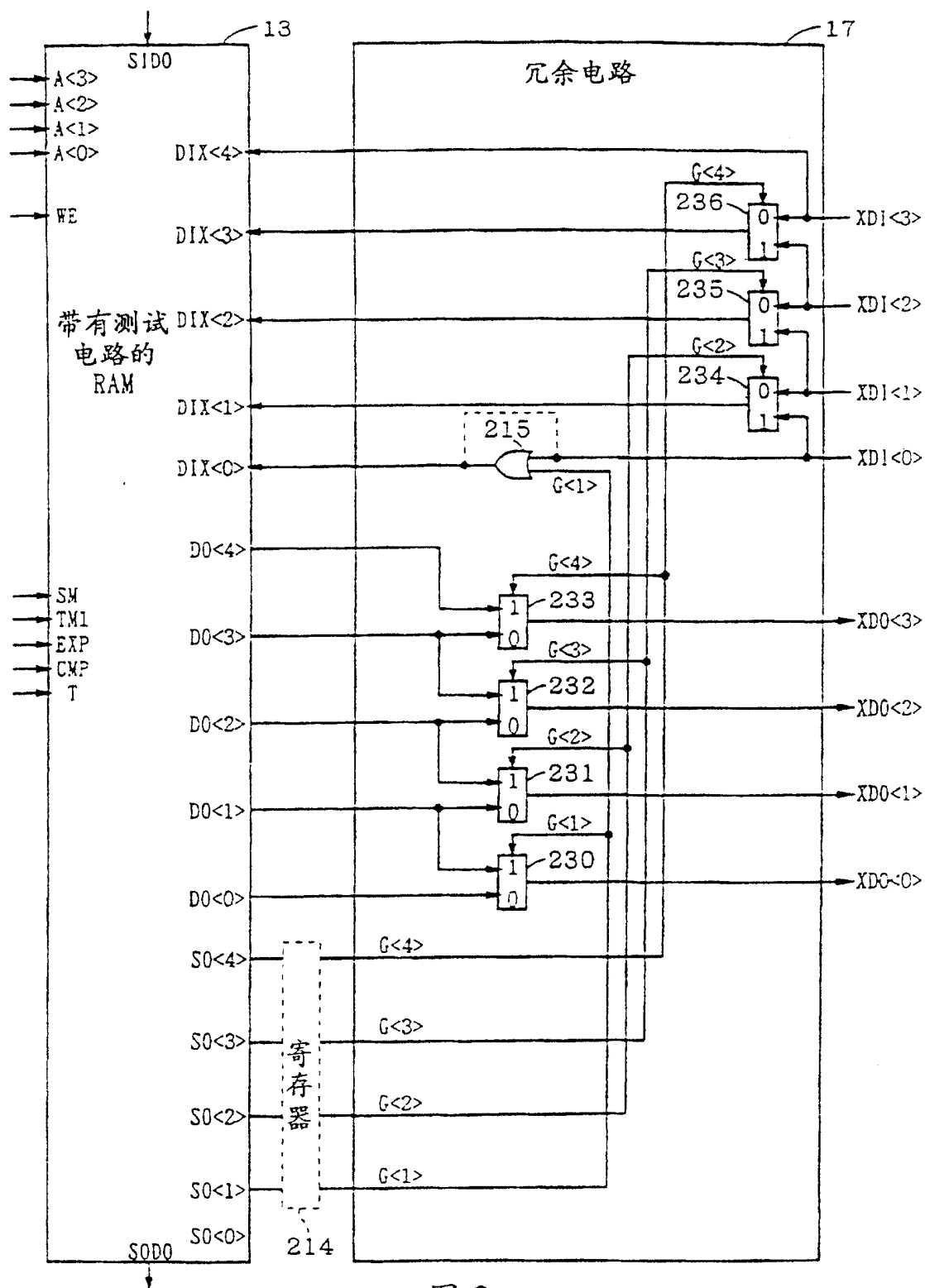


图 9

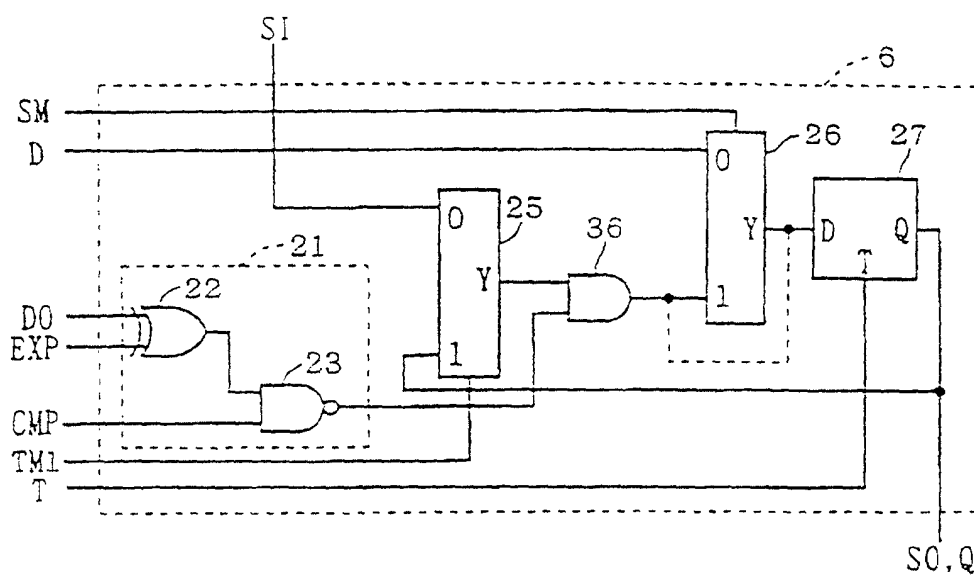


图 10

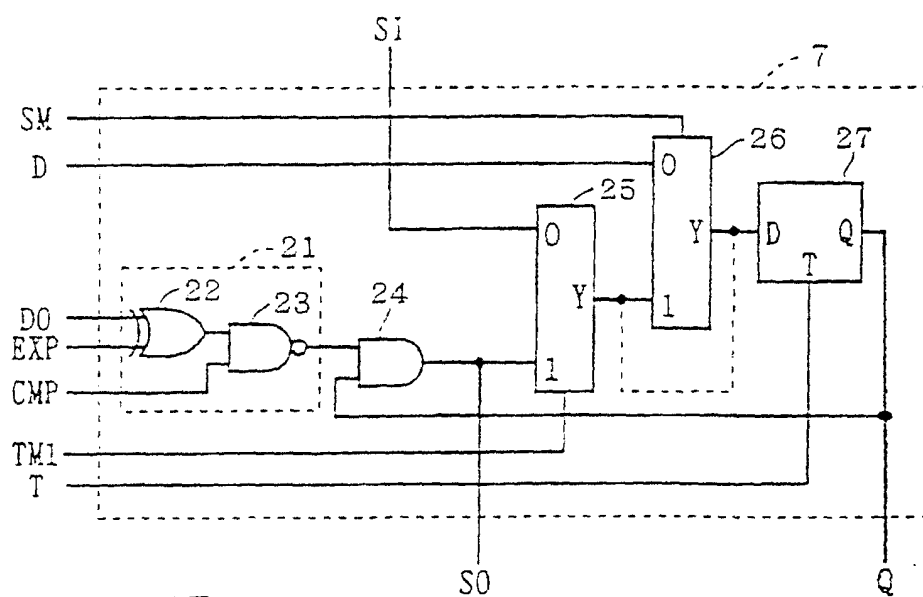


图 11

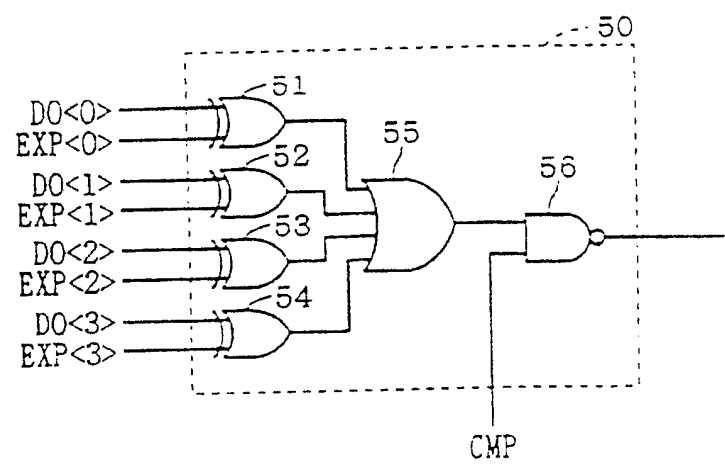


图 12

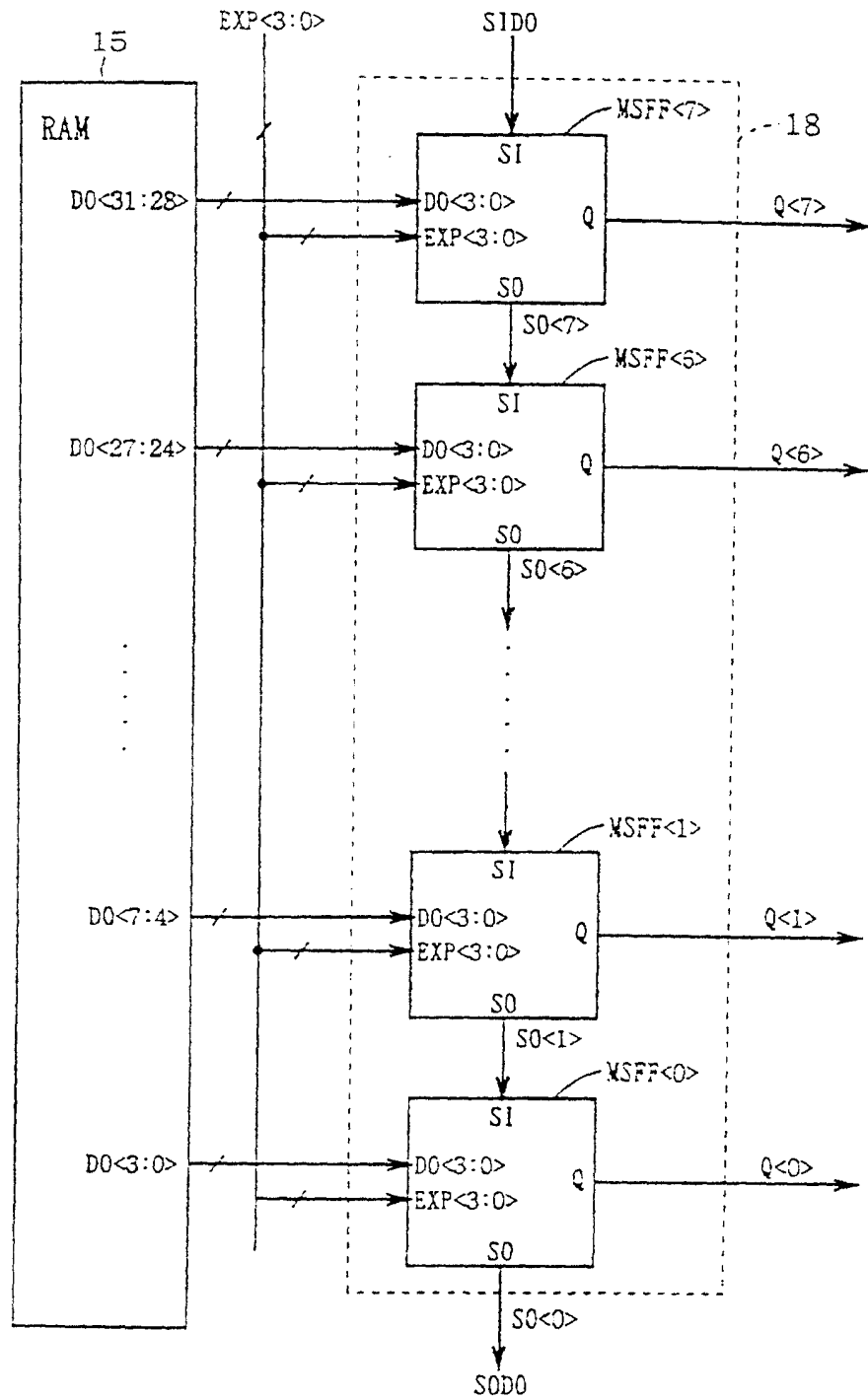


图 13

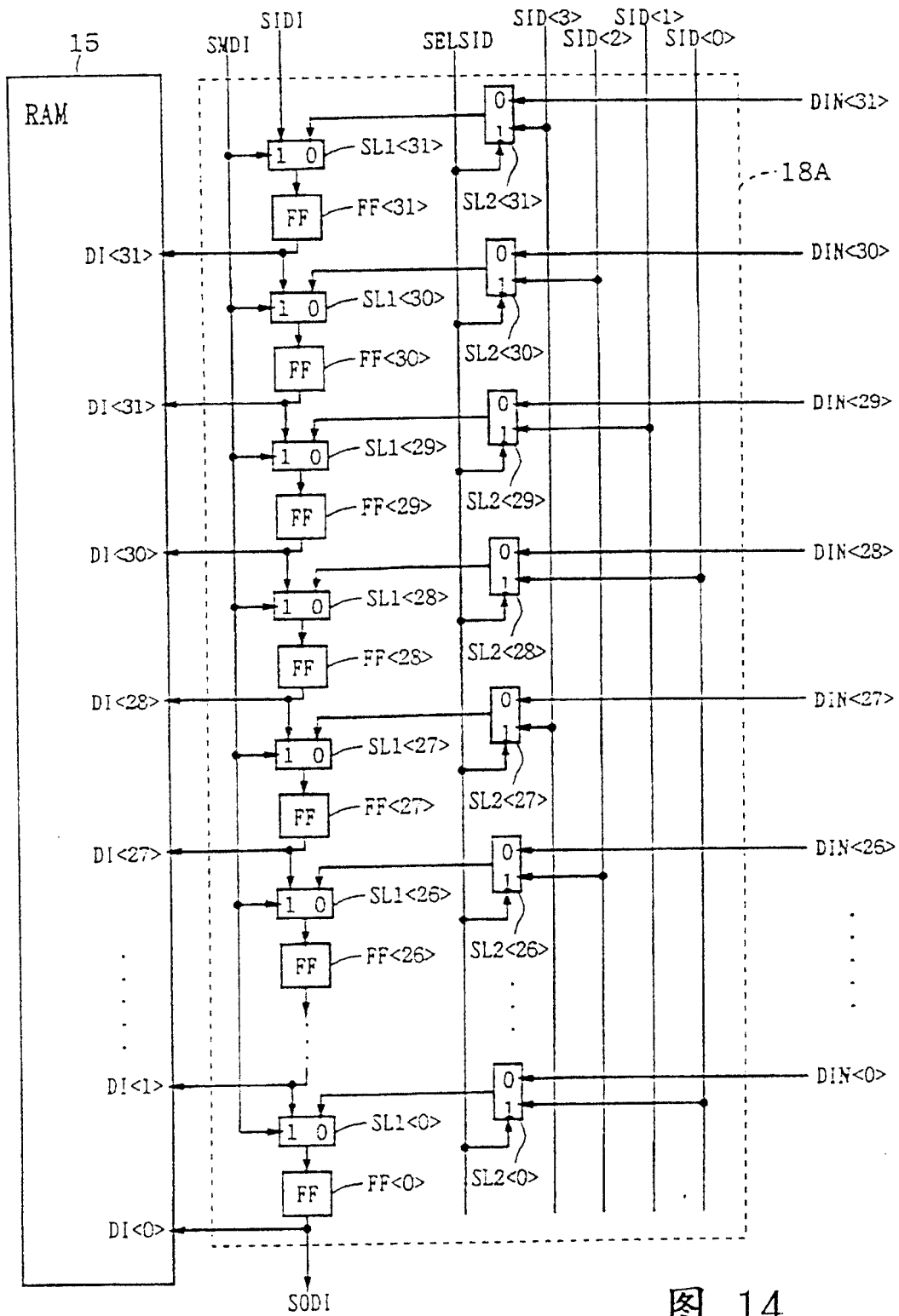


图 14

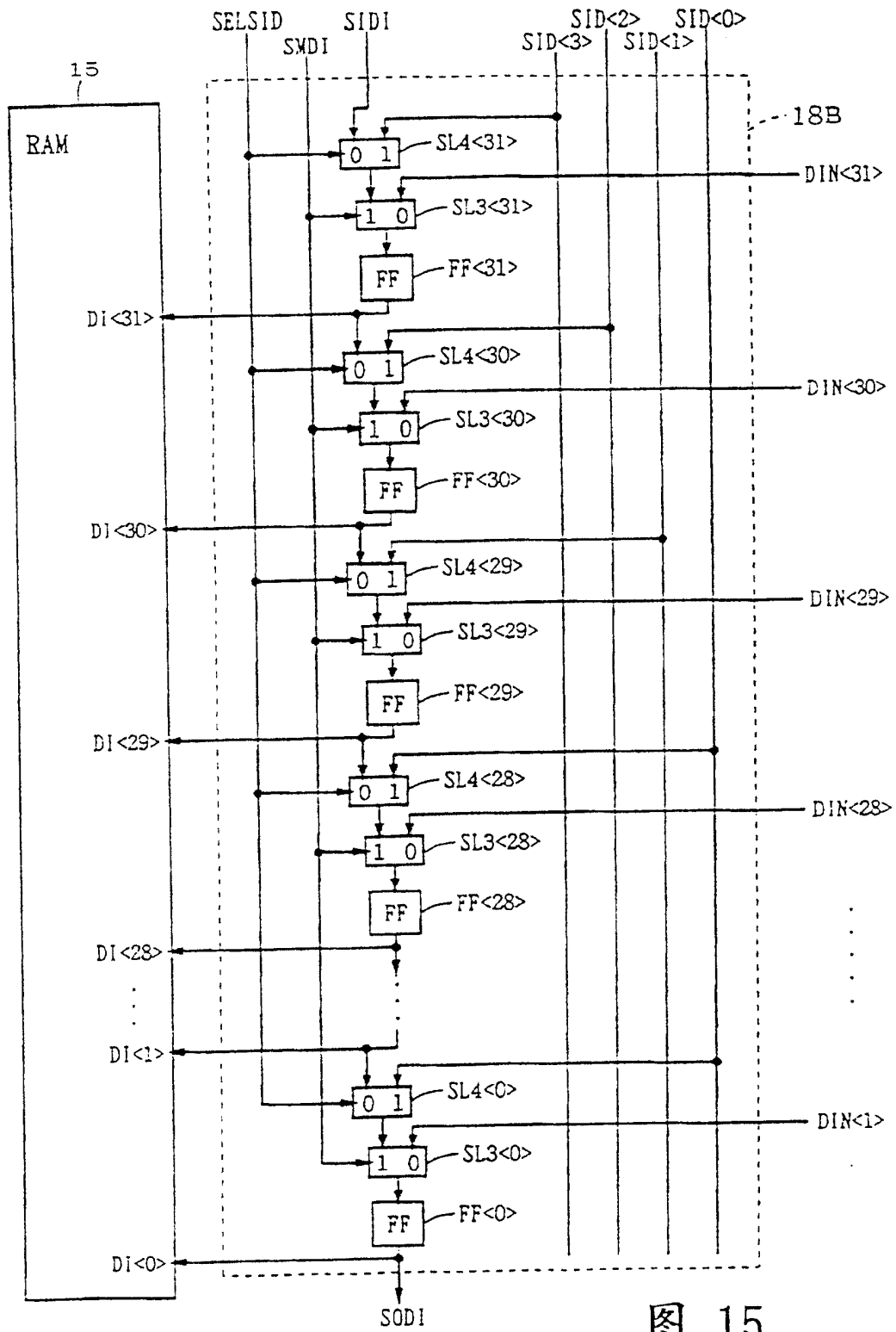


图 15

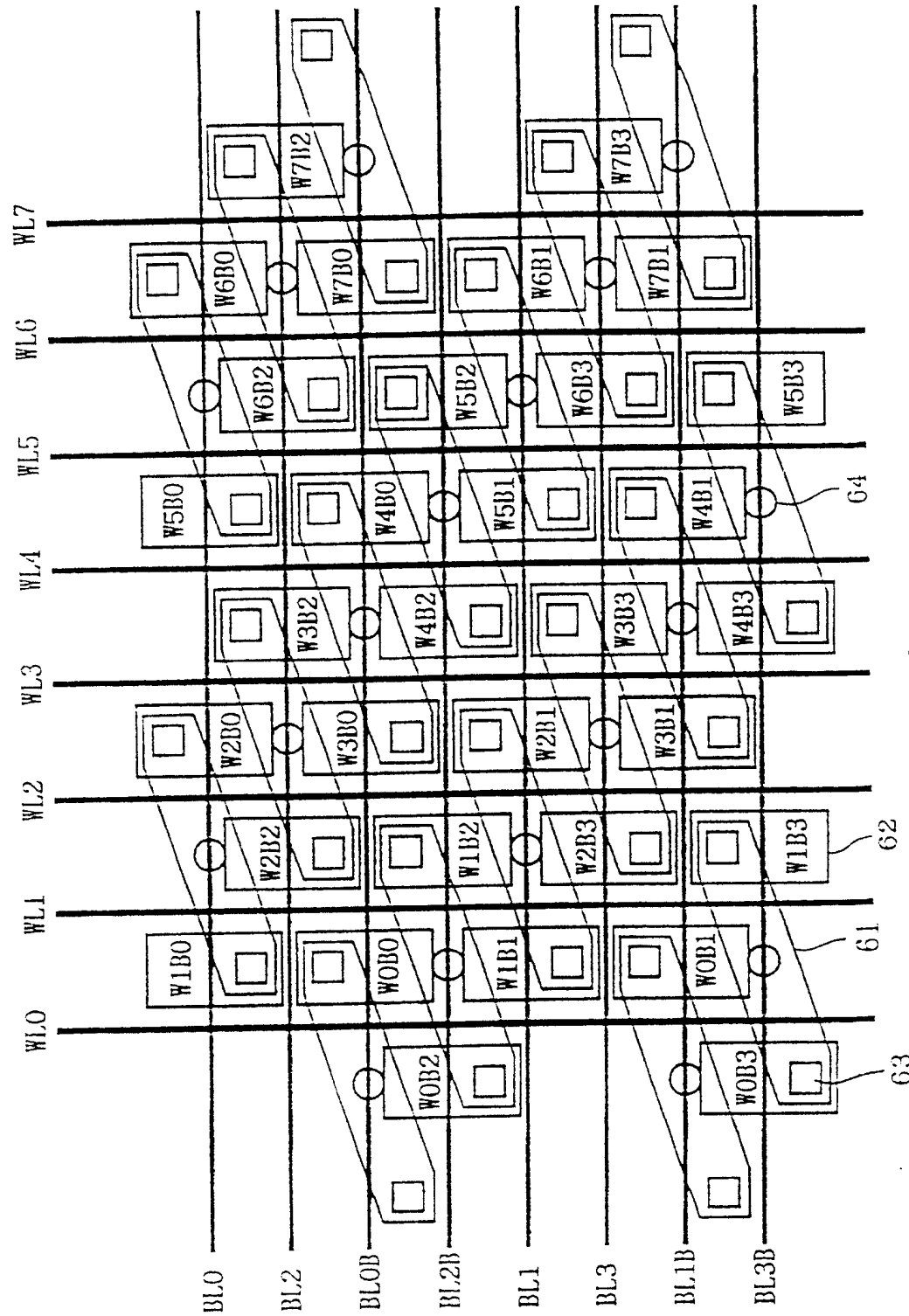


图 16

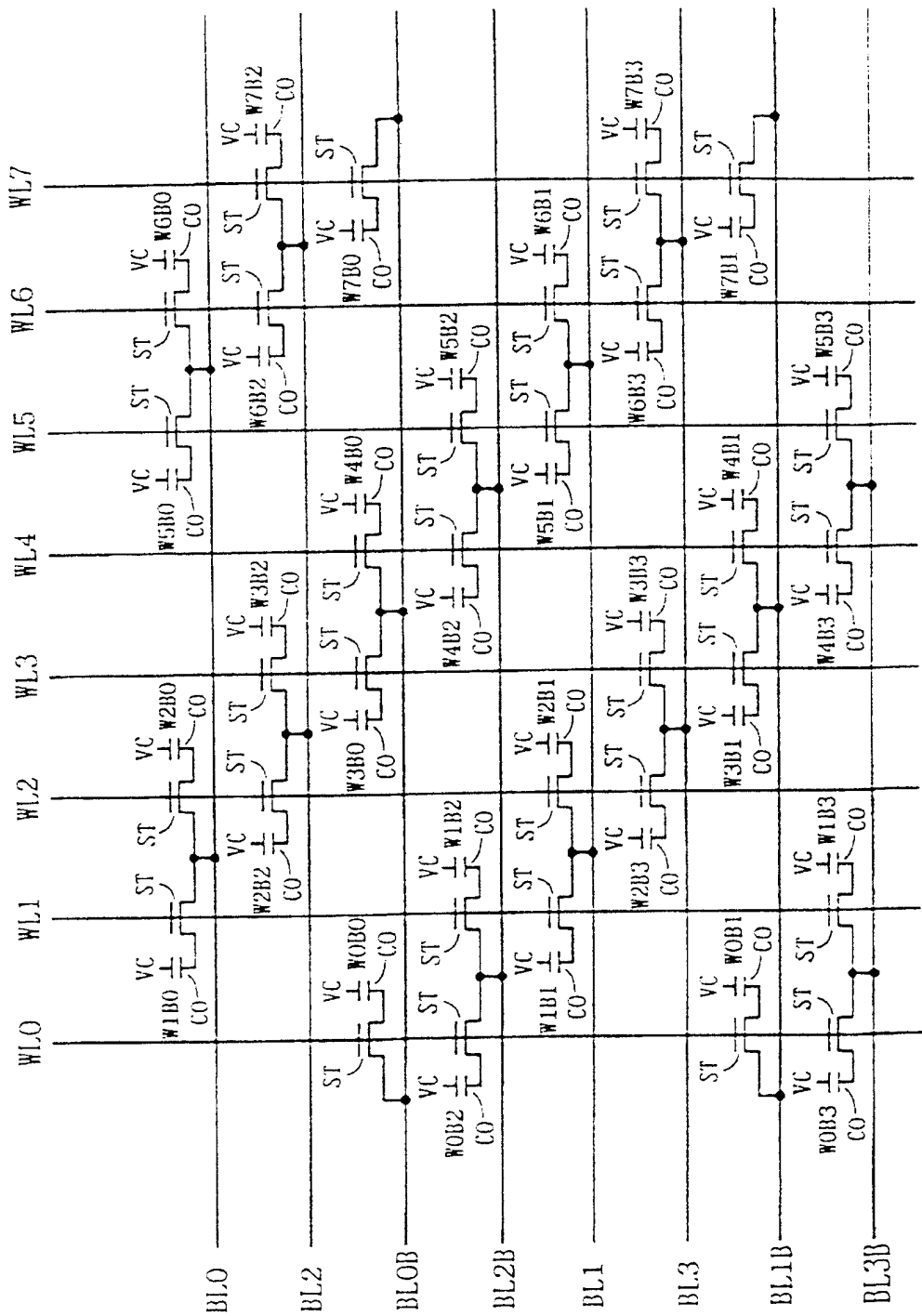


图 17

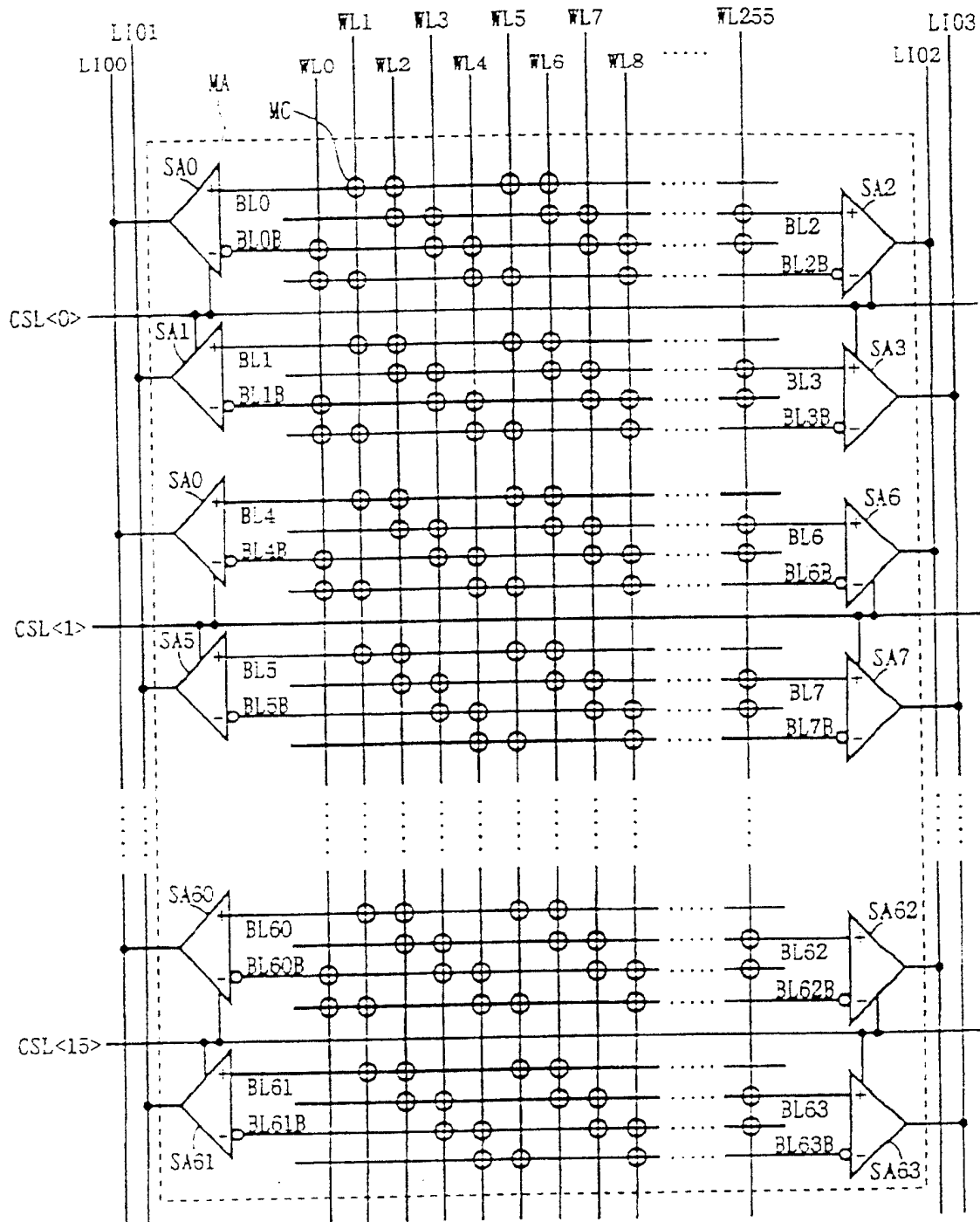


图 18

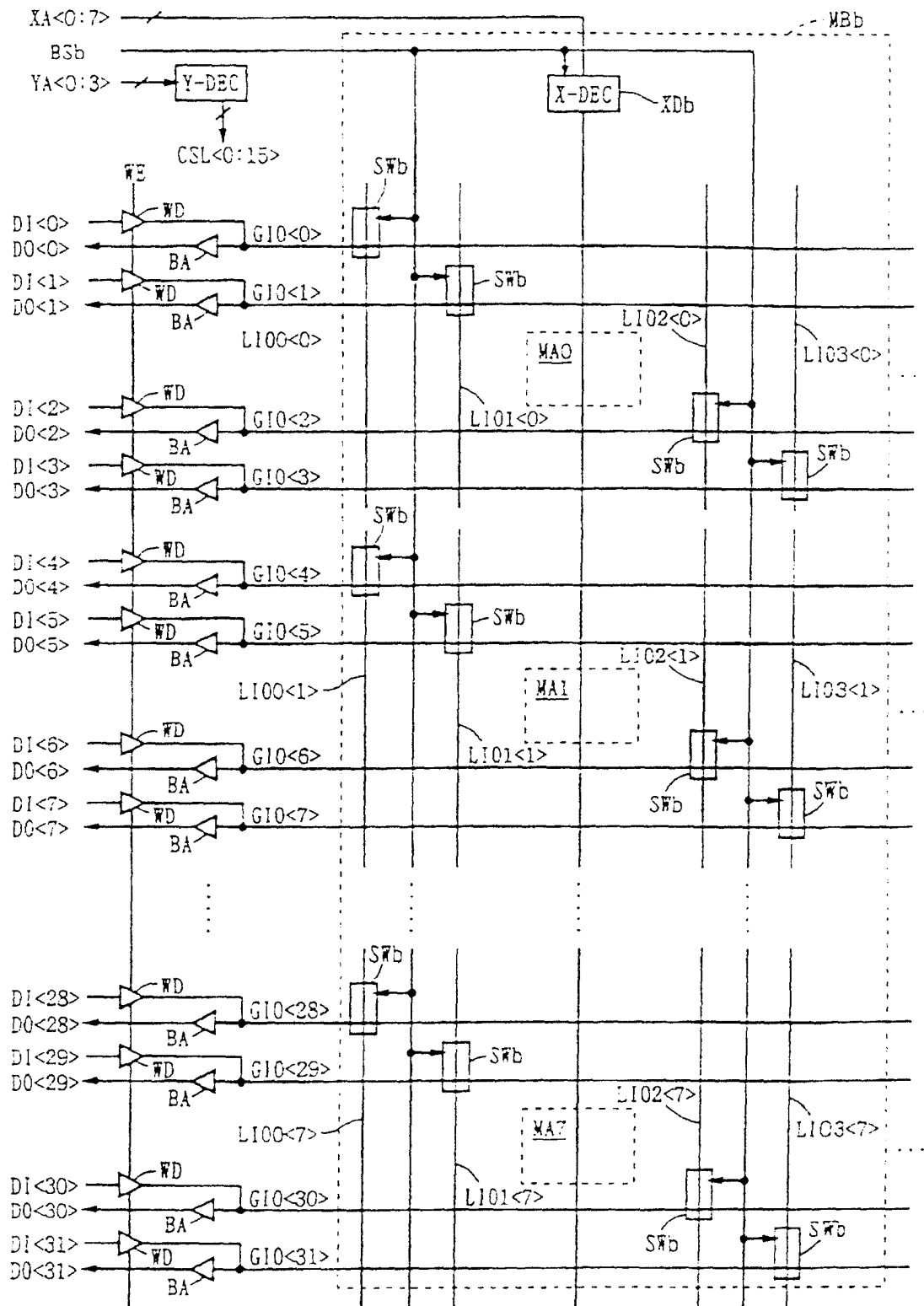
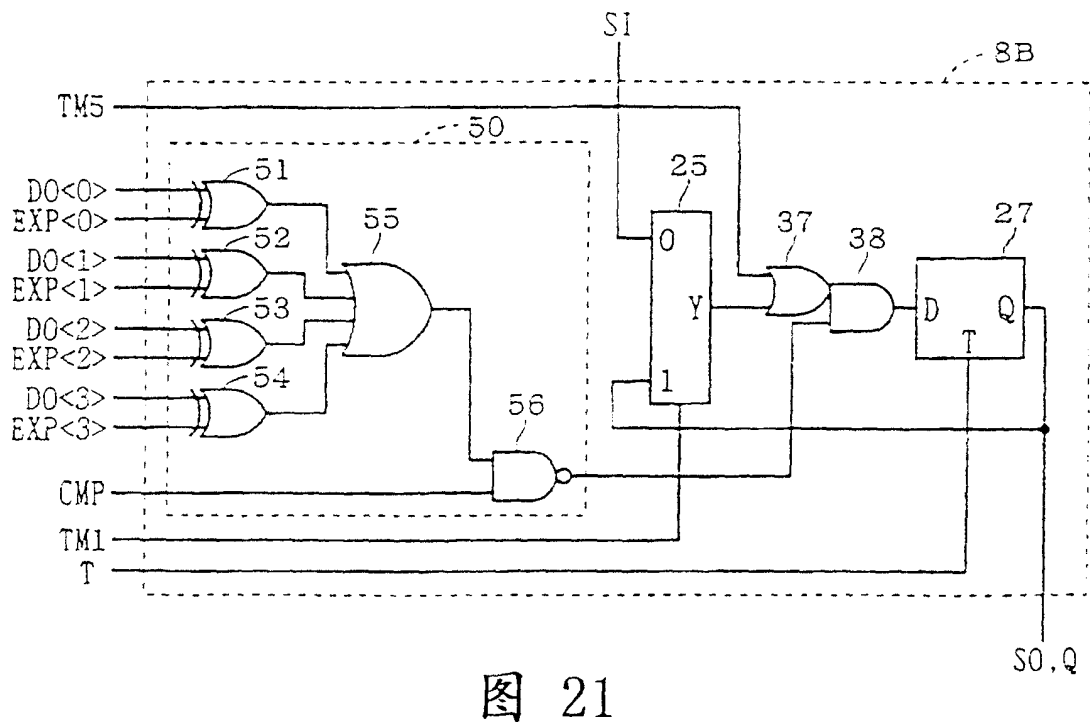
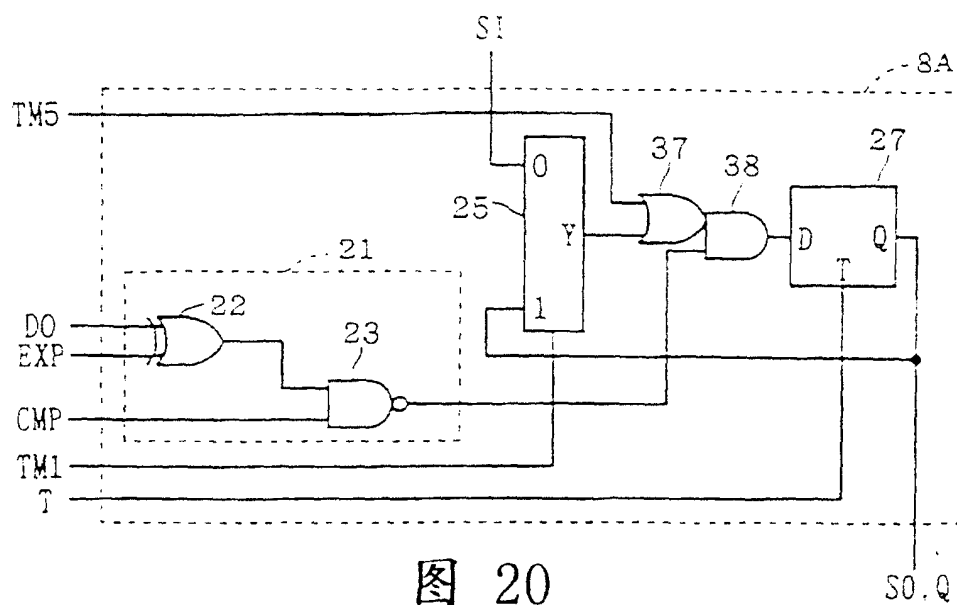
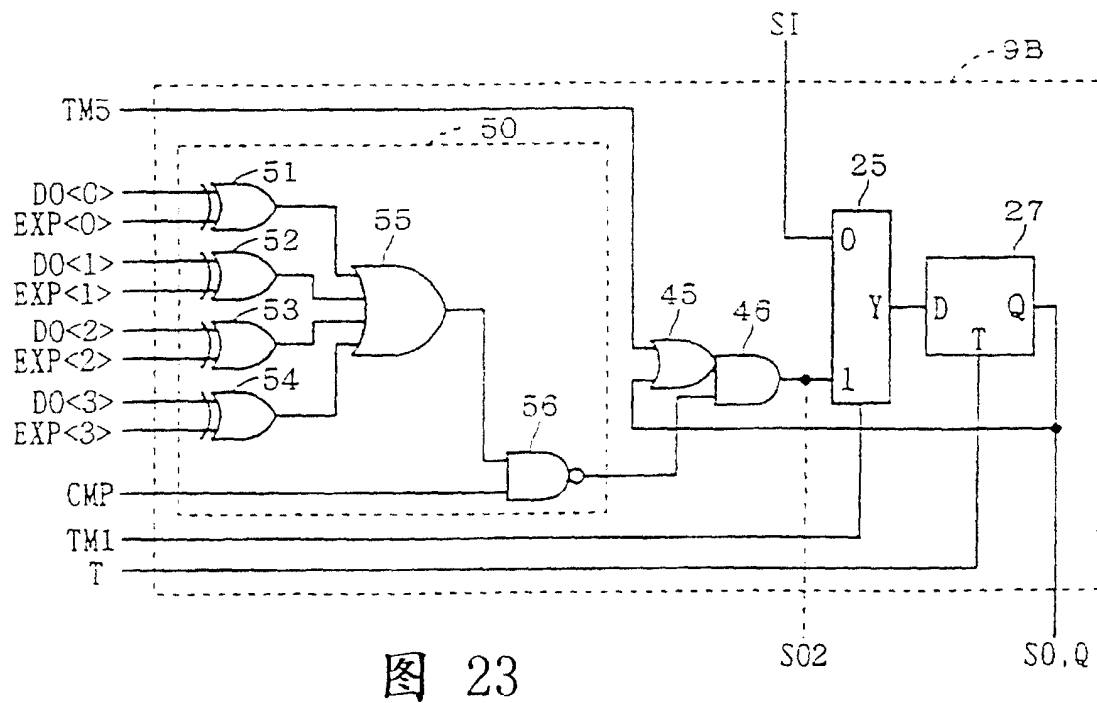
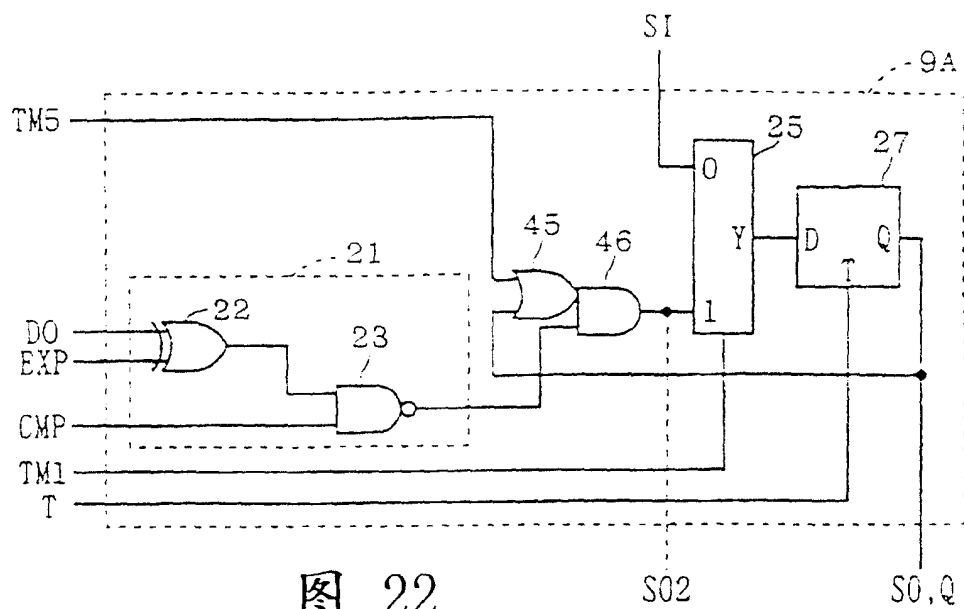


图 19





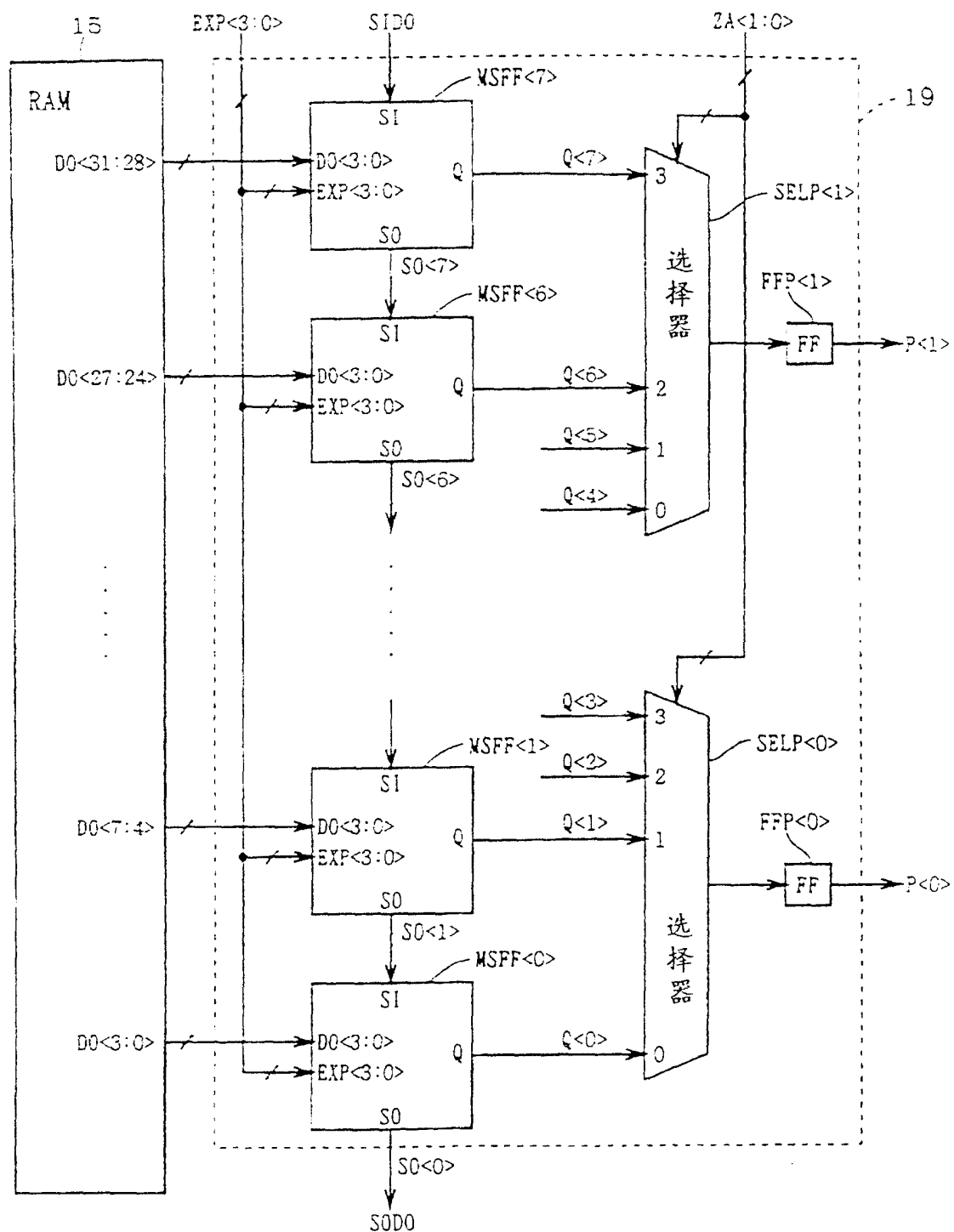


图 24

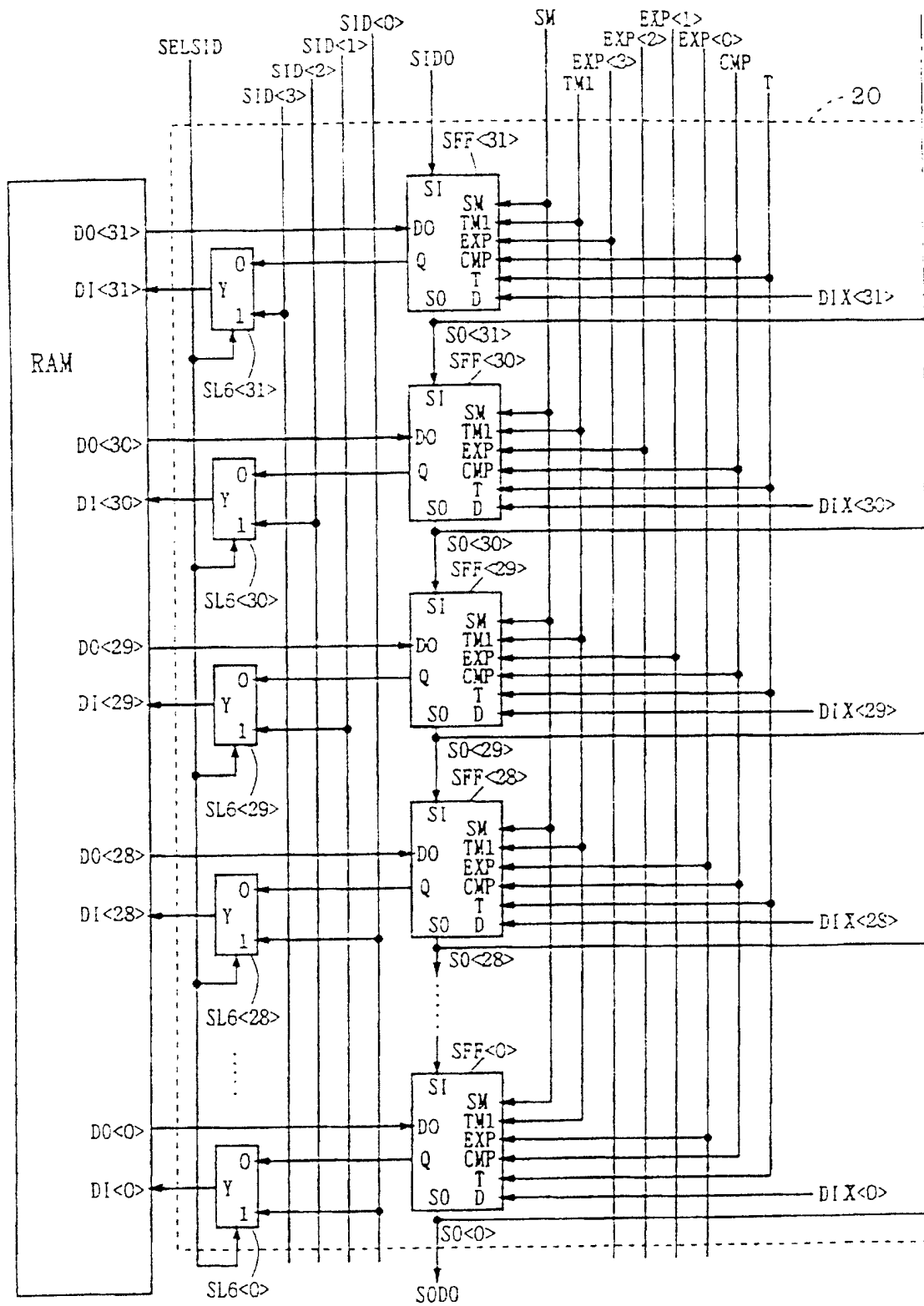


图 25

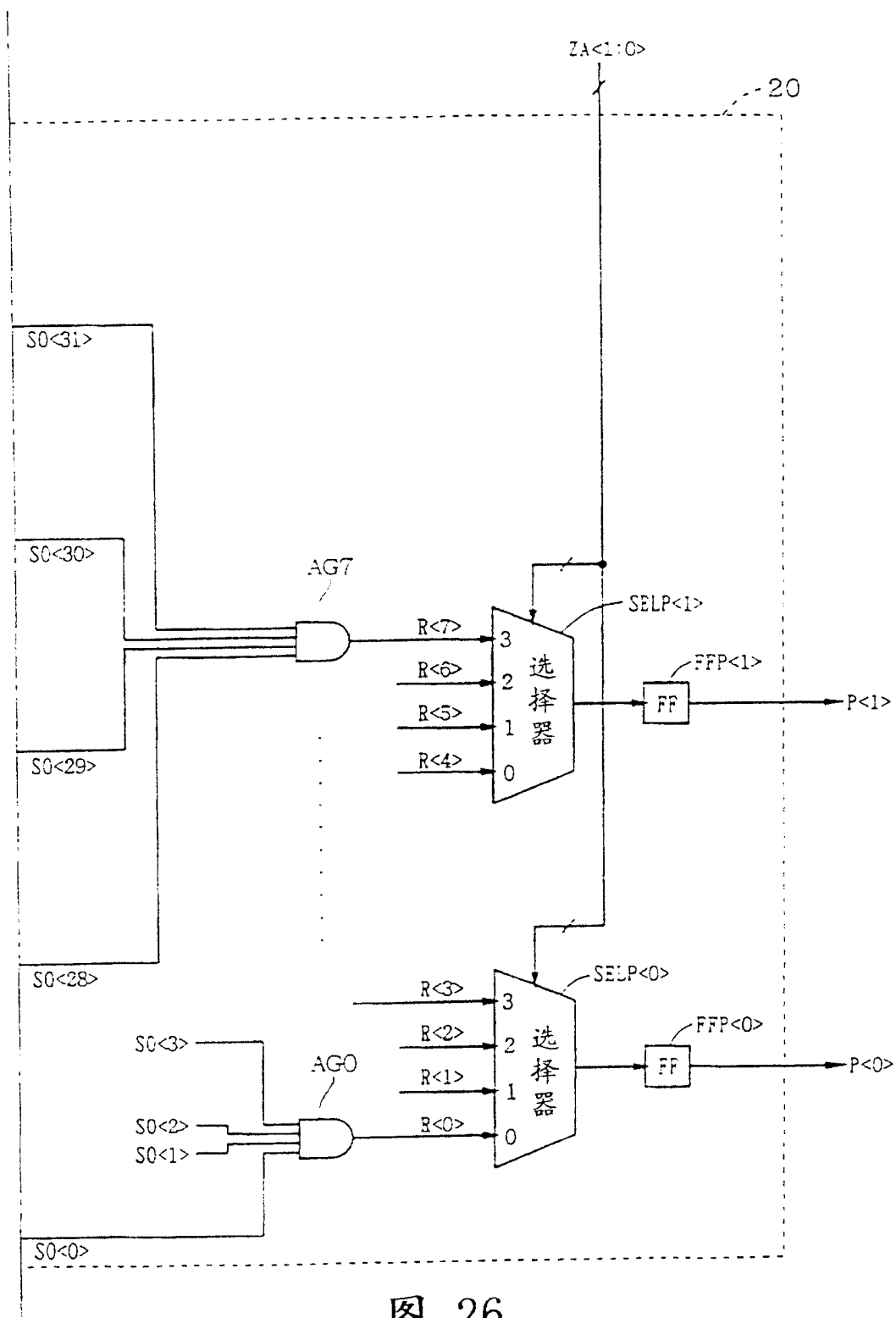


图 26

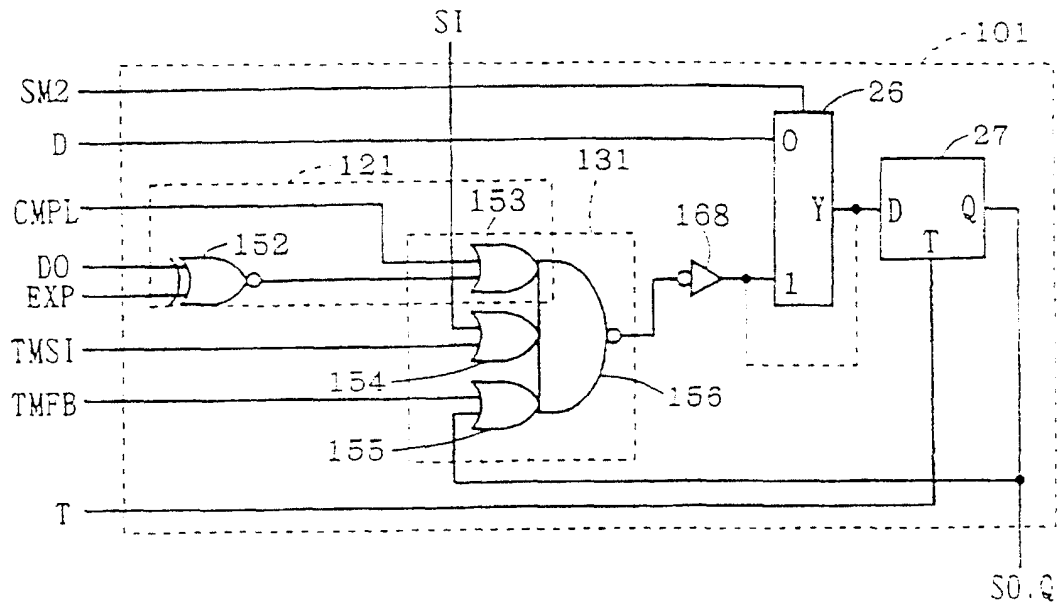


图 27

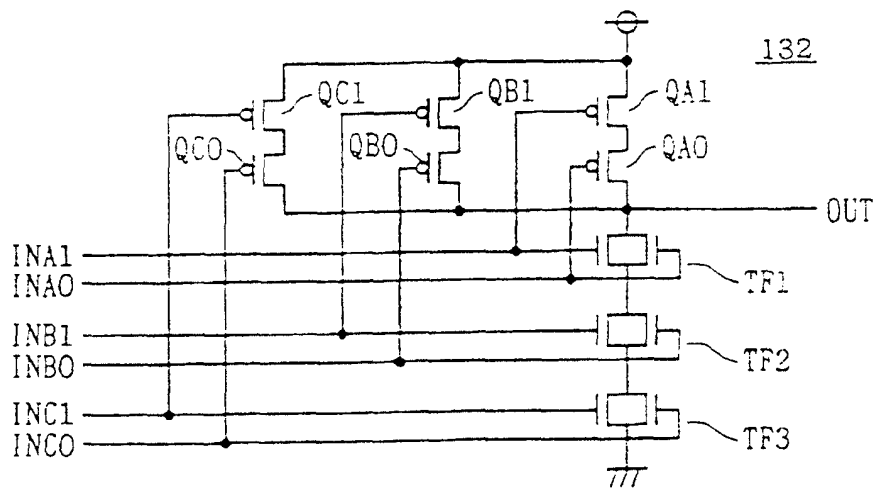


图 28

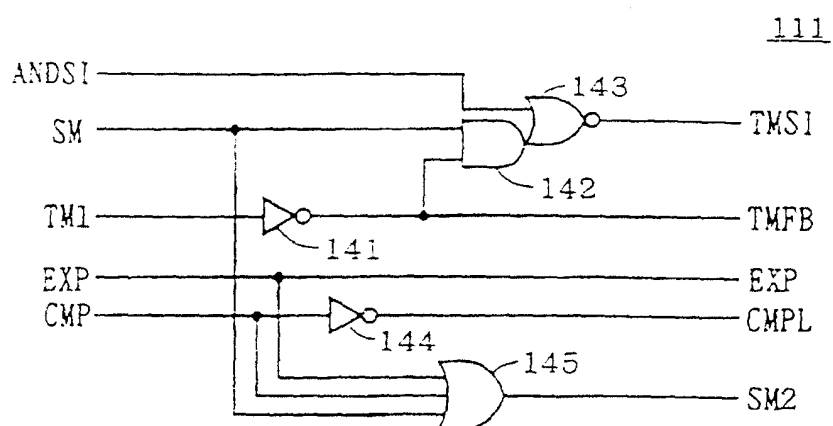


图 29

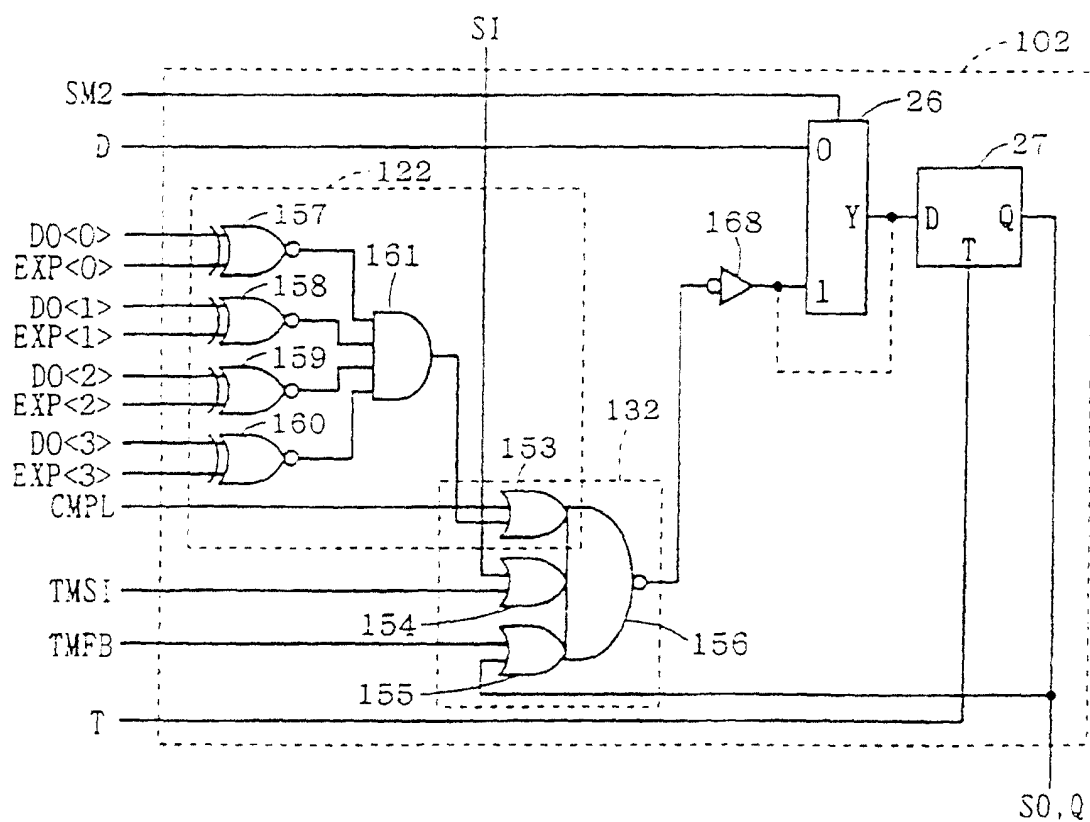


图 30

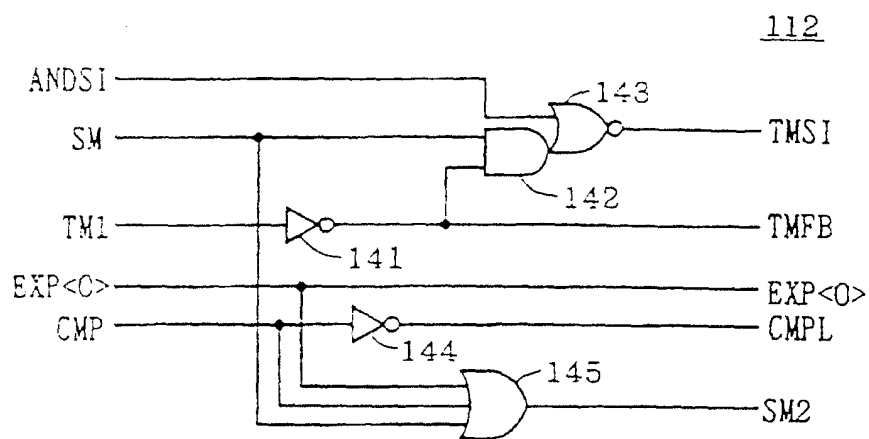


图 31

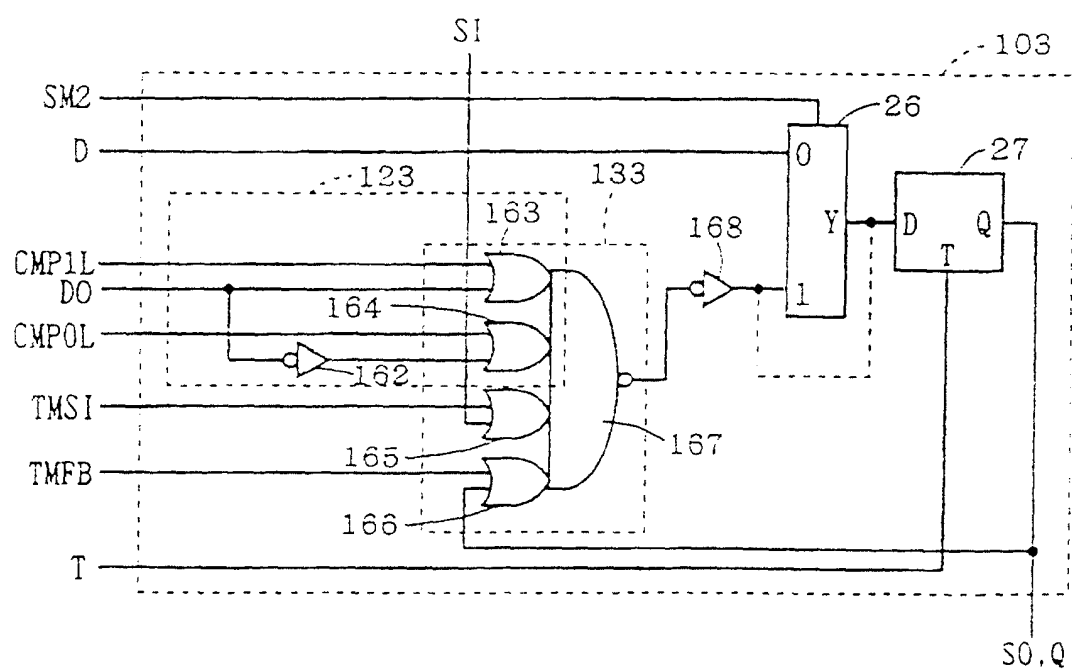


图 32

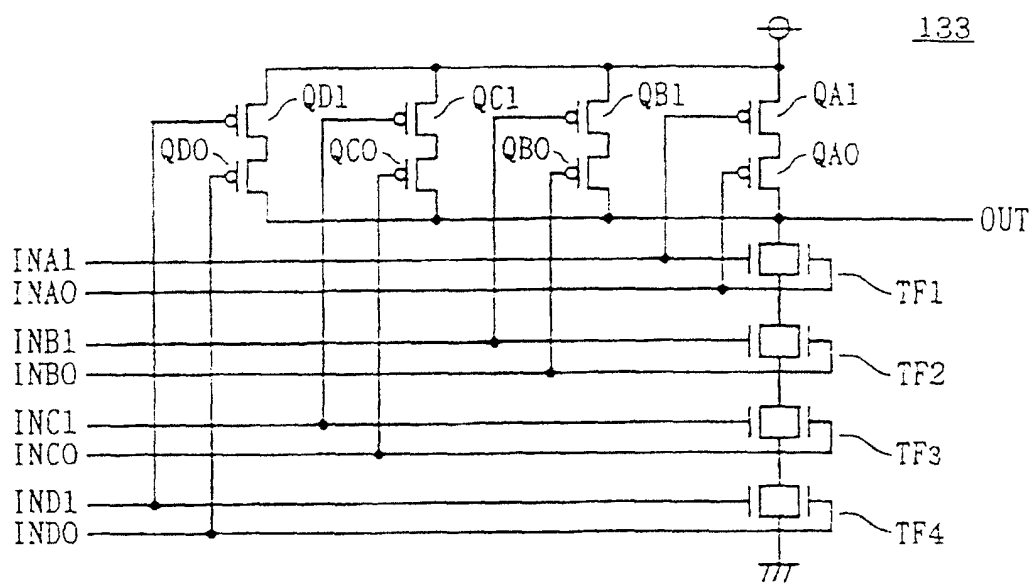


图 33

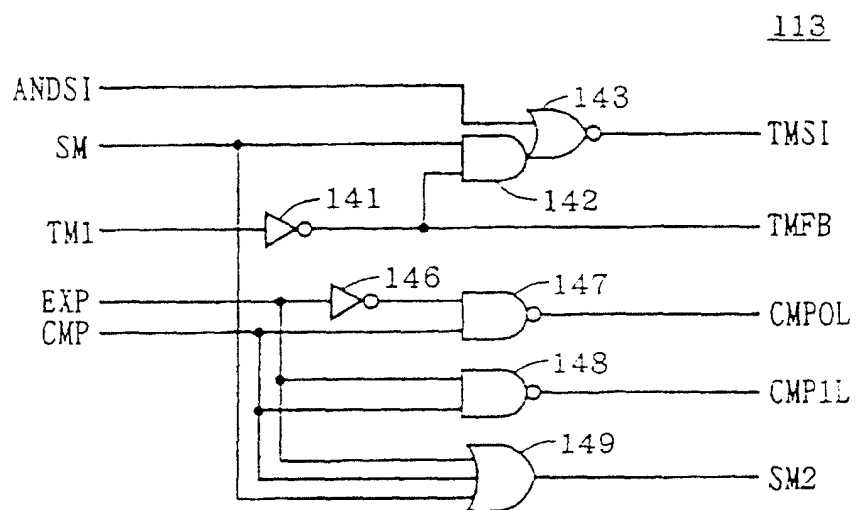


图 34

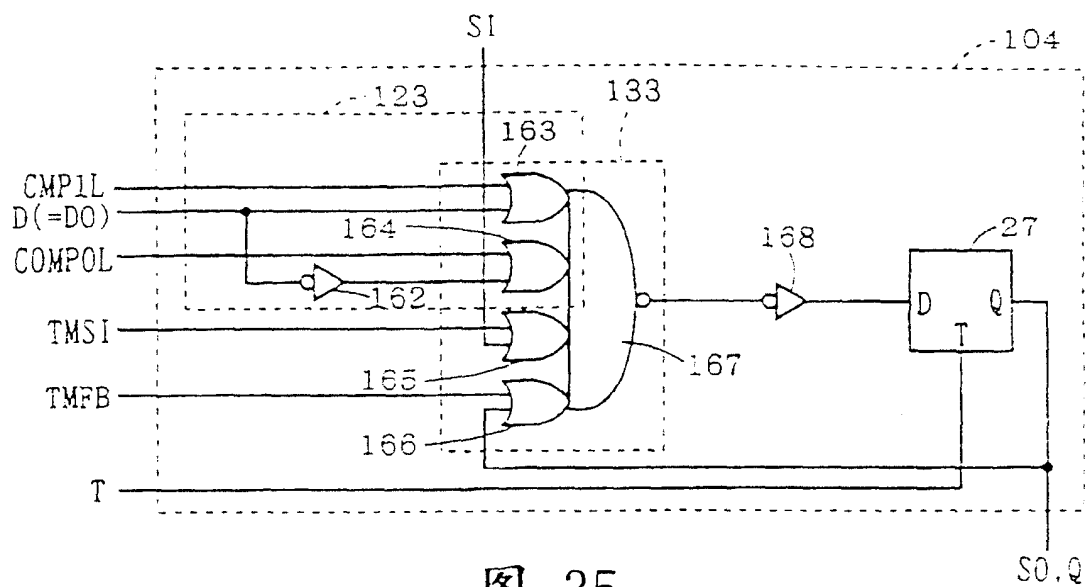


图 35

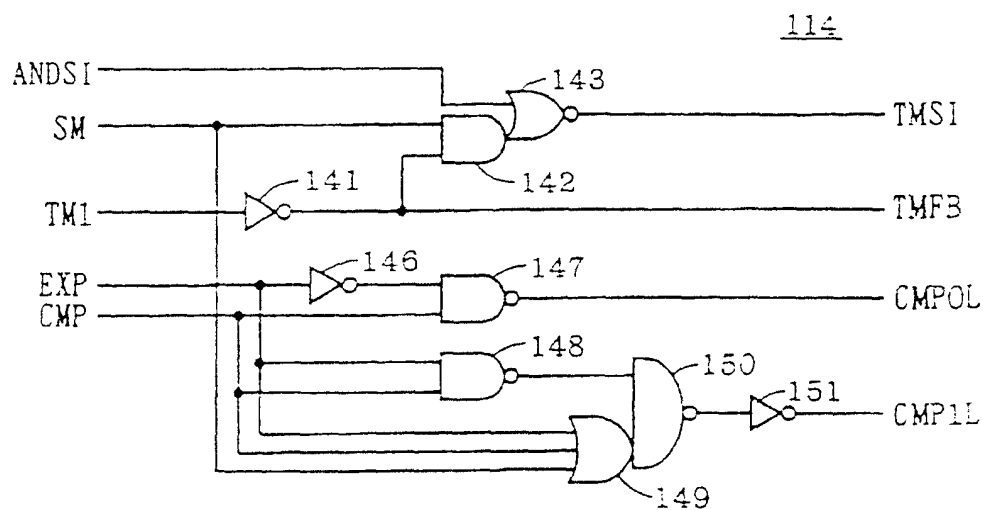


图 36

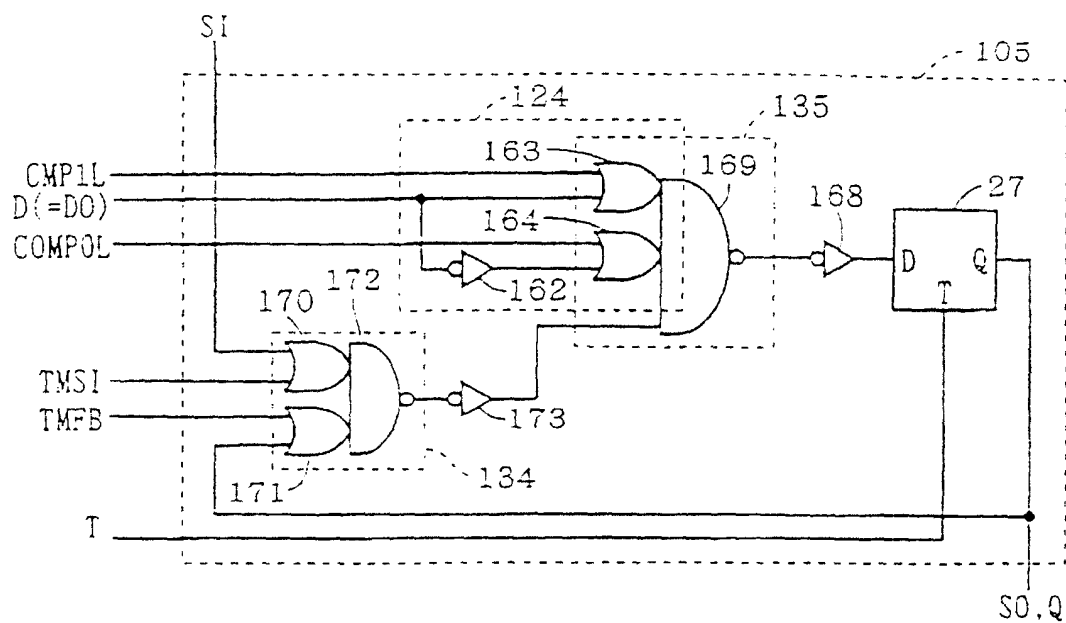


图 37

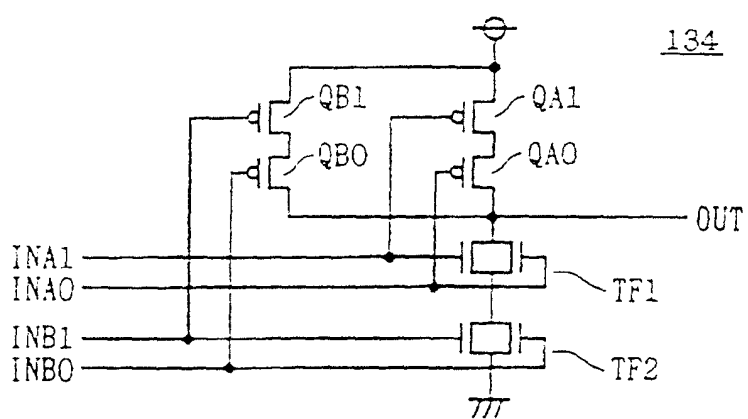


图 38

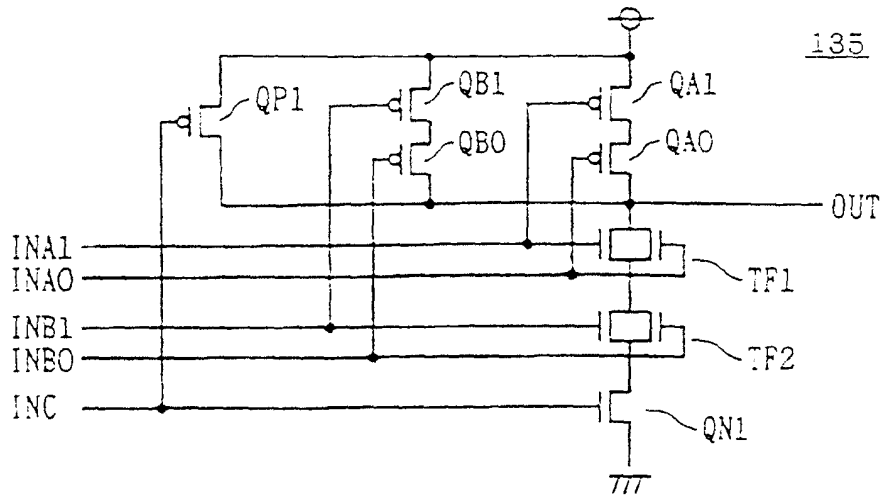


图 39

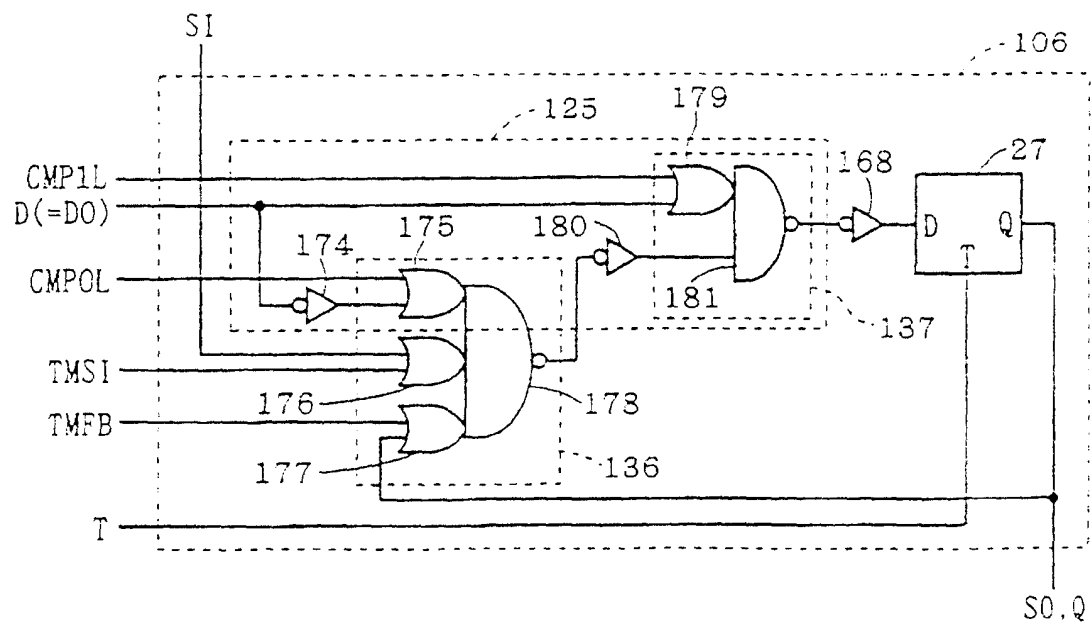


图 40

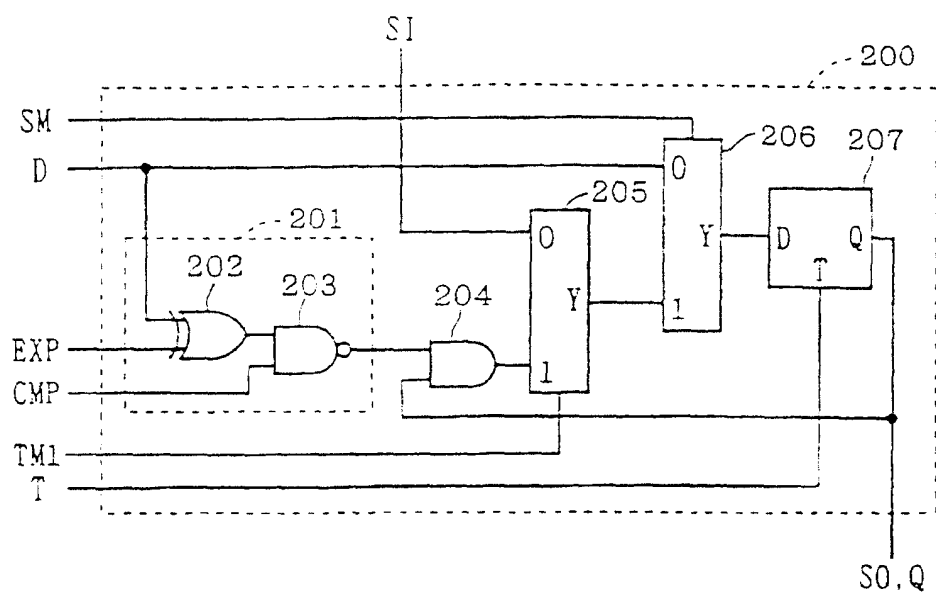


图 43

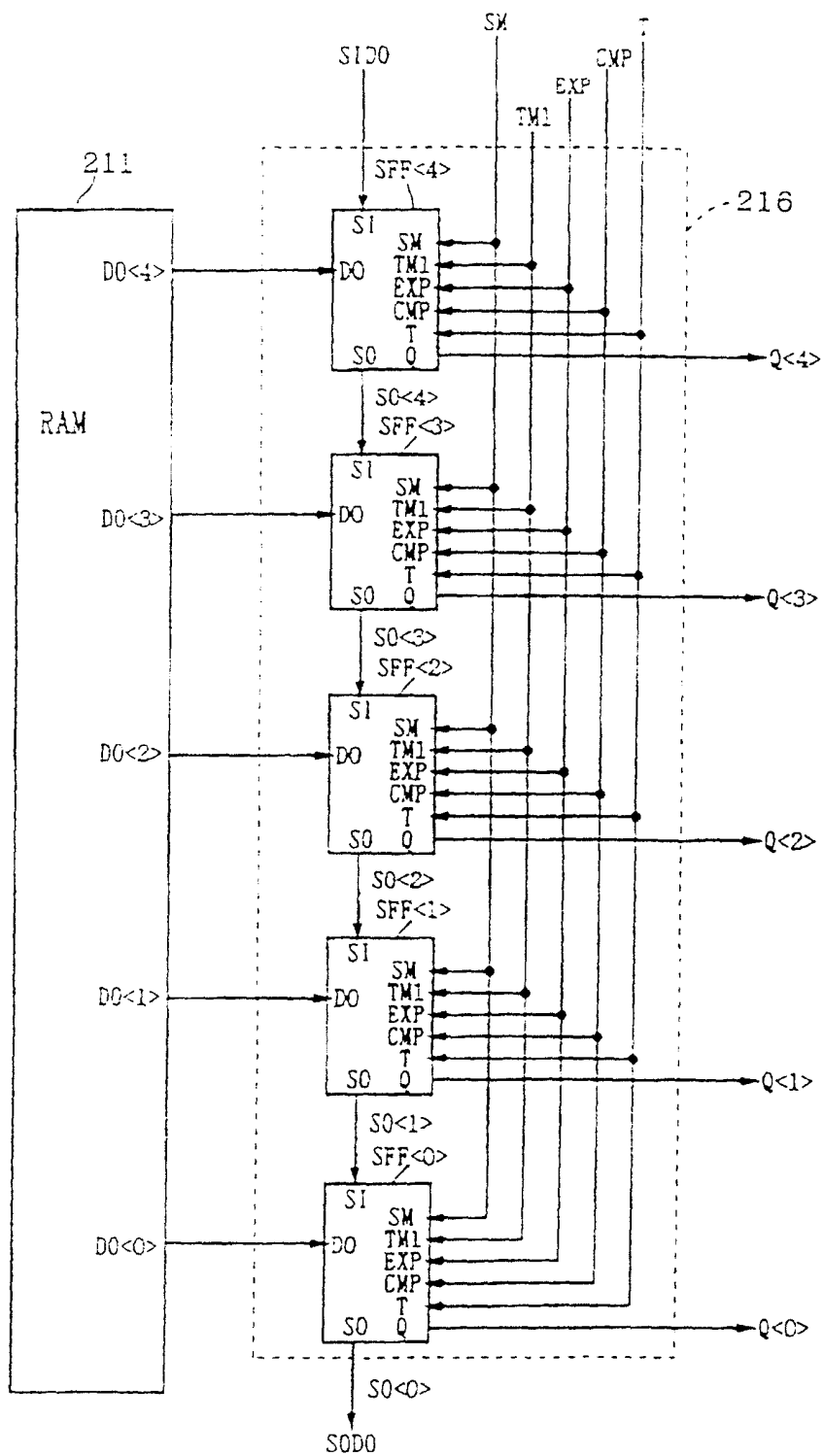


图 44

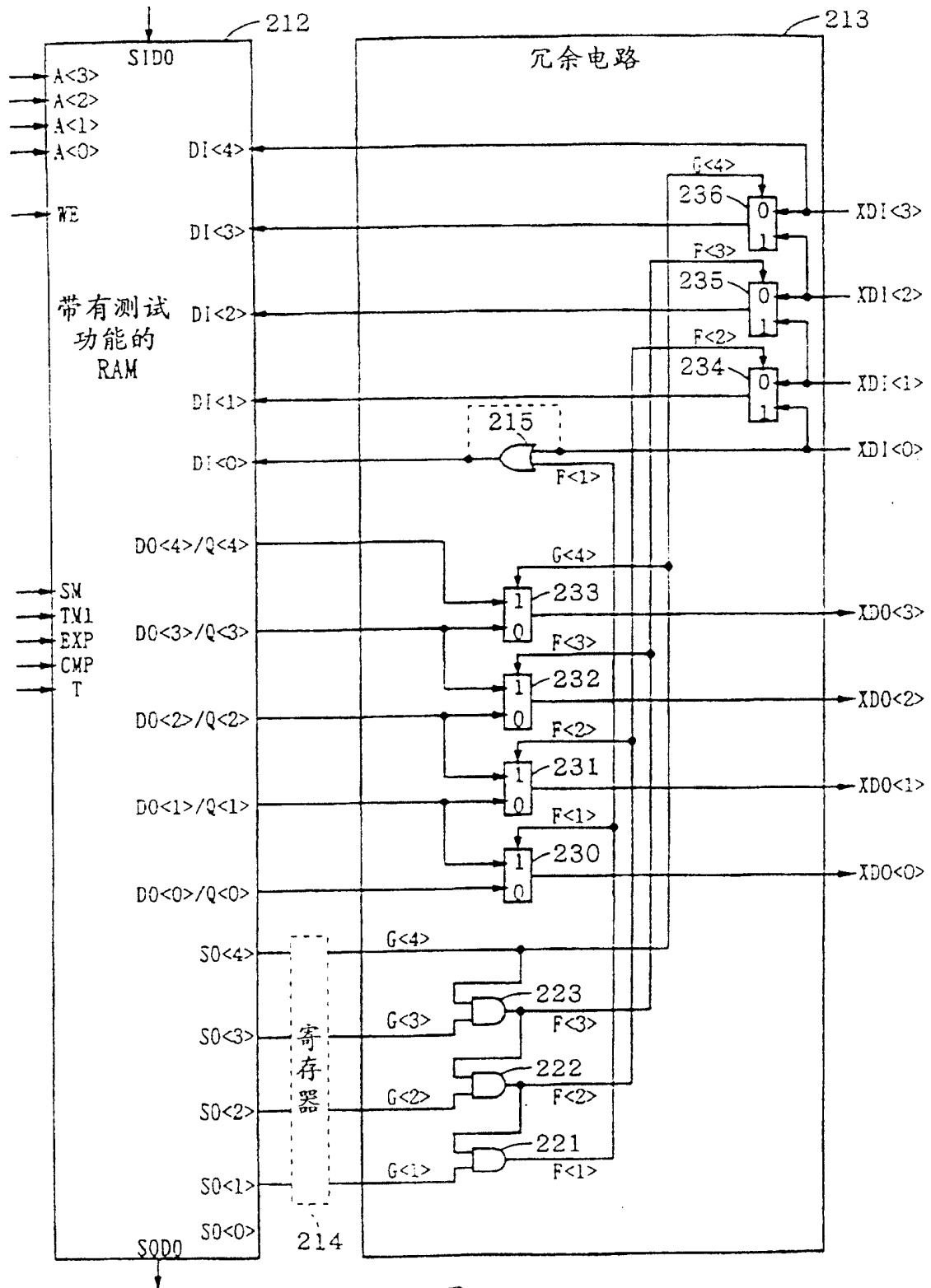


图 45

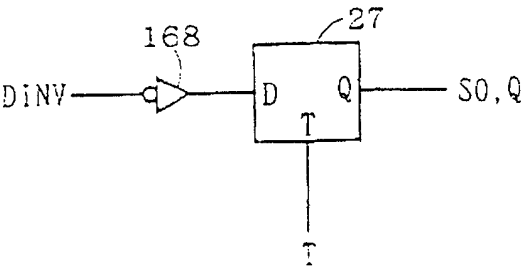


图 46

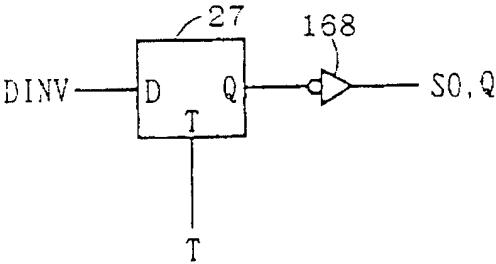


图 47