

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-13424
(P2006-13424A)

(43) 公開日 平成18年1月12日(2006.1.12)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 21/8242 (2006.01)	HO 1 L 27/10 6 8 1 B	5 F O 3 3
HO 1 L 27/108 (2006.01)	HO 1 L 21/90 C	5 F O 8 3
HO 1 L 21/768 (2006.01)		

審査請求 未請求 請求項の数 18 O L (全 12 頁)

(21) 出願番号	特願2004-370492 (P2004-370492)	(71) 出願人	591024111 株式会社ハイニックスセミコンダクター 大韓民国京畿道利川市夫鉢邑牙美里山13 6-1
(22) 出願日	平成16年12月22日 (2004.12.22)	(74) 代理人	100065215 弁理士 三枝 英二
(31) 優先権主張番号	2004-048368	(74) 代理人	100076510 弁理士 掛樋 悠路
(32) 優先日	平成16年6月25日 (2004.6.25)	(74) 代理人	100124028 弁理士 松本 公雄
(33) 優先権主張国	韓国 (KR)	(72) 発明者	李 柱 ▲ワン▼ 大韓民国京畿道利川市夫鉢邑牙美里山13 6-1

最終頁に続く

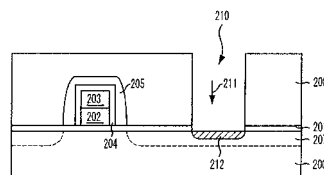
(54) 【発明の名称】 半導体素子の製造方法

(57) 【要約】

【課題】 シリコンを含むN型の導電領域と直接接続される導電パターンの形成時に、N型の導電領域と接続される部分のコンタクト抵抗の増大を防止し、バリア膜の厚さ増大に伴う導電パターンの寄生容量の増大を防止できる半導体素子の製造方法を提供すること。

【解決手段】 シリコンを含むN型の導電領域(207)にN型の不純物をドーブして、N型の高濃度不純物拡散領域(212)を形成する工程と、CVD法を用いて高濃度不純物拡散領域(212)上にバリア用第1金属膜を蒸着し、高濃度不純物拡散領域(212)のシリコンと前記第1金属膜の金属とを反応させて、高濃度不純物拡散領域(212)と前記第1金属膜との間の界面に金属シリサイドを形成する工程、前記第1金属膜上に導電膜を形成する工程、及び、前記導電膜と前記第1金属膜とを選択的にエッチングして、導電パターンを形成する工程を含む。

【選択図】 図2C



【特許請求の範囲】

【請求項 1】

シリコンを含む N 型の導電領域に N 型の不純物をドーブして N 型の高濃度不純物拡散領域を形成する工程、

化学気相蒸着法を用いて、前記高濃度不純物拡散領域上にバリア用第 1 金属膜を蒸着によって形成し、前記高濃度不純物拡散領域のシリコンと前記第 1 金属膜の金属とを反応させて、前記高濃度不純物拡散領域と前記第 1 金属膜との間の界面に金属シリサイドを形成する工程、

前記第 1 金属膜上に導電膜を形成する工程、及び

前記導電膜と前記第 1 金属膜とを選択的にエッチングして導電パターンを形成する工程を含むことを特徴とする半導体素子の製造方法。 10

【請求項 2】

基板に N 型の不純物拡散領域を形成する工程、

前記不純物拡散領域にさらに N 型の不純物をドーブして N 型の高濃度不純物拡散領域を形成する工程、

化学気相蒸着法を用いて、前記高濃度不純物拡散領域上にバリア用第 1 金属膜を蒸着によって形成し、前記高濃度不純物拡散領域のシリコンと前記第 1 金属膜の金属とを反応させて、前記高濃度不純物拡散領域と前記第 1 金属膜との間の界面に金属シリサイドを形成する工程、

前記第 1 金属膜上に導電膜を形成する工程、及び 20

前記導電膜と前記第 1 金属膜とを選択的にエッチングして、導電パターンを形成する工程を含むことを特徴とする半導体素子の製造方法。

【請求項 3】

シリコンを含む N 型の導電領域を有する下部構造上に絶縁膜を形成する工程、

前記絶縁膜を選択的にエッチングして、前記 N 型の導電領域を露出させるオープン部を形成する工程、

前記オープン部を通して露出された前記 N 型の導電領域に N 型の不純物をドーブして、N 型の高濃度不純物拡散領域を形成する工程、

化学気相蒸着法を用いて、前記オープン部の形状に沿ってバリア用第 1 金属膜を蒸着によって形成し、前記高濃度不純物拡散領域のシリコンと前記第 1 金属膜の金属とを反応させて、前記高濃度不純物拡散領域と前記第 1 金属膜との間の界面に金属シリサイドを形成する工程、 30

前記第 1 金属膜上に導電膜を形成する工程、及び

前記導電膜と前記第 1 金属膜とを選択的にエッチングして、導電パターンを形成する工程

を含むことを特徴とする半導体素子の製造方法。

【請求項 4】

シリコンを含む基板に N 型の不純物拡散領域を形成する工程、

前記基板上に絶縁膜を形成する工程、 40

前記絶縁膜を選択的にエッチングして、前記 N 型の不純物拡散領域を露出させるオープン部を形成する工程、

前記オープン部を通して露出された前記 N 型の不純物拡散領域にさらに N 型の不純物をドーブして、N 型の高濃度不純物拡散領域を形成する工程、

化学気相蒸着法を用いて、前記オープン部の形状に沿ってバリア用の第 1 金属膜を蒸着によって形成し、前記高濃度不純物拡散領域のシリコンと前記第 1 金属膜の金属とを反応させて、前記高濃度不純物拡散領域と前記第 1 金属膜との間の界面に金属シリサイドを形成する工程、

前記第 1 金属膜上に導電膜を形成する工程、及び

前記導電膜と前記第 1 金属膜とを選択的にエッチングして、導電パターンを形成する工 50

程

を含むことを特徴とする半導体素子の製造方法。

【請求項 5】

前記高濃度不純物拡散領域を形成する工程が、

砒素 (As) をイオン注入した後、熱処理して前記高濃度不純物拡散領域を形成する工程を含むことを特徴とする請求項 1 ~ 請求項 4 の何れかの項に記載の半導体素子の製造方法。

【請求項 6】

前記高濃度不純物拡散領域を形成する工程が、

前記砒素を $2 \times 10^{15} \text{atoms/cm}^2 \sim 5 \times 10^{15} \text{atoms/cm}^2$ の濃度で、7 KeV ~ 12 KeV のイオン注入エネルギーを用いて注入する工程を含むことを特徴とする請求項 5 に記載の半導体素子の製造方法。 10

【請求項 7】

前記熱処理が、750 ~ 850 の温度で 20 秒 ~ 40 秒間実施する急速熱処理であることを特徴とする請求項 5 に記載の半導体素子の製造方法。

【請求項 8】

前記熱処理が、窒素またはアルゴンの雰囲気中で実施されることを特徴とする請求項 7 に記載の半導体素子の製造方法。

【請求項 9】

前記第 1 金属膜が、少なくとも 690 の温度で蒸着されることを特徴とする請求項 1 ~ 請求項 4 の何れかの項に記載の半導体素子の製造方法。 20

【請求項 10】

前記第 1 金属膜が、蒸着により 5 ~ 15 の厚さに形成され、

前記金属シリサイドが、40 ~ 100 の厚さに形成されることを特徴とする請求項 1 ~ 請求項 4 の何れかの項に記載の半導体素子の製造方法。

【請求項 11】

前記第 1 金属膜を蒸着する工程の後、前記第 1 金属膜上にバリア用第 2 金属膜を蒸着して、熱処理する工程をさらに含むことを特徴とする請求項 1 ~ 請求項 4 の何れかの項に記載の半導体素子の製造方法。

【請求項 12】

前記第 2 金属膜が、蒸着により 10 ~ 20 の厚さに形成されることを特徴とする請求項 11 に記載の半導体素子の製造方法。 30

【請求項 13】

前記熱処理が、750 ~ 850 の温度で 20 秒 ~ 40 秒間実施する急速熱処理であることを特徴とする請求項 11 に記載の半導体素子の製造方法。

【請求項 14】

前記第 1 金属膜が Ti 膜であり、

前記第 2 金属膜が TiN 膜であり、

前記金属シリサイドが TiSi_2 であることを特徴とする請求項 11 に記載の半導体素子の製造方法。 40

【請求項 15】

前記 N 型の不純物拡散領域を形成する工程が、

砒素をイオン注入し、熱処理して N 型の不純物拡散領域を形成する工程を含むことを特徴とする請求項 2 または請求項 4 に記載の半導体素子の製造方法。

【請求項 16】

前記 N 型の不純物拡散領域を形成する工程が、

前記砒素を $2 \times 10^{15} \text{atoms/cm}^2 \sim 5 \times 10^{15} \text{atoms/cm}^2$ の濃度で、12 KeV ~ 18 KeV のイオン注入エネルギーを用いて注入する工程を含むことを特徴とする請求項 15 に記載の半導体素子の製造方法。

【請求項 17】

50

前記導電膜が、タングステン膜を含むことを特徴とする請求項 1 ~ 請求項 4 の何れかの項に記載の半導体素子の製造方法。

【請求項 1 8】

前記導電膜が、500 ~ 800 の厚さに形成されることを特徴とする請求項 1 7 に記載の半導体素子の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体素子の製造方法に関し、特に、シリコンを含む導電領域と導電パターンとの間のコンタクト抵抗を減少させることができる半導体素子の製造方法に関する。

10

【背景技術】

【0002】

半導体メモリ素子のうち、DRAM (Dynamic Random Access Memory) などは、例えば、1T1C (1つのトランジスタと1つのキャパシタ) で構成された単位セルを複数含むセル領域と、その以外の周辺領域とに大きく区分される。

【0003】

例えば、ビットライン (Bit line) は、セルトランジスタのソース側に接続されて実際にデータが伝送されるラインであって、セル領域では、ビットラインは、ソース/ドレイン領域に接続されるセルコンタクトプラグと電氣的にコンタクトプラグを介して接続される。このようなビットラインを介して伝達されたセルデータを感知及び増幅するためのビットライン感知増幅器 (Bit line sense amplifier) を備えた周辺領域では、ビットライン感知増幅器 (具体的には、ビットライン感知増幅器をなすトランジスタのゲートとソース/ドレイン接合) とビットラインとの間の電氣的な接続のためにコンタクトが必要である。

20

【0004】

図 1 は、基板の不純物拡散領域と直接接続されるビットラインを備えた半導体素子を示す断面図である。

【0005】

図 1 に示したように、基板 100 上にゲート絶縁膜 101、ゲート導電膜 102 及び絶縁性ハードマスク 103 が積層され、その側面にスペーサ 104 とエッチング停止膜 105 (104 及び 105 の全てがスペーサであってもよい) とを備えたゲート電極 G が形成されており、ゲート電極 G の側面にアラインメントされて、基板 100 の表面から拡張されたソース/ドレイン接合などの不純物拡散領域 106 が形成されている。ゲート電極 G 上には、絶縁膜 107 が形成されており、絶縁膜 107 の一部はエッチングされて不純物拡散領域 106 を露出させるホール状のオープン部 108 が形成されている。オープン部 108 のホール形状に沿って、Ti 膜 109、TiN 膜 110、及び TiN 膜 111 の積層構造であるバリア膜が形成されており、バリア膜上にはタングステン膜 112 が形成されている。したがって、タングステン膜 112 は、バリア膜を介して基板 100 の不純物拡散領域 106 と電氣的に接続されたビットライン BL となっている。

30

40

【0006】

図 1 に示した構造を形成する工程を以下に説明する。

【0007】

ゲート電極 G が形成された構造の上に絶縁膜 107 を蒸着によって形成し、化学機械的研磨 (Chemical Mechanical Polishing; 以下、「CMP」と記す) またはエッチバック (Etch back) により絶縁膜 107 を平坦化し、平坦化された絶縁膜 107 上にフォトレジストパターン (図示せず) を形成し、このフォトレジストパターンをエッチングマスクとして絶縁膜 107 をエッチングしてコンタクトホールを形成し、不純物拡散領域 106 を露出させるオープン部 108 を形成する。

【0008】

50

次いで、形成されたオープン部 108 のホール形状に沿って Ti 膜 109 及び TiN 膜 110 を順に蒸着した後、熱処理を実施して不純物拡散領域 106 と Ti 膜 109 との反応を誘導し、これら両者間の界面に $TiSi_2$ 膜 (図示せず) を形成する。

【 0009 】

$TiSi_2$ 膜を形成した後、後続するタングステン膜 112 の形成時に、タングステンの拡散を防止するために、追加のバリア膜である TiN 膜 111 を形成する。この場合、TiN 膜 111 は、化学気相蒸着 (Chemical Vapor Deposition ; 以下、「CVD」と記す) 法を用いて形成し、その後 CVD 法を用いてタングステン膜 112 を形成する。

【 0010 】

次いで、タングステン膜 112 上に、フォトレジストのマスクパターン、またはポリシリコンハードマスク及びフォトレジストパターンとが積層されたマスクパターンを形成し、このマスクパターンを用いてタングステン膜 112 及びバリア膜を選択的にエッチングしてビットライン BL を形成する。

【 0011 】

半導体素子のビットラインコンタクトの形成において、現在では、P 型の不純物拡散領域と接続されるビットラインコンタクト領域は、コンタクト周辺の水素 (Boron) のドーピング濃度を上げるためにさらにイオン注入を実施する。

【 発明の開示 】

【 発明が解決しようとする課題 】

【 0012 】

しかし、N 型の不純物拡散領域と接続されるビットラインコンタクト領域では、砒素 (As) やリン (Phosphorus) のさらなるイオン注入を実施しない。したがって、800 以下の高集積素子では、NMOS トランジスタ側の抵抗値の増大によって電流量が減少するようになり、そのために、素子の動作速度が遅くなる問題がある。

【 0013 】

一方、コンタクト部分へのバリア膜すなわち、拡散防止膜の形成において、従来では、物理気相蒸着 (Physical Vapor Deposition ; 以下、「PVD」と記す) 法で Ti 膜及び TiN 膜を蒸着し、熱処理して $TiSi_2$ を形成しする。この場合、PVD 法の特性上コンタクトホールの壁面では、バリア膜がほとんど形成されない

【 0014 】

本発明は、上記した従来技術の問題点を解決するためになされたものであり、シリコンを含む N 型の導電領域と直接接続される導電パターンの形成時に、N 型の導電領域と接続される部分におけるコンタクト抵抗の増大を防止し、バリア膜の厚さの増加にともなう導電パターンの寄生容量の増大を防止できる半導体素子の製造方法を提供することを目的とする。

【 課題を解決するための手段 】

【 0015 】

上記した従来技術の問題点を解決するために、本発明に係る第 1 の半導体素子の製造方法は、シリコンを含む N 型の導電領域に N 型の不純物をドーピングして N 型の高濃度不純物拡散領域を形成する工程、化学気相蒸着法を用いて、前記高濃度不純物拡散領域上にバリア用第 1 金属膜を蒸着によって形成し、前記高濃度不純物拡散領域のシリコンと前記第 1 金属膜の金属とを反応させて、前記高濃度不純物拡散領域と前記第 1 金属膜との間の界面に金属シリサイドを形成する工程、前記第 1 金属膜上に導電膜を形成する工程、及び前記導電膜と前記第 1 金属膜とを選択的にエッチングして導電パターンを形成する工程を含むことを特徴としている。

10

20

30

40

50

【0016】

また、上記した問題点を解決するために、本発明に係る第2の半導体素子の製造方法は、基板にN型の不純物拡散領域を形成する工程、前記不純物拡散領域にさらにN型の不純物をドーピングしてN型の高濃度不純物拡散領域を形成する工程、化学気相蒸着法を用いて、前記高濃度不純物拡散領域上にバリア用第1金属膜を蒸着によって形成し、前記高濃度不純物拡散領域のシリコンと前記第1金属膜の金属とを反応させて、前記高濃度不純物拡散領域と前記第1金属膜との間の界面に金属シリサイドを形成する工程、前記第1金属膜上に導電膜を形成する工程、及び前記導電膜と前記第1金属膜とを選択的にエッチングして、導電パターンを形成する工程を含むことを特徴としている。

【0017】

また、上記した問題点を解決するために、本発明に係る第3の半導体素子の製造方法は、シリコンを含むN型の導電領域を有する下部構造上に絶縁膜を形成する工程、前記絶縁膜を選択的にエッチングして、前記N型の導電領域を露出させるオープン部を形成する工程、前記オープン部を通して露出された前記N型の導電領域にN型の不純物をドーピングして、N型の高濃度不純物拡散領域を形成する工程、化学気相蒸着法を用いて、前記オープン部の形状に沿ってバリア用第1金属膜を蒸着によって形成し、前記高濃度不純物拡散領域のシリコンと前記第1金属膜の金属とを反応させて、前記高濃度不純物拡散領域と前記第1金属膜との間の界面に金属シリサイドを形成する工程、前記第1金属膜上に導電膜を形成する工程、及び前記導電膜と前記第1金属膜とを選択的にエッチングして、導電パターンを形成する工程を含むことを特徴としている。

【0018】

また、上記した問題点を解決するために、本発明に係る第4の半導体素子の製造方法は、シリコンを含む基板にN型の不純物拡散領域を形成する工程、前記基板上に絶縁膜を形成する工程、前記絶縁膜を選択的にエッチングして、前記N型の不純物拡散領域を露出させるオープン部を形成する工程、前記オープン部を通して露出された前記N型の不純物拡散領域にさらにN型の不純物をドーピングして、N型の高濃度不純物拡散領域を形成する工程、化学気相蒸着法を用いて、前記オープン部の形状に沿ってバリア用第1金属膜を蒸着によって形成し、前記高濃度不純物拡散領域のシリコンと前記第1金属膜の金属とを反応させて、前記高濃度不純物拡散領域と前記第1金属膜との間の界面に金属シリサイドを形成する工程、前記第1金属膜上に導電膜を形成する工程、及び前記導電膜と前記第1金属膜とを選択的にエッチングして、導電パターンを形成する工程を含むことを特徴としている。

【0019】

また、上記した第1～第4の半導体素子の製造方法の何れかにおいて、NMOSのソース/ドレインのようにシリコンを含むN型の不純物拡散領域のうち、ビットラインなどの導電パターンと接続される部分にN型の不純物である砒素(As)などを追加にドーピングして、不純物濃度を上げてコンタクト抵抗を下げるができる。

【0020】

また、Ti膜などのバリア用第1金属膜をCVD法で薄く蒸着すると同時に下部の不純物拡散領域のシリコンと第1金属膜の金属とを反応させて、TiSi₂などの金属シリサイドを形成し、またTiNなどのバリア用第2金属膜をCVD法で蒸着してバリア膜構造を形成することによって、導電パターンでバリア膜が占める高さを大きく減少させることができるようにする。

【0021】

また、バリア用第1金属膜蒸着時、温度と厚さとを最適化することによって、非常に小さいコンタクト抵抗値を得ることができるようにする。

【発明の効果】

【0022】

上述した本発明によれば、N型不純物を追加してドーピングすることによってコンタクト抵抗を25%程度下げることができ、電流量及び素子の動作速度を増大させることができる

10

20

30

40

50

。

【0023】

また本発明によれば、化学気相蒸着法でバリア膜を蒸着することによって、従来技術と比較して、導電パターンバリア膜の厚さを画期的に減少させることができるので、導電パターンの寄生容量を減少させることができる。従って、素子の導電パターンがビットラインの場合、半導体メモリ素子におけるリフレッシュなどの特性を向上させることができる。

【発明を実施するための最良の形態】

【0024】

以下、本発明の好ましい実施の形態を添付する図面を参照して詳細に説明する。

10

【0025】

図2A～図2Eは、本発明の実施の形態に係る半導体素子の製造方法を示す断面図であり、特に、その一例であるビットライン形成工程を示す断面図である。

【0026】

まず、図2Aに示したように、半導体素子を構成する様々の要素が形成された基板200上に、ゲート絶縁膜201を形成する。ゲート絶縁膜201には、酸化膜系の絶縁性膜を用いる。ここで、基板200は、通常のシリコン基板である。

【0027】

ゲート絶縁膜201上に導電膜及びハードマスク用絶縁膜を順に蒸着によって形成し、フォトリソグラフィによりゲート電極パターン形成のためのマスクパターンを形成し、このマスクパターンをエッチングマスクとして導電膜及びハードマスク用絶縁膜をエッチングすることによって、ハードマスク203及びゲート導電膜202の積層構造を有するゲート電極を形成する。

20

【0028】

ゲート導電膜202は、ポリシリコン、タングステン、タングステンシリサイド、チタン(Ti)、窒化チタン(TiN)などの単独構造、またはこれらが組み合わさった複合構造に形成され、ゲートハードマスク203は、窒化膜系または酸化膜系の絶縁性膜を含んで形成される。

【0029】

次いで、形成されたゲート電極構造の形状に沿って、窒化膜若しくは酸化膜の単独構造、またはこれらの膜が組み合わされた構造に絶縁膜を蒸着によって形成し、エッチバック工程を実施してゲート電極側壁にスペーサ204を形成する。スペーサ204は、後続するエッチング工程でゲート電極がアタックされるのを防止するためのものである。次いで、スペーサ204上にエッチング停止膜205を形成する。

30

【0030】

エッチング停止膜205は、自己整列コンタクト(Self Align Contact; 以下、「SAC」と記す)などのエッチング工程において、エッチングを防止する役割をし、その材料には主に窒化膜系を用いる。

【0031】

ここで、エッチング停止膜205は、スペーサとの二重構造と見做すことができる。

40

【0032】

次いで、イオン注入206を実施してゲート電極の側面にアラインメントするように基板200にN型の不純物をドーピングし、熱処理によりドーピングされた不純物を拡散させてソース/ドレインなどのN型の不純物拡散領域207を形成する。

【0033】

この場合、N型の不純物には、例えば砒素を用い、その濃度は $2 \times 10^{15} \text{ atoms/cm}^2 \sim 5 \times 10^{15} \text{ atoms/cm}^2$ 程度にする。また、イオン注入エネルギーは $12 \text{ KeV} \sim 18 \text{ KeV}$ を用いる。

【0034】

次いで、図2Bに示したように、全面に絶縁膜208を形成する。絶縁膜208は、酸

50

化膜系の絶縁性膜や、有機または無機系の低誘電率膜であってもよい。

【0035】

酸化膜系の絶縁性膜としては、BSG (Boro Silicate Glass) 膜、BPSG (Boro Phospho Silicate Glass) 膜、PSG (Phospho Silicate Glass) 膜、TEOS (Tetra Ethyl Ortho Silicate) 膜、HDP (High Density Plasma) 酸化膜、SOG (Spin On Glass) 膜、APL (Advanced Planarization layer) 膜などの単独構造、またはこれらが組み合わされた構造であってもよい。

【0036】

ここでは、一例として、LP-TEOS膜 (LPCVD (Low Pressure Chemical Vapor Deposition) 法で蒸着したTEOS膜) を絶縁膜208として用い、絶縁膜208の厚さを1200 ~ 2000 に形成する。

【0037】

次いで、後続するフォトリソグラフィ工程におけるマージンを確保するために、絶縁膜208の上部をCMPまたはエッチバック処理を用いて平坦化させる。

【0038】

次いで、平坦化された絶縁膜208上にフォトレジストパターン209を形成し、フォトレジストパターン209をエッチングマスクとして絶縁膜208をエッチングし、ビットラインコンタクトが形成される不純物拡散領域207を露出させるオープン部210を形成する。

【0039】

次いで、フォトレジストストリップ (Photo Resist Strip) 工程を実施して、フォトレジストパターン209を除去する (図2B参照)。この場合、マスクパターンとしてフォトレジストパターン209だけを単独に用いるときには、エッチング時にバリアとしての役割をすることができる程度の厚さ、即ち2500 ~ 3500 程度の厚さにフォトレジストパターン209を形成する。

【0040】

上記では、マスクパターンとしてフォトレジストパターン209を単独で用いる場合を一例に説明したが、パターンの高解像度化 (微細化) に伴いフォトレジストパターン209の厚さが低下し、これによるエッチングバリアとしての特性の低下をカバーするために、フォトレジスト209の下に犠牲ハードマスクを用いてもよい。犠牲ハードマスクの物質としては、主に窒化膜、タングステン膜、ポリシリコン膜などを用いればよい。

【0041】

次いで、図2Cに示したように、イオン注入211を実施して、オープン部210を形成してビットラインコンタクト形成用に露出させたN型の不純物拡散領域207にN型の不純物をイオン注入した後、熱処理を実施してドーパされた不純物を拡散させてN型の不純物拡散領域207内にN型の高濃度不純物拡散領域212を形成する。これによって、後続するビットラインコンタクトがなされる部分での剰余電子の濃度が増大する。

【0042】

ここで、N型の不純物としては例えば砒素を用い、その濃度は、 2×10^{15} atoms/cm² ~ 5×10^{15} atoms/cm² 程度にする。また、イオン注入エネルギーは、7 KeV ~ 12 KeVを用いる。イオン注入エネルギーが、不純物拡散領域207の形成時に比べて低いため、高濃度不純物拡散領域212は不純物拡散領域207の内部に形成される。

【0043】

熱処理は、750 ~ 850 の温度範囲で実施する急速熱処理 (Rapid Thermal Process; 以下、「RTP」と記す) を、20秒 ~ 40秒間実施する。この急速熱処理は、N₂またはAr雰囲気中で実施することが好ましい。

【0044】

次いで、図2Dに示したように、CVD法を用いて、オープン部210の形状に沿って

10

20

30

40

50

Ti膜213を蒸着によって形成する。この場合、CVD法の特性上、熱によりTi膜213のTiと高濃度不純物拡散領域212のシリコンが反応してシリサイド(TiSi₂)215が形成される。シリサイド215を円滑に形成するために、蒸着温度は690以上の温度を維持することが好ましく、絶縁膜208上に蒸着によって形成するTi膜213の厚さは、5 ~ 15 と非常に薄くする。シリサイド215は、シリコン基板に40 ~ 100 の厚さに形成する。Ti膜213の蒸着時には、TiCl₄及びH₂をソースガスとして用いる。

【0045】

次いで、Ti膜213の形状に沿ってCVD法を用いてTiN膜214を形成する。蒸着によって形成するTiN膜214の厚さは、10 ~ 20 と非常に薄くする。

10

【0046】

これによって、TiN膜214及びTi膜213からなる構造のバリア膜と、その下に形成されたオーミックコンタクトのためのシリサイド215とを備えた構造が完成する。この後、バリア特性の向上のために、さらに熱処理を実施することもできる。この熱処理は、750 ~ 850 の温度範囲で実施するRTP処理を、20秒~40秒間実施すればよい。

【0047】

上記では、バリア膜としてTiN膜及びTi膜の積層構造を一例として説明したが、これに限定されず、この他にもTaまたはTa₂Nなど、シリコンと反応してシリサイドの形成が可能であり、且つバリア特性に優れた様々な金属膜を、単独または積層構造に形成して、バリア膜とすることができる。

20

【0048】

次いで、図2Eに示したように、バリア膜が形成された全面にビットライン用導電膜とするタングステン膜216を蒸着により形成し、タングステン膜216の上にフォトレジストのマスクパターン、またはポリシリコンハードマスク及びフォトレジストパターンが積層されたマスクパターンを形成し、このマスクパターンを用いてタングステン膜216とバリア膜とを選択的にエッチングして、ビットラインを形成する。

【0049】

ここで、ビットライン用導電膜としては、上述したタングステン膜216に限定されず、ポリシリコン膜、タングステンシリサイド、タングステンナイトライド膜、TiN膜、Ti膜、Ta膜、Ta₂N膜などの単独またはこれらを組み合わせた構造であってもよい。

30

【0050】

タングステン膜216をCVD法で蒸着する場合、H₂及びSiH₄(またはSi₂H₆)を用いてWF₆を還元させてタングステンを蒸着し、形成されたタングステン膜216の厚さが500 ~ 800 になるようにする。

【0051】

以上ではビットライン形成工程を一例として説明したが、ビットライン形成工程に限定されず、シリコンを含むN型の導電領域と直接接続されるあらゆる導電パターン、例えば、セルコンタクトプラグ、金属コンタクト、金属配線などの形成工程に、本発明を適用することが可能である。

40

【0052】

上述したように、本発明は、導電パターンと接続されるシリコンを含むN型の導電領域に、N型の不純物である砒素(As)などをさらにドーブして不純物濃度を高くすることによってコンタクト抵抗を下げ、Ti膜などのバリア用第1金属膜をCVD法で薄く蒸着すると同時に、下部の不純物拡散領域のシリコンと第1金属膜の金属とを反応させてTiSi₂などの金属シリサイドを形成し、またTiNなどのバリア用第2金属膜をCVD法で蒸着してバリア膜構造を形成する。従って、これによって、導電パターンにおいてバリア膜が占める高さを大きく減少させることができ、バリア用第1金属膜の蒸着時の温度と厚さとを最適化することによって、非常に小さいコンタクト抵抗値を実現できる。

【0053】

50

尚、本発明は、上記した実施の形態に限定されるものではなく、本発明に係る技術的思想から逸脱しない範囲内で種々の変更が可能であり、それらも本発明の技術的範囲に属する。

【図面の簡単な説明】

【0054】

【図1】基板の不純物拡散領域と直接コンタクトするビットラインを備える半導体素子を示す断面図である。

【図2A】本発明の実施の形態に係るビットライン形成工程を示す断面図である。

【図2B】本発明の実施の形態に係るビットライン形成工程を示す断面図である。

【図2C】本発明の実施の形態に係るビットライン形成工程を示す断面図である。

10

【図2D】本発明の実施の形態に係るビットライン形成工程を示す断面図である。

【図2E】本発明の実施の形態に係るビットライン形成工程を示す断面図である。

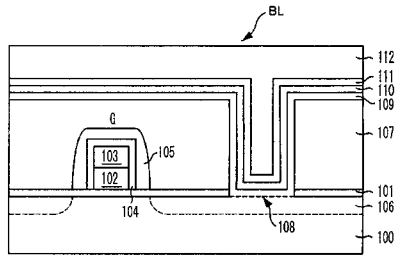
【符号の説明】

【0055】

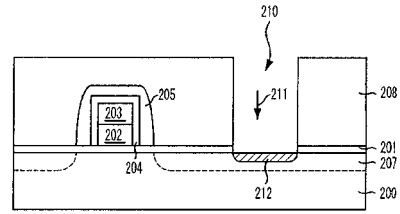
200	基板
201	ゲート絶縁膜
202	ゲート導電膜
203	ゲートハードマスク
204	スペーサ
205	エッチング停止膜
206	イオン注入
207	N型の不純物拡散領域
208	絶縁膜
209	フォトレジストパターン
210	オープン部
211	イオン注入
212	N型の高濃度不純物拡散領域

20

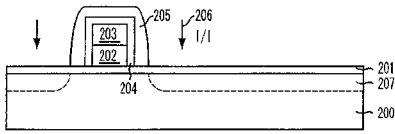
【 図 1 】



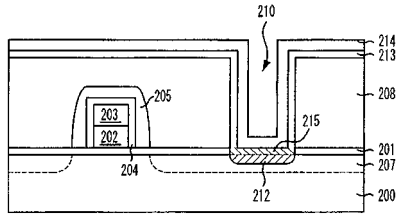
【 図 2 C 】



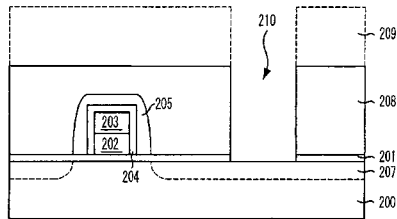
【 図 2 A 】



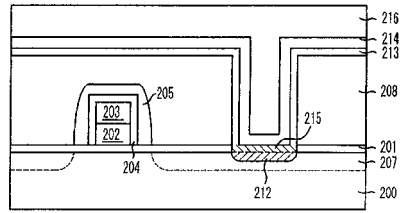
【 図 2 D 】



【 図 2 B 】



【 図 2 E 】



フロントページの続き

(72)発明者 金 俊 基

大韓民国京畿道利川市夫鉢邑牙美里山136-1

Fターム(参考) 5F033 HH04 HH18 HH19 HH21 HH28 HH32 HH33 HH34 JJ04 JJ18
JJ21 JJ28 JJ32 JJ33 JJ34 KK01 KK27 KK30 MM05 MM07
MM13 NN06 NN07 NN40 PP03 PP06 QQ10 QQ25 QQ27 QQ28
QQ31 QQ48 QQ58 QQ70 QQ73 QQ82 RR04 RR06 RR09 RR13
RR14 RR15 SS04 SS15 TT02 TT08 WW00 WW02 WW03 WW04
WW07 XX01 XX09
5F083 GA02 JA35 JA39 JA40 JA56 KA05 PR21 PR34 PR36 PR39
PR40