

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：pt 123 833

※ 申請日期：95.6.30

※IPC 分類：G06F13/16

一、發明名稱：(中文/英文)

微鋪磚式記憶體介面

MICRO-TILE MEMORY INTERFACES

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

英特爾公司 / INTEL CORPORATION

代表人：(中文/英文)

塞門 大衛 / SIMON, DAVID

住居所或營業所地址：(中文/英文)

美國加州聖塔克萊拉市密遜大學道 2200 號

2200 Mission College Blvd., Santa Clara, CA, U.S.A.

國 籍：(中文/英文)

美國 / U.S.A.

三、發明人：(共 3 人)

姓 名：(中文/英文)

1. 麥可威廉斯 彼得 / MACWILLIAMS, PETER

2. 秋山 詹姆斯 / AKIYAMA, JAMES

3. 格勃 道格拉斯 / GABEL, DOUGLAS

國 籍：(中文/英文)

1. 美國 / U.S.A.

2. 美國 / U.S.A.

3. 美國 / U.S.A.

四、聲明事項：

☐ 主張專利法第二十二條第二項☐第一款或☐第二款規定之事實，其事實發生日期為：。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 美國、 2005/06/30、 11/174,134

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

發明領域

本發明之實施例主要係關於記憶體架構，尤其是在一
5 記憶體控制器與系統記憶體之間的記憶體通道。

【先前技術】

發明背景

以一致或聯合記憶體存取之一記憶體架構，有時稱作
一聯合記憶體架構(UMA)，一處理器與一圖型控制器共享
10 系統記憶體來降低成本。傳統上，一UMA記憶體架構可被
最佳化以處理從處理器到系統記憶體中之記憶體請求(讀
取/寫入存取)。典型UMA記憶體架構包含圖型控制器所進
行之記憶體請求。今日，圖型效能對於支援三維(3D)及更
高解析度變得更重要。

15 典型UMA記憶體架構中，快取記憶體使用一固定的64
個(64)位元組快取線來支援處理器之記憶體請求和圖型控
制器之記憶體請求。一UMA記憶體架構之一典型記憶體控
制器具有1個或2個記憶體通道。各記憶體通道與各記憶體
模組共用一位址匯流排中之所有位址線以進行讀取或寫入
20 存取。典型記憶體通道中之資料匯流排傳統上係64個(64)
位元寬，使得一給定位址之8個(8)位元組之連續資料同時從
一記憶體被存取。資料匯流排位元可視所用的記憶體類型
及記憶體尺寸以不同方式路由到記憶體模組。

儘管一處理器傳統上使用自記憶體存取之連續資料之

全部64位元，一圖型控制器傳統上則可能不。在一圖型控制器進行一UMA記憶體架構之一記憶體請求時大部份之連續資料可被捨棄。因而，典型UMA記憶體架構中，記憶體通道之帶寬可能被圖型控制器發佈之記憶體請求無效率地使用。

【發明內容】

發明概要

依據本發明之一實施例，係特地提出一種記憶體積體電路，其包括：用以選擇性存取一記憶體陣列中之記憶體胞元的一位址解碼器；包括用以儲存一致能位元與至少一個次通道選擇位元之位元儲存電路的一模式暫存器；以及耦接至多個位址信號線、該位址解碼器、及該模式暫存器之控制邏輯組件，該控制邏輯組件響應於該致能位元與該至少一個次通道選擇位元，用來選擇一或更多該等位址信號線來捕捉獨立位址資訊，以支援對該記憶體陣列之獨立次通道記憶體存取，該控制邏輯組件用以將該獨立位址資訊耦接入該位址解碼器。

圖式簡單說明

本發明實施例之特徵將由下列詳細敘述而為人所明瞭：

第1A圖繪示利用本發明實施例之一典型電腦系統之一方塊圖。

第1B圖繪示可利用本發明實施例之一客戶端伺服器系統之一方塊圖。

第2A圖繪示可利用本發明實施例之一第一處理單元之一方塊圖。

第2B圖繪示可利用本發明實施例之一第二處理單元之一方塊圖。

5 第3A圖繪示耦接至各包括4個記憶體次通道之一對記憶體通道之一記憶體控制區塊的一高階方塊圖。

第3B圖繪示耦接至快取記憶體與包括多個S個次通道之一對記憶體通道的一記憶體控制區塊中之一記憶體控制器之詳細方塊圖。

10 第4A圖係繪示在一視訊顯示器上不經由次通道而係利用一線性記憶體存取之一記憶體通道的記憶體存取之像素對映的一圖面。

第4B圖係繪示在一視訊顯示器上經由具有2個支援微鋪磚記憶體存取之次通道的一記憶體通道的記憶體存取之
15 像素對映的一圖面。

第4C圖係繪示在一視訊顯示器上經由具有4個支援微鋪磚記憶體存取之次通道的一記憶體通道的記憶體存取之像素對映的一圖面。

第5A圖係繪示一64位元寬記憶體通道上之一線性64位
20 元組記憶體存取之圖。

第5B圖係繪示一對32位元寬記憶體次通道上一對32位元組記憶體存取之獨立次通道記憶體存取之圖。

第5C圖係繪示4個16位元寬記憶體次通道上4個16位元組記憶體存取之獨立次通道記憶體存取的一圖面。

第6圖繪示針對一記憶體通道之一位址信號線位元對映。

第7A圖繪示用來耦接至裝在一主機印刷電路板上之一連接器的一多晶片記憶體模組的一方塊圖。

5 第7B圖繪示嵌於一主機印刷電路板上之多個記憶體晶片與記憶體控制器的方塊圖。

第8圖繪示用以支援記憶體次通道上微鋪磚記憶體存取之一記憶體積體電路之一方塊圖。

第9A圖繪示耦接至模式暫存器供用於一16位元寬記憶體次通道與一16位元組寬記憶體存取之位址超載邏輯的一概略圖。

第9B圖繪示耦接至模式暫存器供用於一32位元寬記憶體次通道與一32位元組寬記憶體存取之位址超載邏輯電路的一概略圖。

15 第9C圖繪示一拌和邏輯電路之概略圖，其係用於一32位元寬記憶體次通道及一32位元組記憶體存取。

第9D圖繪示組合第9B圖之位址超載邏輯電路與第9C圖用於一32位元寬記憶體次通道及一32位元組記憶體存取之拌和邏輯電路的一簡化邏輯電路之概略圖。

20 第10圖繪示用於一記憶體積體電路以提供微鋪磚記憶體存取之方法流程圖。

相同的元件編號與標示在圖式中係指提供相同功能之相同元件。

【實施方式】

較佳實施例之詳細說明

下列本發明實施例之詳細說明中，說明諸多特定細節以提供本發明之一整體瞭解。然而，熟於此技藝者清楚瞭解本發明實施例之實現可不需這些特定細節。其他習知方法、程序、構件、和電路未詳細地說明以避免不必要地模糊本發明實施例之焦點。

一積體圖型電腦系統之記憶體效能傳統上受限於一快取線之大小。大多時候，針對圖型之理想記憶體存取大小為4個16位元組之資料，因為圖型處理器一次操作一個或更少的像素(pixel)或紋理影像元素(texel)。然而，UMA記憶體架構針對一64位元組快取線被最佳化，以使得處理器記憶體效能最佳化。藉由一64位元組快取線，一圖型控制器之記憶體請求，在平均值上，造成大量資料自記憶體提取且從未被圖型控制器所使用。未被使用的資料可稱作過度提取。

藉由微鋪磚技術，記憶體請求從一圖型控制器之過度提取可被減少，同時保持具一積體圖型控制器之一UMA記憶體架構中之快取線需求。通常，微鋪磚使用一新記憶體架構及一新記憶體控制器架構。為了支援一微鋪磚記憶體架構，新記憶體子系統提供一記憶體通道中之獨立次通道記憶體存取。存取到一記憶體的這些獨立次通道記憶體可稱作微鋪磚或微鋪磚記憶體存取，而通常稱作微鋪磚技術。

下列本發明實施例詳細說明中，說明許多特定細節之用意係為了提供讀者對本發明全盤瞭解。然而，很顯然地

熟於此技藝者可不需這些特定細節即瞭解如何實施本發明之實施例。不詳細說明其他範例習知方法、程序、構件、與電路以免模糊本發明實施例之發明層面。

一積體圖型電腦系統之記憶體效能傳統上受限於一快
5 取線之大小。由於圖型處理器一次操作一或少許個像素或紋理影像元素，很多時候圖型理想記憶體存取尺寸係4到16位元組之資料。然而，UMA記憶體架構最佳為一64位元組快取線，以使處理器記憶體效能最佳化。利用一64位元組快取線，一圖型控制器之記憶體請求平均造成大量的資料
10 自記憶體提取而從未使用到圖型控制器。未使用之資料可稱為過度提取。

本發明之實施例包括微鋪磚減少對一圖型控制器之記憶體請求之過度提取，同時利用一積體圖型控制器保留針對一UMA記憶體架構之一處理器的快取線請求。通常，微
15 鋪磚包括一新的記憶體架構與一新的記憶體控制器架構。儘管以新的記憶體控制器架構說明，本發明之焦點在於支援微鋪磚能力之新記憶體架構。為支援一微鋪磚記憶體架構，新的記憶體子系統提供一記憶體通道中內獨立次通道記憶體存取。這些存取一記憶體之獨立次通道記憶體可被
20 稱為微鋪磚或微鋪磚記憶體存取，一般稱為微鋪磚。

簡言之，微鋪磚令一記憶體請求針對記憶體之不連續節段或塊以較小請求組成。微鋪磚記憶體架構允許讀取和寫入記憶體提取根據請求方之需求而在大小與結構上變化。為使較小塊被正確地識別，額外位址資訊藉微鋪磚記

憶體控制器被供至系統記憶體。舉例來說，在本發明之一
 實施例中，一64位元寬記憶體通道(實體位元寬)可分成4個
 16位元寬次通道。在此實務中，一64位元組記憶體存取(一
 記憶體通道之邏輯位元組寬)係由4個不連續16位元組塊(假
 設一記憶體異動係8個轉移之一叢發)所組成。各次通道使
 用一些獨特位址資訊。第3A圖係4個16個位元次通道之一範
 例實務，各具有一些獨特位址資訊。一微鋪磚記憶體架構
 之其他實務會改變各次通道之大小和供入各次通道之獨立
 位址線數量。

- 10 有許多種方法可用來對記憶體陣列之各次通道支援額
 外獨立位址資訊，包括藉由將新專用線從記憶體控制器路
 由到記憶體積體裝置、或將一記憶體模組中路由之未被使
 用錯誤校正碼(ECC)信號線之目的重新設定為額外位址線
 來支援額外位址線。獨立額外位址資訊亦可被支援，藉由
 15 在典型非使用週期間超載先前存在的位址信號線，例如在
 行位址被寫入到記憶體積體電路之一記憶體週期期間。在
 此情況下，微鋪磚技術之支援可實行於記憶體模組中，且
 仍對先前存在的記憶體模組實務提供退化的相容性。這些
 方法可分開來使用，或可組合地使用於本發明之實施例，
 20 以提供超過理想數目之位址線之額外位址資訊，包括任一
 額外位址線。

在本發明之一實施例中，額外的位址信號線在一主機
 板上路由到記憶體積體電路供支援微鋪磚能力與微鋪磚記
 憶體存取。新的位址信號線係在主機板上從記憶體控制器

路由到記憶體積體電路裝置之專用位址線。本發明之另一實施例中，額外的位址信號線在主機板上被路由到新的連接器，而具有新腳位指派(接腳)的新記憶體模組則被插入新的連接器。

5 本發明之另一實施例中，超載之位址信號可用來轉移額外的位址以支援微鋪磚能力。傳統動態隨機存取記憶體(DRAM)積體電路在列位址選通(RAS#)控制信號被宣告為低態時透過位址信號線接收列位址。行位址在行位址選通(CAS#)控制信號被宣告為低態時被DRAM積體電路透過少
10 量的位址信號線接收。儘管列位址係在所有既有之位址信號線上傳送，可注意到大多時候較少數的行位址在相同位址信號線上傳送。亦即，少數既有之位址信號線被用來轉移行位址信號。因此，額外的位址信號在CAS#控制信號被宣告為低態時，可透過未使用的位址信號線被轉移到
15 DRAM積體電路。以此方式，沒有、或僅少數額外的位址信號線需被路由來支援針對微鋪磚之額外定址能力。

 本發明之另一實施例中，未使用的錯誤校正編碼或同位信號線可用來轉移額外的位址以支援微鋪磚。某接記憶體模組中藉由具有一ECC積體電路來監視資料位元與一額
20 外的記憶體來儲存ECC資料而可支援錯誤校正編碼(ECC)。然而，具備ECC之記憶體模組因為比較貴，傳統上僅用在較高階之系統，例如伺服器。在桌上型電腦或客製電腦之大多數電腦中，傳統上不支援ECC，因為其係一種額外的開銷。在這些例子中，一記憶體模組用於ECC或同

位之一些腳位通常未被使用。在不具有ECC之記憶體模組中，未使用的ECC或同位腳位可用來轉移額外的位址以支援微鋪磚。一記憶體模組之其他未使用的不連接(NC)腳位亦可用來提供額外的獨立位址信號線以支援微鋪磚。

- 5 本發明之另一實施例中可具備額外的獨立位址發訊，藉由組合由未使用的腳位提供之額外位址信號線與在行位址轉移期間超載之位址信號。

- 在一標準記憶體通道中，例如基於雙重資料率(DDR) DRAM技術之一記憶體通道，記憶體通道之邏輯寬度可視
10 為M位元組寬。一位元組的資料有有8個位元。記憶體通道之邏輯寬度稍微與一記憶體模組上轉移之資料叢發長度相關聯。也就是，M位元組的資料可連續地被形成一叢發之資料轉移所存取，藉用從一基本位址累加之連貫位址。傳統上，被存取(讀取或寫入)的區塊的位元組之基本位址係通
15 道邏輯寬度之一整數倍。記憶體通道之實質寬度係記憶體控制器與記憶體模組間之資料匯流排之位元寬。典型最小叢發長度可為具有一起始位元組順序的8個記憶體週期，其可由位址線之最無效位元設定。以64位元之一典型實質寬度，8個記憶體週期存取一記憶體通道中64位元組的資料。
20 因而記憶體通道之典型邏輯寬度係64位元組的資料。

如前所述，記憶體通道之邏輯寬度係位元組之數量，其可連續地以一基本位址轉移，而記憶體通道之實質寬度係記憶體控制器和記憶體模組間之資料匯流排(「WDB」)之位元寬。一微鋪磚記憶體系統將記憶體通道之邏輯寬度

和實質寬度均分成具較小邏輯位元組寬度與較小實體位元寬度之次通道。

記憶體之微鋪磚能力將記憶體通道(WDB位元)之實質寬度與記憶體通道(M位元組)之邏輯寬度打散成S個次通道(WSC)。各次通道具有一實質寬度： $WSC=WDB/S$ 位元，以及一邏輯寬度： $N=M/S$ 位元組。因而，N位元組的資料可針對資料轉移之各叢發在各次通道中之資料線的WSC位元上被轉移。一記憶體通道可具有存取到記憶體之一記憶體位置總數TML。各次通道存取一記憶體通道之記憶體位置總數的一子集(TSML)，其中 $TSML=TML/S$ 。

微鋪磚記憶體中，各次通道可彼此獨立地存取記憶體通道少一較小粒之資料。為使它們完全獨立，個別位址信號線可從記憶體控制器路由到各次通道。為避免路由過多的個別位址信號線，有些位址信號線可被許多次通道共享，使得記憶體位置可獨立地從一組共用位址中選出。因而，呈現給各次通道之位址具有一些獨立位址位元(「I」)，其值可與呈現給其他次通道之位址之對應位元不同。因而，儘管各次通道上轉移之資料表現一連續資料區塊，各次通道上之資料區塊不一定由一連續位址範圍所構成。

本發明之實施例可用於不同系統例如第1A-1B圖所繪示。現在參考第1A圖，其中繪示可運用本發明實施例之一典型電腦系統100之一方塊圖。電腦系統100A包括一第一處理單元101；輸入/輸出裝置(I/O)102例如鍵盤，數據機，印表機，外部儲存裝置等；以及監視裝置(M)103，例如一CRT

或圖型顯示器。監視裝置(M)103可提供一人類智慧型格式之電腦資訊，例如視訊或音訊格式。系統100可為除了一電腦系統以外的許多不同電子系統。

現在參考第1B圖，其中繪示可利用本發明實施例之一客戶端伺服器系統100B。客戶端伺服器系統100B包括耦接至一網路112之一或更多客戶端110A-110M及耦接至網路112之一伺服器114。客戶端110A-110M透過網路112與伺服器114通訊，以發射或接收資訊及獲得存取到伺服器上可能需要的任一資料庫及/或應用程式軟體。客戶端110A-110M和伺服器114可為典型電腦系統100A之例子。伺服器114具有含有記憶體之一處理單元，且更可包括一或更多碟片機儲存裝置。伺服器114可用於一儲存區域網路(SAN)中作為一網路附接儲存(NAS)裝置，且具有一碟陣列。存取伺服器114之資料可在網路112上供多重客戶端110A-110C共享。

現在參考第2A圖，其繪示可運用本發明之實施例之一第一處理單元101A之一方塊圖。處理單元101A可包括一處理器電路201、一記憶體控制區塊202、外部快取記憶體203E、一或更多記憶體通道204A-204N、一圖型控制器206、以及如所示地耦接在一起的一輸入/輸出控制器207。兩個以上的處理器電路201元件之組合、記憶體控制區塊202、快取記憶體203E、圖型控制器206、以及處理單元101A之輸入/輸出控制器207可一起積設成一單一積體電路。舉例來說，記憶體控制區塊202、圖型控制器206、及輸入/輸出控制器207可被整合在一起作為一積體電路210。又另一

範例，處理器電路201、記憶體控制區塊202、快取記憶體203E、圖型控制器206、及輸入/輸出控制器207可被整合在一起作為一積體電路210'。又另一範例，記憶體控制區塊202與其記憶體控制器可被積設於處理器電路201。同時耦
5 接於處理器電路201與記憶體控制區塊202間之外部快取記憶體203E繪示為積體電路210'之一部份，其可為一分離的電路。由於分開製造大型記憶體容量較有效率，大多時候快取記憶體203E保持在積體電路210'之外部。

處理器電路201可包括一或更多執行單元或一個以上
10 的處理器(亦稱作核心處理器)，例如處理器A-N 201A-201N，作為一多處理器積體電路。處理器電路201之各處理器可具有一或更多層的經晶片上或內部快取記憶體203I或共享同一內部快取記憶體。其他層的快取記憶體可在處理器201之外部並介接記憶體控制器，例如外部快取記
15 憶體203E。處理器電路201亦可如一微電腦可具有一晶片上或內部隨機存取記憶體(RAM)以及一晶片上或內部唯讀記憶體(ROM)。處理器201、其一或更多執行單元、以及一或更多層的快取記憶體可透過具有一或更多記憶體通道204A-204N之記憶體控制區塊202讀取或寫入資料(包括指
20 令)。

耦接於一或更多記憶體通道204A-204N與處理器201以及圖型控制器206之間的記憶體控制區塊202可選擇性地具有其自身的內部快取記憶體203M、或其可在外部作為另一層的快取記憶體。記憶體控制區塊202包括用於每一個別

一或更多記憶體通道204A-204N之一或更多微鋪磚記憶體
控制器MCA-MCN 208A-208N。

一或更多記憶體通道204A-204N每一者各包括一或更
多記憶體模組MM1-MMn。各記憶體模組包括一或更多記憶
5 體積體電路或裝置。一或更多記憶體積體電路或裝置可為
各種類型的記憶體積體電路，包括動態隨機存取存取記憶體
體(DRAM)電路、靜態隨機存取記憶體(SRAM)電路、或非
依電性隨機存取記憶體(NVRAM)電路。然而，在本發明較
佳實施例中，一或更多記憶體積體電路係為動態隨機存取
10 存取記憶體(DRAM)電路。

一或更多記憶體通道204A-204N各包括兩個以上的記
憶體次通道。第2A圖中，4個記憶體次通道205A-205D被包
括於每一記憶體通道204A-204N中。現在參考第2B圖，兩
個記憶體次通道205A'-205B'被包括在每一記憶體通道
15 204A-204N中。雖然繪成各記憶體通道有2個和4個記憶體次
通道，理應理解一記憶體通道亦可具有其他數量的分道，
可包括奇數或偶數個次通道。特別是在一記憶體通道之邏
輯寬度或叢發長度增加的情況中。

各記憶體通道204A-204N中之一或更多記憶體模組
20 MM1-MMN可被組配來支援微鋪磚。記憶體控制區塊可使
用一演算法來判定一或更多記憶體模組是否支援微鋪磚。
一或更多記憶體模組上包括的一或更多記憶體電路或裝置
可被組配來支援微鋪磚。一或更多記憶體電路可為具微鋪
磚能力的(MTE)而被指派來支援一特定記憶體次通道。一或

更多記憶體電路可包括額外腳位或在將被致能微鋪磚之一
 模式暫存器中具有額外位元以指派給一特定記憶體次通
 道。在記憶體電路提供額外腳位之情形中，外部跳針腳位、
 跳線、或微開關(舉例來說，DIP開關)可用來組配微鋪磚支
 援。在記憶體電路中提供模式暫存器之情況中，進入各次
 通道之資料匯流排之獨立部段可用來載入具有一適當載入
 探測之模式暫存器。

I/O控制器207可被耦接至記憶體控制區塊202以將資
 料寫入一或更多記憶體通道204A-204N，故其可被處理器
 201存取。處理單元101可更包括一無線網路介面電路
 (WNIC) 213、一有線網路介面電路或卡(NIC) 214、一通用
 序列匯流排(USB)及/或火線(FW)串列介面215、及/或耦接
 至I/O控制器207之一碟片機216。無線網路介面電路(WNIC)
 213提供一無線電連接至一基本無線電單元，例如透過一無
 線區域網路、WIFI (IEEE802.11)、藍芽、或其他無線電連
 接。無線網路互連(WNIC) 213包括一天線來被無線電波耦
 接至一基本無線電單元或其他行動無線電單元。NIC 214提
 供一乙太網路有線區域網路連接。USB/FW串列介面215允
 許系統擴充，包括其他I/O周邊裝置。碟片機216係為習知
 且提供可再寫儲存能力給處理器201。碟片儲存裝置216可
 為一或更多一軟碟片、壓縮碟片、DVD碟片、硬碟、可再
 寫光碟、快閃記憶體、或其他非依電性儲存裝置。

圖型控制器206可被耦接到記憶體控制區塊202以讀取
 及寫入資料到一或更多記憶體通道204A-204N。處理器201

可寫入資料到一或更多記憶體通道204A-204N，使其可被圖型控制器206存取並可顯示於一圖型顯示器或視訊裝置上。一圖型顯示器217可被耦接至圖型控制器206。一視訊介面218可耦接至圖型控制器206。視訊介面218可為一類比及/或數位視訊介面。

在處理單元101A中，處理器201、I/O控制器207、及圖型控制器206可透過記憶體控制區塊202中之記憶體控制器存取一或更多記憶體通道204A-204N中之資料。記憶體控制區塊中之記憶體控制器介接一個別記憶體通道204A-204N來讀取及寫入介於系統記憶體和處理器201、I/O控制器207、及圖型控制器206間之資料。在分別介接微鋪磚記憶體控制器208A-208N至記憶體通道204A-204N時，可具有一位址匯流排之位址信號線220、一資料匯流排之資料信號線222、以及控制和計時信號線224作為部份的記憶體介面。耦接至I/O控制器207之輸入裝置，例如碟片儲存裝置216，亦可讀取和寫入資訊到系統記憶體。

通常，資料匯流排之資料信號線222被分出S個次通道。第2B圖中，其中S為4，資料匯流排之資料信號線222被分出4個次通道，如所繪之次通道資料線222A、222B、222C、及222D，並被耦接到個別次通道205A、205B、205C、和205D。舉例來說，一64位元匯流排被分成4組16個位元資料線。在本發明之一實施例中，有些位址信號線220可被次通道共享，而其他位址信號線則各自獨立。本發明之另一實施例，位址信號線220可完全獨立於各次通道。位址信號

線將於下面更詳細地說明。

現在參考第2B圖，其係可例用本發明實施例之一第二處理單元101B之一方塊圖。第二處理單元101B類似第一處理單元101A，其可包括耦接如圖式之一處理器電路201、一
5 記憶體控制區塊202、外部快取記憶體203E、一或更多記憶體通道204A-204N、一圖型控制器206、及一輸入/輸出控制器207。為簡要說明，類似元件標號之說明謹參考第2A圖而在此處不重覆說明。然而，在第二處理單元101B中，每一或更多記憶體通道204A-204N被分成兩個次通道205A'和
10 205B'。亦即次通道的數量S是為2。資料匯流排之資料信號線222被分成兩個以次通道資料線222A和222B繪示之次通道，並被耦接至個別次通道205A'和205B'。譬如，一64位元之匯流排可分成兩組32位元資料線。在本發明之一實施例中，有些位址信號線220可為各次通道所共享，然而其他
15 位址信號線對次通道係相互獨立的。本發明之另一實施例中，位址信號線220在各次通道中可完全獨立。

現在參考第3A圖，其繪示一2個記憶體通道之一方塊圖。第3A圖繪示一組合圖型與記憶體控制器300，亦稱作一主機300，其耦接至一記憶體通道0_304A與一記憶體通道
20 1_304B。記憶體通道0_304A和記憶體通道1_304B各被分成4個次通道305A、305B、305C、及305D。各記憶體通道具有一獨立微鋪磚記憶體控制器來支援記憶體通道之次通道。各記憶體通道具有一獨立資料匯流排。舉例來說，設記憶體通道之各資料匯流排之總資料位元寬為64位元，各

次通道被耦接到一組獨立的16位元資料匯流排。次通道305A被耦接到資料位元D15-D0，次通道305B被耦接到資料位元D31-D16，次通道305C被耦接到D47-D32，而次通道305D被耦接到資料位元D63-D48，如第3A圖所繪。

5 如前所述，有些位址信號線可為每一次通道所共享，同時其他位址信號線則獨立於各次通道，在本發明之一實施例中。舉例來說，位址信號線310(標為Axx-A10，BA2-BA0)被所有次通道305A-305D所共享。也就是說，每一位址信號線310可分散耦接各次通道。相對的，位址信號線311A(標為A9-A6之第一組)被獨特地耦接到次通道305A。位址信號線311B(標為A9-A6之第二組)被獨立地耦接到次通道305B。位址信號線311C(標為A9-A6之第三組)獨立地耦接到次通道305C。位址信號線311D(標為A9-A6之第四組)獨立地耦接到次通道305D。

15 理想地，提供充分的獨立位址線以在所配置之記憶體分頁大小顆粒中允許完全可定址性。分頁大小傳統上由管理圖型記憶體空間之軟體設定。舉例來說，考慮在插敘一雙重通道快取線之記憶體子系統中一4000位元組(KB)分頁大小的位置的情況。2KB的分頁被對映到各記憶體通道。20 這樣的情況中，5條位址線可用來定址記憶體各實體分頁中之3264B快取線。因而，15個額外獨立位址線會理想地用於一4個16位元次通道實務。所示的這些位址信號線311B-D分別相對於一開始標為位址線A10-A6的第一組位址信號線311A而標為位址線A10-A6之第二、第三、及第四組位址信

號線。若可用的額外獨立位址線較少，各次通道可定址的獨立位址空間減少。若可用於各次通道之獨立位址線較多，各次通道可定址的獨立位址空間增加。為了實施2個32位元次通道，具有5條額外獨立位址線是較理想的。

- 5 本發明之一實施例中，額外位址信號線可路由在記憶體控制器和次通道之間，以提供如第3A圖所繪示之獨立位址信號線。本發明之另一實施例中，位址信號在先前存在的位址線上可能超載。本發明之又另一實施例中，組合路由額外位址信號線和超載位址信號可用來支援微鋪磚。本發明之又另一實施例中，各次通道可備具第3A圖中所繪之沒有共享位址線310的一組完整獨立位址線。然而，使用共享位址信號線310保護印刷電路板區域避免被獨立位址信號線路由。
- 10

- 現在參考第6圖，繪示用於一記憶體通道之一位址信號線位元對映，其中使用共享及獨立位址位元。亦即，第6圖係一位址位元對映，其繪示位址位元之一實體位址解譯。一組I個獨立位址位元(IAB)被供至各次通道以支援微鋪磚。一組0或更多SA共享位址位元(SAB)可被供至所有次通道。一組Q個次通道選擇位元(SSB)被用在指派一記憶體請求至一次通道。一組P個次通道資料位址位元(SDAB)係用於一DRAM記憶體中各快取線中之位址位元組。該組P個SDAB位元傳統上係位址信號線對映之最無效位元。該組Q個SSB位元與P個SDAB位元不必然路由於記憶體控制器和次通道記憶體之間，理應瞭解，所存取之基本位址之方塊
- 15
- 20

資料係叢發尺寸之整數倍。也就是， P 個SDAB位元可由一記憶體積體電路內部地產生，例如藉由一DRAM裝置依據雙重資料率(DDR)記憶體規格。儘管第6圖繪示被選來共享之特定一些位址位元及獨立位址位元，其他位址位元也可被指派。亦即， P 個次通道資料位址(SDAB)位元分成SA共享位址(SAB)位元與 I 個獨立位址(IAB)位元之位址位元分配一般是任意的。

現在參考第4A-4C圖，其中繪示使用一鋪磚式位址空間之一個三角形之理想化像素對映呈現。第4A圖繪示使用一非微鋪磚記憶體系統之一鋪磚式位址空間中的三角形401之描畫，其中邏輯通道寬為64位元組。第4B-4C圖繪示使用一微鋪磚記憶體系統之一鋪磚式位址空間中的三角形401之描畫。三角形401之描畫單位係一斷片402。一斷片402可表示一像素或一紋理影像元素。一鋪磚式位址空間中一邏輯二維陣列之資料被組織成一組次陣列，使得子陣列中之資料儲存在位址空間之一連續範圍中，並因而在記憶體中高度局部化。線性定址之一邏輯二維陣列之資料沒有這樣的次陣列；反之，資料例如斷片402被從左到右的線性定址於一系列，然後從頂到底的線性定址到下一列。因而，垂直相鄰的斷片402在記憶體中遠遠相隔。

相較於第4A圖，第4B-4C圖顯示微鋪磚記憶體存取如何提供較小記憶體請求之優勢。每一第4A-4C圖顯示針對不同記憶體請求大小之一個三角形401之描畫。

第4A圖中，一單一記憶體請求包圍資料呈現16斷片。

每一個別方形402表示一斷片，傳統上，每一斷片有32位元或4個位元組之資料。第4A-4C圖繪示一20×20陣列之斷片。一4×4陣列之斷片，如第4A圖所示，係一跨距404，並表示一64位元組記憶體請求。一跨距424在第4C圖中繪示成一2×2陣列之斷片或一16位元組記憶體請求。一雙重跨距414繪於第4B圖中，且為定為一2×4陣列之斷片的一32位元組記憶體請求。

第4A-4C圖間之差異繪示理論上的過度提取隨記憶體請求大小縮減而降低。在第4A-4C圖各圖中，三角形401請求存取相同數量的斷片。然而一記憶體存取傳統上轉移一個以上的斷片之資料，使其可包括在三角形401內之資料呈現斷片408以及在三角形401外之斷片406。三角形401外之資料呈現斷片406被過度提取，造成記憶體帶寬無效率的使用。

在第4A圖中，一64位元組記憶體存取轉移一跨距404之資料，即一4×4方塊的斷片之資料。舉例來說，跨距404A係一第一64位元組記憶體存取。跨距404B為一第二64位元組記憶體存取。舉例來說視為三角形401包圍將近57個像素來呈現。在64位元組記憶體存取之例子中，需要10個記憶體存取來存取三角形中之65個斷片。額外的95個斷片之資料被存取，但可能不被使用。

第4B圖中，一32位元組記憶體存取轉移一個雙重次跨距之資料，即一2×4方塊的斷片或1/2個64位元組記憶體存取。舉例來說，雙重跨距414A係一第一32位元組記憶體存

取。雙重跨距414B為一第二32位元組記憶體存取。就32位元組記憶體存取之情況，存取三角形中之65個斷片需13個記憶體存取。一額外的47個斷片資料之被存取但可能不被使用。

5 第4C圖中，一16位元組記憶體存取轉移一次跨距之資料，即一 2×2 方塊的斷片或1/4個64位元組記憶體存取。一跨距424A為一第一16位元組記憶體存取。一跨距424B為一第二16位元組記憶體存取。一跨距424C為一第三16位元組記憶體存取。一跨距424D為一第四16位元組記憶體存取。

10 針對16位元組記憶體存取之情況中，存取三角形中之65個斷片需要22個記憶體存取。一額外的13個斷片之資料被存取但可能不被使用。

又考慮另一範例，其中三角形401需求65個像素或斷片(260位元組)來顯示第4A、4B、及4C圖各圖。第4A圖中，

15 將近10個跨距的記憶體被存取，包括160個像素或640位元組之資料，以呈現三角形401。第4B圖中，將近13個雙重子跨距之資料被存取，包括112個像素或448個位元組之資料，來呈現三角形401。第4C圖中，將近22個子跨距之資料被存取，包括88個斷片或352個位元組之資料，來呈現三角

20 形401。因而相較於第4A圖，過度提取的像素或斷片406在第4B、4C圖中藉由實施各記憶體通道中具有次通道之微鋪磚定址而減少。

如前所述，第4B-4C圖繪示一鋪磚式位址空間中利用具有記憶體次通道之一微鋪磚記憶體系統的三角形401描

畫。第4B圖中，一64位元組寬記憶體通道可由2個32位元組寬記憶體次通道形成。在此情況下，一微鋪磚記憶體存取將2個不連續32位元組存取組合成一單一64位元組存取，2個次通道共為64位元組之一總大小。三角形描畫早成請求存取雙重子跨距414。舉例來說，微鋪磚記憶體控制器可將對存取雙重子跨距414C和414D之請求組合成一單一微鋪磚記憶體存取。又另一範例，記憶體控制器可將對存取雙重子跨距414E和414F之請求組合成一單一微鋪磚記憶體請求。其他對存取雙重子跨距之請求的組合可形成為一單一微鋪磚記憶體請求或存取。一或更多本發明實施例中，組合的次通道存取具有SA共享位址位元形式之一共享位址位元圖樣。

第4C圖中，一64位元組寬記憶體通道可由4個16位元組寬記憶體次通道形成。在此情況下，一微鋪磚記憶體存取將4個不連續16位元組存取組合成一單一64位元組存取，每4個次通道具有64位元組之一總大小。三角形描畫造成對存取子跨距424之請求。舉例來說，微鋪磚記憶體控制器可將對存取子跨距424E、424F、424G、及424H之請求組合成一單一微鋪磚記憶體存取。其他對存取子跨距請求之組合可形成為一單一微鋪磚記憶體請求或存取。一或更多本發明實施例中，組合的次通道記憶體存取具有針對4個記憶體次通道之SA共享位址位元形式的一共享位址位元圖樣。

理想情形中，假定所有的微鋪磚記憶體請求可被微鋪磚異動組合器利用來建立沒有未被使用次通道之64B記憶

體異動。亦即，微鋪磚之有效性依據異動組合器326A、326B之能力來建構完全移植之記憶體異動。

現在參考第3B圖，其中繪示之一多通道記憶體子系統包括耦接至系統記憶體通道和一或更多快取記憶體203之一微鋪磚記憶體控制區塊300。記憶體控制區塊300中，多通道記憶體子系統包括用於進入到系統記憶體之各記憶體通道之一微鋪磚記憶體控制器。

第3B圖中，備具有2個記憶體通道304A和304B。因而，2個微鋪磚記憶體控制器321A和321B備具有個別記憶體通道304A和304B。各記憶體通道304A、304B可由S個次通道305A-305S所組成。各次通道305係邏輯上為N位元組寬與B位元寬。各記憶體通道304邏輯上為 $M=N*S$ 位元組寬。

記憶體控制區塊300和快取記憶體203之間係可能包括命令路徑或位址路徑之一寫入資料路徑301和一讀取資料路徑302，其上可進行讀取和寫入請求。在一讀取異動情形中，N個位元組透過讀取資料路徑302從記憶體控制區塊300被傳回快取記憶體203。在一寫入異動情形中，N位元組寫入請求透過寫入資料路徑301從快取記憶體203供至記憶體控制區塊300。儘管N位元組讀取或寫入請求在快取記憶體203和記憶體控制區塊300之間進行，請求被畫成 2×2 鋪磚陣列來表現一 2×2 陣列之像素或紋理影像元素，例如可被用以4個次通道。

記憶體控制區塊300包括一通道指派器320、一第一記憶體控制器321A、及一第二記憶體控制器321B。記憶體控

制區塊300亦被耦接到記憶體通道0_304A和記憶體通道1_304B。記憶體通道0_304A包括「S」個次通道305A-305S。同樣地，記憶體通道1_304B包括「S」個次通道305A-305S。共享位址線310從各記憶體控制器322耦接進入各次通道305A-305S。獨立位址線311A-311S耦接進入個別次通道305A-305S。每一資料匯流排次通道部段312A-312S被耦接進入個別記憶體次通道305A-305S。

每一記憶體控制器321A和321B分別包括一次通道指派器322A-322B、一重新排序緩衝器324A-324B、及一異動組合器326A-326B。

針對N位元組資料之記憶體請求，一通道之邏輯寬度，被耦接到通道指派器320。通道指派器視情況(包括記憶體通道之變化性)來指派記憶體請求到記憶體通道0_304A或記憶體通道1_304B。在被通道指派器指派到一記憶體通道後，N位元組請求被耦接進入個別記憶體控制器321A或321B及進入次通道指派器322A或322B。

次通道指派器322A和322B指派N位元組請求到其中一個次通道305A-305S。現參考第6圖，本體次通道指派，s，可由下列步驟定義：(1)請求位址，「A」，被右移P個SDAB位元，造成一新整數值 $\tilde{A}$ (其中， $\tilde{A}=A \gg P$)。(2)用於次通道指派之值「s」係 $\tilde{A}$ 之最無效的Q個SSB位元(例如， $s=\tilde{A} \& ((1 \ll Q) - 1)$)。

每一微鋪磚記憶體控制器321A-321B分別具有一重新排序緩衝器324A-324B。重新排序緩衝器重新排序進入到次

通道之記憶體請求以便增加各記憶體通道中之帶寬效能
 n。對於位址讀取或寫入一方塊的N位元組資料之一請求
 「A」進入記憶體控制器322A或322B，被指派到一次通道，
 並被置於重新排序緩衝器中。重新排序緩衝器可實施為用
 5 於各次通道之一重新排序佇列。其他重新排序緩衝器之實
 務亦為可能的。

異動組合器326A、326B藉從重新排序緩衝器選擇S個
 各用於各次通道之讀取請求形成一記憶體讀取異動，使得
 全部S個請求具有相同的共享位址位元。其藉由從重新排序
 10 緩衝器選擇S個各用於各次通道之寫入請求形成一記憶體
 寫入異動，使得全部S個求具有相同的共享位址位元。舉例
 來說，異動組合器326A、326B可在一記憶體通道中由4個
 各用於各次通道之16位元組請求組合成一64位元組異動。

在嘗試形成一異動後，一微鋪磚控制器中之異動組合
 15 器可能無法找到各針對各次通道之一同步的請求組，使得
 SA共享位址位元在所有次通道上均相同。在這樣一種情況
 下，一次通道上沒有資料會針對找不到的一請求而被轉
 移，否則當資料在該次通道上被轉移時，資料會被丟棄。

現在參考第5A-5C圖，範例位元組順序係針對各記憶體
 20 通道500A-500C繪示。第5A圖中，記憶體通道500A具有編
 號從0到63之一64位元組之轉移大小。64位元組之邏輯寬度
 可被記憶體通道之一64位元實質寬度存取。

第5B圖中，記憶體通道500B可分成2個記憶體次通道
 505A和505B，各自轉移一64位元組之1/2的轉移，使得各次

通道轉移32位元組。針對記憶體次通道505A，記憶體位元組係為從第5A圖重新排序存取號從0到31者。針對記憶體次通道505B，位元組係為從第5A圖重新排序存取號從32到63者。

- 5 第5C圖中，記憶體通道500C可分成4個記憶體次通道，515A、515B、515C、及515D，各轉移一64位元組轉移之1/4，使得各次通道轉移16位元組。記憶體次通道515A存取從第5A圖之位元組編號重新排序之從0到15之記憶體。記憶體次通道515B存取從第5A圖之位元組編號重新排序之
10 編號16-31之記憶體。記憶體次通道515C存取從第5A圖之位元組編號重新排序之位元組編號32-47之記憶體。記憶體次通道515D存取從第5A圖之位元組編號重新排序之位元組編號48-63之記憶體。以此方式，一64位元組轉移被均等分配於每一記憶體次通道上，同時位元組編號經重新排序與
15 分派。

現在參考第6圖在本發明其他實施例中，位元組可被不同地重新排序。

- 如前所述，為了支援微鋪磚記憶體存取，SA共享位址位元可與I獨立位址位元一起使用，同時Q個次通道選擇位元與P個次通道資料位址位元被用來定址被一快取線存取之實體位元組。針對一64位元組快取線，Q個次通道選擇位元與P個次通道資料位址位元之總和為6。
20

第6圖中，我們訂P個次通道資料位址位元為A0-A8。

第6圖中，Q個次通道選擇位元被標為A10、A8、及任何更

多其它在其等之間的標號。第6圖中，I個獨立位址位元被標為A9、A10、A16、A18、A24、及任何更多其它在其等之間的標號。第6圖中，SA共享位址位元舉例來說被標為A11、A15、A17、A19、A20、A25、A26、及Ax。額外共享位址位元可用於其等之間。

利用I獨立位址位元，次通道位址彼此之位址偏移內係互相獨立。為令次通道彼此互相完全獨立，可利用對從記憶體控制器到各次通道之命令與位址的完全複製，但會大幅增加記憶體控制器腳位數、用於輸入/輸出驅動器之矽區域、及一主機印刷電路板或主機板上所需線路路由區域。反之，本發明之實施例共用所有次通道上之一或更多次通道位址位元部份，並允許剩下的I個獨立於各次通道，如第6圖所示。因而審慎地選擇I個獨立位址位元能提供增進的帶寬效能，均衡對抗複製I個位址信號到各次通道之花費。

如前所述，I個獨立位址位元可以不同方式獲得，包括將額外位址線路由到各記憶體次通道及/或使用位址超載。

現在參考第7A圖，其繪示一記憶體模組(MM)710，其是為記憶體模組MM1-MMn之範例。記憶體模組710可為任何類型，例如一單直列記憶體模組(SIMM)或雙重直列記憶體模組(DIMM)，舉例來說。記憶體模組710包括耦接至一印刷電路板751之記憶體積體電路晶片(「記憶體裝置」)752。印刷電路板751包括耦接一主機印刷電路板762之一邊緣連接器760的一邊緣連接器或邊緣連接754。

為了支援記憶體之微鋪磚功能，額外位址信號線可藉

用印刷電路板751之邊緣連接754之未被使用或未連接腳位獨立地供至記憶體積體電路752，在本發明之一實施例中。邊緣連接754之這些未被使用或未連接腳位可用來將額外獨立位址信號線路由到記憶體積體電路752。可獲得裝在主機板762之對應邊緣連接器760接腳之相同的未被使用腳位。額外獨立位址信號線763路由經過主機板762到先前存在的連接器，從記憶體控制區塊中之記憶體控制器來供應額外獨立位址資訊。可獲得記憶體模組之邊緣連接754接腳之一些不同類型的未被使用或未連接腳位。

10 舉例來說，同位或一錯誤校正碼(ECC)功能可保留腳位作為邊緣連接754之部份接腳。為降低記憶體模組對消費者的開銷，同位與ECC功能通常被記憶體模組停用以使保留的信號線和腳位通常未被使用。亦即，同位/ECC信號線可路由到主機板之所有邊緣連接器，但僅在ECC致能之記憶體

15 體模組(例如，雙重直列記憶體模組(DIMM))裝在其中時被使用。記憶體模組之未被使用先前存在的ECC線/腳位被視為獨立位址信號線，並用來實施微鋪磚於非ECC記憶體模組中。然而使用ECC線/腳位於微鋪磚功能時，ECC和微鋪磚功能無法同時在一記憶體模組上被致能。此種解決方案

20 在傳統上不需要(或希望)同位/ECC功能被致能的環境下作用良好。

又另一範例，邊緣連接754之接腳中保存的選擇性主動低資料信號線通常未被使用，因為它們對於所提供之主動高信號線而言是冗餘的。又另一範例，記憶體模組之邊緣

連接754之一接腳保留的選擇性測試腳位通常未被使用，由於測試模式可能未被使用。

任一情況下，這些未被使用腳位被重新訂為獨立位址信號腳位755A-755D，而獨立位址信號線763被路由於主機印刷電路板762上，獨立位址信號線756A-756D被路由於記憶體模組710之PCB751上至記憶體積體電路752。

某些例子中，記憶體模組710可更包括一支援積體電路750，例如一緩衝器積體電路(「緩衝器」)或一錯誤校正控制(ECC)積體電路。然而如前所述，若記憶體模組710不具有ECC，反而為ECC保留而未被使用之邊緣連接754之腳位可用於獨立定址進入一記憶體次通道之線路來支援微鋪磚。

為支援記憶體次通道之微鋪磚與獨立定址，記憶體模型710上記憶體積體電路752可被劃分指派給不同記憶體次通道，例如第7A圖所繪之4個記憶體次通道205A、205B、205C、及205D。一記憶體積體電路752之資料I/O傳統上為4、8、或16位元寬。就一實質寬度64位元之一記憶體通道和各16位元之記憶體次通道，4個16位元寬之記憶體積體電路752會分別一對一分派給4個記憶體次通道205A、205B、205C、及205D。8個8位元寬記憶體積體電路752一次分別會被指配2個到4個記憶體次通道205A、205B、205C、205D來提供一實質寬度64位元之一記憶體通道和各16位元之記憶體次通道。16個4位元寬記憶體積體電路752一次分別會被指配4個到4個記憶體次通道205A，205B、205C、205D

以提供一實質寬度64個位元之一記憶體通道與各16位元之記憶體次通道。

在2個記憶體次通道之例子中，4個16位元寬記憶體積體電路752一次分別會被指配2個到2個記憶體次通道，其實質寬度為一記憶體通道64位元而記憶體次通道各32位元。8個8位元寬記憶體積體電路752一次分別會被指配4個到2個記憶體次通道，其一實質寬度為一記憶體通道64個位元而記憶體次通道各32位元。16個4位元寬記憶體積體電路752一次分別會被指配8個到2個記憶體次通道，其實質寬度為一記憶體通道64個位元而記憶體次通道各32位元。

藉用記憶體模組之邊緣連接754之未被使用腳位與一標準邊緣連接器760，記憶體模組710可與先前存在的記憶體子系統相容。本發明之另一實施例中，被具具有附加獨立位址信號線來支援微鋪磚記憶體之一種新的邊緣連接754和一種新的邊緣連接器760。然而在本發明之實施例中，記憶體模組與邊緣連接器經過特殊設計來支援記憶體之微鋪磚能力，而不向上相容於既有之系統。本發明又之另一實施例中，記憶體積體電路係焊接到一主機板而非使用一記憶體模組或一邊緣連接器。

現在參考第7B圖，記憶體積體電路752係藉由與具有微鋪磚記憶體控制器208A-208N之記憶體控制區塊202及其他構件一同直接焊到主機印刷電路板762上而嵌於主機印刷電路板762上，有些構件先前已經說明及繪於第2A-2B圖。主機印刷電路板762上線路路由區之開銷，獨立位址信號線

766A-776D可於記憶體控制區塊202中之一微鋪磚記憶體控制器208A-208N和記憶體積體電路752之間路由。這些獨立位址信號線766A-776D在記憶體積體電路752中之不同記憶體次通道205A-205D間並不被共享。然而，獨立位址信號線
5 可被同一記憶體次通道752之一或更多記憶體積體電路共享。

考慮第3A圖，譬如每一記憶體通道中有4個獨立記憶體次通道。每一次通道會備具獨立的額外4條位址線以獨立存取每一次通道中之記憶體區域。位址線311A-311D(標為
10 A9-A6)在每一次通道係獨立的。假定四條為一組之位址線預先存在，將被路由之總數或額外位址線係為四條之三被或十二條獨立位址信號線。在記憶體係焊在主機板上時，路由額外信號線有很好的效益。另可選擇地，在一預先存在之邊緣連接器之輸出腳位與記憶體模組未被完全利用
15 時，在一主機板上將額外之信號線路由到一記憶體模組可用來增加獨立位址傳訊功能。

然而，若既有連接器之接腳係完全地使用，將沒有用於額外線路之空間，且此方法或路由額外信號之方式並不容易實施，特別是欲向上相容時。

20 現在參考第8圖，其繪示一記憶體積體電路800之一方塊圖。記憶體積體電路800可被包括在記憶體模組MM1-MMn中作為一或更多記憶體裝置752。記憶體積體電路800包括一記憶體陣列801、一系列位址解碼器802、位元線預充/復新邏輯803、一行解碼器804、一感測放大器陣列和

寫入驅動器區塊806、一控制器808、一位址緩衝器811、及微鋪磚控制邏輯812，相耦接如圖所示。微鋪磚控制邏輯812亦可稱為超載邏輯(OL)。

控制器808包括具有多數個位元之一模式暫存器810，

5 其可被設定/初始化以控制記憶體積體電路800之一般功能。模式暫存器包括用來儲存位元之位元儲存電路。模式暫存器810之位元可藉由與一負載探測同時地施加適當的位元設定於位址線820或資料線821上來設定。負載探測可藉由在記憶體閒置時切換耦接到記憶體積體電路之控制器

10 808之一或更多控制線822來進行。控制器808接收一或更多控制線822。一或更多控制線822可包括列位址探測RAS#，行位址探測CAS#、寫入啟用WE#、晶片選擇CS#、排組選擇BA0、BA1、BA2、或其他標準記憶體積體控制輸入。

更特別地，模式暫存器810可用來組配用於微鋪磚記憶體

15 體存取之積體電路800。如下更進一步之說明，模式暫存器810之其中一位元係被一微鋪磚致能。微鋪磚致能可為高態有效並稱作MTE位元。另可選擇地，微鋪磚致能可為低態有效並稱作MTE#。在各自情況中，微鋪磚致能可通常被稱作微鋪磚致能或MTE位元。在裝置一開始啟動時或重開

20 時，微鋪磚致能被預設為重設使得微鋪磚被停用。這允許記憶體模組710和記憶體積體電路800在被插入不支援微鋪磚之系統時跟以往的架構相容。模式暫存器810更具有一或更多次通道選擇(SCS)位元，用來指出積設的記憶體被指派與可定址之記憶體次通道。MTE位元與一或更多SCS位元

被耦接至微鋪磚控制邏輯812。

微鋪磚控制邏輯812被耦接到多個位址信號線820以便透過位址緩衝器811耦接位址到行位址解碼器804及/或列位址解碼器802。位址緩衝器811可為位址解碼器門鎖住網際網路位址信號線上的位址信號。控制邏輯812亦被耦接到控制器之模式暫存器來接收微鋪磚致能及至少一次通道選擇位元以支援微鋪磚記憶體存取記憶體陣列801。響應於微鋪磚致能和至少一次通道選擇位元，控制邏輯812選擇在一或更多位址信號線上捕捉用於所指派之一預定次通道之獨立位址資訊。亦即，僅一位址信號線之子集可被指派到一預定次通道。控制邏輯812選擇此位址信號線子集來提取獨立位址資訊。其他位址信號線可被用於其他次通道、或也些可為進入各次通道之共享位址信號線。控制邏輯812將獨立位址資訊耦接至行位址解碼器804及/或列位址解碼器802。控制邏輯對一或更多位址信號線之選擇可進一步響應於一行位址載入信號(CAS#)和一異動致能信號。

額外控制邏輯可被加入微鋪磚控制邏輯812或在其周圍以進一步針對一有效位元獨立之位址資訊設置到另一有效位元位置。此係為提供一線性定址方法，例如在微鋪磚被致能時用於螢幕更新。

感測放大陣列與寫入驅動器區塊806耦接資料輸入/輸出(I/O)匯流排並可從控制器808接收控制信號來讀取來自記憶體陣列之資料或寫入資料到記憶體陣列801。感測放大陣列與寫入驅動器區塊806接收將被寫入至記憶體陣列801

之資料並透過資料輸入/輸出(I/O)匯流排821將已從記憶體陣列801讀取資料驅出。資料輸入/輸出(I/O)匯流排821包括傳統上有4、8或16位元寬之記憶體積體電路800之雙向資料線。

- 5 記憶體陣列801由可組織成行與列之記憶體胞元構成。記憶體胞元傳統上係為動態隨機存取記憶體(DRAM)胞元，但可選擇性地為一靜態隨機存取記憶體(SRAM)胞元或一非依電性可規劃(NVRAM)類型之可再寫式記憶體胞元。
- 10 列位址解碼器802接收位址線上之一列位址並在其中一字組線(WL)上產生一信號以在記憶體陣列801中定址一列記憶體胞元。行解碼器804亦接收位址線上之一行位址並選擇在記憶體胞元之列中的哪些行被存取。行解碼器804實質上選擇進入將被存取之記憶體胞元之位元線。在一讀取
- 15 存取中，行解碼器804作用為一多工器。在一寫入存取中，行解碼器804作用為一解多工器。行位址解碼器804響應於共享行位址信號選擇性地存取記憶體陣列801中記憶體胞元之行，切若模式暫存器中之微鋪磚致能被設定，行位址解碼器804更進一步響應於獨立次通道行位址信號選擇性
- 20 地存取記憶體陣列801中記憶體胞元之行。

感測放大陣列與寫入驅動器區塊406可包括感測放大器來判定一邏輯1或邏輯0是否已在讀取操作期間被儲存在存取的記憶體胞元中。定址的記憶體胞元嘗試在讀取操作期間驅動一邏輯1或邏輯0於選定的記憶體陣列位元線上。

感測放大器檢測一邏輯1或邏輯0是否已在讀取操作期間被存取的記憶體胞元驅動於選定記憶體陣列位元線上。感測放大陣列與寫入驅動器區塊406可更包括在一寫入操作期限寫入驅動器來驅動一邏輯1或邏輯0於選定的記憶體陣列

5 位元線上及定址的記憶體胞元內。

預充電/更新區塊803耦接記憶體陣列801中之位元線。預充電/更新區塊803可在一讀取或寫入操作期間在定址記憶體胞元前事先對位元線進行處理。預充電/更新區塊803亦可在不作用週期期間更新儲存在記憶體陣列801之記憶體胞

10 元之資料。

在特定記憶體週期，某些進入記憶體積體電路800之現有信號線不被使用且在此用於其他用途的期間可被重新設定目標。舉例來說，在CAS(行位址探測)週期內，並非所有的位址線都被使用。這些未被使用位址信號線可在CAS週

15 期內重新設定目標，以將額外位址資訊通訊到記憶體模組(例如，DIMM)及其中之記憶體積體電路裝置。記憶體控制區塊202中之記憶體控制器208在CAS週期內，透過這些未被使用位址信號線傳送額外位址資訊。記憶體積體電路800藉由附加的微鋪磚控制邏輯電路812和模式暫存器810中之

20 位元辨識並解碼這些先前在CAS週期中未被使用之未被使用位址信號線上之超載信號。

現在參考第9A圖，其繪示支援耦接至一記憶體積體電路中一模式暫存器810A之微鋪磚技術之範例微鋪磚記憶體控制邏輯812A。微鋪磚記憶體控制邏輯812A之範例實務解

碼超載位址信號線，其具有在未被使用記憶體週期期間提供之額外位址資訊，例如一CAS週期。微鋪磚記憶體控制邏輯812A之概略圖假設所備具之4個次通道各具有16位元組之一邏輯寬度以支援微鋪磚。

- 5 微鋪磚記憶體控制邏輯812A之核心係雙重4輸入多工器900，用以擷取獨立位址資訊。微鋪磚記憶體控制邏輯812A之雙重4輸入多工器900於多工輸出(A3'和A4')上選擇性地輸出共享行位址信號或獨立次通道行位址信號。雙重4輸入多工器之輸出(A3'和A4')被耦接至行位址解碼器之輸入。獨立次通道行位址信號係經選擇由個別記憶體次通道接收之一或更多獨立行位址信號。
- 10

- 微鋪磚控制邏輯812A接收來自記憶體積體電路之位址腳位的位址線。微鋪磚控制邏輯812A提供位址給將分散到列位址解碼器和行位址解碼器之位址緩衝器。記憶體積體電路之有些位址腳位接收共享列位址信號、共享行位址信號、獨立行位址信號、或其等之一組合。舉例來說，位址腳位A5-A9和A13經過微鋪磚控制邏輯812A周圍，並可接收進入每一記憶體次通道之共享列位址信號及/或共享行位址信號。位址腳位A0-A4和A10-A12被耦接至兩個4輸入多工器900，若微鋪磚被致能時尚可接收共享列位址信號與獨立行位址信號。若微鋪磚未被致能，耦接至雙重4個輸入多工器900之位址腳位A3與A4可接收共享列位址信號及/或共享行位址信號。一行位址載入探測針腳CAS#被耦接到控制邏輯812A以接收一行位址載入探測信號，並選擇性地接收
- 15
- 20

適當一或更多位址腳位上之獨立行位址信號，該一或更多位址腳位被指派到一給定次通道供擷取記憶體積體電路。行位址載入探測信號亦可用來接收及擷取適當位址腳位之共享行位址信號。

- 5 模式暫存器810A可包括3位元儲存電路，例如用來儲存一微鋪磚致能(MTE)位元、一次通道選擇位元0(SCS0)位元、及一次通道選擇位元1(SCS1)位元之設定的一正反器或記憶體胞元。這3個位元在模式暫存器810A中被規劃以適當次通道選擇位元及微鋪磚致能。這3個位元係由記憶體積體
- 10 電路在初始化期間(例如開機或重開時)接收之位元設定來設定/重設。這3個位元亦可在記憶體積體電路閒置時被設定/重設而毋需記憶體繼續存取。位元設定可透過位址或資料信號線接收，並響應於被耦接至記憶體積體電路之一或更多控制線輸入產生的一負載探測信號而被載入模式暫存
- 15 器。若微鋪磚將在記憶體積體電路中啟用，微鋪磚致能MTE被設定。當MTE位元為高態有效，其被設為一高邏輯位準。若MTE位元為低態有效，MTE#位元被設為一邏輯低位準。於第9圖之範例控制邏輯中，一記憶體通道中有四個以下的可能次通道。SCS0和SCS1位元將記憶體積體電路分派到4
- 20 個記憶體次通道其中之一。同一記憶體模組上之其它記憶體積體電路可被指派到另外4個記憶體次通道。

每一次通道之獨立位址資訊係透過先前存在的位址線而可用，例如位址線A0-A4和A10-A12，在CAS週期期間。在此範例中，位址線A3和A4通常被使用。因而，位址線A0，

A1、A2、A10、A11、A12、和A13係過載信號線(A13可為微鋪磚異動致能—根據一異動基礎指定)。此在現有位址線超載信號線之方法實際上提供六條額外位址線(A0-A2和A10-A12)給記憶體積體電路裝置，而非使用額外跡線(即，線路路由)或額外腳位。

各記憶體積體電路中備具微鋪磚記憶體控制邏輯812A，而得以響應於儲存在模式暫存器中之次通道選擇位元從位址線A0-A4和A10-A12中選出適當的獨立次通道位址資訊。次通道選擇位元之設定係從模式暫存器810A路由到微鋪磚記憶體控制邏輯812A以控制多工器900之輸入選擇處理。多工器900之輸出端子被耦接至位址信號線A3'和A4'。位址信號線A3'和A4'被耦接至一位址解碼器(例如，行位址解碼器804)以選擇記憶體陣列中之記憶體胞元。

當CAS#係低態有效時(「CAS週期」)，微鋪磚控制邏輯可在行位址寫入存取時間期間超載記憶體位址信號線A3'和A4'。亦即，在行位址不以微鋪磚寫入到記憶體積體電路時，位址位元A0、A1、A2、A10、A11、和A12係正常未被使用位址位元。被A3'和A4'取代之位址位元A3和A4，係用來將行位址寫入到記憶體積體電路之位址位元。儘管位址位元在不使用微鋪磚技術之CAS週期期間而係正常未被使用狀態，其可用來在RAS#低態有效(「RAS週期」)，列位址被寫入記憶體積體電路時，選擇一記憶體積體電路中之列位址。本文中稱為位址超載。儘管第9A圖中行位址探測CAS#期間，A0，A1，A2，A10，A11與A12係圖示以

未被使用之位址位元，可利用多種不同的未被使用位址位元作為支援微鋪磚之超載位址信號線。

微鋪磚記憶體控制邏輯812A包括雙重4輸入多工器900、一個3輸入AND閘903、多個2輸入AND閘904-911、及
5 多個反相器912-918，如圖所式相耦接。可很清楚地瞭解到一AND閘可由組合一NAND閘與耦接至NAND閘輸出端知一反相器來構成。

雙重4輸入多工器900係一對4至1多工器，各自具有相耦接之一第一選擇控制輸入S0和相耦接之一第二選擇控制
10 輸入S1。第一4至1多工器接收輸入1I0-1I3並響應於選擇控制輸入S0和S1提供輸出1Y。第二4至1多工器接收輸入2I0-2I3並響應於選擇控制輸入S0和S1輸出2Y。若S0和S1邏輯皆為低或0，輸入1I0和2I0被多工於個別輸出1Y和2Y上。若S0之邏輯係為高或1而S1之邏輯為低或0，輸入1I1和2I1
15 被多工於個別輸出1Y和2Y上。若S0之邏輯為低或0而S1之邏輯為高或1，輸入1I2與2I2被多工於個別輸出1Y和2Y上。若S0和S1皆為邏輯為高或1，輸入1I3和2I3被多工於個別輸出1Y和2Y上。

雙重4輸入多工器900之第一組4輸入多工器於其個別
20 1I0-1I3輸入接收位址位元A3、A0、A1、及A2，並選擇其中一者於其1Y輸出來在位址信號線A3'上驅動。第二組4輸入多工器於其個別2I0-2I3輸入接收位址位元A4及A10-A12，並選擇其中一者於其2Y輸出來在位址信號線A4'上驅動。選擇控制輸入S0和S1分別被耦接至AND閘904-905

之輸出。

AND 閘 903 於其輸出產生一微鋪磚模式信號 (MTM)902A。微鋪磚模式信號902A係為高態有效，並於獨立位址信號位在耦接到雙重4輸入多工器900之超載位址信號線之適當時機產生。反相器912於其耦接至AND閘903輸出之輸入將低態有效CAS#信號反相成一高態有效CAS信號。AND閘903邏輯交集CAS信號、MTE位元設定(ME)、與異動致能信號(TE，位址位元A13)來產生微鋪磚模式信號902A。亦即若微鋪磚被MTE位元致能而異動被TE信號致能，當CAS#變為低態時微鋪磚模式信號(MTM)902A產生。

微鋪磚模式信號(MTM)902A被耦接進入AND閘904與905之輸入至閘次通道選擇位元SCS0和SCS1。若微鋪磚模式信號(MTM)902A無論如何都為低態，進入多工器900之選擇控制S0和S1在AND閘904和905之輸出係為邏輯低態或0。藉由S0與S1皆為邏輯低態或0，分別耦接至輸入1I0與2I0之位址位元A3與A4分別多工到在個別輸出1Y與2Y之位址信號線A3'和A4'上。位元A3和A4僅分別通過信號線A3'和A4'。此係當微鋪磚未被致能或在位元A3與A4用於任何其他用途時之預設條件，例如列定址。

當微鋪磚模式信號(MTM)902A係高態有效時，次通道選擇位元SCS0和SCS1藉由分別通過AND閘904和905而分別耦接至多工器900之選擇控制輸入S0和S1。因而，當微鋪磚模式信號(MTM) 902A被AND閘903生成為高態有效時，次通道選擇位元SCS0與SCS1控制多工個別4輸入之選擇到

多工器900之個別輸出。有效率地設定次通道選擇位元SCS0和SCS1、指示次通道到可被指派的記憶體IC、判定哪個耦接至多工器900之位址位元線被用來在CAS週期期間擷取獨立位址信號。

- 5 次通道選擇位元SCS0和SCS1之設定會從一次通道變成下一個。針對4個次通道，對於SCS0於SCS1分別有4種個不同設定。然而需注意被設計來支援4個次通道之微鋪磚控制邏輯可容易地僅用次通道選擇位元SCS0和SCS1之兩種不同設定來減少到支援兩個次通道。藉由對SCS0和SCS1之
10 不同設定，多工器900選擇不同位址信號線來在微鋪磚模式信號產生時擷取獨立位址信號。

- 微鋪磚模式信號(MTM) 902A亦分別被耦接至在通至AND閘906-911之一第一輸入的反相器913-918。位址信號A0、A1、A2、A10、A11、與A12分別被耦接至AND閘906-911
15 之第2輸入。微鋪磚模式信號(MTM) 902A有效地閘控分別進入記憶體積體電路於AND閘906-911之輸出A0'、A1'、A2'、A10'、A11'、與A12'之位址線A0、A1、A2、A10、A11、與A12上的信號。亦即，當微鋪磚模式信號(MTM) 902A為邏輯低態或0時，AND閘906-911允許位址線A0、
20 A1、A2、A10、A11、與A12上之信號通過到輸出A0'、A1'、A2'、A10'、A11'、及A12'上和到位址解碼器。當微鋪磚模式信號(MTM) 902A為邏輯高態或1時，AND閘906-911驅動所有的輸出A0'、A1'、A2'、A10'、A11'、和A12'為邏輯低態或0。因而當微鋪磚模式信號(MTM)902A被設為高態有

效以擷取獨立位址資訊時，輸出A0'、A1'、A2'、A10'、A11'、和A12'因全被驅為零而不被使用。

現在參考第9B圖，其例說用於支援微鋪磚存取耦接至一記憶體積體電路中之微鋪磚控制邏輯812B之一模式暫存器810B。微鋪磚控制邏輯812B之功能稍微類似微鋪磚控制邏輯812A，但係用於低態有效控制發訊及支援一記憶體通道內兩個次通道。微鋪磚控制邏輯812B之電路係形成以減少透過多工器之選擇控制輸入在位址信號線上選擇獨立位址信號的延遲。藉由兩個記憶體次通道來支援，微鋪磚控制邏輯812B從位址信號線上選擇並接收位址信號線上之兩組獨立位址信號。微鋪磚記憶體控制邏輯812B之中心係一六倍2輸入多工器901A，其用來自位址信號線捕捉獨立位址資訊。微鋪磚控制邏輯812B中之六倍雙接腳多工器901A接收更多及不同位址信號線，在位址信號線上，獨立位址信號組可被選擇性地被接收。也就是說，第6圖中所繪示之1個獨立位址位元較大。結果，一記憶體次通道內之可獨立定址記憶體空間較大。

微鋪磚控制邏輯812B被耦接至記憶體積體電路之位址腳位，包括位址腳位A0-A8和A10-A13。各次通道之獨立位址資訊在CAS週期期間於這些既有之位址線係可用。微鋪磚控制邏輯選擇性地在內部位址信號線A3'-A8'上形成獨立次通道位址信號。內部位址信號線A0'-A8'和A11'-A13'透過位址緩衝器被耦接至位址解碼器。位址緩衝器可響應於RAS#和CAS#選通信號將位址信號門鎖在內部位址信號

線A0'-A8'與A11'-A13'與A9-A10上，然後將位址信號耦接至位址解碼器。位址腳位A0-A8與A10-A13在未使用的記憶體週期間具有超載位址信號，且被耦接至六倍2輸入多工器901A之輸入，如圖所示。位址信號線A3-A8係一第一組位址信號線，一第一組獨立位址信號可透過它們耦接至一第一記憶體次通道。位址信號線A0-A2和A11-A13係一第二組位址信號線，一第二組獨立位址信號可透過它們耦接至一第二記憶體次通道。響應於一第一次通道選擇位元(SCS0)與一微鋪磚模式信號(MTM#) 902B，微鋪磚控制邏輯812B主要選擇為一第一記憶體次通道接收第一組獨立位址信號、或為一第二記憶體次通道接收第二組獨立位址信號。選定獨立位址信號組係被提供於六倍2輸入多工器901A之輸出。這些獨立位址信號係耦接至記憶體積體電路以在一組由可被耦接至每一記憶體次通道的SA共享位址位元構成的共記憶體位置中獨立定址不同記憶體位置。

各次通道之獨立位址資訊在既有之位址線上被設為可用，例如託位址線A0-A4和A10-A12上，在CAS週期期間。在此範例中，位址線A3-A8被平常地使用。因此，位址線A0-A2、及A10-A12係超載信號線(A13可為微鋪磚異動致能一由一異動基準所指定)。此在現有位址線上超載信號線之方法實施上提供六條額外的位址線(A0-A2及A10-A12)給記憶體積體電路裝置，而未使用額外的跡線(即，線路路由)或使用額外的腳位。

模式暫存器810B可包括雙位元儲存電路，例如一正反

器或記憶體胞元，用以儲存一低態有效微鋪磚致能位元 MTE#及一次通道選擇位元0 (SCS0)。模式暫存器為這兩個位元接收位元設定。位元設定利用一或更多控制信號產生的一負載選通信號載入模式暫存器。這三個位元由記憶體積體電路接收於初始化期間(譬如電源啟動或重開)接收之位元設定被設定/重設。這三個位元亦可在沒有記憶體存取中之記憶體積體電路閒置時被設定/重設。位元設定可響應於一或更多耦接至記憶體積體電路之控制線輸入所產生的一負載選通信號透過位址或資料信號線接收並載入模式暫存器中。

模式暫存器810A中之MTE#位元與SCS0位元被規劃以適當的次通道選擇位元與微鋪磚致能位元。若微鋪磚將在記憶體積體電路中將被致能，微鋪磚致能位元(MTE#)——低態有效信號，會被設為一邏輯低態準位。在記憶體次系統支援微鋪磚功能時設定微鋪磚致能位元。否則微鋪磚致能位元不被設定，使得記憶體積體電路係向上相容與不支援微鋪磚之舊系統。第9B圖之範例控制邏輯中，一記憶體通道中可能有兩個次通道。SCS0位元將記憶體積體電路指派到記憶體通道內的兩個記憶體次通道其中之一。同一記憶體模組上的其他記憶體積體電路可被指派到其他記憶體次通道。

每一記憶體積體電路中備具微鋪磚記憶體控制邏輯812B使得適當的獨立次通道位址資訊可響應於儲存在模式暫存器中之次通道選擇位元從位址信號腳位選出。次通道

選擇位元之設定從模式暫存器被路由到微鋪磚記憶體控制邏輯來控制多工器901A之輸入選擇程序。

微鋪磚控制邏輯812B包括一第一個六倍2輸入多工器901A、一第二個六倍2輸入多工器901B、多個AND閘
5 906-911、多個反相器913-918、及一個3輸入或閘923，如第9B圖所示地相耦接。可清楚瞭解的是，一OR閘可藉由耦接一反相器之輸入至一NOR閘之輸出來形成。一習知AND閘之構成係先前已提供。

第一個六倍2輸入多工器901A之輸出被耦接至第二個
10 六倍2輸入多工器901B中之各多工器之2輸入其中第一個輸入。位址位元或信號線A3、A4、A5、A6、A7、A8被耦接至第二個六倍2輸入多工器901B中各多工器之2輸入的其中第二個輸入。第二個六倍2輸入多工器901B之輸出端被耦接至位址信號線A3'-A8'。位址信號線A3'-A8'被耦接至一位
15 址解碼器(例如，行位址解碼器804)來選擇記憶體陣列中之記憶體胞元。一位址緩衝器可門鎖住或暫存位址信號線A3'-A8'保持其狀態，固使其可被位址解碼器解碼。

第一個六倍2輸入多工器901A令其選擇控制S0耦接至次通道選擇0 (SCS0)位元，使得多工器901A之輸出被記憶
20 體積體電路之次通道分派直接控制。以此方式，選定輸出被良好地安排，而使位址信號之傳播延遲最小化。第二個六倍2輸入多工器901B令其選擇控制輸入S0耦接3輸入或閘923之輸出一低態有效微鋪磚模式(MTM#)信號902B。若低態有效微鋪磚模式(MTM#)信號902B係邏輯低態或0，微鋪

磚記憶體存取被致能，使得在位址信號線A3'-A8上，第一個六倍2輸入多工器901A之輸出為第二個六倍2輸入多工器901B之個別邏輯輸出。如果微鋪磚存取不被致使用，MTM#係高態，使得第二個六倍2輸入多工器901B中每一多工器之

5 2輸入中的第二個輸入被選擇，而位址信號線A3-A8被耦接到獨立次通道行位址線A3'-A8'上。此情況中，第一個六倍2輸入多工器901A對位址信號A3-A8沒有影響，其實際上係分別路由繞過微鋪磚控制邏輯812B而驅動內部位址線A3'-A8'。

10 六倍2輸入多工器901A-901B係六個具有相耦接在一起之選擇控制輸入S0的二對一多工器。第一個二對一多工器接收輸入1I0和1I1並響應於選擇控制輸入S0提供輸出1Y。第二個二對一多工器接收輸入2I0和2I1並響應於選擇控制輸入S0提供輸出2Y。第三個二對一多工器接收輸入3I0和

15 3I1並響應於選擇控制輸入S0提供輸出3Y。第四個二對一多工器接收輸入4I0和4I1並響應於選擇控制輸入S0提供輸出4Y。第五個二對一多工器接收輸入5I0和5I1並響應於選擇控制輸入S0提供輸出5Y。第六個二對一多工器接收輸入6I0和6I1並響應於選擇控制輸入S0提供輸出6Y。若S0為一邏輯

20 低態或0，輸入1I0、2I0、3I0、4I0、5I0、及6I0分別驅動於輸出1Y、2Y、3Y、4Y、5Y、及6Y上。若S0為一邏輯高態或1，輸入1I1、2I1、3I1、4I1、5I1、及6I1分別被驅動在輸出1Y、2Y、3Y、4Y、5Y、及6Y上。

如前述，3輸入或閘923於其輸出產生低態有效微鋪磚

模式(MTM#)信號902B。於其輸入，3輸入或閘923接收微鋪磚致能位元MTE#、行位址選通CAS#信號、與異動致能位元TE#(位址線A10)。若這三個輸入全部為低態邏輯準位或0，微鋪磚模式(MTM#)信號902B為邏輯低態或0以選擇性地

5 從超載位址線接收獨立次通道位址信號。此需求藉著設定微鋪磚致能位元為低態有效準位或0來致能微鋪磚；微鋪磚異動藉由位址線A10被設為邏輯低態或0而被致能；以及藉由CAS#控制信號被選通至一邏輯低態或0使得行位址將被選通至記憶體積體電路中。亦即，所有這些進入控制邏輯

10 812B之輸入信號係為低態有效以供微鋪磚記憶體存取。若輸入MTE#、CAS#、或TE#中任一者為邏輯高態或1，微鋪磚模式(MTM#)信號902B係為邏輯高態或1。微鋪磚模式(MTM#)信號902B設為邏輯高態或1的話，控制邏輯812B之第二個六倍2輸入多工器901B照常將位址信號sA3-A8傳到

15 內部位址線A3'-A8'上，而不選擇任何獨立次通道位址信號資訊。需要有一個以上的信號來致能微鋪磚存取以確保不會僅因一位元信號之錯誤而有誤地進入微鋪磚模式。

控制邏輯812B中之AND閘906-911類似控制邏輯812A中AND閘906-911之操作，但由於微鋪磚模式(MTM#)信號

20 902B為一低態有效信號，而可不需要反相器913-918來進行閘控不同的位址信號。故，控制邏輯812B中之AND閘906-911響應於低態有效之微鋪磚模式(MTM#)信號902B，分別閘控內部位址線A0'-A2'與A11'-A12'上之位址信號A0-A2和A11-A12為0。

現在參考第9C圖，位址拌和邏輯930之一概視圖繪示成耦接至一模式暫存器810C。第9C圖所繪位址拌和邏輯930係用於具兩個記憶體次通道之一記憶體通道。拌和控制邏輯可在之前或之後附加到繪於第9A和第9B圖中之超載或
5 微鋪磚控制邏輯812A或812B。

簡言之，備具位址拌和邏輯930使得微鋪磚記憶體控制器可行以線性定址能力，例如可理想地在一螢幕更新期間。位址拌和邏輯930選擇性地重新排序或調換自記憶體控制器接收之位址位元之有效。其中一種有效方式係交換位
10 元位置。另一種可實現的方式係選擇性地反相位址位元。

位址拌和邏輯930包括相耦如圖示之一雙倍2輸入多工器935、一NOR閘936、及一互斥或(XOR)閘937-938。雙重2輸入多工器935包括一對2輸入多工器，其選擇控制輸入S0相耦在一起並耦接至從NOR閘936輸出之拌和控制信號
15 (SWZ)932。位址位元或腳位A4和A3係分別耦接至多工器935之1I0與2I0輸入，並被選擇以在選擇控制輸入S0為邏輯低態或0時輸出。XOR閘937-938之輸出分別被耦接至多工器935之1I1與2I1輸入並在選擇控制輸入S0為邏輯高態或1時被選擇以輸出。

20 次通道選擇位元1 (SCS1)和次通道選擇位元0 (SCS0)分別被耦接到互斥或(XOR)閘937-938之一第一輸入。位址位元A3和A4分別被耦接到XOR閘937和938之第2輸入。若SCS1位元設為1，XOR閘937於其輸出反相位址位元A3，其輸出係耦接至多工器935之1I1。若SCS0位元被設為1，XOR

開938於其輸出反相位址位元A4，其輸出係耦接至多工器935之2I1。以此方式，SCS1和SCS0位元之設定可有效反向位址位元線A3和A4上之位址信號。

NOR開936於耦接至雙重2輸入多工器935之選擇控制輸入S0的輸出產生拌和控制信號(SWZ) 932。拌和控制信號(SWZ) 932，一高態有效信號，選擇是否選用拌和位址位元來從雙重2輸入多工器935輸出。若拌和控制信號(SWZ) 932為邏輯高態或1且耦接至雙重2輸入多工器935之選擇控制輸入S0，從XOR開937和938輸出之拌和位址位元被選擇於多工器935之輸出的個別位址線A4”和A3”上驅動。這會發生在微鋪磚被低態有效微鋪磚致能位元MTE#致能時，CAS#選通信號係邏輯低態，用以捕捉行位址資訊，而TE#位元為邏輯低態，以致能輸入到NOR開936之一微鋪磚異動。然而，若拌和控制信號(SWZ) 932為耦接至雙重2輸入多工器935之選擇控制輸入S0之邏輯低態或0，位址位元A4和A3沒有拌和地通到在多工器935之輸出的個別位址線A4”和A3”上。這會發生在微鋪磚不被低態有效微鋪磚致能位元MTE#致能時、或在CAS#選通信號非以邏輯低態來捕捉行位址資訊時、或在TE#位元非以邏輯低態來致能一微鋪磚異動時。

模式暫存器810C類似模式暫存器810B，但儲存額外位元(SCS1)之設定。模式暫存器810C包括三個位元儲存電路，例如用來儲存低態有效微鋪磚致能位元MTE#、次通道選擇位元0 (SCS0)、以及次通道選擇位元1 (SCS1)之設定的

一正反器或記憶體胞元。模式暫存器接收這些位元之位元設定。位元設定利用由一或更多控制信號產生之一負載選通信號被載入模式暫存器。這三個位元由記憶體積體電路在例如電源啟動或重設之初始化期間接收之位元設定來設定/重設。這三個位元亦可在沒有進行中之記憶體存取之記憶體積體電路閒置時被設定/重設。位元設定在位址或資料信號線上被接收並可響應於耦接至記憶體積體電路之一或更多控制線輸入產生之一負載選通信號被載入模式暫存器。

由於盡量將位址信號延遲維持得越小越好是很重要的，第9B圖之位址拌和邏輯可被組合與第9C圖中繪示之超載邏輯，並被簡化以減少內部位址信號線上之信號延遲。

現在參考第9D圖，其繪示耦接至一記憶體積體電路中之模式暫存器810C之組合的拌和與微鋪磚控制邏輯950。控制邏輯950組合並簡化第9C圖之位址拌和邏輯930與第9B圖之超載或微鋪磚控制邏輯812B。因此，組合的拌和與微鋪磚控制邏輯950功能類似於微鋪磚控制邏輯812B與位址拌和邏輯930之個別構件。在控制邏輯950中簡化之目的係為了減少位址信號到記憶體積體電路中之位址解碼器與位址緩衝器的時間延遲。一對六倍雙輸入多工器901A和901B被簡化至一單一六倍3輸入多工器960。

模式暫存器810C如同前述包括低態有效微鋪磚致能位元(MTE#)、SCS0位元、與SCS1位元。模式暫存器位元可由位元設定被載以一由耦接至記憶體積體電路控制信號產生

之負載選通。

控制邏輯950包括相耦接如圖示之六倍3輸入多工器960、AND閘906-910、OR閘923、AND閘969、互斥NOR (XNOR)閘974-975、及一反相器976。互斥NOR (XNOR)閘974-975可另為具有反相之SCS0與SCS1位元設定的互斥或 (XOR)閘。控制邏輯950被耦接至位址腳位A0-A8與A10-A13以接收位址信號，並產生在位址信號線A0'-A8'與A10'-A13'上通訊之內部位址信號。位址信號輸入A10在異動致能位元TE#在一微鋪磚模式下及在位址輸入信號執行雙工作週期。

控制邏輯中，來自位址腳位之位址信號線可在被耦接至六倍3-輸入多工器960之輸入前先耦接至位址拌和邏輯。譬如，位址A4被耦接至XNOR閘974之一輸入、位址A1被耦接至XNOR閘975、而位址A0被耦接至反相器976。若SCS0位元被設為一邏輯的低態或0，XNOR閘974-975在個別位址信號A4和A1分別耦接至多工器960之1I0與1I1輸入前將它們反相。若SCS0位元被設為一邏輯高態或1，XNOR閘974-975不反相地分別傳送個別位址信號A4和A1耦接至多工器960之1I0和1I1輸入。

六倍3輸入多工器960具有六個三對一多工器，其等個具有相耦接的一第一選擇控制輸入S0和相耦接的一第二選擇控制輸入S1。第一個三對一多工器接收輸入1I0、1I1、及1I2並響應於選擇控制輸入S0與S1提供輸出1Y。第二個三對一多工器接收輸入2I0、2I1、及2I2並響應於選擇控制輸入

S0和S1提供輸出2Y。第三個三對一多工器接收輸入3I0、3I1、及3I2並響應於選擇控制輸入S0和S1提供輸出3Y。第四個三對一多工器接收輸入4I0、4I1、及4I2並響應於選擇控制輸入S0和S1提供輸出4Y。第五個三對一多工器接收輸入5I0、5I1、及5I2並響應於選擇控制輸入S0和S1提供輸出5Y。第六個三對一多工器接收輸入6I0、6I1、及6I2並響應於選擇控制輸入S0與S1提供輸出6Y。

六倍3輸入多工器960具有第一選擇控制輸入S0和第二選擇控制輸入S1來選擇三個輸入中的哪一個被耦接至個別輸出。其可能具有兩個選擇控制輸入以從四個中選擇其中一個，現在將說明六倍3輸入多工器之真值表。若S0和S1兩個選擇位元均被設為0，I0輸入被選作多工器之輸出。若S0位元設為1而S1位元設為0，I1輸入被選為多工器之輸出。若S1位元被設1，I2輸入被選為多工器之輸出而不管S0之位元設定為何。即，在最後的這個例子中，當S1位元設為1而較優先時，輸入到六倍3-輸入多工器之S0係為勿理會值。

如前述，OR閘923產生一低態有效微鋪磚模式信號(MTM#) 902B。低態有效微鋪磚模式信號(MTM#) 902B被耦接至多工器960之第二選擇控制輸入S1。輸入到多工器960之個別I2係位址位元A3-A8。輸入到多工器960之個別I1係分別來自XNOR閘975之輸出、反相器976之輸出、及位址位元A2、A11、A12、和A13。輸入至多工器960之個別I0係分別為XNOR閘974之輸出、及位址位元A3、A5、A6、

A7、和A8，。

如前述，微鋪磚模式信號(MTM#) 902B係一低態有效信號。然而若微鋪磚模式信號(MTM#) 902B為邏輯高態或1，I2輸入被選為多工器之輸出而不管第一選擇控制輸入S0之位元設定為何。即，I2輸入(位址位元A3-A8)被選擇通過多工器960及在內部位址信號線A3'-A8'上驅動，若微鋪磚模式信號(MTM#) 902B係邏輯高態或1時。

如果微鋪磚模式信號(MTM#) 902B受輸入限制或閘923而產生為一低態有效信號，耦接至多工器之第一選擇控制輸入之SCS1位元選擇I0或I1輸入到多工器960來在其個別Y輸出產生。若SCS1位元被設為一邏輯低態或0並耦接至S0、I0輸入(來自XNOR閘974之輸出、以及位址位元A3、A5、A6、A7、及A8)被選為自多工器960輸出至個別內部位址信號線A3'-A8'上。以此方式，次通道0之獨立位址資訊可隨位址線選擇、拌和、或捕捉。然而若SCS1位元被設為一邏輯高態或1並被耦接至S0，來自XNOR閘975之I1輸入(輸出，自反相器976以及位址位元A2、A11、A12、A13之輸出)被選為從多工器960輸出到個別內部位址信號線A3'-A8'上。以此方式，次通道1之獨立位址資訊可隨位址線選擇、拌和、或捕捉。

AND閘906-911在控制邏輯930之功能上類似AND閘906-911在控制邏輯812B中，同樣地響應於低態有效之微鋪磚模式(MTM#)信號902B而分別在內部位址線A0'-A2'和A11'-A12'上閘控位址信號A0-A2和A11-A12為0。另外，

AND閘969響應於低態有效之微鋪磚模式(MTM#)信號902B而在內部位址線A10'上閘控位址信號A10至0。

現在參考第10圖，其繪示用於記憶體積體電路提供微鋪磚記憶體操作之一方法1000。

- 5 方塊1002，記憶體積體電路被指派到其記憶體通道之個別獨立記憶體次通道。也就是，記憶體積體電路內模式暫存器中之一或更多次通道選擇位元被設為將記憶體IC分派給一預定記憶體次通道。

- 10 方塊1004，至記憶體積體電路之微鋪磚記憶體存取被致能。也就是，記憶體積體電路中之模式暫存器內微鋪磚致能MTE位元被設為致能微鋪磚記憶體存取。若MTE位元是為高態有效，其被設為一高邏輯準位。若MTE位元是為低態有效("MTE#")，MTE#位元被設為一邏輯低態準位。

- 15 方塊1006，一記憶體次通道中之一或更多記憶體積體電路的記憶體胞元係從另一次通道中之一或更多記憶體積體電路中之記憶體胞元獨立定址。也就是，記憶體積體電路在其各自獨立記憶體次通道中被獨立定址以獨立存取各記憶體次通道中之記憶體。

- 20 如前述，有許多不同的方式可供獨立定址到次通道。其中一種方式係可藉由在未使用的記憶體週期期間(譬如在行位址被寫入之一CAS週期期間)，同時捕捉在既有之位址信號線上每一個別記憶體次通道中之獨立位址資訊。另一種獨立定址到次通道之方式係藉由路由在記憶體通道之個別獨立記憶體次通道中之一記憶體控制器與記憶體積體

電路間的獨立位址信號線。

又另一種獨立定到次通道之方式，係藉由重新分派一邊緣連接之未使用腳位為獨立位址腳位、並路由邊緣連接器之獨立位址腳位與一記憶體模組上個別獨立記憶體次通道中之多個記憶體積體電路間之獨立位址信號線。此一例子中，獨立定址可進一步路由一記憶體控制器與一邊緣連接器腳位間之獨立位址信號線，來耦接至記憶體模組上邊緣連接之獨立位址腳位。邊緣連接之未使用腳位可為錯誤校正控制腳位、同位腳位、或其等之組合。

只要微鋪磚被致能，一記憶體通道上會發生微鋪磚記憶體存取至每一記憶體次通道。方塊1008，判定微鋪磚在記憶體積體電路中是否仍被致能。檢查模式暫存器中之MTE位元來判斷微鋪磚是否仍被致能。若微鋪磚仍被致能，程序跳回方塊1006，準備下個利用微鋪磚對記憶體積體電路之存取。若微鋪磚不再被致能，程序終止而正常線性定址可發生。

之前，依據UMA記憶體架構之積體圖型控制器易有頻寬限制。本發明實施例之模型教示應用微鋪磚技術到UMA記憶體架構可減少20-40%之實質記憶體存取頻寬而使得記憶體存取更有效率。應用微鋪磚技術對於遊戲負載之顏色與深度記憶體可減少約10-20%存取頻寬而使得記憶體存取更有效率。

為支援一微鋪磚記憶體架構，記憶體子系統已改良至允許次通道存取。本發明之實施例已顯示微鋪磚可被施

用，且仍可向上相容與既有之記憶體模組構件與標準。以往，沒有任何方法可用來在既有之記憶體模組(例如，DIMM)連接器上路由額外的位址信號線。本發明就此提出一種解決方案，其藉由以用於每一次通道之獨立位址資訊超載既有之位址線。若向上相容能力不重要的話則可提供其它用來來支援獨立位址資訊至每一次通道之方法。

儘管已描述特定範例實施例並示以所附圖式，理應了解這些實施例僅為例示性而無限制發明範圍之意，，因為熟於此技藝者瞭解各種變化方式，本發明之實施例不限於特定結構與所顯示與描述之配置。

【圖式簡單說明】

第1A圖繪示利用本發明實施例之一典型電腦系統之一方塊圖。

第1B圖繪示可利用本發明實施例之一客戶端伺服器系統之一方塊圖。

第2A圖繪示可利用本發明實施例之一第一處理單元之一方塊圖。

第2B圖繪示可利用本發明實施例之一第二處理單元之一方塊圖。

第3A圖繪示耦接至各包括4個記憶體次通道之一對記憶體通道之一記憶體控制區塊的一高階方塊圖。

第3B圖繪示耦接至快取記憶體與包括多個S個次通道之一對記憶體通道的一記憶體控制區塊中之一記憶體控制器之詳細方塊圖。

第4A圖係繪示在一視訊顯示器上不經由次通道而係利用一線性記憶體存取之一記憶體通道的記憶體存取之像素對映的一圖面。

第4B圖係繪示在一視訊顯示器上經由具有2個支援微鋪磚記憶體存取之次通道的一記憶體通道的記憶體存取之像素對映的一圖面。

第4C圖係繪示在一視訊顯示器上經由具有4個支援微鋪磚記憶體存取之次通道的一記憶體通道的記憶體存取之像素對映的一圖面。

第5A圖係繪示一64位元寬記憶體通道上之一線性64位元組記憶體存取之圖。

第5B圖係繪示一對32位元寬記憶體次通道上一對32位元組記憶體存取之獨立次通道記憶體存取之圖。

第5C圖係繪示4個16位元寬記憶體次通道上4個16位元組記憶體存取之獨立次通道記憶體存取的一圖面。

第6圖繪示針對一記憶體通道之一位址信號線位元對映。

第7A圖繪示用來耦接至裝在一主機印刷電路板上之一連接器的一多晶片記憶體模組的一方塊圖。

第7B圖繪示嵌於一主機印刷電路板上之多個記憶體晶片與記憶體控制器的方塊圖。

第8圖繪示用以支援記憶體次通道上微鋪磚記憶體存取之一記憶體積體電路之一方塊圖。

第9A圖繪示耦接至模式暫存器供用於一16位元寬記憶

體次通道與一16位元組寬記憶體存取之位址超載邏輯的一概略圖。

第9B圖繪示耦接至模式暫存器供用於一32位元寬記憶體次通道與一32位元組寬記憶體存取之位址超載邏輯電路的一概略圖。

第9C圖繪示一拌和邏輯電路之概略圖，其係用於一32位元寬記憶體次通道及一32位元組記憶體存取。

第9D圖繪示組合第9B圖之位址超載邏輯電路與第9C圖用於一32位元寬記憶體次通道及一32位元組記憶體存取之拌和邏輯電路的一簡化邏輯電路之概略圖。

第10圖繪示用於一記憶體積體電路以提供微鋪磚記憶體存取之方法流程圖。

【主要元件符號說明】

100 典型電腦系統	202 記憶體控制區塊
100A 電腦系統	203 快取記憶體
101 處理單元	203E 外部快取記憶體
102 輸入/輸出裝置(I/O)	204A-204N 記憶體通道
103 監視裝置(M)	206 圖型控制器
100B 客戶端伺服器系統	207 輸入/輸出控制器
110A-110M 客戶端	208A-208N 微鋪磚記憶體控制
112 網路	器MCA-MCN
114 伺服器	210' 積體電路
201 處理器電路	213 無線網路介面電路(WNIC)

214	有線網路介面電路或卡 (NIC)	311A-311S	位址線
215	通用序列匯流排(USB)及/ 或火線(FW)串列介面	310	位址信號線
216	儲存裝置/碟片機	320	通道指派器
217	圖型顯示器	321A	記憶體控制器
218	視訊介面	321B	記憶體控制器
220	位址信號線	322	記憶體控制器
222	資料信號線	322A-322B	次通道指派器
224	計時信號線	324A-324B	重新排序緩衝器
222A、222B、222C、222D	次 通道資料線	326A-326B	異動組合器
205A、205B、205C、205D	個別 次通道	401	三角形
300	組合圖型與記憶體控制器	402	斷片
300	主機	404	跨距
301	寫入資料路徑	406	斷片
302	讀取資料路徑	408	資料呈現斷片
304A	記憶體通道0	414	雙重跨距
304B	記憶體通道1	414C、414D、414E、414F	子跨 距
305A-305S	次通道	424	跨距
		424A	跨距
		424B	跨距
		424C	跨距

424E、424F、424G、424H	子跨距	806	感測放大陣列與寫入驅動器區塊
500A-500C	記憶體通道	808	控制器
515A、515B、515C、515D	記憶體次通道	811	位址緩衝器
710	記憶體模組(MM)	812	微鋪磚控制邏輯
750	積體電路	812A	微鋪磚控制邏輯
751	印刷電路板	812B	微鋪磚控制邏輯
752	記憶體積體電路晶片(記憶體裝置)	810A-810C	模式暫存器
754	邊緣連接器或邊緣連接	820	位址線
755A-755D	獨立位址信號腳位	821	資料線
756A-756D	獨立位址信號線	822	控制線
760	邊緣連接器	850	MTE位元
762	主機印刷電路板	821	資料輸入/輸出(I/O)匯流排
763	獨立位址信號線	900	雙倍4輸入多工器
800	記憶體積體電路	902A	微鋪磚模式信號
801	記憶體陣列	902B	微鋪磚模式信號
802	列位址解碼器	903-911	輸入AND閘
803	位元線預充電/更新邏輯	912-918	反相器
804	行解碼器	901A	六倍2輸入多工器
		901B	六倍2輸入多工器
		923	閘

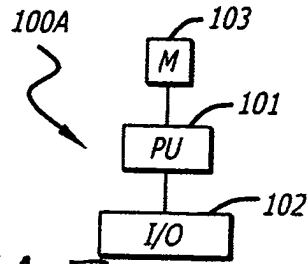
930	位址和邏輯	906-910	AND閘
935	雙倍2輸入多工器	923	OR閘
936	NOR閘	969	AND閘
937-938	互斥或(XOR)閘	974-975	互斥NOR (XNOR)閘
932	拌和控制信號(SWZ)	976	反相器
950	控制邏輯	1002-1008	步驟
960	六倍3輸入多工器		

五、中文發明摘要：

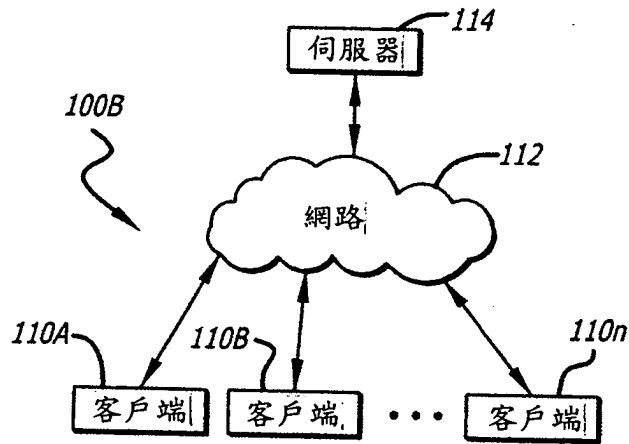
在本發明之一實施例中，提供一種記憶體積體電路，其包括用以選擇性地存取一記憶體陣列內之記憶體胞元的一位址解碼器；具有用來儲存一致能位元與至少一個次通道選擇位元之位元儲存電路的一模式暫存器；以及控制邏輯組件。該控制邏輯組件耦接至多個位址信號線、該位址解碼器、及該模式暫存器。響應於該致能位元與該至少一個次通道選擇位元，該控制邏輯組件選擇一或更多該等位址信號線來捕捉獨立位址資訊，供支援對該記憶體陣列之獨立次通道記憶體存取。該控制邏輯組件將該獨立位址資訊耦接入該位址解碼器。

六、英文發明摘要：

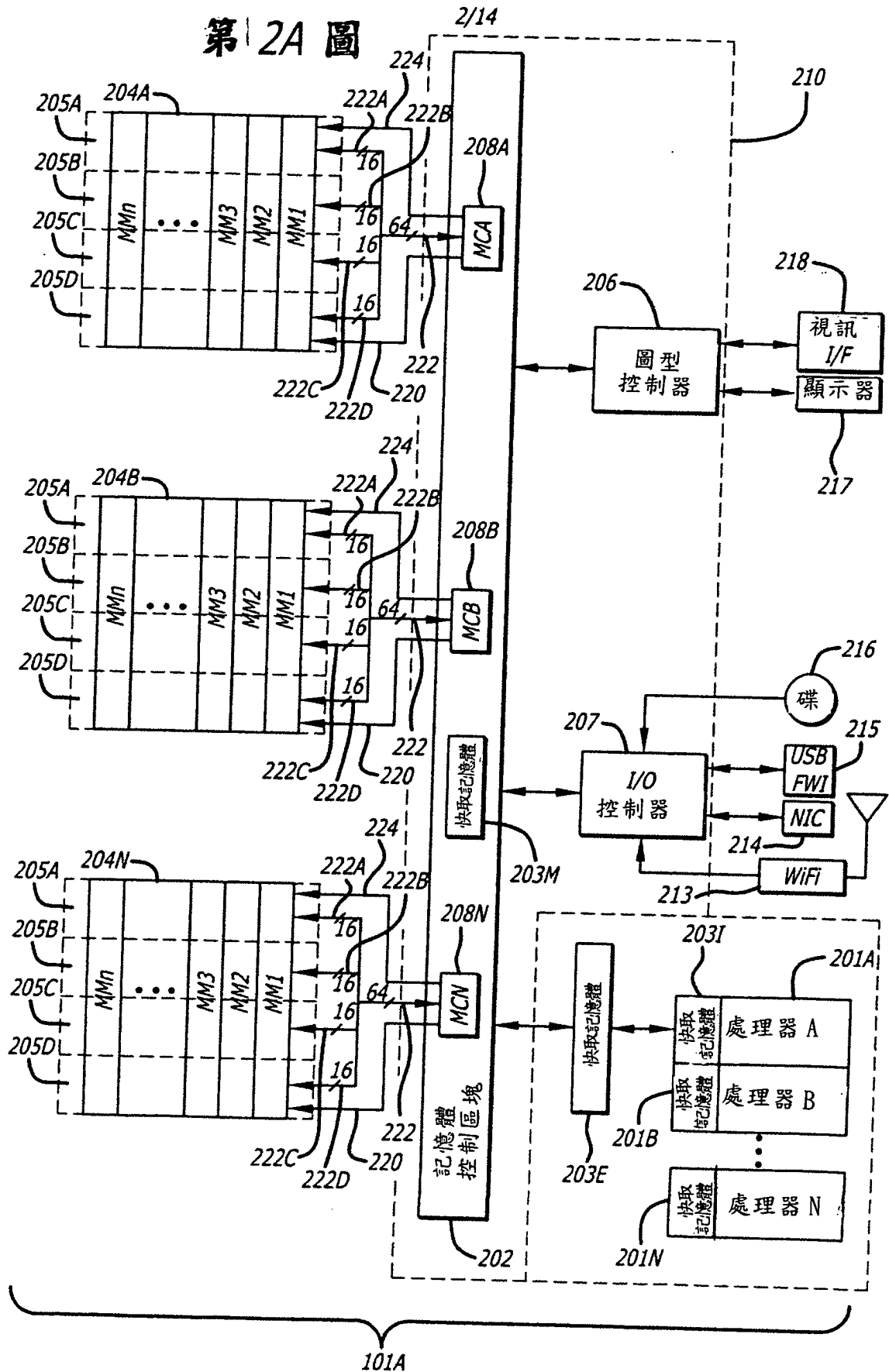
In one embodiment of the invention, a memory integrated circuit is provided including an address decoder to selectively access memory cells within a memory array; a mode register with bit storage circuits to store an enable bit and at least one sub-channel select bit; and control logic. The control logic is coupled to a plurality of address signal lines, the address decoder, and the mode register. In response to the enable bit and the at least one sub-channel select bit, the control logic selects one or more of the address signal lines to capture independent address information to support independent sub-channel memory accesses into the memory array. The control logic couples the independent address information into the address decoder.

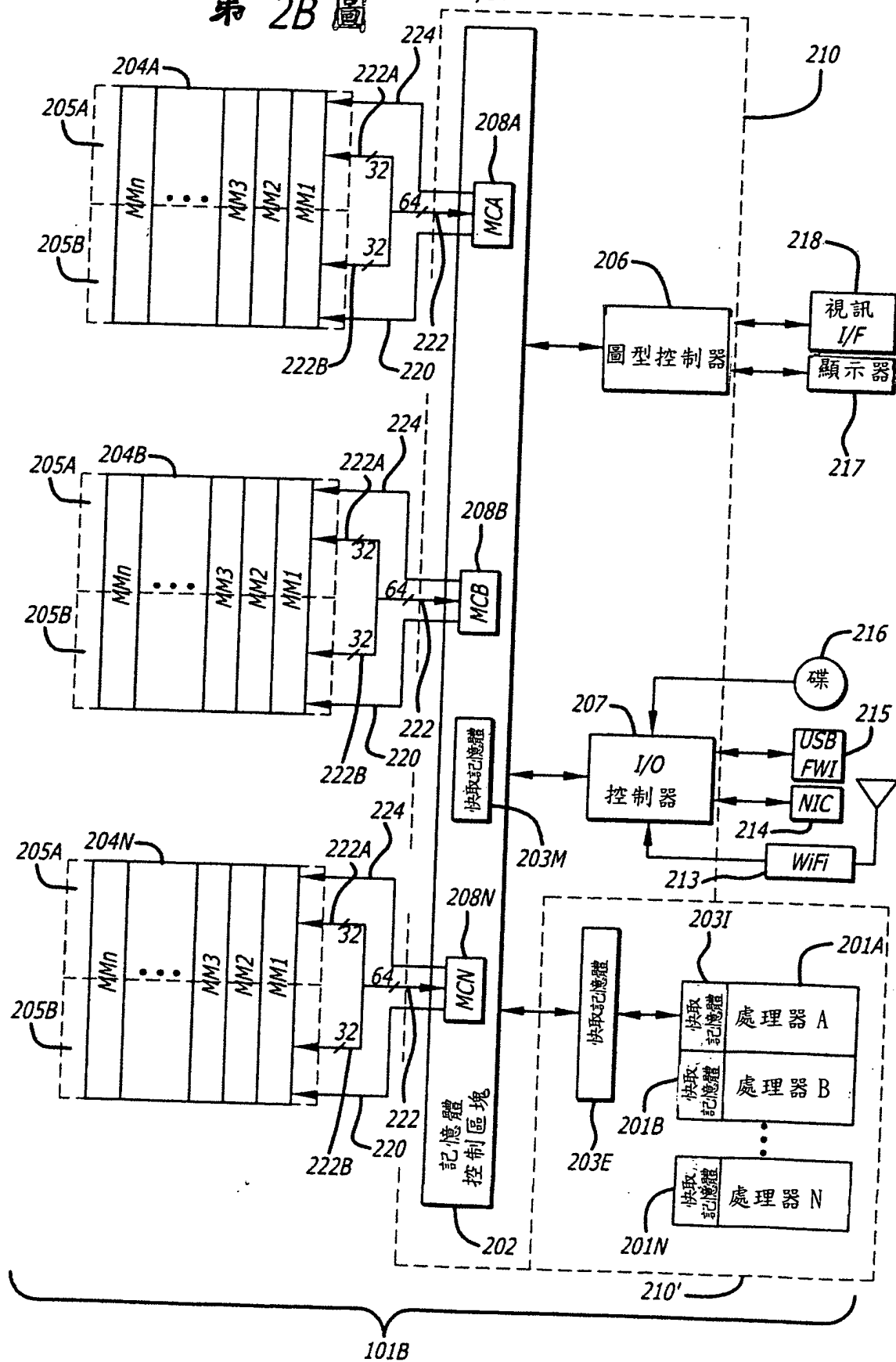


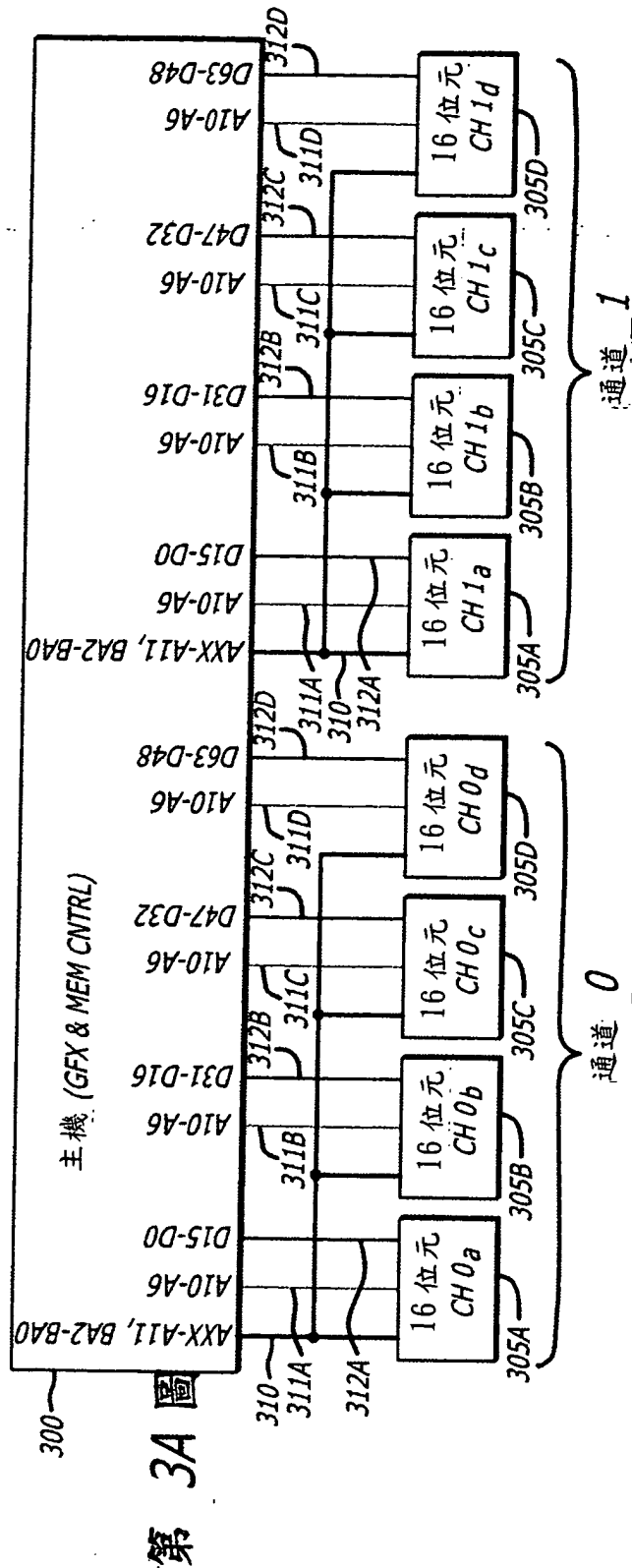
第 1A 圖



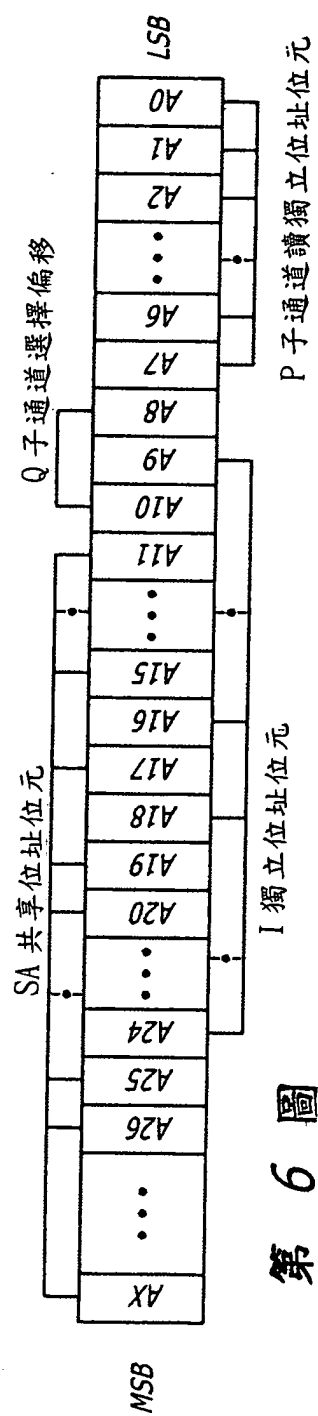
第 1B 圖



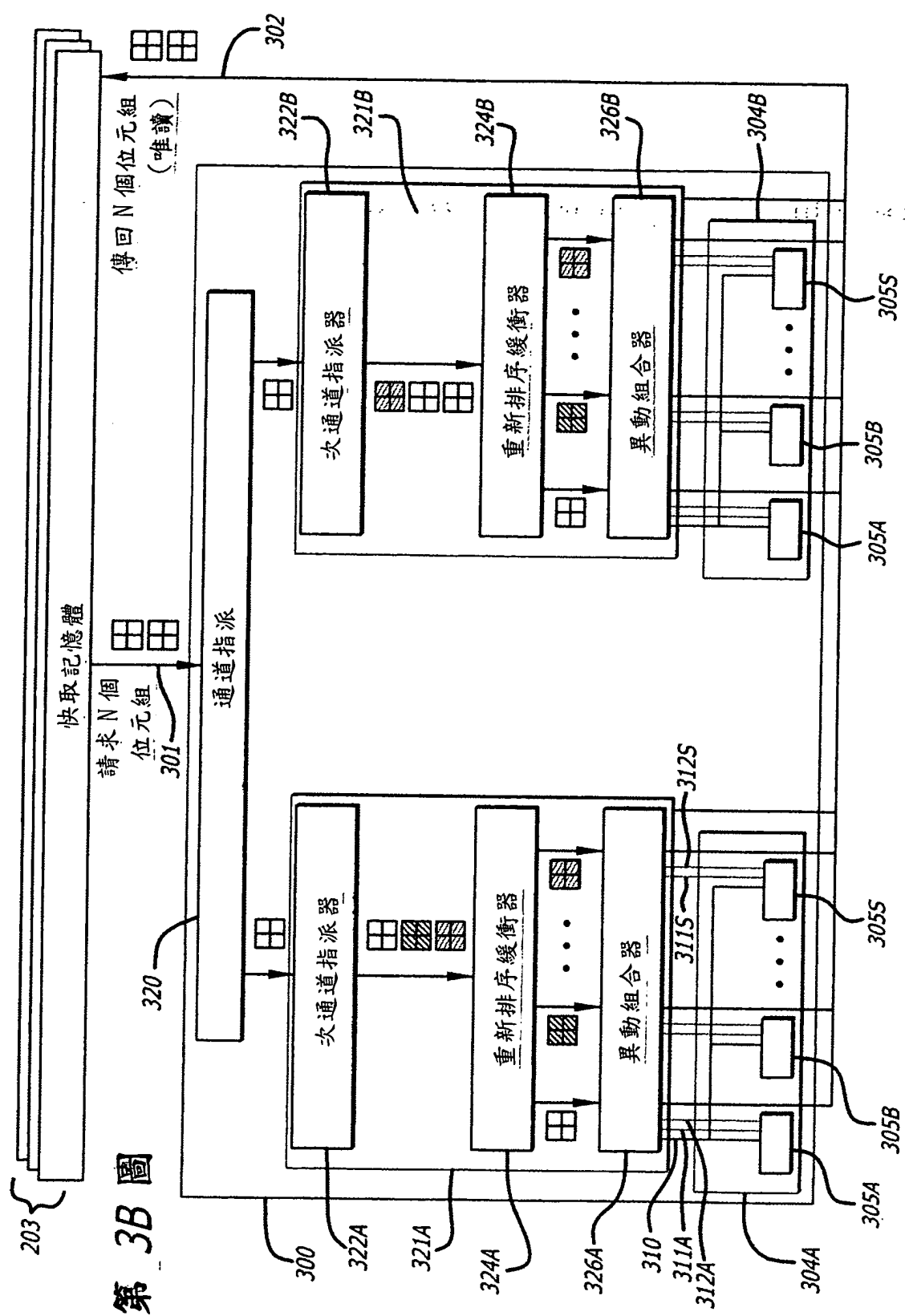




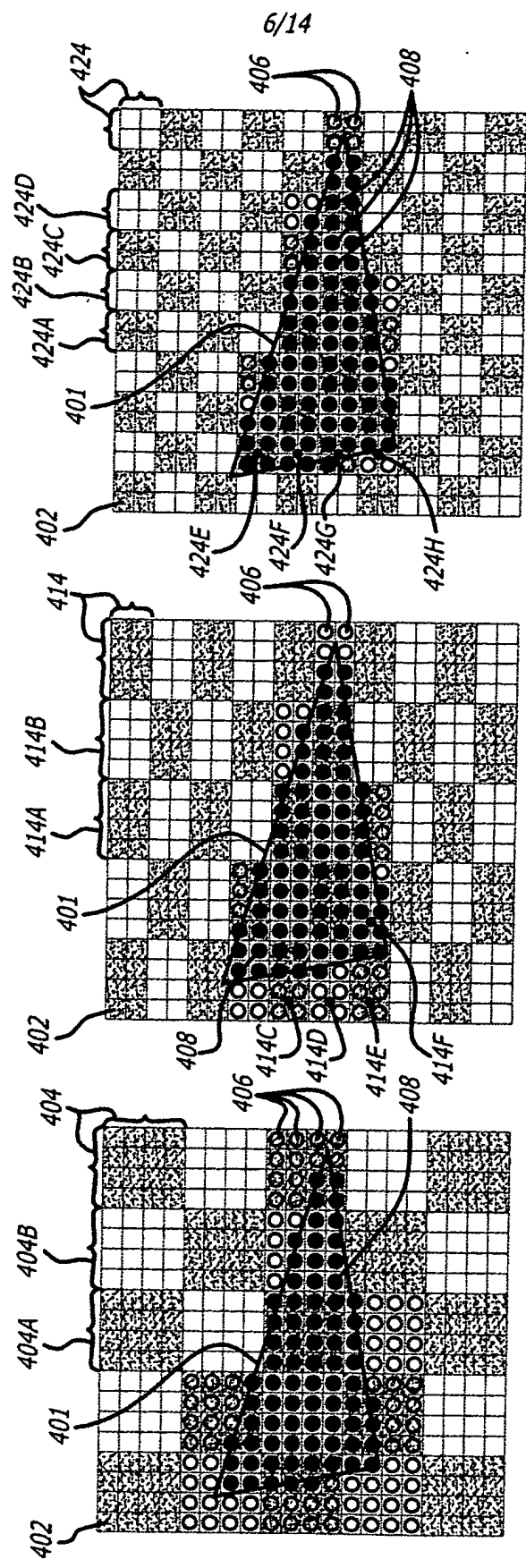
第 3A 圖



第 6 圖



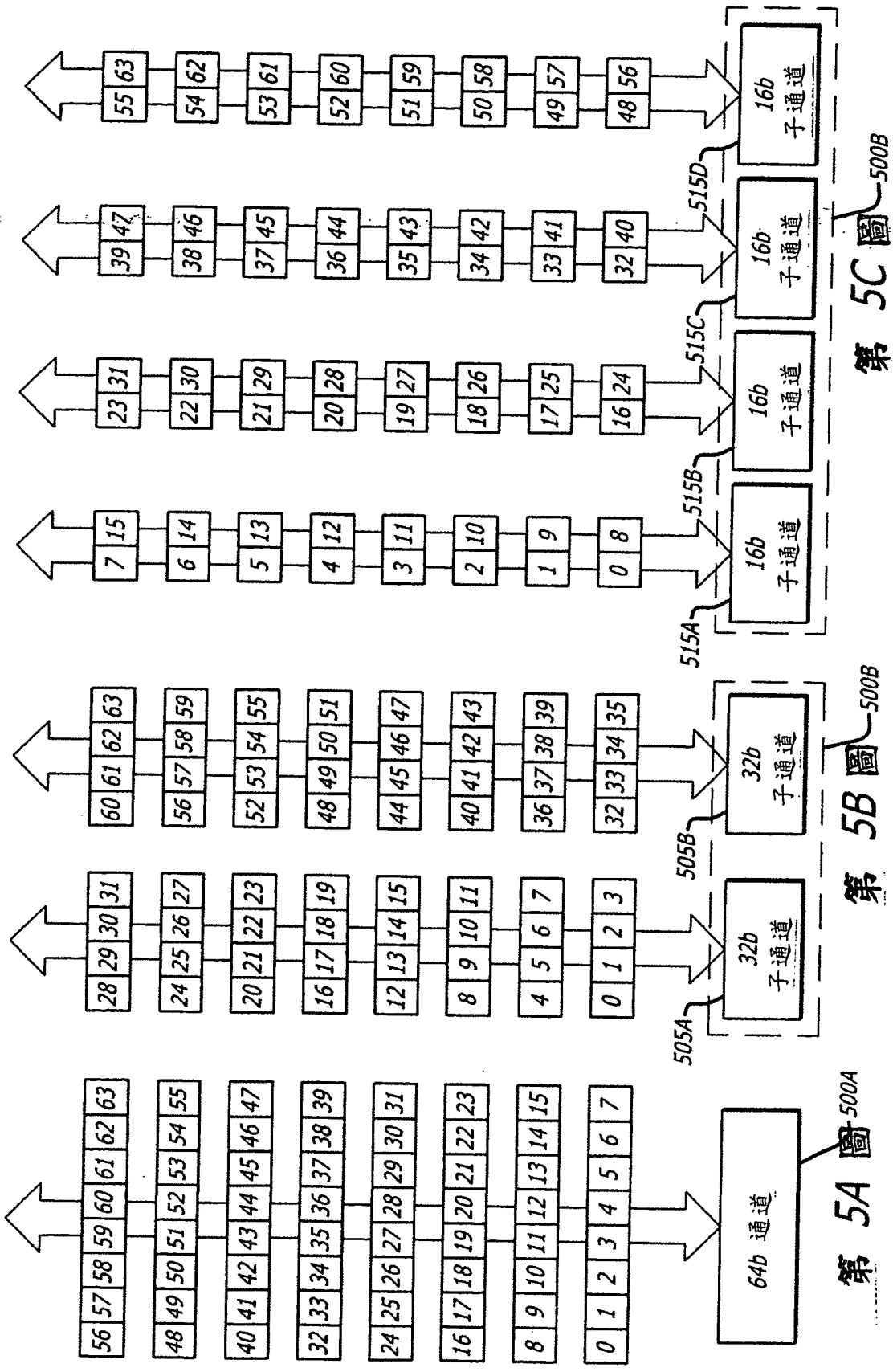
第 3B 圖



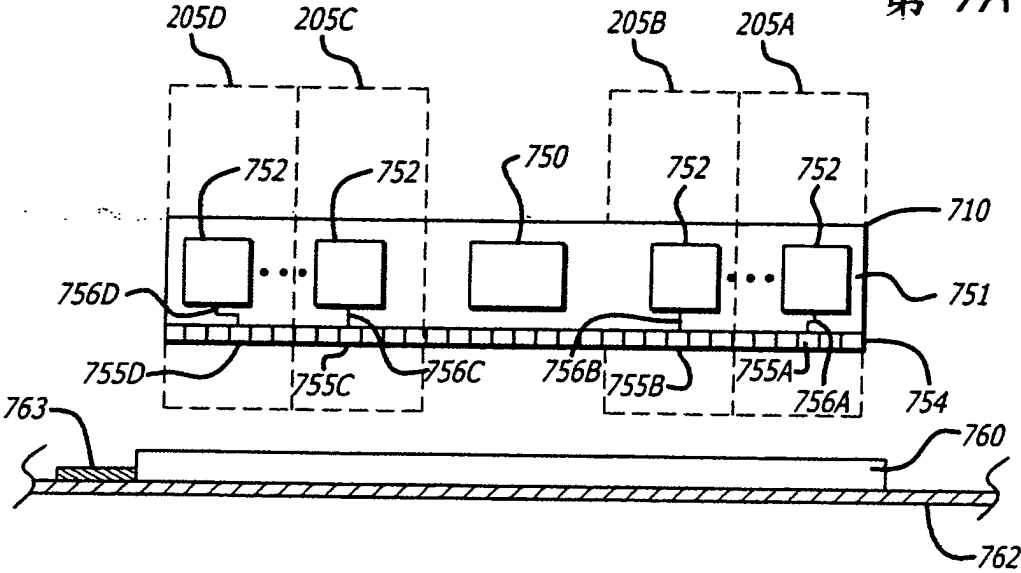
第 4C 圖

第 4B 圖

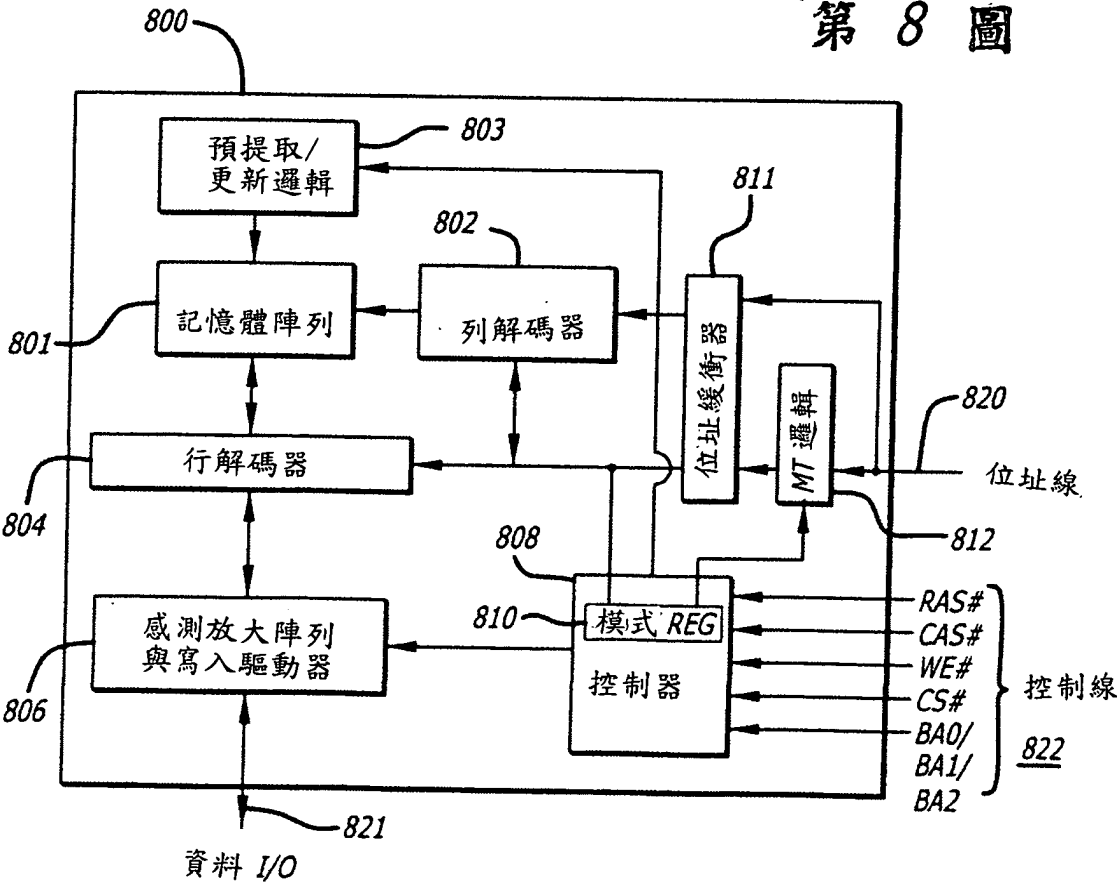
第 4A 圖

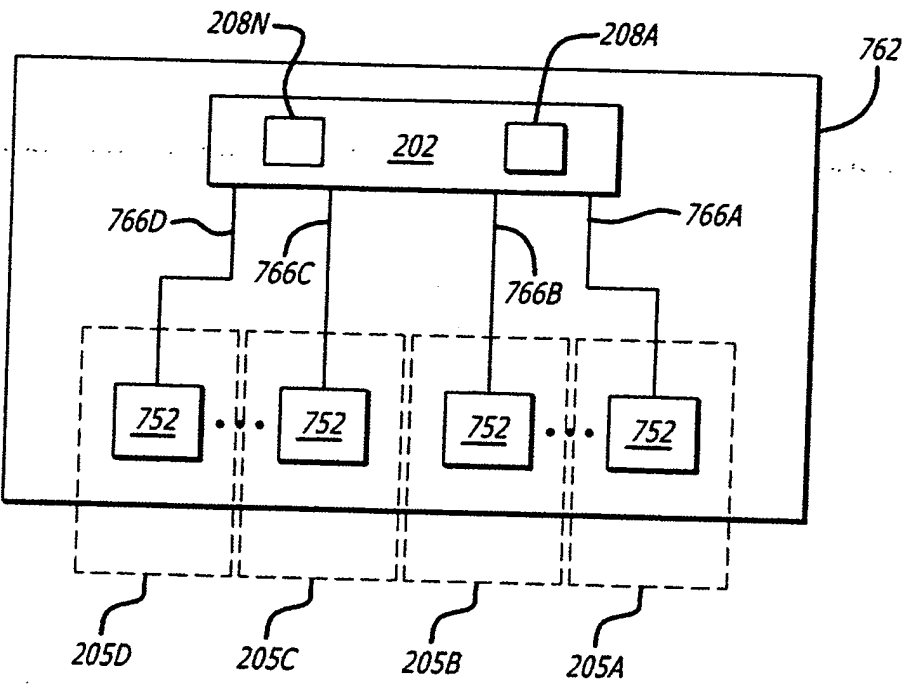


第 7A 圖



第 8 圖

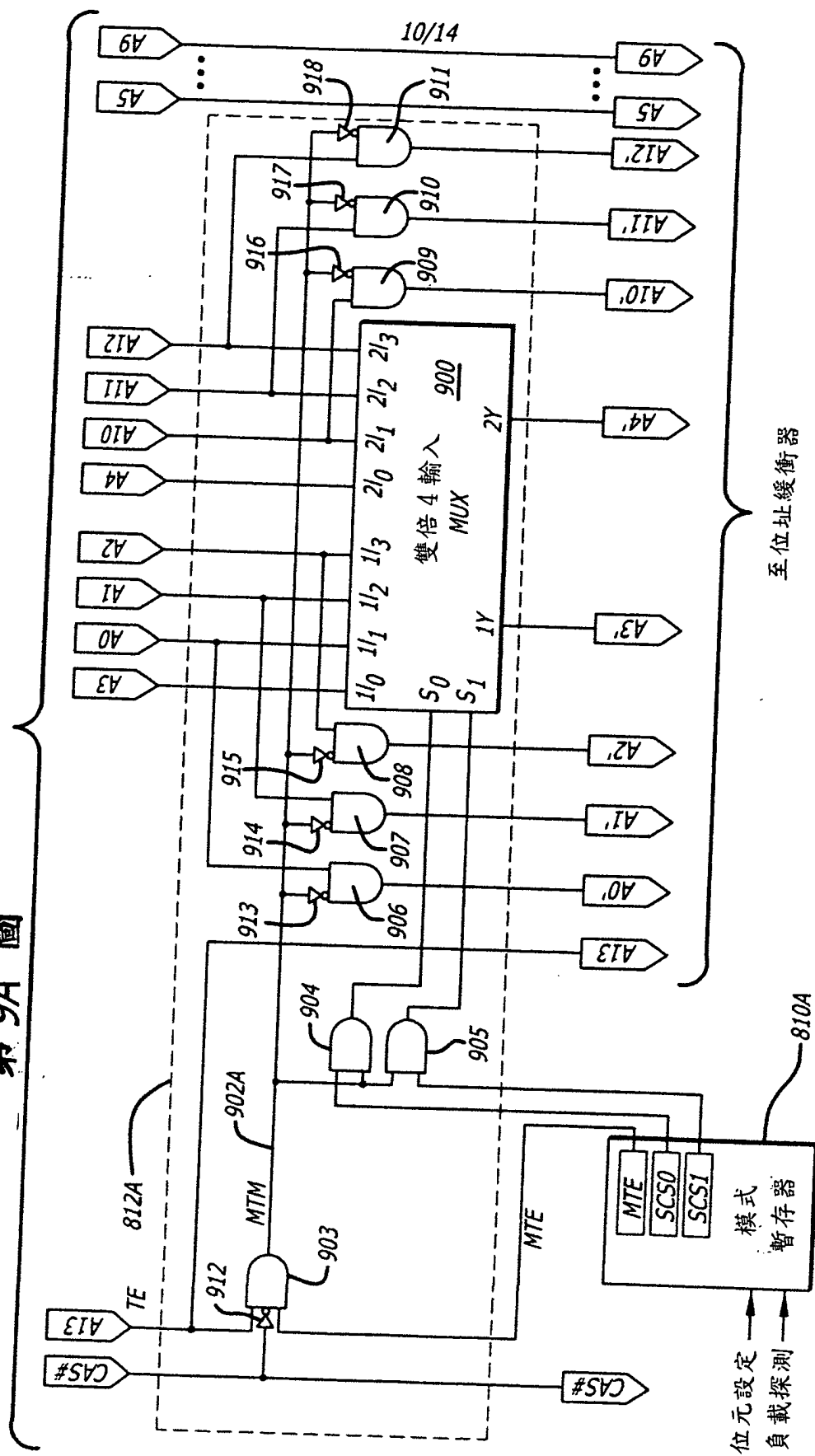


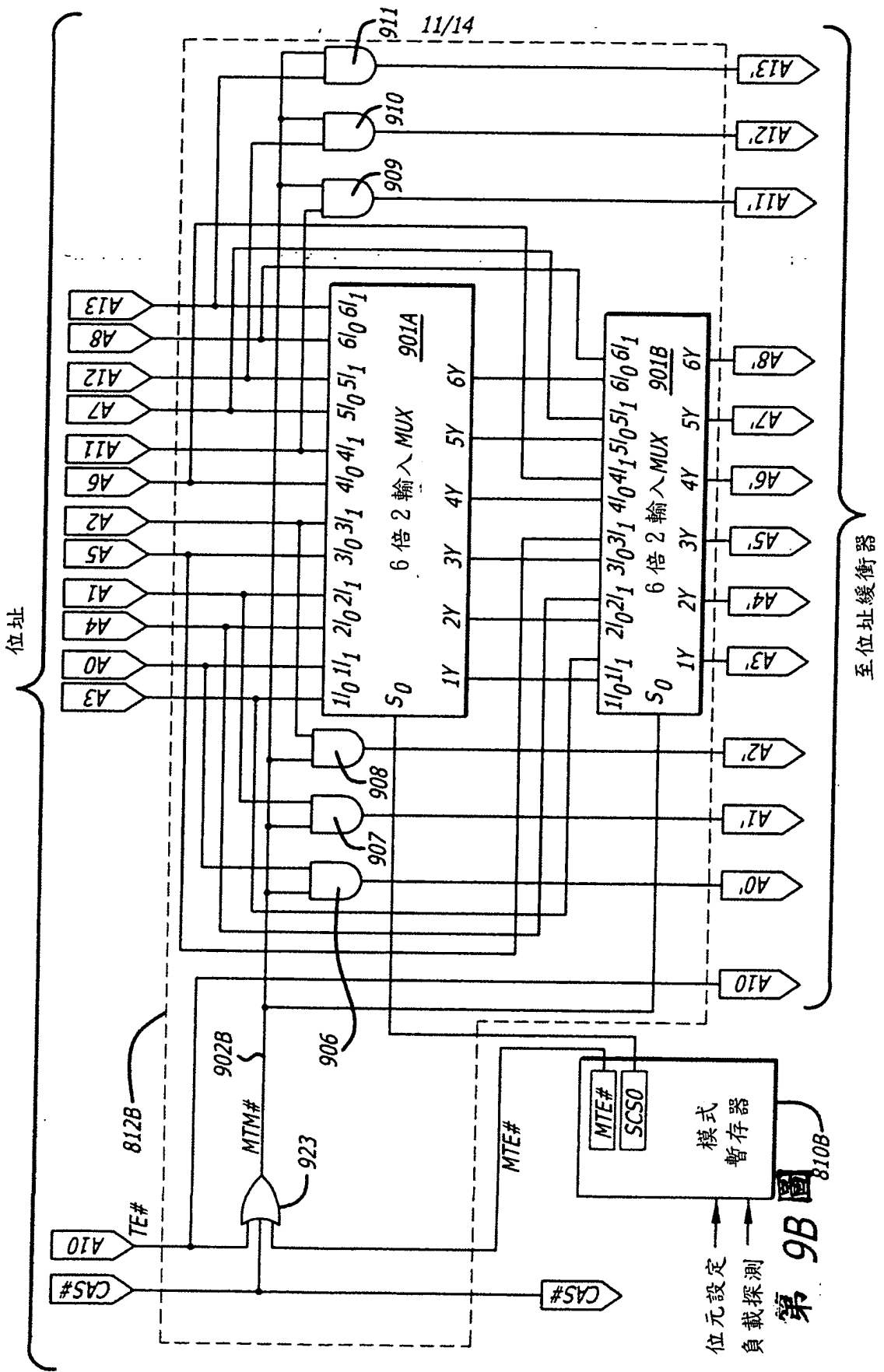


第 7B 圖

第9A圖

位址

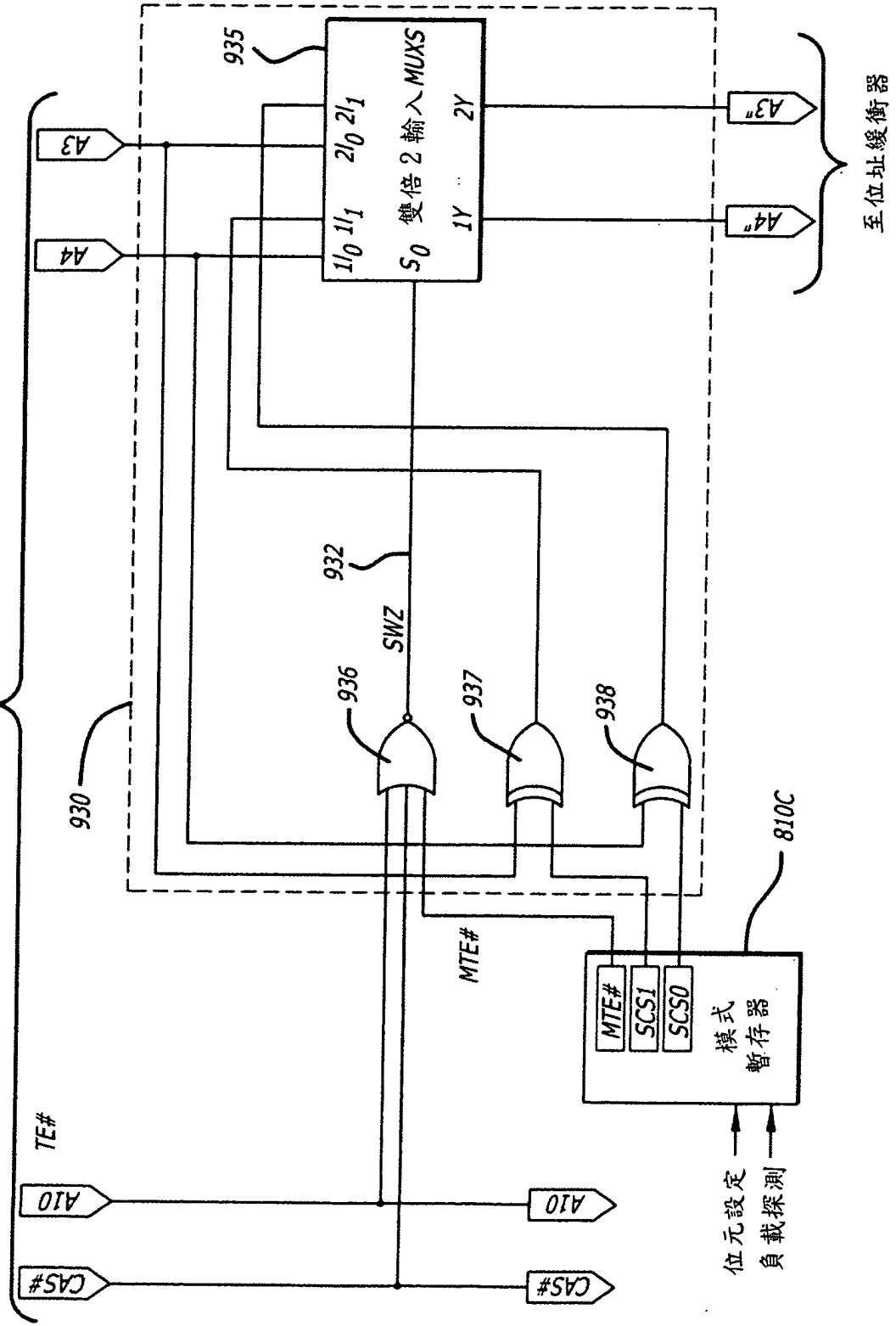




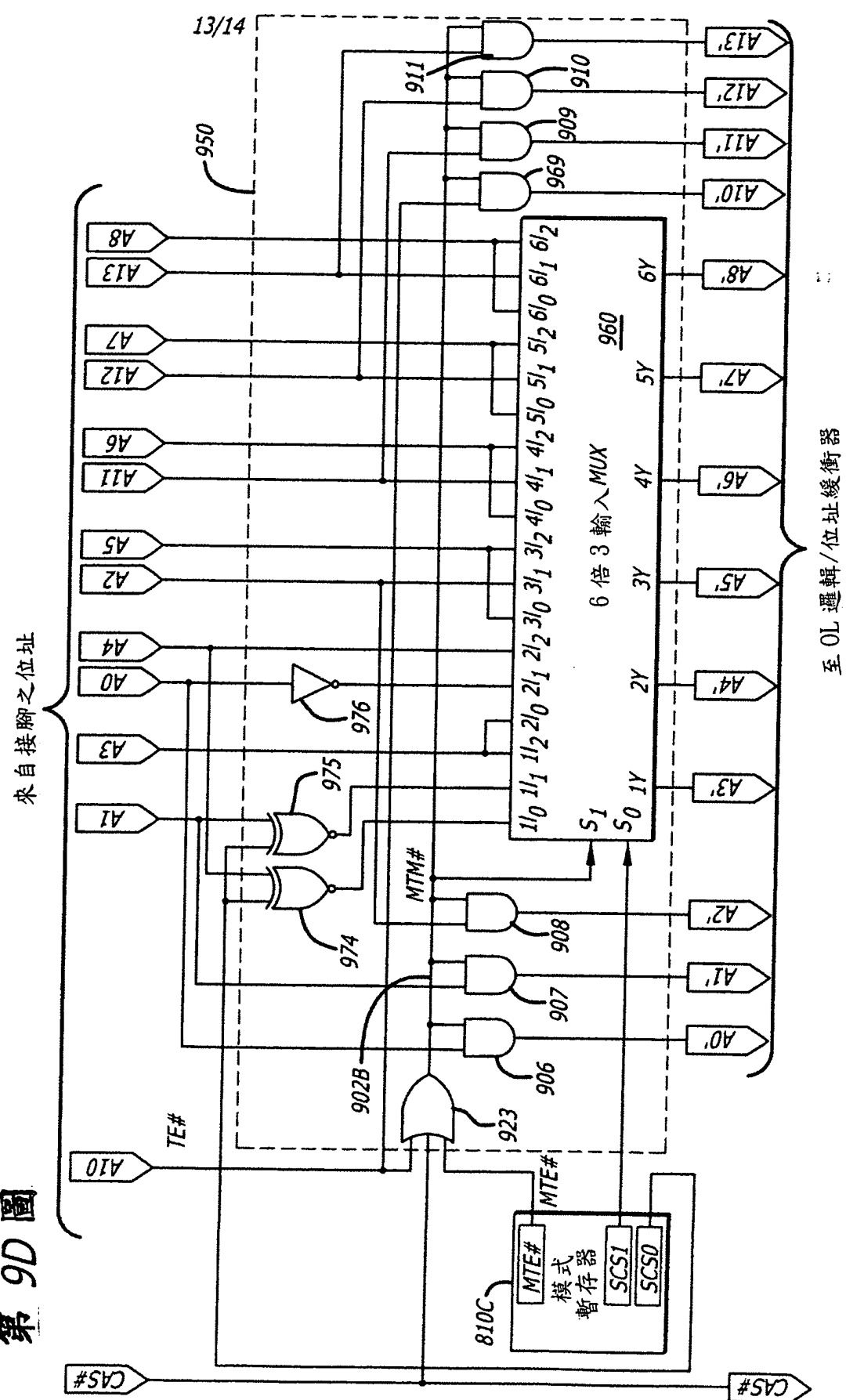
第 9B 圖

第 9C 圖

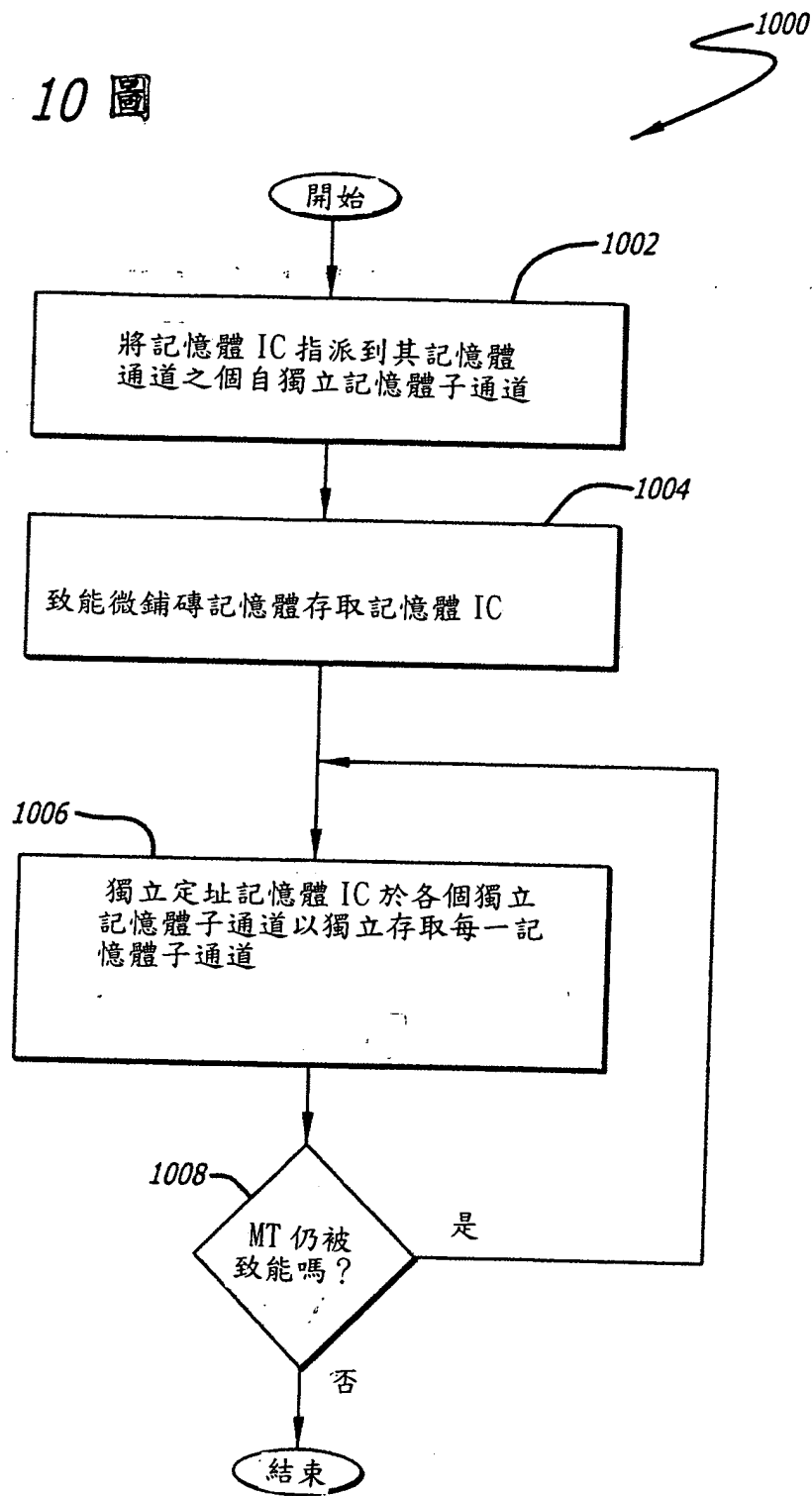
來自接腳/OL 邏輯之位址



第 9D 圖



第 10 圖



七、指定代表圖：

(一)本案指定代表圖為：第 (8) 圖。

(二)本代表圖之元件符號簡單說明：

- 801 記憶體陣列
- 802 列解碼器
- 803 預提取/更新邏輯
- 804 行解碼器
- 806 感測放大陣列與寫入驅動器
- 808 控制器
- 811 位址緩衝器
- 812 MT邏輯
- 810 模式REG
- 820 位址線
- 821 資料I/O
- 822 控制線

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

十、申請專利範圍：

1. 一種記憶體積體電路，其包括：

用以透過一記憶體通道選擇性存取一記憶體陣列中之記憶體胞元的一位址解碼器；

5 包括用以儲存一致能位元與至少一個次通道選擇位元之位元儲存電路的一模式暫存器；以及

耦接至多個位址信號線、該位址解碼器、及該模式暫存器之控制邏輯組件，該控制邏輯組件用以根據該致能位元與該至少一個子通道選擇位元以不同程度之顆
10 粒度選擇性地存取該記憶體陣列來支援獨立子通道記憶體透過該記憶體通道之子通道對該記憶體陣列之存取，其中用於一記憶體陣列存取之該等不同程度之顆粒度中之一第一程度顆粒度係在該致能位元被解除宣告時該記憶體陣列的一整個記憶體通道，而用於一記憶體
15 陣列存取之該等不同程度之顆粒度中之一第二程度顆粒度係在該致能位元被宣告時該記憶體陣列的該整個記憶體通道的一子集合，且其中該至少一子通道選擇位元係用來指派該記憶體陣列之該等子通道。

2. 如申請專利範圍第1項之積體電路，其中：

20 該致能位元係一微鋪磚致能位元，以及

對該記憶體陣列之該獨立次通道記憶體存取係一微鋪磚記憶體存取。

3. 如申請專利範圍第1項之積體電路，其中：

該控制邏輯組件響應於一行位址載入信號進一步

選擇該一或更多位址信號線。

4. 如申請專利範圍第3項之積體電路，其中：

該控制邏輯組件對該一或更多位址信號線之選擇係更響應於一異動致能信號。

5. 如申請專利範圍第3項之積體電路，其中：

該控制邏輯組件包括一多工器，其用來選擇該等位址信號線中欲供捕捉獨立位址資訊之一位址信號線。

6. 如申請專利範圍第5項之積體電路，其中：

該獨立位址資訊之捕捉係響應於一行位址載入信號。

7. 如申請專利範圍第5項之積體電路，其中：

該多工器更進一步將該獨立位址資訊從一第一有效位址位元拌和到一第二有效位址位元。

8. 如申請專利範圍第1項之記憶體積體電路，其進一步包含：

用以接收共享列位址信號、共享行位址信號、獨立行位址信號、或其等之組合的多個位址腳位；

一行位址載入選通腳位，其用以接收一行位址載入選通信號，以選擇性地接收該等多個位址腳位上之一或更多該等獨立行位址信號；

第一組多個多工器，其各自具有相耦在一起並耦接至該第一次通道選擇位元來選擇多個多工器輸入之其中一者作為一個別多工器輸出的一第一選擇控制輸入，耦接至該等多個位址腳位中之一子集合的該等多個

多工器輸入用以接收該等獨立行位址，該等第一組多個多工器用以選擇一或更多該等獨立行位址信號，作為響應於該第一次通道選擇位元而提供於該等個別多工器輸出上之獨立次通道行位址信號；

5 其中該致能位元係一微鋪磚致能位元；以及

其中該位址解碼器包含耦接至該等第一組多個多工器之該等個別輸出的一行位址解碼器，該行位址解碼器用以選擇性地響應於該共享行位址信號來存取一記憶體陣列中的多行記憶體胞元、及響應於該微鋪磚致能位元來存取該等獨立次通道行位址信號。

10

9. 如申請專利範圍第8項之記憶體積體電路，其中：

該獨立次通道行位址信號係與多個記憶體次通道中之一預定記憶體次通道相關聯。

10. 如申請專利範圍第8項之記憶體積體電路，其中：

15 該等第一組多個多工器進一步響應於該微鋪磚致能位元，選擇該等獨立行位址信號作為該等獨立次通道行位址信號。

11. 如申請專利範圍第10項之記憶體積體電路，其中：

該等第一組多個多工器進一步響應於該行位址載入選通信號與一異動致能信號，選擇該等獨立行位址信號作為該等獨立次通道行位址信號。

20

12. 如申請專利範圍第11項之記憶體積體電路，其中：

該暫存器用以儲存一第二次通道選擇位元，以及該等第一組多個多工器進一步響應於該第二次通

道選擇位元，選擇該等獨立行位址信號作為該等獨立次通道行位址信號。

13. 如申請專利範圍第8項之記憶體積體電路，其中：

該等第一組多個多工器係為三對一多工器，其各具有耦接在一起並耦接至一微鋪磚模式信號之一第二選擇控制輸入，該等第一組多個多工器進一步響應於該微鋪磚模式信號而選擇該等獨立行位址信號作為該等獨立次通道行位址信號。

14. 如申請專利範圍第13項之記憶體積體電路，其中：

該暫存器儲存一第二次通道選擇位元，以及該記憶體積體電路更進一步包括：

耦接於一或更多該等多個位址腳位與該等第一組多個多工器間之拌和邏輯組件，該拌和邏輯組件用以響應於該第二次通道選擇位元而選擇性地使耦接至該等第一組多個多工器之一或更多該等獨立行位址信號反相。

15. 如申請專利範圍第8項之記憶體積體電路，其更包含：

耦接於該等第一組多個多工器與該行位址解碼器間之第二組多個多工器，該等第二組多個多工器之每一多工器具有耦接在一起並耦接至一微鋪磚模式信號之一第二選擇控制輸入，多個多工器輸入之其中一者作為一個別多工器輸出，該等第二組多工器中之第一半數多工器輸入分別被耦接至該等第一組多個多工器之該等多工器輸出，而該等第二組多個多工器中之第二半數多

工器輸入分別被耦接至該等多個位址腳位，該等第二組多個多工器響應於處於有效作用狀態之該微鋪磚模式信號來選擇該等第一組多個多工器之該等多工器輸出來提供在個別多工器輸出上，以及響應於處於不作用狀態之該微鋪磚模式信號來選擇該共享列位址信號與共享行位址信號來提供在該等個別多工器輸出上。

16. 一種用於一電腦之記憶體陣列系統，其包含：

在至少一個記憶體通道中耦接在一起的一或更多記憶體模組，各該一或更多記憶體模組被分成至少兩個記憶體次通道，各該一或更多記憶體模組包括：

於一邊緣連接部中具有多個腳位之一印刷電路板，耦接至該印刷電路板之一第一記憶體積體電路，該第一記憶體積體電路被指派到一第一記憶體次通道，以及

耦接至該印刷電路板之一第二記憶體積體電路，該第二記憶體積體電路被指派到一第二記憶體次通道；以及

耦接至該印刷電路板控制邏輯組件以不同程度之顆粒度選擇性地存取該記憶體積體電路來支援獨立子通道記憶體透過該記憶體通道之該等子通道對該記憶體積體電路之存取，其中一第一程度顆粒度係一整個記憶體通道，而一第二程度顆粒度係該整個記憶體通道的一子集合。

17. 如申請專利範圍第16項之系統，其中：

該第一記憶體積體電路與該第二記憶體積體電路
中之一組可定址記憶體胞元係可彼此獨立地定址。

18. 如申請專利範圍第17項之系統，其中：

各該一或更多記憶體模組更包括：

5 於該印刷電路板上耦接於該邊緣連接部與該第一
記憶體積體電路間之一第一組獨立位址線，以及

在該印刷電路板上耦接於該邊緣連接部與該第二
記憶體積體電路間之一第二組獨立位址線。

19. 如申請專利範圍第16項之系統，其中：

10 各該一或更多記憶體模組更包括：

耦接至該印刷電路板之一第三記憶體積體電路，該
第三記憶體積體電路被指派到一第三記憶體次通道，以
及

耦接至該印刷電路板之一第四記憶體積體電路，該
15 第四記憶體積體電路被指派到一第四記憶體次通道。

20. 如申請專利範圍第19項之系統，其中：

在該第一記憶體積體電路、該第二記憶體積體電
路、該第三記憶體積體電路、及該第四記憶體積體電
路中之一組可定址記憶體胞元係可彼此獨立定址。

20 21. 如申請專利範圍第20項之系統，其中：

各該一或更多記憶體模組更包括：

在該印刷電路板上耦接於該邊緣連接部與該第一
記憶體積體電路間之一第一組獨立位址線，

在該印刷電路板上耦接於該邊緣連接部與該第二

公告本

98年12月28日修(更)正替換頁

記憶體積體電路間之一第二組獨立位址線，

在該印刷電路板上耦接於該邊緣連接部與該第三
記憶體積體電路間之一第三組獨立位址線，以及

在該印刷電路板上耦接於該邊緣連接部與該第四

5 記憶體積體電路間之一第四組獨立位址線。