

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2017年3月2日 (02.03.2017)



(10) 国际公布号
WO 2017/031773 A1

(51) 国际专利分类号:
G09G 3/36 (2006.01)

(21) 国际申请号: PCT/CN2015/088378

(22) 国际申请日: 2015年8月28日 (28.08.2015)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201510523099.8 2015年8月24日 (24.08.2015) CN

(71) 申请人: 深圳市华星光电技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
武汉华星光电技术有限公司 (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD) [CN/CN]; 中国湖北省武汉市东湖开发区高新大道 666 号生物城 C5 栋, Hubei 430070 (CN)。

(72) 发明人: 赵莽 (ZHAO, Mang); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
肖军城 (XIAO, Juncheng); 中国广东省深圳市光明

新区塘明大道 9-2 号, Guangdong 518132 (CN)。田勇 (TIAN, Yong); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。

(74) 代理人: 深圳市威世博知识产权代理事务所 (普通合伙) (CHINA WISPRO INTELLECTUAL PROPERTY LLP.); 中国广东省深圳市南山区高新区粤兴三道 8 号中国地质大学产学研基地中地大楼 A806, Guangdong 518057 (CN)。

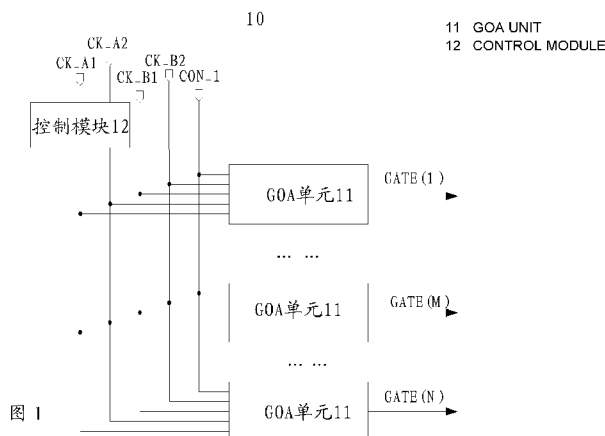
(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ,

[见续页]

(54) Title: GOA CIRCUIT AND LIQUID CRYSTAL DISPLAY DEVICE

(54) 发明名称: 一种 GOA 电路及液晶显示器



(57) Abstract: Disclosed is a GOA circuit and liquid crystal display device. The GOA circuit (10) comprises a plurality of cascading GOA units (11) and a control module (12), each GOA unit (11) being for charging a corresponding horizontal scan line in a display region under the driving of a first level transmission clock signal (CK-A1), a second level transmission clock signal (CK-A2), a first control clock signal (CK-B1), and a second control clock signal (CK-B2). The control module (12) is for blocking, after the GOA circuit (10) has simultaneously charged all the horizontal scan lines, the first level transmission clock signal (CK-A1) and the second level transmission clock signal (CK-A2), such that the first control clock signal (CK-B1) and the second control clock signal (CK-B2) control gate electrode driving signals (GATE(1), GATE(M), GATE(N)) on the horizontal scan line to discharge to a predetermined power level. The above method avoids generation of an extra pulse signal on a horizontal scan line before output of a first gate electrode drive signal (GATE(1)) after the GOA circuit has simultaneously charged all the scan lines, thereby ensuring normal operation of the GOA circuit (10).

(57) 摘要:

[见续页]

WO 2017/031773 A1



BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

公开了一种 GOA 电路及液晶显示器。该 GOA 电路 (10) 包括多个级联的 GOA 单元 (11) 和控制模块 (12), 每一 GOA 单元 (11) 用于在第一级传时钟 (CK-A1)、第二级传时钟 (CK-A2)、第一控制时钟 (CK-B1)、第二控制时钟 (CK-B2) 的驱动下对显示区域中对应的水平扫描线进行充电, 控制模块 (12) 用于在 GOA 电路 (10) 对所有水平扫描线同时充电后, 屏蔽第一级传时钟 (CK-A1)、第二级传时钟 (CK-A2), 以使第一控制时钟 (CK-B1)、第二控制时钟 (CK-B2) 控制水平扫描线上的栅极驱动信号 (GATE (1), GATE (M), GATE (N)) 放电至预定电平。通过上述方式实现在 GOA 电路对所有扫描线同时充电后, 避免在第一个栅极驱动信号 (GATE (1)) 输出之前在水平扫描线上产生冗余的脉冲信号, 从而保证 GOA 电路 (10) 正常工作。

说明书

发明名称：一种GOA电路及液晶显示器

[1] 【技术领域】

[2] 本发明涉及液晶领域，特别是涉及一种GOA电路及液晶显示器。

[3] 【背景技术】

[4] 现有的GOA（Gate driver on array）电路在搭配All Gate On功能时，由于自举电容的存在，GOA电路中的栅极驱动信号在All Gate On功能完成后，不会马上变为无效电平，从而存在产生冗余的栅极驱动信号、进而导致电路出现失效的可能。

[5] 其中，All Gate On功能是指将GOA电路中的所有栅极驱动信号设置为有效电平以同时对所有水平扫描线进行充电，从而清除液晶显示器中每个像素点残存的电荷以解决开关机时出现残影的问题。

[6] 【发明内容】

[7] 本发明主要解决的技术问题是提供一种GOA电路及液晶显示器，能够避免在第一个栅极驱动信号输出之前在水平扫描线上产生冗余的脉冲信号，从而保证GOA电路的正常工作。

[8] 为解决上述技术问题，本发明采用的一个技术方案是：提供一种GOA电路，用于液晶显示器，该GOA电路包括级联的多个GOA单元，每一GOA单元用于在第一级传时钟、第二级传时钟、第一控制时钟、第二控制时钟的驱动下对显示区域中对应的水平扫描线进行充电，第一级传时钟、第二级传时钟用于控制GOA单元的级传信号的输入以及栅极驱动信号的产生，第一控制时钟、第二控制时钟用于控制栅极驱动信号处于预定电平，其中，级传信号为启动脉冲信号或相邻的GOA单元的栅极驱动信号；GOA电路进一步包括控制模块，控制模块用于在GOA电路对所有水平扫描线同时充电后，屏蔽第一级传时钟、第二级传时钟，以使第一控制时钟、第二控制时钟控制水平扫描线上的栅极驱动信号放电至预定电平，从而避免在第一个栅极驱动信号输出之前在水平扫描线上产生冗余的脉冲信号；控制模块包括第一控制晶体管和第二控制晶体管，第一控制晶体

管、第二控制晶体管的第一端相互连接后接收使能信号，第一控制晶体管、第二控制晶体的第二端对应连接第一级传时钟、第二级传时钟，第一控制晶体管、第二控制晶体管的第三端连接GOA单元，其中，在GOA电路对所有水平扫描线同时充电后，使能信号控制第一控制晶体管、第二控制晶体管截止以屏蔽第一级传时钟、第二级传时钟，从而使得第一控制时钟、第二控制时钟控制所有水平扫描线上的栅极驱动信号放电至预定电平；GOA电路接收第一时钟信号、第二时钟信号、第三时钟信号和第四时钟信号，其中，第一时钟信号、第二时钟信号、第三时钟信号、第四时钟信号在GOA电路的工作周期依次分时有效；GOA电路包括奇数级的GOA单元级联形成的第一GOA子电路，第一GOA子电路在第一级传时钟、第二级传时钟、第一控制时钟、第二控制时钟的驱动下对奇数级的水平扫描线进行充电；其中，在第一GOA子电路中，第一级传时钟、第二级传时钟对应第一时钟信号、第三时钟信号，第一控制时钟、第二控制时钟对应第二时钟信号、第四时钟信号；GOA电路进一步包括与第一GOA子电路对应的控制模块，记为第一控制模块，第一控制模块用于在第一GOA子电路中，屏蔽第一时钟信号、第三时钟信号，以使第二时钟信号、第四时钟信号控制奇数级的水平扫描线上的栅极驱动信号放电至预定电平；GOA电路进一步包括偶数级的GOA单元级联形成的第二GOA子电路，第二GOA子电路在第一级传时钟、第二级传时钟、第一控制时钟、第二控制时钟的驱动下对偶数级的水平扫描线进行充电；其中，在第二GOA子电路中，第一级传时钟、第二级传时钟对应第二时钟信号、第四时钟信号，第一控制时钟、第二控制时钟对应第一时钟信号、第三时钟信号；GOA电路进一步包括与第二GOA子电路对应的控制模块，记为第二控制模块，第二控制模块用于在第二GOA子电路中，屏蔽第二时钟信号、第四时钟信号，以使第一时钟信号、第三时钟信号控制偶数级的水平扫描线上的栅极驱动信号放电至预定电平。

- [9] 其中，第一控制晶体管、第二控制晶体管为PMOS管，第一控制晶体管、第二控制晶体管的第一端、第二端、第三端对应PMOS管的栅极、漏极和源极；其中，当使能信号为高电平信号时，第一控制晶体管、第二控制晶体管截止。为解决上述技术问题，本发明采用的另一个技术方案是：提供一种GOA电路，用于

液晶显示器，该GOA电路包括级联的多个GOA单元，每一GOA单元用于在第一级传时钟、第二级传时钟、第一控制时钟、第二控制时钟的驱动下对显示区域中对应的水平扫描线进行充电，第一级传时钟、第二级传时钟用于控制GOA单元的级传信号的输入以及栅极驱动信号的产生，第一控制时钟、第二控制时钟用于控制栅极驱动信号处于预定电平，其中，级传信号为启动脉冲信号或相邻的GOA单元的栅极驱动信号；GOA电路进一步包括控制模块，控制模块用于在GOA电路对所有水平扫描线同时充电后，屏蔽第一级传时钟、第二级传时钟，以使第一控制时钟、第二控制时钟控制水平扫描线上的栅极驱动信号放电至预定电平，从而避免在第一个栅极驱动信号输出之前在水平扫描线上产生冗余的脉冲信号。

[10] 其中，控制模块包括第一控制晶体管和第二控制晶体管，第一控制晶体管、第二控制晶体管的第一端相互连接后接收使能信号，第一控制晶体管、第二控制晶体的第二端对应连接第一级传时钟、第二级传时钟，第一控制晶体管、第二控制晶体管的第三端连接GOA单元，其中，在GOA电路对所有水平扫描线同时充电后，使能信号控制第一控制晶体管、第二控制晶体管截止以屏蔽第一级传时钟、第二级传时钟，从而使得第一控制时钟、第二控制时钟控制所有水平扫描线上的栅极驱动信号放电至预定电平。

[11] 其中，第一控制晶体管、第二控制晶体管为PMOS管，第一控制晶体管、第二控制晶体管的第一端、第二端、第三端对应PMOS管的栅极、漏极和源极；其中，当使能信号为高电平信号时，第一控制晶体管、第二控制晶体管截止。

[12] 其中，第一控制晶体管、第二控制晶体管为NMOS管，第一控制晶体管、第二控制晶体管的第一端、第二端、第三端对应NMOS管的栅极、漏极和源极；其中，当控制信号为低电平信号时，第一控制晶体管、第二控制晶体管截止。

[13] 其中，GOA电路接收第一时钟信号、第二时钟信号、第三时钟信号和第四时钟信号，其中，第一时钟信号、第二时钟信号、第三时钟信号、第四时钟信号在GOA电路的工作周期依次分时有效；GOA电路包括奇数级的GOA单元级联形成的第一GOA子电路，第一GOA子电路在第一级传时钟、第二级传时钟、第一控制时钟、第二控制时钟的驱动下对奇数级的水平扫描线进行充电；其中，在第一G

OA子电路中，第一级传时钟、第二级传时钟对应第一时钟信号、第三时钟信号，第一控制时钟、第二控制时钟对应第二时钟信号、第四时钟信号；GOA电路进一步包括与第一GOA子电路对应的控制模块，记为第一控制模块，第一控制模块用于在第一GOA子电路中，屏蔽第一时钟信号、第三时钟信号，以使第二时钟信号、第四时钟信号控制奇数级的水平扫描线上的栅极驱动信号放电至预定电平。

- [14] 其中，GOA电路进一步包括偶数级的GOA单元级联形成的第二GOA子电路，第二GOA子电路在第一级传时钟、第二级传时钟、第一控制时钟、第二控制时钟的驱动下对偶数级的水平扫描线进行充电；其中，在第二GOA子电路中，第一级传时钟、第二级传时钟对应第二时钟信号、第四时钟信号，第一控制时钟、第二控制时钟对应第一时钟信号、第三时钟信号；GOA电路进一步包括与第二GOA子电路对应的控制模块，记为第二控制模块，第二控制模块用于在第二GOA子电路中，屏蔽第二时钟信号、第四时钟信号，以使第一时钟信号、第三时钟信号控制偶数级的水平扫描线上的栅极驱动信号放电至预定电平。

- [15] 其中，GOA单元包括正反扫描单元、输入控制单元、上拉维持单元、输出控制单元、GAS信号作用单元和自举电容单元；其中，正反扫描单元包括第一晶体管、第二晶体管、第三晶体管和第四晶体管，第一晶体管的栅极接收第一扫描控制信号，第一晶体管的源极接收下一级GOA单元输出的栅极驱动信号，第二晶体管的栅极接收第二扫描控制信号，第二晶体管的源极接收上一级GOA单元输出的栅极驱动信号，第一晶体管和第二晶体管的漏极相互连接后与输入控制单元连接，第三晶体管的栅极接收第一扫描控制信号，第三晶体管的源极接收第三控制时钟，第四晶体管的栅极接收第二扫描控制信号，第四晶体管的源极接收第四控制时钟，第三晶体管和第四晶体管的漏极相互连接后与上拉维持单元连接；输入控制单元包括第五晶体管，第五晶体管的栅极接收第三级传时钟，第五晶体管的源极与第一晶体管、第二晶体管的漏极连接，第五晶体管的漏极与栅极信号点连接；上拉维持单元包括第六晶体管、第七晶体管、第九晶体管、第十晶体管和第一电容，第六晶体管的栅极与公共信号点连接，第六晶体管的源极与第五晶体管的漏极连接，第六晶体管的漏极与第一恒压源连接，第

七晶体管的栅极与第五晶体管的漏极连接，第七晶体管的源极与公共信号点连接，第七晶体管的漏极与第一恒压源连接，第九晶体管的栅极与第三晶体管、第四晶体管的漏极连接，第九晶体管的源极与第二恒压源连接，第九晶体管的漏极与公共信号点连接，第十晶体管的栅极与公共信号点连接，第十晶体管的源极与栅极驱动信号连接，第十晶体管的漏极与第一恒压源连接，第一电容的一端与第一恒压源连接，第一电容的另一端与公共信号点连接；输出控制单元包括第十一晶体管和第二电容，第十一晶体管的栅极与栅极信号点连接，第十一晶体管的漏极与栅极驱动信号连接，第十一晶体管的源极接收第四级传时钟，第二电容的一端与栅极信号点连接，第二电容的另一端与栅极驱动信号连接；**GAS**信号作用单元包括第十三晶体管和第十四晶体管，第十三晶体管的栅极、第十四晶体管的栅极和漏极接收**GAS**信号，第十三晶体管的漏极连接第一恒压源，第十三晶体管的源极连接公共信号点，第十三晶体管的源极连接栅极驱动信号；自举电容单元包括自举电容，自举电容的一端与栅极驱动信号连接，自举电容的另一端与地信号连接；

[16] 其中，第三级传时钟、第四级传时钟对应第一级传时钟、第二级传时钟或第二级传时钟、第一级传时钟，第三控制时钟、第四控制时钟对应第一控制时钟、第二控制时钟或第二控制时钟、第一控制时钟。

[17] 其中，**GOA**单元进一步包括稳压单元，稳压单元包括第八晶体管，第八晶体管的栅极与第二恒压源连接，第八晶体管的漏极与第五晶体管的漏极连接，第八晶体管的源极与栅极信号点连接。

[18] 其中，**GOA**单元进一步包括上拉辅助单元，上拉辅助单元包括第十二晶体管，第十二晶体管的栅极与第一晶体管、第二晶体管的漏极连接，第十二晶体管的源极与公共信号点连接，第十二晶体管的漏极与第一恒压源连接。

[19] 为解决上述技术问题，本发明采用的再一个技术方案是：提供一种液晶显示器，包括**GOA**电路，该**GOA**电路包括级联的多个**GOA**单元，每一**GOA**单元用于在第一级传时钟、第二级传时钟、第一控制时钟、第二控制时钟的驱动下对显示区域中对应的水平扫描线进行充电，第一级传时钟、第二级传时钟用于控制**GOA**单元的级传信号的输入以及栅极驱动信号的产生，第一控制时钟、第二控制时

钟用于控制栅极驱动信号处于预定电平，其中，级传信号为启动脉冲信号或相邻的GOA单元的栅极驱动信号；GOA电路进一步包括控制模块，控制模块用于在GOA电路对所有水平扫描线同时充电后，屏蔽第一级传时钟、第二级传时钟，以使第一控制时钟、第二控制时钟控制水平扫描线上的栅极驱动信号放电至预定电平，从而避免在第一个栅极驱动信号输出之前在水平扫描线上产生冗余的脉冲信号。

[20] 其中，控制模块包括第一控制晶体管和第二控制晶体管，第一控制晶体管、第二控制晶体管的第一端相互连接后接收使能信号，第一控制晶体管、第二控制晶体的第二端对应连接第一级传时钟、第二级传时钟，第一控制晶体管、第二控制晶体管的第三端连接GOA单元，其中，在GOA电路对所有水平扫描线同时充电后，使能信号控制第一控制晶体管、第二控制晶体管截止以屏蔽第一级传时钟、第二级传时钟，从而使得第一控制时钟、第二控制时钟控制所有水平扫描线上的栅极驱动信号放电至预定电平。

[21] 其中，第一控制晶体管、第二控制晶体管为PMOS管，第一控制晶体管、第二控制晶体管的第一端、第二端、第三端对应PMOS管的栅极、漏极和源极；其中，当使能信号为高电平信号时，第一控制晶体管、第二控制晶体管截止。

[22] 其中，第一控制晶体管、第二控制晶体管为NMOS管，第一控制晶体管、第二控制晶体管的第一端、第二端、第三端对应NMOS管的栅极、漏极和源极；其中，当控制信号为低电平信号时，第一控制晶体管、第二控制晶体管截止。

[23] 其中，GOA电路接收第一时钟信号、第二时钟信号、第三时钟信号和第四时钟信号，其中，第一时钟信号、第二时钟信号、第三时钟信号、第四时钟信号在GOA电路的工作周期依次分时有有效；GOA电路包括奇数级的GOA单元级联形成的第一GOA子电路，第一GOA子电路在第一级传时钟、第二级传时钟、第一控制时钟、第二控制时钟的驱动下对奇数级的水平扫描线进行充电；其中，在第一GOA子电路中，第一级传时钟、第二级传时钟对应第一时钟信号、第三时钟信号，第一控制时钟、第二控制时钟对应第二时钟信号、第四时钟信号；GOA电路进一步包括与第一GOA子电路对应的控制模块，记为第一控制模块，第一控制模块用于在第一GOA子电路中，屏蔽第一时钟信号、第三时钟信号，以使第二

时钟信号、第四时钟信号控制奇数级的水平扫描线上的栅极驱动信号放电至预定电平。

[24] 其中，GOA电路进一步包括偶数级的GOA单元级联形成的第二GOA子电路，第二GOA子电路在第一级传时钟、第二级传时钟、第一控制时钟、第二控制时钟的驱动下对偶数级的水平扫描线进行充电；其中，在第二GOA子电路中，第一级传时钟、第二级传时钟对应第二时钟信号、第四时钟信号，第一控制时钟、第二控制时钟对应第一时钟信号、第三时钟信号；GOA电路进一步包括与第二GOA子电路对应的控制模块，记为第二控制模块，第二控制模块用于在第二GOA子电路中，屏蔽第二时钟信号、第四时钟信号，以使第一时钟信号、第三时钟信号控制偶数级的水平扫描线上的栅极驱动信号放电至预定电平。

[25] 其中，GOA单元包括正反扫描单元、输入控制单元、上拉维持单元、输出控制单元、GAS信号作用单元和自举电容单元；其中，正反扫描单元包括第一晶体管、第二晶体管、第三晶体管和第四晶体管，第一晶体管的栅极接收第一扫描控制信号，第一晶体管的源极接收下一级GOA单元输出的栅极驱动信号，第二晶体管的栅极接收第二扫描控制信号，第二晶体管的源极接收上一级GOA单元输出的栅极驱动信号，第一晶体管和第二晶体管的漏极相互连接后与输入控制单元连接，第三晶体管的栅极接收第一扫描控制信号，第三晶体管的源极接收第三控制时钟，第四晶体管的栅极接收第二扫描控制信号，第四晶体管的源极接收第四控制时钟，第三晶体管和第四晶体管的漏极相互连接后与上拉维持单元连接；输入控制单元包括第五晶体管，第五晶体管的栅极接收第三级传时钟，第五晶体管的源极与第一晶体管、第二晶体管的漏极连接，第五晶体管的漏极与栅极信号点连接；上拉维持单元包括第六晶体管、第七晶体管、第九晶体管、第十晶体管和第一电容，第六晶体管的栅极与公共信号点连接，第六晶体管的源极与第五晶体管的漏极连接，第六晶体管的漏极与第一恒压源连接，第七晶体管的栅极与第五晶体管的漏极连接，第七晶体管的源极与公共信号点连接，第七晶体管的漏极与第一恒压源连接，第九晶体管的栅极与第三晶体管、第四晶体管的漏极连接，第九晶体管的源极与第二恒压源连接，第九晶体管的漏极与公共信号点连接，第十晶体管的栅极与公共信号点连接，第十晶体管的

源极与栅极驱动信号连接，第十晶体管的漏极与第一恒压源连接，第一电容的一端与第一恒压源连接，第一电容的另一端与公共信号点连接；输出控制单元包括第十一晶体管和第二电容，第十一晶体管的栅极与栅极信号点连接，第十一晶体管的漏极与栅极驱动信号连接，第十一晶体管的源极接收第四级传时钟，第二电容的一端与栅极信号点连接，第二电容的另一端与栅极驱动信号连接；**GAS**信号作用单元包括第十三晶体管和第十四晶体管，第十三晶体管的栅极、第十四晶体管的栅极和漏极接收**GAS**信号，第十三晶体管的漏极连接第一恒压源，第十三晶体管的源极连接公共信号点，第十三晶体管的源极连接栅极驱动信号；自举电容单元包括自举电容，自举电容的一端与栅极驱动信号连接，自举电容的另一端与地信号连接；

[26] 其中，第三级传时钟、第四级传时钟对应第一级传时钟、第二级传时钟或第二级传时钟、第一级传时钟，第三控制时钟、第四控制时钟对应第一控制时钟、第二控制时钟或第二控制时钟、第一控制时钟。

[27] 其中，**GOA**单元进一步包括稳压单元，稳压单元包括第八晶体管，第八晶体管的栅极与第二恒压源连接，第八晶体管的漏极与第五晶体管的漏极连接，第八晶体管的源极与栅极信号点连接。

[28] 其中，**GOA**单元进一步包括上拉辅助单元，上拉辅助单元包括第十二晶体管，第十二晶体管的栅极与第一晶体管、第二晶体管的漏极连接，第十二晶体管的源极与公共信号点连接，十二晶体管的漏极与第一恒压源连接。

[29] 本发明的有益效果是：本发明的**GOA**电路及液晶显示器通过**GOA**电路对所有水平扫描线同时充电后，屏蔽第一级传时钟、第二级传时钟，以使第一控制时钟、第二控制时钟控制水平扫描线上的栅极驱动信号放电至预定电平，从而能够避免在第一个栅极驱动信号输出之前在水平扫描线上产生冗余的脉冲信号，进而保证了**GOA**电路的正常工作。

[30] **【附图说明】**

[31] 图1是本发明第一实施例的**GOA**电路的结构示意图；

[32] 图2是本发明第二实施例的**GOA**电路的结构示意图；

[33] 图3是本发明第二实施例的**GOA**电路中**GOA**单元的电路原理图；

[34] 图4是本发明第二实施例的GOA电路中第一GOA子电路的工作时序图。

[35] **【具体实施方式】**

[36] 在说明书及权利要求书当中使用了某些词汇来指称特定的组件，所属领域中的技术人员应可理解，制造商可能会用不同的名词来称呼同样的组件。本说明书及权利要求书并不以名称的差异来作为区分组件的方式，而是以组件在功能上的差异来作为区分的基准。下面结合附图和实施例对本发明进行详细说明。

[37] 图1是本发明第一实施例的GOA电路的结构示意图。如图1所示，GOA电路10包括级联的多个GOA单元11和控制模块12。

[38] 每一GOA单元11用于在第一级传时钟CK_A1、第二级传时钟CK_A2、第一控制时钟CK_B1、第二控制时钟CK_B2的驱动下对显示区域中对应的水平扫描线进行充电。其中，第一级传时钟CK_A1、第二级传时钟CK_A2用于控制GOA单元11的级传信号CON_1的输入以及栅极驱动信号GATE (N) (N为自然数) 的产生，第一控制时钟CK_B1、第二控制时钟CK_B2用于控制栅极驱动信号GATE (N) 处于预定电平也即无效电平，其中，级传信号CON_1为启动脉冲信号或相邻的GOA单元11的栅极驱动信号。

[39] 控制模块12分别与第一级传时钟CK_A1、第二级传时钟CK_A2和各个GOA单元11连接，用于在GOA电路10对水平扫描线同时充电也即完成All Gate on 功能后，屏蔽第一级传时钟CK_A1、第二级传时钟CK_A2，以使第一控制时钟CK_B1、第二控制时钟CK_B2控制水平扫描线上的栅极驱动信号GATE (N) 放电至预定电平也即无效电平，从而避免在第一个栅极驱动信号GATE (1) 输出之前在水平扫描线上产生冗余的脉冲信号。

[40] 图2是本发明第二实施例的GOA电路的结构示意图。如图2所示，GOA电路20包括奇数级GOA单元21级联形成的第一GOA子电路201、偶数级GOA单元21级联形成的第二GOA子电路202、与第一GOA子电路201对应的第一控制模块22A以及与第二GOA子电路202对应的第二控制模块22B。

[41] 其中，第一GOA子电路201由奇数级GOA单元21级联形成是指第一GOA子电路201由第一级、第三级、第五级、...第 $2N+1$ (N为自然数) 级GOA单元21级联形成。第二GOA子电路202由偶数级GOA单元21级联形成是指第二GOA子电路201

由第二级、第四级、第六级、...第 $2N+2$ （ N 为自然数）级GOA单元21级联形成。

- [42] GOA电路20接收第一时钟信号CK1、第二时钟信号CK2、第三时钟信号CK3和第四时钟信号CK4，其中，第一时钟信号CK1、第二时钟信号CK2、第三时钟信号CK3和第四时钟信号CK4在GOA电路20的一个工作周期依次分时有效。
- [43] 第一GOA子电路201和第二GOA子电路202位于液晶显示器的显示区域的两侧。第一GOA子电路201在第一级传时钟CK_LA1、第二级传时钟CK_LA2、第一控制时钟CK_LB1、第二控制时钟CK_LB2的驱动下对奇数级的水平扫描线进行充电。第二GOA子电路202在第一级传时钟CK_RA1、第二级传时钟CK_RA2、第一控制时钟CK_RB1、第二控制时钟CK_RB2的驱动下对偶数级的水平扫描线进行充电。
- [44] 在第一GOA子电路201中，第一级传时钟CK_LA1、第二级传时钟CK_LA2对应第一时钟信号CK1、第三时钟信号CK3，第一控制时钟CK_LB1、第二控制时钟CK_LB2对应第二时钟信号CK2、第四时钟信号CK4。
- [45] 也就是说，第一时钟信号CK1、第三时钟信号CK3用于控制GOA单元21的级传信号的输入以及栅极驱动信号 $G(2N+1)$ （ N 为自然数）的产生，第二时钟信号CK2、第四时钟信号CK4用于控制栅极驱动信号 $G(2N+1)$ 处于预定电平也即无效电平。其中，当GOA电路20为正向驱动电路时（如图中实线所示），第一级GOA单元21的级传信号为启动脉冲信号STV，第三级GOA单元21的级传信号为第一级GOA单元21的栅极驱动信号 $G(1)$ ，第五级GOA单元21的级传信号为第三级GOA单元21的栅极驱动信号 $G(3)$ ，依次类推。当GOA电路20为反向驱动电路时（如图中虚线所示），第一级GOA单元21的级传信号为第三级GOA单元21的栅极驱动信号 $G(3)$ ，第三级GOA单元21的级传信号为第五级GOA单元21的栅极驱动信号 $G(5)$ ，依次类推，其中，最后一级GOA单元21的级传信号为启动脉冲信号STV。
- [46] 在第二GOA子电路202中，第一级传时钟CK_RA1、第二级传时钟CK_RA2对应第二时钟信号CK2、第四时钟信号CK4。第一控制时钟CK_RB1、第二控制时钟CK_RB2对应第一时钟信号CK1、第三时钟信号CK3。

- [47] 也就是说，第二时钟信号CK2、第四时钟信号CK4用于控制GOA单元21的级传信号的输入以及栅极驱动信号G(2N+2) (N为自然数)的产生，第一时钟信号CK1、第三时钟信号CK3用于控制栅极驱动信号G(2N+2)处于预定电平也即无效电平。其中，当GOA电路20为正向驱动电路时(如图中实线所示)，第二级GOA单元21的级传信号为启动脉冲信号STV，第四级GOA单元21的级传信号为第二级GOA单元21的栅极驱动信号G(2)，第六级GOA单元21的级传信号为第四级GOA单元21的栅极驱动信号G(4)，依次类推。当GOA电路20为反向驱动电路时(如图中虚线所示)，第二级GOA单元21的级传信号为第四级GOA单元21的栅极驱动信号G(4)，第四级GOA单元21的级传信号为第六级GOA单元21的栅极驱动信号G(6)，依次类推，其中，最后一级GOA单元21的级传信号为启动脉冲信号STV。
- [48] 第一控制模块22A分别与第一时钟信号CK1、第三时钟信号CK3和第一GOA子电路201连接，用于在GOA电路20对所有水平扫描线同时充电后，屏蔽第一时钟信号CK1、第三时钟信号CK3，以使第二时钟信号CK2、第四时钟信号CK4控制奇数级的水平扫描线上的栅极驱动信号G(2N+1)放电至预定电平，从而避免在第一个栅极驱动信号GATE(1)输出之前在水平扫描线上产生冗余的脉冲信号。
- [49] 具体来说，第一控制模块22A包括第一控制晶体管T1和第二控制晶体管T2，第一控制晶体管T1、第二控制晶体管T2的第一端相互连接后接收使能信号EN。第一控制晶体管T1、第二控制晶体管T2的第二端对应连接第一时钟信号CK1、第三时钟信号CK3。第一控制晶体管T1、第二控制晶体管T2的第三端连接GOA单元21，用于输出第一级传时钟CK_LA1、第二级传时钟CK_LA2。其中，在GOA电路20对所有扫描线同时充电后，使能信号EN控制第一控制晶体管T1、第二控制晶体管T2截止以屏蔽第一时钟信号CK1、第三时钟信号CK3，从而使得第二时钟信号CK2、第四时钟信号CK4控制奇数级的水平扫描线上的栅极驱动信号G(2N+1)放电至预定电平。
- [50] 第二控制模块22B分别与第二时钟信号CK2、第四时钟信号CK4和第二GOA子电路202连接，用于在GOA电路20对所有水平扫描线同时充电后，屏蔽第二时钟

信号CK2、第四时钟信号CK4，以使第一时钟信号CK1、第三时钟信号CK3控制偶数级的水平扫描线上的栅极驱动信号G（ $2N+2$ ）放电至预定电平，从而避免在第一个栅极驱动信号GATE（1）输出之前在水平扫描线上产生冗余的脉冲信号。

- [51] 具体来说，第二控制模块22B包括第三控制晶体管T3和第四控制晶体管T4，第三控制晶体管T3、第四控制晶体管T4的第一端相互连接后接收使能信号EN。第三控制晶体管T3、第四控制晶体管T4的第二端对应连接第二时钟信号CK2、第四时钟信号CK4。第三控制晶体管T3、第四控制晶体管T4的第三端连接GOA单元21，用于输出第一级传时钟CK_RA1、第二级传时钟CK_RA2。其中，在GOA电路20对所有水平扫描线同时充电后，使能信号EN控制第三控制晶体管T3、第四控制晶体管T4截止以屏蔽第二时钟信号CK2、第四时钟信号CK4，从而使得第一时钟信号CK1、第三时钟信号CK3控制偶数级的水平扫描线上的栅极驱动信号G（ $2N+2$ ）放电至预定电平。
- [52] 在本实施例中，第一控制晶体管T1、第二控制晶体管T2、第三控制晶体管T3、第四控制晶体管T4为PMOS管，第一控制晶体管T1、第二控制晶体管T2、第三控制晶体管T3、第四控制晶体管T4的第一端、第二端、第三端对应PMOS管的栅极、漏极和源极。其中，当使能信号EN为高电平信号时，第一控制晶体管T1、第二控制晶体管T2截止。
- [53] 在其它实施例中，第一控制晶体管T1、第二控制晶体管T2、第三控制晶体管T3、第四控制晶体管T4也可以为NMOS管，第一控制晶体管T1、第二控制晶体管T2、第三控制晶体管T3、第四控制晶体管T4的第一端、第二端、第三端对应NMOS管的栅极、漏极和源极。其中，当使能信号EN为低电平信号时，第一控制晶体管T1、第二控制晶体管T2、第三控制晶体管T3、第四控制晶体管T4截止。
- [54] 图3是本发明第二实施例的GOA电路中GOA单元的电路原理图。如图3所示，GOA单元21包括正反扫描单元100、输入控制单元200、上拉维持单元300、输出控制单元400、GAS信号作用单元500和自举电容单元600。
- [55] 以位于第一GOA子电路201的第 $2N+1$ 级GOA单元21为例，以第 $2N+1$ 级GOA单元21为PMOS电路为例来说：

- [56] 第一正反扫描单元100用于控制GOA电路20的正向驱动或反向驱动，并在第三控制时钟CK_D1或第四控制时钟CK_D2的控制下，控制公共信号点P ($2N+1$) 保持低电平。其中，第三控制时钟CK_D1、第四控制时钟CK_D2对应为第一控制时钟CK_LB1、第二控制时钟CK_LB2或者对应为第二控制时钟CK_LB2、第一控制时钟CK_LB1。
- [57] 输入控制单元200用于根据第三级传时钟CK_C1控制级传信号的输入以完成对栅极信号点Q ($2N+1$) (N 为自然数) 的充电。其中，第三级传时钟CK_C1对应为第一级传时钟CK_LA1或对应为第二级传时钟CK_LA2。
- [58] 上拉维持单元300用于根据公共信号点P ($2N+1$) 控制栅极信号点Q ($2N+1$) 在非作用期间保持预定电平也即无效电平。
- [59] 输出控制单元400用于根据第四级传时钟CK_C2控制与栅极信号点Q ($2N+1$) 对应的栅极驱动信号G ($2N+1$) 的输出。其中，第四级传时钟CK_C2对应为第一级传时钟CK_LA1或对应为第二级传时钟CK_LA2。
- [60] GAS信号作用单元500用于控制栅极驱动信号G ($2N+1$) 处于有效电平，以实现GOA单元21对应的水平扫描线的充电。
- [61] 自举电容单元600用于对栅极信号点Q ($2N+1$) 的电压进行再次抬升。
- [62] 具体来说，以GOA单元为PMOS电路为例来说，正反扫描单元100包括第一晶体管PT0、第二晶体管PT1、第三晶体管PT2和第四晶体管PT3，第一晶体管PT0的栅极接收第一扫描控制信号也即反向扫描控制信号D2U，第一晶体管PT0的源极接收下一级GOA单元21输出的栅极驱动信号G ($2N+3$)，第二晶体管PT1的栅极接收第二扫描控制信号也即正向扫描控制信号U2D，第二晶体管PT1的源极接收上一级GOA单元输出的栅极驱动信号G ($2N-1$)，第一晶体管PT0和第二晶体管PT1的漏极相互连接后与输入控制单元200连接，第三晶体管PT2的栅极接收第一扫描控制信号也即反向扫描控制信号D2U，第三晶体管PT2的源极接收第三控制时钟CK_D1，第四晶体管PT3的栅极接收第二扫描控制信号也即正向扫描控制信号U2D，第四晶体管PT3的源极接收第四控制时钟CK_D2，第三晶体管PT2和第四晶体管PT3的漏极相互连接后与上拉维持单元300连接。
- [63] 其中，在第一级GOA单元中，第二晶体管PT1的源极接收启动脉冲信号STV。

在最后一级GOA单元中，第一晶体管PT0的源极接收启动脉冲信号STV。

- [64] 输入控制单元200包括第五晶体管PT4，第五晶体管PT4的栅极接收第三级传时钟CK_C1，第五晶体管PT4的源极与第一晶体管PT0、第二晶体管PT1的漏极连接，第五晶体管PT4的漏极与栅极信号点Q (2N+1) 连接。
- [65] 上拉维持单元300包括第六晶体管PT5、第七晶体管PT6、第九晶体管PT8、第十晶体管PT9和第一电容C1，第六晶体管PT5的栅极与公共信号点P (2N+1) 连接，第六晶体管PT5的源极与第五晶体管PT4的漏极连接，第六晶体管PT5的漏极与第一恒压源也即正压恒压源VGH连接，第七晶体管PT6的栅极与第五晶体管PT4的漏极连接，第七晶体管PT6的源极与公共信号点P (2N+1) 连接，第七晶体管PT6的漏极与第一恒压源也即正压恒压源VGH连接，第九晶体管PT8的栅极与第三晶体管PT2、第四晶体管PT3的漏极连接，第九晶体管PT8的源极与第二恒压源也即负压恒压源VGL连接，第九晶体管PT8的漏极与公共信号点P (2N+1) 连接，第十晶体管PT9的栅极与公共信号点P (2N+1) 连接，第十晶体管PT9的源极与栅极驱动信号G (2N+1) 连接，第十晶体管PT9的漏极与第一恒压源也即正压恒压源VGH连接，第一电容C1的一端与第一恒压源也即正压恒压源VGH连接，第一电容C1的另一端与公共信号点 (2N+1) 连接。
- [66] 输出控制单元400包括第十一晶体管PT10和第二电容C2，第十一晶体管PT10的栅极与栅极信号点Q (2N+1) 连接，第十一晶体管PT10的漏极与栅极驱动信号Q (2N+1) 连接，第十一晶体管PT10的源极接收第四级传时钟CK_C2，第二电容C2的一端与栅极信号点Q (2N+1) 连接，第二电容C2的另一端与栅极驱动信号G (2N+1) 连接；
- [67] GAS信号作用单元500包括第十三晶体管PT12和第十四晶体管PT13，第十三晶体管PT12的栅极、第十四晶体管PT13的栅极和漏极接收GAS信号GAS，第十三晶体管PT12的漏极连接第一恒压源也即正压恒压源VGH，第十三晶体管PT12的源极连接公共信号点P (2N+1) ，第十三晶体管PT12的源极连接栅极驱动信号G (2N+1) 。
- [68] 自举电容单元600包括自举电容Cload，自举电容Cload的一端与栅极驱动信号G (2N+1) 连接，自举电容Cload的另一端与地信号GND连接。

- [69] 优选地，GOA单元21进一步包括稳压单元700，稳压单元700用于实现栅极信号点Q（ $2N+1$ ）的稳压以及栅极信号点Q（ $2N+1$ ）的漏电防治。具体来说，稳压单元700包括第八晶体管PT7，第八晶体管PT7串接于第五晶体管PT4的源极与栅极信号点Q（ $2N+1$ ）之间，第八晶体管PT7的栅极与第二恒压源也即负压恒压源VGL连接，第八晶体管PT7的漏极与第五晶体管PT4的漏极连接，第八晶体管PT7的源极与栅极信号点Q（ $2N+1$ ）连接。
- [70] 优选地，GOA单元21进一步包括上拉辅助单元800，上拉辅助单元800用于防止第五晶体管PT4和第六晶体管PT5在对栅极信号点Q（ $2N+1$ ）进行充电的过程中出现漏电的问题。具体来说，上拉辅助单元800包括第十二晶体管PT11，第十二晶体管PT11的栅极与第一晶体管PT0、第二晶体管PT1的漏极连接，第十二晶体管PT11的源极与公共信号点P（ $2N+1$ ）连接，第十二晶体管PT11的漏极与第一恒压源也即正压恒压源VGH连接。
- [71] 在第一GOA子电路201中，在第一级、第五级、...第 $4N+1$ （N为自然数）级GOA单元21中，第三级传时钟CK_C1为第一级传时钟CK_LA1也即第一时钟信号CK1，第四级传时钟CK_C2为第二级传时钟CK_LA2也即第三时钟信号CK3，第三控制时钟CK_D1为第一控制时钟CK_LB1也即第二时钟信号CK2，第四控制时钟CK_D2为第二控制时钟CK_LB2也即为第四时钟信号CK4。在第三级、第七级、...第 $4N+3$ （N为自然数）级GOA单元21中，第三级传时钟CK_C1为第二级传时钟CK_LA2也即第三时钟信号CK3，第四级传时钟CK_C2为第一级传时钟CK_LA1也即第一时钟信号CK1，第三控制时钟CK_D1为第二控制时钟CK_LB2也即第四时钟信号CK4，第四控制时钟CK_D2为第一控制时钟CK_LB2也即第二时钟信号CK2。
- [72] 本领域的技术人员可以理解，当GOA单元为NMOS电路时，上述所有晶体管为NMOS晶体管，第一扫描控制信号对应正向扫描控制信号U2D，第二扫描控制信号对应反相扫描控制信号D2U，第一恒压源对应负压恒压源VGL，第二恒压源对应正压恒压源VGH。
- [73] 本领域的技术人员可以理解，当第一GOA子电路中的GOA单元为PMOS电路，对应的第一控制模块22A第一控制晶体管T1和第二控制晶体管T2为PMOS管。第

一GOA子电路中的GOA单元为NMOS电路，对应的第一控制模块22A第一控制晶体管T1和第二控制晶体管T2为NMOS管。

- [74] 位于第二GOA子电路202的第 $2N+2$ 级GOA单元21与位于第一GOA子电路202的第 $2N+1$ 级GOA单元21类似，为简单起见，在此不再详述。其中，第 $2N+2$ 级GOA单元21中的第一级传时钟CK_RA1、第二级传时钟CK_RA2、第一控制时钟CK_RB1、第二控制时钟CK_RB2对应于第 $2N+1$ 级GOA单元21中的第一级传时钟CK_LA1、第二级传时钟CK_LA2、第一控制时钟CK_LB1、第二控制时钟CK_LB2。
- [75] 图4是本发明第二实施例的GOA电路中第一GOA子电路的工作时序图。如图4所示，以第一GOA子电路为PMOS电路为例来说，当GAS信号GAS有效也即为低电平信号时，GOA电路20实现All Gate On功能，与各奇数级水平扫描线对应的栅极驱动信号G(2N+1)输出低电平信号。当GOA电路20完成All Gate On功能后，由于自举电容Cload的存在，与各奇数级水平扫描线对应的栅极驱动信号G(2N+1)不会马上变为高电平，而会保持Cload holding的低电平信号。
- [76] 以GOA电路20为正向驱动为例，如果与奇数级水平扫描线对应的栅极驱动信号在第三时钟信号CK3有效之前不能放电至高电平，则除第一级水平扫描线以外，其它奇数级水平扫描线上会产生冗余的脉冲信号。具体来说，第一级水平扫描线由第一级GOA单元驱动，由于第一级GOA单元的级传信号为启动脉冲信号STV，第一级GOA单元正常驱动，不会产生冗余的脉冲信号。第三级水平扫描线由第三级GOA单元驱动，而第三级GOA单元的级传信号为第一级GOA单元的栅极驱动信号G(1)，当第一时钟信号CK1为低电平时，由于栅极驱动信号G(1)保持Cload holding的低电平信号，则栅极驱动信号G(1)的低电平信号会传递至第三级GOA单元的栅极信号点Q(3)，使得第三级GOA单元21先于第一级GOA单元21工作，并使得第三级GOA单元21输出的栅极驱动信号G(3)产生一个冗余的脉冲，这个冗余的脉冲会继续影响下一级GOA单元21的栅极驱动信号。基于相同的理由，在第一时钟信号CK1有效时，第七级、第十一级、...第 $4N+3$ 级GOA单元的栅极驱动信号均会产生冗余的脉冲。
- [77] 为了避免上述问题的产生，如图4所示，在第一时钟信号CK1开始有效时，设置使能信号EN为高电平且保持一个工作周期，此时，第一控制晶体管T1、第二

控制晶体管T2截止，第一时钟信号CK1和第三时钟信号CK3无法输送至第一级传时钟CK_LA1、第二级传时钟CK_LA2，此时，第一GOA子电路中的GOA单元在第一控制时钟CK_LB1、第二控制时钟CK_LB2（也即第二时钟信号CK2、第四时钟信号CK4）的控制下使公共信号点P（2N+1）处于低电平信号，进而使得栅极驱动信号G（2N+1）在第三时钟信号CK3有效之前处于高电平信号，从而避免产生冗余的脉冲信号。随后，保持正常的第一时钟信号CK1、第二时钟信号CK2、第三时钟信号CK3、第四时钟信号CK4的驱动顺序对第一GOA子电路201进行驱动，从而实现对水平扫描线的正常充电。其中，一个工作周期是指第一时钟信号CK1、第二时钟信号CK2、第三时钟信号CK3、第四时钟信号CK4依次有效所持续的时间周期。

[78] 在第二实施例中，第二GOA子电路202的工作时序与第一GOA子电路201的工作时序类似，为简约起见，在此不再赘述。

[79] 本发明进一步提供一种液晶显示器，包括了上述GOA电路。

[80] 本发明的有益效果是：本发明的GOA电路及液晶显示器通过GOA电路对所有水平扫描线同时充电后，屏蔽第一级传时钟、第二级传时钟，以使第一控制时钟、第二控制时钟控制水平扫描线上的栅极驱动信号放电至预定电平，从而能够避免在第一个栅极驱动信号输出之前在水平扫描线上产生冗余的脉冲信号，进而保证了GOA电路的正常工作。

[81] 以上所述仅为本发明的实施方式，并非因此限制本发明的专利范围，凡是利用本发明说明书及附图内容所作的等效结构或等效流程变换，或直接或间接运用在其他相关的技术领域，均同理包括在本发明的专利保护范围内。

权利要求书

[权利要求 1]

一种GOA电路，用于液晶显示器，其中，所述GOA电路包括级联的多个GOA单元，每一所述GOA单元用于在第一级传时钟、第二级传时钟、第一控制时钟、第二控制时钟的驱动下对显示区域中对应的水平扫描线进行充电，所述第一级传时钟、第二级传时钟用于控制所述GOA单元的级传信号的输入以及栅极驱动信号的产生，所述第一控制时钟、第二控制时钟用于控制所述栅极驱动信号处于预定电平，其中，所述级传信号为启动脉冲信号或相邻的所述GOA单元的所述栅极驱动信号；

所述GOA电路进一步包括控制模块，所述控制模块用于在所述GOA电路对所有所述水平扫描线同时充电后，屏蔽所述第一级传时钟、第二级传时钟，以使所述第一控制时钟、第二控制时钟控制所述水平扫描线上的所述栅极驱动信号放电至预定电平，从而避免在第一个所述栅极驱动信号输出之前在所述水平扫描线上产生冗余的脉冲信号；

所述控制模块包括第一控制晶体管和第二控制晶体管，所述第一控制晶体管、第二控制晶体管的第一端相互连接后接收使能信号，所述第一控制晶体管、第二控制晶体的第二端对应连接所述第一级传时钟、第二级传时钟，所述第一控制晶体管、第二控制晶体管的第三端连接所述GOA单元，其中，在所述GOA电路对所有所述水平扫描线同时充电后，所述使能信号控制所述第一控制晶体管、第二控制晶体管截止以屏蔽所述第一级传时钟、第二级传时钟，从而使得所述第一控制时钟、第二控制时钟控制所有所述水平扫描线上的栅极驱动信号放电至所述预定电平；

所述GOA电路接收第一时钟信号、第二时钟信号、第三时钟信号和第四时钟信号，其中，所述第一时钟信号、第二时钟信号、第三时钟信号、第四时钟信号在所述GOA电路的工作周期依次分时有效；

所述GOA电路包括奇数级的所述GOA单元级联形成的第一GOA子电路，所述第一GOA子电路在所述第一级传时钟、第二级传时钟、第一控制时钟、第二控制时钟的驱动下对奇数级的所述水平扫描线进行充电；

其中，在所述第一GOA子电路中，所述第一级传时钟、第二级传时钟对应所述第一时钟信号、第三时钟信号，所述第一控制时钟、第二控制时钟对应所述第二时钟信号、第四时钟信号；

所述GOA电路进一步包括与所述第一GOA子电路对应的控制模块，记为第一控制模块，所述第一控制模块用于在所述第一GOA子电路中，屏蔽所述第一时钟信号、第三时钟信号，以使所述第二时钟信号、第四时钟信号控制奇数级的所述水平扫描线上的栅极驱动信号放电至所述预定电平；

所述GOA电路进一步包括偶数级的所述GOA单元级联形成的第二GOA子电路，所述第二GOA子电路在所述第一级传时钟、第二级传时钟、第一控制时钟、第二控制时钟的驱动下对偶数级的所述水平扫描线进行充电；

其中，在所述第二GOA子电路中，所述第一级传时钟、第二级传时钟对应所述第二时钟信号、第四时钟信号，所述第一控制时钟、第二控制时钟对应所述第一时钟信号、第三时钟信号；

所述GOA电路进一步包括与所述第二GOA子电路对应的控制模块，记为第二控制模块，所述第二控制模块用于在所述第二GOA子电路中，屏蔽所述第二时钟信号、第四时钟信号，以使所述第一时钟信号、第三时钟信号控制偶数级的所述水平扫描线上的栅极驱动信号放电至所述预定电平。

[权利要求 2]

根据权利要求1所述的GOA电路，其中，所述第一控制晶体管、第二控制晶体管为PMOS管，所述第一控制晶体管、第二控制晶体管的所述第一端、第二端、第三端对应所述PMOS管的栅极、漏极和源极；其中，当所述使能信号为高电平信号时，所述第一控制晶

体管、第二控制晶体管截止。

[权利要求 3]

一种GOA电路，用于液晶显示器，其中，所述GOA电路包括级联的多个GOA单元，每一所述GOA单元用于在第一级传时钟、第二级传时钟、第一控制时钟、第二控制时钟的驱动下对显示区域中对应的水平扫描线进行充电，所述第一级传时钟、第二级传时钟用于控制所述GOA单元的级传信号的输入以及栅极驱动信号的产生，所述第一控制时钟、第二控制时钟用于控制所述栅极驱动信号处于预定电平，其中，所述级传信号为启动脉冲信号或相邻的所述GOA单元的所述栅极驱动信号；

所述GOA电路进一步包括控制模块，所述控制模块用于在所述GOA电路对所有所述水平扫描线同时充电后，屏蔽所述第一级传时钟、第二级传时钟，以使所述第一控制时钟、第二控制时钟控制所述水平扫描线上的所述栅极驱动信号放电至预定电平，从而避免在第一个所述栅极驱动信号输出之前在所述水平扫描线上产生冗余的脉冲信号。

[权利要求 4]

根据权利要求3所述的GOA电路，其中，所述控制模块包括第一控制晶体管和第二控制晶体管，所述第一控制晶体管、第二控制晶体管的第一端相互连接后接收使能信号，所述第一控制晶体管、第二控制晶体的第二端对应连接所述第一级传时钟、第二级传时钟，所述第一控制晶体管、第二控制晶体管的第三端连接所述GOA单元，其中，在所述GOA电路对所有所述水平扫描线同时充电后，所述使能信号控制所述第一控制晶体管、第二控制晶体管截止以屏蔽所述第一级传时钟、第二级传时钟，从而使得所述第一控制时钟、第二控制时钟控制所有所述水平扫描线上的栅极驱动信号放电至所述预定电平。

[权利要求 5]

根据权利要求4所述的GOA电路，其中，所述第一控制晶体管、第二控制晶体管为PMOS管，所述第一控制晶体管、第二控制晶体管的所述第一端、第二端、第三端对应所述PMOS管的栅极、漏极和

源极；其中，当所述使能信号为高电平信号时，所述第一控制晶体管、第二控制晶体管截止。

[权利要求 6] 根据权利要求4所述的GOA电路，所述第一控制晶体管、第二控制晶体管为NMOS管，所述第一控制晶体管、第二控制晶体管的所述第一端、第二端、第三端对应所述NMOS管的栅极、漏极和源极；其中，当所述控制信号为低电平信号时，所述第一控制晶体管、第二控制晶体管截止。

[权利要求 7] 根据权利要求3所述的GOA电路，其中，所述GOA电路接收第一时钟信号、第二时钟信号、第三时钟信号和第四时钟信号，其中，所述第一时钟信号、第二时钟信号、第三时钟信号、第四时钟信号在所述GOA电路的工作周期依次分时有效；
所述GOA电路包括奇数级的所述GOA单元级联形成的第一GOA子电路，所述第一GOA子电路在所述第一级传时钟、第二级传时钟、第一控制时钟、第二控制时钟的驱动下对奇数级的所述水平扫描线进行充电；
其中，在所述第一GOA子电路中，所述第一级传时钟、第二级传时钟对应所述第一时钟信号、第三时钟信号，所述第一控制时钟、第二控制时钟对应所述第二时钟信号、第四时钟信号；
所述GOA电路进一步包括与所述第一GOA子电路对应的控制模块，记为第一控制模块，所述第一控制模块用于在所述第一GOA子电路中，屏蔽所述第一时钟信号、第三时钟信号，以使所述第二时钟信号、第四时钟信号控制奇数级的所述水平扫描线上的栅极驱动信号放电至所述预定电平。

[权利要求 8] 根据权利要求7所述的GOA电路，其中，
所述GOA电路进一步包括偶数级的所述GOA单元级联形成的第二GOA子电路，所述第二GOA子电路在所述第一级传时钟、第二级传时钟、第一控制时钟、第二控制时钟的驱动下对偶数级的所述水平扫描线进行充电；

其中，在所述第二GOA子电路中，所述第一级传时钟、第二级传时钟对应所述第二时钟信号、第四时钟信号，所述第一控制时钟、第二控制时钟对应所述第一时钟信号、第三时钟信号；
所述GOA电路进一步包括与所述第二GOA子电路对应的控制模块，记为第二控制模块，所述第二控制模块用于在所述第二GOA子电路中，屏蔽所述第二时钟信号、第四时钟信号，以使所述第一时钟信号、第三时钟信号控制偶数级的所述水平扫描线上的栅极驱动信号放电至所述预定电平。

[权利要求 9]

根据权利要求8所述的GOA电路，其中，所述GOA单元包括正反扫描单元、输入控制单元、上拉维持单元、输出控制单元、GAS信号作用单元和自举电容单元；

其中，所述正反扫描单元包括第一晶体管、第二晶体管、第三晶体管 and 第四晶体管，所述第一晶体管的栅极接收第一扫描控制信号，所述第一晶体管的源极接收下一级所述GOA单元输出的所述栅极驱动信号，所述第二晶体管的栅极接收第二扫描控制信号，所述第二晶体管的源极接收上一级所述GOA单元输出的所述栅极驱动信号，所述第一晶体管和所述第二晶体管的漏极相互连接后与所述输入控制单元连接，所述第三晶体管的栅极接收所述第一扫描控制信号，所述第三晶体管的源极接收第三控制时钟，所述第四晶体管的栅极接收所述第二扫描控制信号，所述第四晶体管的源极接收第四控制时钟，所述第三晶体管和所述第四晶体管的漏极相互连接后与所述上拉维持单元连接；

所述输入控制单元包括第五晶体管，所述第五晶体管的栅极接收第三级传时钟，所述第五晶体管的源极与所述第一晶体管、第二晶体管的漏极连接，所述第五晶体管的漏极与栅极信号点连接；
所述上拉维持单元包括第六晶体管、第七晶体管、第九晶体管、第十晶体管和第一电容，所述第六晶体管的栅极与公共信号点连接，所述第六晶体管的源极与所述第五晶体管的漏极连接，所述

第六晶体管的漏极与第一恒压源连接，所述第七晶体管的栅极与所述第五晶体管的漏极连接，所述第七晶体管的源极与所述公共信号点连接，所述第七晶体管的漏极与所述第一恒压源连接，所述第九晶体管的栅极与所述第三晶体管、第四晶体管的漏极连接，所述第九晶体管的源极与第二恒压源连接，所述第九晶体管的漏极与所述公共信号点连接，所述第十晶体管的栅极与所述公共信号点连接，所述第十晶体管的源极与所述栅极驱动信号连接，所述第十晶体管的漏极与所述第一恒压源连接，所述第一电容的一端与所述第一恒压源连接，所述第一电容的另一端与所述公共信号点连接；

所述输出控制单元包括第十一晶体管和第二电容，所述第十一晶体管的栅极与所述栅极信号点连接，所述第十一晶体管的漏极与所述栅极驱动信号连接，所述第十一晶体管的源极接收第四级传时钟，所述第二电容的一端与所述栅极信号点连接，所述第二电容的另一端与所述栅极驱动信号连接；

所述GAS信号作用单元包括第十三晶体管和第十四晶体管，所述第十三晶体管的栅极、第十四晶体管的栅极和漏极接收GAS信号，所述第十三晶体管的漏极连接所述第一恒压源，所述第十三晶体管的源极连接所述公共信号点，所述第十三晶体管的源极连接所述栅极驱动信号；

所述自举电容单元包括自举电容，所述自举电容的一端与所述栅极驱动信号连接，所述自举电容的另一端与地信号连接；

其中，所述第三级传时钟、第四级传时钟对应所述第一级传时钟、第二级传时钟或所述第二级传时钟、第一级传时钟，所述第三控制时钟、第四控制时钟对应所述第一控制时钟、第二控制时钟或所述第二控制时钟、第一控制时钟。

[权利要求 10]

根据权利要求9所述的GOA电路，所述GOA单元进一步包括稳压单元，所述稳压单元包括第八晶体管，所述第八晶体管串接于所

述第五晶体管的源极与所述栅极信号点之间，所述第八晶体管的栅极与所述第二恒压源连接，所述第八晶体管的漏极与所述第五晶体管的漏极连接，所述第八晶体管的源极与所述栅极信号点连接。

[权利要求 11] 根据权利要求10所述的GOA电路，所述GOA单元进一步包括上拉辅助单元，所述上拉辅助单元包括第十二晶体管，所述第十二晶体管的栅极与所述第一晶体管、第二晶体管的漏极连接，所述第十二晶体管的源极与所述公共信号点连接，所述第十二晶体管的漏极与所述第一恒压源连接。

[权利要求 12] 一种液晶显示器，其中，包括GOA电路，所述GOA电路包括级联的多个GOA单元，每一所述GOA单元用于在第一级传时钟、第二级传时钟、第一控制时钟、第二控制时钟的驱动下对显示区域中对应的水平扫描线进行充电，所述第一级传时钟、第二级传时钟用于控制所述GOA单元的级传信号的输入以及栅极驱动信号的产生，所述第一控制时钟、第二控制时钟用于控制所述栅极驱动信号处于预定电平，其中，所述级传信号为启动脉冲信号或相邻的所述GOA单元的所述栅极驱动信号；

所述GOA电路进一步包括控制模块，所述控制模块用于在所述GOA电路对所有所述水平扫描线同时充电后，屏蔽所述第一级传时钟、第二级传时钟，以使所述第一控制时钟、第二控制时钟控制所述水平扫描线上的所述栅极驱动信号放电至预定电平，从而避免在第一个所述栅极驱动信号输出之前在所述水平扫描线上产生冗余的脉冲信号。

[权利要求 13] 根据权利要求12所述的液晶显示器，其中，所述控制模块包括第一控制晶体管和第二控制晶体管，所述第一控制晶体管、第二控制晶体管的第一端相互连接后接收使能信号，所述第一控制晶体管、第二控制晶体的第二端对应连接所述第一级传时钟、第二级传时钟，所述第一控制晶体管、第二控制晶体管的第三端连接所

述GOA单元，其中，在所述GOA电路对所有所述水平扫描线同时充电后，所述使能信号控制所述第一控制晶体管、第二控制晶体管截止以屏蔽所述第一级传时钟、第二级传时钟，从而使得所述第一控制时钟、第二控制时钟控制所有所述水平扫描线上的栅极驱动信号放电至所述预定电平。

[权利要求 14] 根据权利要求13所述的液晶显示器，其中，所述第一控制晶体管、第二控制晶体管为PMOS管，所述第一控制晶体管、第二控制晶体管的所述第一端、第二端、第三端对应所述PMOS管的栅极、漏极和源极；其中，当所述使能信号为高电平信号时，所述第一控制晶体管、第二控制晶体管截止。

[权利要求 15] 根据权利要求13所述的液晶显示器，所述第一控制晶体管、第二控制晶体管为NMOS管，所述第一控制晶体管、第二控制晶体管的所述第一端、第二端、第三端对应所述NMOS管的栅极、漏极和源极；其中，当所述控制信号为低电平信号时，所述第一控制晶体管、第二控制晶体管截止。

[权利要求 16] 根据权利要求12所述的液晶显示器，其中，所述GOA电路接收第一时钟信号、第二时钟信号、第三时钟信号和第四时钟信号，其中，所述第一时钟信号、第二时钟信号、第三时钟信号、第四时钟信号在所述GOA电路的工作周期依次分时有有效；

所述GOA电路包括奇数级的所述GOA单元级联形成的第一GOA子电路，所述第一GOA子电路在所述第一级传时钟、第二级传时钟、第一控制时钟、第二控制时钟的驱动下对奇数级的所述水平扫描线进行充电；

其中，在所述第一GOA子电路中，所述第一级传时钟、第二级传时钟对应所述第一时钟信号、第三时钟信号，所述第一控制时钟、第二控制时钟对应所述第二时钟信号、第四时钟信号；

所述GOA电路进一步包括与所述第一GOA子电路对应的控制模块，记为第一控制模块，所述第一控制模块用于在所述第一GOA子

电路中，屏蔽所述第一时钟信号、第三时钟信号，以使所述第二时钟信号、第四时钟信号控制奇数级的所述水平扫描线上的栅极驱动信号放电至所述预定电平。

[权利要求 17]

根据权利要求16所述的液晶显示器，其中，

所述GOA电路进一步包括偶数级的所述GOA单元级联形成的第二GOA子电路，所述第二GOA子电路在所述第一级传时钟、第二级传时钟、第一控制时钟、第二控制时钟的驱动下对偶数级的所述水平扫描线进行充电；

其中，在所述第二GOA子电路中，所述第一级传时钟、第二级传时钟对应所述第二时钟信号、第四时钟信号，所述第一控制时钟、第二控制时钟对应所述第一时钟信号、第三时钟信号；

所述GOA电路进一步包括与所述第二GOA子电路对应的控制模块，记为第二控制模块，所述第二控制模块用于在所述第二GOA子电路中，屏蔽所述第二时钟信号、第四时钟信号，以使所述第一时钟信号、第三时钟信号控制偶数级的所述水平扫描线上的栅极驱动信号放电至所述预定电平。

[权利要求 18]

根据权利要求17所述的液晶显示器，其中，所述GOA单元包括正反扫描单元、输入控制单元、上拉维持单元、输出控制单元、GAS信号作用单元和自举电容单元；

其中，所述正反扫描单元包括第一晶体管、第二晶体管、第三晶体管 and 第四晶体管，所述第一晶体管的栅极接收第一扫描控制信号，所述第一晶体管的源极接收下一级所述GOA单元输出的所述栅极驱动信号，所述第二晶体管的栅极接收第二扫描控制信号，所述第二晶体管的源极接收上一级所述GOA单元输出的所述栅极驱动信号，所述第一晶体管和所述第二晶体管的漏极相互连接后与所述输入控制单元连接，所述第三晶体管的栅极接收所述第一扫描控制信号，所述第三晶体管的源极接收第三控制时钟，所述第四晶体管的栅极接收所述第二扫描控制信号，所述第四晶体管

的源极接收第四控制时钟，所述第三晶体管和所述第四晶体管的漏极相互连接后与所述上拉维持单元连接；

所述输入控制单元包括第五晶体管，所述第五晶体管的栅极接收第三级传时钟，所述第五晶体管的源极与所述第一晶体管、第二晶体管的漏极连接，所述第五晶体管的漏极与栅极信号点连接；

所述上拉维持单元包括第六晶体管、第七晶体管、第九晶体管、第十晶体管和第一电容，所述第六晶体管的栅极与公共信号点连接，所述第六晶体管的源极与所述第五晶体管的漏极连接，所述第六晶体管的漏极与第一恒压源连接，所述第七晶体管的栅极与所述第五晶体管的漏极连接，所述第七晶体管的源极与所述公共信号点连接，所述第七晶体管的漏极与所述第一恒压源连接，所述第九晶体管的栅极与所述第三晶体管、第四晶体管的漏极连接，所述第九晶体管的源极与第二恒压源连接，所述第九晶体管的漏极与所述公共信号点连接，所述第十晶体管的栅极与所述公共信号点连接，所述第十晶体管的源极与所述栅极驱动信号连接，所述第十晶体管的漏极与所述第一恒压源连接，所述第一电容的一端与所述第一恒压源连接，所述第一电容的另一端与所述公共信号点连接；

所述输出控制单元包括第十一晶体管和第二电容，所述第十一晶体管的栅极与所述栅极信号点连接，所述第十一晶体管的漏极与所述栅极驱动信号连接，所述第十一晶体管的源极接收第四级传时钟，所述第二电容的一端与所述栅极信号点连接，所述第二电容的另一端与所述栅极驱动信号连接；

所述GAS信号作用单元包括第十三晶体管和第十四晶体管，所述第十三晶体管的栅极、第十四晶体管的栅极和漏极接收GAS信号，所述第十三晶体管的漏极连接所述第一恒压源，所述第十三晶体管的源极连接所述公共信号点，所述第十三晶体管的源极连接所述栅极驱动信号；

所述自举电容单元包括自举电容，所述自举电容的一端与所述栅极驱动信号连接，所述自举电容的另一端与地信号连接；

其中，所述第三级传时钟、第四级传时钟对应所述第一级传时钟、第二级传时钟或所述第二级传时钟、第一级传时钟，所述第三控制时钟、第四控制时钟对应所述第一控制时钟、第二控制时钟或所述第二控制时钟、第一控制时钟。

[权利要求 19]

根据权利要求18所述的液晶显示器，所述GOA单元进一步包括稳压单元，所述稳压单元包括第八晶体管，所述第八晶体管串接于所述第五晶体管的源极与所述栅极信号点之间，所述第八晶体管的栅极与所述第二恒压源连接，所述第八晶体管的漏极与所述第五晶体管的漏极连接，所述第八晶体管的源极与所述栅极信号点连接。

[权利要求 20]

根据权利要求19所述的液晶显示器，所述GOA单元进一步包括上拉辅助单元，所述上拉辅助单元包括第十二晶体管，所述第十二晶体管的栅极与所述第一晶体管、第二晶体管的漏极连接，所述第十二晶体管的源极与所述公共信号点连接，所述第十二晶体管的漏极与所述第一恒压源连接。

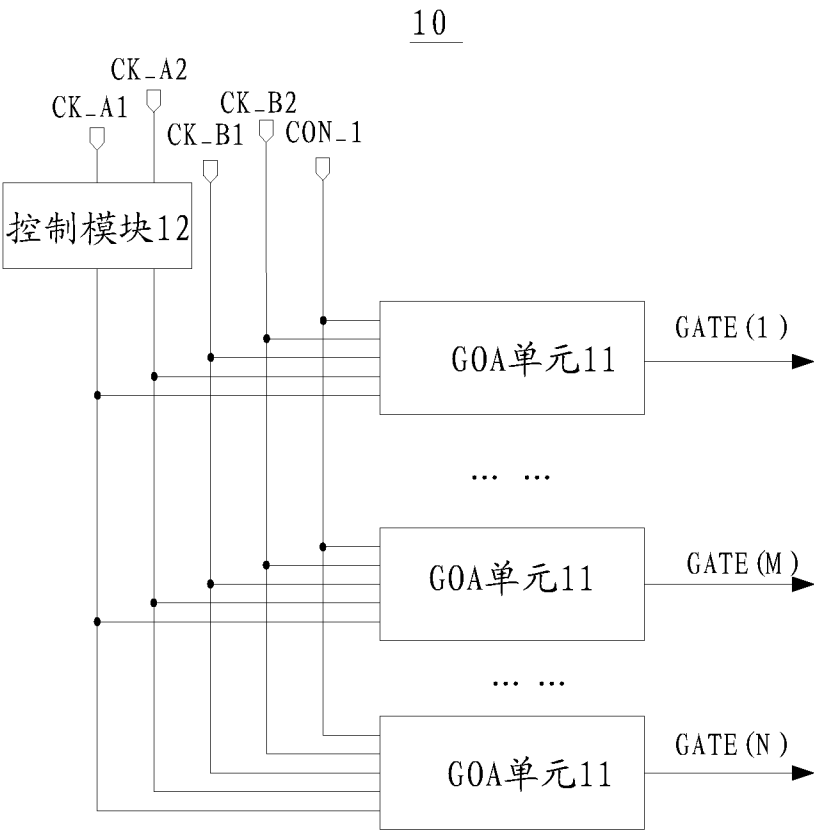


图 1

20

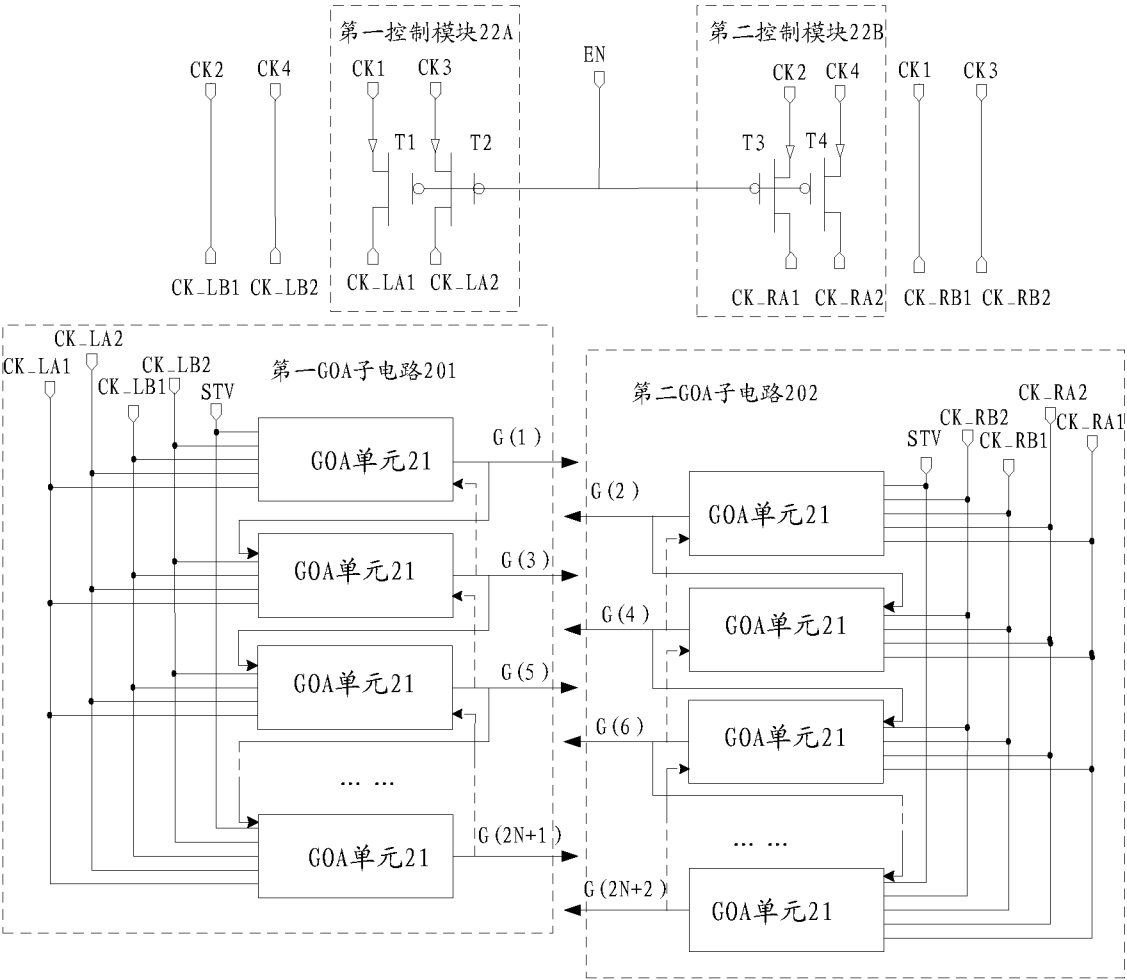


图 2

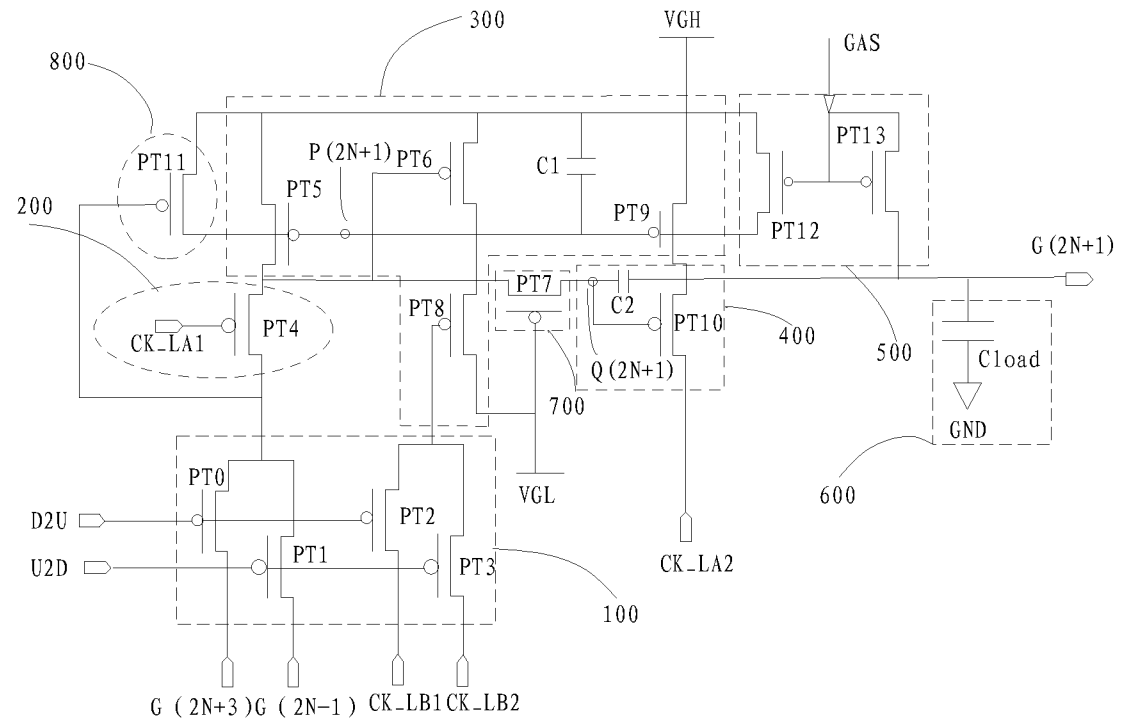


图 3

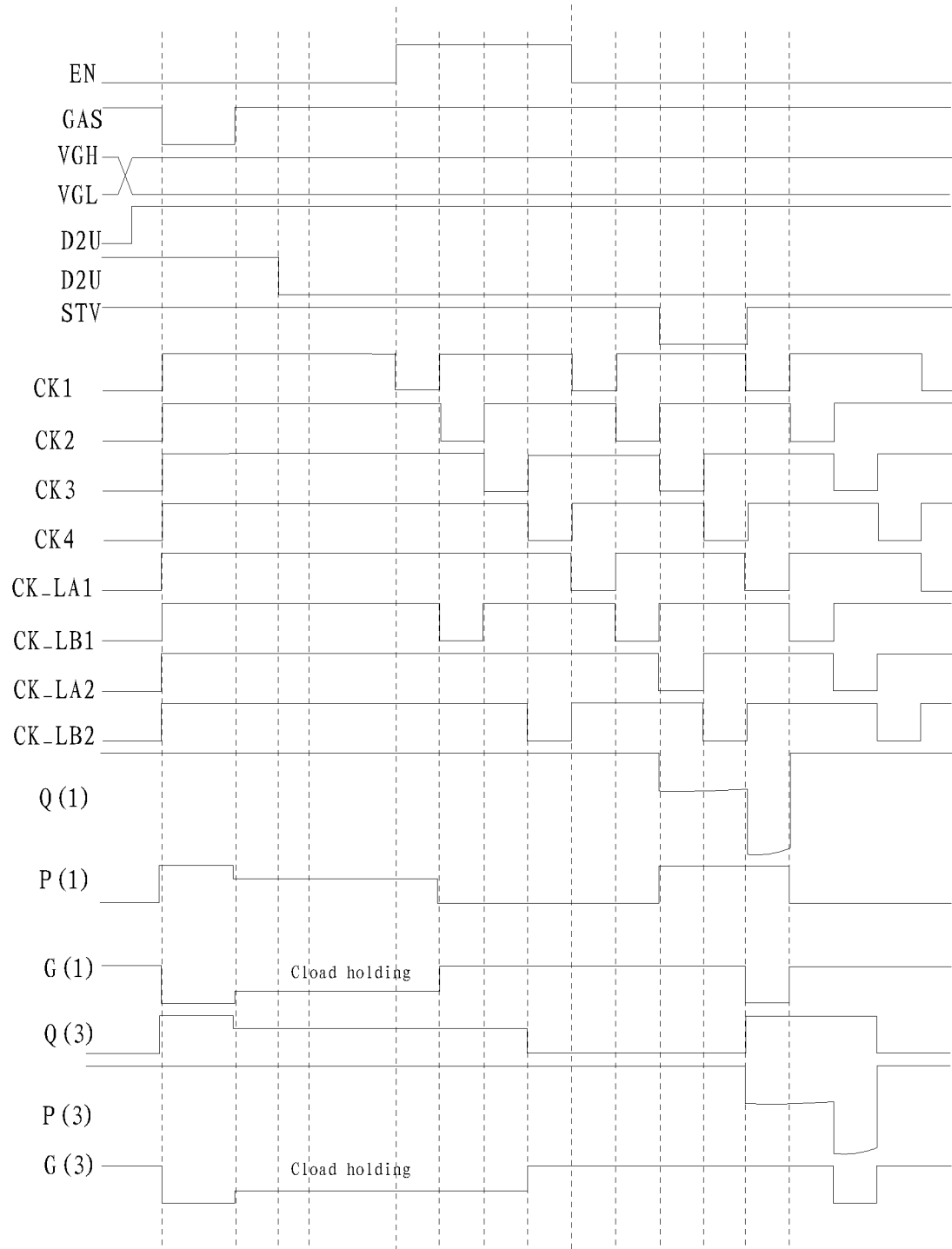


图 4

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2015/088378

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/36 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G 3/36; G09G 3/30; G09G 3/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, CNTXT, VEN: gate, bidirectional, driving, charge, discharge, reset, GOA, GAS, fourth

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 104575430 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 29 April 2015 (29.04.2015) description paragraphs [0062]-[0103], figures 3-8	1-20
A	CN 103680375 A (GIANTPLUS TECHNOLOGY CO., LTD.) 26 March 2014 (26.03.2014) see the whole document	1-20
A	CN 104318908 A (AU OPTRONICS CORP.) 28 January 2015 (28.01.2015) see the whole document	1-20
A	CN 103714792 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 09 April 2014 (09.04.2014) see the whole document	1-20
A	KR 20050049796 A (SAMSUNG ELECTRONICS CO., LTD.) 27 May 2005 (27.05.2005) see the whole document	1-20

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 04 May 2016	Date of mailing of the international search report 20 May 2016
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer LIU, Chang Telephone No. (86-10) 62085774

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2015/088378

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 104575430 A	29 April 2015	None	
CN 103680375 A	26 March 2014	TWI 475538 B US 2014062979 A1 TW 201409443 A US 8963900 B2	01 March 2015 06 March 2014 01 March 2014 24 February 2015
CN 104318908 A	28 January 2015	None	
CN 103714792 A	09 April 2014	US 2016086562 A1 WO 2015090019 A1 CN 103714792 B	24 March 2016 25 June 2015 11 November 2015
KR 20050049796 A	27 May 2005	KR 100973821 B1	03 August 2010

A. 主题的分类 G09G 3/36 (2006.01) i 按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类																				
B. 检索领域 检索的最低限度文献 (标明分类系统和分类号) G09G3/36, G09G3/30, G09G3/20 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用)) CNABS, CNTXT, VEN: 栅极驱动, 扫描驱动, 水平驱动, 下反扫描, 双向扫描, 反向扫描, 充电, 复位, 放电, 启动信号, 开启信号, 启始信号, 级传时钟, 级联时钟, 第四时钟, gate driver, scanning driver, bidirectional driving, charge, discharg+, reset, GOA, GAS, fourth																				
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>CN 104575430 A (京东方科技集团股份有限公司 等) 2015年 4月 29日 (2015 - 04 - 29) 说明书第[0062]-[0103]段, 图3-8</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>CN 103680375 A (凌巨科技股份有限公司) 2014年 3月 26日 (2014 - 03 - 26) 全文</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>CN 104318908 A (友达光电股份有限公司) 2015年 1月 28日 (2015 - 01 - 28) 全文</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>CN 103714792 A (京东方科技集团股份有限公司 等) 2014年 4月 9日 (2014 - 04 - 09) 全文</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>KR 20050049796 A (SAMSUNG ELECTRONICS CO LTD) 2005年 5月 27日 (2005 - 05 - 27) 全文</td> <td>1-20</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	A	CN 104575430 A (京东方科技集团股份有限公司 等) 2015年 4月 29日 (2015 - 04 - 29) 说明书第[0062]-[0103]段, 图3-8	1-20	A	CN 103680375 A (凌巨科技股份有限公司) 2014年 3月 26日 (2014 - 03 - 26) 全文	1-20	A	CN 104318908 A (友达光电股份有限公司) 2015年 1月 28日 (2015 - 01 - 28) 全文	1-20	A	CN 103714792 A (京东方科技集团股份有限公司 等) 2014年 4月 9日 (2014 - 04 - 09) 全文	1-20	A	KR 20050049796 A (SAMSUNG ELECTRONICS CO LTD) 2005年 5月 27日 (2005 - 05 - 27) 全文	1-20
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求																		
A	CN 104575430 A (京东方科技集团股份有限公司 等) 2015年 4月 29日 (2015 - 04 - 29) 说明书第[0062]-[0103]段, 图3-8	1-20																		
A	CN 103680375 A (凌巨科技股份有限公司) 2014年 3月 26日 (2014 - 03 - 26) 全文	1-20																		
A	CN 104318908 A (友达光电股份有限公司) 2015年 1月 28日 (2015 - 01 - 28) 全文	1-20																		
A	CN 103714792 A (京东方科技集团股份有限公司 等) 2014年 4月 9日 (2014 - 04 - 09) 全文	1-20																		
A	KR 20050049796 A (SAMSUNG ELECTRONICS CO LTD) 2005年 5月 27日 (2005 - 05 - 27) 全文	1-20																		
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。																				
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																				
国际检索实际完成的日期 2016年 5月 4日		国际检索报告邮寄日期 2016年 5月 20日																		
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局 (ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		授权官员 刘畅 电话号码 (86-10)62085774																		

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2015/088378

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	104575430	A	2015年 4月 29日	无			
CN	103680375	A	2014年 3月 26日	TW	I475538	B	2015年 3月 1日
				US	2014062979	A1	2014年 3月 6日
				TW	201409443	A	2014年 3月 1日
				US	8963900	B2	2015年 2月 24日
CN	104318908	A	2015年 1月 28日	无			
CN	103714792	A	2014年 4月 9日	US	2016086562	A1	2016年 3月 24日
				WO	2015090019	A1	2015年 6月 25日
				CN	103714792	B	2015年 11月 11日
KR	20050049796	A	2005年 5月 27日	KR	100973821	B1	2010年 8月 3日