(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年7月4日(04.07.2024)

WIPO | PCT

(10) 国際公開番号
WO 2024/142679 A1

(51) 国際特許分類:
H01G 4/30 (2006.01)

(21) 国際出願番号： PCT/JP2023/041870

(22) 国際出願日： 2023年11月21日(21.11.2023)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2022-212598 2022年12月28日(28.12.2022) JP

(71) 出願人: 株式会社村田製作所 (**MURATA MANUFACTURING CO., LTD.**) [JP/JP]; 〒6178555 京都府長岡京市東神足１丁目１０番１号 Kyoto (JP).

(72) 発明者: 石塚 明 (**ISHIZUKA Akira**); 〒6178555 京都府長岡京市東神足１丁目１０番１号 株式会社村田製作所内 Kyoto (JP). 田中 啓 (**TANAKA Akira**); 〒6178555 京都府長岡京市東神足１丁目１０番１号 株式会社村田製作所内 Kyoto (JP).

(74) 代理人: 加藤 竜太, 外 (**KATO Ryuta** et al.); 〒1000005 東京都千代田区丸の内１－７－１２ サピアタワー Tokyo (JP).

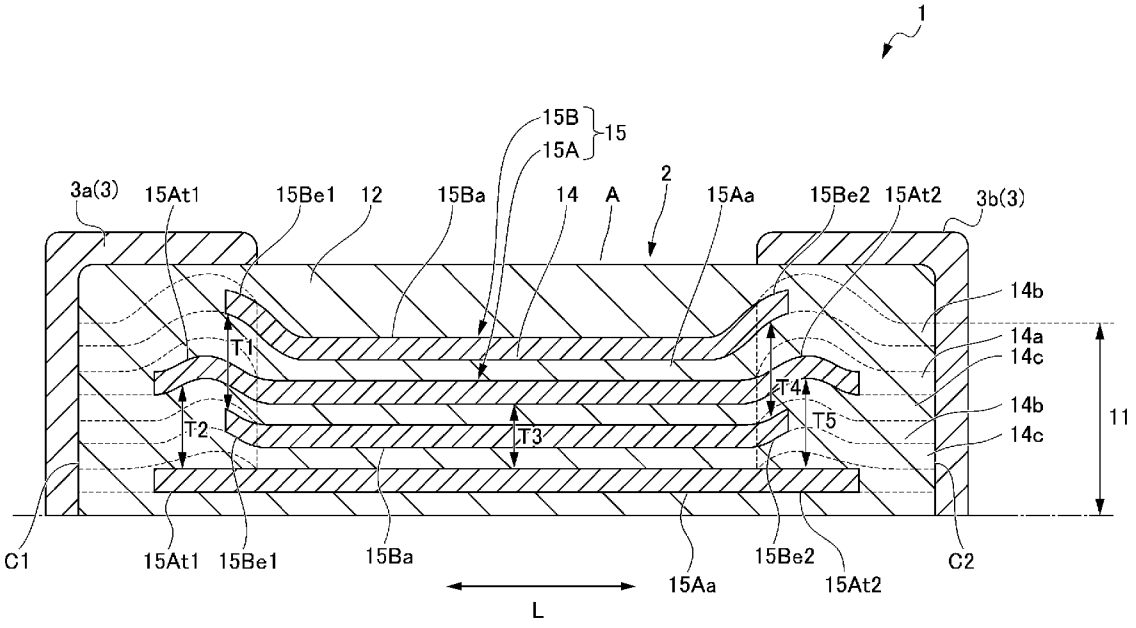
(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG,

WO 2024/142679 A1

(54) **Title:** MULTILAYER CERAMIC CAPACITOR

(54) 発明の名称： 積層セラミックコンデンサ

図 3



(57) **Abstract:** Provided is a multilayer ceramic capacitor with which overlapping of a plurality of internal electrode layers with a plurality of dielectric layers is regulated to inhibit a decrease in reliability. A multilayer ceramic capacitor 1 has a portion where a first distance T1 is longer than a second distance T2, the first distance T1 being the distance between second internal electrode layers 15B which are adjacent to each other along a stacking direction T and being the distance between the second internal electrode layers 15B which, in first edge regions 15Be1, overlap first internal electrode layers

[続葉有]

KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能)：ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

— 国際調査報告（条約第21条(3)）

15A along the stacking direction T, and the second distance T2 being the distance between the first internal electrode layers 15A which are adjacent to each other along the stacking direction T and being the distance between the first internal electrode layers 15A which, in first transition regions 15At1, do not overlap the second internal electrode layers 15B along the stacking direction.

(57) 要約：複数の内部電極層と複数の誘電体層との重なり具合を調整し、信頼性の低下を抑制することができる積層セラミックコンデンサを提供する。 積層方向Ｔに隣り合う第２の内部電極層１５Ｂ間の距離であって、第１の縁辺領域１５Ｂｅ１において積層方向Ｔに第１の内部電極層１５Ａと重なる第２の内部電極層１５Ｂ間の距離である第１の距離Ｔ１は、積層方向Ｔに隣り合う第１の内部電極層１５Ａ間の距離であって、第１の移行領域１５Ａｔ１において積層方向Ｔに第２の内部電極層１５Ｂと重ならない第１の内部電極層１５Ａ間の距離である第２の距離Ｔ２よりも長い部分を有する、積層セラミックコンデンサ１。

明　細　書

発明の名称 ： 積層セラミックコンデンサ

技術分野

[0001]　本発明は、積層セラミックコンデンサに関する。

背景技術

[0002]　従来、複数の積層された誘電体層と、誘電体層上に積層された複数の内部電極層とを有する積層体と、複数の外部電極と、を有する積層セラミックコンデンサが知られている。特許文献１には、端面に近づくにつれて幅が徐々に狭くなるテーパー形状部を備えた引き出し部を含む内部電極層を備える積層セラミックコンデンサが開示されている。

[0003]　しかしながら、このような積層セラミックコンデンサは、複数の内部電極層と複数の誘電体層との重なり具合が複雑になり、内部電極層の厚みによる段差が発生しやすい。また、特許文献２には、内部電極層の厚みによって生じる段差によって形成される凹部に補助層を設ける構成が開示されている。この補助層は、凹部によって生じる不具合の発生を低減するために、内部電極層の縁にも乗り上げられるように形成されている。

[0004]　しかしながら、テーパー形状部を備えた引き出し部を含む内部電極層に対して、内部電極層の縁にも乗り上がるように補助層を単に配置すると、複数の補助層の重なり具合が複雑となり、プレス工程および焼成工程後の積層体において、部分的に誘電体層の厚みが薄くなる部分が生じ得る。これにより、積層セラミックコンデンサの信頼性が低下する可能性がある。

[0005]　このため、複数の内部電極層と複数の誘電体層との重なり具合を調整し、信頼性の低下を抑制することができる積層セラミックコンデンサの開発が求められる。

先行技術文献

特許文献

[0006] 特許文献1：特開２００４－４７５３６号公報

特許文献2：特開２００４－３４９４２９号公報

発明の概要

発明が解決しようとする課題

[0007] 本発明は、複数の内部電極層と複数の誘電体層との重なり具合を調整し、信頼性の低下を抑制することができる積層セラミックコンデンサを提供することを目的とする。

課題を解決するための手段

[0008] 本発明者らは、積層方向に隣り合う第２の内部電極層間の距離であって、第２の内部電極層間の第１の端面側に位置する第１の縁辺領域において積層方向に第１の内部電極層と重なる第２の内部電極層間の距離である第１の距離Ｔ１が、積層方向Ｔに隣り合う第１の内部電極層間の距離であって、第１の移行領域において積層方向に第２の内部電極層と重ならない第１の内部電極層間の距離である第２の距離Ｔ２よりも長い部分を有する積層セラミックコンデンサにおいては、信頼性の低下を抑制できることを見出し、本発明を完成するに至った。

[0009] すなわち、本発明は、複数の積層された誘電体層と、前記誘電体層上に積層された複数の内部電極層とを有し、積層方向に相対する第１の主面および第２の主面と、積層方向に直交する長さ方向に相対する第１の端面および第２の端面と、前記積層方向および前記長さ方向に直交する幅方向に相対する第１の側面および第２の側面を有する積層体と、

複数の外部電極と、を有する積層セラミックコンデンサであって、

前記複数の内部電極層は、複数の第１の内部電極層と、複数の第２の内部電極層と、を有し、

前記第１の内部電極層は、前記誘電体層を介して前記第２の内部電極層と対向する第１の対向部と、前記第１の対向部から延び前記積層体の前記第１の端面に引き出される第１の引き出し部と、を有し、

前記第１の引き出し部は、幅方向の長さが漸減する第１の移行領域と、前記第１の移行領域から前記第１の端面に延出し、幅方向の長さが前記第１の

対向部の幅方向の長さよりも短い第１の延出領域を有し、

前記第２の内部電極層は、前記第１の端面側に位置する第１の縁辺領域を有し、

前記積層方向に隣り合う前記第２の内部電極層間の距離であって、前記第１の縁辺領域において前記積層方向に前記第１の内部電極層と重なる前記第２の内部電極層間の距離である第１の距離Ｔ１は、前記積層方向に隣り合う前記第１の内部電極層間の距離であって、前記第１の移行領域において前記積層方向に前記第２の内部電極層と重ならない前記第１の内部電極層間の距離である第２の距離Ｔ２よりも長い部分を有する、積層セラミックコンデンサである。

発明の効果

[0010] 本発明によれば、複数の内部電極層と複数の誘電体層との重なり具合が調整され、信頼性の低下が抑制された積層セラミックコンデンサを提供することが可能となる。

図面の簡単な説明

[0011] [図1]積層セラミックコンデンサ１（第１の実施形態）の概略斜視図である。

[図2]図１におけるＩ－Ｉ線に沿って切断した断面図であり積層方向Ｔの中央部より上の半分を示す（第１の実施形態）。

[図3]図１におけるＩＩ－ＩＩ線に沿って切断した断面図であり、積層方向Ｔの中央部より上の半分を示す（第１の実施形態）。

[図4]積層セラミックコンデンサ１（第１の実施形態）の第１の内部電極層１５Ａに沿った断面図である。

[図5]積層セラミックコンデンサ１（第１の実施形態）の第２の内部電極層１５Ｂに沿った断面図である。

[図6]積層セラミックコンデンサ１（第１の実施形態）の製造方法を説明するフローチャートである。

[図7]積層セラミックコンデンサ１（第１の実施形態）の製造方法を説明する工程図である。

[図8]積層セラミックコンデンサ１（第１の実施形態）の製造方法を説明する工程図である。

[図9]積層セラミックコンデンサ１（第１の実施形態）の製造方法を説明する工程図である。

[図10]積層セラミックコンデンサ１（第１の実施形態）の製造方法を説明する工程図である。

[図11]積層セラミックコンデンサ１（第１の実施形態）の製造方法を説明する工程図である。

[図12]積層セラミックコンデンサ１（第１の実施形態）の製造方法を説明する工程図である。

[図13]積層セラミックコンデンサ２００（第２の実施形態）の概略斜視図である。

[図14]積層セラミックコンデンサ２００（第２の実施形態）の第１の内部電極層１５Ａに沿った断面図である。

[図15]積層セラミックコンデンサ２００（第２の実施形態）の第２の内部電極層１５Ｂに沿った断面図である。

[図16]積層セラミックコンデンサ２００（第２の実施形態）の製造方法を説明する工程図である。

[図17]積層セラミックコンデンサ２００（第２の実施形態）の製造方法を説明する工程図である。

[図18]積層セラミックコンデンサ２００（第２の実施形態）の製造方法を説明する工程図である。

発明を実施するための形態

[0012] （積層セラミックコンデンサ１）

以下、本発明の第１の実施形態として積層セラミックコンデンサ１について説明する。図１は、積層セラミックコンデンサ１の概略斜視図である。図２は、積層セラミックコンデンサ１の図１におけるＩＩ－ＩＩ線に沿って切断し幅方向Ｗと積層方向Ｔにより規定される断面（ＷＴ断面）の状態を示す

ものであり積層方向Ｔの中央部より上の半分を示す。図３は、積層セラミックコンデンサ１の図１におけるＩＩＩ－ＩＩＩ線に沿って切断し長さ方向Ｌと積層方向Ｔにより規定される断面（ＬＴ断面）の状態を示すものであり、積層方向Ｔの中央部より上の半分を示す。なお、ＩＩ－ＩＩ線は積層セラミックコンデンサ１の長さ方向Ｌの中央部を通過する線である。また、ＩＩＩ－ＩＩＩ線は、後述する積層セラミックコンデンサ１の第１の内部電極層１５Ａと第２の内部電極層１５Ｂが積層する範囲を通過するが、第１の内部電極層１５Ａの第１の引き出し部１５Ａｂ１の第１の延出領域１５Ａｗ１と第２の引き出し部１５Ａｂ２の第２の延出領域１５Ａｗ２を通過しない線である。

[0013] 実施形態は、本発明の実施の形態を例示的に示したものであり、本発明が実施形態の内容に限定されることはない。また、異なる実施形態に記載された内容を組み合わせて実施することも可能であり、その場合の実施内容も本発明に含まれる。また、図面は、明細書の理解を助けるためのものであって、模式的に描画されている場合があり、描画された構成要素または構成要素間の寸法の比率が、明細書に記載されたそれらの寸法の比率と一致していない場合がある。また、明細書に記載されている構成要素が、図面において省略されている場合や、個数を省略して描画されている場合などがある。

[0014] 積層セラミックコンデンサ１は、積層体２の長さ方向Ｌの両端面Ｃに設けられた端面外部電極３と、積層体２の幅方向Ｗの両側面Ｂに設けられた側面外部電極４とを備える。積層体２は、誘電体層１４と内部電極層１５とを複数組含む内層部１１と、外層部１２とを備える。

[0015] 積層セラミックコンデンサ１の寸法は、特に限定されるものではないが、長さ方向Ｌを０．６ｍｍ以上３．２ｍｍ以下、積層方向Ｔを０．３ｍｍ以上２．５ｍｍ以下、幅方向Ｗを０．３ｍｍ以上２．５ｍｍ以下とすることができる。

[0016] 本明細書において、積層セラミックコンデンサ１の向きを表わす用語として、積層セラミックコンデンサ１において、誘電体層１４と内部電極層１５

とが積層されている方向を積層方向Ｔとする。積層方向Ｔと交差し、一対の端面外部電極３が設けられている方向を長さ方向Ｌとする。長さ方向Ｌおよび積層方向Ｔのいずれにも交差する方向を幅方向Ｗとする。なお、実施形態においては、積層方向Ｔと、長さ方向Ｌと、幅方向Ｗとは、互いに直交している。

[0017]（積層体２）

積層体２は、内層部１１と、内層部１１の積層方向Ｔの両側に配置される外層部１２と、を備える。積層体２は、角部および稜線部に丸みが付けられていることが好ましい。角部は、積層体の３面が交わる部分であり、稜線部は、積層体の２面が交わる部分である。

積層体２の寸法は、特に限定されるものではないが、長さ方向Ｌを０．６ｍｍ以上３．２ｍｍ以下、積層方向Ｔを０．３ｍｍ以上２．５ｍｍ以下、幅方向Ｗを０．３ｍｍ以上２．５ｍｍ以下とすることができる。

[0018]（内層部１１）

内層部１１は、積層方向Ｔに沿って誘電体層１４と内部電極層１５とが複数積層されている。

[0019]（誘電体層１４）

誘電体層１４は、セラミック材料で製造されている。セラミック材料としては、たとえば、$BaTiO_3$を主成分とする誘電体セラミックが用いられる。また、セラミック材料として、これらの主成分にＭｎ化合物、Ｆｅ化合物、Ｃｒ化合物、Ｃｏ化合物、Ｎｉ化合物等の副成分のうちの少なくとも一つを添加したものを用いてもよい。

誘電体層１４は、後述するセラミックグリーンシート１１４により製造された誘電体層１４ｃと、セラミックグリーンシート１１４上に塗布されるセラミックペースト１１４ａ、１１４ｂにより製造された誘電体層１４ａおよび誘電体層１４ｂとを有する。

[0020]（内部電極層１５）

内部電極層１５は、たとえばＮｉ、Ｃｕ、Ａｇ、Ｐｄ、Ａｇ－Ｐｄ合金、

Ａｕ等に代表される金属材料により形成されていることが好ましい。

[0021] 内部電極層１５の厚さは、特に限定されるものではないが、０．２５μｍ以上０．６μｍ以下が好ましく、中でも０．３μｍ以上０．５μｍ以下が好ましい。内層部１１内には１４枚以上１０００枚以下の内部電極層１５を内蔵することができる。

[0022] 内部電極層１５は、交互に配置される第１の内部電極層１５Ａと第２の内部電極層１５Ｂを有しており、第１の内部電極層１５Ａと第２の内部電極層１５Ｂは、積層方向Ｔからの平面視において互いに重なり合う第１の対向部１５Ａａと第２の対向部１５Ｂａにおいて、誘電体層１４を介して静電容量を形成する。

[0023]（第１の内部電極層１５Ａ）

図４は、積層セラミックコンデンサ１の第１の内部電極層１５Ａに沿った断面図である。図４に示すように、第１の内部電極層１５Ａは、全体として積層体２の長さ方向Ｌの両端面Ｃの間を延び、幅方向Ｗの両側面Ｂからは一定の距離で離間している。

第１の内部電極層１５Ａは、両端面Ｃから一定の距離離れており、後述の第２の内部電極層１５Ｂの第２の対向部１５Ｂａと誘電体層１４を挟んで向かい合う矩形状の第１の対向部１５Ａａと、当該第１の対向部１５Ａａから第１の端面Ｃ１と第２の端面Ｃ２へそれぞれ延び出す第１の引き出し部１５Ａｂ１と第２の引き出し部１５Ａｂ２からなる。そして、第１の引き出し部１５Ａｂ１は、第１の端面Ｃ１に向かい、幅方向Ｗの長さが漸減する台形形状の第１の移行領域１５Ａｔ１と、さらに第１の移行領域１５Ａｔ１から第１の端面Ｃ１へ延びる第１の延出領域１５Ａｗ１からなる。また、第２の引き出し部１５Ａｂ２は、第２の端面Ｃ２に向かい、幅方向Ｗの長さが漸減する台形形状の第２の移行領域１５Ａｔ２と、さらに第２の移行領域１５Ａｔ２から第２の端面Ｃ２へ延びる第２の延出領域１５Ａｗ２からなる。

第１の延出領域１５Ａｗ１と第２の延出領域１５Ａｗ２は、それぞれ第１の端面Ｃ１と第２の端面Ｃ２に露出し、それぞれ第１の端面外部電極３ａと

第２の端面外部電極３ｂに接続されている。

[0024] 第１の内部電極層１５Ａにおいて、第１の引き出し部１５Ａｂ１の第１の延出領域１５Ａｗ１と第２の引き出し部１５Ａｂ２の第２の延出領域１５Ａｗ２の幅方向Ｗの長さは、第１の対向部１５Ａａの幅方向Ｗの長さよりも短い。このように、第１の延出領域１５Ａｗ１と第２の延出領域１５Ａｗ２の幅方向Ｗの長さを短くすることにより、外部からの水分の浸入を抑えることができるため、積層セラミックコンデンサの信頼性を高めることができる。

[0025]（第２の内部電極層１５Ｂ）

図５は、積層セラミックコンデンサ１の第２の内部電極層１５Ｂに沿った断面図である。図５に示すように、第２の内部電極層１５Ｂは、積層体２よりも一回り小さく、各辺が端面Ｃおよび側面Ｂから一定距離離間した矩形状の第２の対向部１５Ｂａと、第２の対向部１５Ｂａから第１の側面Ｂ１と第２の側面Ｂ２にそれぞれ延びる第１の引き出し部１５Ｂｂ１と第２の引き出し部１５Ｂｂ２を有する。

また、第２の対向部１５Ｂａには、第１の端面Ｃ１側の一辺に沿って第１の縁辺領域１５Ｂｅ１があり、第２の端面Ｃ２側の一辺に沿って第２の縁辺領域１５Ｂｅ２がある。

第１の引き出し部１５Ｂｂ１と第２の引き出し部１５Ｂｂ２は、それぞれ積層体２の第１の側面Ｂ１と第２の側面Ｂ２に露出し、第１の側面外部電極４ａと第２の側面外部電極４ｂに接続されている。

[0026] 第２の内部電極層１５Ｂにおいて、第１の引き出し部１５Ｂｂ１と第２の引き出し部１５Ｂｂ２の長さ方向Ｌの長さは、第２の対向部１５Ｂａの長さ方向Ｌの長さよりも短い。このように、第１の引き出し部１５Ｂｂ１と第２の引き出し部１５Ｂｂ２の長さ方向Ｌの長さを短くすることにより、外部からの水分の浸入を抑えることができるため、積層セラミックコンデンサの信頼性を高めることができる。

[0027]（外層部１２）

外層部１２は、図２および図３に示すような、内層部１１の第１の主面Ａ

１側と第２の主面Ａ２側に配置される一定厚みの誘電体層である。外層部１２は、内層部１１の誘電体層１４と同じ材料で製造されている。

[0028] 誘電体層の厚さは、特に限定されるものではないが、０．３μｍ以上１．５μｍ以下が好ましく、中でも０．５μｍ以上１μｍが好ましい。内層部１１と外層部１２からなる積層体２は、１４枚以上１０００枚以下の誘電体層により形成することができる。

[0029]（端面外部電極３）

積層体２の第１の端面Ｃ１には第１の端面外部電極３ａが配置され、第２の端面Ｃ２には第２の端面外部電極３ｂが配置されている。第１の端面外部電極３ａには第１の内部電極層１５Ａの第１の引き出し部１５Ａｂ１が接続されている。また、第２の端面外部電極３ｂには第１の内部電極層１５Ａの第２の引き出し部１５Ａｂ２が接続されている。第１の端面外部電極３ａと第２の端面外部電極３ｂは、それぞれ第１の端面Ｃ１と第２の端面Ｃ２だけでなく、第１の主面Ａ１、第２の主面Ａ２、第１の側面Ｂ１および第２の側面Ｂ２の一部も覆っている。

[0030]（側面外部電極４）

積層体２の第１の側面Ｂ１と第２の側面Ｂ２にはそれぞれ第１の側面外部電極４ａと第２の側面外部電極４ｂが配置されている。

第１の側面外部電極４ａには第２の内部電極層１５Ｂの第１の引き出し部１５Ｂｂ１が接続され、第２の側面外部電極４ｂには第２の内部電極層１５Ｂの第２の引き出し部１５Ｂｂ２が接続されている。第１の側面外部電極４ａと第２の側面外部電極４ｂは、それぞれ第１の側面Ｂ１と第２の側面Ｂ２だけでなく、第１の主面Ａ１と第２の主面Ａ２の一部も覆っている。

[0031] 第１の内部電極層１５Ａが第１の端面外部電極３ａと第２の端面外部電極３ｂに接続され、第２の内部電極層１５Ｂが第１の側面外部電極４ａと第２の側面外部電極４ｂに接続された積層セラミックコンデンサ１は、３端子型コンデンサとして使用することができる。すなわち、積層セラミックコンデンサ１は、回路において電源ラインまたは信号ラインを途中で中断し、中断

した一方に第１の端面外部電極３ａを接続し、中断した他方に第２の端面外部電極３ｂを接続し、かつ、第１の側面外部電極４ａと第２の側面外部電極４ｂをグランドに接続することによって、３端子型コンデンサとして使用することができる。この場合、第１の内部電極層１５Ａがスルー電極になり、第２の内部電極層１５Ｂがグランド電極になる。

[0032] 端面外部電極３と側面外部電極４は、たとえば、下地電極層と、下地電極層上に配置されためっき層を備えた構造とすることができる。

[0033] 下地電極層は、以下に説明するような、焼き付け層、導電性樹脂層、直接めっき層等から選ばれる少なくとも１つの層を含む。

[0034] （焼き付け層）

焼き付け層は、ガラスおよび金属を含む導電性ペーストを積層体に塗布して焼き付けたものであり、内部電極層と同時焼成したものでもよく、内部電極層を焼成した後に焼き付けてもよい。焼き付け処理の温度は、７００～９００℃であることが好ましい。

[0035] ガラス成分は、Ｂ、Ｓｉ、Ｂａ、Ｍｇ、Ａｌ、Ｌｉ等から選ばれる少なくとも１つを含む。また、金属としては、たとえば、Ｃｕ、Ｎｉ、Ａｇ、Ｐｄ、Ａｇ－Ｐｄ合金、Ａｕ等から選ばれる少なくとも１つを含む。

[0036] 焼き付け層の厚さは、たとえば、３μｍ以上７０μｍ以下であることが好ましい。また、焼き付け層は、複数層であってもよい。

[0037] （導電性樹脂層）

導電性樹脂層は、焼き付け層の表面に形成されるか、あるいは、積層体の表面上に直接形成される。導電性樹脂層は、複数層であってもよい。

[0038] 導電性樹脂層の形成方法としては、熱硬化性樹脂および金属成分を含む導電性樹脂ペーストを焼き付け層上もしくは積層体上に塗布し、２５０～５５０℃以上の温度で熱処理を行い、樹脂を熱硬化させ、導電性樹脂層を形成する。この時の熱処理時の雰囲気は、N_2雰囲気であることが好ましい。また、樹脂の飛散を防ぎ、かつ、各種金属成分の酸化を防ぐため、酸素濃度は１００ｐｐｍ以下に抑えることが好ましい。

[0039] 端面Ｃの中央部における導電性樹脂層の厚さは、たとえば、１０μｍ以上１５０μｍ以下であることが好ましい。

[0040] 導電性樹脂層の樹脂としては、たとえば、エポキシ樹脂、フェノール樹脂、ウレタン樹脂、シリコーン樹脂、ポリイミド樹脂などの公知の種々の熱硬化性樹脂を使用することができる。その中でも、耐熱性、耐湿性、密着性などに優れたエポキシ樹脂は最も適切な樹脂の一つである。導電性樹脂層に含まれる樹脂は、導電性樹脂全体の体積に対して、２５vol％以上６５vol％以下で含まれていることが好ましい。

[0041] また、導電性樹脂層には、熱硬化性樹脂とともに、硬化剤を含むことが好ましい。硬化剤としては、ベース樹脂としてエポキシ樹脂を用いる場合、エポキシ樹脂の硬化剤としては、フェノール系、アミン系、酸無水物系、イミダゾール系など公知の種々の化合物を使用することができる。

[0042] 導電性樹脂層は、熱硬化性樹脂を含むため、たとえば、めっき膜や導電性ペーストの焼成物からなる導電層よりも柔軟性に富んでいる。このため、セラミック電子部品に物理的な衝撃や熱サイクルに起因する衝撃が加わった場合であっても、導電性樹脂層が緩衝層として機能し、セラミック電子部品へのクラックを防止することができる。

[0043] 導電性樹脂層に含まれる金属としては、Ａｇ、Ｃｕ、または、それらの合金を使用することができる。また、金属粉の表面にＡｇコーティングされたものを使用することができる。金属粉の表面にＡｇコーティングされたものを使用する際には金属粉としてＣｕやＮｉを用いることが好ましい。またＣｕに酸化防止処理を施したものを使用することもできる。

[0044] 導電性金属にＡｇの導電性金属粉を用いる理由としては、Ａｇは比抵抗が低いため電極材料に適しており、また貴金属であるため酸化せず安定性が高いためである。なお、Ａｇコーティングされた金属を用いる理由としては、上記のＡｇの特性は保ちつつ、母材の金属を安価なものにすることが可能になるためである。

[0045] 導電性樹脂層に含まれる金属は、導電性樹脂全体の体積に対して、３５vol

％以上７５vol％以下で含まれていることが好ましい。

[0046] 導電性樹脂層に含まれる金属の形状は、特に限定されない。導電性フィラーは、球状、扁平状等であってもよい。導電性樹脂層に含まれる金属の平均粒径は、特に限定されないが、たとえば、０．３μｍ以上１０μｍ以下程度にすることができる。

[0047] 導電性樹脂層に含まれる金属は、主に導電性樹脂層の通電性を担う。具体的には、導電性フィラーどうしが接触することにより、導電性樹脂層内部に通電経路が形成される。

[0048] （めっき層）

積層体の内部電極層が露出する端面に直接めっき層を設けてもよい。すなわち、積層セラミックコンデンサは、内部電極層、表面電極層に電気的に直接接続するめっき層を含む構造であってもよい。このような場合、前処理として積層体の表面に触媒を配設した後で、直接めっき層が形成されてもよい。

[0049] めっき層は、たとえば、Ｃｕ、Ｎｉ、Ｓｎ、Ｐｂ、Ａｕ、Ａｇ、Ｐｄ、ＢｉまたはＺｎなどから選ばれる少なくとも１種の金属または当該金属を含む合金を含むことが好ましい。たとえば、第１の内部電極層および第２の内部電極層がＮｉを用いて形成される場合、直接めっき層は、Ｎｉと接合性のよいＣｕを用いて形成されることが好ましい。

[0050] めっき層の１層あたりの厚さは、２μｍ以上１５μｍ以下であることが好ましい。めっき層は、ガラスを含まないことが好ましい。めっき層の単位体積あたりの金属割合は、９９体積％以上であることが好ましい。

[0051] めっき処理を行うにあたっては、電解めっき、無電解めっきのどちらを採用してもよいが、無電解めっきはめっき析出速度を向上させるために、触媒などによる前処理が必要となり、工程が複雑化するというデメリットがある。したがって、通常は、電解めっきを採用することが好ましい。めっき工法としては、バレルめっきを用いることが好ましい。また、必要に応じて、下層めっき電極の表面に形成される上層めっき電極を同様に形成してもよい。

[0052] 下地電極層が薄膜層の場合、薄膜層は、スパッタ法または蒸着法等の薄膜形成法により形成され、金属粒子が堆積された１μｍ以下の層である。

[0053] 下地電極層の上に配置されるめっき層は、たとえば、Ｃｕ、Ｎｉ、Ａｇ、Ｐｄ、Ａｇ－Ｐｄ合金、Ａｕ等から選ばれる少なくとも１つを含む。

[0054] めっき層は複数層により形成されていてもよい。好ましくは、Ｎｉめっき、Ｓｎめっきの２層構造である。Ｎｉめっき層は、下地電極層がセラミック電子部品を実装する際のはんだによって侵食されることを防止することができ、Ｓｎめっき層は、セラミック電子部品を実装する際のはんだの濡れ性を向上させ、容易に実装することができる。めっき層一層あたりの厚さは、２ｍ以上１５μｍ以下であることが好ましい。

[0055] 図３に示すように、積層方向Ｔに隣り合う第２の内部電極層１５Ｂ間の距離であって、第１の縁辺領域１５Ｂｅ１において積層方向Ｔに第１の内部電極層１５Ａと重なる第２の内部電極層間の距離である第１の距離Ｔ１は、積層方向Ｔに隣り合う第１の内部電極層１５Ａ間の距離であって、第１の移行領域１５Ａｔ１において積層方向Ｔに第２の内部電極層１５Ｂと重ならない第１の内部電極層間の距離である第２の距離Ｔ２よりも長い部分を有する。

[0056] また、第１の距離Ｔ１は、積層方向Ｔに隣り合う第１の内部電極層１５Ａ間の距離であって、第１の対向部１５Ａａの中央領域において積層方向Ｔに第２の内部電極層１５Ｂと重なる第１の内部電極層１５Ａ間の距離である第３の距離Ｔ３よりも長い部分を有する。

[0057] 上記の第１の距離Ｔ１、第２の距離Ｔ２および第３の距離Ｔ３は、第２の端面Ｃ２側でも同様の関係にあり、積層方向Ｔに隣り合う第２の内部電極層１５Ｂ間の距離であって、第２の縁辺領域１５Ｂｅ２において積層方向Ｔに第１の内部電極層１５Ａと重なる第２の内部電極層１５Ｂ間の距離である第４の距離Ｔ４は、積層方向Ｔに隣り合う第１の内部電極層１５Ａ間の距離であって、第２の移行領域１５Ａｔ２において積層方向Ｔに第２の内部電極層１５Ｂと重ならない第１の内部電極層間の距離である第５の距離Ｔ５よりも長い部分を有する。

[0058] また、第４の距離Ｔ４は、積層方向Ｔに隣り合う第１の内部電極層１５Ａ間の距離であって、第１の対向部１５Ａａの中央領域において積層方向Ｔに第２の内部電極層１５Ｂと重なる第１の内部電極層１５Ａ間の距離である第３の距離Ｔ３よりも長い部分を有する。

[0059] 第１の距離Ｔ１、第２の距離Ｔ２、第３の距離Ｔ３、第４の距離Ｔ４、および第５の距離Ｔ５は、図１に示すＩＩＩ－ＩＩＩ線に沿って側面Ｂと平行に積層セラミックコンデンサ１を研磨し断面を露出させ、この断面を走査型電子顕微鏡を用いて観察することによって、各部位における距離を測定することができる。

具体的には、第１の距離Ｔ１の測定は、積層セラミックコンデンサ１を幅方向の長さに対して垂直になるように、積層セラミックコンデンサ１の幅方向寸法の１／２となる位置まで断面研磨した断面で測定する。上記の断面において、内層部の厚み寸法が３等分となるように３つの領域に分け、各領域からそれぞれ２０箇所のＴ１の寸法を走査型顕微鏡（ＳＥＭ）を用いて測定する。最後に、それらの平均値をとって第１の距離Ｔ１とする。

第２の距離Ｔ２の測定も同様に、上記の断面において、内層部の厚み寸法が３等分となるように３つの領域に分け、各領域からそれぞれ２０箇所のＴ２の寸法を査定型顕微鏡（ＳＥＭ）を用いて測定する。最後に、それらの平均値をとって第２の距離Ｔ２とする。

第３の距離Ｔ３も同様に、上記の断面において、内層部の厚み寸法が３等分となるように３つの領域に分け、各領域からそれぞれ２０箇所のＴ３の寸法を走査型顕微鏡（ＳＥＭ）を用いて測定する。最後に、それらの平均値をとって第３の距離Ｔ３とする。

第４の距離Ｔ４も同様に、上記の断面において、内層部の厚み寸法が３等分となるように３つの領域に分け、各領域からそれぞれ２０箇所のＴ４の寸法を走査型顕微鏡（ＳＥＭ）を用いて測定する。最後に、それらの平均値をとって第４の距離Ｔ４とする。

第５の距離Ｔ５も同様に、上記の断面において、内層部の厚み寸法が３等分

となるように３つの領域に分け、各領域からそれぞれ２０箇所のＴ５の寸法を走査型顕微鏡（ＳＥＭ）を用いて測定する。最後に、それらの平均値をとって第５の距離Ｔ５とする。

なお、 第１の距離Ｔ１は１．５μｍ以上８．２μｍ以下であることが好ましく、第２の距離Ｔ２は、１．１μｍ以上７．２μｍ以下であることが好ましく、第３の距離Ｔ３は、１．１μｍ以上５．０μｍ以下であることが好ましく、第４の距離Ｔ４は、１．５μｍ以上８．２μｍ以下であることが好ましく、第５の距離Ｔ５は、１．１μｍ以上７．２μｍ以下であることが好ましい。

[0060]（積層セラミックコンデンサ１の製造方法）

次に、積層セラミックコンデンサ１の製造方法について説明する。図６は積層セラミックコンデンサ１の製造方法を説明するフローチャートである。また、図７から図１２は、製造方法を説明する工程図である。

[0061]（内部電極層パターン形成工程Ｓ１）

まず、図７に示すように、誘電体層１４ｃとなる第１のセラミックグリーンシート１１４Ａに、導電性ペーストにより第１の内部電極層１５Ａとなる第１の内部電極層パターン１１５Ａを形成する。

第１の内部電極層パターン１１５Ａは、複数の第１の内部電極層１５Ａが長さ方向Ｌに連続しているが幅方向Ｗには不連続な形状である。

[0062] また、図８に示すように、誘電体層１４ｃとなる第２のセラミックグリーンシート１１４Ｂに、導電性ペーストにより第２の内部電極層１５Ｂとなる第２の内部電極層パターン１１５Ｂを形成する。

第２の内部電極層パターン１１５Ｂは、複数の第２の内部電極層１５Ｂが幅方向Ｗに連続しているが長さ方向Ｌには不連続な形状である。

[0063] セラミックグリーンシート１１４は、セラミックス粉末、バインダおよび溶剤を含むセラミックスラリーがキャリアフィルム上においてダイコータ、グラビアコータ、マイクログラビアコータ等を用いてシート状に成形された帯状のシートである。

[0064] 第１の内部電極層パターン１１５Ａおよび第２の内部電極層パターン１１５Ｂは、たとえば、スクリーン印刷、グラビア印刷、凸版印刷等の印刷によって形成する。

[0065] （セラミックペースト配置工程Ｓ２）

次いで、図９に示すように、図７で示した第１のセラミックグリーンシート１１４Ａに第１の内部電極層パターン１１５Ａが形成されたシート上に、誘電体層１４ａを形成するセラミックペースト１１４ａを塗布する。誘電体層１４ａの厚さは、誘電体層１４ｃの厚さの０．４～０．８倍である。

セラミックペースト１１４ａは、第１の実施形態では、第１のセラミックグリーンシート１１４Ａにおける、第１の内部電極層パターン１１５Ａが配置されていない部分の全体を埋めるとともに、

第１の内部電極層１５Ａの長さ方向Ｌの両側であって、

積層方向Ｔからの平面視において第２の内部電極層１５Ｂの第１の縁辺領域１５Ｂｅ１と重なる、第１の対向部１５Ａａの第１の端面Ｃ１側の一部と第１の移行領域１５Ａｔ１に相当する領域および積層方向Ｔからの平面視において第２の内部電極層１５Ｂの第２の縁辺領域１５Ｂｅ２と重なる、第１の対向部１５Ａａの第２の端面Ｃ２側の一部と第２の移行領域１５Ａｔ２に相当する領域から、第１の延出領域１５Ａｗ１と第２の延出領域１５Ａｗ２をつなぐ仮想領域を除いた範囲にオーバーラップするように配置する。

[0066] また、図１０に示すように、図８で示した第２のセラミックグリーンシート１１４Ｂに第２の内部電極層パターン１１５Ｂが形成されたシート上に、誘電体層１４ｂとなるセラミックペースト１１４ｂを塗布する。誘電体層１４ｂの厚さは、誘電体層１４ｃの厚さの０．４～０．８倍である。

第１の実施形態では、セラミックペースト１１４ｂは、第２のセラミックグリーンシート１１４Ｂにおける、第２の内部電極層パターン１１５Ｂが配置されていない部分の全体を埋めるとともに、さらに第２の内部電極層パターン１１５Ｂの第２の対向部１５Ｂａの長さ方向Ｌの両側縁にある第１の縁辺領域１５Ｂｅ１と第２の縁辺領域１５Ｂｅ２に相当する部分にオーバーラ

ップするように配置する。

[0067] セラミックペースト１１４ａは誘電体層１４ａを形成し、セラミックペースト１１４ｂは誘電体層１４ｂを形成するが、後述する積層工程Ｓ３を経てこれらが積層すると、図３に示すＬＴ断面のように、第１の内部電極層１５Ａにオーバーラップする誘電体層１４ａの先端位置と、第２の内部電極層１５Ｂにオーバーラップする誘電体層１４ｂの先端位置は、積層方向Ｔからの平面視において一致する。

[0068] なお、セラミックペースト１１４ａおよびセラミックペースト１１４ｂは、たとえば、スクリーン印刷、グラビア印刷、凸版印刷等の印刷によって付与する。セラミックペースト１１４ａ、１１４ｂは、セラミックグリーンシート１１４の材料としての誘電体との成分比が異なっていてもよく、同じ成分比であってもよく、異なる成分を含むものであってもよい。

[0069] （積層工程Ｓ３）

図１１は、長さ方向Ｌ中央のＷＴ断面での積層体２の積層状態を説明する図である。図１１においては、説明の都合上、積層される複数のセラミックグリーンシートが離れている状態が模式的に示されている。図１２、図１７および図１８も同様である。

図示するように、図９に示した、第１のセラミックグリーンシート１１４Ａに、第１の内部電極層パターン１１５Ａおよびセラミックペースト１１４ａが配置されたシートと、図１０に示した、第２のセラミックグリーンシート１１４Ｂに、第２の内部電極層パターン１１５Ｂおよびセラミックペースト１１４ｂが配置されたシートと、を交互に積層する。セラミックペースト１１４ａは、誘電体層１４ａを形成する。また、セラミックペースト１１４ｂは誘電体層１４ｂを形成する。第１の内部電極層パターン１１５Ａと第２の内部電極層パターン１１５Ｂはいずれも積層方向Ｔの間隔を一定にして幅方向Ｗに延びている。

[0070] 図１２は、図１のＩＩＩ－ＩＩＩ線に沿ったＬＴ断面での積層体２の積層状態を説明する図である。図１２において、セラミックペースト１１４ａは

、第１の内部電極層パターン１１５Ａの長さ方向Ｌの両端上部を覆っている。同様に、セラミックペースト１１４ｂは第２の内部電極層パターン１１５Ｂの長さ方向Ｌの両端上部を覆っている。セラミックペースト１１４ａは、誘電体層１４ａを形成する。また、セラミックペースト１１４ｂは、誘電体層１４ｂを形成する。

[0071] さらに、このように積層されたものの積層方向Ｔの両側に、外層部１２となる外層部用セラミックグリーンシート１１２を積み重ねる。

[0072]（マザーブロック形成工程Ｓ４）

外層部用セラミックグリーンシート１１２と、積み重ねられた複数のシートとを熱圧着してマザーブロックを形成する。

[0073]（マザーブロック分割工程Ｓ５）

次いで、マザーブロックを長さ方向Ｌと幅方向Ｗとに切断して分割し、矩形の積層体２を複数製造する。

[0074]（外部電極形成工程Ｓ６）

次に、積層体２の両端面Ｃに端面外部電極３を形成し、積層体２の両側面Ｂに側面外部電極４を形成する。

第１の端面外部電極３ａには第１の内部電極層１５Ａの第１の引き出し部１５Ａｂ１が接続し、第２の端面外部電極３ｂには第１の内部電極層１５Ａの第２の引き出し部１５Ａｂ２が接続する。端面外部電極３は、端面Ｃだけでなく、主面Ａおよび側面Ｂの端面Ｃ側の一部も覆うように形成する。

第１の側面外部電極４ａには第２の内部電極層１５Ｂの第１の引き出し部１５Ｂｂ１が接続し、第２の側面外部電極４ｂには第２の内部電極層１５Ｂの第２の引き出し部１５Ｂｂ２が接続する。側面外部電極４は、側面Ｂだけでなく、主面Ａの側面Ｂ側の一部も覆うように形成する。

[0075]（焼成工程Ｓ７）

そして、設定された焼成温度で、窒素雰囲気中で所定時間加熱する。これにより、外部電極が積層体２に焼き付けられ、図１に示す積層セラミックコンデンサ１が製造される。

[0076] 焼成工程では、積層チップに脱バインダ処理および焼成処理を施して、素体部（積層体２）にする。焼成処理により導電ペースト層と誘電体層用グリーンシートとが共焼結されて、それぞれ内部電極層１５と誘電体層１４とになる。脱バインダ処理の条件はグリーンシートおよび導電ペースト層に含まれる有機バインダの種類に応じて決めればよい。また焼成処理は、積層チップが十分に緻密化する温度で行えばよい。焼成温度は、誘電体や内部電極層の材料にもよるが、９００℃～１４００℃であることが好ましい。

[0077] なお、積層体２は、ＩＩ－ＩＩ線に沿ったＷＴ断面においては、図２に示すように、第１の内部電極層１５Ａと第２の内部電極層１５Ｂはいずれも積層方向Ｔの間隔を一定にして幅方向Ｗに延びている。

[0078]（外部電極形成工程Ｓ８）

必要に応じて、めっき層を設ける。本実施形態では焼き付け層上にＮｉめっき層およびＳｎめっき層を形成した。Ｎｉめっき層およびＳｎめっき層は、たとえばバレルめっき法により、順次形成される。このようにして、積層セラミックコンデンサ１を得ることができる。

[0079]（積層セラミックコンデンサ２００）

本発明の第２の実施形態として積層セラミックコンデンサ２００について説明する。以下では、積層セラミックコンデンサ２００の構成と製造方法について、積層セラミックコンデンサ１と異なる部分を中心に説明する。

[0080] 図１３は、積層セラミックコンデンサ２００の概略斜視図である。図中、XVII－XVII線は積層セラミックコンデンサ２００の長さ方向Ｌの中央部を通過する線である。また、XVIII－XVIII線は、後述する積層セラミックコンデンサ２００の第１の内部電極層１５Ａと第２の内部電極層１５Ｂが積層する範囲を通過するが、第１の内部電極層１５Ａの第１の引き出し部１５Ａｂ１の第１の延出領域１５Ａｗ１と第２の内部電極層１５Ｂの第２の引き出し部１５Ｂｂ２の第２の延出領域１５Ａｗ２を通過しない線である。

[0081]（端面外部電極３）

積層体２の第１の端面Ｃ１には第１の端面外部電極３ａが配置され、第２

の端面Ｃ２には第２の端面外部電極３ｂが配置されている。第１の端面外部電極３ａには第１の内部電極層１５Ａの第１の引き出し部１５Ａｂ１が接続されている。また、第２の端面外部電極３ｂには第２の内部電極層１５Ｂの第２の引き出し部１５Ｂｂ２が接続されている。第１の端面外部電極３ａと第２の端面外部電極３ｂは、それぞれ第１の端面Ｃ１と第２の端面Ｃ２だけでなく、第１の主面Ａ１、第２の主面Ａ２、第１の側面Ｂ１および第２の側面Ｂ２の一部も覆っている。

[0082]（第１の内部電極層１５Ａ）

図１４は、積層セラミックコンデンサ２００の第１の内部電極層１５Ａに沿った断面図である。図１４に示すように、第１の内部電極層１５Ａは、中央に後述する第２の内部電極層１５Ｂの第２の対向部１５Ｂａと誘電体層１４を挟んで向かい合う矩形状の第１の対向部１５Ａａと、当該第１の対向部１５Ａａから第１の端面Ｃ１へ延び出す第１の引き出し部１５Ａｂ１からなる。そして、第１の引き出し部１５Ａｂ１は、第１の端面Ｃ１に向かい、幅方向Ｗの長さが漸減する台形形状の第１の移行領域１５Ａｔ１と、さらに第１の移行領域１５Ａｔ１から第１の端面Ｃ１へ延びる第１の延出領域１５Ａｗ１からなる。第１の延出領域１５Ａｗ１は、第１の端面Ｃ１に露出し、第１の端面外部電極３ａに接続している。

[0083] また、第１の対向部１５Ａａには、第２の端面Ｃ２側の一辺に沿って第２の縁辺領域１５Ａｅ２がある。

[0084] 第１の内部電極層１５Ａにおいて、第１の引き出し部１５Ａｂ１の第１の延出領域１５Ａｗ１の幅方向Ｗの長さは、第１の対向部１５Ａａの幅方向Ｗの長さよりも短い。このように、第１の延出領域１５Ａｗ１の幅方向Ｗの長さを短くすることにより、外部からの水分の浸入を抑えることができるため、積層セラミックコンデンサの信頼性を高めることができる。

[0085]（第２の内部電極層１５Ｂ）

図１５は、積層セラミックコンデンサ２００の第２の内部電極層１５Ｂに沿った断面図である。図１５に示すように、第２の内部電極層１５Ｂは、中

央に第１の内部電極層１５Ａの第１の対向部１５Ａａと誘電体層１４を挟んで向かい合う矩形状の第２の対向部１５Ｂａと、当該第２の対向部１５Ｂａから第２の端面Ｃ２へ延び出す第２の引き出し部１５Ｂｂ２からなる。そして、第２の引き出し部１５Ｂｂ２は、第２の端面Ｃ２に向かい、幅方向Ｗの長さが漸減する台形形状の第２の移行領域１５Ｂｔ２と、さらに第２の移行領域１５Ｂｔ２から第２の端面Ｃ２へ延びる第２の延出領域１５Ｂｗ２からなる。第２の延出領域１５Ｂｗ２は、第１の端面Ｃ１に露出し、第１の端面外部電極３ａに接続している。

[0086] また、第２の対向部１５Ｂａには、第１の端面Ｃ１側の一辺に沿って第１の縁辺領域１５Ｂｅ１がある。

[0087] 第２の内部電極層１５Ｂにおいて、第２の引き出し部１５Ｂｂ２の第２の延出領域１５Ｂｗ２の幅方向Ｗの長さは、第２の対向部１５Ｂａの幅方向Ｗの長さよりも短い。このように、第２の延出領域１５Ｂｗ２の幅方向Ｗの長さを短くすることにより、外部からの水分の浸入を抑えることができるため、積層セラミックコンデンサの信頼性を高めることができる。

[0088] 第１の内部電極層１５Ａが第１の端面外部電極３ａに接続され、第２の内部電極層１５Ｂが第２の端面外部電極３ｂに接続された積層セラミックコンデンサ２００は、２端子型コンデンサとして使用することができる。

[0089]（セラミックペースト配置工程Ｓ２）

図１６は、内部電極層を印刷した２つのパターンを例示する。２つのパターンは、セラミックグリーンシートに内部電極層パターンが形成されたシート上に、誘電体層を形成するセラミックペーストを塗布した状態を示す。

第１の内部電極層１５Ａと第２の内部電極層１５Ｂは同じ形状であることから、製造時において区別されない。

[0090] パターンＰ１は、第１のセラミックグリーンシート１１４Ａに第１の内部電極層１５Ａあるいは第２の内部電極層１５Ｂを形成する第１の内部電極層パターン１１５Ａが印刷されたシート上に、セラミックペースト１１４ａを塗布した状態を示す。セラミックペースト１１４ａは、誘電体層１４ａある

いは誘電体層１４ｂを形成する。

また、パターンＰ２は、第２のセラミックグリーンシート１１４Ｂに第１の内部電極層１５Ａあるいは第２の内部電極層１５Ｂを形成する第２の内部電極層パターン１１５Ｂが形成されたシート上に、セラミックペースト１１４ｂを塗布した状態を示す。セラミックペースト１１４ｂは、誘電体層１４ａあるいは誘電体層１４ｂを形成する。

パターンＰ１とパターンＰ２は、第１のセラミックグリーンシート１１４Ａと第２のセラミックグリーンシート１１４Ｂに配置される第１の内部電極層パターン１１５Ａと第２の内部電極層パターン１１５Ｂの位置が異なるもので、パターンＰ１とパターンＰ２を交互に積層すると、第１の内部電極層１５Ａと第２の内部電極層１５Ｂが交互に形成されることとなる。

図中、パターンＰ１、パターンＰ２には、積層した後、カットする位置を示す点線を参考として表示している。

[0091] パターンＰ１において、セラミックペースト１１４ａは、第１のセラミックグリーンシート１１４Ａにおける、第１の内部電極層パターン１１５Ａが配置されていない部分の全体を埋めるとともに、第１の内部電極層１５Ａにあっては、積層方向Ｔからの平面視において第２の内部電極層１５Ｂの第１の縁辺領域１５Ｂｅ１と重なる、第１の対向部１５Ａａの第１の端面Ｃ１側の一部と第１の移行領域１５Ａｔ１に相当する領域から、第１の延出領域１５Ａｗ１を長さ方向Ｌに延長した仮想領域を除いた範囲と、第２の縁辺領域１５Ａｅ２に相当する領域にオーバーラップするように配置し、また、第２の内部電極層１５Ｂにあっては、積層方向Ｔからの平面視において第１の内部電極層１５Ａの第２の縁辺領域１５Ａｅ２と重なる、第２の対向部１５Ｂａの第２の端面Ｃ２側の一部と第２の移行領域１５Ｂｔ２に相当する領域から、第２の延出領域１５Ｂｗ２を長さ方向Ｌに延長した仮想領域を除いた範囲と、第１の縁辺領域１５Ｂｅ１に相当する領域にオーバーラップするように配置している。

[0092] 同様に、パターンＰ２において、セラミックペースト１１４ｂは、第２の

セラミックグリーンシート１１４Ｂ上の、第２の内部電極層パターン１１５Ｂが配置されていない部分の全体を埋めるとともに、第１の内部電極層１５Ａにあっては、積層方向Ｔからの平面視において第２の内部電極層１５Ｂの第１の縁辺領域１５Ｂｅ１と重なる、第１の対向部１５Ａａの第１の端面Ｃ１側の一部と第１の移行領域１５Ａｔ１に相当する領域から、第１の延出領域１５Ａｗ１を長さ方向Ｌに延長した仮想領域を除いた範囲と、第２の縁辺領域１５Ａｅ２に相当する領域にオーバーラップするように配置し、また、第２の内部電極層１５Ｂにあっては、積層方向Ｔからの平面視において第１の内部電極層１５Ａの第２の縁辺領域１５Ａｅ２と重なる、第２の対向部１５Ｂａの第２の端面Ｃ２側の一部と第２の移行領域１５Ｂｔ２に相当する領域から、第２の延出領域１５Ｂｗ２を長さ方向Ｌに延長した仮想領域を除いた範囲と、第１の縁辺領域１５Ｂｅ１に相当する領域にオーバーラップするように配置している。

[0093] パターンＰ１で印刷された第１のセラミックグリーンシート１１４ＡとパターンＰ２で印刷された第２のセラミックグリーンシート１１４Ｂが交互に積層されたものの積層方向Ｔの両側に、さらに外層部１２となる外層部用セラミックグリーンシート１１２を積み重ねる。

[0094] 外層部用セラミックグリーンシート１１２と、積み重ねられた複数のシートとを静水圧プレス等の手段により、積層方向にプレスし、積層ブロックを作製する。次に、積層ブロックを所定のサイズにカットし、積層チップを切り出す。積層チップの側面に第１のサイドマージン部Ｗ１１および第２のサイドマージン部Ｗ１２用の誘電体シートを貼り付ける。

[0095] 図１７は、図１３に示すXVII－XVII線に沿って積層セラミックコンデンサ２００を切断したＷＴ断面における積層体２の積層状態を説明する図である。XVII－XVII線は積層セラミックコンデンサ１の長さ方向Ｌの中央部を通過する線である。図示するように、図１６で示した第１のセラミックグリーンシート１１４Ａに、第１の内部電極層パターン１１５Ａおよびセラミックペースト１１４ａが配置されたパターンＰ１のシートと、第２のセラミックグ

リーンシート１１４Ｂに、第２の内部電極層パターン１１５Ｂおよびセラミックペースト１１４ｂが配置されたパターンＰ２のシートと、が交互に積層している。第１の内部電極層パターン１１５Ａと第２の内部電極層パターン１１５Ｂはいずれも積層方向Ｔの距離を一定にして幅方向Ｗに延びている。

[0096] 図１８は、図１３に示すXVIII－XVIII線に沿って積層セラミックコンデンサ２００を切断したＬＴ断面における積層体２の積層状態を説明する図である。XVIII－XVIII線は、積層セラミックコンデンサ２００の第１の内部電極層１５Ａと第２の内部電極層１５Ｂが積層する範囲を通過するが、第１の内部電極層１５Ａの第１の引き出し部１５Ａｂ１の第１の延出領域１５Ａｗ１と第２の内部電極層１５Ｂの第２の引き出し部１５Ｂｂ２の第２の延出領域１５Ｂｗ２を通過しない線である。図１８において、セラミックペースト１１４ａは、第１の内部電極層パターン１１５Ａの長さ方向Ｌの両端上部を覆っている。同様に、セラミックペースト１１４ｂは第２の内部電極層パターン１１５Ｂの長さ方向Ｌの両端上部を覆っている。セラミックペースト１１４ａは、誘電体層１４ａを形成する。また、セラミックペースト１１４ｂは、誘電体層１４ｂを形成する。

[0097] 図１８に示す積層状態は、第１の実施形態の図１２に相当し、図１３における積層セラミックコンデンサ２００のXVIII－XVIII線に沿って切断した断面は、第１の実施態様の図３に相当する断面が形成されることとなる。

[0098] このため、第２の実施形態においても第１の実施形態と同様の効果を得ることができる。

[0099] 以上、本発明の実施形態について説明したが、本発明は実施形態に限定されるものではなく、本発明の要旨を逸脱しない範囲において種々の態様で実施することが可能である。

符号の説明

[0100] Ａ　主面

Ａ１　第１の主面

Ａ２　第２の主面

Ｂ　側面

Ｂ１　第１の側面

Ｂ２　第２の側面

Ｃ　端面

Ｃ１　第１の端面

Ｃ２　第２の端面

Ｔ１　第１の距離

Ｔ２　第２の距離

Ｔ３　第３の距離

Ｔ４　第４の距離

Ｔ５　第５の距離

Ｔ　積層方向

Ｗ　幅方向

Ｌ　長さ方向

１　積層セラミックコンデンサ

２　積層体

３　端面外部電極

３ａ　第１の端面外部電極

３ｂ　第２の端面外部電極

４　側面外部電極

４ａ　第１の側面外部電極

４ｂ　第２の側面外部電極

１１　内層部

１２　外層部

１４　誘電体層

１４ａ　誘電体層

１４ｂ　誘電体層

１４ｃ　誘電体層

１５　内部電極層

１５Ａ　第１の内部電極層

１５Ａａ　第１の対向部

１５Ａｂ１　第１の引き出し部

１５Ａｂ２　第２の引き出し部

１５Ａｅ２　第２の縁辺領域

１５Ａｔ１　第１の移行領域

１５Ａｔ２　第２の移行領域

１５Ａｗ１　第１の延出領域

１５Ａｗ２　第２の延出領域

１５Ｂ　第２の内部電極層

１５Ｂａ　第２の対向部

１５Ｂｂ１　第１の引き出し部

１５Ｂｂ２　第２の引き出し部

１５Ｂｅ１　第１の縁辺領域

１５Ｂｅ２　第２の縁辺領域

１５Ｂｔ２　第２の移行領域

１５Ｂｗ２　第２の延出領域

２００　積層セラミックコンデンサ

請求の範囲

[請求項1] 複数の積層された誘電体層と、前記誘電体層上に積層された複数の内部電極層とを有し、積層方向に相対する第１の主面および第２の主面と、積層方向に直交する長さ方向に相対する第１の端面および第２の端面と、前記積層方向および前記長さ方向に直交する幅方向に相対する第１の側面および第２の側面を有する積層体と、

複数の外部電極と、を有する積層セラミックコンデンサであって、

前記複数の内部電極層は、複数の第１の内部電極層と、複数の第２の内部電極層と、を有し、

前記第１の内部電極層は、前記誘電体層を介して前記第２の内部電極層と対向する第１の対向部と、前記第１の対向部から延び前記積層体の前記第１の端面に引き出される第１の引き出し部と、を有し、

前記第１の引き出し部は、幅方向の長さが漸減する第１の移行領域と、前記第１の移行領域から前記第１の端面に延出し、幅方向の長さが前記第１の対向部の幅方向の長さよりも短い第１の延出領域を有し、

前記第２の内部電極層は、前記第１の端面側に位置する第１の縁辺領域を有し、

前記積層方向に隣り合う前記第２の内部電極層間の距離であって、前記第１の縁辺領域において前記積層方向に前記第１の内部電極層と重なる前記第２の内部電極層間の距離である第１の距離Ｔ１は、前記積層方向に隣り合う前記第１の内部電極層間の距離であって、前記第１の移行領域において前記積層方向に前記第２の内部電極層と重ならない前記第１の内部電極層間の距離である第２の距離Ｔ２よりも長い部分を有する、積層セラミックコンデンサ。

[請求項2] 前記第１の距離Ｔ１は、前記積層方向に隣り合う前記第１の内部電極層間の距離であって、前記第１の対向部の中央領域において前記積層方向に前記第２の内部電極層と重なる前記第１の内部電極層間の距

離である距離Ｔ３よりも長い部分を有する、請求項１に記載の積層セラミックコンデンサ。

[請求項3] 前記第１の内部電極層は、前記第１の対向部から延び前記積層体の前記第２の端面に引き出される第２の引き出し部をさらに有し、

前記第２の内部電極層は、前記誘電体層を介して前記第１の内部電極層と対向する第２の対向部と、前記第２の対向部から延び前記積層体の第１の側面に引き出される第１の引き出し部と、を有し、

前記複数の外部電極は、

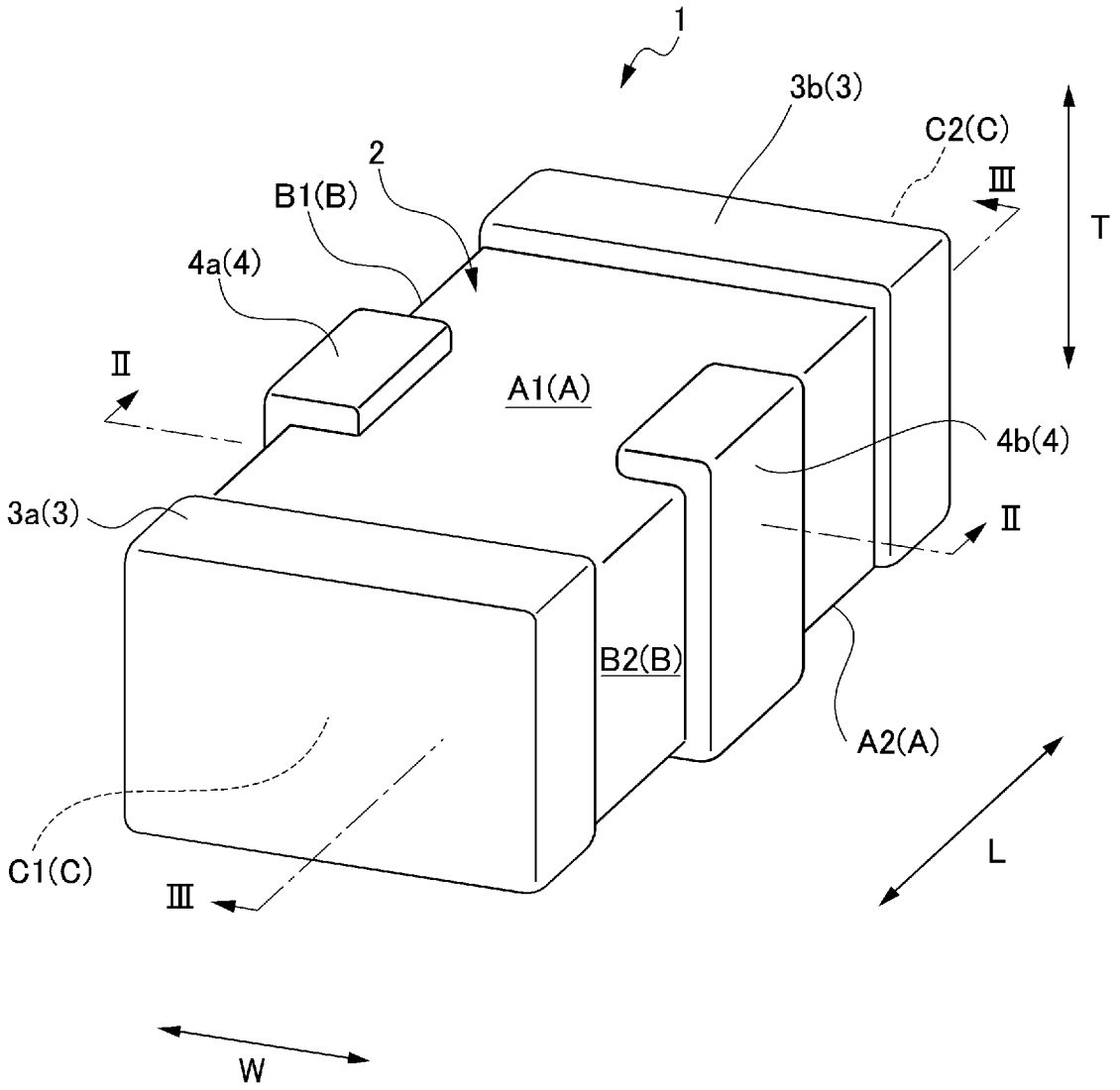
前記第１の内部電極層の前記第１の引き出し部と接続される第１の端面外部電極と、前記第１の内部電極層の前記第２の引き出し部に接続される第２の端面外部電極と、前記第２の内部電極層の前記第１の引き出し部と接続される第１の側面外部電極と、を有する、請求項１または請求項２に記載の積層セラミックコンデンサ。

[請求項4] 前記第２の内部電極層は、前記誘電体層を介して前記第１の内部電極層と対向する第２の対向部と、前記第２の対向部から延び前記積層体の前記第２の端面に引き出される第２の引き出し部と、を有し、

前記複数の外部電極は、前記第１の内部電極層の前記第１の引き出し部と接続される第１の端面外部電極と、前記第２の内部電極層の前記第２の引き出し部に接続される第２の端面外部電極と、を有する、請求項１または請求項２に記載の積層セラミックコンデンサ。

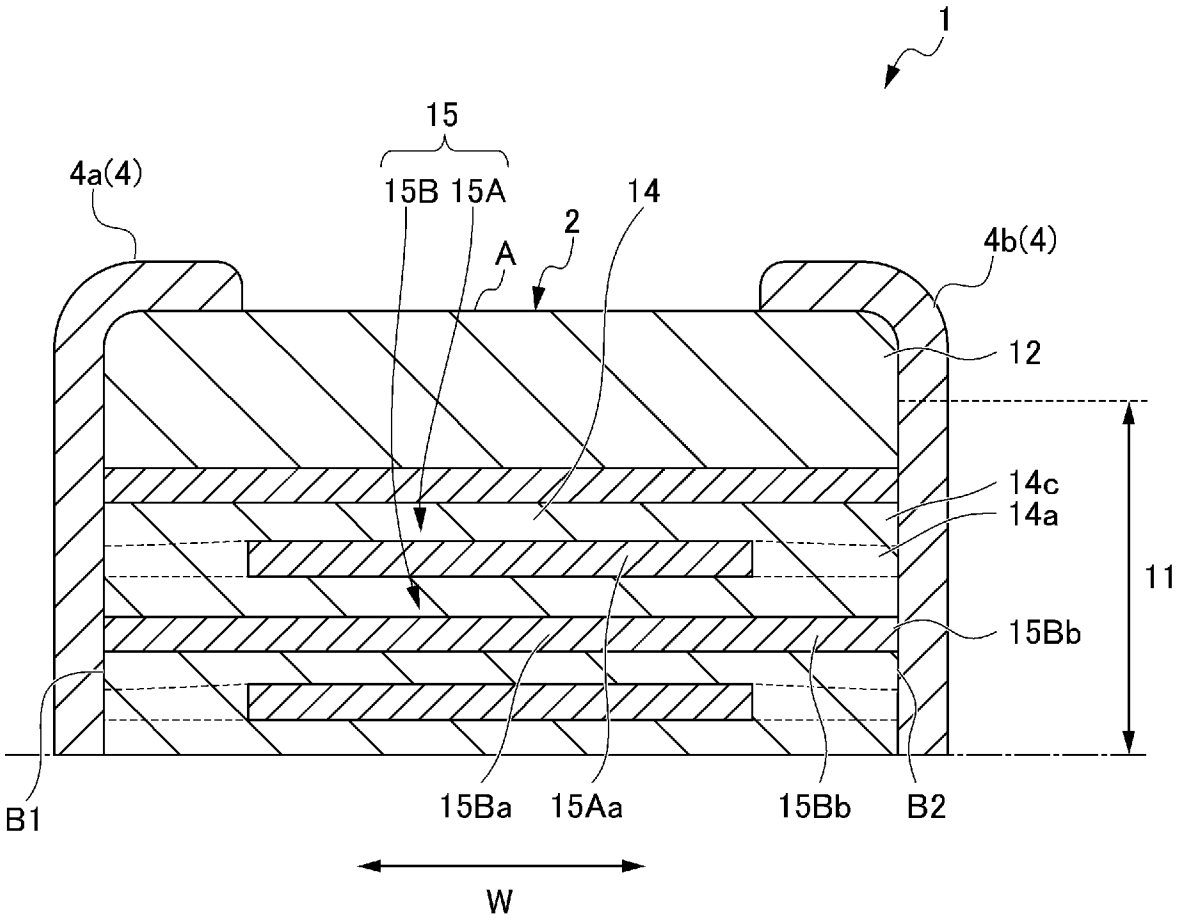
[図1]

図 1



[図2]

図 2


1
15
15B 15A
4a(4)
14
2
A
4b(4)
12
14c
14a
11
15Bb
B1
15Ba
15Aa
15Bb
B2
W

[図3]

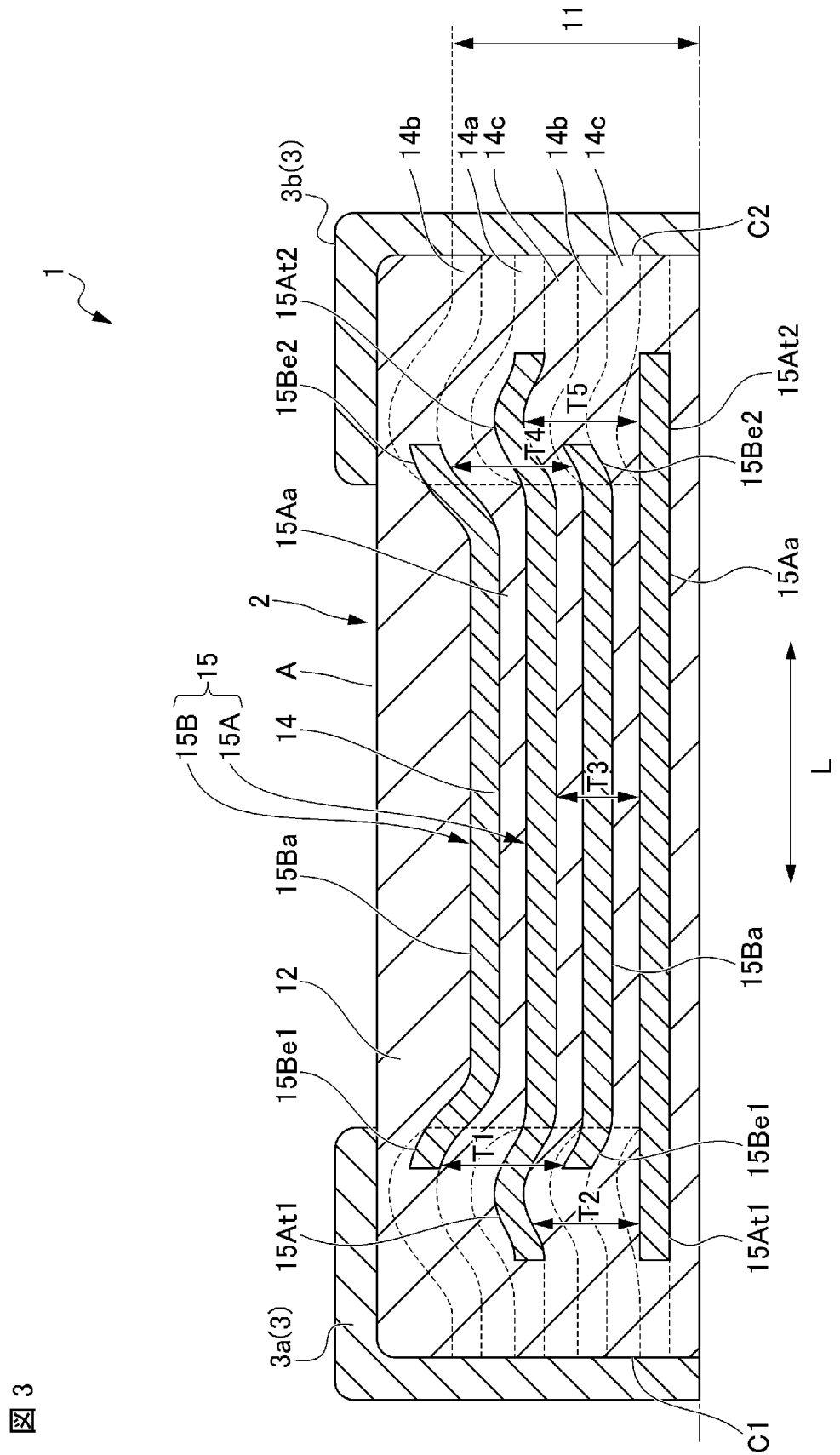
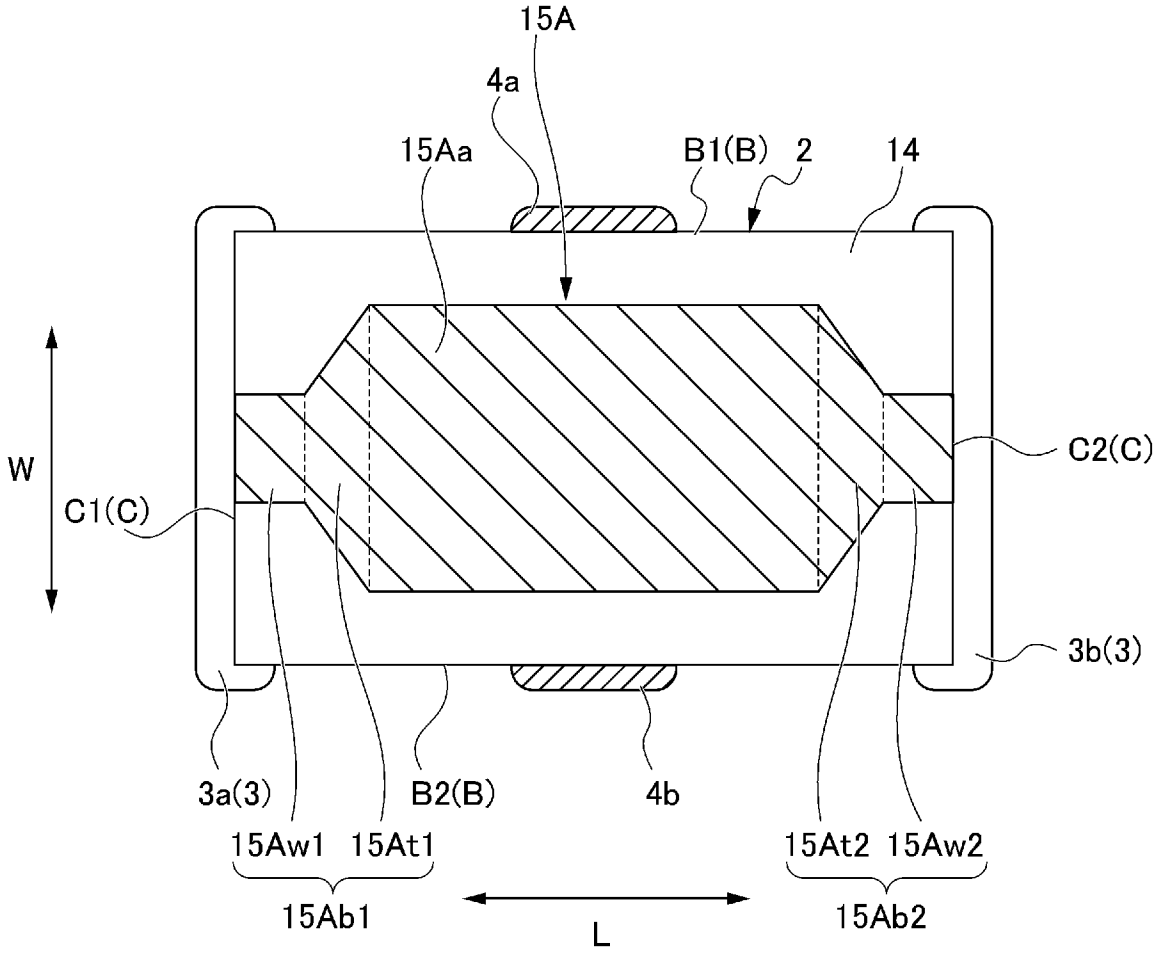

1
2
11
3b(3)
3a(3)
14b
14a
14c
14b
14c
C2
C1
15At2
15Be2
15Aa
15Ba
15Be1
15At1
15
15B
15A
14
A
12
T1
T2
T3
T4
T5
L

図3

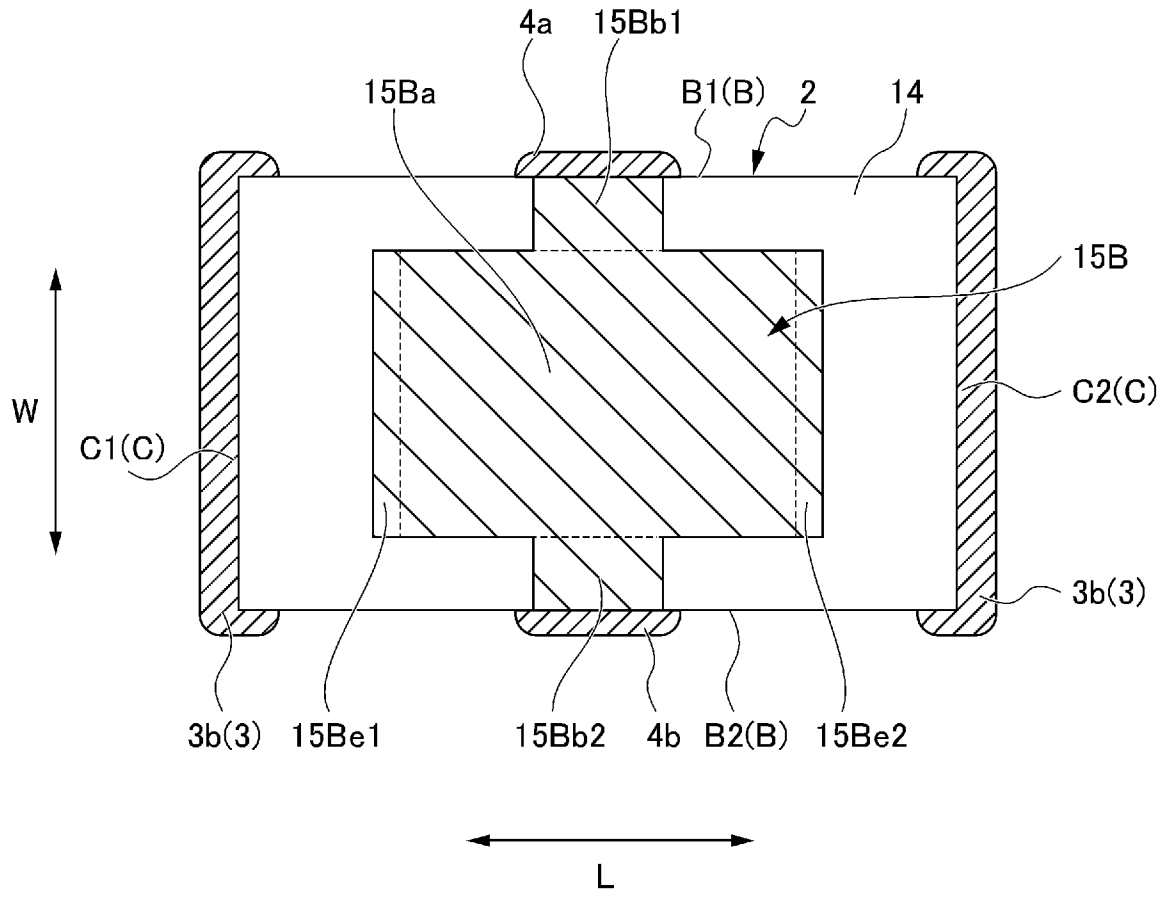
[図4]

図 4


15A
4a
15Aa
B1(B)
2
14
W
C1(C)
C2(C)
3b(3)
3a(3)
B2(B)
4b
15Aw1
15At1
15At2
15Aw2
15Ab1
15Ab2
L

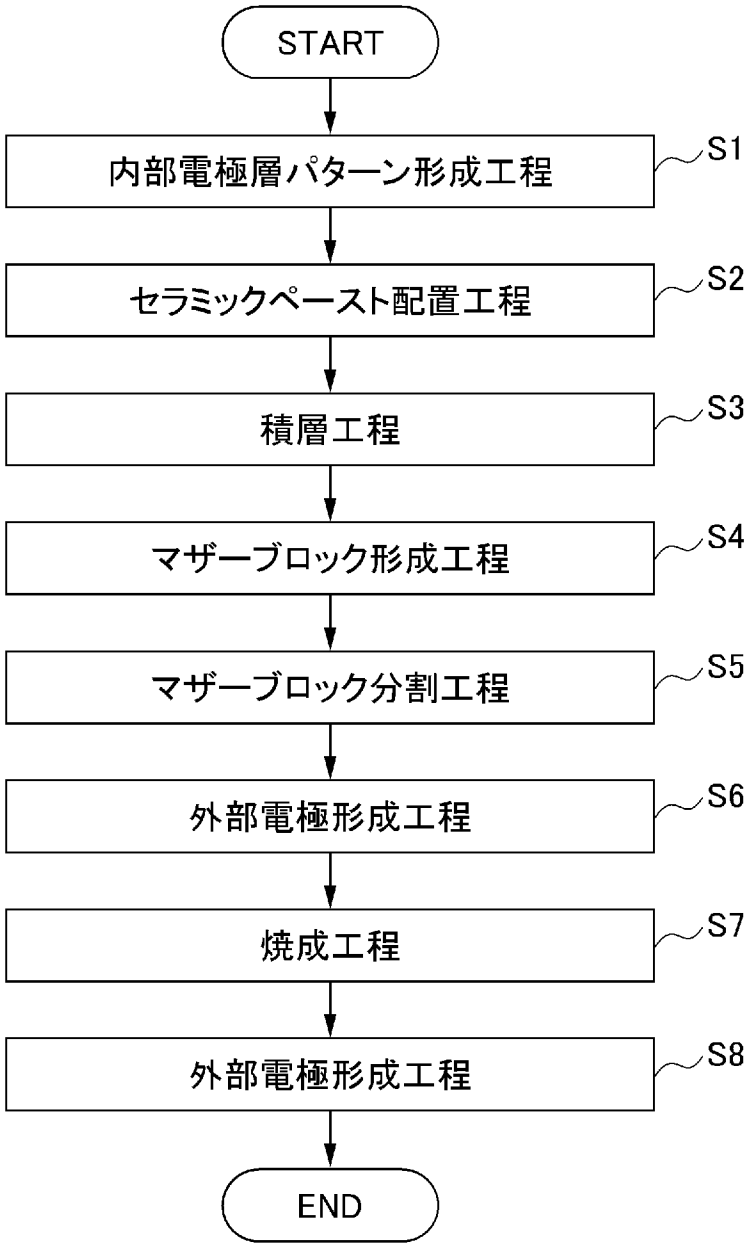
[図5]

図 5


4a
15Bb1
15Ba
B1(B)
2
14
15B
C2(C)
W
C1(C)
3b(3)
3b(3)
15Be1
15Bb2
4b
B2(B)
15Be2
L

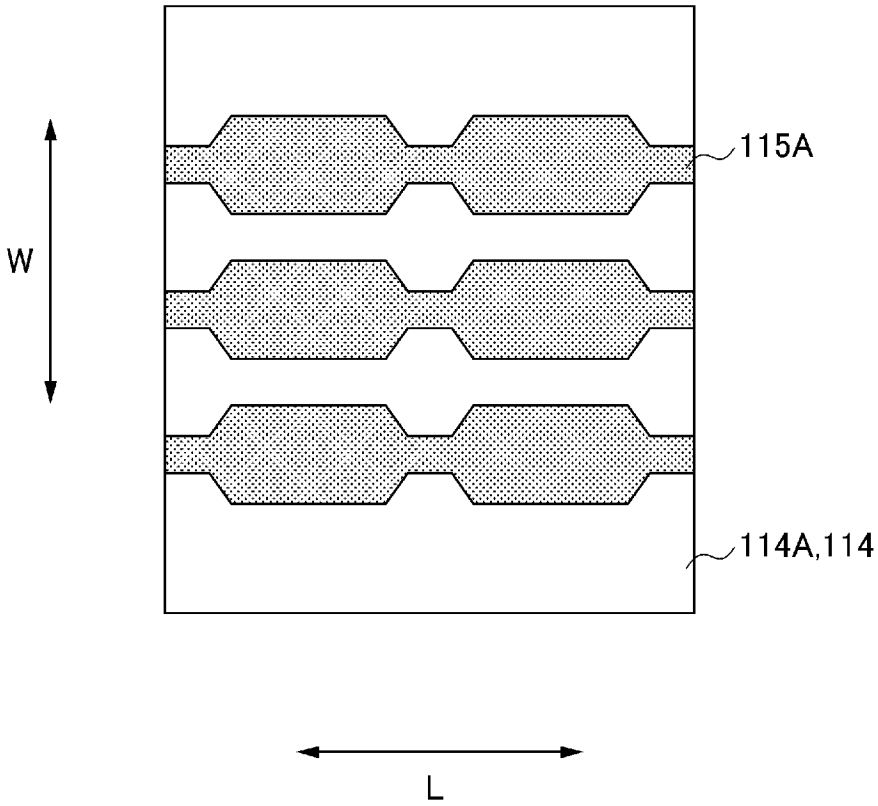
[図6]

図 6


START
内部電極層パターン形成工程
S1
セラミックペースト配置工程
S2
積層工程
S3
マザーブロック形成工程
S4
マザーブロック分割工程
S5
外部電極形成工程
S6
焼成工程
S7
外部電極形成工程
S8
END

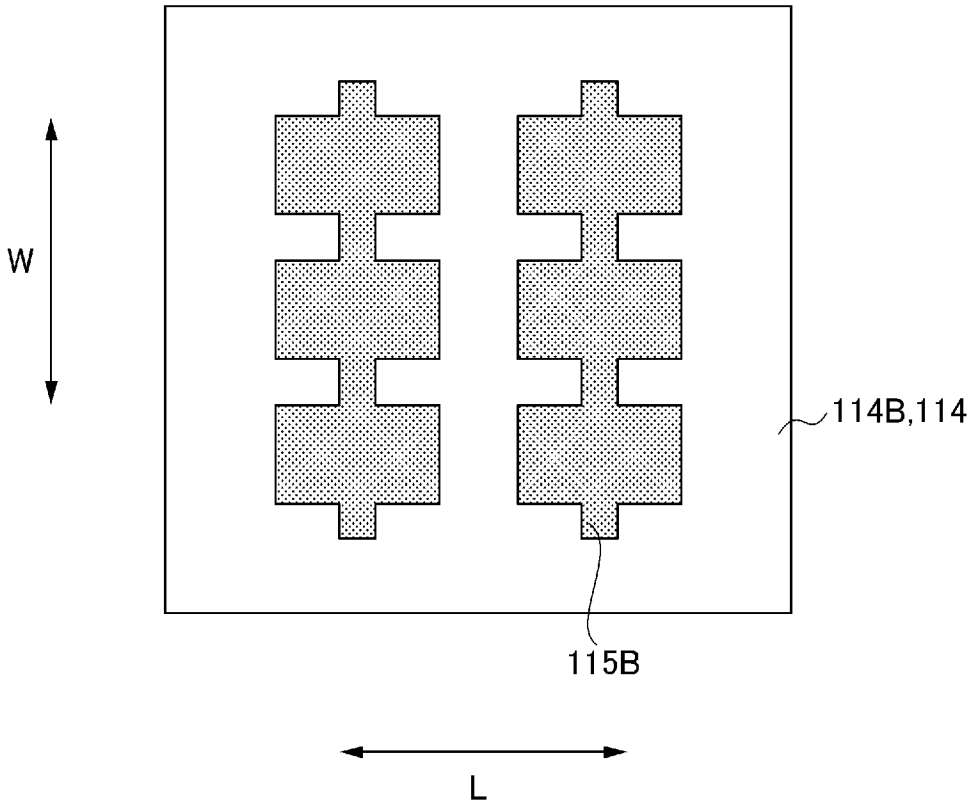
[図7]

図 7



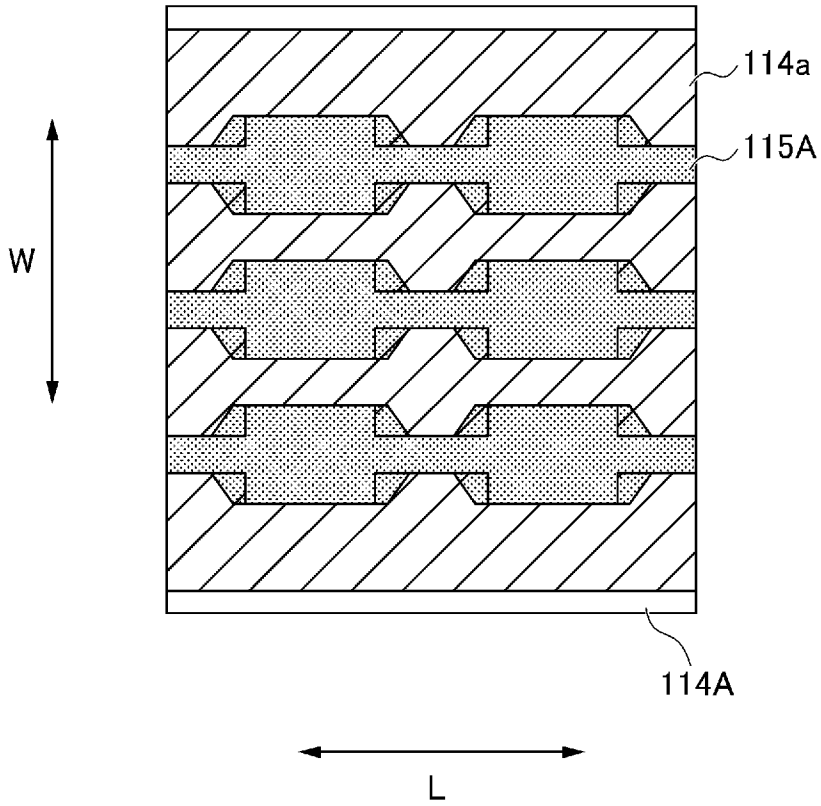
[図8]

図 8



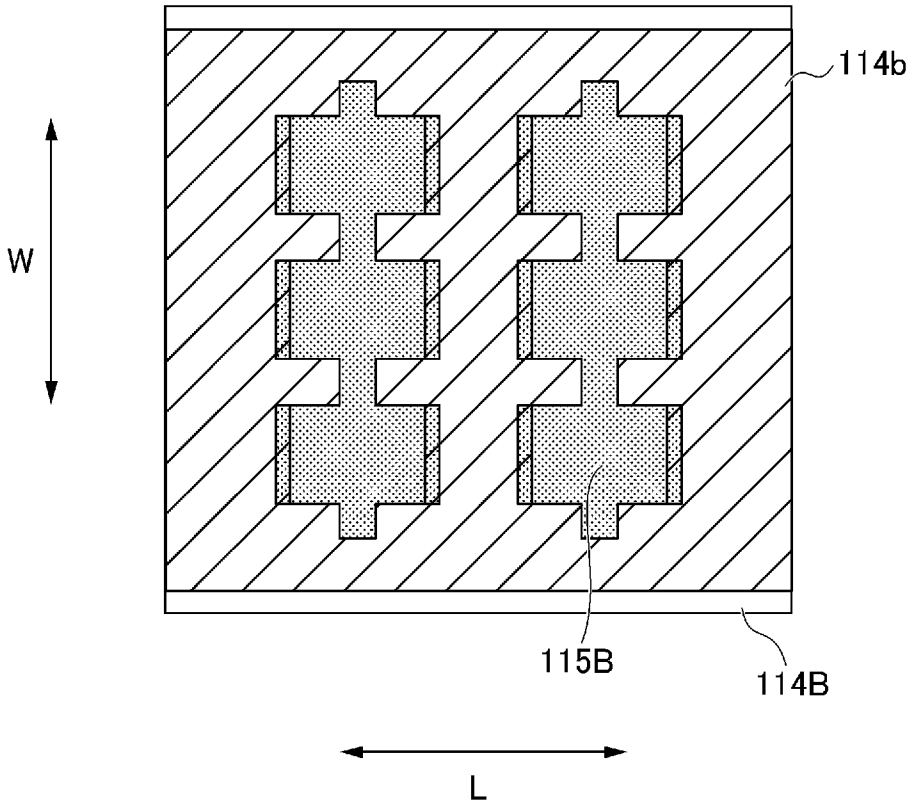
[図9]

図 9



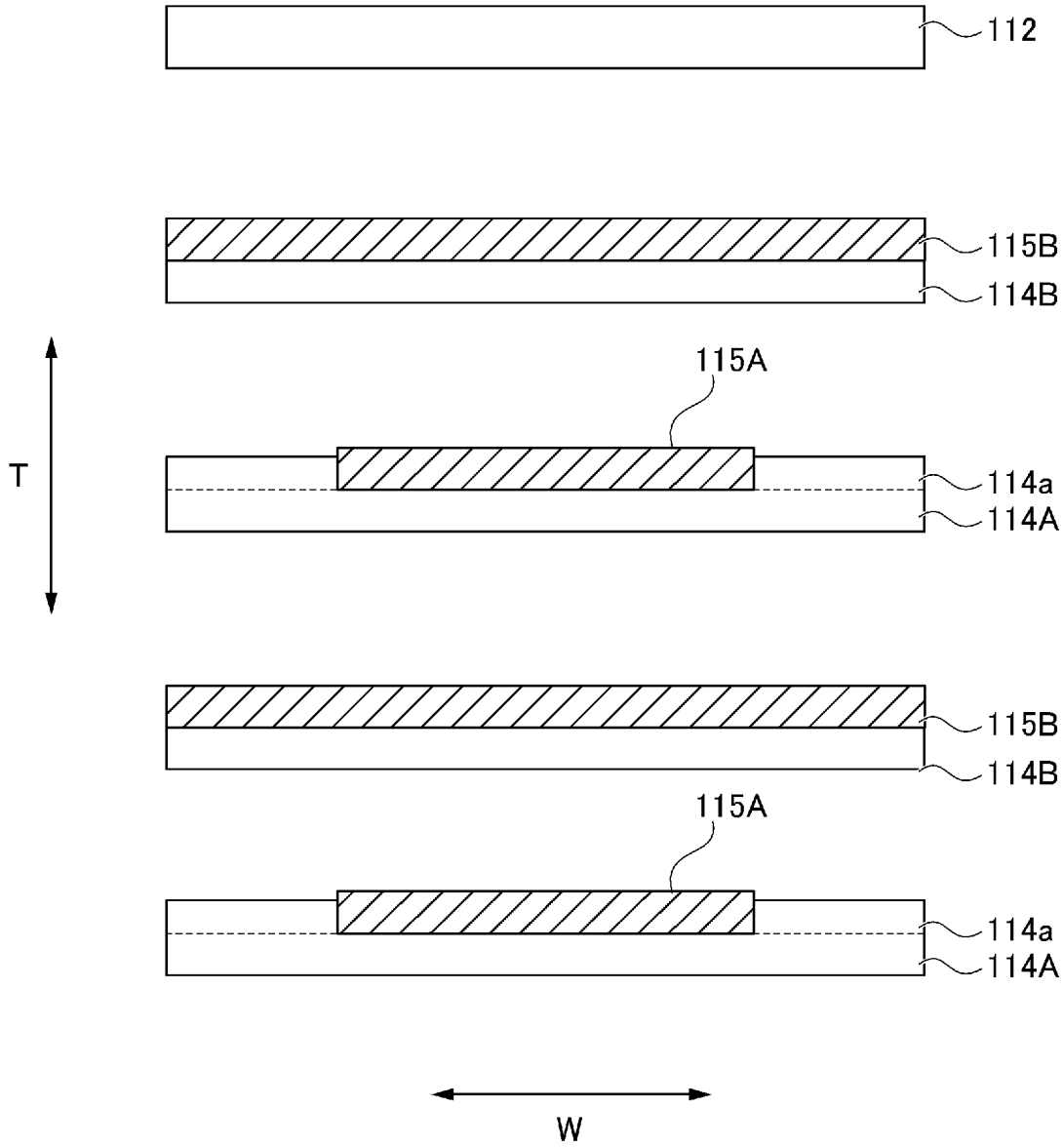
[図10]

図 10



[図11]

図 11



[図12]

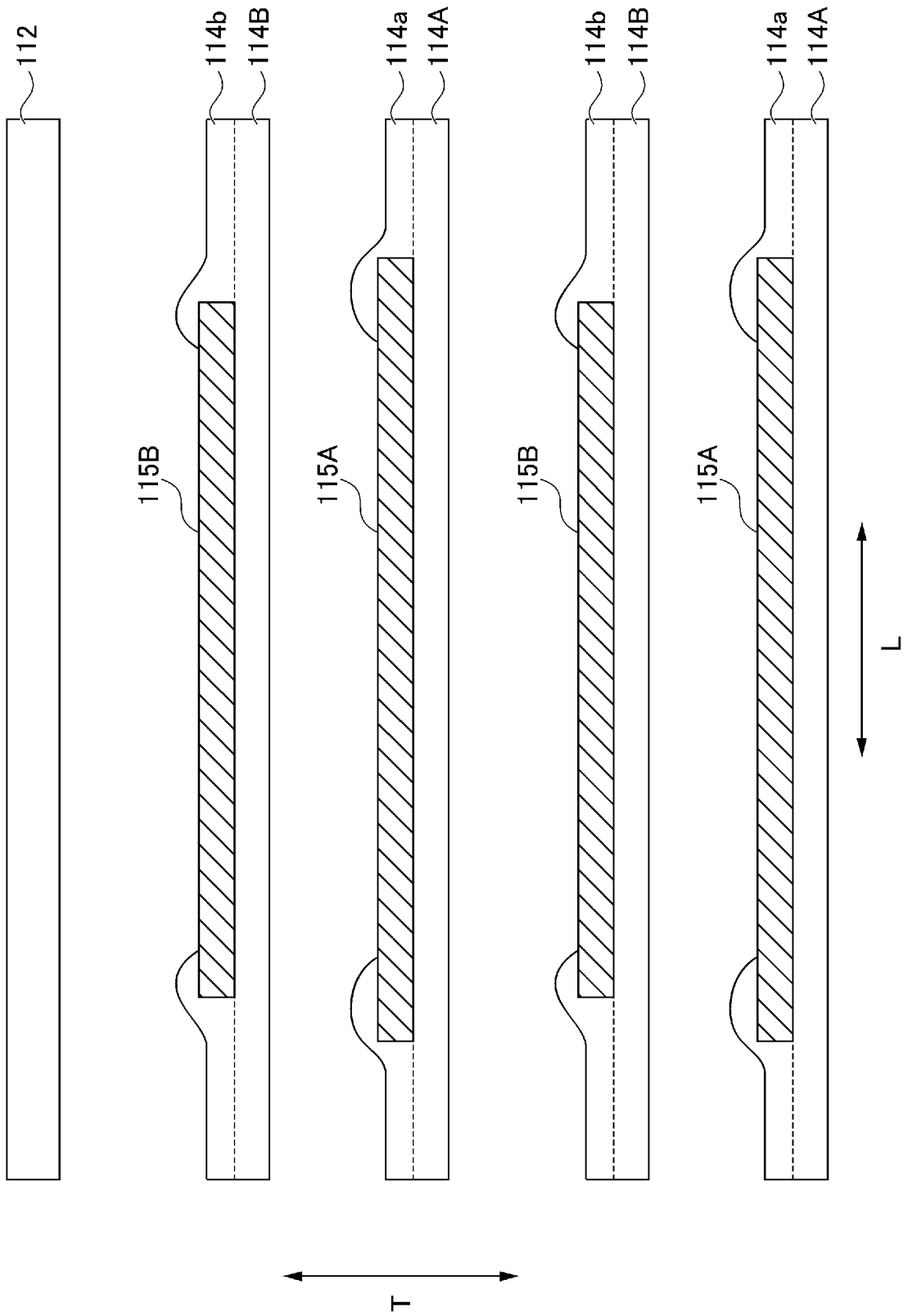
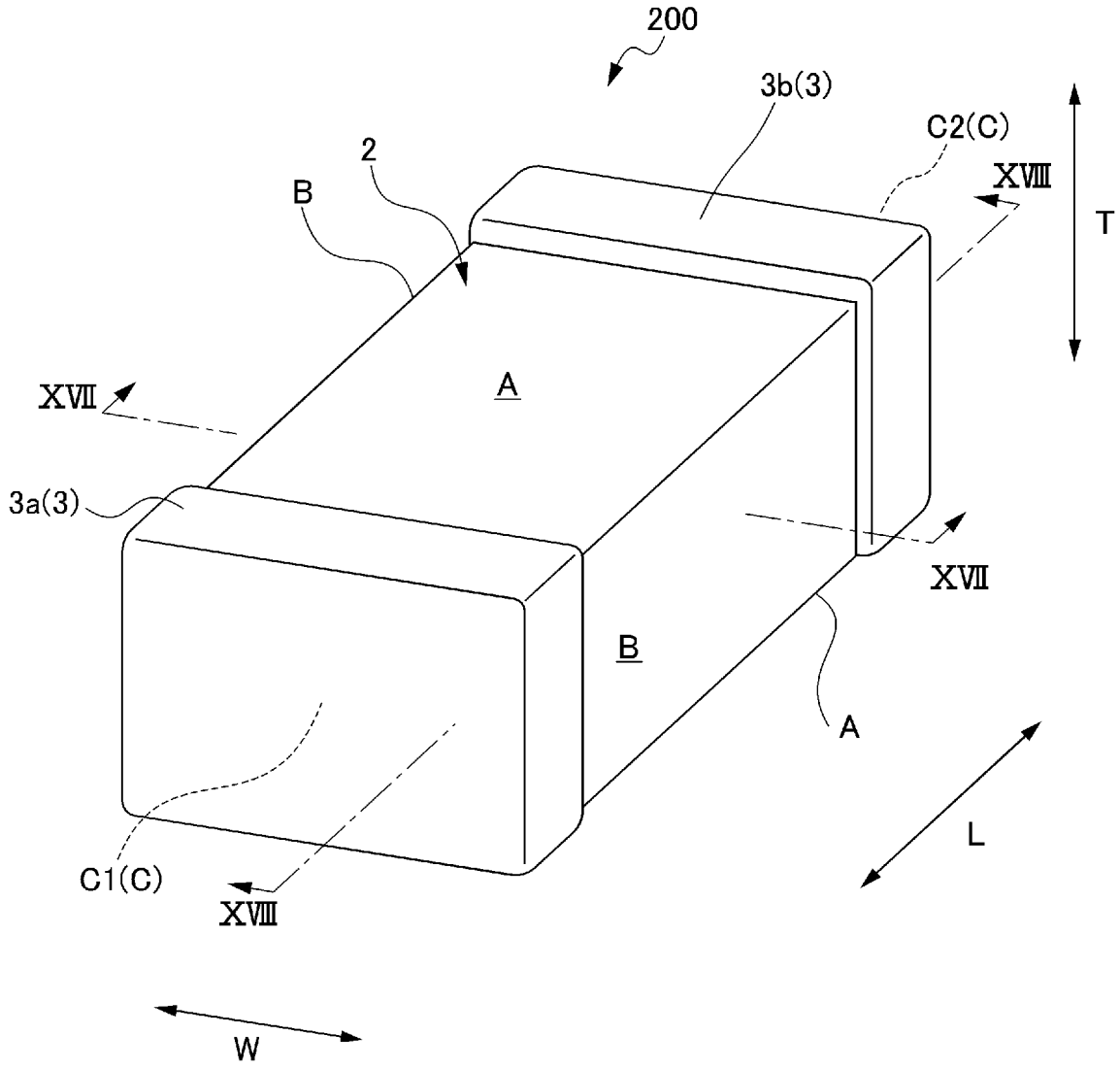


図12

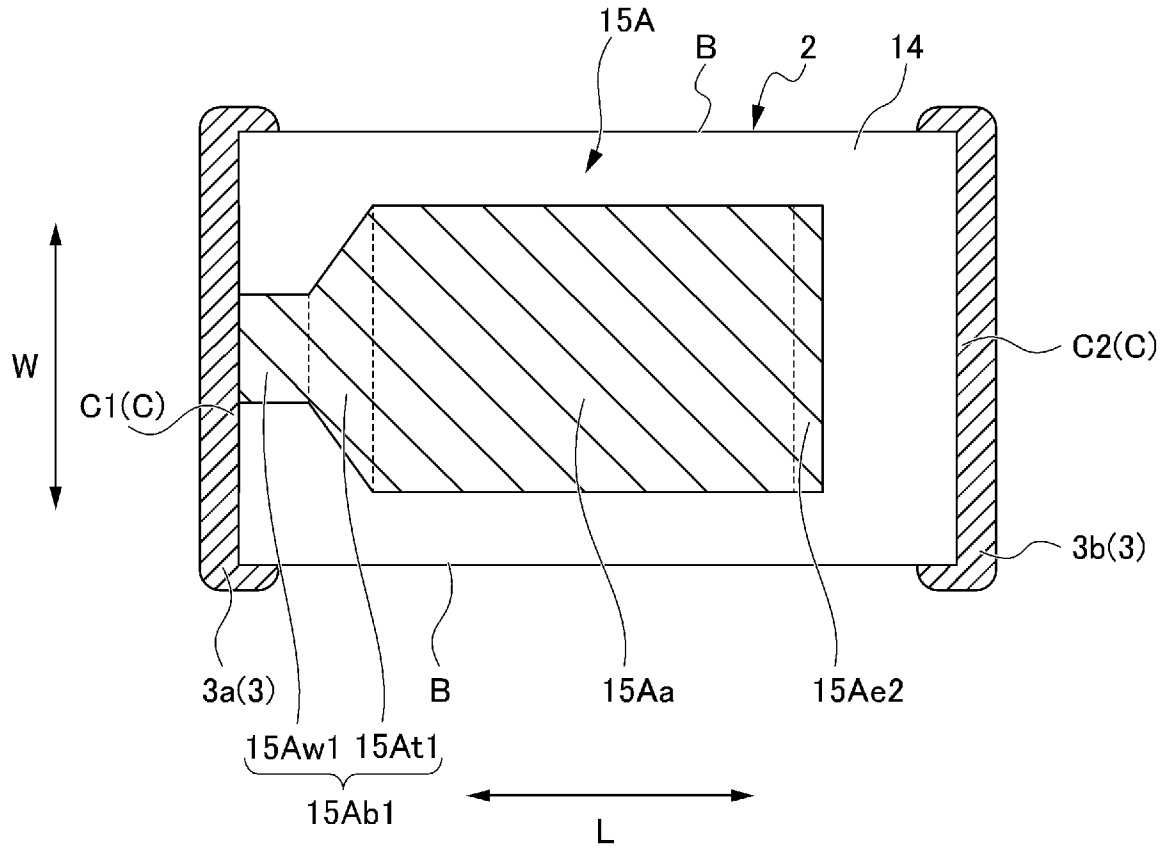
[図13]

図 13



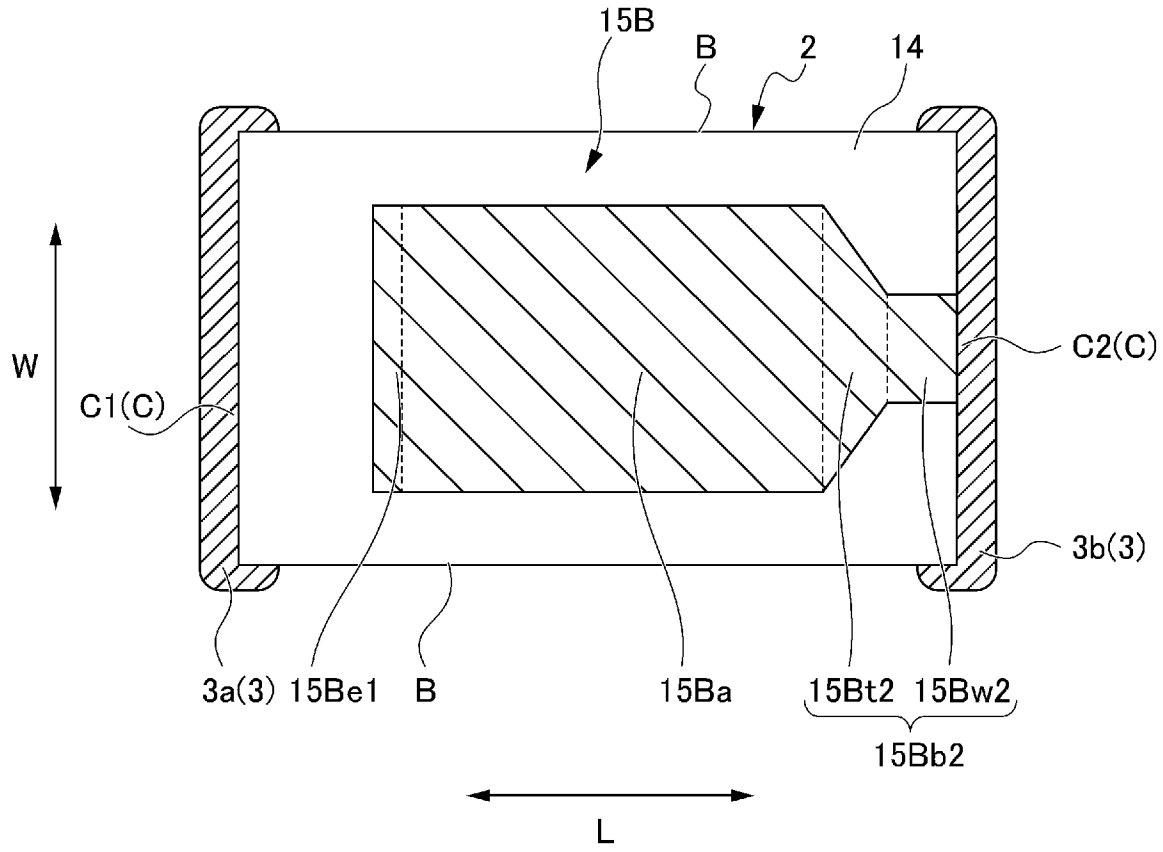
[図14]

図 14



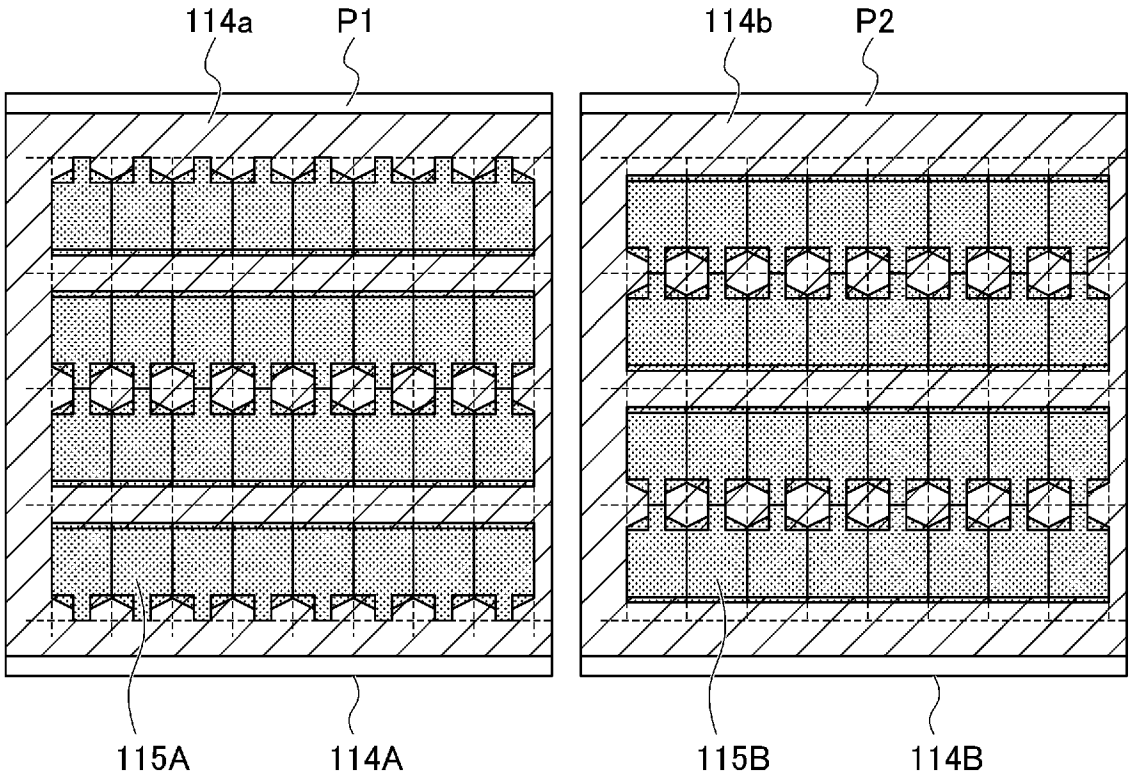
[図15]

図 15



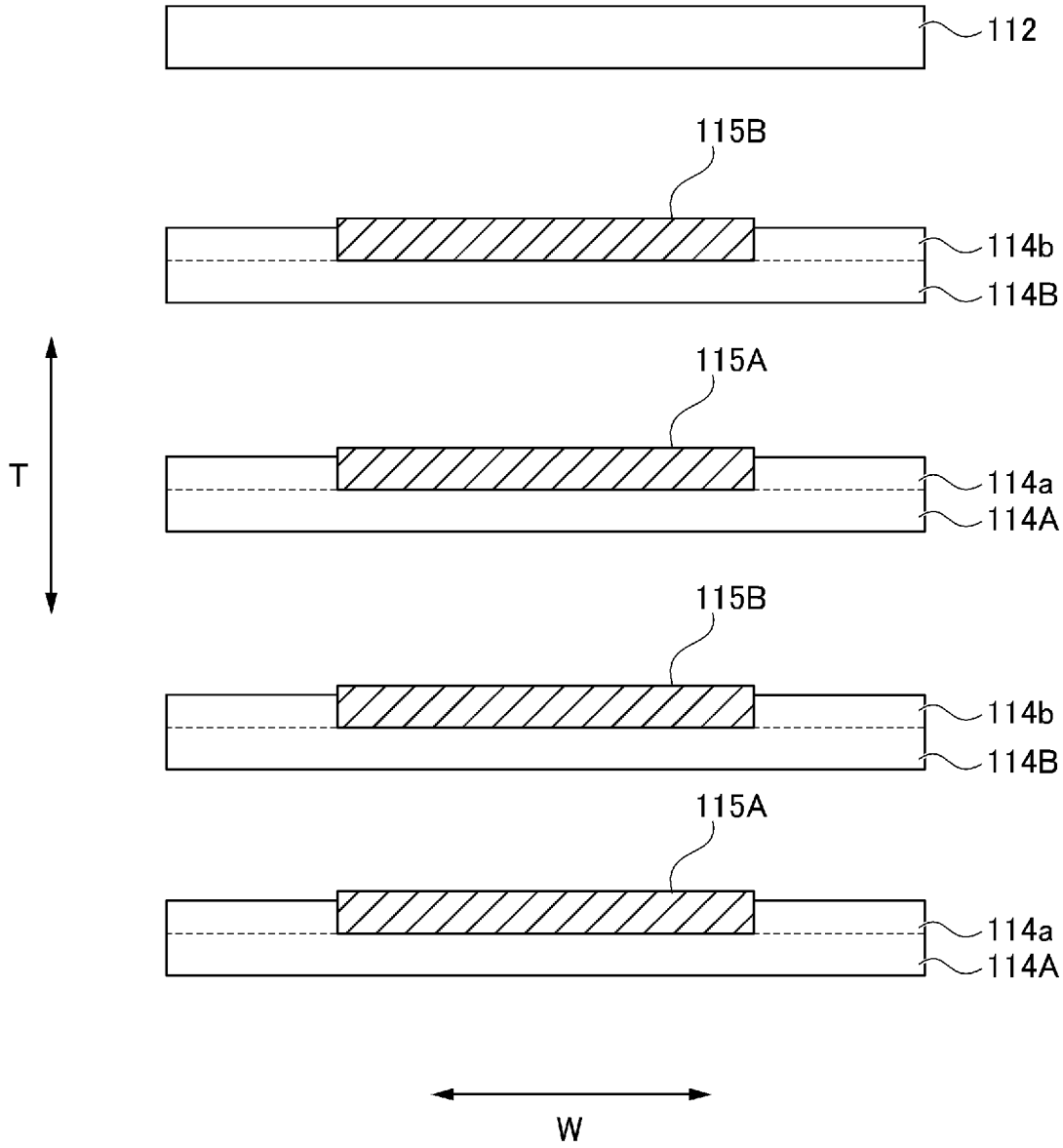
[図16]

図 16



[図17]

図 17


112
115B
114b
114B
115A
T
114a
114A
115B
114b
114B
115A
114a
114A
W

[図18]

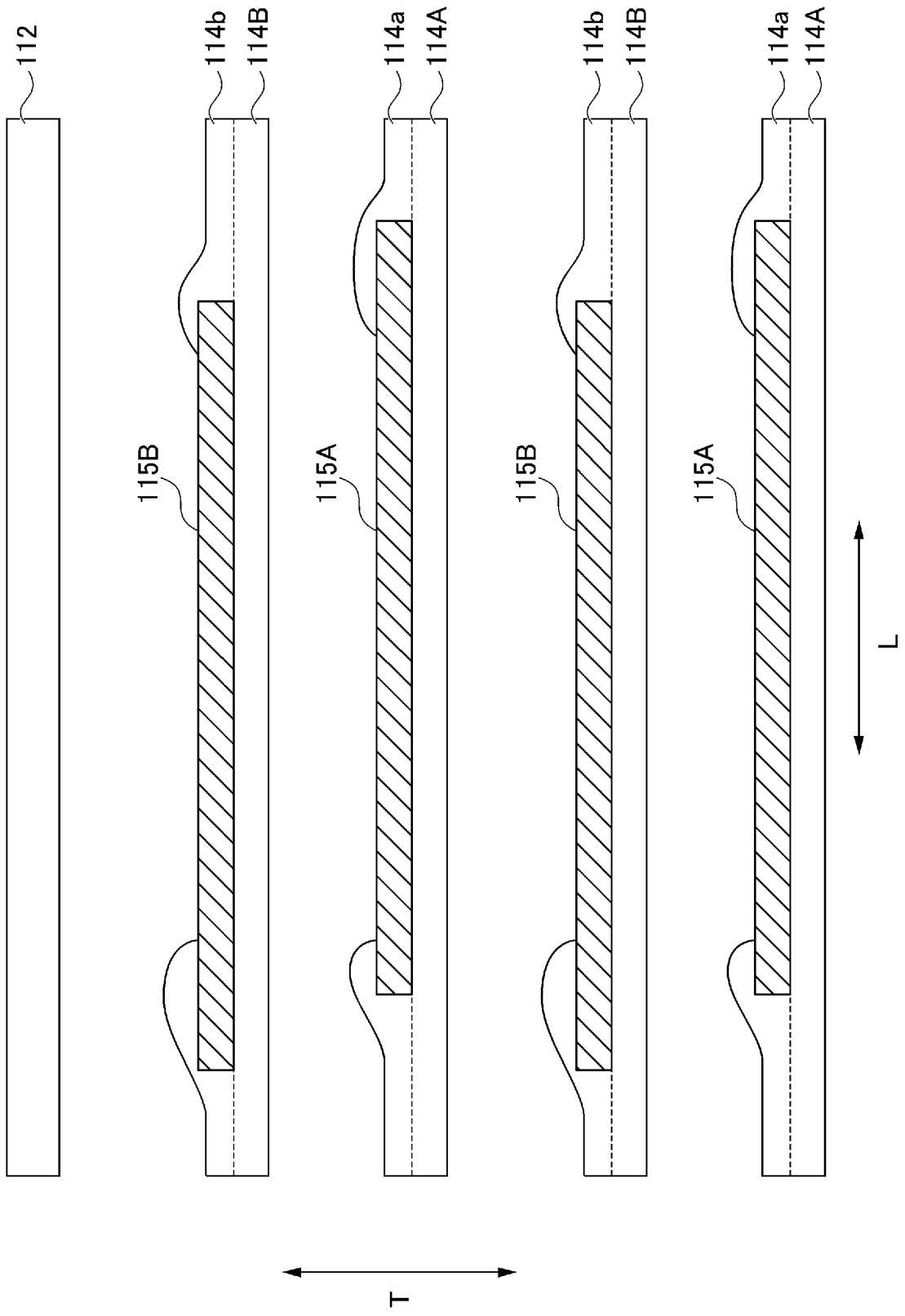


図18

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2023/041870

A. CLASSIFICATION OF SUBJECT MATTER

H01G 4/30(2006.01)i
FI: H01G4/30 513; H01G4/30 201C; H01G4/30 201K; H01G4/30 512; H01G4/30 550

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01G4/30

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2024
Registered utility model specifications of Japan 1996-2024
Published registered utility model applications of Japan 1994-2024

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2022-075191 A (MURATA MANUFACTURING CO., LTD.) 18 May 2022 (2022-05-18) paragraphs [0010]-[0061], fig. 1-12	1-4
Y	JP 2008-294298 A (MURATA MANUFACTURING CO., LTD.) 04 December 2008 (2008-12-04) paragraph [0029], fig. 3	1-4
Y	JP 2004-047536 A (MURATA MANUFACTURING CO., LTD.) 12 February 2004 (2004-02-12) paragraphs [0006], [0011], [0023]-[0025], fig. 4	1-4
Y	JP 2012-099786 A (SAMSUNG ELECTRO-MECHANICS CO., LTD.) 24 May 2012 (2012-05-24) paragraph [0033], fig. 3	1-4
A	JP 2022-053271 A (MURATA MANUFACTURING CO., LTD.) 05 April 2022 (2022-04-05)	1-4

☐ Further documents are listed in the continuation of Box C.
☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"D" document cited by the applicant in the international application
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
30 January 2024	**13 February 2024**

Name and mailing address of the ISA/JP	Authorized officer
Japan Patent Office (ISA/JP) **3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915** **Japan**	Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2023/041870

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP 2022-075191 A	18 May 2022	US 2022/0148807 A1 paragraphs [0031]-[0110], fig. 1-12	
JP 2008-294298 A	04 December 2008	(Family: none)	
JP 2004-047536 A	12 February 2004	US 2004/0027787 A1 paragraphs [0008], [0052], [0053], [0078]-[0080], fig. 4 CN 1471114 A	
JP 2012-099786 A	24 May 2012	US 2012/0106025 A1 paragraph [0041], fig. 3 KR 10-2012-0045373 A	
JP 2022-053271 A	05 April 2022	US 2022/0093331 A1	

国際調査報告

国際出願番号
PCT/JP2023/041870

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H01G 4/30(2006.01)i
FI: H01G4/30 513; H01G4/30 201C; H01G4/30 201K; H01G4/30 512; H01G4/30 550

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H01G4/30

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２４年
日本国実用新案登録公報	１９９６－２０２４年
日本国登録実用新案公報	１９９４－２０２４年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2022-075191 A (株式会社村田製作所) 18.05.2022 (2022-05-18) 段落［００１０］－［００６１］、図１－１２	1-4
Y	JP 2008-294298 A (株式会社村田製作所) 04.12.2008 (2008-12-04) 段落［００２９］、図３	1-4
Y	JP 2004-047536 A (株式会社村田製作所) 12.02.2004 (2004-02-12) 段落［０００６］、［００１１］、［００２３］－［００２５］、図４	1-4
Y	JP 2012-099786 A (サムソン エレクトローメカニックス カンパニーリミテッド.) 24.05.2012 (2012-05-24) 段落［００３３］、図３	1-4
A	JP 2022-053271 A (株式会社村田製作所) 05.04.2022 (2022-04-05)	1-4

☐ Ｃ欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
"A" 特に関連のある文献ではなく、一般的技術水準を示すもの
"D" 国際出願で出願人が先行技術文献として記載した文献
"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
"O" 口頭による開示、使用、展示等に言及する文献
"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
"Y" 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
"&" 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
30.01.2024	13.02.2024

名称及びあて先

日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）

多田　幸司 5D 5292

電話番号 03-3581-1101 内線 3551

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2023/041870

引用文献	公表日	パテントファミリー文献	公表日
JP 2022-075191 A	18.05.2022	US 2022/0148807 A1 段落［００３１］－［０１１０］、図１－１２	
JP 2008-294298 A	04.12.2008	（ファミリーなし）	
JP 2004-047536 A	12.02.2004	US 2004/0027787 A1 段落［０００８］、［００５２］－［００５３］、［００７８］－［００８０］、図４ CN 1471114 A	
JP 2012-099786 A	24.05.2012	US 2012/0106025 A1 段落［００４１］、図３ KR 10-2012-0045373 A	
JP 2022-053271 A	05.04.2022	US 2022/0093331 A1	