(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0132612
(43) 공개일자 2015년11월26일

(51) 국제특허분류(Int. Cl.)
G11C 7/10 (2015.01) *G11C 7/06* (2006.01)
(21) 출원번호 10-2014-0058099
(22) 출원일자 2014년05월15일
심사청구일자 없음

(71) 출원인
에스케이하이닉스 주식회사
경기도 이천시 부발읍 경충대로 2091
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
(72) 발명자
유정택
경기도 구리시 인창동 603-204
김철우
서울 성북구 길음로 16, 605동 1301호 (길음동, 길음뉴타운)
송준영
서울 동대문구 약령시로 25, 103동 902호 (제기동, 안암골벽산아파트)
(74) 대리인
특허법인신성

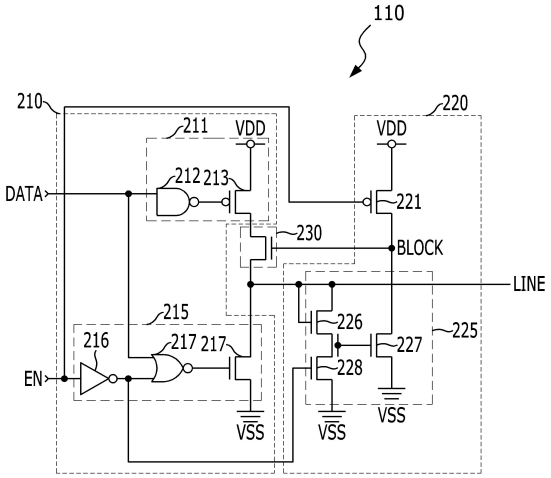
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 **송신 회로, 수신 회로 및 이들을 포함하는 송/수신 시스템**

(57) 요 약

송신 회로는, 전송 라인으로 신호를 전송하기 위한 드라이버; 상기 전송 라인의 전압 레벨이 기준값 이상인지를 감지하는 감지부; 및 상기 감지부에 의해 상기 전송 라인의 전압 레벨이 기준값 이상이라고 판단되는 경우에 상기 드라이버로부터 상기 전송 라인으로의 전류 흐름을 차단하는 차단부를 포함할 수 있다.

대 표 도 - 도2



명 세 서

청구범위

청구항 1

전송 라인으로 신호를 전송하기 위한 드라이버;

상기 전송 라인의 전압 레벨이 기준값 이상인지를 감지하는 감지부; 및

상기 감지부에 의해 상기 전송 라인의 전압 레벨이 기준값 이상이라고 판단되는 경우에 상기 드라이버로부터 상기 전송 라인으로의 전류 흐름을 차단하는 차단부

를 포함하는 송신 회로.

청구항 2

제 1항에 있어서,

상기 송신 회로는 활성화 신호에 응답해 활성화/비활성화되는

송신 회로.

청구항 3

제 2항에 있어서,

상기 감지부는

상기 활성화 신호의 비활성화시에 차단 신호를 비활성화하는 비활성화부; 및

상기 활성화 신호의 활성화시에 상기 전송 라인의 전압 레벨에 응답해 상기 차단 신호를 활성화하는 활성화부를 포함하는

송신 회로.

청구항 4

제 3항에 있어서,

상기 활성화부는

상기 전송 라인에 게이트단과 드레인단이 연결된 제1트랜지스터; 및

상기 제1트랜지스터의 소스단 레벨에 따라 상기 차단 신호를 활성화 레벨로 구동하기 위한 제2트랜지스터를 포함하는

송신 회로.

청구항 5

제 4항에 있어서,

상기 활성화부는

상기 활성화 신호의 비활성화시에 상기 제2트랜지스터가 오프되도록 제어하기 위한 제3트랜지스터를 더 포함하

는

송신 회로.

청구항 6

제 3항에 있어서,

상기 차단부는

상기 차단 신호에 응답해 상기 드라이버로부터 상기 전송 라인으로의 전류 전달을 차단하는 스위치를 포함하는

송신 회로.

청구항 7

제 2항에 있어서,

상기 드라이버는

상기 활성화 신호의 활성화시에 상기 신호의 레벨에 응답해 상기 전송 라인으로 전류를 공급하기 위한 풀업 드라이버; 및

상기 활성화 신호의 활성화시에 상기 신호의 레벨에 응답해 상기 전송 라인으로부터 전류를 싱킹하기 위한 풀다운 드라이버를 포함하는

송신 회로.

청구항 8

전송 라인의 전압 레벨에 응답해 출력 노드를 풀다운 구동하는 제1NMOS 트랜지스터;

상기 출력 노드의 전압 레벨에 응답해 상기 전송 라인과 프리차지 노드를 연결하는 제1PMOS 트랜지스터;

상기 프리차지 노드에 연결된 하나 이상의 캐패시터;

상기 출력 노드의 전압 레벨에 응답해 제어 노드를 풀업 구동하기 위한 제2PMOS 트랜지스터;

상기 프리차지 노드의 전압 레벨에 응답해 상기 전송 라인과 상기 제어 노드를 전기적으로 연결하기 위한 제2NMOS 트랜지스터; 및

상기 제어 노드의 전압 레벨에 응답해 상기 출력 노드를 풀업 구동하기 위한 제3PMOS 트랜지스터

를 포함하는 수신 회로.

청구항 9

제 8항에 있어서,

상기 제2PMOS 트랜지스터로 공급되는 전류량을 제한하기 위한 클램핑 소자

를 더 포함하는 수신 회로.

청구항 10

제 8항에 있어서,

상기 출력 노드의 신호를 반전해 출력 신호를 생성하기 위한 인버터

를 더 포함하는 수신 회로.

청구항 11

전송 라인;

상기 전송 라인으로 신호를 송신하기 위한 송신 회로; 및

상기 전송 라인으로 전송된 신호를 수신하기 위한 수신 회로를 포함하고,

상기 송신 회로는

상기 전송 라인으로 신호를 전송하기 위한 드라이버;

상기 전송 라인의 전압 레벨이 기준값 이상인지를 감지하는 감지부; 및

상기 감지부에 의해 상기 전송 라인의 전압 레벨이 기준값 이상이라고 판단되는 경우에 상기 드라이버로부터 상기 전송 라인으로의 전류 흐름을 차단하는 차단부를 포함하는

송/수신 시스템.

청구항 12

제 11항에 있어서,

상기 송신 회로는 활성화 신호에 응답해 활성화/비활성화되는

송/수신 시스템.

청구항 13

제 12항에 있어서,

상기 감지부는

상기 활성화 신호의 비활성화시에 차단 신호를 비활성화하는 비활성화부; 및

상기 활성화 신호의 활성화시에 상기 전송 라인의 전압 레벨에 응답해 상기 차단 신호를 활성화하는 활성화부를 포함하는

송/수신 시스템.

청구항 14

제 13항에 있어서,

상기 활성화부는

상기 전송 라인에 게이트단과 드레인단이 연결된 제1트랜지스터; 및

상기 제1트랜지스터의 소스단 레벨에 따라 상기 차단 신호를 활성화 레벨로 구동하기 위한 제2트랜지스터를 포함하는

송/수신 시스템.

청구항 15

제 14항에 있어서,

상기 활성화부는

상기 활성화 신호의 비활성화시에 상기 제2트랜지스터가 오프되도록 제어하기 위한 제3트랜지스터를 더 포함하는

송/수신 시스템.

청구항 16

제 13항에 있어서,

상기 차단부는

상기 차단 신호에 응답해 상기 드라이버로부터 상기 전송 라인으로의 전류 전달을 차단하는 스위치를 포함하는

송/수신 시스템.

청구항 17

제 11항에 있어서,

상기 수신 회로는

상기 전송 라인의 전압 레벨에 응답해 출력 노드를 풀다운 구동하는 제1NMOS 트랜지스터;

상기 출력 노드의 전압 레벨에 응답해 상기 전송 라인과 프리차지 노드를 연결하는 제1PMOS 트랜지스터;

상기 프리차지 노드에 연결된 하나 이상의 캐패시터;

상기 출력 노드의 전압 레벨에 응답해 제어 노드를 풀업 구동하기 위한 제2PMOS 트랜지스터;

상기 프리차지 노드의 전압 레벨에 응답해 상기 전송 라인과 상기 제어 노드를 전기적으로 연결하기 위한 제2NMOS 트랜지스터; 및

상기 제어 노드의 전압 레벨에 응답해 상기 출력 노드를 풀업 구동하기 위한 제3PMOS 트랜지스터를 포함하는

송/수신 시스템.

청구항 18

제 17항에 있어서,

상기 수신 회로는

상기 제2PMOS 트랜지스터로 공급되는 전류량을 제한하기 위한 클램핑 소자를 더 포함하는

송/수신 시스템.

청구항 19

제 17항에 있어서,

상기 수신 회로는

상기 출력 노드의 신호를 반전해 출력 신호를 생성하기 위한 인버터를 더 포함하는

송/수신 시스템.

청구항 20

제 12항에 있어서,

상기 활성화 신호는 클럭인

송/수신 시스템.

발명의 설명

기 술 분 야

[0001] 본 발명은 데이터를 송신 및 수신하는 기술에 관한 것이다.

배 경 기 술

[0002] 각종 집적회로 칩은 혼자 동작하지 않으며, 주변의 칩들과 신호를 주고 받으며 동작한다. 예를 들어, DRAM, Flash 등의 메모리 칩들은 메모리 콘트롤러(memory controller)와 데이터를 주고 받으며, CPU 또한 마더보드 상의 각종 칩들과 데이터를 주고 받는다. 또한, 칩과 칩(chip to chip) 간에만 신호 전송이 이루어지는 것은 아니며, 하나의 칩 내부의 A회로와 B회로 간에도(A, B는 칩 내의 임의의 회로들을 의미함) 신호(데이터)의 전송이 이루어진다.

[0003] 신호(데이터)의 송/수신에는 전류가 소모되는데, 전송라인의 개수가 늘어나고 집적회로의 동작 주파수가 늘어나는 것에 비례하여 신호의 전송에 소모되는 전류가 늘어난다. 집적회로의 데이터 처리 능력이 높아질수록 더 많은 데이터를 송/수신해야 하므로, 전송라인의 개수 증가 및 동작 주파수의 증가는 필연적이다. 따라서, 신호 전송에 소모되는 전류를 줄이고자 하는 노력이 계속되고 있다.

[0004] 신호(데이터)의 송/수신에 소모되는 전류를 줄이는 대표적인 방법은 전송 라인 상에서 송/수신되는 신호의 스윙 폭을 줄이는 것이다. 예를 들어, A회로와 B회로는 0V-2.0V의 전압을 사용하지만, A회로와 B회로 사이의 전송 라인의 신호는 0V-1.2V로 스윙하게 할 수 있다. 그러나, 이러한 방식은 신호 전송을 위한 추가적인 전압의 사용을 필요로 한다는 문제점이 있다. 또한, 집적회로 칩 자체의 소모 전류를 낮추기 위해 전원전압 자체의 레벨이 낮아지고, 트랜지스터의 문턱 전압을 높이는 현재의 추세에서는, 전송 신호의 스윙폭을 줄이는 방식의 적용이 더욱 어렵다는 문제점이 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명의 실시예들은, 적은 전류를 사용하면서 신호를 송/수신하는 기술을 제공한다.

과제의 해결 수단

[0006] 상기한 목적을 달성하기 위한 본 발명의 일실시예에 따른 송신 회로는, 전송 라인으로 신호를 전송하기 위한 드라이버; 상기 전송 라인의 전압 레벨이 기준값 이상인지를 감지하는 감지부; 및 상기 감지부에 의해 상기 전송 라인의 전압 레벨이 기준값 이상이라고 판단되는 경우에 상기 드라이버로부터 상기 전송 라인으로의 전류 흐름을 차단하는 차단부를 포함할 수 있다.

[0007] 상기 송신 회로는 활성화 신호에 응답해 활성화/비활성화될 수 있다. 또한, 상기 감지부는 상기 활성화 신호의 비활성화시에 차단 신호를 비활성화하는 비활성화부; 및 상기 활성화 신호의 활성화시에 상기 전송 라인의 전압 레벨에 응답해 상기 차단 신호를 활성화하는 활성화부를 포함할 수 있다.

[0008] 또한, 본 발명의 일실시예에 따른 수신 회로는, 전송 라인의 전압 레벨에 응답해 출력 노드를 풀다운 구동하는 제1NMOS 트랜지스터; 상기 출력 노드의 전압 레벨에 응답해 상기 전송 라인과 프리차지 노드를 연결하는 제1PMOS 트랜지스터; 상기 프리차지 노드에 연결된 하나 이상의 캐패시터; 상기 출력 노드의 전압 레벨에 응답해 제어 노드를 풀업 구동하기 위한 제2PMOS 트랜지스터; 상기 프리차지 노드의 전압 레벨에 응답해 상기 전송 라인과 상기 제어 노드를 전기적으로 연결하기 위한 제2NMOS 트랜지스터; 및 상기 제어 노드의 전압 레벨에 응답해 상기 출력 노드를 풀업 구동하기 위한 제3PMOS 트랜지스터를 포함할 수 있다.

[0009] 상기 수신 회로는 상기 제2PMOS 트랜지스터로 공급되는 전류량을 제한하기 위한 클램핑 소자를 더 포함할 수 있다, 또한, 상기 수신 회로는 상기 출력 노드의 신호를 반전해 출력 신호를 생성하기 위한 인버터를 더 포함할 수 있다.

[0010] 또한, 본 발명의 일실시예에 따른 송/수신 시스템은, 전송 라인; 상기 전송 라인으로 신호를 송신하기 위한 송신 회로; 및 상기 전송 라인으로 전송된 신호를 수신하기 위한 수신 회로를 포함하고, 상기 송신 회로는 상기 전송 라인으로 신호를 전송하기 위한 드라이버; 상기 전송 라인의 전압 레벨이 기준값 이상인지를 감지하는 감지부; 및 상기 감지부에 의해 상기 전송 라인의 전압 레벨이 기준값 이상이라고 판단되는 경우에 상기 드라이버로부터 상기 전송 라인으로의 전류 흐름을 차단하는 차단부를 포함할 수 있다.

[0011] 상기 수신 회로는 상기 전송 라인의 전압 레벨에 응답해 출력 노드를 풀다운 구동하는 제1NMOS 트랜지스터; 상기 출력 노드의 전압 레벨에 응답해 상기 전송 라인과 프리차지 노드를 연결하는 제1PMOS 트랜지스터; 상기 프리차지 노드에 연결된 하나 이상의 캐패시터; 상기 출력 노드의 전압 레벨에 응답해 제어 노드를 풀업 구동하기 위한 제2PMOS 트랜지스터; 상기 프리차지 노드의 전압 레벨에 응답해 상기 전송 라인과 상기 제어 노드를 전기적으로 연결하기 위한 제2NMOS 트랜지스터; 및 상기 제어 노드의 전압 레벨에 응답해 상기 출력 노드를 풀업 구동하기 위한 제3PMOS 트랜지스터를 포함할 수 있다.

발명의 효과

[0012] 본 발명의 실시예들에 따르면, 신호의 전송에 소모되는 전류량을 줄일 수 있다는 장점이 있다.

도면의 간단한 설명

[0013] 도 1은 본 발명의 일실시예에 따른 송/수신 시스템의 구성도.

도 2는 도 1의 송신 회로(110)의 일실시예 구성도.

도 3은 도 1의 수신 회로(120)의 일실시예 구성도.

발명을 실시하기 위한 구체적인 내용

[0014] 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있도록 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부 도면을 참조하여 설명하기로 한다.

[0015] 도 1은 본 발명의 일실시예에 따른 송/수신 시스템의 구성도이다.

[0016] 도 1을 참조하면, 송/수신 시스템은 송신 회로(110)와 수신 회로(120) 그리고 전송 라인(LINE)을 포함할 수 있다. 송신 회로(110)와 수신 회로(120)는 서로 다른 집적회로 칩에 구비될 수도 있으며, 하나의 집적회로 칩 내부에 구비될 수도 있다. 즉, 송/수신 시스템은 칩과 칩 간의 신호 송/수신을 위한 시스템일 수도 있으며, 하나의 칩 내부에서의 신호 송/수신을 위한 시스템일 수도 있다.

[0017] 도 2는 도 1의 송신 회로(110)의 일실시예 구성도이다.

[0018] 도 2를 참조하면, 송신 회로(110)는, 드라이버(210), 감지부(220), 및 차단부(230)를 포함할 수 있다. 송신 회로(110)는 활성화 신호(EN)에 응답해 활성화/비활성화되며 전송 라인(LINE))에 신호(SIGNAL)를 전송할 수 있다. 여기서 활성화 신호(EN)는 송신 회로(110)의 신호(SIGNAL) 송신 동작을 활성화하기 위한 신호인데, 활성화 신호

(EN)는 클럭(clock)일 수 있다.

[0019] 드라이버(210)는 활성화 신호(EN)의 활성화시에 전송 라인(LINE)으로 신호(SIGNAL)를 전송할 수 있다. 드라이버(210)는 풀업 드라이버(211)와 풀다운 드라이버(215)를 포함할 수 있다. 풀업 드라이버(211)는 활성화 신호(EN)가 '하이'로 활성화된 동안에 신호(SIGNAL)가 '하이'레벨이면 전송 라인(LINE)을 풀업 구동할 수 있다. 풀업 드라이버(211)는 낸드게이트(212)와 트랜지스터(213)를 포함할 수 있다. 풀다운 드라이버(215)는 활성화 신호(EN)가 '하이'로 활성화된 동안에 신호(SIGNAL)가 '로우'레벨이면 전송 라인(LINE)을 풀다운 구동할 수 있다. 풀다운 드라이버(215)는 인버터(216), 노아게이트(217) 및 트랜지스터(218)를 포함할 수 있다.

[0020] 감지부(220)는 전송 라인(LINE)의 전압 레벨이 기준값 이상인지, 즉 충분히 높은지, 를 감지할 수 있다. 전송 라인(LINE)의 전압 레벨이 충분히 높다는 것은 수신 회로(120)에서 전송 라인(LINE)의 신호가 '하이'로 인식되기에 충분할만큼 높다는 것을 의미할 수 있다. 감지부(220)는 비활성화부(221)와 활성화부(225)를 포함할 수 있다. 비활성화부(221)는 활성화 신호(EN)가 '로우'로 비활성화된 동안에 차단 신호(BLOCK)를 '하이'레벨로 비활성화할 수 있다. 비활성화부(221)는 트랜지스터일 수 있다. 활성화부(225)는 활성화 신호(EN)의 활성화시에 전송 라인(LINE)의 전압 레벨에 따라 차단 신호(BLOCK)를 활성화한다. 전송 라인(LINE)의 전압 레벨이 트랜지스터(226)의 문턱 전압(Vth)과 트랜지스터(227)의 문턱 전압(Vth) 레벨을 합한 레벨(2*Vth)보다 높은 경우에 트랜지스터들(226, 227)이 턴온되어 차단 신호(BLOCK)가 '로우'레벨로 활성화될 수 있다. 또한, 활성화 신호(EN)가 '로우'로 비활성화된 동안에는 트랜지스터(228)가 턴온되어 트랜지스터(227)가 턴온되는 것을, 즉 차단 신호(BLOCK)가 활성화되는 것을, 방지할 수 있다. 도 2의 실시예에서 차단 신호(BLOCK)를 활성화하기 위한 전송 라인(LINE) 레벨의 기준이 되는 기준값이 2*Vth로 설정되었지만, 기준값이 이와 다르게 설정될 수도 있음은 당연하다.

[0021] 차단부(230)는 감지부(220)에 의해 전송 라인(LINE)의 전압 레벨이 기준값 이상이라고 판단된 경우, 즉 차단 신호(BLOCK)가 '로우'로 활성화된 경우, 에 드라이버(210)로부터 전송 라인(LINE)으로의 전류 흐름을 차단할 수 있다. 그렇지 않은 경우, 즉 차단 신호(BLOCK)가 '하이'로 비활성화된 경우에는 드라이버(210)로부터 전송 라인(LINE)으로의 전류 흐름을 차단하지 않는다. 차단부(230)는 차단 신호(BLOCK)에 응답해 온/오프되는 트랜지스터일 수 있다.

[0022] 도 2의 송신 회로(110)는 활성화 신호(EN)의 활성화시에 신호(SIGNAL)를 전송 라인(LINE)으로 전송한다. 그리고, 전송 라인(LINE)의 신호가 충분히 높은 경우, 수신 회로(120)가 '하이'로 인식할 수 있을 정도로 높은 경우, 에는 전송 라인(LINE)으로의 전류의 흐름을 차단해 전류의 소모를 막는다. 즉, 송신 회로(110)는 신호(SIGNAL)를 전송 라인(LINE)으로 전송하는데 있어서 필요 이상의 전류를 소모하지 않는다.

[0023] 도 3은 도 1의 수신 회로(120)의 일실시예 구성도이다.

[0024] 도 3을 참조하면, 수신 회로(120)는, 전송 라인(LINE)의 전압 레벨에 응답해 출력 노드(A)를 풀다운 구동하는 제1NMOS 트랜지스터(N1), 출력 노드(A)의 전압 레벨에 응답해 전송 라인(LINE)과 프리차지 노드(PCG)를 연결하는 제1PMOS 트랜지스터(P1), 프리차지 노드(PCG)에 연결된 하나 이상의 캐패시터(C1, C2), 출력 노드(A)의 전압 레벨에 응답해 제어 노드(CONTROL)를 풀업 구동하기 위한 제2PMOS 트랜지스터(P2), 프리차지 노드(PCG)의 전압 레벨에 응답해 전송 라인(LINE)과 제어 노드(CONTROL)를 전기적으로 연결하기 위한 제2NMOS 트랜지스터(N2), 및 제어 노드(CONTROL)의 전압 레벨에 응답해 출력 노드(A)를 풀업 구동하기 위한 제3PMOS 트랜지스터(P3)를 포함할 수 있다. 그리고, 제2PMOS 트랜지스터(P2)로 공급되는 전류량을 제한하기 위한 클램핑 소자(310)와 출력 노드(A)의 신호를 반전해 출력신호(SIGNAL, 즉 수신 회로가 수신한 신호)를 생성하는 인버터(320)를 더 포함할 수 있다

[0025] 수신 회로(120)의 동작에 대해 살펴 보기로 한다. 전송 라인(LINE)의 전압 레벨이 '하이' 레벨(예, 2*Vth 레벨)인 경우에, 제1NMOS 트랜지스터(N1)가 턴온되어 출력 노드(A)가 '로우' 레벨이 된다. 그리고 제1PMOS 트랜지스터(P1)가 턴온되어 전송 라인(LINE)의 전압이 프리차지 노드에 프리차지되고 제2NMOS 트랜지스터가 턴온된다. 이때 제어 노드(CONTROL)도 '하이' 레벨을 가지므로 제3PMOS 트랜지스터(P3)는 턴오프된다. 한편, 제2PMOS 트랜지스터(P2)도 턴온되어 제어 노드(CONTROL)를 '하이' 레벨로 구동한다. 클램핑(clamping) 소자(310)는 제2PMOS 트랜지스터(P2)로 유입되는 전류의 양을 제한해 제어 노드(CONTROL)의 전압 레벨이 지나치게 높아지는 것을 방지한다. 출력 노드(A)의 전압 레벨은 인버터(320)에 의해 반전되고, 출력신호(SIGNAL)는 '하이'레벨이 된다. 이때 출력 신호(SIGNAL)의 전압 레벨은 2*Vth 레벨이 아닌 전원전압(VDD)의 레벨이 된다.

[0026] 전송 라인(LINE)의 전압 레벨이 '로우' 레벨인 경우에, 제1NMOS 트랜지스터(N1)가 턴오프된다. 이때, 제1PMOS 트랜지스터(N1)는 턴오프되지만, 캐패시터들(C1, C2)에 의해 프리차지 노드(PCG)의 전압은 '하이' 레벨을 유지하고, 제2NMOS 트랜지스터(N2)가 턴온되어 제어 노드(CONTROL)가 '로우'레벨이 되고, 제3PMOS 트랜지스터(P3)가 턴온되고, 그 결과 출력 노드(A)가 '하이' 레벨이 된다. 출력 노드(A)의 전압 레벨은 인버터(320)에 의해 반전되고, 출력 신호(SIGNAL)는 '로우'레벨이 된다.

[0027] 도 3의 수신 회로(120)는 0-2*Vth로 스윙하는 전송 라인(LINE)의 전압 레벨을 인식해 출력 신호(SIGNAL)를 생성하게 된다.

[0028] 도 2의 송신 회로(110)는 도 3의 수신 회로(120)뿐만이 아니라, 다른 종류의 수신 회로와도 동작할 수 있다. 마찬가지로, 도 3의 수신 회로(120)도 도 2의 송신 회로(110)뿐만이 아니라 다른 종류의 송신 회로가 송신한 신호를 수신하기 위해 사용될 수 있다.

[0029] 본 발명의 기술사상은 상기 바람직한 실시예들에 따라 구체적으로 기술되었으나, 상기한 실시예들은 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술분야에서 통상의 지식을 가진 자라면 본 발명의 기술사상의 범위 내에서 다양한 실시예가 가능함을 알 수 있을 것이다.

부호의 설명

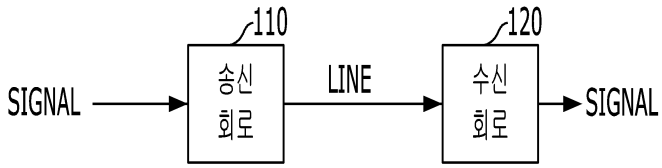
[0030] 110: 송신 회로 120: 수신 회로

210: 드라이버 220: 감지부

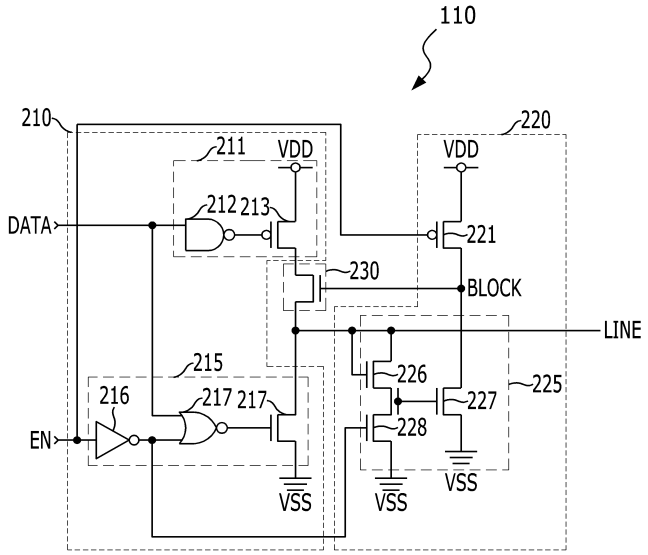
230: 차단부

도면

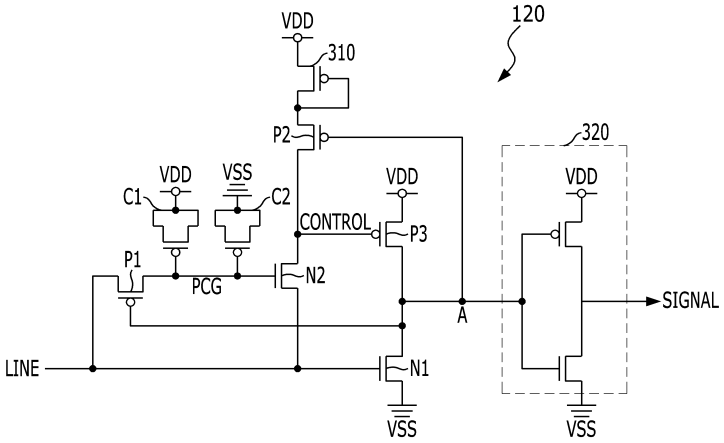
도면1



도면2


110
210
220
211
VDD
VDD
212
213
DATA
221
230
BLOCK
LINE
215
226
225
216
217
217
227
EN
228
VSS
VSS
VSS

도면3


VDD
120
310
P2
320
VDD
VSS
VDD
VDD
C1
C2
CONTROL
P3
P1
PCG
N2
A
SIGNAL
LINE
N1
VSS
VSS