

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-17048  
(P2014-17048A)

(43) 公開日 平成26年1月30日(2014.1.30)

(51) Int.Cl.	F I	テーマコード (参考)
<b>G 1 1 C 11/15 (2006.01)</b>	G 1 1 C 11/15 1 6 0	
	G 1 1 C 11/15 1 4 0	
	G 1 1 C 11/15 1 5 0	

審査請求 有 請求項の数 12 O L (全 20 頁)

(21) 出願番号	特願2013-197330 (P2013-197330)	(71) 出願人	000005108 株式会社日立製作所 東京都千代田区丸の内一丁目6番6号
(22) 出願日	平成25年9月24日 (2013. 9. 24)	(74) 代理人	100080001 弁理士 筒井 大和
(62) 分割の表示	特願2011-552602 (P2011-552602) の分割	(72) 発明者	河原 尊之 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所中央研究所内
原出願日	平成22年2月2日 (2010. 2. 2)	(72) 発明者	竹村 理一郎 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所中央研究所内
		(72) 発明者	小笠 和夫 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所中央研究所内

最終頁に続く

(54) 【発明の名称】 半導体記憶装置、及び、データ処理方法

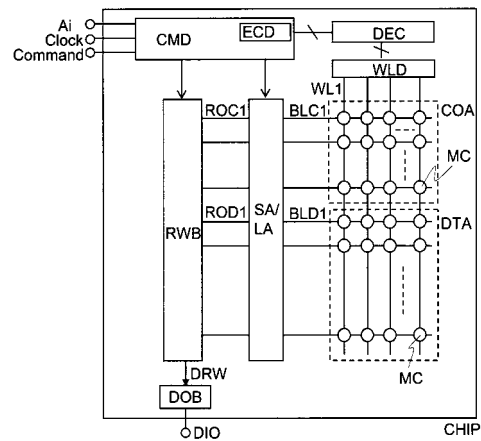
(57) 【要約】

【課題】 不揮発RAMにはランダムに読み書きできるので、消去というモードは不要であるが、不揮発故にシステム側からは消去モードを備えていることが望ましい。また、消去動作は低電力、高速に行われることが望ましい。

【解決手段】 そこで、夫々が磁気抵抗素子を有する複数のメモリセルMCを含むメモリセルアレーCOA、DTAを有し、一連のデータをメモリセルアレーCOA、DTAに書き込み、消去時には、メモリセルアレーCOAに対してのみ、所定のデータを書き込むことで、消去動作を行う。

【選択図】 図1

図 1



**【特許請求の範囲】****【請求項 1】**

複数のワード線と、前記複数のワード線と交差する複数のビット線と、前記複数のワード線と前記複数のビット線の所定の交点に配置される複数の第 1 及び第 2 メモリセルと、を有するメモリセルアレーと、

ダミーデータパターンブロックと、

前記メモリセルアレーから出力されたデータと前記ダミーデータパターンブロックから出力されたデータとを選択する選択回路と、

前記メモリセルアレーに対する書き込み・読み出し動作を制御するコマンド制御回路と、を具備し、

10

前記複数の第 2 メモリセルの夫々は、

トンネル膜と、前記トンネル膜に隣接して配置され電子スピンの向きが所定の方向に固定される固定層と、前記トンネル膜の固定層に隣接する面に対向する面で隣接して、電子スピンの向きが前記固定層に対して平行、反平行のいずれかをとり自由層と、を有するトンネル磁気抵抗素子と、

そのゲートが前記ワード線に接続され、そのドレインが前記トンネル磁気抵抗素子の前記固定層側に接続される MOSFET と、を有し、

前記複数の第 1 メモリセルは、対応する前記複数の第 2 メモリセルが書き込み状態であることを示す情報、又は、対応する前記複数の第 2 メモリセルが消去状態であることを示す情報を保持し、

20

前記コマンド制御回路が前記複数の第 2 メモリセルのうち何れのメモリセルからデータを読み出すかを示すアドレス信号を含む読み出しコマンドを受け付けた際に、前記選択回路は、前記複数の第 1 メモリセルのうち前記アドレス信号に対応する第 1 メモリセルが保持している情報が前記書き込み状態であることを示す場合、前記複数の第 2 メモリセルから出力されたデータを選択し、前記複数の第 1 メモリセルのうち前記アドレス信号に対応する第 1 メモリセルが保持している情報が前記消去状態であることを示す場合、前記ダミーパターンデータブロックから出力されるデータを選択することを特徴とする半導体記憶装置。

**【請求項 2】**

請求項 1 において、

30

前記コマンド制御回路は、

前記複数の第 2 メモリセルのうち何れのメモリセルに書き込みを行うかを示すアドレス信号を含む書き込みコマンドを受け付けた場合に、前記複数の第 1 メモリセルのうち前記アドレス信号に対応する第 1 メモリセルに、前記書き込み状態であることを示す情報を書き込むとともに、入力されたデータを前記アドレス信号が示す第 2 メモリセルに書き込み、

前記複数の第 2 メモリセルのうち何れのメモリセルを消去するかを示すアドレス信号を含む消去コマンドを受け付けた場合に、前記複数の第 1 メモリセルのうち前記アドレス信号に対応する第 1 メモリセルに、前記消去状態であることを示す情報を書き込み、前記複数の第 2 メモリセルには情報を書き込まないことを特徴とする半導体記憶装置。

40

**【請求項 3】**

請求項 1 において、

前記複数の第 1 メモリセルは、揮発性のメモリセルであり、前記半導体記憶装置に電源が投入された際には、前記消去状態であることを示す情報を保持することを特徴とする半導体記憶装置。

**【請求項 4】**

請求項 1 において、

前記ダミーパターンデータブロックは、前記書き込まれるデータのビット数と同じ数のインバータ列で構成されることを特徴とする半導体記憶装置。

**【請求項 5】**

50

請求項 1 において、

前記コマンド制御回路は、所定のデータを前記メモリセルに書き込んでいる間、ビジー信号を外部に出力することを特徴とする半導体記憶装置。

【請求項 6】

請求項 5 において、

前記ビジー信号を出力する期間を計測するタイマー回路をさらに具備することを特徴とする半導体記憶装置。

【請求項 7】

請求項 1 において、

電源端子に接続されたコンデンサ素子を具備し、

前記コマンド制御回路は、電源が切断された際に、前記コンデンサ素子に蓄えられた電荷により前記複数の第 1 メモリセルに前記消去状態を示す情報を書き込むことを特徴とする半導体記憶装置。

【請求項 8】

複数のワード線と、前記複数のワード線と交差する複数のビット線と、前記複数のワード線と前記複数のビット線の所定の交点に配置される複数の第 1 及び第 2 メモリセルと、を有するメモリセルアレーと、

前記メモリセルアレーに対する書き込み・読み出し動作を制御するコマンド制御回路と、を具備し、

前記複数の第 1 メモリセルの夫々は、

トンネル膜と、前記トンネル膜に隣接して配置され電子スピンの向きが所定の方向に固定される固定層と、前記トンネル膜の固定層に隣接する面に対向する面で隣接して、電子スピンの向きが前記固定層に対して平行、反平行のいずれかをとり自由層と、を有するトンネル磁気抵抗素子と、

そのゲートが前記ワード線に接続され、そのドレインが前記トンネル磁気抵抗素子の前記固定層側に接続される MOSFET と、を有し、

前記複数の第 1 メモリセルの情報保持期間は、前記複数の第 2 メモリセルの情報保持期間より長く、

前記コマンド制御回路は、前記複数のメモリセルのうち何れのメモリセルに書き込みを行うかを示すアドレス信号を含む書き込みコマンドを受け付けた場合に、前記複数の第 1 メモリセル及び複数の第 2 メモリセルのうち、前記アドレス信号が示す第 1 メモリセル及び第 2 メモリセルに外部から入力されたデータを分割して書き込むことを特徴とする半導体記憶装置。

【請求項 9】

請求項 8 において、

前記複数の第 2 メモリセルは、揮発性メモリであることを特徴とする半導体記憶装置。

【請求項 10】

請求項 8 において、

前記複数の第 1 メモリセルと前記複数の第 2 メモリセルとは、異なるワード線に接続されることを特徴とする半導体記憶装置。

【請求項 11】

請求項 8 において、

前記メモリセルアレーに対する消去動作を制御する消去動作制御回路をさらに具備し、

前記消去動作制御回路は、前記複数の第 1 及び第 2 メモリセルのうち何れのメモリセルの消去を行うかを示すアドレス信号を含む消去コマンドを受け付けた場合に、前記消去コマンドに従って前記複数の第 2 メモリセルのうち、前記アドレス信号によって指定された第 2 メモリセルに所定のデータを書き込むことで消去動作を完了することを特徴とする半導体記憶装置。

【請求項 12】

CPU を有するマイコン部と、

10

20

30

40

50

複数のワード線と、前記複数のワード線と交差する複数のビット線と、前記複数のワード線と前記複数のビット線の所定の交点に配置される複数のメモリセルと、を有するメモリセルアレーと、前記メモリセルアレーに対する書き込み・読み出し動作を制御するコマンド制御回路と、を有するメモリ部と、を具備するシステムにおけるデータ処理方法であって、

前記CPUが前記メモリセルアレーの第1領域をRAM領域として割り当てる第1ステップと、

前記CPUが前記第1領域を使用して演算を行う第2ステップと、

前記CPUが前記第1領域を使用する演算を終了することを示す命令を実行することにより、前記マイコン部が前記メモリ部に前記第1領域に対する消去コマンドを発行する第3ステップと、

10

前記メモリ部が前記消去コマンドを受け取り、前記コマンド制御回路により前記第1領域に含まれる前記複数のメモリセルのうち、一部のメモリセルに所定のデータを書き込むことで消去動作を行う第4ステップと、を有し、

前記複数のメモリセルの夫々は、

トンネル膜と、前記トンネル膜に隣接して配置され電子スピンの向きが所定の方向に固定される固定層と、前記トンネル膜の固定層に隣接する面に対向する面で隣接して、電子スピンの向きが前記固定層に対して平行、反平行のいずれかをとり自由層と、を有するトンネル磁気抵抗素子と、

そのゲートが前記ワード線に接続され、そのドレインが前記トンネル磁気抵抗素子の前記固定層側に接続されるMOSFETと、を有することを特徴とするデータ処理方法。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体記憶装置に係わり、特に、磁気抵抗変化を利用したメモリにおいて、消去モードを備えた方式、及び、その消去方法に関するものである。

【背景技術】

【0002】

不揮発性メモリのなかで、磁気抵抗変化を利用したメモリであるMRAM (Magnetoresistive Random Access Memory) やSPRAM (Spin Transfer Torque RAM、スピン注入RAM) は、高速動作が可能でありかつ実用上無限回の書き換えが可能で不揮発RAMとしての可能性がある。非特許文献1や非特許文献2に示されるSPRAMのセルは、図21(a)の回路図に示すように、1つのトンネル磁気抵抗素子TMRと選択トランジスタMCT、ワード線WLとビット線BL、ソース線SLからなる。図21(b)にその断面構造例を示す。トンネル磁気抵抗素子TMRには、図22に示すように、少なくとも2つの磁性層があり、1つは、スピンの向きが固定されている固定層PL、他方はスピンの向きが固定層に対して、平行状態、反平行状態の2状態をとる自由層FLからなる。これらの膜の間にはトンネル障壁膜TBがある。情報の記憶は、この自由層のスピンの向きで記憶し、図22(a)の固定層に対して反平行状態(AP)ではトンネル磁気抵抗素子の電気抵抗が高抵抗状態となり、図22(b)の平行状態(P)で低抵抗状態となる。これを情報の“0”と“1”に割り当てる。読み出し動作では、トンネル磁気抵抗素子TMRの抵抗の大きさを読み取り、記憶された情報を得る。書き換え動作では、固定層PL、トンネル障壁膜TB、自由層FLに垂直方向の電流によって、自由層のスピンの向きを制御できる。すなわち、固定層PLから自由層FLの向きに電流を流すと、自由層FLへは、この層の磁化の向きを固定層PLと逆の向きにする方向のスピンを持った電子が主に流れる。このため、この電流値が一定のしきい値を越すと、固定層PLと自由層FLの磁化の向きは反平行となる。逆に、自由層FLから固定層PLへの向きに電流を流すと、自由層FLへは、この層の磁化の向きを固定層PLと同じ向きにする方向のスピンを持った電子が主に流れる。この電流値が一定のしきい値を越すと、固定層PLと自由層FLの磁化の向きは平行となる。すなわ

30

40

50

ち、このメモリでは、情報“0”と“1”とを電流の向きで書き分けるのである。この方式を用いると、書き換えに必要な電流（しきい値）がトンネル磁気抵抗素子TMRの大きさに比例するため、微細化と共に書換え電流が低減でき、スケーラビリティの点で優れる。トンネル障壁膜TBとしては、MgOなどが用いられる。

#### 【0003】

このメモリの特徴としては、非特許文献1及び2に示されているように、電源を切っても情報が消えない、すなわち、不揮発である。また、フラッシュメモリと比較して書き換え可能回数が非常に大きく、10年間で連続的に無制限で書き換え可能である。つまりDRAMやSRAMと同様な使用が可能である。しかも、DRAMやSRAMと同じように、“1”情報と“0”情報をランダムな場所に同等な時間での読み書きが可能である。フラッシュメモリでは、これが可能では無く、2値を記憶するメモリセルでも、消去動作と呼ばれるある領域のメモリセルを一括して例えば“0”の記憶状態にする動作と、書き込み動作と呼ばれるこの消去状態のメモリセルの内、指定されたメモリセルを“1”の記憶状態にする動作とに分かれる。このような非対称な動作が、MRAMやSPRAMでは必要ない。このメモリは、SRAMやDRAMとまったく同じ動作が可能でありながら、フラッシュメモリのように不揮発であるので、従来、揮発であるSRAMやDRAMと不揮発であるフラッシュメモリとを使い分ける必要が無く、部品点数を減らしたり、メモリ制御の階層を浅くすることができる。

10

#### 【先行技術文献】

#### 【非特許文献】

20

#### 【0004】

【非特許文献1】2009 Symposium on VLSI Circuits, Digest of Technical Papers, pp. 84-85, June 2009

【非特許文献2】IEEE Journal of Solid-State Circuits, Vol. 43, pp. 109-120, January 2008

#### 【発明の概要】

#### 【発明が解決しようとする課題】

#### 【0005】

しかしながら、このメモリを用いたシステムにおいて、メモリの過去の情報が残っていることはセキュリティの観点から好ましくない場合がある。従来のフラッシュメモリであれば、この領域に対して、消去動作を行い、何も書かれていない状態を実現できる。しかし、MRAMやSPRAMでは、SRAMやDRAMとまったく同じ動作が可能であるため消去動作という区別は本来必要ない。しかしながら、システムにとっては、不揮発のために情報が残っているので、必要な領域に対して消去動作を行う必要が生じる。このメモリは、SRAMやDRAMとまったく同じ動作が可能でありながら、不揮発であるので、このような課題を生じる。本発明は、これを解決するものである。

30

#### 【0006】

また、揮発であるSRAMやDRAMと不揮発であるフラッシュメモリとを使い分ける必要が無いので、SRAMやDRAMという揮発性メモリとの混合使用はこの課題の解としてはふさわしくない。このメモリにおいて格納された情報を消し去る機能が必要となる。更には、この動作を低電力、又は、高速に行う必要がある。

40

#### 【課題を解決するための手段】

#### 【0007】

本発明で示す代表的な手段は下記である。

#### 【0008】

第1の手段として、一連のデータ（書き込み単位）を書き込んだメモリセルの一部に所定のデータを書き込むことで消去動作を行う。これにより、消去後に読み出したとしても意味のないデータ列のみが読みだされるため高いセキュリティが実現できる。また、一部のメモリセルのみを書き換えるので低電力、又は、高速に行うことができる。

#### 【0009】

50

第2の手段として、消去状態か書き込み状態かを示すフラグビットと、ダミーパターンデータブロックを具備し、フラグビットが消去状態であることを示す場合には、ダミーパターンデータブロックから出力されるデータを外部に出力する。これにより、消去する際には、すべてのデータを変更する必要はなく、また、外部に読み出される情報は、ダミーパターンデータブロックから出力される意味のないデータ列のため高いセキュリティを確保できる。

【0010】

第3の手段としては、メモリセルアレーを情報保持時間が異なる2種類のメモリセルに構成し、一連のデータ(書き込み単位)を2種類のメモリセルに分割して書き込む。この際には、一方のメモリセルを揮発性メモリとすることがさらに望ましい。これにより、時間が経過すると(もしくは、電源が切断されると)、一部の情報が消失し、書き込み単位内のデータは意味のないデータ列となる。

10

【発明の効果】

【0011】

消去コマンドを受け付ける機能を備えたので、システム側は消去が必要な動作を実現することができ、システムの所望のセキュリティを実現できる。

【図面の簡単な説明】

【0012】

【図1】本発明の第1の実施例を示す図である。

【図2】本発明の第2の実施例を示す図である。

20

【図3】本発明の第3の実施例を示す図である。

【図4】図3の実施例の動作例を示す図である。

【図5】プログラム中のRAM領域のアサインと開放、消去の流れを示す図である。

【図6】模式的なシステムの階層構成を示す図である。

【図7】(a)、(b)は、システムでのアプリケーション毎のRAM領域のアサインと開放、消去の流れを示す図である。

【図8】本発明の第4の実施例を示す図である。

【図9】本発明の第5の実施例を示す図である。

【図10】本発明の第6の実施例を示す図である。

【図11】(a)、(b)は、書き換えドライバの例を示す図である。

30

【図12】メモリセルアレー部分のメモリの断面図と周辺回路の断面図を示す図である。

【図13】メモリセルアレー部分のメモリの断面図と周辺回路の他の断面図を示す図である。

【図14】メモリセルアレーの他のメモリの断面構造例を示す図である。

【図15】メモリセルアレーの他のメモリの断面構造例を示す図である。

【図16】TMR素子部分の実施例を示す図である。

【図17】(a)、(b)は、TMR素子部分の他の実施例を示す模式図である。

【図18】本発明の第7の実施例を示す図である。

【図19】本発明の第8の実施例を示す図である。

【図20】(a)、(b)は、MCM(マルチチップモジュール)の適用例を示す図である。

40

【図21】(a)、(b)は、従来例を示す図である。

【図22】(a)、(b)は、TMR素子の状態を示す図である。

【発明を実施するための形態】

【0013】

以下、本発明の実施例を図面に基づいて詳細に説明する。なお、実施例を説明するための全図において、同一の部材には原則として同一の符号を付し、その繰り返しの説明は省略する。

【実施例1】

【0014】

50

本発明の第1の実施例を図1を用いて説明する。本発明を用いた記憶装置のチップCHIPには、少なくともアドレス信号Ai、クロック信号Clock、コマンド信号Commandが入力される。アドレス信号で選択するメモリセルを特定し、クロック信号に同期させて外部との信号のやり取り、及び、内部の動作を行う。コマンド信号でこのチップが行なうべき機能を決める。コマンド信号は専用の信号ピンの場合もあれば、他の信号との組み合わせで行なう場合もある。この図には示していないが、外部電源端子とこれから発生する内部電源発生回路がある。アドレス信号Ai、クロック信号Clock、コマンド信号Commandは、コマンド制御回路CMDに入力する。コマンド制御回路CMDは、アドレス信号Ai、コマンド信号Commandで指定される書き込みコマンドを受けて、外部から入力されるデータをメモリセルに書き込む動作を制御する。本発明で特徴的なことは、コマンド制御回路CMDの中に消去動作を起動させるコマンドを受け付け、また消去動作を制御する回路ブロックである消去動作制御回路ECDを持つことである。消去動作制御回路ECDは、特定の信号ピンからの信号（例えば、コマンドを受け付けている期間においてハイレベルである信号）を受けて消去モードであることを判定したり、或いは複数の信号の組み合わせで同様に消去モードであることを判定したりする消去コマンドデコーダ部や、この消去コマンドを受けて、必要な内部信号を発生する消去動作制御部などからなる。

10

#### 【0015】

従来例で説明したようなメモリセルMCで構成されるメモリセルアレーは、本発明では、第1のアレーCOAと第2のアレーDTAの2つに分けられるのが特徴である。どのメモリセルに書き込むかを示すアドレス信号と共に書き込みコマンドが入力された際に、入力されたデータは、第1のアレーCOAと第2のアレーDTAとに分けて書き込まれ、第1のアレーCOAに記憶されたデータと第2のアレーDTAに記憶されたデータで一連のデータ（書き込みデータの単位）となるのが特徴である。なお、アレーCOAに分配されるメモリセルの数は、アレーDTAに分配されるメモリセルの数よりも小さくしておくのが望ましい。これは、この図に示す例のように、例えば一本のワード線WL1をこの両方のアレーに共通にし、このワード線WL1で選択される複数のメモリセルの数を、書き込まれるデータの単位に（例えば256個）合わせるようにすれば容易に実現できる。DECはアドレス信号から所望のワード線を選択するデコーダ回路であり、WLDはワード線を駆動するワードドライバである。また、第1のアレーCOAのビット線の例がBLC1であり、第2のアレーDTAのビット線の例がBLD1である。このビット線の信号を増幅するアンプ、又は、このビット線へ送る書き込みデータをラッチする回路ブロックが、SA/LAである。この各々のビット線に対応する入出力制御回路RWBに対応した信号線としてROC1やROD1がある。入出力制御回路の出力DRWは、入出力バッファDOBを介して入出力端子DIOと接続されている。

20

30

#### 【0016】

このように、一連のデータが第1のアレーCOAと第2のアレーDTAとに分けて書き込まれるが、どのメモリセルを消去するかを示すアドレス信号と共に消去コマンドを受け取ると本発明では、第1のアレーCOAにのみ、特定のデータを書き込む。特定のデータとは、すべて“0”であったり、すべて“1”であったり、或いは“1”と“0”とが単純に繰り返されるデータである。これを持って消去を終了したとしてしまうのが本発明の特徴である。すなわち、第2のアレーDTAに対しては書き込みの動作は行わない。第1のアレーCOAのデータ数は少ないので、書き込み動作に必要な電流の総和が小さくなり低電力にこのチップで定義した消去動作を完了できる。また、本発明のような電流で情報を書き込むメモリの場合は、ピーク電流の制限により、1本のワード線で選択されるメモリセルに一括して書き込むことができない場合がある。この場合、1本のワード線で選択されたメモリセルに順次データを書き込むことになるが、本願発明のように第1のアレーCOAのみに書き込むことで消去動作を完了させれば高速に消去動作を終了することが可能となる。なお、一連のデータは、第1のアレーCOA、第2のアレーDTAの両方に書き込まれている（本実施例では、一本のワード線単位であるとした）ので、このデータを

40

50

読み出しても意味の無いデータしか出てこない。すなわち、このデータ領域は消去されたことになる。なお、本図に示される半導体集積回路は、特に制限されないが、単結晶シリコンのような1個の半導体基板(半導体チップ)に、CMOS集積回路製造技術を基本にして形成される。

【実施例2】

【0017】

図2は本発明の第2の実施例である。図1と異なる部分を主体に説明する。図1と同様に、COAとDTAの2種類のアレーがある。CDO1は、COAの中の特定のアドレスに対応した出力信号である。ここでは、ワード線WL1とビット線BLC1とで選択されるメモリセルMC1の情報に対応したデータとする。また、実施例1では、一連のデータをCOAとDTAの両方に書き込んでいたが、本実施例では、一連のデータは、DTAのみに書き込まれ、COAは、消去動作が行われた否かを示すフラグビットとして使用する。

10

【0018】

まず、消去動作では、COAに含まれるMC1のメモリセルのみに例えば“0”を書き込む。こうすることによって、ワード線WL1に接続されたDTAに含まれるメモリセルのデータは消去されたとみなすというのが本発明の特徴である。書き込み時には、この例ではMC1のメモリセルに“1”を書き込み、入力されたデータをDTAに書き込む。読み出し時には、CDO1には、このMC1の“1”又は“0”の情報に応じた信号が出力される。ここで、本実施例では、特定のデータを記憶したダミーパターンデータブロックDPDを配置している。このダミーパターンデータブロックDPDは、“1”と“0”の繰り返しデータ等、特に意味のないデータを出力する。このDPDは不揮発である必要は無く、例えば書き込み単位のデータの数と等しい段数のインバータチェーンで構成し、それぞれのインバータの出力をダミーデータとして出力するように構成できる。インバータチェーンで構成すると、その各々の出力は、特定のデータパターン、この場合は“1”と“0”の繰り返しとなる。また、DPDは、単に、書き込み単位のデータの全ビットがグラウンドレベルでも良いし、安定化された高電位電源レベルでも良い。又は、インバータチェーンでなく、フリップフロップ列でも良いし、ヒューズ手段で構成し自由な信号列を作成しても良い。或いは、磁性体メモリをそのまま用いても良い。

20

【0019】

ここで、入出力制御回路の出力をDRWとし、ダミーパターンデータブロックDPDから出力される同様な種類の信号をDDWとする。SELKは選択回路であり、読み出し時にCDO1の出力信号に従って、出力バッファに、RWBの出力DRWを伝えるか、DPDの出力DDWを伝えるかを選択する回路である。読み出し時には、RWBにはメモリセルの情報が、DPDには予め設定された情報が入っている。ここで、CDO1の信号がMC1の“0”に対応した信号とする。従って、DTAに記憶されたデータは消去されたものである。SELKでは、DPDの出力DDWの信号を出力バッファに伝える。よって、読み出される信号は、例えば、“1”と“0”の繰り返しデータとなり、消去された意味の無いデータとなるのである。このように、本実施例では、消去は、MC1のデータを書き換えたのみで終了し、高速かつ低電力とできるという特徴がある。なお、CDO1の信号がMC1の“1”に対応した信号の場合は、通常の読み出しが行なわれる。

30

40

【0020】

このCDO1のように、SELKにて、通常読み出しと、予め定められた(消去されたことに対応した)データの読み出しのどちらを選択するかの判定信号は、COA内部の複数のデータから作成するなど色々な変形例が考えられる。また、本実施例では、単にCOAをフラグビットとして使用しているが、実施例1のように書き込みデータの単位を分割して記憶し、その一部のみを消去する方法と併用する(フラグビットも含め、COAのメモリセルには所定のデータを一括して書き込む)と、さらにセキュリティが高くなる。

【実施例3】

【0021】

50

図3は本発明の第3の実施例を示す図である。PROCと示されたチップと、SPRAM CHIPと示されたチップとからなる。PROCと示されたチップでは、例えばマイコン部、ある機能を有した論理回路ユニットとしてのAA、入出力回路IO、メモリ専用の制御及び入出力回路MEM IO、周辺バスであるBバスを有する。このマイコン部は、CPU(Central processing Unit)、消去動作制御回路ECDを備えたSPRAMを有し、更に他の種類のメモリORAMが混載される場合もある。これらは、内部バス(Aバス)に共通接続される。消去制御ブロックECDを備えたSPRAMの構成及び機能は、本発明の第1又は第2の実施例と同様な構成である。また、MEM IOには、SPRAM CHIPが接続される。SPRAM CHIPは、本発明の第1又は第2の実施例と同様な構成である。その他周辺回路部は特に制限されないがタイマやカウンタ等を備える。このような構成の装置を用いて、所望のシステムが組み立てられるが、本実施例ではそこで用いるSPRAMのような磁気抵抗変化を利用したメモリが、消去機能を有しており、CPUの制御に従って、残したくないデータを自在に消去することができる。これによりセキュリティに優れたシステムを構成できるという特徴がある。

10

20

30

40

50

#### 【0022】

図4は、図3の装置を用いた動作の一例を、プログラム記述と消去動作の関係から説明した実施例である。図4では、プログラム記述の各ラインが並んでいる様子を示しており、この記述に従って、図3のような装置のCPUにて演算処理が行なわれて行く。ここで、第k行がこのプログラムの所定の処理を行うためのメモリRAMの領域がアサインされる命令であるとする。これに従って、この記述中のメモリ空間のある領域がこの処理のワークメモリ領域となり処理が行なわれる。その後、処理が終わり、第n行がこのメモリ空間を開放する命令とする。この時、図3を用いた装置では、この領域の消去動作を、図1又は図2で例を示した方法によって、高速かつ低消費電力にて行なうことができる。すなわち、図5に示したように、あるRAM領域Aがアサインされ、これを用いた演算処理が終了後、RAM領域A開放の記述が現れる。これによって、この領域の消去を行なうコマンドをCPUが発行する。これにより、その領域に対応したPROC上のSPRAM又はSPRAM CHIPにて、対応した領域Aの消去が行なわれるのである。本実施例によれば、ひとつのプログラムの実行途中でアサインされた領域を小まめに消去する動作が可能となり、セキュリティに優れたシステムを構成することができる。

#### 【0023】

この消去動作は、演算処理の様々な階層で用いることができる。図6はこの実施例を説明するために、システムの階層構成を模式的に示したものである。あるシステムを考えると、そこで動作するアプリケーションソフトウェアが存在する。このアプリケーションソフトウェアが動作するには、コンピューティングシステムの基本ソフトであるOSとこのアプリケーションソフトウェアとを効率よく結ぶためのミドルウェアが存在する。更に、このOSを動作させるハードウェアは主としてCPUとメモリで構成されるが、このハードウェアをOSの下で効率よく動作させるにはファームウェアと呼ばれる仕掛けが用いられる。このような階層を取るシステムにおいて、本発明では、この図の最下層においたメモリが不揮発かつ無限回の書き換えが可能であり、かつ、DRAMやSRAMと同等の書き換え性能が実現できるメモリでありながら、消去モードを用意し、しかもこの消去動作を高速かつ低消費電力で可能とできるという特徴を有する。このような階層において、使い手の工夫によって様々なことを行なうことができ、セキュアなシステムを構築できる。この例を図7で説明する。この例では、簡単のために、図7(a)のように、CPUと消去制御ブロックECDを備えたSPRAM CHIPの2つで説明する。CPUによってあるアプリケーションが作動する例である。図7(b)に例の一つを示す。まず、アプリケーションプログラムが開始され、ある処理が行なわれ、その後このアプリケーションが終了する。ここまでは通常の動作である。この後、本発明では消去動作を行うコマンドを発行する。これによって、本発明を用いたシステムではこのアプリケーションで使用した領域の消去を行なうというのが特徴である。消去コマンドが発行されると、SPRAM CHIPでは図1や図2の方法によって、例えば、全チップを消去してしまう。これによ

って、このアプリケーションの動作で取得、作成されたデータはすべて読み出せなくなり、これによってセキュリティの高いシステムが可能となる。

【実施例 4】

【0024】

図 8 は、本発明の第 4 の実施例を示す図である。本実施例では、実施例 1 と同様にデータを複数に分割して格納するが、そのメモリセルアレーの構成又はメモリセルの構成が異なっていることを特徴とする。これによって、消去する部分のメモリセルを自由度を高く設計することが可能となる。DTA 1 と DTA 2 はそれぞれメモリセルアレーである。DTA 1 ではメモリセル MC 1 が 2 次元的に敷き詰められる。BLD 1 はビット線の例であり、センスアンプと書き込みデータのラッチである SA/LA 1 からなっている。DTA 2 では、メモリセル MC 2 を有し、ビット線 BLD 2 にて、センスアンプ/ラッチである SA/LA 2 と接続している。書き込まれる、又は読み出される、単位のデータはこの 2 つのアレーに分割されて格納される。もちろん、3 つ以上に分割されても良い。本実施例では、DTA 1 と DTA 2 はそれぞれ異なるメモリセルを有するという特徴がある。例えば、DTA 2 は SRAM であるが、DTA 1 は SRAM や DRAM でも良い。この方式によれば、電源を切ると DTA 2 にはデータが残るが、DTA 1 のデータは消えてしまう。そこで、DTA 1 のデータのみを読み出し、ユーザが別の記憶装置に保持することによって、DTA 1 のデータを所有しているユーザでなければ元のデータを復元できないことになる。この際、ユーザは、すべてのデータを別の記憶装置に保存する必要はなく、少ない容量の外部記憶装置に一部のデータを退避すればよい。これにより、必要なデータを残しながら、電源を切ると他からは解読できず、高いセキュリティを実現できる。特に、実施例 1 と比較すると、実施例 1 では、消去コマンド発効前に、電源が切られると COA にもデータが残ってしまう可能性があるが、本構成をとれば、電源が切られると情報が消失してしまうため、高いセキュリティが実現できる。

10

20

【0025】

又は、消去速度が異なるメモリ、或いは、一方にのみ消去機能を備えた構成でも良い。例えば、DTA 1 のメモリセルには、DTA 2 のメモリセルよりも TMR 素子の面積が小さなものを用いる。このようにすれば、容易に消去できたり、面積を適切に選ぶことにより、例えば DTA 2 もデータは 10 年間不揮発であるが、DTA 1 のメモリセルは 1 年間で消えてしまうといった設定も可能である。消去補助機能を使った実施例は後述する。更に、図 8 においては、SA/LA 1 は消去制御回路 ECD で制御されるが、SA/LA 2 は制御されない例を示している。つまり、消去動作は、SA/LA 1 の回路のみが行うことができる。図 8 において、他の記号は図 1 と同じである。

30

【0026】

なお、実施例 2 の COA に本実施例の DTA 1 を適用できる。例えば、電源投入時の DTA 1 の情報を消去を示す情報“0”を記憶するものとしておけば、電源を再投入した直後は、常に DPD から情報が読みだされることになり、高いセキュリティを保つことが可能となる。

【実施例 5】

【0027】

図 9 は、本発明の第 5 の実施例を示す図である。この実施例では、実施例 4 で示した DTA 1 と DTA 2 とを、チップ上の異なった場所に配置し、それぞれのワードドライバ WLD 1、WLD 2 を備えている。書き込み単位、又は、読み出し単位のデータは、この 2 つのアレーに分割して置かれるが、複数の DTA 1 はチップのひとつの場所に集めて配置され、その残りのチップの部分に DTA 2 が配置される。この実施例によると、2 つアレーへ分割されたデータの関連が物理的には同定が困難となるため、不当なデータの解析に対して更にセキュリティを高めることができるという特徴がある。また、2 つのアレーは機能が異なるので、これらをそれぞれ一か所に集めることにより、より小さな面積でチップが構成できることもある。この図 9 では、更に、例えば DTA 1 の情報が消されたデータの単位については消去済みとして、所望の一定のデータを出力するための回路である D

40

50

P Dを備えることもできる。

【実施例 6】

【0028】

図10は本発明の第6の実施例を示す図であり、データを分割格納する2つのアレーブロック、ADTA1とADTA2と入出力端子DQまでの構成例を示した例である。ここで、ADTA1は、実施例1及び2のCOAに対応し、実施例4及び5のDTA1に対応する。また、ADTA2は、実施例1及び2のDTAに対応し、実施例4及び5のDTA2に対応する。対応するビット線BL1~BL4、ソース線SL1~SL4に接続されたMC11, MC12~MC42はメモリセルであり、MC11に示したように各々はTMR素子TMRと選択トランジスタMCTとで構成されている。ワード線WL1、WL2によって、各メモリセルの選択トランジスタが駆動される。SA1~SA4はセンスアンプであり、LA1~LA4はセンスアンプのセンス結果を格納するラッチ回路であり、WD11・WD12~WD41・WD42は、書き換えドライバである。ラッチ回路LAは、対応するメモリセルが書き込み対象となった場合に、格納したデータに従った情報を入力する。これにより、書き換えドライバWDにより相補の信号となり、ビット線・ソース線に電位差が生じ、メモリセルに電流が流れる。一方、書き込み非対象の場合は、ビット線側に接続された出力線と、ソース線側に接続された出力線に相補の信号を入力する。これにより、書き込み非対象の場合は、ビット線とソース線が同じ電位に駆動されることになり、電位差が発生しないためメモリセルには電流が流れない。よって、書き換え動作が起こらない。SAEはセンスアンプの活性化信号である。ADTA1のセンスアンプはYS信号YS1で選択され、ADTA2のセンスアンプはYS信号YS2で選択される。この例では、各メモリセルアレーADTA1とADTA2からは、2本の内部入出力ラインIO1, IO2へセンスアンプの結果が伝えられる構成となっている。このIO1, IO2と各メモリセルアレーADTA1とADTA2との接続が、YS1、YS2によって行なわれる。なお、メモリセルアレーは実際はもっと多く配置され、これに対応したワード線、YS信号が用意される。内部入出力ラインIO1, IO2は、マルチプレクサMUX1にてひとつが選択され、入出力端子DQへその信号が出力される。外部からのデータの入力も同様であり、DQからの信号は、MUX1で各IO1, IO2に振り分けられ、YS信号によって書き込むべきアレーへ信号が伝えられる。

10

20

30

【0029】

このようなアレー構成によって、本発明をメモリアレーとして実現することができる。本実施例で、ADTA1とADTA2とで異なる点は、消去制御信号ERが、ADTA1内部の書き換えドライバには入力されているが、ADTA2内部の書き換えドライバには入力されていない点である。すなわち、消去動作はADTA1にのみ行うのである。具体例は図11で述べるが、このように2つのアレーを持ち、ひとつの単位のデータを2つに分割して格納し、片方のアレーのみに消去手段を設けることにより、消去動作を行うモードをこのメモリチップが持つことができ、かつこの消去動作が高速かつ低電力となるという特徴がある。

【0030】

ADTA1とADTA2の異なる書き換えドライバの簡単な例を図11に実施例として示す。まず、消去動作を行わないADTA2の方からであるが、これは図11(b)の方のようにラッチの出力をそのまま十分な駆動力をつけてビット線BL3とソース線SL3を駆動すればよい。この図には示していないが、タイミングを決める信号を入力するにはそれぞれのインバータの一つを2入力NANDに変えれば良い。一方、消去動作を行うADTA1では、図11(a)に示すように単純に2入力NANDを用意し、消去制御信号ERを入力すればよい。消去制御信号ERを低レベルとするとすべての2入力NANDの出力は高レベルとなる。この消去制御信号ERはADTA1のすべての書き換えドライバに共通に入っていることを注意しておく。よって、すべてのセルに同じ情報が書き込まれることになる。これによってこれらのメモリセルの情報を消去できたことになり、よってADTA2と合わせて読んでも復元は不可能となる。また、情報を読み出そうとした際に

40

50

、アレーの情報ではなく、異なる回路からの意味のない情報となる。なお、タイミングを決める信号を入力するにはそれぞれの他のインバータの一つを2入力NANDに変えれば良い。

#### 【0031】

図12は本発明の消去コマンドでの動作を行わない通常のメモリセルアレー部分のメモリの断面図と周辺回路の断面図を示している。実施例1等、消去コマンドで特定の情報が書き込まれる場合は、同様の構成ができる。メモリセルは、1つのnMOSトランジスタとトンネル磁気抵抗TMRからなる。ワード線WLはトランジスタのゲートGPに接続される。ゲート材料は、P型ポリシリコンやP型ポリシリコンの上部にシリサイドあるいは、タングステン(W)が積層され、低抵抗化されている。メモリセルトランジスタは、p型の半導体領域pWEL中に形成される。p型半導体領域pWELは、n型半導体領域DWELの中に形成され、このDWELはP-Sub上に形成される。nMOSトランジスタの拡散層LNの一方には、ソース線コンタクトSLCが配置される。ソース線コンタクトは、隣接するメモリセルMCと共有化して小面積化している。ソース線コンタクト上には、ワード線と直交する方向にソース線が配線される。ソースコンタクトが配置されない拡散層LPには、トンネル磁気抵抗TMRに接続される下部電極コンタクトBECが配置される。下部電極コンタクトBECはトンネル磁気抵抗が配置される下部電極BEに接続される。下部電極BE上には、複数の磁性体膜とトンネル膜からなるトンネル磁気抵抗TMRが配置される。トンネル磁気抵抗TMRには、少なくとも1層のトンネル膜TBとその両側に配置される固定層PLと自由層FLが含まれる。磁性体の固定層PLでは、内部の電子のスピン向きが一定方向に固定されている。一方、磁性体の自由層FLでは、内部の電子のスピン向きが固定層に対して平行・反平行状態の2状態のいずれかの状態にある。本構成では、トンネル膜TBと下部電極の間に固定層PLが配置され、トンネル磁気抵抗TMRの上層に配線されるビット線BLとトンネル膜TBの間に自由層FLが配置される。ビット線は、ワード線と直交し、ソース線と平行に配線される。

10

20

#### 【0032】

図13は、本発明の消去コマンドでの動作を行うメモリセルアレー部分のメモリの断面図と周辺回路の断面図を示している。本例の特徴は、下部電極BEの下方にワード線と平行に走るアシストワード線AWを配置したことである。このアシストワード線AWに電流を流すことによって磁界を発生することができる。この磁界によって、特定方向の書き込みを加速し、すなわち消去動作を加速することができる。この図では、ビット線に直交する場合を示したが、平行に配置することも可能である。ひとつのビット線に繋がるすべてのメモリセルのフリー層をこの発生した磁界ですべて同じ向きに揃える動作も可能である。つまり消去動作が容易に実現できる。

30

#### 【0033】

図14は、本発明を消去コマンドでの動作を行わない通常のメモリセルアレーの他のメモリの断面構造例を示した図である。メモリセルトランジスタを縦型MOSで構成したものであり、メモリセル面積を $4F^2$ まで低減できる。PLは固定層、FLは自由層、TBはトンネルバリアでありTMR素子を形成している。この図ではPLが上部にあるが、PLがFLよりも下部にあっても良い。また、縦型MOSとの高さ方向の配置の順番もこの図とは異なる順番でも良い。GAがゲートであり、上下のn+領域がソース及びドレインであり、p領域にゲートGAに印加される電圧によって通常のMOSと同じ動作をする。ゲートGAはp領域を環状に包む場合もあれば、2方向から或いは3方向から縦型構造の面を制御する場合もある。また、縦型MOSとしてはこの図はnMOSであるが、pMOSでも構成できる。

40

#### 【0034】

図15は、本発明の消去コマンドでの動作を行うメモリセルアレー部分のメモリの他の断面構造例を示したものである。TMR素子部に発熱素子HEATERを付加したものである。この部分は電流又は電圧を印加すると発熱する性質を持っており、書き込み時にはこの素子を活性化させてTMR素子を加熱する。高温では書き換えに必要な電流を小さく

50

できる。このため、低電力で高速に書き換えが、すなわち消去ができるという特徴がある。ワード線とビット線、ソース線を選択してスピン注入での書き込みを行うときに H E A T E R に信号を印加して発熱させる。又は、H E A T E R のみに信号を印加して、メモリセルのフリー層の状態をランダムにすることができ、これでも消去動作を行うことができる。

#### 【0035】

図16はTMR素子部分の実施例を示したものである。図22の従来例でも説明したようにトンネル磁気抵抗素子TMRには、少なくとも2つの磁性層があり、1つは、スピンの向きが固定されている固定層PL、他方はスピンの向きが固定層に対して、(a)の反平行状態、(b)の平行状態の2状態をとる自由層FLからなる。これらの膜の間にはトンネル障壁膜TBがある。この構造をより詳しくした例を図16に示す。金属配線BEとビット線BLは図12に対応したものである。この図でも固定層PL、自由層FL、及び、トンネル障壁膜TBがある。まず、金属配線BEの上には、金属層108が置かれる。この上に固定層PLが配置されるが、この図では103と102の2層構造となっている。103は反強磁性体膜であり、102は強磁性体膜である。このように反強磁性体膜103を強磁性体膜102に合わせることによって、最初に定めた磁化の向きが強固に固定される。これによって、書き換えの電流などでは磁化が変化しない固定層PLとなる。その上にトンネル障壁膜TBが置かれ、その上に自由層FLが置かれる。トンネル障壁膜TBはMgOなどの絶縁膜である。自由層FLは、この例では、104、105、106の多層構造となっている。104と106は強磁性体膜であるが、105はRu(ルテニウム)などの金属である。また、104と106の磁化は互いに反平行となるようにしてあり、ここでは、2つの強磁性体膜で金属層を挟んだ構造としたが、これを増やして4つの強磁性体膜を用いてそれらの間に金属層(この場合は合計で3層が必要となる)を挿入した構造としても良い。もっと多層でも良い。このようにすることで、熱の擾乱による自由層FLの磁化の向きの揺らぎに対する耐性を高めることができる。一般に温度が上がると熱によって自由層FLの磁化の向きが揺らぎやすくなり、書き込んだ向きと逆の向きに回転してしまう確率が高くなる。しかしながら、このような多層構造をすることによってこの逆の方向に回転してしまう確率を実用上問題無い低いレベルに抑えることができる。また、書き換えを行なう電流のしきい値を低く抑えることができる。この自由層FLの上部は金属層107を介してビット線BLと接続されることになる。この例のようなTMR素子を本発明に用い、読み出し時は再書き込みを行なうことにより、比較的大きな電流で安定に読み出しを行なうことができる。

#### 【0036】

図17は、本発明を実現する他のメモリセルアレーのTMR素子の部分を模式的に示したものである。この実施例では、自由層と固定層の磁化の向きがトンネル障壁層に対して水平ではなく垂直となっている。このような材料を選択することで熱による擾乱に対してTMR素子の2つの状態(平行と反平行)が安定なメモリ素子とすることができる。これに本発明の温度制御や、破壊読出しを行う方式を適用した実施例では、スケージングが進んでも、広い温度範囲で安定に動作するメモリ動作を実現できるという特徴がある。このような構造のTMR素子を適用した様々なメモリセルを用いて、本発明の特徴である本来の書き換え信号の前にこれとは逆特性の書き換え信号を与える動作を実現できる。

#### 【実施例7】

#### 【0037】

図18は、本発明の第7の実施例である。図1と共通の信号及び部品は同じものを示し、実施例1から6の何れにも適用可能である。この実施例では、このチップが消去動作中であることを示す信号や、消去動作が終了したことを示す信号である外部端子E B Y Sを備えているという特徴がある。消去制御を行うE C Dより、消去状態を示す信号としてビジー信号E B Yを備えており、消去動作中であることや、消去動作が終了したことなどが伝えられる。この信号E B Yは、パッファ回路C E B Y Sにより外部端子E B Y Sから出力される。これによって、システムはこのチップの消去動作の完了信号を得ることができ

10

20

30

40

50

る。消去動作そのものはこれまでの実施例で述べた方法によって行われる。システムによっては、消去の完了信号が必要な場合があり、本実施例であればその信号を供給できるという特徴がある。更に、図18では、外部端子E B Y S及びその関連回路と共に装備でも良いが、タイマー回路T I M E Rを設けている。これによって、例えば、このT I M E Rをリセットせずに5分たつと、T I M E Rは消去制御を行うE C Dに信号を送り、消去動作を開始させる。これによって、一定時間以上のデータをこのチップに持つことを許さないようにできるという特徴がある。

【実施例8】

【0038】

図19は、本発明の第8の実施例である。図18と共通の信号及び部品は同じものを示す。本実施例では、内部電源発生回路O V Gと内部電源の例としてV d i n t e rが示されており、外部電源端子がV d dである。なお、これまでの実施例には示していないが、このような内部電源発生回路を持つ場合がある。本実施例での特徴は、外部電源端子がV d dに大きなコンデンサ素子C Dが付いていることである。これは、チップの外に設けても良いし、パッケージの中にチップと共に封入しても良いし、また、チップ上に形成してもよい。本実施例では、不意に電源が切られても、このコンデンサ素子C Dに蓄えられた電荷で消去動作を行うという特徴がある。本実施例では、消去動作が低電力で行えるために、このようなコンデンサ素子C Dに蓄えられた電荷で消去動作が可能となる。

10

【0039】

図20のように、本発明に係る半導体装置をM C M (マルチチップモジュール)化し、コンデンサ素子を配置することができる。図20(a)は正面図、図20(b)は平面図である。消去モードを持ったS P R A Mを備えたC P Uチップ、消去モードを持ったS P R A M単体チップ、及びN A N Dフラッシュなどの固体素子で構成したストレージ素子S S Dを高密度実装基板に搭載して成る。R Fチップなどが搭載される場合もある。これによれば、ユーザの実現したい機能を高性能で且つシングルチップ化する場合よりも短い期間で実現可能になる。しかも消去動作をサポートしつつ、S R A M / D R A M並みの高速であり、かつ不揮発である。ソフトエラーも起こらない。

20

【産業上の利用可能性】

【0040】

本発明は、半導体記憶装置に係わり、不揮発かつ書き換え回数が多く、小面積なメモリにおいて、高速かつ低電力な消去動作を可能とした混載メモリ又は単品メモリの分野に関する。

30

【符号の説明】

【0041】

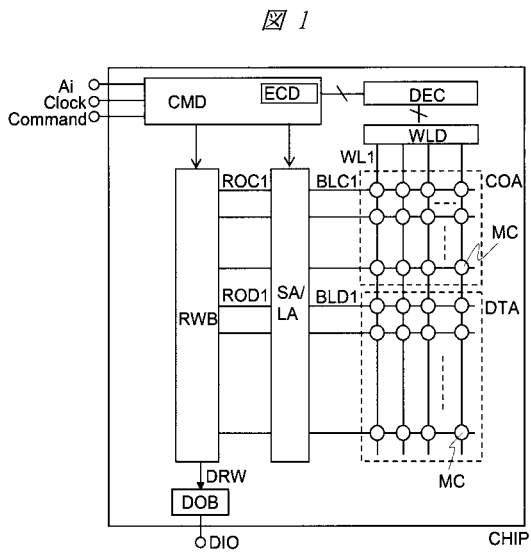
A i : アドレス信号、C l o c k : クロック信号、C o m m a n d : コマンド信号、C M D : コマンド制御回路、E C D : 消去動作制御回路、D E C : デコーダ回路、W L D : ワードドライバ、R W B : 入出力制御回路、C O A , D T A , A D T A : メモリセルアレー、M C : メモリセル、D O B : 入出力バッファ、D I O , D Q : 入出力端子、D R W : R W B の出力、B L C , B L D , B L : ビット線、W L : ワード線、C H I P : チップ、D P D : ダミーパターンデータブロック、S E L K : 選択回路、A A : 論理回路ユニット、M E M I O : メモリ専用の制御及び入出力回路、O R A M : メモリ、M C T : 選択トランジスタ、T M R : 記憶されている情報に応じて異なる抵抗を取る磁性体素子、S L : ソース線、W D : 書き換えドライバ、S A : センスアンプ、L A : 書き換えラッチ、S A E : センスアンプ制御信号、Y S : Y S 信号、I O : I O 線、M U X : マルチプレクサ、E R : 消去制御信号、S L C : ソース線コンタクト、B E C : 下部電極コンタクト、B E : 下部電極、G P : P型ポリシリコンゲート、L P : P型拡散層、F L : 自由層、T B : トンネル膜、P L : 固定層、G N : n型ポリシリコンゲート、L N : n型拡散層、P W E L : P型半導体領域、N W E L , D W E L : N型半導体領域、P - S u b : p型基板、S T I : 素子分離領域、A W : アシストワード線、G A : ゲート、H E A T E R : 発熱素子、E B Y : ビジー信号、E B Y S : 外部端子、C E B Y S : バッファ回路、T I M E R :

40

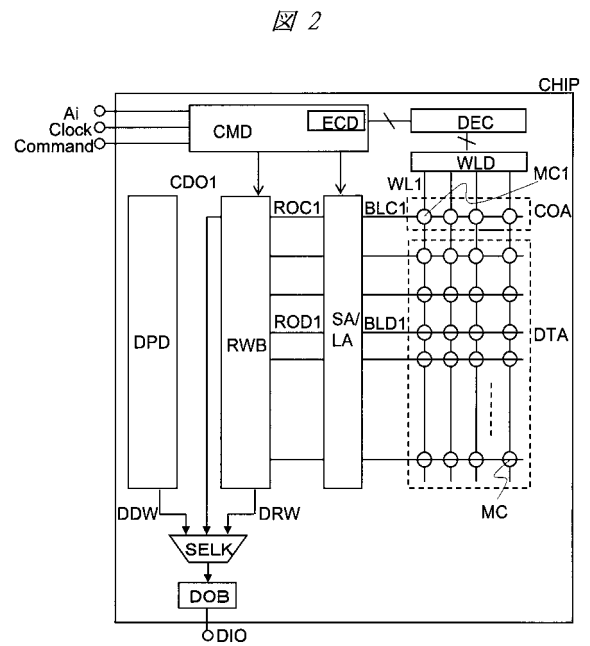
50

タイマー回路、O V G : 内部電源発生回路、V d d : 外部電源端子、C D : コンデンサ素子。

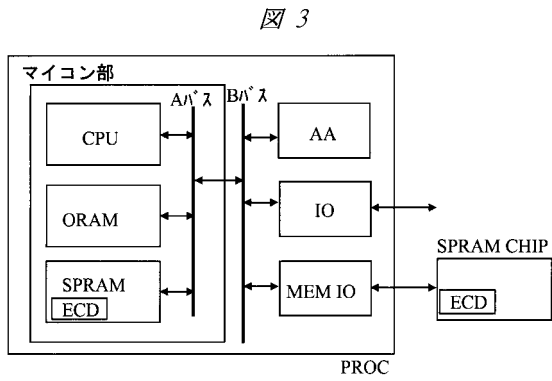
【 図 1 】



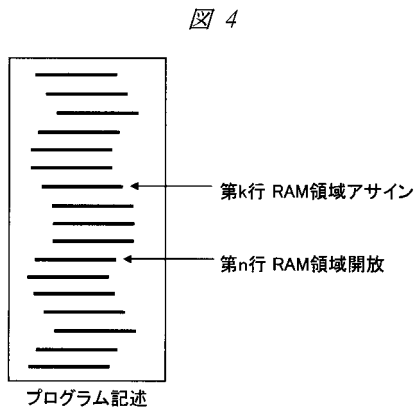
【 図 2 】



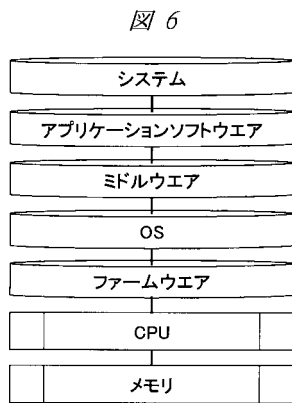
【 図 3 】



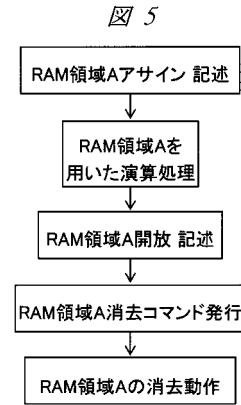
【 図 4 】



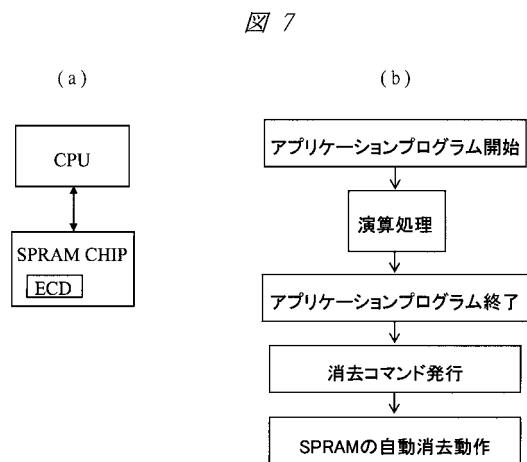
【 図 6 】



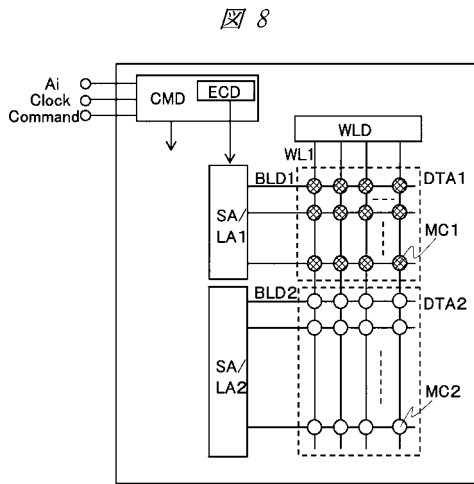
【 図 5 】



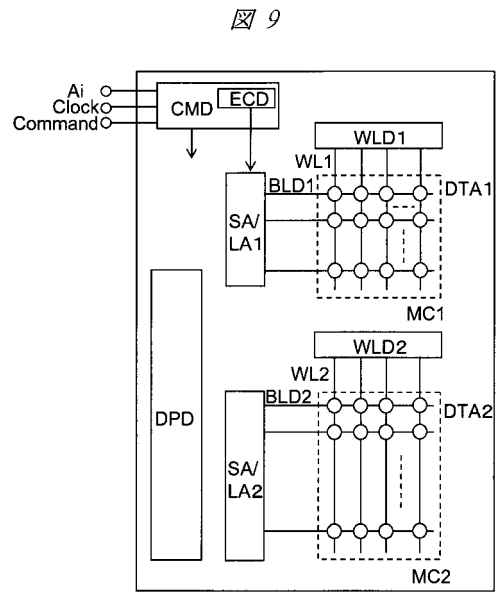
【 図 7 】



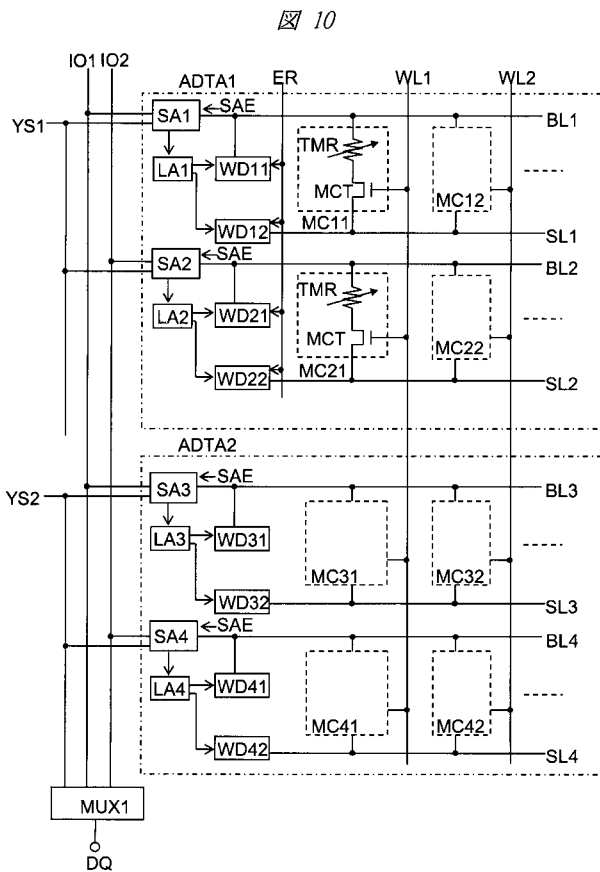
【 図 8 】



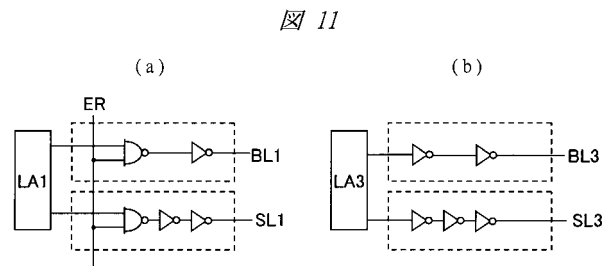
【 図 9 】



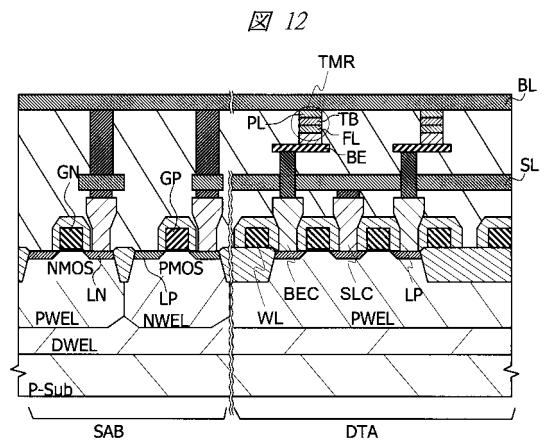
【 図 10 】



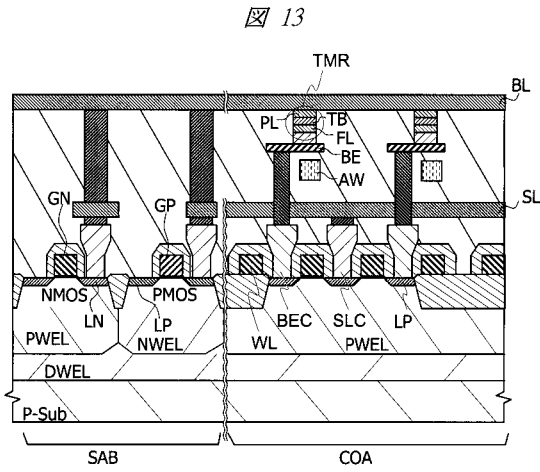
【 図 11 】



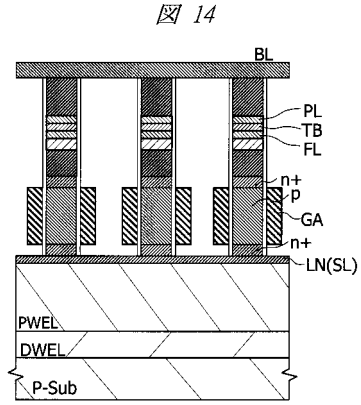
【 図 12 】



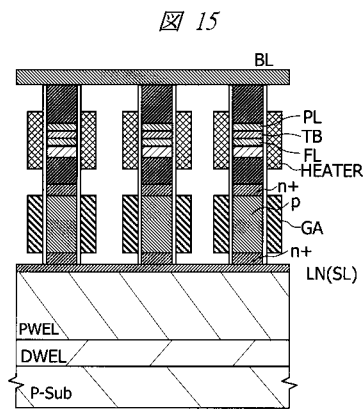
【 図 1 3 】



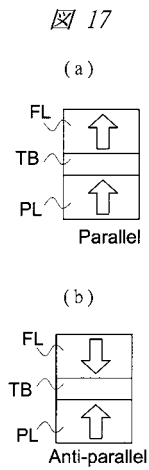
【 図 1 4 】



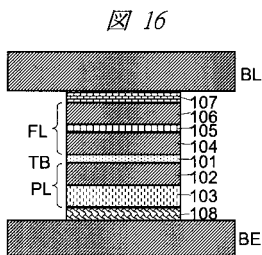
【 図 1 5 】



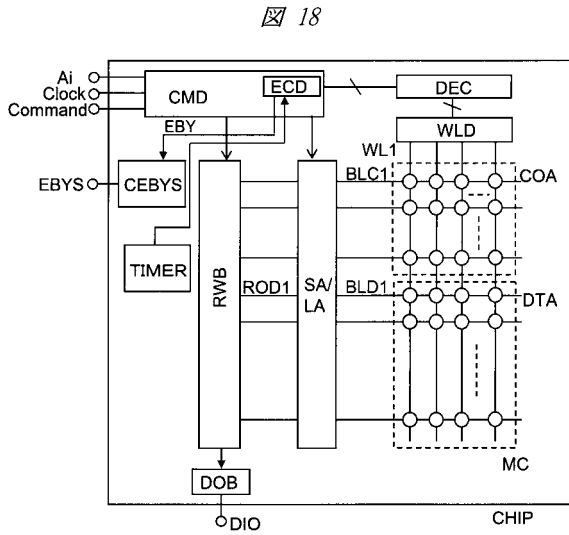
【 図 1 7 】



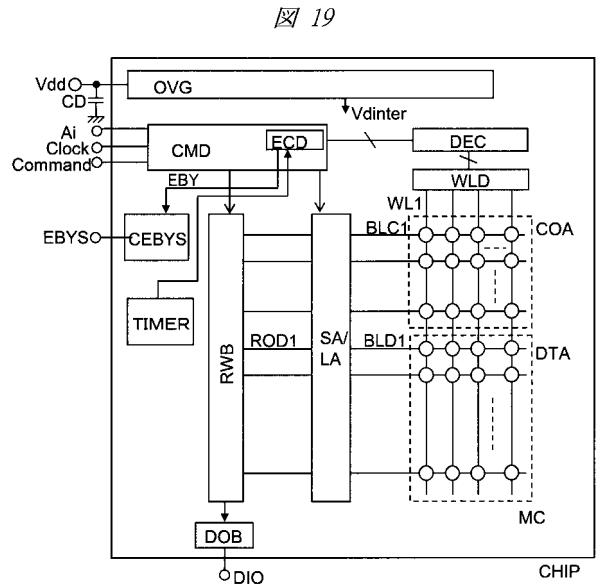
【 図 1 6 】



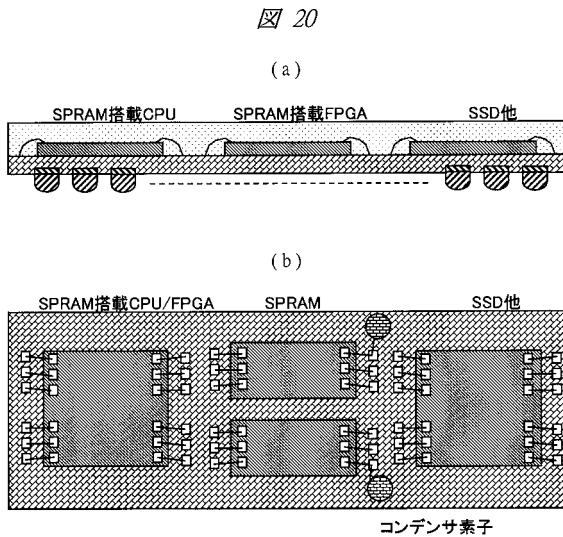
【 図 1 8 】



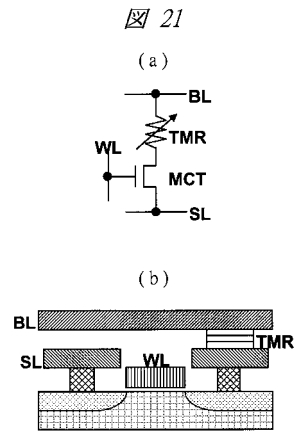
【 図 1 9 】



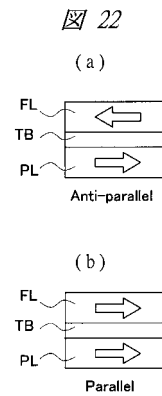
【 図 2 0 】



【 図 2 1 】



【 図 2 2 】



フロントページの続き

(72)発明者 小日向 宣昭

神奈川県川崎市麻生区王禅寺 1 0 9 9 番地 株式会社日立製作所システム開発研究所内