

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号

特許第7128312号

(P7128312)

(45)発行日 令和4年8月30日(2022.8.30)

(24)登録日 令和4年8月22日(2022.8.22)

(51)国際特許分類

F I

G 1 1 C 13/00 (2006.01)

G 1 1 C 13/00 4 8 0 K

G 1 1 C 13/00 2 7 0 J

G 1 1 C 13/00 4 8 0 E

G 1 1 C 13/00 4 8 0 B

請求項の数 17 (全17頁)

(21)出願番号	特願2021-45708(P2021-45708)	(73)特許権者	519253111
(22)出願日	令和3年3月19日(2021.3.19)		ヘフェイ リライアンス メモリー リミ
(62)分割の表示	特願2019-559262(P2019-559262)		ティド
原出願日	平成29年12月19日(2017.12.19)		中華人民共和国,ヘフェイ,ハイ テク
(65)公開番号	特開2021-103603(P2021-103603)		ゾーン,イノベティブ インダストリ
	A)		アル パーク ザ セカンド,ビルディング
(43)公開日	令和3年7月15日(2021.7.15)	(74)代理人	エフ4,イレブンス フロア
審査請求日	令和3年3月19日(2021.3.19)		100099759
(31)優先権主張番号	62/448,831	(74)代理人	弁理士 青木 篤
(32)優先日	平成29年1月20日(2017.1.20)		100123582
(33)優先権主張国・地域又は機関	米国(US)	(74)代理人	弁理士 三橋 真二
			100114018
		(74)代理人	弁理士 南山 知広
			100165191
		(74)代理人	弁理士 河合 章

最終頁に続く

(54)【発明の名称】 R R A M 書き込み

(57)【特許請求の範囲】

【請求項1】

抵抗変化ランダムアクセスメモリ(R R A M : Resistive Random Access Memory)セルに結合されているビット線又はソース線に印加される電圧であって、セット又はリセット動作中に前記R R A Mセルをセット又はリセットするための電圧を、第1の時間間隔の間に最小電圧値から最大電圧値まで上昇させることと、

前記第1の時間間隔の後の第2の時間間隔の間に前記電圧を前記最大電圧値に保持することと、

前記第2の時間間隔の後に前記電圧の印加を止めることと、を含む方法であって、

前記電圧を上昇させることは、前記R R A Mセルのリセット動作中に前記ソース線への電流を更に制限する電流制限器を介して、前記R R A Mセルのセット動作中に前記ビット線への電流を制限すること、を含む方法。

【請求項2】

前記電圧を上昇させるために前記ビット線又は前記ソース線に供給される電流の電流制限を調整すること、を更に含む請求項1に記載の方法。

【請求項3】

前記電圧を上昇させるための前記第1の時間間隔は、前記ビット線又は前記ソース線に供給される電流制限、及び前記ビット線又は前記ソース線の寄生容量に基づき、

前記電圧を上昇させること及び前記電圧を保持することは、前記R R A Mセルのフィラメント構造の抵抗を調整することである、請求項1に記載の方法。

【請求項 4】

前記セット又はリセット動作中の前記第 2 の時間間隔の間に前記ビット線又は前記ソース線に印加される前記電圧を制限すること、を更に含む請求項 1 に記載の方法。

【請求項 5】

前記セット又はリセット動作中に前記ビット線又は前記ソース線に共供給源を結合すること、を更に含む請求項 1 に記載の方法。

【請求項 6】

抵抗変化ランダムアクセスメモリ (R R A M : Resistive Random Access Memory) セルに結合されているビット線又はソース線に印加される電圧であって、セット又はリセット動作中に前記 R R A M セルをセット又はリセットするための電圧を、第 1 の時間間隔の間に最小電圧値から最大電圧値まで上昇させることと、

10

前記第 1 の時間間隔の後の第 2 の時間間隔の間に前記電圧を前記最大電圧値に保持することと、

前記第 2 の時間間隔の後に前記電圧の印加を止めることと、

前記リセット動作中に前記 R R A M セルに結合されているワード線に電流ミラー器を結合すること、を含む方法。

【請求項 7】

抵抗変化ランダムアクセスメモリ (R R A M : Resistive Random Access Memory) セルに結合されているビット線又はソース線に印加される電圧であって、セット又はリセット動作中に前記 R R A M セルをセット又はリセットするための電圧を、第 1 の時間間隔の間に最小電圧値から最大電圧値まで上昇させることと、

20

前記第 1 の時間間隔の後の第 2 の時間間隔の間に前記電圧を前記最大電圧値に保持することと、

前記第 2 の時間間隔の後に前記電圧の印加を止めることと、

前記セット動作中に前記 R R A M セルに結合されているワード線に電流ミラー器を結合すること、を含む方法。

【請求項 8】

前記セット動作中に前記ビット線に共供給器を結合すること、を更に含む請求項 1 に記載の方法。

【請求項 9】

30

前記リセット動作中に前記ソース線に共供給器を結合すること、を更に含む請求項 1 に記載の方法。

【請求項 10】

前記セット動作中に前記ビット線に電流を供給することと、

前記リセット動作中に前記ソース線に電流を供給すること、を更に含む請求項 1 に記載の方法。

【請求項 11】

前記ソース線に供給される電流の第 1 の電流制限を、前記ビット線に供給される電流の第 2 の電流制限よりも低くなるように調整すること、を更に含む請求項 1 に記載の方法。

【請求項 12】

40

抵抗変化ランダムアクセスメモリ (R R A M : Resistive Random Access Memory) セルに結合されているビット線又はソース線に印加される電圧であって、セット又はリセット動作中に前記 R R A M セルをセット又はリセットするための電圧を、第 1 の時間間隔の間に最小電圧値から最大電圧値まで上昇させることと、

前記第 1 の時間間隔の後の第 2 の時間間隔の間に前記電圧を前記最大電圧値に保持することと、

前記第 2 の時間間隔の後に前記電圧の印加を止めることと、

前記セット動作中の前記ビット線への電流を制限することと、

前記リセット動作中の前記ソース線への電流を制限することと、を含む方法。

【請求項 13】

50

抵抗変化ランダムアクセスメモリ（ＲＲＡＭ：Resistive Random Access Memory）セルに結合されているビット線又はソース線に印加される電圧であって、セット又はリセット動作中に前記ＲＲＡＭセルをセット又はリセットするための電圧を、第１の時間間隔の間に最小電圧値から最大電圧値まで上昇させることと、
前記第１の時間間隔の後の第２の時間間隔の間に前記電圧を前記最大電圧値に保持することと、
前記第２の時間間隔の後に前記電圧の印加を止めることと、
前記ビット線にセット電圧源を結合することと、
前記ソース線にリセット電流に制限された電流源を結合すること、を含む方法。

【請求項１４】

抵抗変化ランダムアクセスメモリ（ＲＲＡＭ：Resistive Random Access Memory）セルに結合されているビット線又はソース線に印加される電圧であって、セット又はリセット動作中に前記ＲＲＡＭセルをセット又はリセットするための電圧を、第１の時間間隔の間に最小電圧値から最大電圧値まで上昇させることと、
前記第１の時間間隔の後の第２の時間間隔の間に前記電圧を前記最大電圧値に保持することと、
前記第２の時間間隔の後に前記電圧の印加を止めることと、
前記ビット線にセット電流に制限された電流源を結合することと、
前記ソース線にリセット電圧源を結合すること、を含む方法。

【請求項１５】

抵抗変化ランダムアクセスメモリ（ＲＲＡＭ：Resistive Random Access Memory）セルに結合されているビット線又はソース線に印加される電圧であって、セット又はリセット動作中に前記ＲＲＡＭセルをセット又はリセットするための電圧を、第１の時間間隔の間に最小電圧値から最大電圧値まで上昇させることと、
前記第１の時間間隔の後の第２の時間間隔の間に前記電圧を前記最大電圧値に保持することと、
前記第２の時間間隔の後に前記電圧の印加を止めることと、
前記ビット線にセット電流に制限された電流源を結合することと、
前記ソース線にリセット電流に制限された電流源を結合すること、を含む方法。

【請求項１６】

前記リセット動作中に、前記ソース線に最大リセット電圧から制御された電流源を供給し、前記ビット線を接地すること、を更に含む請求項１に記載の方法。

【請求項１７】

前記リセット動作中に、前記ソース線にリセット電圧を印加し、前記ビット線に制御された電流源を供給すること、を更に含む請求項１に記載の方法。

【発明の詳細な説明】

【技術分野】

【０００１】

〔関連出願の参照〕

本出願は、２０１７年１月２０日に出願された、米国特許仮出願第６２４４８８３１号（ＲＲＡＭ用の電流制御リセット動作及びＲＲＡＭセット用の傾斜ビット線）に関し、優先権の利益を有する。

【背景技術】

【０００２】

不揮発性メモリ（ＮＶＭ：Nonvolatile Memory）は、電力が喪失した後でも情報を記憶することができるタイプのメモリデバイスである。不揮発性メモリデバイスは、読み取り専用メモリ又はランダムアクセスメモリ（ＲＡＭ：Random Access Memory）とすることができ、様々な技術を使用することができる。不揮発性ＲＡＭの一つのカテゴリは、フィラメント抵抗変化ランダムアクセスメモリ（ＲＲＡＭ又はＲｅＲＡＭ：Resistive Random Access Memory）セル、界面ＲＲＡＭセル、磁気抵抗ＲＡＭ（ＭＲＡＭ）セル、

10

20

30

40

50

相変化メモリ（PCM）セル（例えば、ゲルマニウム、アンチモン、及びテルルの合金を含むカルコゲナイド）、メモリスタ素子、及びプログラマブルメタライゼーションセル（例えば、導電性ブリッジRAM（CBRAM）セル）等の技術を含む抵抗変化RAMである。RRAMセルは、その高速動作時間及び低電力性能によって、組み込み型及びスタンダードアロン型の用途に有望な不揮発性メモリデバイスである。RRAMセルのセット及びリセットサイクルを繰り返すに対する長期信頼性を改善することが継続して必要とされている。

【0003】

本開示は、以下に与えられる詳細な説明及び本開示の様々な実施形態についての添付の図面からより完全に理解される。

【図面の簡単な説明】

【0004】

【図1】一実施形態による、RRAMセルのフィラメント構造、RRAMセルの高抵抗状態（HRS）及び低抵抗状態（LRS）の形成を示す図である。

【図2】一実施形態による、RRAMセル用の設定電圧 V_{SET} に対してビット線をパルス状にすることとビット線を傾斜状にすることとの違いを示す図である。

【図3】RRAMセルのセット及び／又はリセット動作中にビット線及び／又はソース線の電圧を制御するための傾斜制御回路を有する制御回路の一実施形態を示す図である。

【図4】セット及び／又はリセット動作中にRRAMセル内の電流を制御するための電流制限器を有する制御回路の一実施形態を示す図である。

【図5】セット動作中にRRAMセルへの傾斜電流 I_{RAMP} を制御するための電流ミラー器を有する制御回路の一実施形態を示す図である。

【図6】RRAMセルのソース線におけるリセット電流 I_{RESET} を制御するための回路の一実施形態を示す図である。

【図7】RRAMセル用のビット線におけるリセット電流 I_{RESET} を制御するための回路の一実施形態を示す図である。

【図8】リセット動作のためのソース線及びセット動作のためのビット線における電流を制御するための、電流ミラー器及び共供給源を有する回路の一実施形態を示す図である。

【図9A】選択されたソース線におけるリセット電流 I_{RESET} を制御するための回路の一実施形態を示す図である。

【図9B】選択されたビット線における設定電流 I_{SET} を制御するための回路の一実施形態を示す図である。

【図9C】選択されたビット線におけるセット電流 I_{SET} 及び選択されたソース線におけるリセット電流 I_{RESET} を制御するための回路の一実施形態を示す図である。

【図10】一実施形態による、RRAMセル内の電流制限抵抗を示す図である。

【図11】選択されたビット線及び選択されたソース線の電流を制限するためにプルダウントランジスタに結合された制御電流ミラー器を有する回路の一実施形態を示す図である。

【図12】選択されたビット線及び選択されたソース線における電流を制限するためにプルアップトランジスタに結合された制御電流ミラー器を有する回路の実施形態を示す図である。

【図13】一実施形態による、選択されたRRAMセル内の電流を制限するためにワード線に結合された制御電流ミラー器を示す図である。

【図14A】本明細書に開示された実施形態によって実施することができる一実施形態による、RRAMアレイを動作させるための方法のフローダイアグラムである。

【図14B】一実施形態による、図14Aに示す方法の一動作のフローダイアグラムである。

【図14C】一実施形態による、図14Aに示す方法の一動作のフローダイアグラムである。

【図14D】一実施形態による、図14Aに示す方法の一動作のフローダイアグラムである。

10

20

30

40

50

【発明を実施するための形態】

【0005】

以下の説明において、例示的な実施形態の様々な態様は、他の当業者に研究の本質を伝えるために当業者によって一般的に使用されている用語を使用して説明される。しかし、本開示が記載された態様のいくつかのみを用いて実施されてもよいことは当業者に明らかであろう。説明の目的のために、例示的な実施形態の完全な理解を提供するために、特定の数、材料及び構成が説明される。しかし、本開示が特定の詳細なしで実施されてもよいことは当業者に明らかであろう。他の例では、例示的な実施形態を不明瞭にしないために、よく知られている特徴は省略又は簡略化されている。本明細書に記載の様々な実施形態はR R A Mセルに関して説明されているが、他の実施形態では、これらの技術は、例えばC B R A Mセル、界面R R A Mセル、M R A Mセル、P C Mセル、又は他のプログラム可能なメタライゼーションセルを含む他のフィラメントR A M技術に使用できる。

10

【0006】

抵抗変化ランダムアクセスメモリ(R R A M)は、不揮発性ランダムアクセスメモリの一種である。R R A M構造は、導電材料で形成された下部電極を含む。R R A M構造は、下部電極の上に配置された切り替え可能層をさらに含む。切り替え可能層に電圧が印加されると、切り替え可能層内に一つ又は複数の酸素空孔(例えば、切り替え可能フィラメント)が形成され得る。酸素空孔は、切り替え可能層を横切る導電経路を提供することができる。したがって、酸素空孔が形成されたときには、切り替え可能層は低抵抗状態になり得る。逆に、酸素空孔が破壊されたとき(例えば、リセットされたとき)、切り替え可能層は高抵抗状態になり得る。抵抗層を切り替え可能層の上に配置してもよい。

20

【0007】

R R A M構造のメモリセル(以下、「R R A Mセル」とも呼ぶ)は、ビット線とワード線との交差部又は半導体デバイスのピアの上方に形成することができる。R R A Mセルは、エッチング又はプラズマプロセスを使用して形成することができる。マスキング材料は、エッチング化学物質又はプラズマに耐える抵抗層の上面の一部に塗布することができる。スイッチング層および抵抗層は、R R A Mセルを形成するためにエッチング化学物質又はプラズマにさらされてもよい。エッチング又はプラズマプロセスに続いて、上部電極層を抵抗層の上に配置し、マスキング材料を上部電極層の上面の一部に塗布することができる。次に、上部電極層に第2のエッチング又はプラズマプロセスを実行して、R R A M構造の上部電極(例えばビット線)を形成することができる。R R A M構造の個々のR R A Mセルを形成するために、複数のマスキング操作を実行することができるが、R R A M構造を生産及び製造するためのコストと共に製造プロセスの複雑さを増大させることとなる。更に、エッチング又はプラズマプロセスは、R R A Mセルの周囲に余分な材料を残す可能性があり、セルエッジ効果を引き起こしてR R A Mセルの性能及び均一性を低下させるかもしれない。

30

【0008】

遷移金属酸化物(T M O) R R A Mセルは、セルを低抵抗状態(L R S)にセットするための酸素空孔フィラメントを形成するためにデバイスに電圧を印加することによって機能する。セルを高抵抗状態(H R S)にリセットするために、反対の極性の電圧がセルを横切って印加され、酸素空孔フィラメントを破壊する。フィラメントは、フィラメント抵抗で消費される電力による熱的加熱のために、リセット動作中に溶解すると考えられる。リセット動作中に消費される電力を正確に制御して、電力がある最小閾値より上であるが、セルに損傷を与え他のデバイス特性に影響を及ぼす可能性がある値より下になるようにすることが好ましい。セルへの損傷を回避するために、セット動作中に消費される電力を正確に制御することが更に好ましい。抵抗フィラメントの高抵抗状態及び低抵抗状態における抵抗率のより均一な分布のために、R R A MアレイのR R A Mセルを横切って、セット及びリセット動作中に、更にはセット及びリセットの複数サイクルに亘って電力を正確に制御することがより更に好ましい。それによって読み取り信頼性が改善される。

40

【0009】

50

この電力を制限する一つの方法は、高抵抗状態へのリセット中及び／又は低抵抗状態へのセット中にＲＲＡＭセルを通る電流を制御することである。従来のリセット動作では、ビット線（ＢＬ）を V_{ss} にし、アクセストランジスタを V_{dd} にして、電圧 V_{write} をＲＲＡＭアレイのソース線（ＳＬ）に直接印加する。セル電流はセル抵抗（ V/R ）及び電力（ IV 又は V^2/R ）の関数であり、電力は典型的なＲＲＡＭアレイ回路ではセルアクセストランジスタの電流容量によってのみ制限される。本明細書に示されるＲＲＡＭアレイ回路の様々な実施形態は、この電力をより正確に制御する。

【００１０】

いくつかの実施形態において、制御回路は、ＲＲＡＭセルを通る電流を、電流制限 I_{lim} によって設定された値（例えば、 $100\mu A$ 又は $150\mu A$ ）に制限する。これは、回路の他のトランジスタ特性によるだけでなく、この電流制限によって最大電力が制御されることになる。この電流制限は正確に設定することができ、セル性能を最適化するために調整可能である。いくつかの実施形態では、電流制限は、例えば構成レジスタ、ヒューズ等を用いてプログラム可能である。いくつかの実施形態では、電流制限値は、セルの設定抵抗（又はリセット動作前の読み出し電流）の関数として設定される。電流制限は、装置パラメータ、例えばサイクル数、温度等の関数として変更することができる。電流基準及び／又はミラー回路は、セット電流制限及び／又はリセット電流制限のために共有することができる。

【００１１】

図１は、ＲＲＡＭセルのフィラメント構造、ＲＲＡＭセルの高抵抗状態、及び低抵抗状態の形成を示す。ＲＲＡＭセルは特定の材料で示されているが、これは一例にすぎず、本発明の制御回路及び方法の実施形態が適用されるＲＲＡＭセルの種類を限定するものではない。図１の初期ＲＲＡＭセル１０２では、次のようになる。図１に示すように、２つの電極１０４、１０８間のフィラメント形成領域１０６にはフィラメントは存在しない。上部電極１０４はテルルすなわち Te から作られ、下部電極１０８は窒化チタンすなわち TiN から作られ、フィラメント形成領域はハフニアすなわち HfO_2 としても知られる酸化ハフニウムから作られる。形成後、抵抗フィラメント１１０は、２つの電極１０４、１０８を抵抗的に接続し、ハフニアの部分組成 $HfO_{1.5}$ からなることがわかる。公称 $-1.5V$ にリセット（又は更なる実施形態では他のリセット電圧）された後、ジュール加熱（抵抗加熱及びオーム加熱とも呼ばれる）のために、抵抗フィラメント１１２は部分的に（又は完全に）溶解し、ＲＲＡＭセルは、高抵抗状態すなわち HRS になる。セット及び／又はリセット動作中に電流及び／又は電圧を制御することによって電力を制御することは、損傷を制限し、ＲＲＡＭセル内の抵抗フィラメント１１０、１１２、１１４のより均一な形成または溶解に寄与し得る。更に、電力のサージを抑制することは損傷を制限し得る。

【００１２】

図２は、一実施形態による、ＲＲＡＭセル用の設定電圧 V_{SET} に対してビット線をパルス状にすることとビット線を傾斜（傾斜： $ramp$ ）させることとの違いを示す図である。選択されたＲＲＡＭセルへのビット線に対するパルス波形２０２は、所定のパルス幅又はパルス時間 t_{PULSE} 、及び特定の設定電圧 V_{SET} を有する。対照的に、選択されたＲＲＡＭセルへのビット線に対する傾斜波形２０４、２０６は、波形の傾斜部分２０４が設定電圧 V_{SET} まで上昇する間の特定の傾斜時間 t_{RAMP} と、波形の一定部分２０６が傾斜アップ又は傾斜ダウンしない安定した電圧に保持される間の特定の長時間 t_{HIGH} を有する。波形の傾斜部分２０４の傾斜時間及び一定部分２０６の長時間は、パルス幅すなわちパルス時間に加算される。ＲＲＡＭセルのリセットのためにソース線を立ち上げるため、同様の波形対が考えられる。いくつかの実施形態では、傾斜波形２０４、２０６は電圧制御により実現され、他の実施形態では電流制御により実現される。

【００１３】

現実世界のパルスは、実際には理想的ではない、すなわち数学的に完全な矩形波形ではなく、あるスケールで見たとき（例えば、信号時間よりはるかに小さいスケールに拡大し

10

20

30

40

50

てズームインするとき)、パルスは傾斜した波形のように見える。つまり、ある規模では、すべての現実世界のパルスはゼロ以外の立ち上がり時間を持つ。しかし、信号の印加時間に関連して、パルスの立ち上がり端は重要ではない期間であり、考慮から除外することができる。対照的に、本明細書に記載の実施形態による傾斜信号の間、傾斜の立ち上がりの時間は信号の印加に関して重要であり、意図的に制御される。いくつかの実施形態では、立ち上がりが信号印加の5%以上を占める信号は、短いパルスに対する傾斜と見なされる。

【0014】

図3は、RRAMセルのセット及び/又はリセット動作中にビット線308及び/又はソース線310の電圧を制御するための傾斜制御回路302を有する制御回路304の実施形態を示す。傾斜制御回路302は、電圧制御または電流制御を使用して、RRAMセルのセット動作のためにセット電圧を傾斜アップするか、またはRRAMセルのリセット動作のためにリセット電圧を傾斜アップすることができる。セクタ306は、アドレス線(図示せず)に従って、RRAMセル用のビット線308およびソース線310を選択する。

10

【0015】

図4は、セット及び/又はリセット動作中にRRAMセル内の電流を制御するための電流制限器402を有する制御回路404の実施形態を示す。RRAMセル416の特定のRRAMセル416及び抵抗420(例えば、図1の抵抗フィラメント110、112、114)を選択するために、RRAMセル416内のアクセストランジスタ422の行のゲート端子に接続されたワード線418はアドレス復号器410によって活性化され、RRAMアレイ424内の列のビット線(BL)412及びソース線(SL)414は、セクタ408によって制御される。セット動作は、選択されたワード線418を介してアサートすることによって実行される。アドレス復号器410、セクタ408を介して選択されたソース線414を接地し、セクタ408を介してビット線412にセットパルスを印加し、RRAMセル416を低抵抗状態に設定する。リセット動作は、アドレス復号器410を介して選択されたワード線418をアサートし、セクタ408を介して選択されたビット線412を接地し、セクタ408を介してソース線414にリセットパルスを印加し、RRAMセル416を高抵抗状態に設定する。この実施形態では、電流制限器402は、セットパルス中の電流を制御し、及び/又はリセットパルス中の電流を制御する。いくつかの変形例では、電流制限器402によって適用される電流制限を調整する電流制限調整器406がある。いくつかの変形例では、セット動作及びリセット動作に必要な電流量および電力量の差のために、ソース線414に適用される電流制限はビット線412に適用される電流制限よりも低い。

20

30

【0016】

図5は、セット動作中にRRAMセルへの傾斜電流IRAMPを制御するための電流ミラー器504を有する制御回路の実施形態を示す。電流源506(又は電流シンク)は、MP1と表示されたダイオード接続MOSFET508を介して電流を引き込み、この電流は、MP2と表示されたゲート接続ミラートランジスタ510を介してミラーされる。ミラー電流は、設定パルス514のスイッチ作動トランジスタ512を介して、ビット線マルチプレクサ516、選択されたビット線412、及び選択されたRRAMセル416の抵抗420に供給される。寄生ビット線容量(CBL)502があるので、制御された電流は、式 $t_{RAMP} = CBL \cdot V_{SET} / I_{RAMP}$ に従って、傾斜時間中にビット線412を設定電圧VSETまで充電する。保持時間は、式 $t_{HOLD} = t_{PULSE} - t_{RAMP}$ に従う。ここで、tPULSEは設定パルス514のパルス幅である。したがって、最大電圧で制御された電流をビット線412に印加すると、図2の下部に見られるビット線傾斜波形204、206が形成される。

40

【0017】

図6は、RRAMセル用のソース線414内のリセット電流IRESETを制御するための回路の実施形態を示す。最大リセット電圧VRESET604からの制御電流源60

50

2 がソース線 4 1 4 に印加され、ワード線 4 1 8 によって活性化されるアクセストランジスタ 4 2 2 を介して R R A M セルの抵抗 4 2 0 (すなわち抵抗フィラメント) に印加される。選択されたビット線 4 1 2 は接地されている (又はそうでなければ規定の電圧に保持されている)。この挙動を達成するために様々な種類の回路構成を使用することができる。

【 0 0 1 8 】

図 7 は、R R A M セル用のビット線におけるリセット電流 $I_{R E S E T}$ を制御するための回路の実施形態を示す。このバージョンでは、リセット電圧 $V_{R E S E T}$ がソース線 4 1 4 に印加される。制御電流源 7 0 2 は、R R A M セルの抵抗 4 2 0 からワード線によって活性化されたアクセストランジスタ 4 2 2 からビット線 4 1 2 を通してリセット電流 $I_{R E S E T}$ を引き出す。この挙動を達成するために様々な種類の回路構成を使用することが

10

【 0 0 1 9 】

図 8 は、リセット動作のためにソース線 4 1 4 内及びセット動作のためにビット線 4 1 2 内の電流を制御するための、電流ミラー器 8 0 2 及び共供給源 8 0 4 を有する回路の実施形態を示す。電流源 (またはシンク) は、M 1 と表示されたダイオード接続 M O S F E T 8 1 0 から制限電流 $I_{L I M}$ を引き出す。いくつかの変形例では、出力が負入力にフィードバックされるオペアンプとして示されるユニティゲインバッファ 8 1 4 は、M O S F E T 8 1 0 のゲート電圧をバッファし、M 2 と表示された M O S F E T 8 1 8 のゲートに接続して、共供給源 8 0 4 を形成する。限界電流をミラーする共供給源からの電流は、Hブリッジ 8 0 6 を介してビット線 4 1 2 又はソース線 4 1 4 に切り替えられ、それらの他方は接地されている。セット動作のために、ビット線 / ソース線マルチプレクサ (B L / S L M U X) 8 0 8 を介して、Hブリッジ 8 0 6 の右下アームトランジスタ 8 2 4 がオンにされてソース線を接地し、一方、Hブリッジ 8 0 6 の左上アームトランジスタ 8 2 0 がオンにされて、限界電流をビット線 4 1 2 に供給する。リセット動作のために、ビット線 / ソース線マルチプレクサ 8 0 8 を介して、Hブリッジ 8 0 6 の左下アームトランジスタ 8 2 2 がオンにされてビット線 4 1 2 を接地し、一方、Hブリッジ 8 0 6 の右上アームトランジスタ 8 2 6 がオンにされて、ソース線 4 1 4 に制限電流を供給する。ビット線又はソース線の静電容量による制限電流は、図 2 の下部に示されるような傾斜波形を生成する。図 2 の上部に示されているパルス状の傾斜していない波形は、非制限信号をアクティブにし、接地トランジスタ 8 1 6 をオンにし、いくつかの実施形態では、電流ミラー器 8 0 2 を無効にし、共供給源 8 0 4 を完全にアクティブにすることによって、生成することが

20

30

【 0 0 2 0 】

図 8 の回路の変形例は、図 9 A - 9 C に示すように、Hブリッジ 8 0 6 の上側端子又は外側端子に電圧供給及び / 又は電流供給を更に直接的に結合するため共供給源 8 0 4 なしで構成することができる。いくつかの変形例はセット動作のために電流を制限し、いくつかの変形例はリセット動作のために電流を制限し、そしていくつかの変形例は両方のために電流を制限する。いくつかの実施形態において、リセット回路はセット回路とは異なる場所に配置されてもよい。例えば、セット回路がアレイの最上部にありリセット電流制御がアレイの最下部にあってもよく、又はその逆でもよい。いくつかの実施形態では、ソース線は、図面に示されているものとは異なる向きを有することができ、例えば、ソース線は、ワード線と平行に、アレイを通して水平に走らせてもよい。回路がアレイの左側又は右側のどちらにあってもリセットのために電流が制限することができる。ソース線、ワード線、ビット線、スイッチ、電流制御、多重化等の配置及び向きに関する同様の及び更なる変形は、R R A M アレイの更なる変形例にも適用される。

40

【 0 0 2 1 】

図 9 A は、選択されたソース線におけるリセット電流 $I_{R E S E T}$ を制御するための回路の実施形態を示す。リセット電流 $I_{R E S E T}$ に制限された電流源 6 0 2 は、Hブリッジ 8 0 6 の右上アームトランジスタ 8 2 6 に接続されている。V S E T 用のセット電圧源は、Hブリッジ 8 0 6 の左上アームトランジスタ 8 2 0 に接続されている。Hブリッジ 8

50

06のトランジスタ820、822、824、826の動作は、図8に示すものと同様である。制御され制限されたリセット電流I_{RESET}は、ビット線が接地されている間に、RRAMセルのリセット動作中に選択されたソース線414に切り替えられる。この回路は、図6に示す回路の変形例を実装することができる。

【0022】

図9Bは、選択されたビット線におけるセット電流I_{SET}を制御するための回路の一実施形態を示す。セット電流I_{SET}に制限された電流源902は、Hブリッジ806の左上アームトランジスタ820に接続されている。V_{RESET}用のリセット電圧源は、Hブリッジ806の右上アームトランジスタ826に接続されている。Hブリッジ806のトランジスタ820、822、824、826の動作は、図8に示すものと同様である。制御された制限セット電流I_{SET}は、ソース線が接地されている間に、RRAMセルのセット動作中に選択されたビット線412に切り替えられる。

10

【0023】

図9Cは、選択されたビット線におけるセット電流I_{SET}及び選択されたソース線におけるリセット電流I_{RESET}を制御するための回路の実施形態を示す。この回路は、図9A及び図9Bの回路に示されている特徴を組み合わせている。設定電流I_{SET}に制限された電流源902は、Hブリッジ806の左上アームトランジスタ820に接続されている。リセット電流I_{RESET}に制限された電流源602は、Hブリッジ806の右上アームトランジスタ826に接続されている。Hブリッジ806のトランジスタ820、822、824、826は、図8に示すものと同様である。制御された制限セット電流I_{SET}は、ソース線が接地されている間に、RRAMセルのセット動作中に選択されたビット線412に切り替えられる。制御され制限されたリセット電流I_{RESET}は、ビット線が接地されている間に、RRAMセルのリセット動作中に選択されたソース線414に切り替えられる。

20

【0024】

図10は、一実施形態による、RRAMセル内の電流制限抵抗1002を示す。本実施形態では、RRAMセルの抵抗又は抵抗フィラメント1004を通る両方向の電流は制限されるが、セット及びリセット動作に対して別々に制御可能ではない。図示した実施形態では、RRAMセルの抵抗又は抵抗フィラメント1004はアクセストランジスタ1006のソース線側にあり、電流制限抵抗1002はアクセストランジスタ1006のビット線側にある。RRAMセルのアクセストランジスタ1006の反対側に抵抗又は抵抗フィラメント1004として描かれているが、他の実施形態では、同じ側にあってもよく、又は抵抗又は抵抗フィラメント1004は交換されてもよい。

30

【0025】

図11は、選択されたビット線412及び選択されたソース線414内の電流を制限するためにプルダウントランジスタ822、824に結合された制御電流ミラー器1102、1104を有する回路の実施形態を示す。セット動作のために、左側制御電流ミラー器1102は、制御を介して起動され、プルダウントランジスタ822に対するゲート電圧へのリセット信号をオンにして、ビット線/ソース線マルチプレクサ808を介してプルダウントランジスタ822及び選択されたビット線412を通るミラー電流を生じさせる。この回路は、図7に示す回路の変形を実施することができる。リセット動作のために、右側制御電流ミラー器1104は、制御を介して起動され、プルダウントランジスタ824のゲート電圧へのセット信号をオンにして、ビット線/ソース線マルチプレクサ808を介してプルダウントランジスタ824及び選択されたソース線414を通るミラー電流を生じさせる。

40

【0026】

図12は、選択されたビット線412及び選択されたソース線414内の電流を制限するためにプルアップトランジスタ820、826に結合された制御電流ミラー器1202、1204を有する回路の実施形態を示す。左側制御電流ミラー器は、制御を介して活性化され、プルアップトランジスタ820に対するゲート電圧へのセット信号（アクティブ

50

ロー)をオンにして、ビット線/ソース線マルチプレクサ808を介してプルアップトランジスタ820及び選択されたビット線412を通るミラー電流を生じさせる。リセット動作のために、右側制御電流ミラー器1204は、制御を介して起動され、プルアップトランジスタ824のためのゲート電圧へのリセット信号(アクティブロー)をオンにして、ビット線/ソース線マルチプレクサ808を介してプルアップトランジスタ824及び選択されたソース線414を通るミラー電流を生じさせる。

【0027】

図13は、一実施形態による、選択されたRRAMセル内の電流を制限するためにワード線1304に結合された制御電流ミラー器1302を示す。一つの変形例は、ソース線414が接地され、ビット線412がセット電圧に結合されているセット動作中に、ワード線1304上の電流ミラーリングゲート電圧をアクセストランジスタ422に印加する。これはセット動作中にRRAMセルの抵抗420を通る電流を制限する。別の変形例は、ビット線412が接地され、ソース線414がリセット電圧に結合されているリセット動作中に、ワード線1304上の電流ミラーゲート電圧をアクセストランジスタ422に印加する。これはリセット動作中にRRAMセルの抵抗420を通る電流を制限する。

10

【0028】

図14Aは、本明細書に開示される実施形態によって実施することができる、RRAMアレイを動作させるための方法のフローダイアグラムである。動作1402において、第1の時間間隔の間、ビット線又はソース線への電圧は上昇する。傾斜ビット線電圧の一例が図2の下部に示されている。RRAMアレイは一般に複数のビット線と複数のソース線を有し、セクタは所与のメモリアドレスに対してそれぞれ一つをアクティブにする。RRAM回路は、傾斜パルス波形を生成するために電流制御、電流制限、又は電圧制御を使用することができる。

20

【0029】

動作1404において、第2の時間間隔の間、ビット線又はソース線は最大電圧に保たれる。例えば、最大電圧は、セット動作又はリセット動作が選択されたRRAMセルに実行されているかどうかに応じて、セット電圧又はリセット電圧であり得る。

【0030】

動作1406において、ビット線又はソース線への電圧が印加されなくなる。動作1402から1406は、RRAMアレイのためのビット線又はソース線上に、最大電圧での保持時間を有する傾斜電圧が生成される。傾斜電圧は、傾斜のないパルス波形と比較して、選択されたRRAMセルに、よりゆっくりと電流、電圧及び電力を印加し、サージを減少させる。これは、経時的にRRAMセル内の抵抗フィラメントへの損傷を減少又は除去することができ、あるいはアレイ用のRRAMセル内の抵抗のより均一な分布又はより狭い範囲の抵抗率をもたらし、読み取り信頼性を高める。

30

【0031】

図14Bは、図14Aに示す方法の一動作のフローダイアグラムである。動作1408において、第1の時間間隔の間、ビット線又はソース線に電流制限された電流が供給される。ビット線又はソース線に寄生容量を有する結果として、ビット線又はソース線への電流制限された電流の供給は傾斜電圧を生成する。

40

【0032】

図14Cは、図14Aに示す方法の一動作のフローダイアグラムである。動作1410において、第1の時間間隔の間、ビット線又はソース線に供給される電流が制御される。ビット線又はソース線上に寄生容量を有する結果として、ビット線又はソース線への制御された電流の供給は傾斜電圧を生成する。

【0033】

図14Dは、図14Aに示す方法の一動作のフローダイアグラムである。動作1412において、ビット線又はソース線に供給される電流の電流制限が調整される。製造中に、例えば基準抵抗器又は基準トランジスタをレーザトリミングすることによって調整を行うことができる。調整は、例えば制御回路へのアナログフィードバック、デジタル回路内の

50

パラメータの更新、又はアナログとデジタルの混合のためのこれらの組み合わせ等、回路の実行中に行われ得る。

【 0 0 3 4 】

図 1 4 A ~ 1 4 D を参照して、更なる実施形態では、R R A M セルが低抵抗状態に変化したときに R R A M セルを通る最大電流を制限するために、異なる電流制限が第 2 の時間間隔に適用される。第 1 の時間間隔の間、電流は傾斜率を制御し、第 2 の時間間隔の間、電流制御は R R A M セルを通る電流を制限し、そしてこれらは独立に設定される。傾斜ビット線と共に他の電流制限技法を使用することができる。例えば、R R A M セルを通る電流は、傾斜ビット線パルスと組み合わせて、図 1 3 に示すようなワード線を使用する電流ミラーリング方式によって制御することができる。いくつかの変形例では、R R A M セルを流れる電流がワード線アクセストランジスタを介して制限されるので、第 2 の時間間隔中にビット線を流れる電流をさらに制限する必要はないであろう。

10

【 0 0 3 5 】

図 1 ~ 図 1 4 を参照して、M O S F E T 技術を使用する実施形態において様々な回路が機能的及び構造的に説明され、方法の動作が回路及び装置の実施形態を参照して説明される。他の種類の M O S F E T、他の種類の F E T、及び他の種類のトランジスタを有する更なる回路実施形態が、本明細書の教示に従って容易に考案されることを理解されたい。具体的には、本明細書に記載の電流ミラー、電流ミラー制御、電流制限調整、スイッチング、多重化、逆多重化、パルス生成、電圧制御、タイミング及び他の機能のための様々な回路は、変形及び更なる実施形態のために容易に開発される。本明細書に記載の一つ又は複数の実施形態からの一つ又は複数の特徴は、本明細書に記載の一つ又は複数の更なる実施形態からの一つ又は複数の特徴と容易に組み合わせられる。特徴の部分集合による実施形態は容易に開発される。

20

【 0 0 3 6 】

要約に記載されていることを含む本開示の例示された実施形態の上記の説明は、網羅的であること、又は開示を開示された正確な形態に限定することを意図しない。本開示の特定の実施形態及びその例は例示の目的で本明細書に記載されているが、当業者には理解されるように、本開示の範囲内で様々な同等の修正が可能である。他の実施形態は、図示した実施形態とは異なる順序の層、追加の層、又はより少ない層を有することができる。

【 0 0 3 7 】

様々な動作は、本開示を理解するのに最も役立つ方法で、順番に複数の個別の動作として説明されるが、説明の順序は、これらの動作が必ずしも順序に依存することを意味すると解釈されるべきではない。特に、これらの動作は提示された順序で実行される必要はない。

30

【 0 0 3 8 】

本明細書で使用される「上 (o v e r)」、「上 (a b o v e)」、「下 (u n d e r)」、「間 (b e t w e e n)」、および「上 (o n)」という用語は、他の層又は構成要素に対する 1 つの材料層又は構成要素の相対位置を指す。例えば、他の層の上 (a b o v e) 又は上 (o v e r) 又は下 (u n d e r) に堆積された 1 つの層は、他の層と直接接触していてもよく、又は一つ又は複数の介在層を有していてもよい。更に、2 つの層の間に堆積された 1 つの層は、2 つの層と直接接触していてもよく、又は一つ又は複数の介在層を有していてもよい。対照的に、第 2 の層の「上 (o n)」にある第 1 の層は、その第 2 の層と直接接触している。同様に、他に明示的に述べられていない限り、2 つの特徴の間に配置された一つの特徴は、隣接する特徴と直接接触していてもよく、又は一つ又は複数の介在層を有してもよい。

40

【 0 0 3 9 】

「例 (e x a m p l e)」又は「例示的 (e x a m p l y)」という用語は、本明細書では例、実例、又は例示として役立つことを意味するために使用される。「例」又は「例示的」として本明細書に記載された任意の態様又は設計は、他の態様又は設計よりも好ましい又は有利であると必ずしも解釈されるべきではない。むしろ、「例」又は「例示的」

50

という用語の使用は、概念を具体的な形で提示することを意図している。本出願で 사용되는場合、用語「又は（or）」は、排他的な「又は」ではなく包括的な「又は」を意味することを意図している。すなわち、特に明記しない限り、又は文脈から明らかでない限り、「XはA又はBを含む」を意味する。任意の自然な包含順列を意味する。つまり、XにAが含まれているとするとXはBを含む。又はXがA及びBの両方を含む場合、「XはA又はBを含む」が前述のいずれの場合にも満たされる。更に、本出願及び添付の特許請求の範囲で使用される冠詞「a」および「an」は、他に特定されない限り、又は文脈から単数形を対象とすることが明らかでない限り、一般に「一つ又は複数」を意味すると解釈され得る。更に、用語「一実施形態（an embodiment）」又は「一実施形態（one embodiment）」、又は連続した「一実施形態（an embodiment）」又は「一実施形態（one embodiment）」の使用は、そのように記載されていない限り、同じ実施形態を意味することを意図しない。本明細書で 사용되는「第1」、「第2」、「第3」、「第4」等の用語は、異なる要素を区別するためのラベルとして意図され、それらの数字の指定に従って必ずしも序列的な意味を持たない。

【図面】

【図1】

【図2】

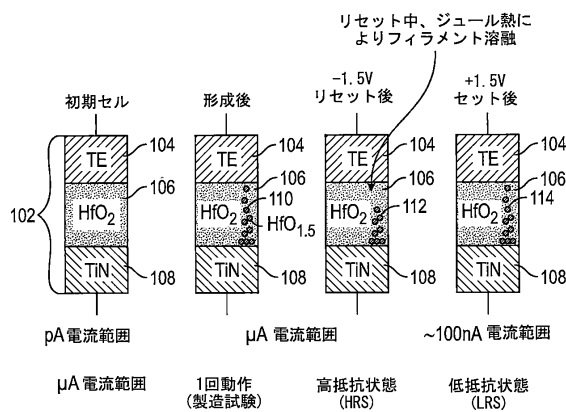


FIG. 1

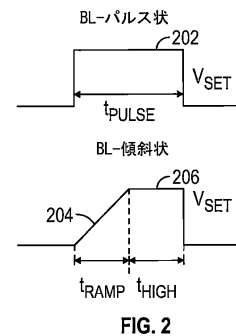


FIG. 2

10

20

30

40

50

【図 3】

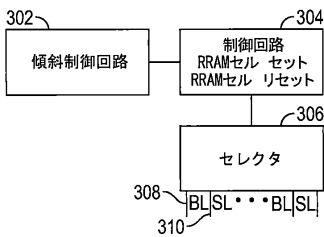


FIG. 3

【図 4】

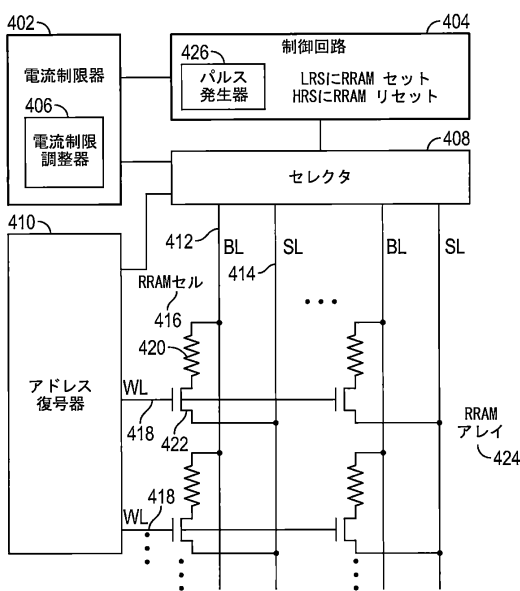


FIG. 4

【図 5】

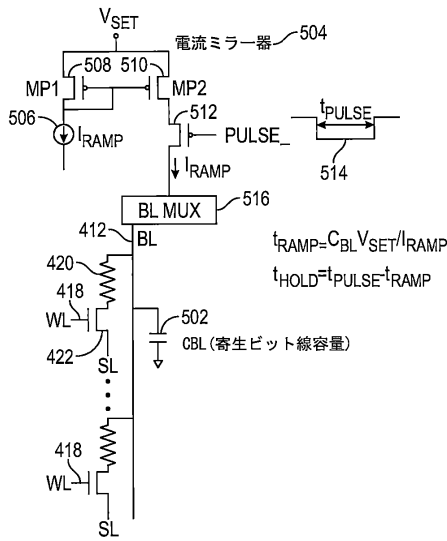


FIG. 5

【図 6】

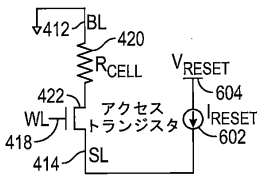


FIG. 6

10

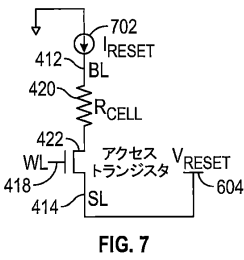
20

30

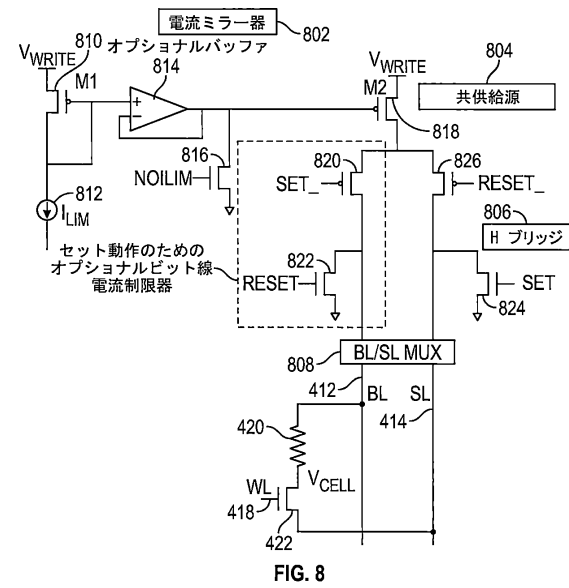
40

50

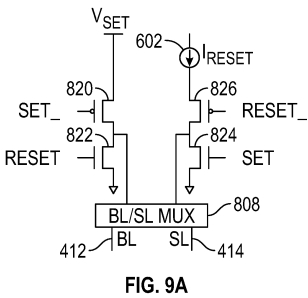
【図 7】



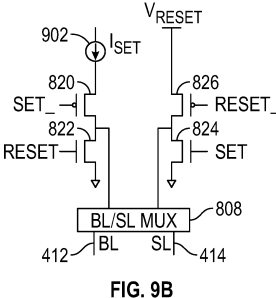
【図 8】



【図 9 A】



【図 9 B】



10

20

30

40

50

【図 9 C】

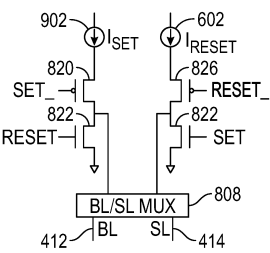


FIG. 9C

【図 1 0】

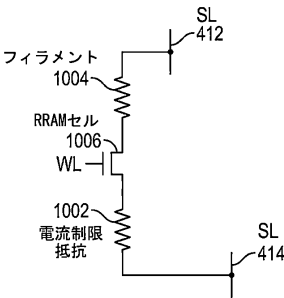


FIG. 10

10

【図 1 1】

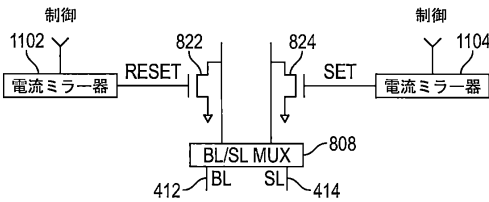


FIG. 11

【図 1 2】

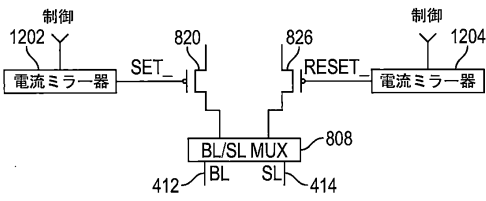


FIG. 12

20

【図 1 3】

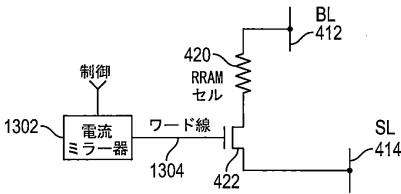


FIG. 13

【図 1 4 A】

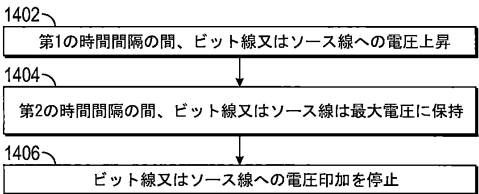


FIG. 14A

30

40

50

【図 1 4 B】

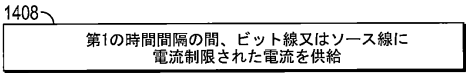


FIG. 14B

【図 1 4 C】

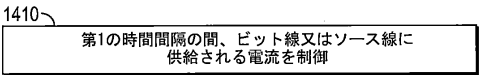


FIG. 14C

10

【図 1 4 D】

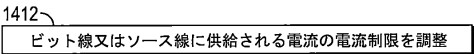


FIG. 14D

20

30

40

50

フロントページの続き

- (74)代理人 100133835
弁理士 河野 努
- (74)代理人 100196601
弁理士 酒井 祐市
- (72)発明者 ブレント ハウクネス
アメリカ合衆国, カリフォルニア 94089, サニーベール, エンタープライズ ウェイ 1050, スイート 700
- (72)発明者 チーチャオ ルー
アメリカ合衆国, カリフォルニア 94089, サニーベール, エンタープライズ ウェイ 1050, スイート 700
- 審査官 後藤 彰
- (56)参考文献 特開2013-127826(JP, A)
米国特許出願公開第2016/0012888(US, A1)
国際公開第2016/072173(WO, A1)
特開2012-185870(JP, A)
特開2010-170617(JP, A)
米国特許出願公開第2013/0215669(US, A1)
- (58)調査した分野 (Int.Cl., DB名)
G11C 13/00